

LMX2485, LMX2485E

*LMX2485/LMX2485E 50 MHz - 3.0 GHz High Performance Delta-Sigma Low Power
Dual PLLatinum Frequency Synthesizers with 800 MHz Integer PLL*



Literature Number: JAJSA65

LMX2485/LMX2485E

800MHz インテジャー PLL 内蔵 50MHz ~ 3.0GHz 高性能低消費電力
デルタ・シグマ・デュアル PLLatinum™ 周波数シンセサイザ

概要

LMX2485 は、予備インテジャー N PLL を内蔵した低消費電力、高性能のデルタ・シグマ・フラクショナル N PLL です。このデバイスはナショナル セミコンダクターの高度なプロセスを用いて製造されています。

デルタ・シグマ・アーキテクチャにより、オフセット周波数の低い領域にあるフラクショナル・スプリアスが、ループ帯域外のより高い周波数に押し上げられます。近接スプリアスや位相ノイズのエネルギーを高い周波数に押し上げる能力は、変調器の次数から直接決まる関数です。アナログ式の補償と違い、LMX2485 で用いられるデジタル・フィードバックの手法は、温度変化やウェハ・プロセスの変動に対して高い耐性を持ちます。LMX2485 デルタ・シグマ変調器は、次数を最大 4 次までプログラム可能です。これにより設計者は、位相ノイズ、スプリアス、ロック時間に関するシステム要件に最も適した変調器の次数を選択できます。

LMX2485 をプログラムするためのシリアル・データは、3 線式の高速 (20MHz) MICROWIRE インタフェースを介して転送します。LMX2485 では、優れた周波数分解能、低いスプリアス、高速のプログラミング、周波数のシングル・ワード書き込みによる変更を実現しています。このため、N カウンタを情報によって直接変調する、直接デジタル変調アプリケーションに最適です。LMX2485 は 24 ピンの 4.0 × 4.0 × 0.8mm LLP パッケージで供給されます。

アプリケーション

- 携帯電話および基地局
CDMA、WCDMA、GSM/GPRS、TDMA、EDGE、PDC
- 直接デジタル変調アプリケーション
- 衛星テレビおよびケーブル・テレビ用のチューナ
- WLAN 規格

特長

低分周比向けの 4 重モジュラス・プリスケアラ

- RF PLL: 8/9/12/13 または 16/17/20/21
- IF PLL: 8/9 または 16/17

高度なデルタ・シグマ・フラクショナル補償

- 12 ビットまたは 22 ビットを選択可能なフラクショナル・モジュラス
- 最大 4 次までプログラム可能なデルタ・シグマ変調器

ロック時間およびプログラミング時間を改善する機能

- FastLock/ サイクル・スリップ低減機能
- 内蔵タイムアウト・カウンタ
- シングル・ワード書き込みで、FastLock 機能を有効にした周波数変更が可能

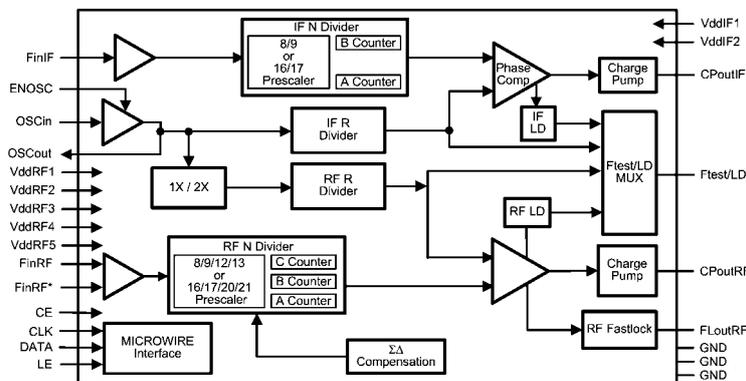
広い動作範囲

- LMX2485 RF PLL: 500MHz ~ 3.0GHz
- LMX2485E RF PLL: 50MHz ~ 3.0GHz

便利な機能

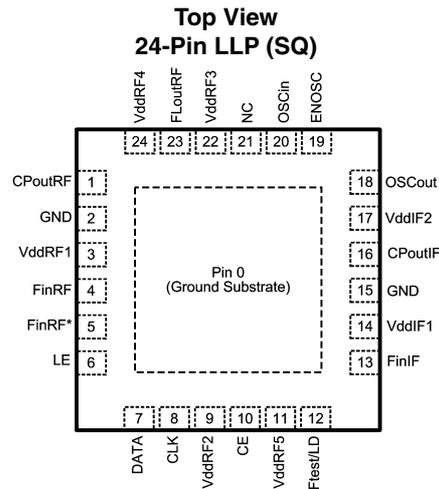
- デジタル・ロック検出力
- ハードウェアおよびソフトウェアによるパワーダウン制御
- 水晶基準周波数ダブラーを内蔵
- 最大 50MHz の RF 位相比較周波数
- 2.5V ~ 3.6V 動作。I_{CC} = 5.0mA (@3.0V)

機能ブロック図



PLLatinum™ はナショナル セミコンダクターの商標です。

ピン配置図



ピン説明

ピン番号	ピン名	入出力	ピン説明
0	GND	-	グラウンド基板。パッケージ裏面の基板です。必ず接地してください。
1	CPoutRF	O	RF PLL のチャージ・ポンプ出力。
2	GND	-	RF PLL のアナログ・グラウンド。
3	VddRF1	-	RF PLL のアナログ電源。
4	FinRF	I	RF PLL の高周波入力ピン。
5	FinRF*	I	RF PLL の相補型高周波入力ピン。100pF のコンデンサを介してグラウンドに接続してください。
6	LE	I	MICROWIRE のロード・イネーブル入力。ハイ・インピーダンスの CMOS 入力です。シフト・レジスタに格納されたデータは、LE が High に遷移した時点で、内部のラッチにロードされます。
7	DATA	I	MICROWIRE データ入力。ハイ・インピーダンスのバイナリ・シリアル・データ入力です。
8	CLK	I	MICROWIRE クロック入力。ハイ・インピーダンスの CMOS クロック入力です。このクロックの立ち上がりエッジで、さまざまなカウンタのデータが 24 ビットのシフト・レジスタに入力されます。
9	VddRF2	-	RF PLL デジタル回路用の電源。
10	CE	I	チップ・イネーブル制御ピン。通常動作時は High にプルアップしてください。
11	VddRF5	I	RF PLL 回路用の電源。
12	Ftest/LD	O	テスト周波数出力 / ロック検出。
13	FinIF	I	IF PLL の高周波入力ピン。
14	VddIF1	-	IF PLL のアナログ電源。
15	GND	-	IF PLL のデジタル・グラウンド。
16	CPoutIF	O	IF PLL のチャージ・ポンプ出力。
17	VddIF2	-	IF PLL の電源。
18	OScout	O	OSCin 信号のバッファを介した出力。
19	ENOSC	I	発振器のイネーブル。このピンを High にすると、他のピンやレジスタのビット設定に関わらず OSCout ピンへの出力が有効になります。
20	OSCin	I	TCXO 信号の入力。
21	NC	I	このピンは開放のままとしてください。
22	VddRF3	-	RF PLL デジタル回路用の電源。
23	FLoutRF	O	RF PLL の FastLock 出力。プログラム可能な TRI-STATE CMOS 出力としても使えます。
24	VddRF4	-	RF PLL のアナログ電源。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電氣的信頼性試験方法の規格を参照ください。

パラメータ	記号	値			単位
		Min	Typ	Max	
電源電圧	V _{CC}	- 0.3		4.25	V
GND = 0V とした場合の各ピンの電圧	V _i	- 0.3		V _{CC} + 0.3	V
保存温度範囲	T _S	- 65		+ 150	°C
リード温度 (ハンダ付け、4 秒)	T _L			+ 260	°C

推奨動作条件

パラメータ	記号	値			単位
		Min	Typ	Max	
電源電圧 (Note 1)	V _{CC}	2.5	3.0	3.6	V
動作温度範囲	T _A	- 40	25	+ 85	°C

Note 1: 「絶対最大定格」とはデバイスを損傷する可能性があるリミット値をいいます。「推奨動作条件」とは、デバイスが正常に機能する条件をいいますが、特定の性能限界値を保証するものではありません。保証される仕様値とそのテスト条件については「電氣的特性」を参照してください。仕様の保証は、表記のテスト条件にのみ適用されます。電源ピンの V_{ddRF1}、V_{ddRF2}、V_{ddRF3}、V_{ddRF4}、V_{ddRF5}、V_{ddIF1}、V_{ddIF2} に印加する電圧は、すべて等しくなければなりません。これらのピンに共通の電圧を V_{CC} と表記します。また、これらの電源ピンに流れる電流の合計を I_{CC} と表記します。

Note 2: 本製品は、高性能の高周波集積回路であり、ESD 耐圧が 2kV に満たない静電破壊の発生しやすいデバイスです。取り扱いおよび組み立ては、必ず静電気放電保護の施された作業環境で行ってください。

電氣的特性 (特記のない限り、V_{CC} = 3.0V、- 40 °C ≤ T_A ≤ + 85 °C)

Symbol	Parameter	Conditions	Value			Units
			Min	Typ	Max	
ICC PARAMETERS						
I _{CCRF}	Power Supply Current, RF Synthesizer	IF PLL OFF RF PLL ON Charge Pump TRI-STATE		3.3		mA
I _{CCIF}	Power Supply Current, IF Synthesizer	IF PLL ON RF PLL OFF Charge Pump TRI-STATE		1.7		mA
I _{CCTOTAL}	Power Supply Current, Entire Synthesizer	IF PLL ON RF PLL ON Charge Pump TRI-STATE		5.0		mA
I _{CCPD}	Power Down Current	CE = ENOSC = 0V CLK, DATA, LE = 0V		1	10	µA
RF SYNTHESIZER PARAMETERS						
f _{FinRF}	Operating Frequency (Note 3)	LMX2485	RF_P = 8	500		MHz
			RF_P = 16	500	3000	
		LMX2485	RF_P = 8	50	2000	
		E	RF_P = 16	50	3000	
P _{FinRF}	Input Sensitivity		500 - 3000 MHz	-15	0	dBm
			50 - 500 MHz (LMX2485E only)	-8	8	
f _{COMP}	Phase Detector Frequency (Note 4)				50	MHz
I _{CPoutRF} ^{SRCE}	RF Charge Pump Source Current (Note 5)		RF_CPG = 0 V _{CPoutRF} = V _{CC} /2	95		µA
			RF_CPG = 1 V _{CPoutRF} = V _{CC} /2	190		µA
				µA
			RF_CPG = 15 V _{CPoutRF} = V _{CC} /2	1520		µA

電气的特性 (特記のない限り、 $V_{CC} = 3.0V$ 、 $-40^{\circ}C \leq T_A \leq +85^{\circ}C$)(つづき)

Symbol	Parameter	Conditions	Value			Units
			Min	Typ	Max	
$I_{CPoutRF_SINK}$	RF Charge Pump Sink Current (Note 5)	RF_CPG = 0 $V_{CPoutRF} = V_{CC}/2$		-95		μA
		RF_CPG = 1 $V_{CPoutRF} = V_{CC}/2$		-190		μA
			μA
		RF_CPG = 15 $V_{CPoutRF} = V_{CC}/2$		-1520		μA
$I_{CPoutRF_TRI}$	RF Charge Pump TRI-STATE Current Magnitude	$0.5 \leq V_{CPoutRF} \leq V_{CC} - 0.5$		2	10	nA
$ I_{CPoutRF\%MIS} $	Magnitude of RF CP Sink vs. CP Source Mismatch	$V_{CPoutRF} = V_{CC}/2$ $T_A = 25^{\circ}C$	RF_CPG > 2	3	10	%
			RF_CPG \leq 2	3	13	%
$ I_{CPoutRF\%V} $	Magnitude of RF CP Current vs. CP Voltage	$0.5 \leq V_{CPoutRF} \leq V_{CC} - 0.5$ $T_A = 25^{\circ}C$		2	8	%
$ I_{CPoutRF\%T} $	Magnitude of RF CP Current vs. Temperature	$V_{CPoutRF} = V_{CC}/2$		4		%
IF SYNTHESIZER PARAMETERS						
f_{FinIF}	Operating Frequency		75		800	MHz
P_{FinIF}	IF Input Sensitivity		-10		5	dBm
f_{COMP}	Phase Detector Frequency				10	MHz
$I_{CPoutIF_SRCE}$	IF Charge Pump Source Current	$V_{CPoutIF} = V_{CC}/2$		3.5		mA
$I_{CPoutIF_SINK}$	IF Charge Pump Sink Current	$V_{CPoutIF} = V_{CC}/2$		-3.5		mA
$I_{CPoutIF_TRI}$	IF Charge Pump TRI-STATE Current Magnitude	$0.5 \leq V_{CPoutIF} \leq V_{CC} - 0.5$		2	10	nA
$ I_{CPoutIF\%MIS} $	Magnitude of IF CP Sink vs. CP Source Mismatch	$V_{CPoutIF} = V_{CC}/2$ $T_A = 25^{\circ}C$		1	8	%
$ I_{CPoutIF\%V} $	Magnitude of IF CP Current vs. CP Voltage	$0.5 \leq V_{CPoutIF} \leq V_{CC} - 0.5$ $T_A = 25^{\circ}C$		4	10	%
$ I_{CPoutIF\%TEMP} $	Magnitude of IF CP Current vs. Temperature	$V_{CPoutIF} = V_{CC}/2$		4		%
OSCILLATOR PARAMETERS						
f_{OSCin}	Oscillator Operating Frequency	OSC2X = 0	5		110	MHz
		OSC2X = 1	5		20	MHz
V_{OSCin}	Oscillator Input Sensitivity		0.5		V_{CC}	V_{P-P}
I_{OSCin}	Oscillator Input Current		-100		100	μA
SPURS						
	Spurs in band	(Note 6)		-55		dBc

電気的特性 (特記のない限り、 $V_{CC} = 3.0V$ 、 $-40^{\circ}C \leq T_A \leq +85^{\circ}C$)(つづき)

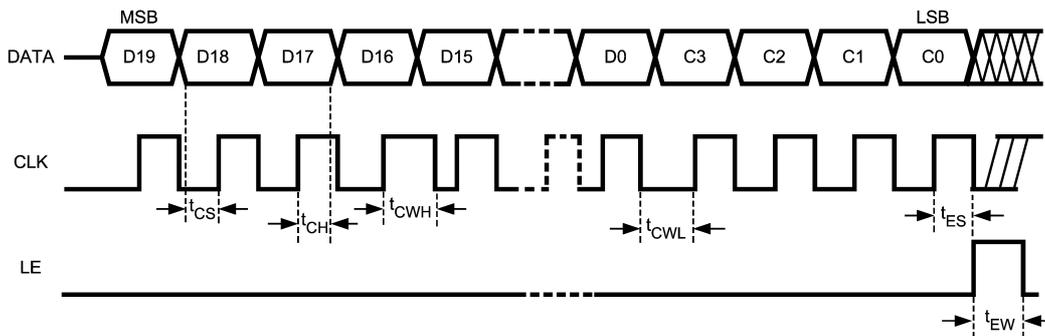
Symbol	Parameter	Conditions	Value			Units
			Min	Typ	Max	
PHASE NOISE						
L_{F1Hz}^{RF}	RF Synthesizer Normalized Phase Noise Contribution (Note 7)	RF_CPG = 0		-202		dBc/Hz
		RF_CPG = 1		-202		
		RF_CPG = 3		-206		
		RF_CPG = 7		-208		
		RF_CPG = 15		-210		
L_{F1Hz}^{IF}	IF Synthesizer Normalized Phase Noise Contribution			-209		dBc/Hz

DIGITAL INTERFACE (DATA, CLK, LE, ENOSC, CE, Ftest/LD, FLoutRF)						
V_{IH}	High-Level Input Voltage		1.6		V_{CC}	V
V_{IL}	Low-Level Input Voltage				0.4	V
I_{IH}	High-Level Input Current	$V_{IH} = V_{CC}$	-1.0		1.0	μA
I_{IL}	Low-Level Input Current	$V_{IL} = 0V$	-1.0		1.0	μA
V_{OH}	High-Level Output Voltage	$I_{OH} = -500 \mu A$	$V_{CC}-0.4$			V
V_{OL}	Low-Level Output Voltage	$I_{OL} = 500 \mu A$			0.4	V

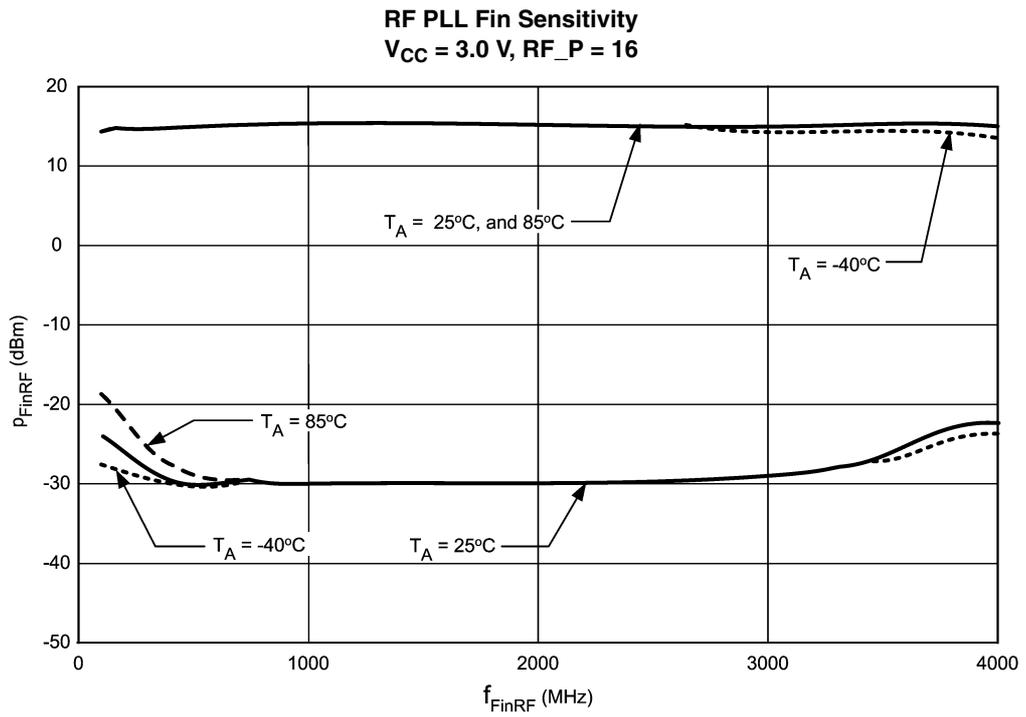
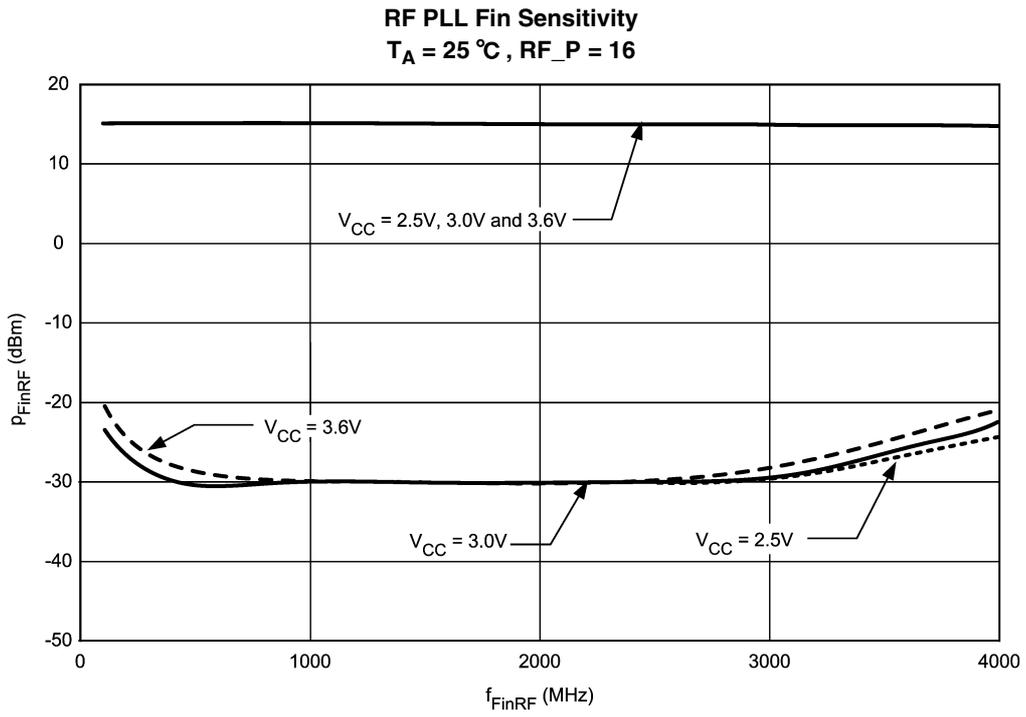
MICROWIRE INTERFACE TIMING						
t_{CS}	Data to Clock Set Up Time	See MICROWIRE Input Timing	25			ns
t_{CH}	Data to Clock Hold Time	See MICROWIRE Input Timing	8			ns
t_{CWH}	Clock Pulse Width High	See MICROWIRE Input Timing	25			ns
t_{CWL}	Clock Pulse Width Low	See MICROWIRE Input Timing	25			ns
t_{ES}	Clock to Load Enable Set Up Time	See MICROWIRE Input Timing	25			ns
t_{EW}	Load Enable Pulse Width	See MICROWIRE Input Timing	25			ns

- Note 3:** 周波数が 500MHz 未満の場合、最適性能を得るにはスルーレートを $100V/\mu s$ 以上にするを推奨します。
- Note 4:** 位相比較周波数が 20MHz を上回る場合、サイクル・スリップの低減 (CSR) が必要になる場合があります。また、分周比にも制約が生じます。
- Note 5:** あらゆる条件におけるチャージ・ポンプ電流は、「2.4.2 RF_CPG — RF PLL チャージ・ポンプのゲイン」の一覧表を参照してください。
- Note 6:** 帯域内のスプリアスを測定するときは、最後まで約分したときに分子が 1 になるようなフラクショナル・ワード (分数) を選択します。スプリアス・オフセット周波数は、約分後の分母で比較周波数を割った値とします。ループ帯域幅は、ループ・フィルタの影響をなくすため、十分広くする必要があります。測定条件は次のようになります。スプリアス・オフセット周波数 = 10kHz、ループ帯域幅 = 100kHz、分数 = 1/2000、比較周波数 = 20MHz、RF_CPG = 7、DITH = 0、変調器の次数 = 4 (FM = 0)。これらの条件は、調整範囲の全域でほとんど変わりません。
- Note 7:** 正規化された位相ノイズ成分は次のように定義されます。 $L_N(f) = L(f) - 20\log(N) - 10\log(f_{COMP})$ 。L(f) はオフセット周波数 f で測定した 1Hz あたりの単側帯位相ノイズです。オフセット周波数 f は、PLL のループ帯域幅よりは十分に小さく、ただし基準信号源からの著しい位相ノイズの影響は避けられる大きさとする必要があります。測定条件は次のようになります。オフセット周波数 = 11kHz、ループ帯域幅 = 100kHz (RF_CPG = 7 の場合)、分数 = 1/2000、比較周波数 = 20MHz、FM = 0、DITH = 0。

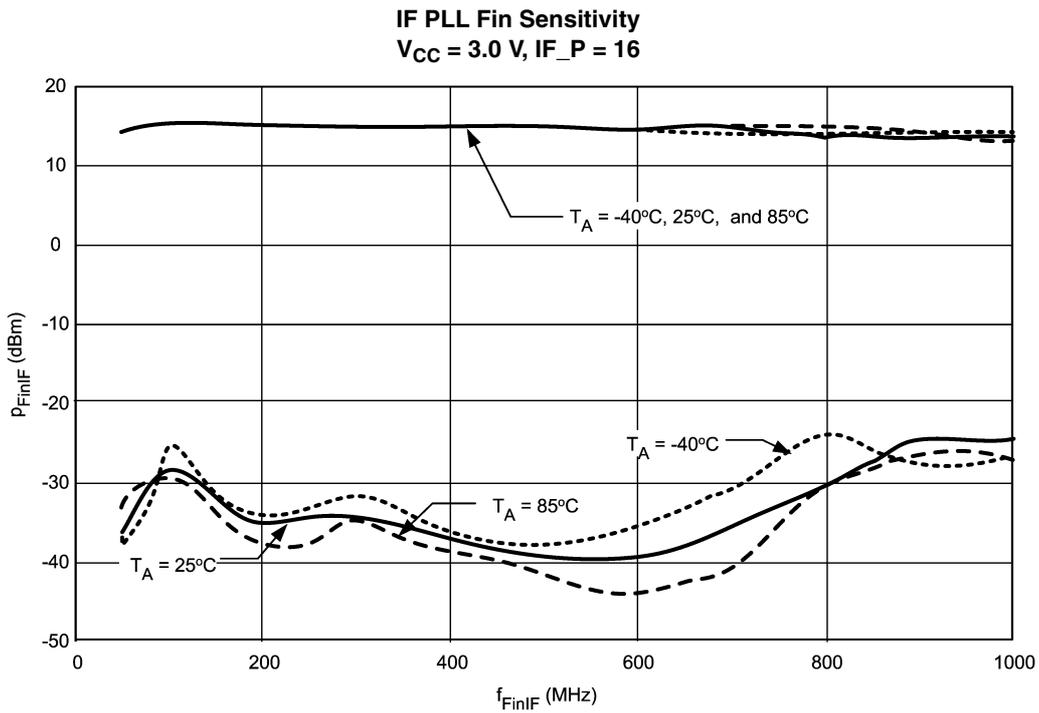
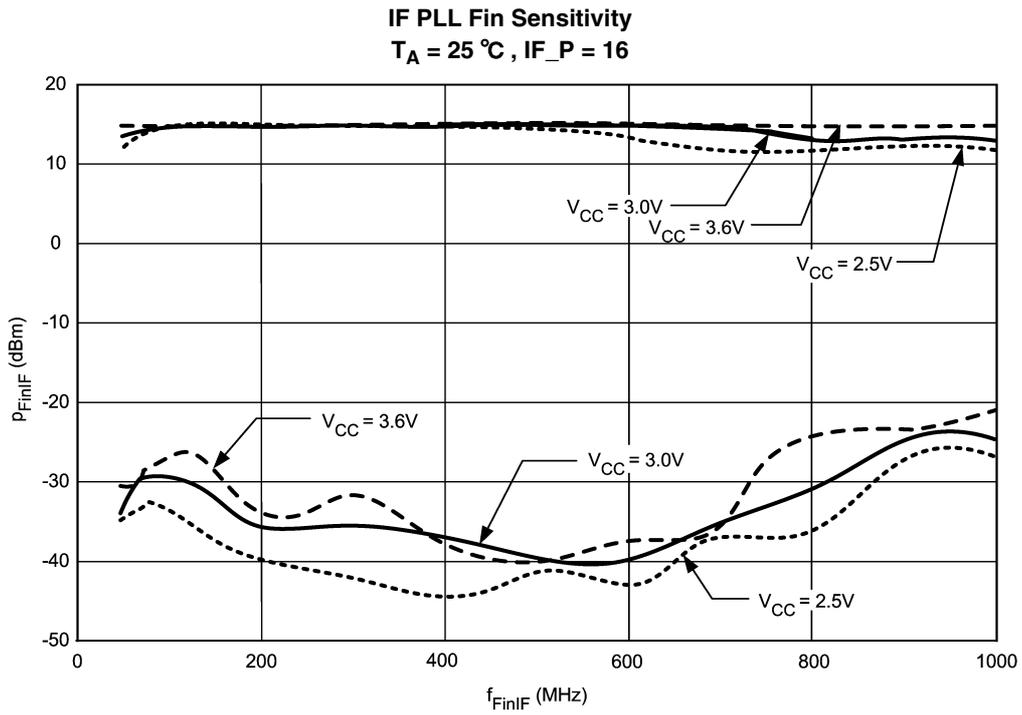
MICROWIRE 入カタイミング図



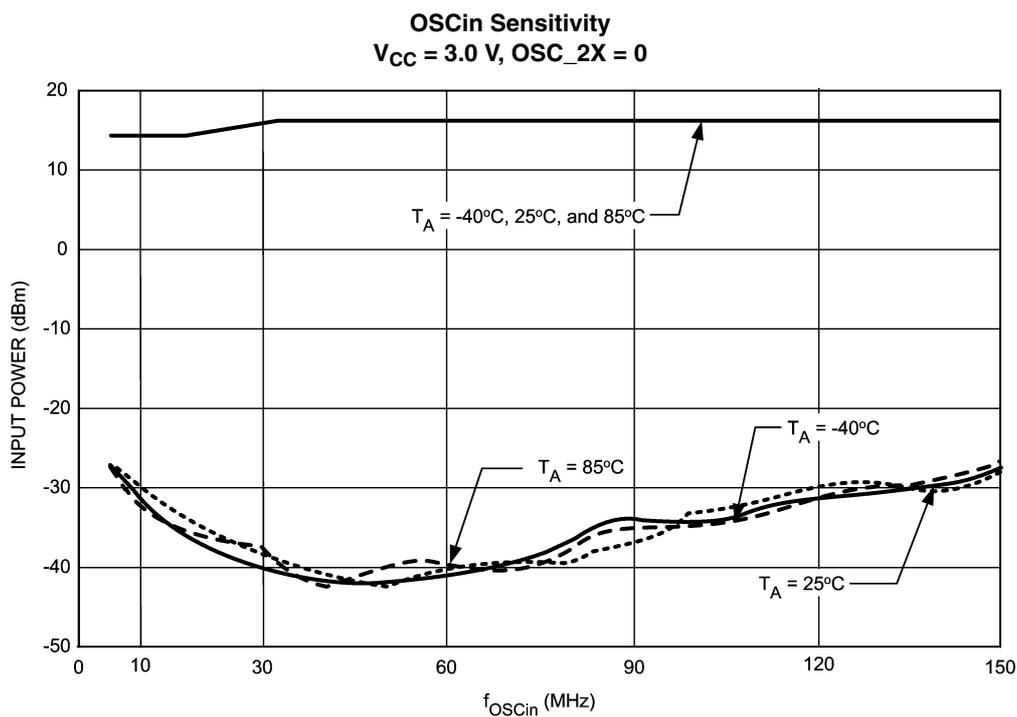
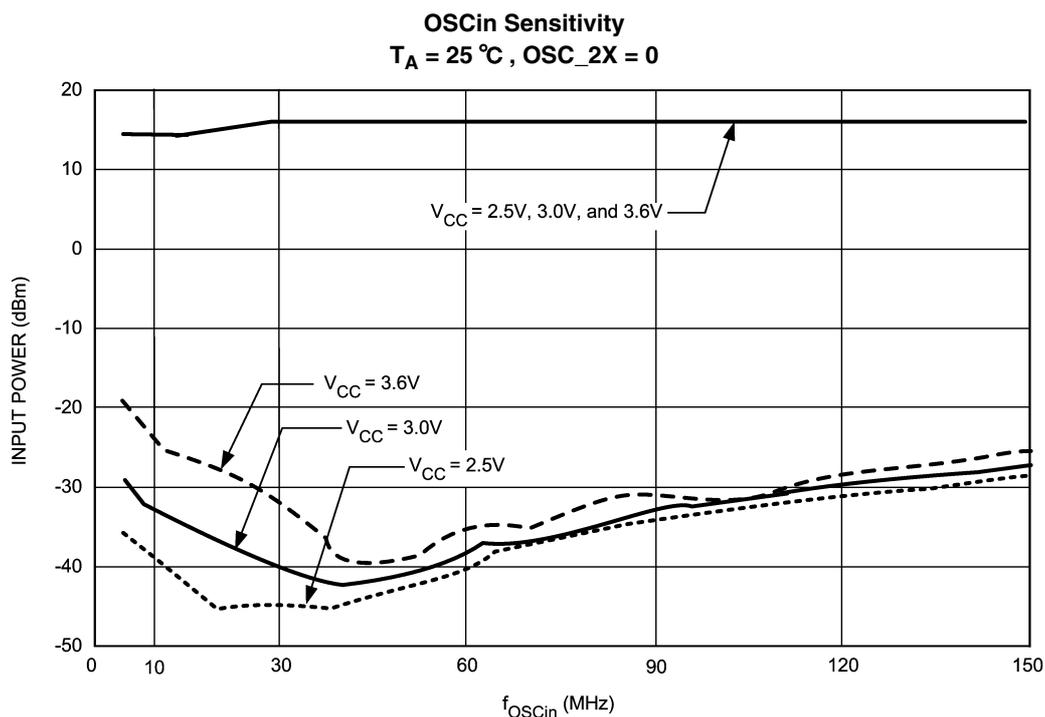
代表的な性能特性：感度 (Note 8)



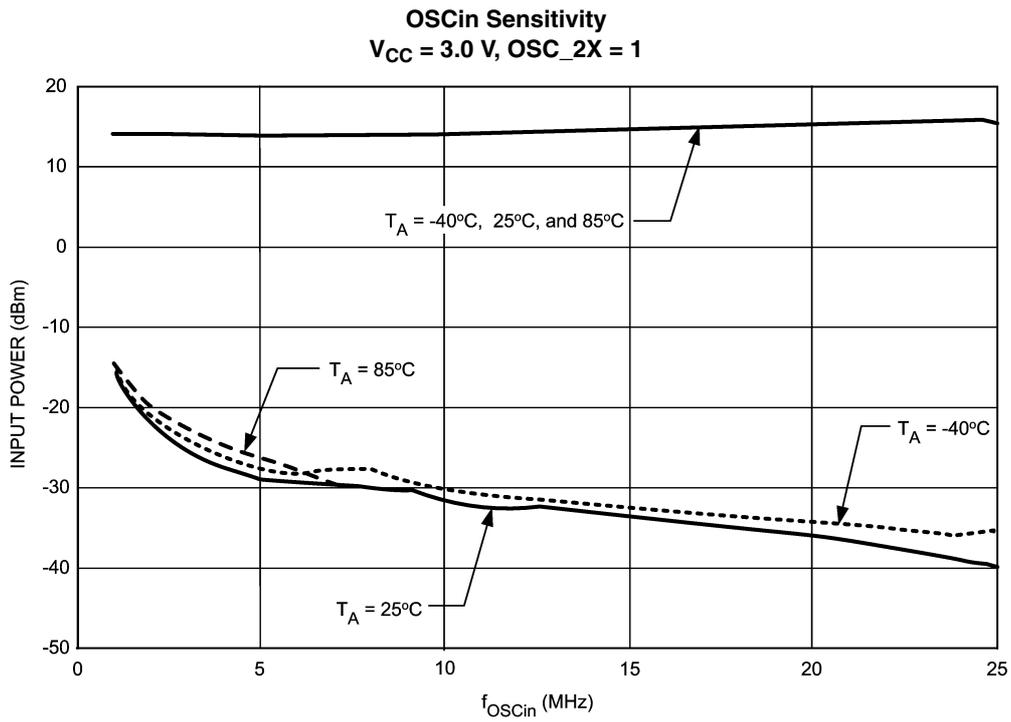
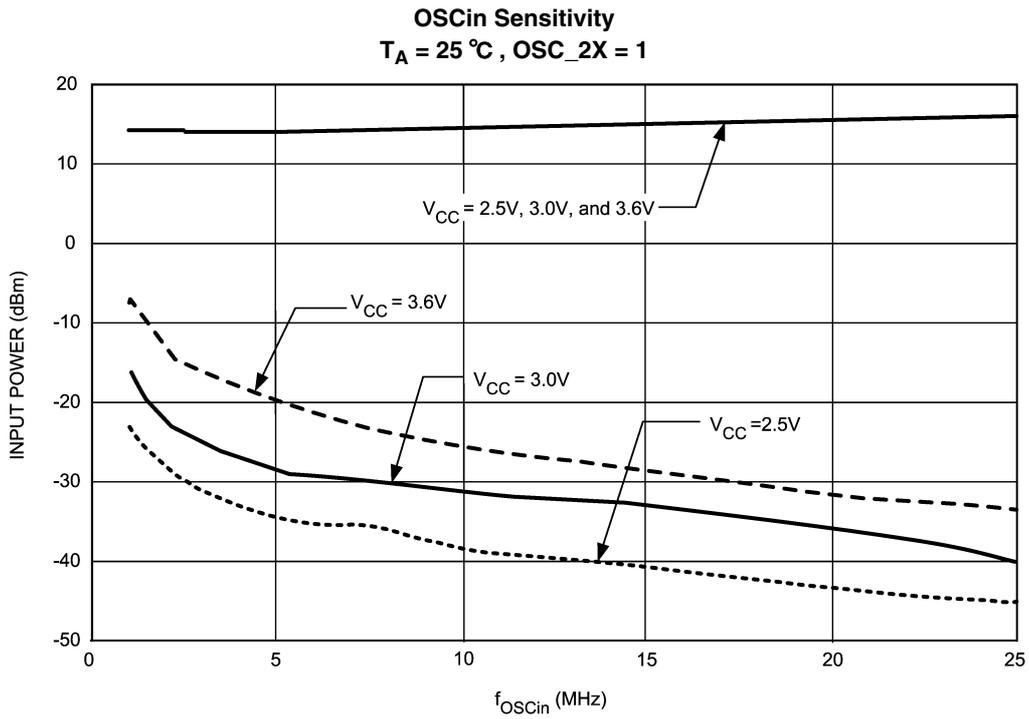
代表的な性能特性：感度 (Note 8) (つづき)



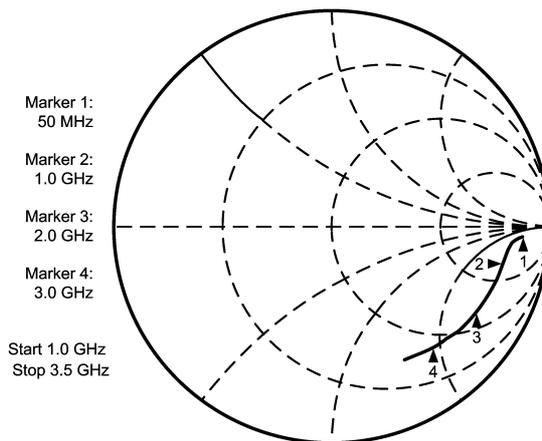
代表的な性能特性：感度 (Note 8) (つづき)



代表的な性能特性：感度 (Note 8) (つづき)

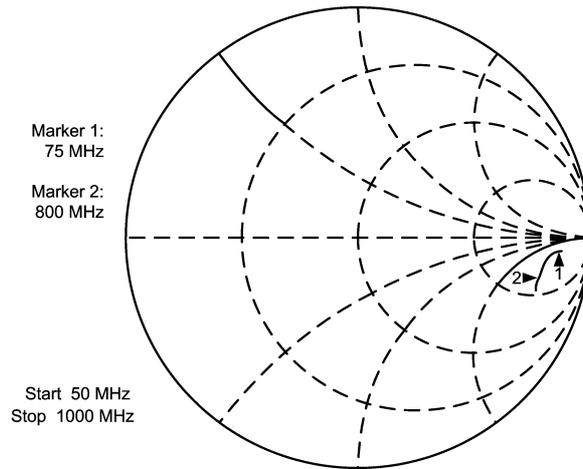


代表的な性能特性 : FinRF の入力インピーダンス (Note 8)



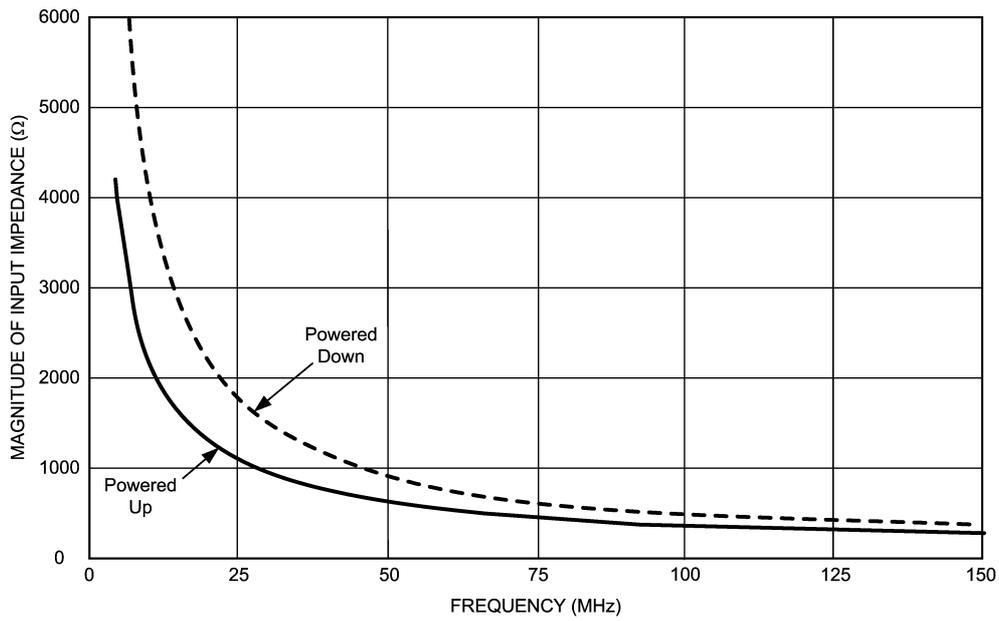
FinRF Input Impedance		
Frequency (MHz)	Real (Ohms)	Imaginary (Ohms)
50	670	-276
100	531	-247
200	452	-209
300	408	-212
400	373	-222
500	337	-231
600	302	-237
700	270	-239
800	241	-236
900	215	-231
1000	192	-221
1100	172	-218
1200	154	-209
1300	139	-200
1400	127	-192
1500	114	-184
1600	104	-175
1700	96	-168
1800	88	-160
1900	80	-153
2000	74	-147
2200	64	-134
2400	56	-123
2600	50	-113
2800	45	-103
3000	39	-94
3200	37	-86
3400	33	-78
3600	30	-72
3800	28	-69
4000	26	-66

代表的な性能特性 : FinIF の入力インピーダンス (Note 8)



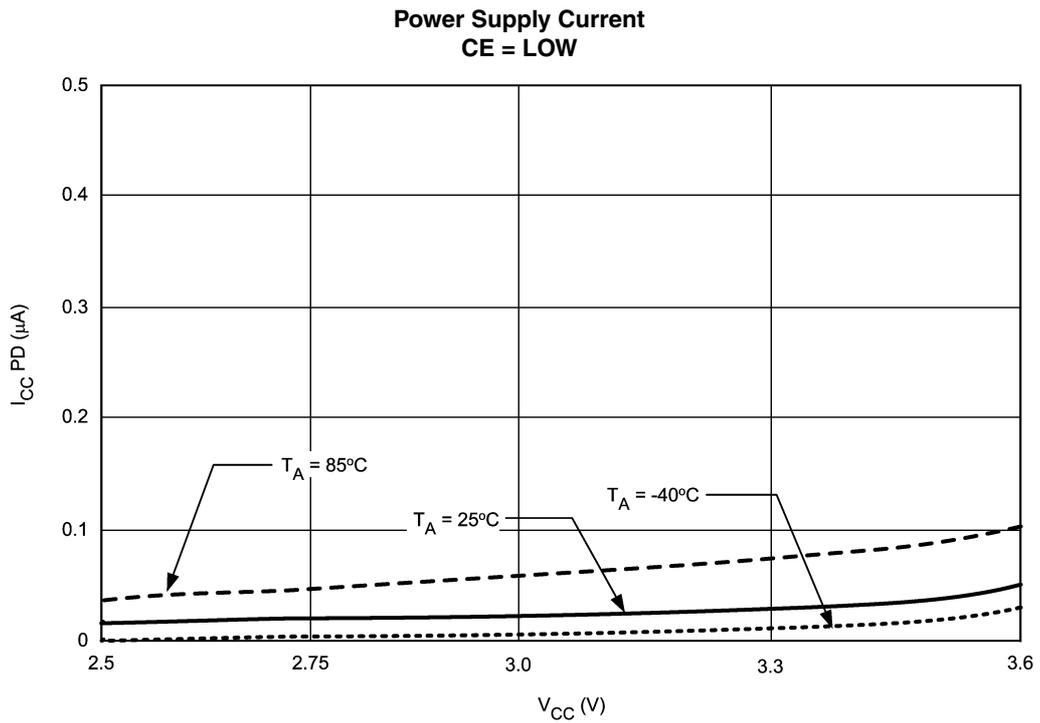
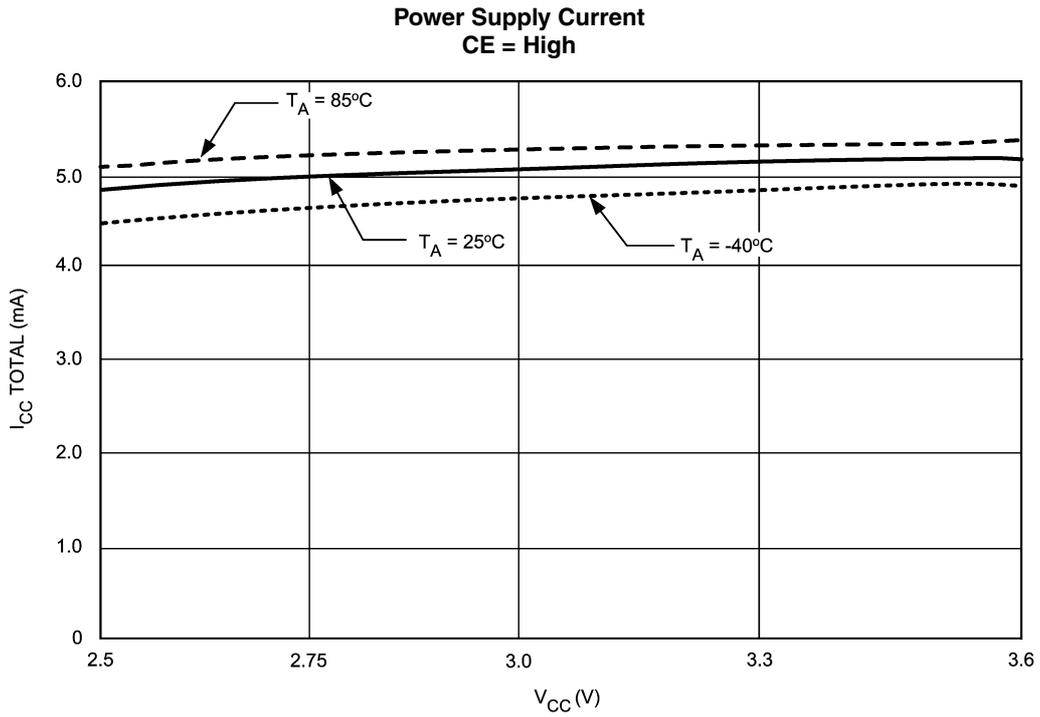
FinIF Input Impedance		
Frequency (MHz)	Real (Ohms)	Imaginary (Ohms)
50	583	-286
75	530	-256
100	499	-241
200	426	-209
300	384	-209
400	347	-219
500	310	-224
600	276	-228
700	244	-228
800	216	-223
900	192	-218
1000	173	-208

代表的な性能特性 : OSCin の入力インピーダンス (Note 8)



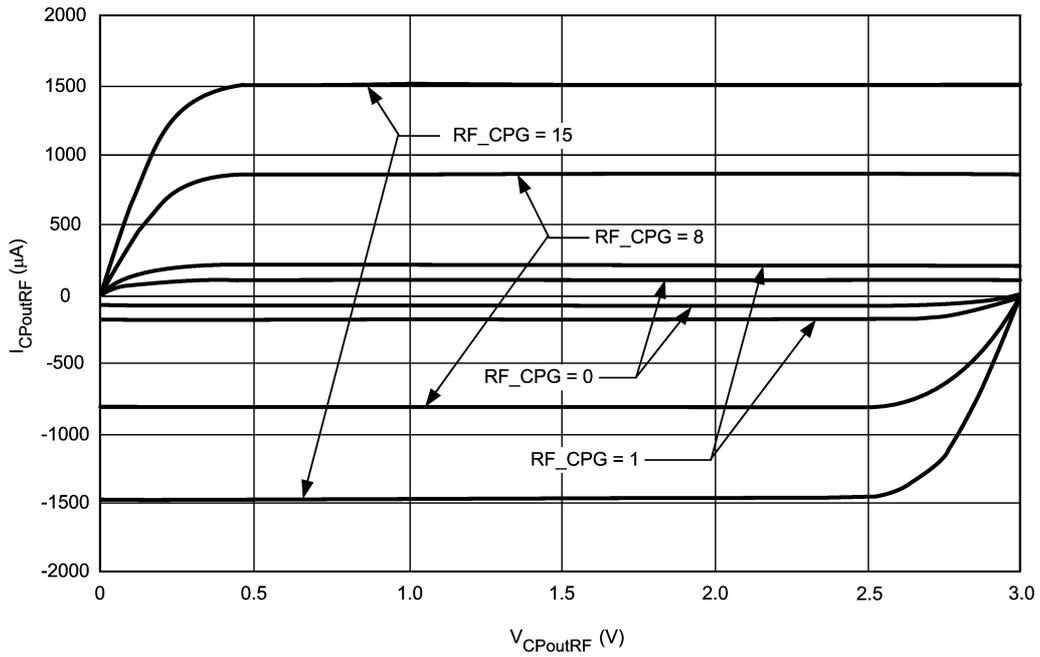
Frequency (MHz)	Powered Up			Powered Down		
	Real	Imaginary	Magnitude	Real	Imaginary	Magnitude
5	1730	-3779	4157	392	-8137	8146
10	846	-2236	2391	155	-4487	4490
20	466	-1196	1284	107	-2215	2217
30	351	-863	932	166	-1495	1504
40	316	-672	742	182	-1144	1158
50	278	-566	631	155	-912	925
60	261	-481	547	153	-758	774
70	252	-425	494	154	-652	669
80	239	-388	456	147	-576	595
90	234	-358	428	145	-518	538
100	230	-337	407	140	-471	492
110	225	-321	392	138	-436	458
120	219	-309	379	133	-402	423
130	214	-295	364	133	-374	397
140	208	-285	353	132	-349	373
150	207	-279	348	133	-329	355

代表的な性能特性：電流 (Note 8)

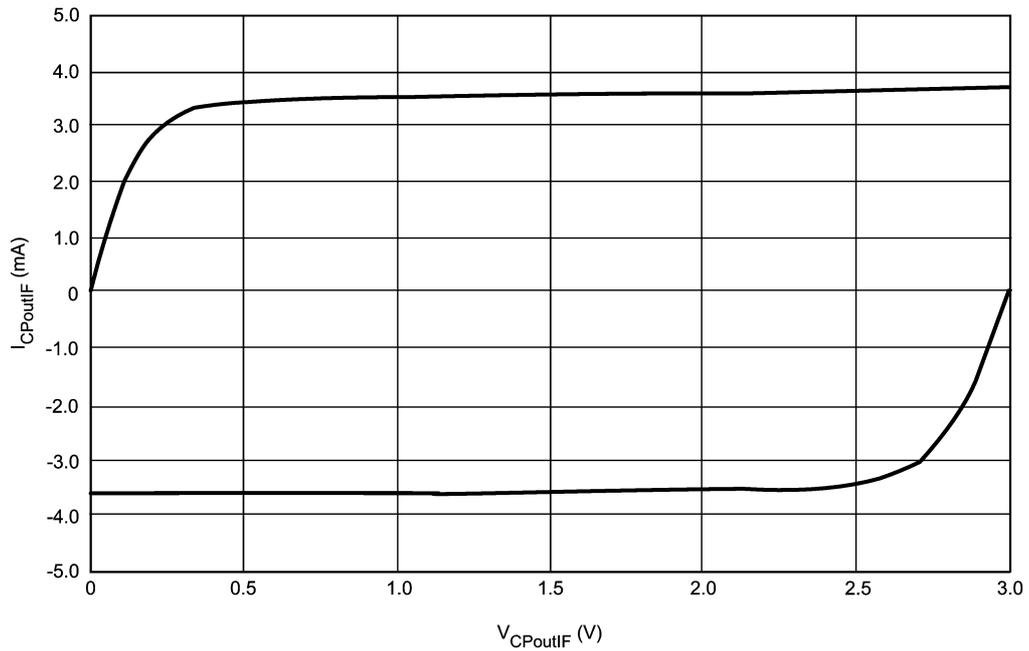


代表的な性能特性：電流 (Note 8) (つづき)

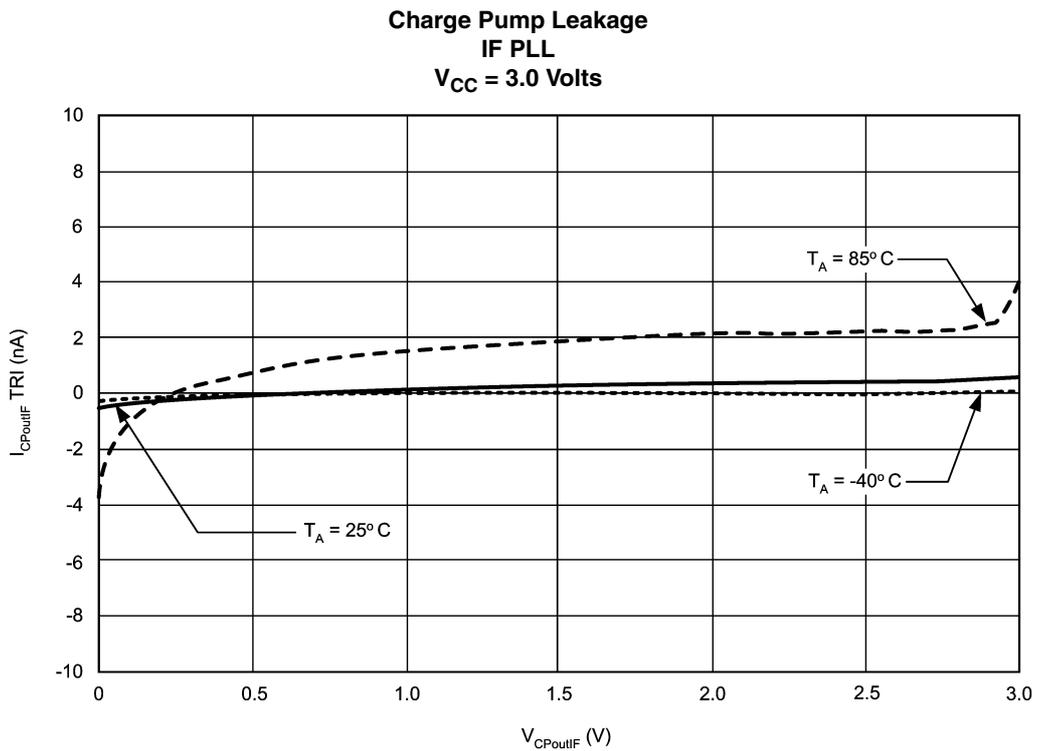
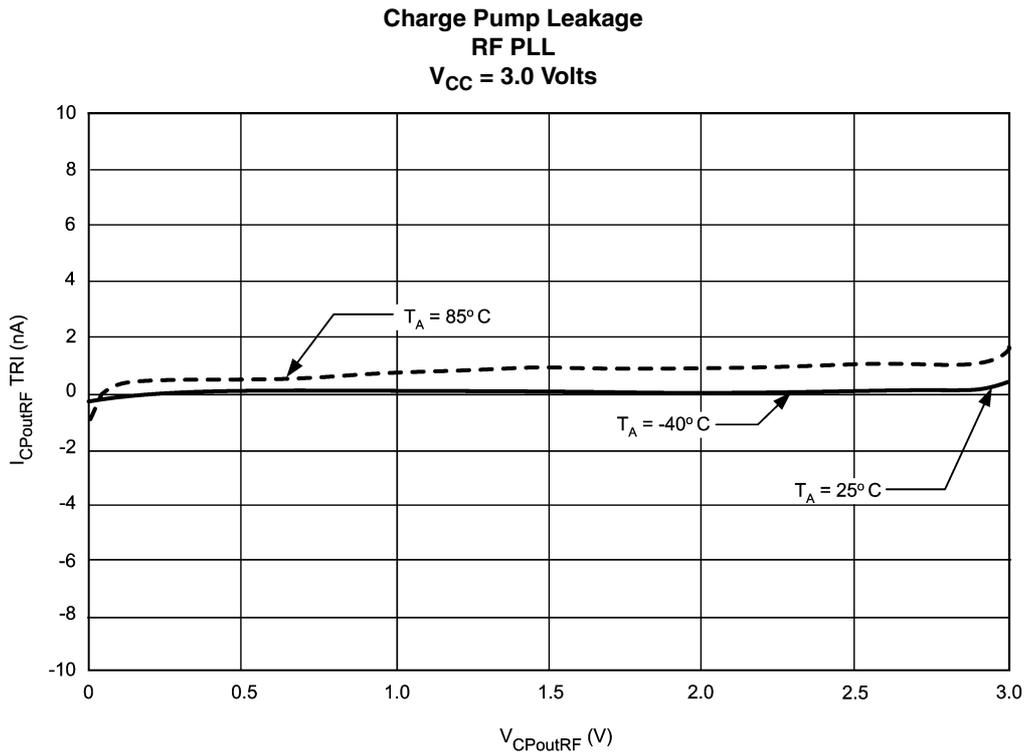
RF PLL Charge Pump Current
V_{CC} = 3.0 Volts



IF PLL Charge Pump Current
V_{CC} = 3.0 Volts

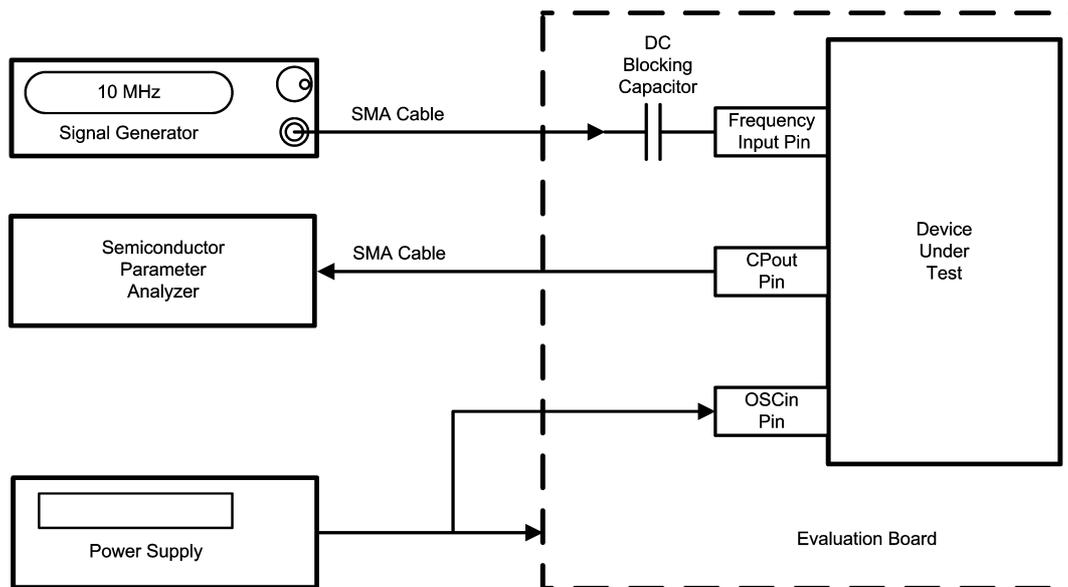


代表的な性能特性：電流 (Note 8) (つづき)



Note 8: 代表的な性能特性には性能を保証する意味は一切ありません。保証された仕様は、「電気的特性」に記載されています。

ベンチ・テストの回路設定



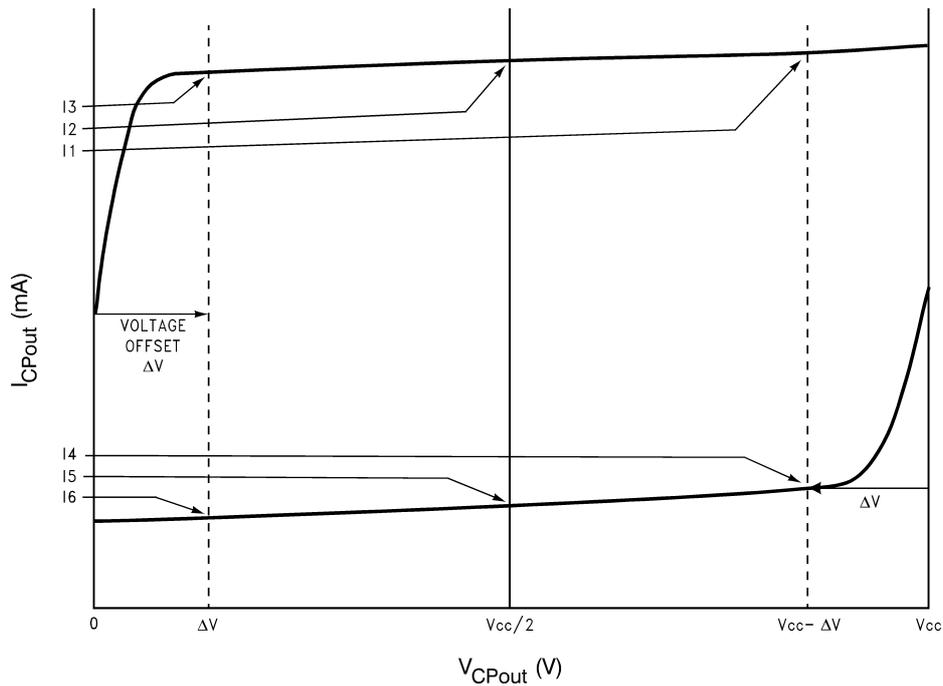
チャージ・ポンプ電流の測定手順

上記のブロック図は、RF および IF チャージ・ポンプをテストする回路を示したものです。テストでは、絶対電流レベル、ミスマッチ、漏れ電流の測定を行います。チャージ・ポンプ電流を測定するときは、高周波入力ピンに信号を印加します。これは、状態が変化するよう位相比較器に十分な遷移を与えるためです。信号を印加しないと、デューティ・サイクルが 100% にならないことから、チャージ・ポンプ電流の測定値が小さく読み出される可能性があります。OSCin ピンは電源に接続します。チャージ・ポンプ電流は、位相比較器を必要な極性にプログラムするだけで、簡単に測定できます。例えば、RF チャージ・

ポンプの電流を測定するには、FinRF ピンに 10MHz の信号を印加します。RF PLL 位相比較器の極性を正に設定すればソース電流を、負に設定すればシンク電流を測定できます。IF PLL のチャージ・ポンプ電流も同様の方法で測定できます。RF PLL チャージ・ポンプ電流は RF_CPG ビットで決まることに注意してください。チャージ・ポンプ電流が既知ならば、ミスマッチも計算できます。漏れ電流を測定するには、RF_CPT および IF_CPT ビットを有効にしてチャージ・ポンプを TRI-STATE モードに設定します。次の表は、チャージ・ポンプの電流を測定する各種テストをまとめたものです。

Current Test	RF_CPG	RF_CPP	RF_CPT	IF_CPP	IF_CPT
RF Source	0 to 15	0	0	X	X
RF Sink	0 to 15	1	0	X	X
RF TRI-STATE	X	X	1	X	X
IF Source	X	X	X	0	0
IF Sink	X	X	X	1	0
IF TRI-STATE	X	X	X	X	1

チャージ・ポンプの電流仕様の定義



- I1 = チャージ・ポンプのシンク電流 (@V_{CPout} = V_{cc} - ΔV)
- I2 = チャージ・ポンプのシンク電流 (@V_{CPout} = V_{cc}/2)
- I3 = チャージ・ポンプのシンク電流 (@V_{CPout} = ΔV)
- I4 = チャージ・ポンプのソース電流 (@V_{CPout} = V_{cc} - ΔV)
- I5 = チャージ・ポンプのソース電流 (@V_{CPout} = V_{cc}/2)
- I6 = チャージ・ポンプのソース電流 (@V_{CPout} = ΔV)

ΔV = 正負の電源レールからの電圧オフセット。このデバイスでは 0.5V と定義されています。

V_{CPout} は、V_{CPoutRF} または V_{CPoutIF} のいずれかを意味します。

I_{CPout} は、I_{CPoutRF} または I_{CPoutIF} のいずれかを意味します。

チャージ・ポンプ出力電流の大きさの変動とチャージ・ポンプ出力電圧の関係

$$I_{CPout} \text{ Vs } V_{CPout} = \frac{(|I1| - |I3|)}{(|I1| + |I3|)} \times 100\%$$

$$= \frac{(|I4| - |I6|)}{(|I4| + |I6|)} \times 100\%$$

チャージ・ポンプ・シンク電流とチャージ・ポンプ出力ソース電流のミスマッチ関係

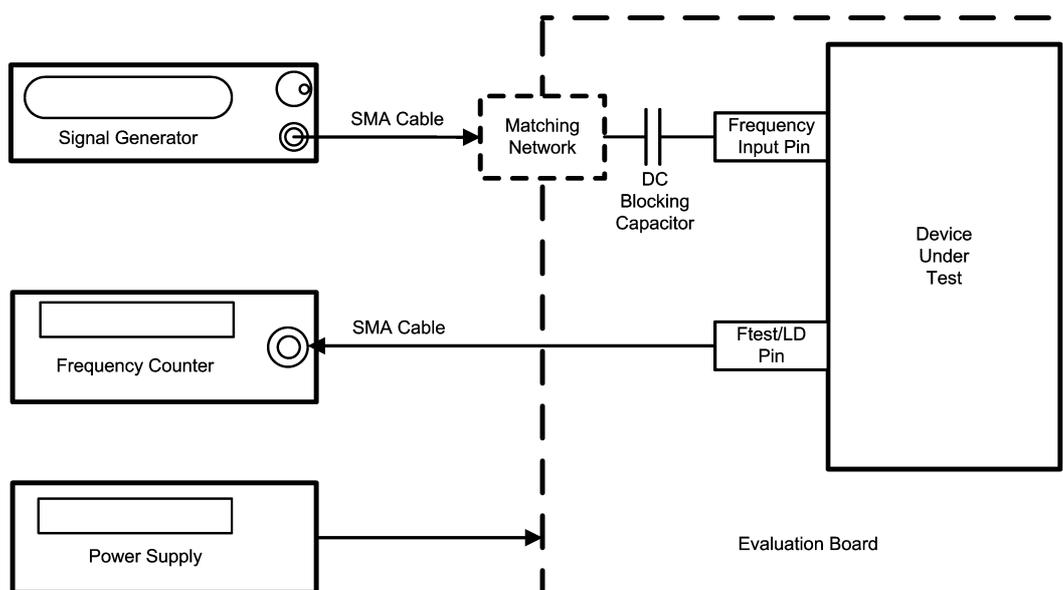
$$I_{CPout} \text{ Sink Vs } I_{CPout} \text{ Source} = \frac{||I2| - |I5||}{\frac{1}{2} (|I2| + |I5|)} \times 100\%$$

チャージ・ポンプ出力電流の大きさの変動と温度との関係

$$I_{CPout} \text{ Vs } T_A = \frac{|I2|_{T_A} - |I2|_{T_A=25^\circ C}}{|I2|_{T_A=25^\circ C}} \times 100\%$$

$$= \frac{|I5|_{T_A} - |I5|_{T_A=25^\circ C}}{|I5|_{T_A=25^\circ C}} \times 100\%$$

チャージ・ポンプの電流仕様の定義 (つづき)



周波数入力ピン	DC 遮断コンデンサ	対応するカウンタ	デフォルトのカウント値	MUX の値
OSCCin	1000pF	RF_R/2	50	14
FinRF	100pF//1000pF	RF_N/2	502 + 2097150 / 4194301	15
FinIF	100pF	IF_N/2	534	13
OSCCin	1000pF	IF_R/2	50	12

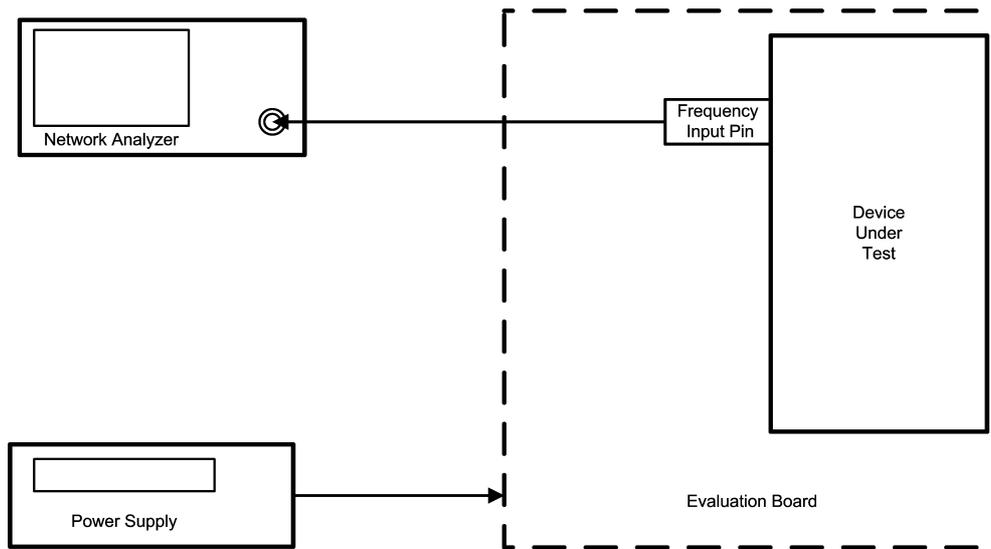
感度の測定手順

感度とは、その値を超えるとテスト対象のカウンタ出力が期待値より 1Hz 以上ずれば始める電力レベルと定義されます。感度は通常、周波数、電圧、温度に対して測定します。感度をテストするには、MUX[3:0] のワードを適切な値にプログラムします。これでカウンタの値が一定の値にプログラムされ、このピンの周波数を監視できるように周波数カウンタを設定します。Ftest/LD ピンの周波数の期待値は、信号ジェネレータの周波数を対応するカウンタ値の 2 倍で割った値になります。カウンタ値を 2 倍するのは、LMX2485 が周波数カウンタによる測定を容易にするために、周波数を 2 分の 1 にしてデューティ・サイクルを 50%にするフリップフロップを搭載しているからです。周波数カウンタの入力インピーダンスはハイ・インピーダンスに設定してください。測定を行うときは、温度、周波数、電圧を一定の値に固定し、信号の電力レベルを変化させます。デバイスに実際に入力される電力レベルは、信号ジェネレータの電力レベルに比べて 4dB の低下を見込んでいることに注意してください。

これは、ケーブルの損失 1dB とパッドの損失 3dB を考慮したものです。Ftest/LD ピンの周波数が精度 1Hz 以内となる電力レベルの範囲を感度のリミットとして記録します。一連の感度曲線を得るには、温度、周波数、電圧を変化させて同様の測定を行います。これは、オープンループ・テストであるため、チャージ・ポンプは TRI-STATE に設定し、テスト対象ではないために使用しない PLL (RF または IF) はパワーダウン状態にしておきます。このデバイスには、実際は 4 つの周波数入力ピンがありますが、周波数テストピンは 1 本 (Ftest/LD) だけです。各ピンに固有の条件を上記の表にまとめました。

RF N カウンタについては、分数を 2097150/4194301 として、22 ビット・モードの 4 次フラクショナル変調器を使用します。分数にこれだけ長い値を使用するのは、RF N カウンタと関連するフラクショナル回路をできるだけ完全にテストするためです。

感度の測定手順 (つづき)



入力インピーダンスの測定手順

上記のブロック図は、LMX2485 の入力インピーダンスを測定するテスト回路の構成を示したものです。入力の SMA コネクタと測定対象のピンの間の DC 遮断コンデンサは、 $0\ \Omega$ の抵抗に変更する必要があります。この手順は FinRF、FinIF、OSCin の各ピンで行います。基本的なテスト手順では、ネットワーク・アナライザを較正し、デバイスがパワーアップ状態にあることを確認してから入力インピーダンスを測定します。ネットワーク・アナライザを較正するには、較正基準を使用するか、抵抗を評価ボードに直接ハンダ付けします。開放状態は抵抗を接続しないことで実現します。短絡状態は測定対象のピンのできるだけ近くに $0\ \Omega$ の抵抗をハンダ付けて実現します。あるいは、測定対象ピンのできるだけ近くに 2 本の $100\ \Omega$ 抵抗を並列にハンダ付けします。較正は、プリント基板から PLL を取り外して行います。これには、入手困難ですが、圧着して固定する治具が必要になります。圧着して固定する治具を使用できない場合は、この手順で通常 DC 遮断コンデンサが取り付けられている個所までの較正を行ってから、ネットワーク・アナライザのポー

ト拡張を実装します。実際の測定を行うときは $0\ \Omega$ の抵抗を再度接続します。テスト回路の較正が終わったら、PLL がパワーアップ状態であることを確認します。これにはパワーダウン・ビット (RF_PD および IF_PD) のオン/オフ (1/0) を切り替えてみて、ビットを無効にしたときに消費電流が実際に増加していることを確認します。デバイスをプログラムするために OSCin ピンへの信号印加が必要になる場合があります。この場合、デバイスがパワーアップ状態にあることを確認できたら、OSCin ピンへの信号を切り離します。高周波動作に伴う問題をデバッグしたり、マッチング・ネットワークを設計したりするときに、PLL の入力インピーダンスを知っておくと役に立ちます。このパラメータは、プリント基板のトレースの入力インピーダンスと、PLL の動作周波数における入力インピーダンスの実部が整合するように、トレース幅を決めるときにも使えます。一般的に、トレース長を短くして PLL の入力インピーダンスのばらつきに対する耐性を可能な限り高くすることが、優れた設計と言えます。

機能説明 (Note 9)

1.0 概要

LMX2485 は、チップに内蔵された N カウンタ、R カウンタ、チャージ・ポンプから構成されます。TCXO、VCO、ループ・フィルタはチップに外付けします。ここでは各ブロックについて説明します。

1.1 TCXO、発振器バッファ、R カウンタ

発振器バッファは TCXO などの単一信号源によりシングルエンドで駆動する必要があります。デバイスには、バッファを介してこの入力信号を出力する OSCOut ピンがあります。出力は OSC_OUT ビットを 1 に設定したときに有効になります。LMX2485 内のレジスタの状態にかかわらず、確実に OSCOut ピンを有効にするには、ENOSC ピンを High にプルアップする方法もあります。

R カウンタは、TCXO 周波数を比較周波数まで分周します。

1.2 位相比較器

位相比較器の最大動作周波数は、IF PLL については特に複雑な点はありませんが、フラクショナル回路である RF PLL の場合は若干込み入っています。LMX2485 に搭載された RF PLL の位相比較器は最大 50MHz で動作します。しかし、N カウンタには使用できない分周比が存在するため、常にこの周波数で動作できるとは限りません。水晶発振器の基準周波数によっても位相比較器の周波数は制約を受けます。ただし、この点についてはダブラーによって解決できます。位相比較器の周波数選択はトレードオフを伴います。この周波数を高くすれば位相ノイズは低減されるものの、サイクル・スリップが発生し、ループ・フィルタのコンデンサがかなり大きくなることから、ロック時間が増大する恐れがあります。

1.3 チャージ・ポンプ

ほとんどの期間、チャージ・ポンプの出力はハイ・インピーダンスであり、このピンを通して流れる電流は TRI-STATE 状態における漏れ電流だけです。ただし、このピンからは高速の補正パルスが出力されます。そのパルス幅は、位相比較器が検出した位相誤差に比例しています。

チャージ・ポンプは、位相比較器が検出した位相誤差を補正電流に変換します。理論上、補正電流は大きさが一定で、デューティ・サイクルが位相誤差に比例して変化します。IF PLL ではこの電流をプログラムによって設定できません。RF PLL では 16 段階でプログラム可能です。さらに RF PLL では、PLL がロックするときにより大きなチャージ・ポンプ電流を流すことにより、ロック時間を低減することができます。

1.4 ループ・フィルタ

ループ・フィルタの設計は、かなり複雑になる場合があります。通常の制約や設計パラメータのほかに、ループ・フィルタの次数をデルタ・シグマ変調器の次数よりも 1 だけ大きくしなければならぬというデルタ・シグマ PLL 固有の制約も加わります。この経験則による制約は、ループ・フィルタがデルタ・シグマ・ノイズの立ち上がりよりも速く、20dB/dec でロール・オフしなければならない要件に基づいています。ただし、ノイズは無限大の電力を持つわけではないため、いずれはロール・オフします。したがって、ループ帯域幅が狭ければ、上記の要件を考慮する必要はありません。説明上、本データシートでは、ループ・フィルタの 0Hz にあるポールは数えません。2 次のループ・フィルタには 3 つ、3 次のループ・フィルタには 5 つ、4 次のループ・フィルタには 7 つの部品（抵抗、コンデンサ）があることになります。理論上、4 次の変調器には 5 次のループ・フィルタが必要になるものの、一般的には 4 次のフィルタが使

われます。ループ・フィルタの設計は、特に高次の際は複雑になる場合がありますが、「機能説明」の末尾の Note に示したもののなど、多くのシミュレーション・ツールや参考文献があります。

1.5 N カウンタと高周波入力ピン

N カウンタは、VCO 周波数を比較周波数まで分周します。プリスケラを使用しているため、N には最小値の制限があります。N カウンタについては、「プログラミング」で詳細に検討します。これらのカウンタに対する入力ピン (FinRF および FinIF) は高周波で駆動されるため、レイアウトに配慮することが重要です。

高周波入力ピン、FinRF と FinIF

通常、VCO 出力は抵抗性のパッドから DC 遮断コンデンサを介して、これらの高周波ピンに入力することを推奨します。トレース長が十分に短ければ (< 波長の 1/10)、パッドが不要場合があります。それでも、PLL を VCO から分離するために約 39Ω の抵抗を直列に接続することを推奨します。DC 遮断コンデンサは、周波数に応じて 27pF 以上のものを選択してください。周波数がコンデンサの自己共振周波数を上回る場合がありますが、PLL の入力インピーダンスは容量性になる傾向があるため、チューニング周波数を超えることはむしろ有利に働きます。パッドおよび DC 遮断コンデンサは、PLL のできる限り近くに配置してください。

相補型の高周波ピン、FinRF*

このピンを使って PLL を差動信号で駆動できますが、PLL はシングルエンドで駆動するのが一般的です。FinRF* ピンにはシャント・コンデンサを接続してください。このコンデンサの容量は、ESR も含めたインピーダンスが、PLL の動作周波数における AC 短絡インピーダンスにできるだけ近くなるように選択します。周波数によって変わりますが、100pF が代表的な値です。

1.6 電源ピン、パワーダウン/パワーアップ・モード

電源ピンは、いずれも 18Ω の直列抵抗と 2 つの接地されたコンデンサが作るローパス・フィルタによってフィルタリングすることを推奨します。理論上、大きな容量のコンデンサほど効果がありますが、容量が大きくなると ESR（等化直列抵抗）も大きくなります。フィルタリングの効果を最適化するには、コンデンサの ESR と理論上のインピーダンスの合計を最小化します。したがって、最大の効果が得られるフィルタには、値が大きく異なる 2 つのコンデンサを使用することを推奨します。1μF と 100pF などが代表的な値です。小容量のコンデンサは、できる限りピンの近くに配置します。

LMX2485 のパワーダウン状態は、多くの方法で制御できます。その一つとして、CE ピンは他のあらゆる方法より優先されます。このピンを Low にすれば、デバイスはパワーダウン状態に移行します。チップをパワーアップ状態にするには、このピンを論理 High にする必要があります。ただし、プログラミング・レジスタのビット設定によっては CE ピンを High にしても PLL がパワーダウン状態に戻る場合があります。RF_PD と IF_PD のビットを 0 に設定して、CE ピンを High にすれば、デバイスを確実にパワーアップ状態にできます。これらのビットのいずれかを 1 に設定すれば、シンセサイザの該当する部分をパワーダウンできます。ただし、ATPU ビットによってこれらの設定がオーバーライドされない場合に限り、

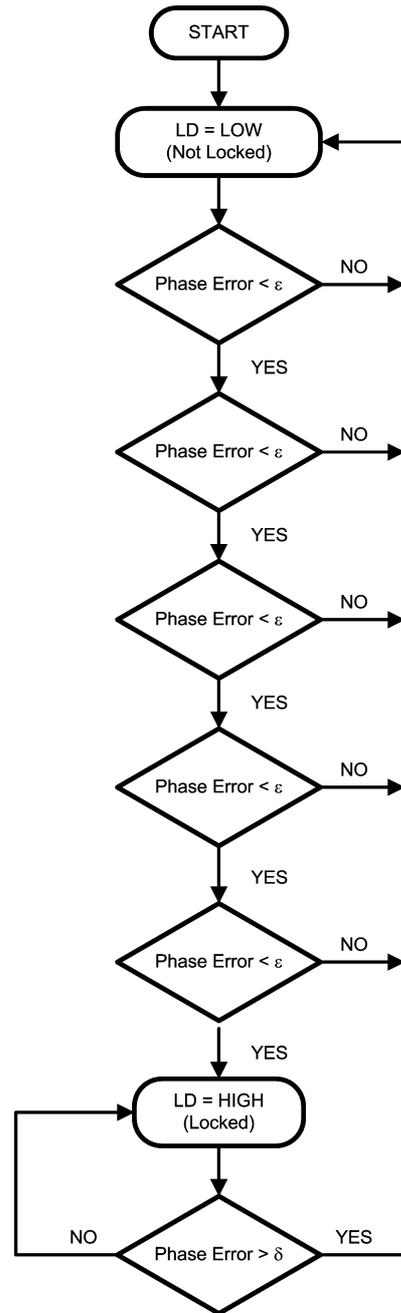
CE ピン	RF_PD	ATPU ビット有効+ RF N カウンタ 書き込み	PLL の状態
Low	X	X	パワーダウン (非同期)
High	X	あり	パワーアップ
High	0	なし	パワーアップ
High	1	なし	パワーダウン (非同期)

1.7 デジタル・ロック検出動作

RF PLL デジタル・ロック検出回路は位相比較器の入力の位相と、RC によって生成した遅延 ϵ の差を比較します。ロック状態 (Lock = High) と見なされるのは、基準サイクルの 5 周期の間、連続して位相誤差が RC 遅延 ϵ よりも小さい場合です。ロック状態になると (Lock = High)、RC 遅延はおよそ δ に変化します。ロック状態が解除された (Lock = Low) と見なされるのは、位相誤差が δ より大きくなった場合です。 ϵ と δ の値は、使用する PLL ごとに異なり、それぞれ下表の通りです。

PLL	ϵ	δ
RF	10 ns	20 ns
IF	15 ns	30 ns

Ftest/LD ピンの機能をロック検出にプログラムした場合、PLL をパワーダウン・モードにするとピンの出力は強制的に Low になります。この回路の精度は、比較周波数が大きくなると低下します。比較周波数が 20MHz を超える場合に DIV4 ワードを 1 に設定すると、この性能劣化を補償できます。このワードの機能は、ロック検出回路に入力される比較周波数を 4 分周します。両方の PLL のロック検出状態を出力するように MUX[3:0] を設定した場合、PLL のいずれか一方でもロックが外れると非ロック状態 (Low) が出力されることに注意してください。



1.8 サイクル・スリップ低減と FastLock

LMX2485 には、タイムアウト・カウンタを用いた、サイクル・スリップ低減 (CSR) および FastLock の両機能を備えています。これらの機能を使用するために、追加のプログラミングは不要です。通常、サイクル・スリップ低減機能を使用するには定常状態のチャージ・ポンプ電流を 8X 以下とすることを推奨します。また、FastLock 機能を使用するには 4X 以下とします。次に、FastLock または CSR のいずれを使用するかを決定します。使用する機能は、比較周波数 (f_{COMP}) とループ帯域幅 (BW) の比率に基づいて判断します。

比較周波数 (f_{COMP})	FastLock	サイクル・スリップ低減 (CSR)
$f_{COMP} \leq 1.25\text{MHz}$	CSR より明らかに良好な特性	$f_{COMP} > 100 \times \text{BW}$ の場合 有利になる可能性があります。
$1.25\text{MHz} < f_{COMP} \leq 2\text{MHz}$	CSR より若干良好な特性	
$f_{COMP} > 2\text{MHz}$	CSR と同等または劣る特性	

サイクル・スリップ低減 (CSR)

サイクル・スリップ低減機能は、周波数取得時にループ帯域幅を変えずに比較周波数を低くして、比較周波数のループ帯域幅に対する比率を小さくすることで動作します。比較周波数がループ帯域幅の 100 倍を超えると、サイクル・スリップが発生してロック時間が著しく劣化します。この比率が大きければ大きいほど CSR の効果も大きくなります。これは通常、比較周波数が高い場合に起こる現象です。サイクル・スリップが問題にならない場合は、CSR の使用にメリットはありません。CSR 動作が終了する際にグリッチが生じますが、PLL が実際にロックするよりかなり前に CSR 動作は終了しているため問題にはなりません。過渡応答のピーク時に CSR を終了するのが最適であるという経験則があります。通常、このタイミングは FastLock が終了する時点よりかなり早いので、CSR と FastLock を組み合わせることに意味がありません。

FastLock

FastLock 機能は、周波数取得時のみループ帯域幅を増加させることで動作します。比較周波数が 2MHz 以下では、FastLock は CSR よりも大きな効果が得られる場合があります。FastLock はループ帯域幅に対する比較周波数の比率を小さくするため、比較周波数が 2MHz を超える領域であっても大きなメリットが得られる可能性があります。しかし、通常この領域では、CSR によって FastLock 以上の効果が得られ、CSR なら抵抗を追加せずに実装できます。このように周波数に制約があるのは、FastLock を終了するときグリッチが発生するためです。FastLock の動作時間が短くなってロック時間と同程度になると、このグリッチの影響が顕著に表れ、FastLock の効果が制限されます。この状況は、比較周波数が高くなるほど悪化します。位相ノイズの劣化を許容できる場合は、比較周波数さえ低くすれば、この制約は容易に満足できます。このように FastLock を使用すると、グリッチがあったとしても依然として正味のロック時間は改善されます。FastLock を使用する場合は、定常状態のチャージ・ポンプ電流を 4X 以下とすることを推奨します。また、FastLock は本来 2 次のフィルタのみを対象とした機能であるため、より高次のフィルタとともに実装するときは、3 次と 4 次のポールが近づきすぎないようにする必要があります。ポールが接近していると、大きなチャージ・ポンプ電流設定で FastLock 抵抗を接続した場合に、ループ・フィルタが最適性能を発揮できません。

1.8.1 サイクル・スリップ低減 (CSR) によるサイクル・スリップの防止

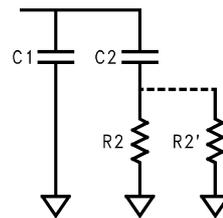
CSR の使用を決定したら、サイクル・スリップ低減係数を選択する必要があります。選択可能な係数は、1/2、1/4、1/16 の 3 通りです。ループ特性を同等に保つために、以下の制約を守ることを推奨します。

$$(\text{FastLock 時のチャージ・ポンプ電流}) / (\text{定常状態のチャージ・ポンプ電流}) = \text{CSR 係数}$$

この制約を守るためには、CSR 係数が 1/2 なら定常状態の最大チャージ・ポンプ電流は 8X、CSR = 1/4 なら 4X、CSR = 1/16 なら 1X になります。チャージ・ポンプ電流が大きいほど PLL の位相ノイズは小さくなるため、CSR はサイクル・スリップを防止するのに最低限必要な設定にすべきです。チャージ・ポンプ電流に、この制約以上の値を設定しても、ロック時間は改善されず、位相ノイズが増大するだけです。

定常状態のループ帯域幅の目標が 100kHz、比較周波数が 20MHz の場合を例に検討します。この場合、比率は 200 倍です。サイクル・スリップは発生する可能性はありますが、発生したとしてもその影響はそれほど深刻ではありません。CSR 係数として 1/2 を選択した場合、周波数取得時の比率が 100 倍まで下がり、これで十分な効果が得られると思われる。定常状態のチャージ・ポンプ電流として 8X、周波数取得時には 16X を使用できます。比率は 1/2 となり、CSR 係数と等しいので上記の制約を満足しています。この場合、常に 16X のチャージ・ポンプ電流のみを使用する選択肢もあります。位相ノイズが改善され、ロック時間への影響はそれほど大きくないためです。

1.8.2 FastLock によるロック時間の改善



FastLock の使用を決定したら、ループ帯域幅倍率 K を求めます。この倍率は FastLock 時にループ帯域幅を変化させる理論上の倍率と、FastLock 時に並列に接続される抵抗の値 R2p を決めるために必要になります。比率は次のように決められます。

$$K = (\text{FastLock 時のチャージ・ポンプ電流}) / (\text{定常状態のチャージ・ポンプ電流})$$

K	Loop Bandwidth	R2p Value	Lock Time
1	1.00 X	Open	100 %
2	1.41 X	R2/0.41	71 %
3	1.73 X	R2/0.73	58%
4	2.00 X	R2	50%
8	2.83 X	R2/1.83	35%
9	3.00 X	R2/2	33%
16	4.00 X	R2/3	25%

上の表は、倍率 K の決定後、FastLock 抵抗の値とロック時間の改善の理論値を計算する方法を示したものです。いずれも 2 次のフィルタを前提にしています (0Hz のポールは数えません)。ただし、通常ループ・フィルタの次数はデルタ・シグマ変調器の次数より 1 だけ大きくすべきです。したがって 2 次のループ・

フィルタを推奨できるケースは決してないことを意味します。この場合、R2p の値は一般的に 2 次のフィルタでは約 80% になります。K が大きくなると FastLock 終了時のグリッチが大きくなってループ・フィルタの最適性能を保てなくなるため、K をできるだけ大きくするという通常ならロック時間を改善できる設計方法も、必ずしも効果が得られない場合があります。より厳密な検討を行うには、シミュレーション・ツールを使用するか、試行錯誤が必要でです。

1.8.3 コンデンサの誘電体がロック時間に与える影響の検討

LMX2485 は、位相ノイズを最小化するために、きめ細かいフラクショナル・モジュラスと高いチャージ・ポンプ・ゲインを実現しています。N の値を小さくし、チャージ・ポンプ・ゲインを大きくすると、ループ・フィルタ内のコンデンサの値が大きくなる点を考慮する必要があります。通常、値の大きなコンデンサでは、誘電体の品質と物理的大きさの間にトレードオフがあります。フィルム・コンデンサまたは NPO/COG コンデンサを使用すると、ロック時間は最短となるものの、X7R または Z5R を使用したコンデンサではロック時間が 0 ~ 500% 増大することがあります。しかし、一般的な傾向として、高い比較周波数を用いれば、コンデンサの誘電体の影響を受けにくくなります。品質のよくない誘電体を用いたコンデンサを使わざるを得ないケースは珍しくありませんが、可能な対策は、ループ・フィルタのコンデンサの実装面積をできるだけ確保すること、チャージ・ポンプ電流を低くしフラクショナル・モジュラスを減らしてコンデンサの値を小さくすることです。コンデンサの誘電体は、位相ノイズやスプリアスにほとんど影響を与えません。

1.9 フラクショナル・スプリアスと位相ノイズの制御

フラクショナル・スプリアスの制御は、厳密な科学というより、むしろ経験に基づいた作業と言えます。まず、1 次フラクショナル・スプリアスとサブフラクショナル・スプリアスを区別して認識する必要があります。1 次フラクショナル・スプリアスは、チャンネル間隔の整数倍で現れるスプリアスです。サブフラクショナル・スプリアスは、チャンネル間隔よりも分解能の小さい部分、通常はチャンネル間隔の半分または 4 分の 1 に現れるスプリアスです。フラクショナル・スプリアス、サブフラクショナル・スプリアス、位相ノイズの間にはトレードオフがあります。ここで説明する経験則は、このトレードオフを判断する方法です。例外もあります。フラクショナル・スプリアスに影響を与えるビットは FM と DITH です。これらのビットは、FM、DITH の順で設定してください。

Note 9: デルタ・シグマ PLL、ループ・フィルタの設計、サイクル・スリップ低減、FastLock、その他多くのトピックに関する詳細は、wireless.national.com を参照してください。シミュレーション・ツールの EasyPLL や、ディーン・パナジーによる「PLL 性能、シミュレーションおよびデザイン・ハンドブック (PLL Performance, Simulation and Design Handbook)」(PDF) を掲載しています。

第 1 のステップは、デルタ・シグマ変調器の次数 FM の選択です。FM = 3 として変調器を 3 次に設定し、ディザリングを強くかけた状態から検討を始めることを推奨します。通常、1 次フラクショナル・スプリアスとサブフラクショナル・スプリアスの間にはトレードオフ関係があります。高次の変調器 (4 次の場合 FM = 0) を選択すると、通常 1 次フラクショナル・スプリアスが最小に、サブフラクショナル・スプリアスが最大になります。低次の変調器 (2 次の場合 FM = 2) を選択すると、通常 1 次フラクショナル・スプリアスが最大に、サブフラクショナル・スプリアスが最小になります。FM = 3 とした 3 次の変調器は、両者のトレードオフです。

第 2 のステップは、ディザリングの度合いの DITH の選択です。ディザリングは 1 次フラクショナル・スプリアスにはごく小さな影響しか与えませんが、サブフラクショナル・スプリアスには著しい影響を及ぼします。ディザリングに伴う唯一の問題は、位相ノイズが数 dB 増加する可能性があることです。ループ帯域幅が非常に広い場合は、さらに位相ノイズが増えるおそれがあります。ディザリングを無効にすれば (DITH = 0)、位相ノイズは最小となるものの、サブフラクショナル・スプリアスは最悪となります (分数の分子が 0 の場合を除きます。この場合は、位相ノイズ、サブフラクショナル・スプリアスとも最小です)。ディザリングを強くかけると (DITH = 2)、サブフラクショナル・スプリアスは完全にはなくなるものの著しく低減されます。その代わり位相ノイズの増加は最大になります。弱いディザリング (DITH = 1) が両者のトレードオフです。

第 3 のステップは、フラクショナル・ワード (分数) の調整です。1/10 と 400/4000 は数学的には同じ値ですが、分子の値を大きくして分数を表現すると、多くの場合フラクショナル・スプリアスが改善します。分数の分母を大きくしても、スプリアスは一定量以上改善しません。実際的な設定では、分数の分母をできるだけ大きく、ただし 4095 を超えないようにして、分数の分子または分母に拡張モードを使わないですむようにすべきです。

以上のステップはどのような順序で実行してもかまいませんが、最適性能を得るには数回繰り返す必要があるでしょう。約 100MHz 未満の低い周波数については特別な検討が必要です。波形を整えるほかに、ほとんどが冗長な分数ではなく既約分数を使用する方が有効です。また、ディザリングにそれほど効果がない場合もあります。ここではスプリアスの最適化を系統的に検討するための方法を紹介しているだけで、厳密な方法論を述べているわけではありません。上記のルールにはいづれも例外があります。

プログラミングに関する説明

2.0 プログラミングの一般情報

24 ビットのデータ・レジスタには MICROWIRE インタフェースを介してデータをロードします。これらのデータ・レジスタは、R カウンタ、N カウンタ、およびチップ内のモード制御ラッチをプログラムするために使用します。代表的な 24 ビット・データ・レジスタのデータ・フォーマットを以下に示します。制御ビット CTL[3:0] はレジスタ・アドレスを示します。LE の立ち上がりエッジでシフト・レジスタに格納されていたデータが適切な (アドレス・ビットによって選択された) ラッチにロードされます。データは MSB から先にシフト入力されます。N カウンタのプログラムは最後に行います。N カウンタをプログラムするとデジタル・ロック検出器と FastLock 回路が初期化されるためです。初期化とは、カウンタがリセットされることを意味し、これらのレジスタに値がプログラムされるわけではないことに注意してください。ただし、22 ビットを使用していない場合は例外です。この場合、R7 レジスタのプログラムは不要です。

MSB				LSB			
DATA [21:0]				CTL [3:0]			
23			4	3		2	1 0

2.0.1 レジスタ位置の真理値表

制御ビット CTL[3:0] は内部レジスタ・アドレスを示します。次の表は、目的の制御レジスタと制御ビットの対応を示したものです。

C3	C2	C1	C0	DATA Location
x	x	x	0	R0
0	0	1	1	R1
0	1	0	1	R2
0	1	1	1	R3
1	0	0	1	R4
1	0	1	1	R5
1	1	0	1	R6
1	1	1	1	R7

2.0.2 制御レジスタの内容マップ

LMX2485 のレジスタは複雑であるため、基本レジスタと詳細レジスタの 2 つのグループに分けられています。前半の 4 つのレジスタは、PLL のロックに必要な必須情報を格納する基本レ

ジスタです。後半の 4 つのレジスタでは、スプリアス、位相ノイズ、ロック時間の性能を最適化するための機能を設定します。次のページにこれらのレジスタを示します。

簡易レジスタ・マップ

最終的には LMX2485 のすべてのモードを活用することを強く推奨しますが、基本的な動作に不可欠なビットだけを使って簡単にデバイスを使い始められるように、以下に簡易レジスタ・マップを示します。表に示したプログラミングのデフォルト状態は、12 ビット・モードの 3 次デルタ・シグマ変調器を構成するもので、ディザリングも FastLock 機能も使用しない設定です。

レジスタ	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	DATA[19:0] (RF_N レジスタだけは [22:0])																				C3	C2	C1	C0	
R0	RF_N[10:0]										RF_FN[11:0]										0				
R1	RF_P	RF_P	RF_R[5:0]					RF_FD[11:0]										0	0	1	1				
R2	IF_PD	IF_N[18:0]																				0	1	0	1
R3	0001				RF_CPG[3:0]				IF_R[11:0]										0	1	1	1			
R4	0	0	1	0	0	0	0	0	1	1	0	0	0	1	1	1	0	0	0	0	1	0	0	1	

プログラミングに関する説明 (つづき)

全レジスタ・マップ

最後の 5 つのレジスタ (詳細レジスタ) を含む、すべてのレジスタの全機能を示したレジスタ・マップです。

レジスタ	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[19:0] (RF_N レジスタだけは [22:0])																				C3	C2	C1	C0
R0	RF_N[10:0]										RF_FN[11:0]										0			
R1	RF_P	RF_P	RF_R[5:0]					RF_FD[11:0]										0	0	1	1			
R2	IF_PD	IF_N[18:0]																		0	1	0	1	
R3	ACCESS[3:0]			RF_CPG[3:0]			IF_R[11:0]										0	1	1	1				
R4	AT	0	1	0	0	0	DITH	FM	0	OS	OS	IF_CP	RF_CP	IF_P	MUX			1	0	0	1			
	PU					[1:0]	[1:0]			_2	_O	P	P		[3:0]									
R5	RF_FD[21:12]										RF_FN[21:12]										1	0	1	1
R6	CSR[1:0]		RF_CPF[3:0]			RF_TOC[13:0]										1	1	0	1					
R7	0	0	0	0	0	0	0	0	0	0	DI	0	1	0	0	1	IF_RS	RF_R	IF_CP	RF_C	1	1	1	1
										V4							T	ST	T	PT				

2.1 R0 レジスタ

変更する N カウンタ値のすべてを 1 回の書き込み命令で PLL に設定できるように、このレジスタには制御ビットが 1 ビットしかないことに注意してください。

REGIS	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																							C0	
	DATA[22:0]																						C0	
R0	RF_N[10:0]										RF_FN[11:0]										0			

2.1.1 RF_FN[11:0] -- RF PLL の分数の分子

この制御ワードの詳細については、セクション 2.6.1 を参照してください。

2.1.2 RF_N[10:0] -- RF N カウンタの値

RF N カウンタは 8/9/12/13 および 16/17/20/21 プリスケアラからなります。N カウンタの値は次式で計算できます。

$$N = RF_P \cdot RF_C + 4 \cdot RF_B + RF_A$$

$N - 2^{FM} - 1 \dots N + 2^{FM}$ に対して、 $RF_C \geq \text{Max}\{RF_A, RF_B\}$ が必要条件です。ただし、この規則は RF_B カウンタに未使用のビットと若干変わります。この場合、これらの未使用ビットはデルタ・シグマ変調器が変調を行うために使用します。各プリスケアラの有効な動作範囲は次の表を参照してください。

8/9/12/13 プリスケーラによる動作 (RF_P = 0)

RF_N	RF_N[10:0]										
	RF_C[6:0]						RF_B[1:0]		RF_A[1:0]		
<25	N の値として 25 未満は禁止です。										
25 ~ 26	2 次のデルタ・シグマ変調器の場合のみ使用可能です。										
27 ~ 30	2 次または 3 次のデルタ・シグマ変調器の場合のみ使用可能です。										
31	0	0	0	0	0	1	1	0	1	1	1
...	0	.	.	.
1023	1	1	1	1	1	1	1	0	1	1	1
>1023	N の値として 1023 を超える値は禁止です。										

16/17/20/21 プリスケーラによる動作 (RF_P = 1)

RF_N	RF_N[10:0]										
	RF_C[6:0]						RF_B[1:0]		RF_A[1:0]		
<49	N の値として 49 未満は禁止です。										
49 ~ 50	2 次のデルタ・シグマ変調器の場合のみ使用可能です。										
51 ~ 54	2 次または 3 次のデルタ・シグマ変調器の場合に使用可能です。										
55	0	0	0	0	0	1	1	0	1	1	1
...
2039	1	1	1	1	1	1	1	0	1	1	1
2040 ~ 2043	2 次または 3 次のデルタ・シグマ変調器の場合に使用可能です。										
2044 ~ 2045	2 次のデルタ・シグマ変調器の場合のみ使用可能です。										
>2045	N の値として 2045 を超える値は禁止です。										

2.2 R1 レジスタ

REGISTER	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[19:0]																				C3	C2	C1	C0
R1	RF_PD	RF_P	RF_R[5:0]				RF_FD[11:0]											0	0	1	1			

2.2.1 RF_FD[11:0] -- RF PLL の分数の分母

これらのビットの機能はセクション 2.6.2 で説明しています。

2.2.2 RF_R[5:0] -- RF R 分周値

RF R カウンタの値はこの制御ワードによって決まります。このカウンタの最小値は 1 まで許容されていることに注意してください。

R Value	RF_R[5:0]					
1	0	0	0	0	0	1
...
63	1	1	1	1	1	1

2.2.3 RF_P -- RF プリスケアラの選択ビット

使用するプリスケアラはこのビットによって決まります。

RF_P	Prescaler	Maximum Frequency
0	8/9/12/13	2000 MHz
1	16/17/20/21	3000 MHz

2.2.4 RF_PD -- RF パワーダウン制御ビット

このビットが 0 に設定されている場合、RF PLL は通常動作します。このビットを 1 に設定すると、RF PLL はパワーダウン状態になり、RF チャージ・ポンプは TRI-STATE モードになります。パワーダウン機能は CE ピンおよび ATPU ビットによっても制御でき、これらの制御が RF_PD ビットの設定よりも優先されます。優先順位は次のとおりです。第一に CE ピンが Low になると PLL はパワーダウンします。次に、CE ピンが Low ではない場合、RF_PD ビットの設定に関わらず、ATPU ビットが設定されていれば PLL はパワーアップ状態になります。このように、まず CE ピンと ATPU ビットの状態を優先して調べた後、最後に RF_PD ビットの設定に応じて RF PLL のパワーダウン機能のオン/オフが決まります。

2.3 R2 レジスタ

REGISTER	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	DATA[19:0]																				C3	C2	C1	C0	
R2	IF_PD	IF_N[18:0]																				0	1	0	1

2.3.1 IF_N[18:0] -- IF N 分周値

8/9 プリスケーラを使用した場合 (IF_P = 0) の IF_N カウンタのプログラミング

N の値	IF_N[18:0]																		
	IF_B												IF_A						
≤ 23	IF_B ≥ 3 でなければならないため、N の値として 23 以下は禁止です。																		
24 ~ 55	この N 値の範囲で許容される分周比は 24 ~ 27、32 ~ 36、40 ~ 45、48 ~ 54 です。																		
56	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
57	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	1
...
262143	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1

16/17 プリスケーラによる動作 (IF_P = 1)

N の値	IF_N[18:0]																		
	IF_B												IF_A						
≤ 47	IF_B ≥ 3 でなければならないため、N の値として 47 以下は禁止です。																		
48 ~ 239	この N 値の範囲で許容される分周比は 48 ~ 51、64 ~ 68、80 ~ 85、96 ~ 102、112 ~ 119、128 ~ 136、144 ~ 153、160 ~ 170、176 ~ 187、 192 ~ 204、208 ~ 221、224 ~ 238 です。																		
240	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
241	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	1
...
524287	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

2.3.4 IF_PD -- IF パワーダウン制御ビット

このビットが 0 に設定されている場合、IF PLL は通常動作します。このビットを 1 に設定すると、IF PLL はパワーダウン状態になり、IF PLL のチャージ・ポンプは TRI-STATE モードになります。ATPU ビットが 1 に設定された状態で、レジスタ R0 に書き込みを行うと、IF_PD は 0 にリセットされ、IF PLL がパワーアップ状態に移行します。CE ピンが Low に保たれている場合は、IF_PD ビットの状態に関わらず、IF PLL はパワーダウンします。

2.4 R3 レジスタ

REGISTER	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[19:0]																				C3	C2	C1	C0
R3	ACCESS[3:0]				RF_CPG[3:0]				IF_R[11:0]												0	1	1	1

2.4.1 IF_R[11:0] -- IF R 分周値

IF R 分周回路の R の値は R3 レジスタの IF_R[11:0] によって決まります。IF_R の最小値は 3 です。

R Value	IF_R[11:0]												
3	0	0	0	0	0	0	0	0	0	0	0	1	1
...
4095	1	1	1	1	1	1	1	1	1	1	1	1	1

2.4.2 RF_CPG -- RF PLL チャージ・ポンプのゲイン

RF PLL チャージ・ポンプの定常状態における電流を制御します。

RF_CPG	Charge Pump State	Typical RF Charge Pump Current at 3 Volts (μA)
0	1X	95
1	2X	190
2	3X	285
3	4X	380
4	5X	475
5	6X	570
6	7X	665
7	8X	760
8	9X	855
9	10X	950
10	11X	1045
11	12X	1140
12	13X	1235
13	14X	1330
14	15X	1425
15	16X	1520

2.4.3 ACCESS -- レジスタ・アクセス・ワード

最初の 5 つのレジスタ R0 ~ R4 は必ずプログラムしなければなりません。レジスタ R5 ~ R7 は必要に応じてプログラムします。ACCESS[3:0] のビットは、これらオプションのレジスタのうち、手動でプログラムを行うものを指定します。ここで指定したレジスタは個別にプログラムすることができます。レジスタがデフォルト・モード (手動プログラム不要) に設定されている場合、そのレジスタのビットはすべて表に示すデフォルト値に強制的に設定されるため、このレジスタをプログラムする必要はありません。プログラム可能として指定されたレジスタは、MICROWIRE を介してプログラムする必要があります。このレジスタ・アクセスの方法を使えば、必要なプログラミングの量が最大で 37%削減されます。

ACCESS Bit	Register Location	Register Controlled
ACCESS[0]	R3[20]	Must be set to 1
ACCESS[1]	R3[21]	R5
ACCESS[2]	R3[22]	R6
ACCESS[3]	R3[23]	R7

レジスタのデフォルト状態は次のとおりです。

レジスタ	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	Data[19:0]																				C3	C2	C1	C0	
R4	R4 は手動でプログラムする必要があります。																								
R5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1
R6	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R7	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	1	1	1	1

これは、以下のビット設定に対応します。

レジスタ	ビットの位置	ビット名称	ビットの説明	ビットの値	ビットの状態
R4	R4[23]	ATPU	自動パワーアップ	0	無効
	R4[17:16]	DITH	ディザリング	2	強いディザリング
	R4[15:14]	FM	変調の次数	3	3次
	R4[12]	OSC_2X	発振器ダブラー	0	無効
	R4[11]	OSC_OUT	OSCOut ピンの有効化	0	無効
	R4[10]	IF_CPP	IF チャージ・ポンプの極性	1	正
	R4[9]	RF_CPP	RF チャージ・ポンプの極性	1	正
	R4[8]	IF_P	IF PLL プリスケーラ	1	16/17
	R4[7:4]	MUX	Ftest/LD 出力	0	無効
R5	R5[23:14]	RF_FD[21:12]	拡張モードの分数の分母	0	無効
	R5[13:4]	RF_FN[21:12]	拡張モードの分数の分子	0	無効
R6	R6[23:22]	CSR	サイクル・スリップ低減	0	無効
	R6[21:18]	RF_CPF	FastLock チャージ・ポンプ電流	0	無効
	R6[17:4]	RF_TOC	RF タイムアウト・カウンタ	0	無効
R7	R7[13]	DIV4	ロック検出の調整	0	無効 (Fcomp ≤ 20MHz)
	R7[7]	IF_RST	IF PLL カウンタのリセット	0	無効
	R7[6]	RF_RST	RF PLL カウンタのリセット	0	無効
	R7[5]	IF_CPT	IF PLL を TRI-STATE モードに設定	0	無効
	R7[4]	RF_CPT	RF PLL を TRI-STATE モードに設定	0	無効

2.5 R4 レジスタ

このレジスタは FastLock 時の RF PLL の状態を制御します。

REGISTER	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	DATA[19:0]																				C3	C2	C1	C0	
R4	ATPU	0	1	0	0	0	DITH [1:0]	FM [1:0]	0	OSC_ 2X	OSC_ OUT	IF_ CPP	RF_ CPP	IF_ P	MUX [3:0]	1	0	0	1						

2.5.1 MUX[3:0] 周波数出力およびロック検出 MUX

これらのビットは Ftest/LD ピンの出力状態を決定します。

MUX[3:0]				出力タイプ	出力の内容
0	0	0	0	ハイ・インピーダンス	無効
0	0	0	1	プッシュプル	汎用出力、論理 High 状態
0	0	1	0	プッシュプル	汎用出力、論理 Low 状態
0	0	1	1	プッシュプル	RF および IF デジタル・ロック検出
0	1	0	0	プッシュプル	RF デジタル・ロック検出
0	1	0	1	プッシュプル	IF デジタル・ロック検出
0	1	1	0	オープン・ドレイン	RF および IF アナログ・ロック検出
0	1	1	1	オープン・ドレイン	RF アナログ・ロック検出
1	0	0	0	オープン・ドレイン	IF アナログ・ロック検出
1	0	0	1	プッシュプル	RF および IF アナログ・ロック検出
1	0	1	0	プッシュプル	RF アナログ・ロック検出
1	0	1	1	プッシュプル	IF アナログ・ロック検出
1	1	0	0	プッシュプル	IF R 分周値 /2
1	1	0	1	プッシュプル	IF N 分周値 /2
1	1	1	0	プッシュプル	RF R 分周値 /2
1	1	1	1	プッシュプル	RF N 分周値 /2

2.5.2 IF_P -- IF プリスケーラ

このビットが 0 に設定されている場合、8/9 プリスケーラを使用します。それ以外の場合は、16/17 プリスケーラを使用します。

IF_P	IF Prescaler	Maximum Frequency
0	8/9	800 MHz
1	16/17	800 MHz

2.5.3 RF_CPP -- RF PLL チャージ・ポンプの極性

RF_CPP	RF チャージ・ポンプの極性
0	負
1	正 (デフォルト)

2.5.4 IF_CPP -- IF PLL チャージ・ポンプの極性

位相比較器の極性を正とする場合、このビットを 1 に設定します。通常はこちらを選択します。それ以外の場合に、このビットを 0 に設定すると、位相比較器の極性は負になります。

IF_CPP	IF チャージ・ポンプの極性
0	負
1	正

2.5.5 OSC_OUT -- 発振器出力バッファの有効化

OSC_OUT	OSCout ピン
0	無効 (ハイ・インピーダンス)
1	OSCin 信号のバッファを介した出力

2.5.6 OSC2X -- 発振器ダブラーの有効化

このビットを 0 に設定すると、発振器のダブラーは無効となり、IF R および RF R カウンタに入力される TCXO 周波数は OSCin ピンに入力された周波数と等しくなります。このビットを 1 に設定すると、RF R カウンタに入力される TCXO 周波数が 2 倍になります。ダブラーによって付加される位相ノイズは無視できるほど小さいものです。

OSC2X	RF R カウンタに入力される周波数	IF R カウンタに入力される周波数
0	f_{OSCin}	f_{OSCin}
1	$2 \times f_{\text{OSCin}}$	

2.5.7 FM[1:0] -- フラクショナル・モード

デルタ・シグマ変調器の次数を決定します。高次のデルタ・シグマ変調器では、スプリアス・ノイズが搬送波周波数から離れた高周波側に押しやられるため、搬送周波数付近のノイズ・レベルが低減されます。通常、ロールオフとの余裕を十分に確保するために、ループ・フィルタの次数はデルタ・シグマ変調器の次数より 1 だけ大きくします。

FM	機能
0	4 次のデルタ・シグマ変調器によるフラクショナル PLL モード
1	デルタ・シグマ変調器を無効化します。テスト用途のみでの使用を推奨します。
2	2 次のデルタ・シグマ変調器によるフラクショナル PLL モード
3	3 次のデルタ・シグマ変調器によるフラクショナル PLL モード

2.5.8 DITH[1:0] -- ディザリングの制御

ディザリングとは、スプリアスのエネルギーを分散させるための技術です。ディザリングを有効にすると、1次フラクショナル・スプリアスも低減できる可能性があります。一連のより小さなスプリアスが増大する場合があります。ディザリングが有益か、有害かはアプリケーションによって決まります。ディザリングを有効にすると、位相ノイズが増える可能性もあります。分数の分子が0の場合は、たいいていディザリングによって性能が劣化します。

一般に、ディザリングはスプリアスのフィルタリングが不十分なアプリケーションで最も効果があります。このような状況は、ループ帯域幅が非常に広い場合や、高次のデルタ・シグマ変調器を使用した場合に多く発生します。ディザリングは1次フラクショナル・スプリアスにはごく小さな影響しか与えませんが、サブフラクショナル・スプリアスには著しい影響を及ぼします。ディザリングを使用する場合は、分数の分母を1000以上に設定したときに最も良好な結果が得られます。

DITH	使用するディザリング・モード
0	無効
1	弱いディザリング
2	強いディザリング
3	予備

2.5.9 ATPU -- PLL の自動パワーアップ

このビットを1に設定すると、R0レジスタへの書き込みを行った時点でRFおよびIFPLLの両方がパワーアップ状態に移行します。R0レジスタに書き込みを行うと、PLLレジスタのPD_RFおよびPD_IFの両ビットは0に変化します。この動作の例外はCEピンをLowに保った状態です。この場合、ATPU機能は無効になります。

2.6 R5 レジスタ

REGISTER	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[19:0]																				C3	C2	C1	C0
R5	RF_FD[21:12]										RF_FN[21:12]										1	0	1	1

2.6.1 分数の分子の決定 {RF_FN[21:12]、RF_FN[11:0]、ACCESS[1]}

ACCESS[1] が 0 に設定されている場合、デバイスは 12 ビット・フラクショナル・モードで動作し、RF_FN[21:12] は動作に影響を与えないビット (ドントケア) になります。ACCESS[1] ビットを 1 に設定すると、デバイスは 22 ビット・モードで動作し、分数の分子が 12 ビットから 22 ビットに拡張されます。

分数の分子	RF_FN[21:12]										RF_FN[11:0]																		
	(以下のビットは 22 ビット・モードのみに適用されます)																												
0	12 ビット・モードではドントケア・ビットです。 22 ビット・モードで N < 4096 の場合は、 以下のビットをすべて 0 に設定してください。										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
1											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
...										
4095											1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
4096	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
...									
4194303	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1				

2.6.2 分数の分母の決定 {RF_FD[21:12]、RF_FD[11:0]、ACCESS[1]}

ACCESS[1] が 0 に設定されている場合、デバイスは 12 ビット・フラクショナル・モードで動作し、RF_FD[21:12] は動作に影響を与えないビットになります。ACCESS[1] ビットを 1 に設定すると、デバイスは 22 ビット・モードで動作し、分数の分母が 12 ビットから 22 ビットに拡張されます。

分数の分母	RF_FD[21:12]										RF_FD[11:0]																	
	(以下のビットは 22 ビット・モードのみに適用されます)																											
0	12 ビット・モードではドントケア・ビットです。 22 ビット・モードで N < 4096 の場合は、 以下のビットをすべて 0 に設定してください。										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
1											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
...										
4095											1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
4096	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
...									
4194303	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1				

2.7 R6 レジスタ

REGISTER	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[19:0]																				C3	C2	C1	C0
R6	CSR[1:0]				RF_CPF[3:0]				RF_TOC[13:0]												1	1	0	1

2.7.1 RF_TOC -- RF タイムアウト・カウンタおよび FLoutRF ピンの制御

RF_TOC[13:0] ワードは RF FastLock 回路の動作および FLoutRF 出力ピンの機能を制御します。このワードの値を 0 ~ 3 に設定した場合、RF FastLock 回路は無効になり、FLoutRF ピンは汎用 CMOS TRI-STATE I/O として機能します。RF_TOC の値を 4 ~ 16383 に設定した場合、RF FastLock モードが有効となり、FLoutRF ピンは RF FastLock 出力ピンとして機能します。RF_TOC[13:0] ワードにプログラムした値は、RF シンセサイザが FastLock するために費やす位相比較器の比較サイクル数の 2 倍の値に対応します。

RF_TOC	FastLock モード	FastLock 周期	FLoutRF ピンの機能
0	無効	適用なし	ハイ・インピーダンス
1	手動	適用なし	論理 0 状態。 あらゆる状態を強制的に FastLock とします。
2	無効	適用なし	論理 0 状態
3	無効	適用なし	論理 1 状態
4	有効	$4 \times 2 = 8$	FastLock
5	有効	$5 \times 2 = 10$	FastLock
...	有効	...	FastLock
16383	有効	$16383 \times 2 = 32766$	FastLock

2.7.2 RF_CPF -- RF PLL FastLock 時のチャージ・ポンプ電流

RF PLL の FastLock 動作モードにおけるチャージ・ポンプ電流を指定します。FastLock 時のチャージ・ポンプ電流、定常状態の電流、CSR 制御はすべて互いに関連していることに注意が必要です。

RF_CPF	RF Charge Pump State	Typical RF Charge Pump Current at 3 Volts (μA)
0	1X	95
1	2X	190
2	3X	285
3	4X	380
4	5X	475
5	6X	570
6	7X	665
7	8X	760
8	9X	855
9	10X	950
10	11X	1045
11	12X	1140
12	13X	1235
13	14X	1330
14	15X	1425
15	16X	1520

2.7.3 CSR[1:0] -- RF サイクル・スリップ低減

CSR はサイクル・スリップ低減回路の動作を制御します。この回路は、位相比較器で発生するサイクル・スリップを減らすために使用します。FastLock 時のチャージ・ポンプ電流、定常状態の電流、CSR 制御はすべて互いに関連していることに注意が必要です。この機能の使用方法についてはセクション 1.8 を参照してください。

CSR	CSR State	Sample Rate Reduction Factor
0	Disabled	1
1	Enabled	1/2
2	Enabled	1/4
3	Enabled	1/16

2.8 R7 レジスタ

REGISTER	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Data[19:0]																				C3	C2	C1	C0
R7	0	0	0	0	0	0	0	0	0	0	DIV 4	0	1	0	0	1	IF_ RST	RF_ RST	IF_ CPT	RF_ CPT	1	1	1	1

2.8.1 DIV4 -- RF デジタルロック検出 /4

デジタル・ロック検出は位相誤差に基づいた機能であるため、比較周波数が高くなるとロック状態の検出が困難になります。このビットを有効にすると、デジタル・ロック検出回路に入力される RF PLL 比較周波数が 4 分周されます (IF 比較周波数には適用されません)。これにより、比較周波数が高い場合でもロック検出回路を動作させることができます。RF デジタルロック検出機能を使用する場合は、比較周波数が 20MHz を超えたら必ずこのビットを有効にすることを推奨します。

2.8.2 IF_RST -- IF PLL カウンタのリセット

このビットを有効にすると、IF PLL の N カウンタおよび R カウンタがリセットされ、チャージ・ポンプが TRI-STATE 状態に移行します。通常動作時はこの機能を無効化してください。カウンタは、ソフトウェアまたは CE ピンによってチップがパワーアップ状態に移行するごとにリセットされることに注意してください。

IF_RST	IF PLL N および R カウンタ	IF PLL チャージ・ポンプ
0 (デフォルト)	通常動作	通常動作
1	カウンタのリセット	TRI-STATE

2.8.3 RF_RST -- RF PLL カウンタのリセット

このビットを有効にすると、RF PLL の N カウンタおよび R カウンタがリセットされ、チャージ・ポンプが TRI-STATE 状態に移行します。通常動作時はこの機能を無効化してください。カウンタは、ソフトウェアまたは CE ピンによってチップがパワーアップ状態に移行するごとにリセットされることに注意してください。

RF_RST	RF PLL N および R カウンタ	RF PLL チャージ・ポンプ
0 (デフォルト)	通常動作	通常動作
1	カウンタのリセット	TRI-STATE

2.8.4 RF_TRI -- RF チャージ・ポンプの TRI-STATE 出力

このビットを有効にすると、RF PLL チャージ・ポンプが TRI-STATE 状態に移行しますが、カウンタはリセットされません。通常動作時は、通常この機能は無効化します。

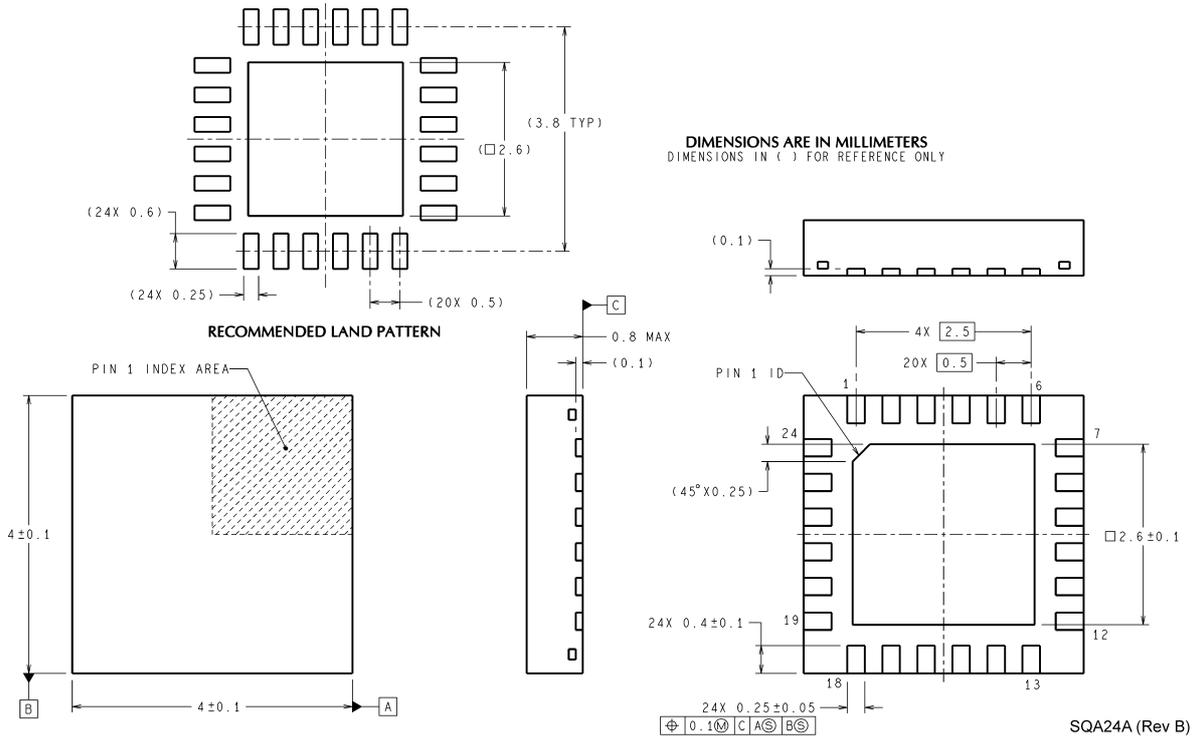
RF_TRI	RF PLL N および R カウンタ	RF PLL チャージ・ポンプ
0 (デフォルト)	通常動作	通常動作
1	通常動作	TRI-STATE

2.8.5 IF_TRI -- IF チャージ・ポンプの TRI-STATE 出力

このビットを有効にすると、IF PLL チャージ・ポンプが TRI-STATE 状態に移行しますが、カウンタはリセットされません。通常動作時は、通常この機能は無効化します。

IF_TRI	IF PLL N および R カウンタ	IF PLL チャージ・ポンプ
0 (デフォルト)	通常動作	通常動作
1	通常動作	TRI-STATE

外形寸法図 (単位は millimeters)



Plastic Quad LLP (SQ), Bottom View
Order Number LMX2485SQ or LMX2485ESQ for 1000 Unit Reel
Order Number LMX2485SQX or LMX2485ESQX for 4500 Unit Reel
NS Package Number SQA24A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上