

LMV34x レール ツー レール出力 CMOS オペアンプ シャットダウン付

1 特長

- 2.7V、5V の性能
- レール ツー レールの出力スイング
- 入力バイアス電流: 1pA (標準値)
- 入力オフセット電圧: 0.25mV (標準値)
- 低い消費電流: 100 μ A (標準値)
- 低シャットダウン電流: 45pA (標準値)
- 1MHz のゲイン帯域幅 (標準値)
- スルーレート: 1V/ μ s (標準値)
- シャットダウンからのターンオン時間: 5 μ s (標準値)
- 入力換算電圧ノイズ (10kHz): 20nV/ $\sqrt{\text{Hz}}$
- JESD 22 を上回る ESD 保護:
 - 2000V 人体モデル (HBM)
 - 750V 荷電デバイス モデル (CDM)

2 アプリケーション

- コードレス電話および携帯電話
- コンシューマ エレクトロニクス (ノートパソコン、PDA)
- 音声用オーディオ プリアンプ
- 携帯型バッテリ駆動電子機器
- 電源電流の監視
- バッテリ監視
- バッファ
- フィルタ
- ドライバ

3 説明

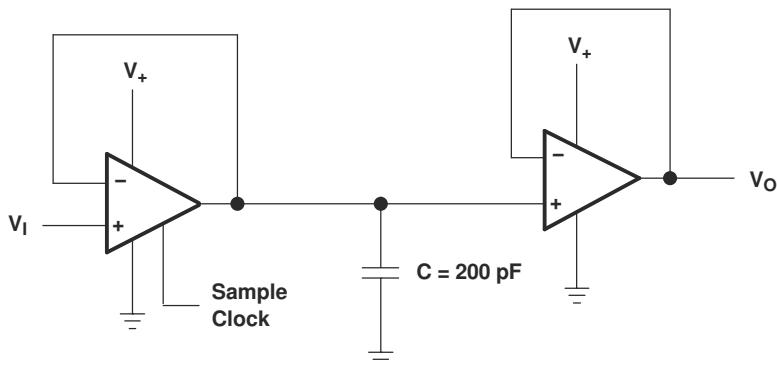
LMV34x デバイスは、それぞれシングル、デュアル、クワッドの CMOS オペアンプで、低電圧、低消費電力、レール ツー レールの出力スイング機能を備えています。PMOS 入力段は、1pA (標準値) の非常に低い入力バイアス電流と 0.25mV (標準値) のオフセット電圧を実現します。シングル電源アンプは低電圧 (2.7V ~ 5V) で動作するように特別に設計されており、広い同相入力電圧範囲が正の電源レールから通常 -0.2V ~ 0.8V まで拡張されています。LMV341 にはシャットダウン (SHDN) ピンがあり、デバイスを無効化するために使用できます。シャットダウン モードでは、消費電流が 33nA (標準値) に低下します。このファミリのその他の特長として、10kHz で 20nV/ $\sqrt{\text{Hz}}$ の電圧ノイズ、1MHz ユニティゲイン帯域幅、1V/ μ s のスルーレート、チャネルあたり 100 μ A の消費電流があります。

LMV341 は、SOT-23 と小型の SC70 パッケージで供給され、スペースの制約が最も厳しいアプリケーションに適しています。LMV342 デュアル デバイスは、標準の SOIC および VSSOP パッケージで提供されます。これらのデバイスは、-40°C ~ 125°C の拡張産業用温度範囲を備えているため、さまざまな商業および産業環境に適しています。

パッケージ情報

部品番号 (1)	パッケージ	本体サイズ (公称)
LMV341IDCK	DCK (SC70, 6)	2.00mm × 1.25mm
LMV341IDBV	DBV (SOT-23, 6)	2.90mm × 1.60mm
LMV342ID	D (SOIC, 8)	4.90mm × 3.91mm
LMV342IDGK	DGK (VSSOP, 8)	3.00mm × 3.00mm
LMV344ID	D (SOIC, 14)	8.65mm × 3.91mm
LMV344IPW	PW (TSSOP, 14)	5.00mm × 4.40mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



サンプル アンド ホールド回路

 このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLOS447](#)

目次

1 特長	1	6.3 機能説明.....	15
2 アプリケーション	1	6.4 デバイスの機能モード.....	15
3 説明	1	7 アプリケーションと実装	16
4 ピン構成および機能	3	7.1 アプリケーション情報.....	16
5 仕様	5	7.2 代表的なアプリケーション.....	16
5.1 絶対最大定格.....	5	8 電源に関する推奨事項	17
5.2 ESD 定格.....	5	9 レイアウト	17
5.3 推奨動作条件.....	5	9.1 レイアウトのガイドライン.....	17
5.4 熱に関する情報.....	5	9.2 レイアウト例.....	18
5.5 電気的特性: $V_+ = 2.7V$	6	10 デバイスおよびドキュメントのサポート	19
5.6 電気的特性: $V_+ = 5V$	7	10.1 ドキュメントの更新通知を受け取る方法.....	19
5.7 シャットダウン特性: $V_+ = 2.7V$	8	10.2 サポート・リソース.....	19
5.8 シャットダウン特性: $V_+ = 5V$	8	10.3 商標.....	19
5.9 代表的特性.....	9	10.4 静電気放電に関する注意事項.....	19
6 詳細説明	15	10.5 用語集.....	19
6.1 概要.....	15	11 改訂履歴	19
6.2 機能ブロック図.....	15	12 メカニカル、パッケージ、および注文情報	20

4 ピン構成および機能

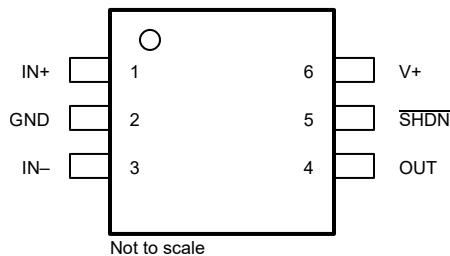


図 4-1. DBV または DCK パッケージ、6 ピン SOT-23 または SC70 (上面図)

表 4-1. ピンの機能 : LMV341

ピン		I/O	説明
名称	SOT-23、SC70		
IN+	1	I	チャネル 1 の非反転入力
IN-	3	I	チャネル 1 の反転入力
OUT	4	O	チャネル 1 の出力
GND	2	—	グランド
SHDN	5	I	シャットダウン アクティブ low
V ₊	6	—	正電源

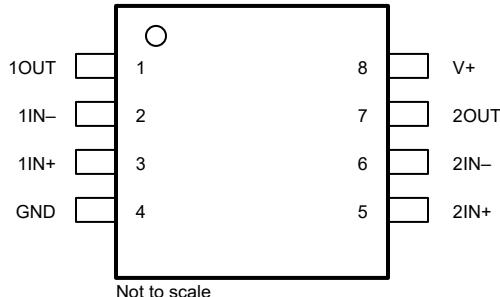


図 4-2. D または DGK パッケージ、8 ピン SOIC または VSSOP (上面図)

表 4-2. ピンの機能 : LMV342

ピン		I/O	説明
名称	SOIC、VSSOP		
1IN+	3	I	チャネル 1 の非反転入力
1IN-	2	I	チャネル 1 の反転入力
1OUT	1	O	チャネル 1 の出力
2IN+	5	I	チャネル 2 の非反転入力
2IN-	6	I	チャネル 2 の反転入力
2OUT	7	O	チャネル 2 の出力
GND	4	—	グランド
V ₊	8	—	正電源

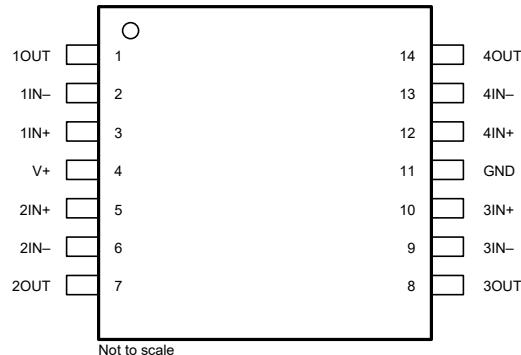


図 4-3. D または PW パッケージ、14 ピン SOIC または TSSOP (上面図)

表 4-3. ピンの機能 : LMV344

ピン		I/O	説明
名称	SOIC、TSSOP		
1IN+	3	I	チャネル 1 の非反転入力
1IN-	2	I	チャネル 1 の反転入力
1OUT	1	O	チャネル 1 の出力
2IN+	5	I	チャネル 2 の非反転入力
2IN-	6	I	チャネル 2 の反転入力
2OUT	7	O	チャネル 2 の出力
3IN+	10	I	チャネル 3 の非反転入力
3IN-	9	I	チャネル 3 の反転入力
3OUT	8	O	チャネル 3 の出力
4IN+	12	I	チャネル 4 の非反転入力
4IN-	13	I	チャネル 4 の反転入力
4OUT	14	O	チャネル 4 の出力
GND	11	—	グランド
V ₊	4	—	正電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_+	電源電圧 ⁽²⁾	-0.3	5.5	V
V_{ID}	差動入力電圧 ⁽³⁾		± 5.5	V
V_I	入力電圧 (いずれかの入力)	-0.3	5.5	V
V_O	出力電圧	-0.3	$V_{CC} + 0.3$	V
T_J	動作時の仮想接合部温度		150	°C
T_{stg}	保存温度	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) (差動電圧を除く) すべての電圧値は、ネットワーク GND を基準にしています。
- (3) 差動電圧は、IN- を基準とする IN+ です。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	± 750	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

		最小値	最大値	単位
V_+	電源電圧 (単一電源動作)	2.5	5.5	V
T_A	自由空気での動作温度	-40	125	°C

5.4 热に関する情報

熱評価基準 ⁽¹⁾	LMV342	LMV344	LMV341		LMV342	LMV344	単位
	D (SOIC)		DBV (SOT-23)	DCK (SC70)	DGK (VSSOP)	PW (TSSOP)	
	8 ピン	14 ピン	6 ピン	6 ピン	8 ピン	14 ピン	
$R_{\theta JA}$ 接合部から周囲への熱抵抗 ^{(2) (3)}	123.9	88.7	193.4	196.8	192.3	118	°C/W
$R_{\theta JC(top)}$ 接合部からケース (上面) への熱抵抗	70.2	49	145.6	82.4	78.2	46.9	°C/W
$R_{\theta JB}$ 接合部から基板への熱抵抗	64.1	43	44.1	95.2	112.6	59.7	°C/W
Ψ_{JT} 接合部から上面への特性パラメータ	25	16.9	34.1	1.8	15.2	5.1	°C/W
Ψ_{JB} 接合部から基板への特性パラメータ	63.6	42.7	43.4	93.2	111.2	59.1	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。
- (2) 最大消費電力は、 $T_J(max)$ 、 $R_{\theta JA}$ 、 T_A の関数です。許容される任意の周囲温度での最大許容消費電力は、 $P_D = (T_J(max) - T_A)/R_{\theta JA}$ で与えられます。絶対最大定格 $T_J = 150^{\circ}\text{C}$ での動作は、信頼性に影響を与える可能性があります。
- (3) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。

5.5 電気的特性 : $V_+ = 2.7V$

$V_+ = 2.7V$ 、GND = 0V、 $V_{IC} = V_O = V_+/2$ 、 $R_L > 1M\Omega$ (特に記述のない限り)

パラメータ	テスト条件		T_A	最小値	標準値 (1)	最大値	単位
V_{IO} 入力オフセット電圧			25°C	0.25	4		mV
			フルレンジ		4.5		
α_{VIO} 入力オフセット電圧の平均温度係数			フルレンジ	1.7			µV/°C
I_{IB} 入力バイアス電流			25°C	1	120		pA
			-40°C ~ 85°C		250		
			-40°C ~ 125°C		3	nA	
I_{IO} 入力オフセット電流			25°C	6.6			fA
CMRR 同相除去比	$0 \leq V_{ICR} \leq 1.7V$		25°C	56	80		dB
	$0 \leq V_{ICR} \leq 1.6V$		フルレンジ	50			
k_{SVR} 電源電圧除去比	$2.7V \leq V_+ \leq 5V$		25°C	65	82		dB
			フルレンジ	60			
V_{ICR} 同相入力電圧範囲	より低いレンジ、CMRR $\geq 50dB$		25°C	-0.2	0		V
	上限範囲、CMRR $\geq 50dB$		25°C	1.7	1.9		
A_V 大信号電圧ゲイン ⁽²⁾	$R_L = 10k\Omega \sim 1.35V$	Low レベル	25°C	78	113		dB
			フルレンジ	70			
	$R_L = 2k\Omega \sim 1.35V$	High レベル	25°C	72	103		
			フルレンジ	64			
V_O 出力スイング (供給レールからのデルタ)	$R_L = 2k\Omega \sim 1.35V$	Low レベル	25°C	24	60		mV
			フルレンジ		95		
		High レベル	25°C	26	60		
			フルレンジ		95		
	$R_L = 10k\Omega \sim 1.35V$	Low レベル	25°C	5	30		
			フルレンジ		40		
		High レベル	25°C	5.3	30		
			フルレンジ		40		
I_{CC} 電源電流 (チャネルあたり)			25°C	150	200		µA
			フルレンジ		230		
I_{OS} 出力短絡検出電流	ソース	LMV341、 LMV342	25°C	20	32		mA
		LMV344		18	24		
	シンク			15	24		
SR スルーレート	$R_L = 10k\Omega$ ⁽³⁾		25°C	1		V/µs	
GBM ユニティゲイン帯域幅	$R_L = 10k\Omega$ 、 $C_L = 200pF$		25°C	1		MHz	
Φ_m 位相マージン	$R_L = 100k\Omega$		25°C	72		°	
G_m ゲインマージン	$R_L = 100k\Omega$		25°C	20		dB	
V_n 等価入力ノイズ電圧	$f = 1kHz$		25°C	40		nV/√Hz	
I_n 等価入力ノイズ電流	$f = 1kHz$		25°C	0.001		pA/√Hz	
THD 全高調波歪	$f = 1kHz$ 、 $A_V = 1$ 、 $R_L = 600\Omega$ 、 $V_I = 1V_{PP}$		25°C	0.017%			

(1) 代表値は、最も可能性の高いパラメータの標準値を表します。

(2) GND + 0.2V $\leq V_O \leq V_+ - 0.2V$

(3) 2V_{PP} ステップ入力で電圧フォロワとして接続されています。指定された数値は、正と負のスルーレートのうち、遅い方を示しています。

5.6 電気的特性 : $V_+ = 5V$

$V_+ = 5V$ 、GND = 0V、 $V_{IC} = V_O = V_+/2$ 、 $R_L > 1M\Omega$ (特に記述のない限り)

パラメータ	テスト条件		T_A	最小値	標準値 (1)	最大値	単位
V_{IO} 入力オフセット電圧			25°C	0.25	4		mV
			フルレンジ		4.5		
α_{VIO} 入力オフセット電圧の平均温度係数			フルレンジ	1.9			µV/°C
I_{IB} 入力バイアス電流			25°C	1	200		pA
			-40°C ~ 85°C		375		
			-40°C ~ 125°C		5	nA	
I_{IO} 入力オフセット電流			25°C	6.6			fA
CMRR 同相除去比	$0 \leq V_{ICR} \leq 4V$		25°C	56	86		dB
	$0 \leq V_{ICR} \leq 3.9V$		フルレンジ	50			
k_{SVR} 電源電圧除去比	$2.7V \leq V_+ \leq 5V$		25°C	65	82		dB
	フルレンジ		フルレンジ	60			
V_{ICR} 同相入力電圧範囲	より低いレンジ、CMRR $\geq 50dB$		25°C	-0.2	0		V
	上限範囲、CMRR $\geq 50dB$		25°C	4	4.2		
A_V 大信号電圧ゲイン ⁽²⁾	$R_L = 10k\Omega \sim 2.5V$	Low レベル	25°C	78	116		dB
			フルレンジ	70			
	$R_L = 2k\Omega \sim 2.5V$	High レベル	25°C	72	107		
			フルレンジ	64			
V_O 出力スイング (供給レールからのデルタ)	$R_L = 2k\Omega \sim 2.5V$	Low レベル	25°C	32	60		mV
			フルレンジ		95		
		High レベル	25°C	34	60		
			フルレンジ		95		
	$R_L = 10k\Omega \sim 2.5V$	Low レベル	25°C	7	30		
			フルレンジ		40		
		High レベル	25°C	7	30		
			フルレンジ		40		
I_{CC} 電源電流 (チャネルあたり)			25°C	150	200		µA
			フルレンジ		260		
I_{OS} 出力短絡検出電流	ソース	LMV341、 LMV342	25°C	85	113		mA
		LMV344		85	113		
	シンク			50	75		
SR スルーレート	$R_L = 10k\Omega$ ⁽³⁾		25°C	1			V/µs
GBM ユニティゲイン帯域幅	$R_L = 10k\Omega$ 、 $C_L = 200pF$		25°C	1			MHz
Φ_m 位相マージン	$R_L = 100k\Omega$		25°C	70			°
G_m ゲインマージン	$R_L = 100k\Omega$		25°C	20			dB
V_n 等価入力ノイズ電圧	$f = 1kHz$		25°C	39			nV/√Hz
I_n 等価入力ノイズ電流	$f = 1kHz$		25°C	0.001			pA/√Hz
THD 全高調波歪	$f = 1kHz$ 、 $A_V = 1$ 、 $R_L = 600\Omega$ 、 $V_I = 1V_{PP}$		25°C	0.012%			

(1) 代表値は、最も可能性の高いパラメータの標準値を表します。

(2) GND + 0.2V $\leq V_O \leq V_+ - 0.2V$

(3) 2V_{PP} ステップ入力で電圧フォロワとして接続されています。指定された数値は、正と負のスルーレートのうち、遅い方を示しています。

5.7 シャットダウン特性 : $V_+ = 2.7V$

$V_+ = 2.7V$ 、GND = 0V、 $V_{IC} = V_O = V_+/2$ 、 $R_L > 1M\Omega$ (特に記述のない限り)

パラメータ	テスト条件	T_A	最小値	標準値	最大値	単位
$I_{CC(SHDN)}$	シャットダウン モードの電源電流	$V_{SD} = 0V$	25°C	0.045	1000	nA
			フルレンジ		1.5	μA
$t_{(on)}$	アンプのターンオン時間		25°C	5		μs
			25°C	2.4	2.7	V
V_{SD}	推奨シャットダウンピン電圧範囲	ON モード		0	0.2	
		シャットダウン モード				

5.8 シャットダウン特性 : $V_+ = 5V$

$V_+ = 5V$ 、GND = 0V、 $V_{IC} = V_O = V_+/2$ 、 $R_L > 1M\Omega$ (特に記述のない限り)

パラメータ	テスト条件	T_A	最小値	標準値	最大値	単位
$I_{CC(SHDN)}$	シャットダウン モードの電源電流	$V_{SD} = 0V$	25°C	0.033	1	μA
			フルレンジ		1.5	
$t_{(on)}$	アンプのターンオン時間		25°C	5		μs
			25°C	4.5	5	V
V_{SD}	推奨シャットダウンピン電圧範囲	ON モード		0	0.2	
		シャットダウン モード				

5.9 代表的特性

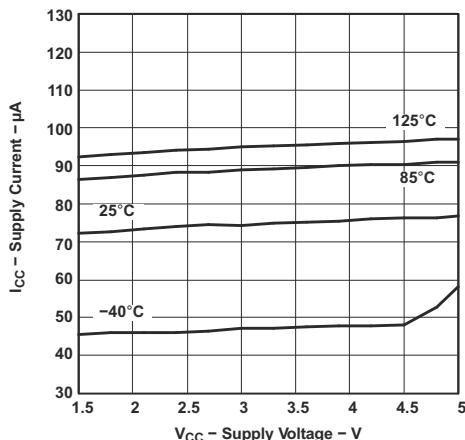


図 5-1. 電源電流と電源電圧との関係

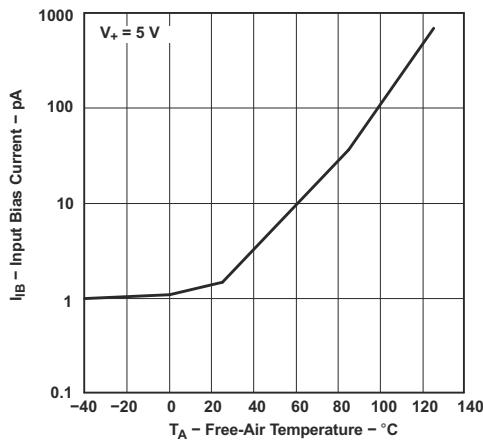


図 5-2. 入力バイアス電流と温度との関係

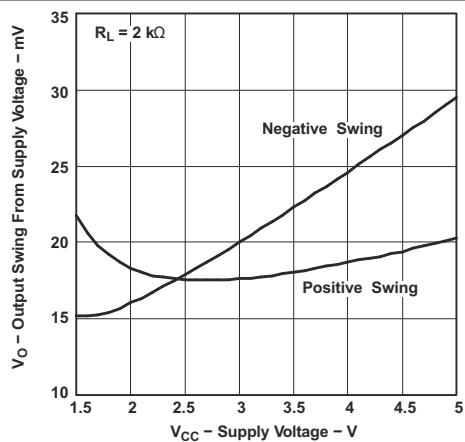


図 5-3. 出力電圧スイングと電源電圧との関係

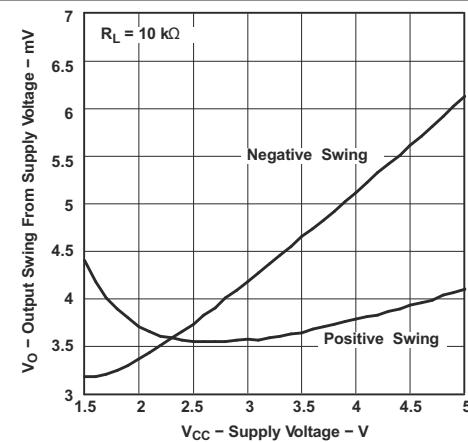


図 5-4. 出力電圧スイングと電源電圧との関係

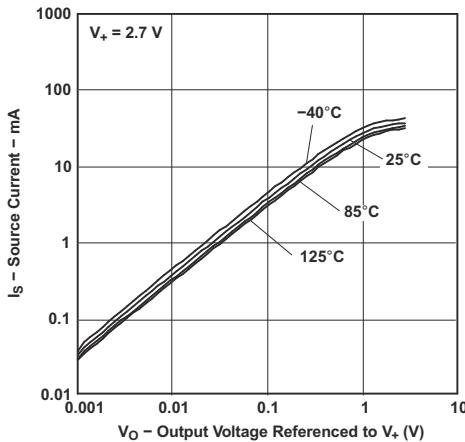


図 5-5. ソース電流と出力電圧との関係

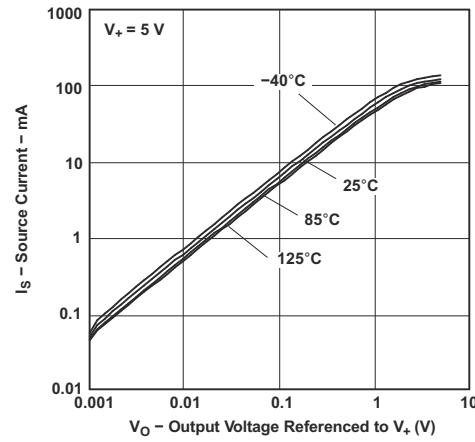


図 5-6. ソース電流と出力電圧との関係

5.9 代表的特性 (続き)

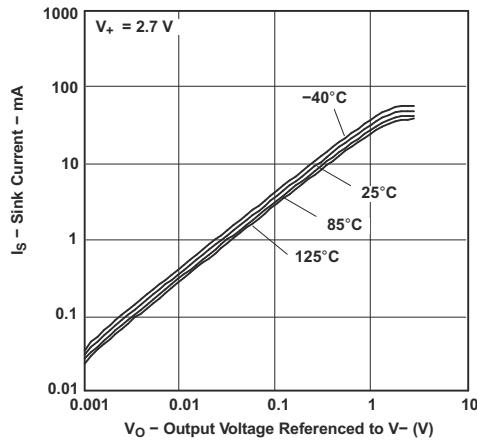


図 5-7. シンク電流と出力電圧との関係

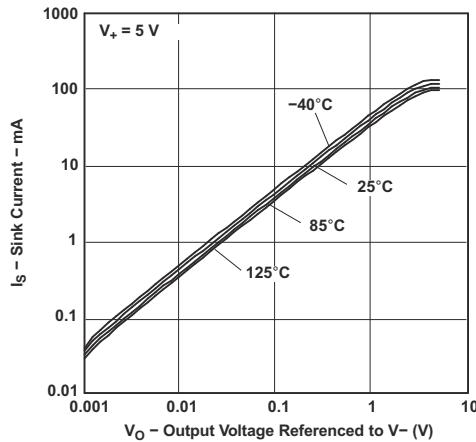


図 5-8. シンク電流と出力電圧との関係

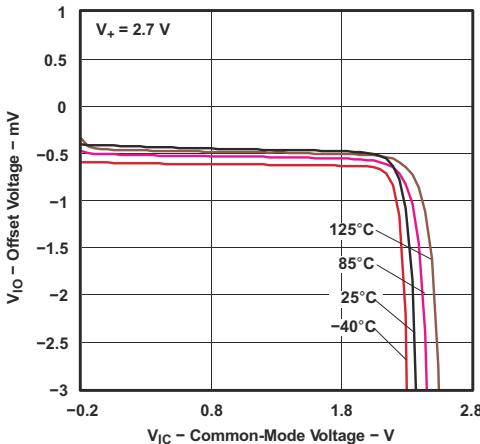


図 5-9. オフセット電圧と同相電圧との関係

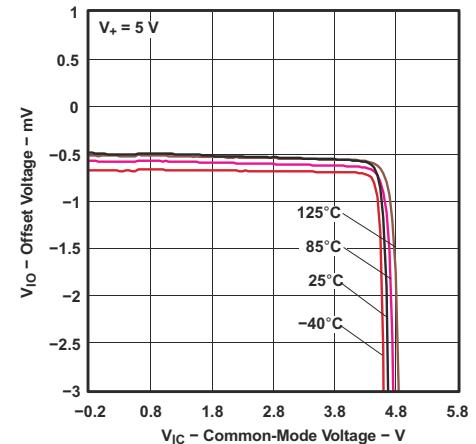


図 5-10. オフセット電圧と同相電圧との関係

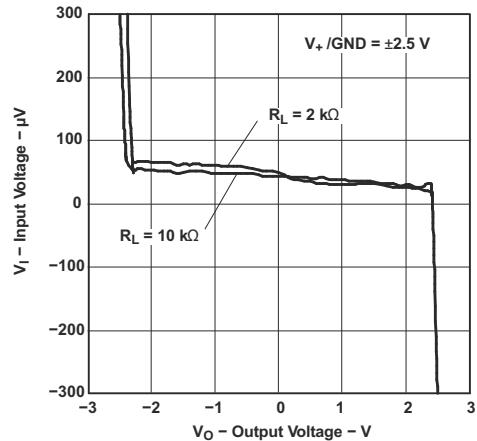


図 5-11. 入力電圧と出力電圧との関係

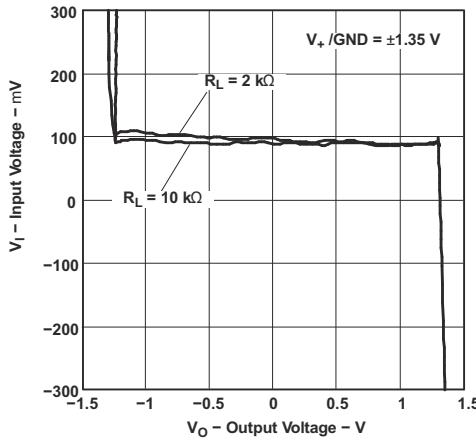


図 5-12. 入力電圧と出力電圧との関係

5.9 代表的特性 (続き)

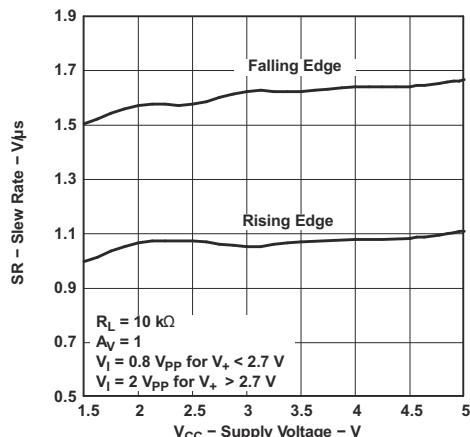


図 5-13. スルーレートと電源電圧との関係

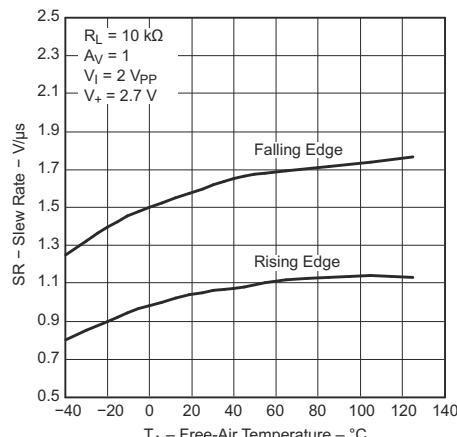


図 5-14. スルーレートと温度との関係

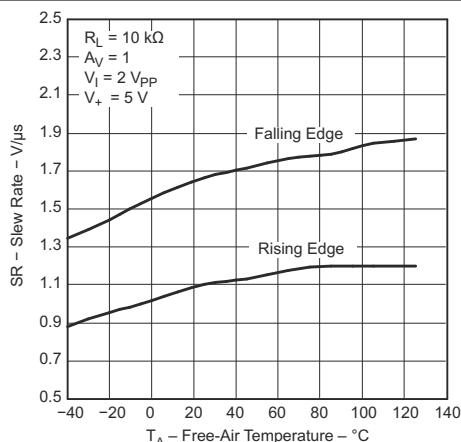


図 5-15. スルーレートと温度との関係

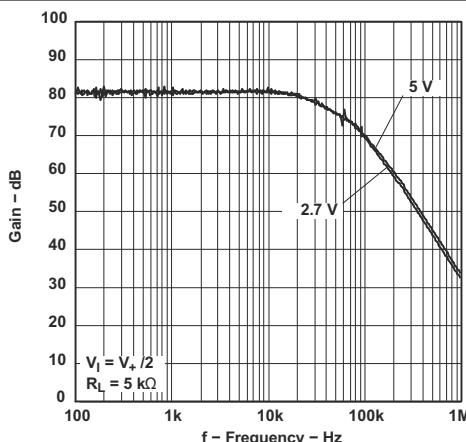


図 5-16. CMRR と周波数との関係

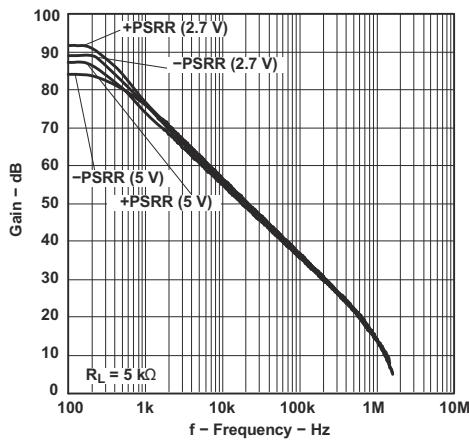


図 5-17. PSRR と周波数との関係

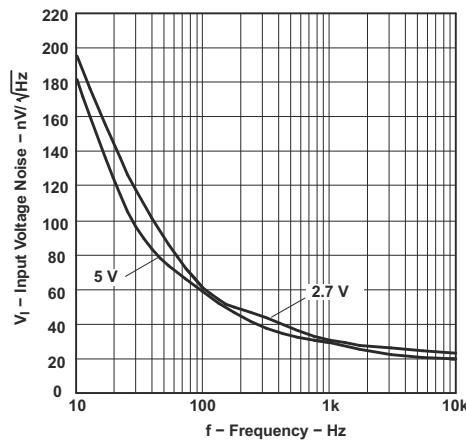


図 5-18. 入力電圧ノイズと周波数との関係

5.9 代表的特性 (続き)

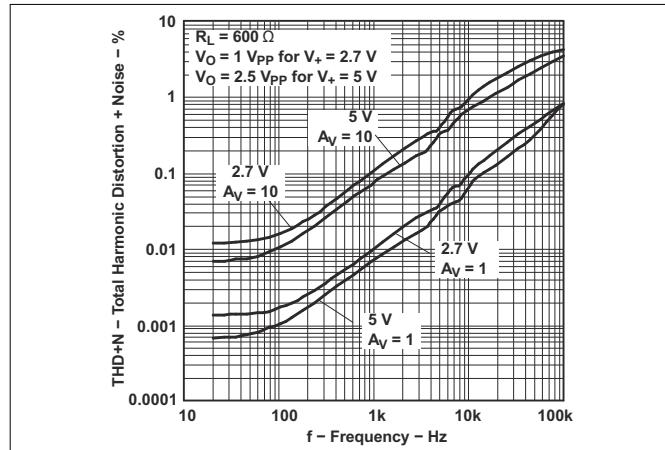


図 5-19. 全高調波歪 + ノイズと周波数との関係

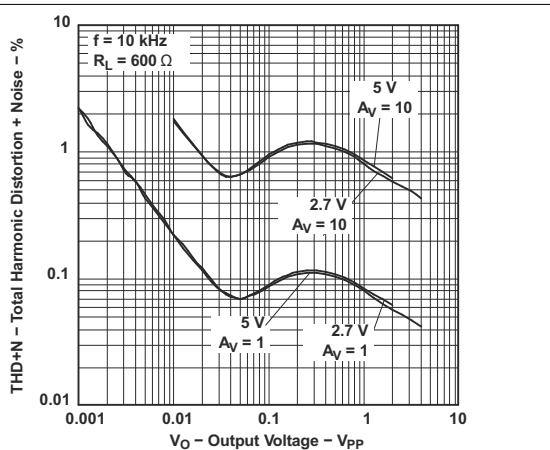
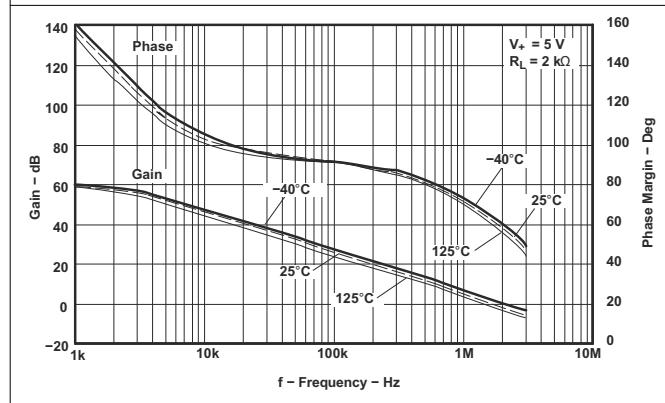
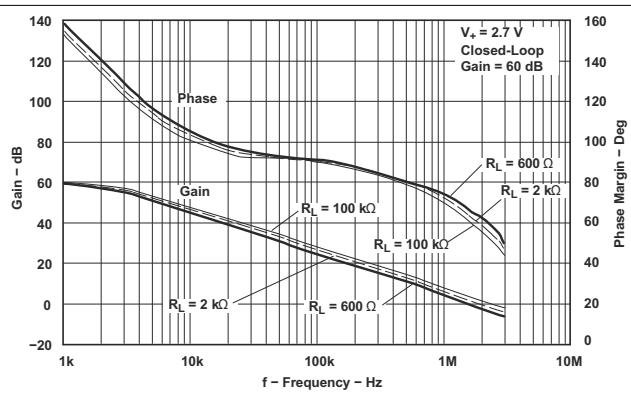


図 5-20. 全高調波歪 + ノイズと出力電圧との関係



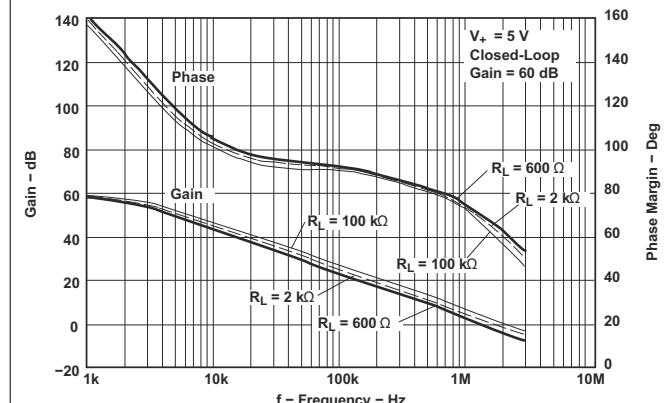
(T_A = -40°C, 25°C, 125°C)

図 5-21. ゲインおよび位相マージンと周波数との関係



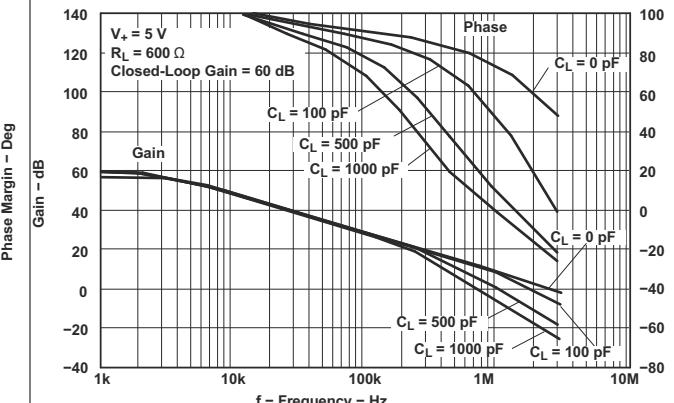
(R_L = 600Ω, 2kΩ, 100kΩ)

図 5-22. ゲインおよび位相マージンと周波数との関係



(R_L = 600Ω, 2kΩ, 100kΩ)

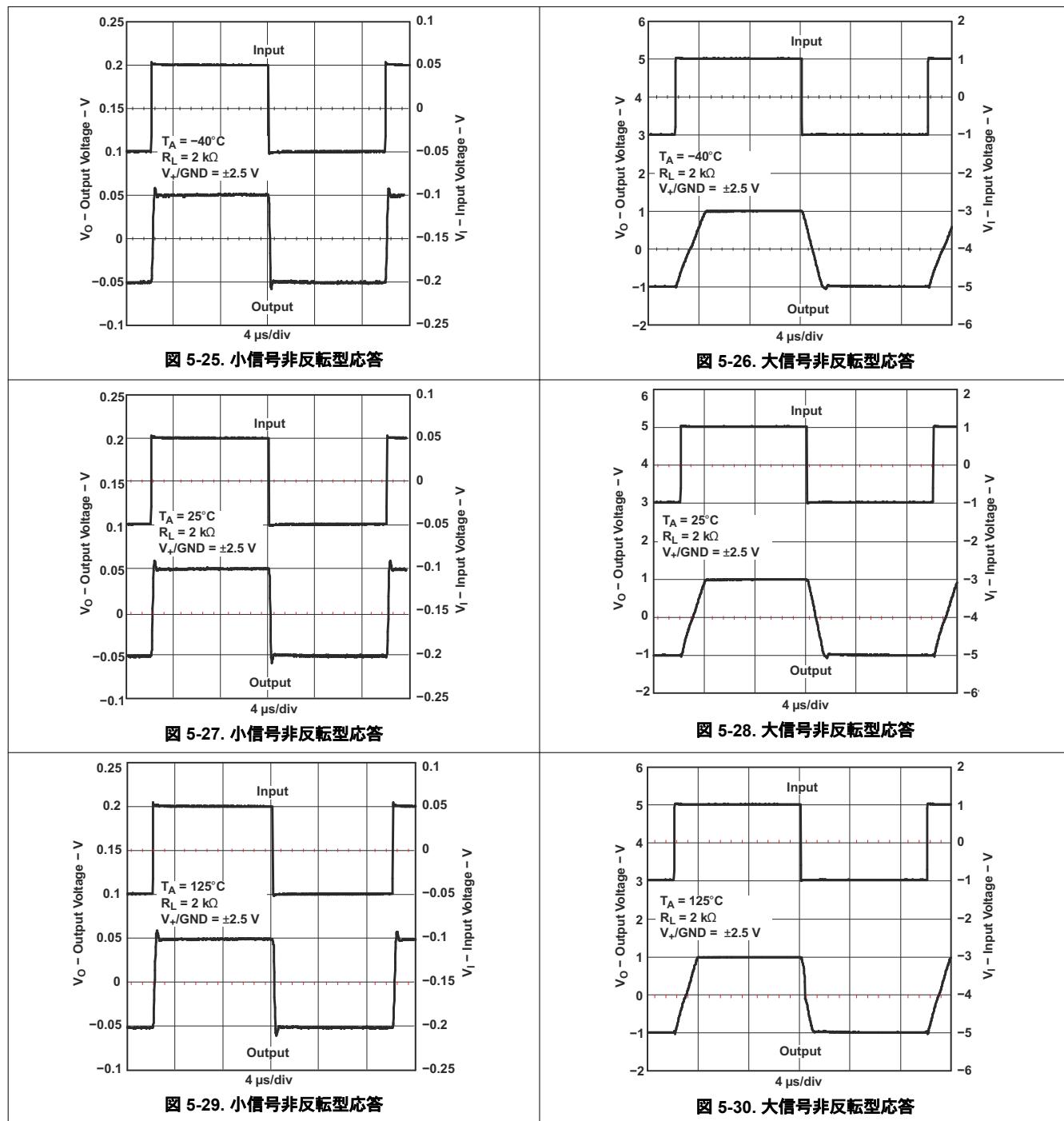
図 5-23. ゲインおよび位相マージンと周波数との関係



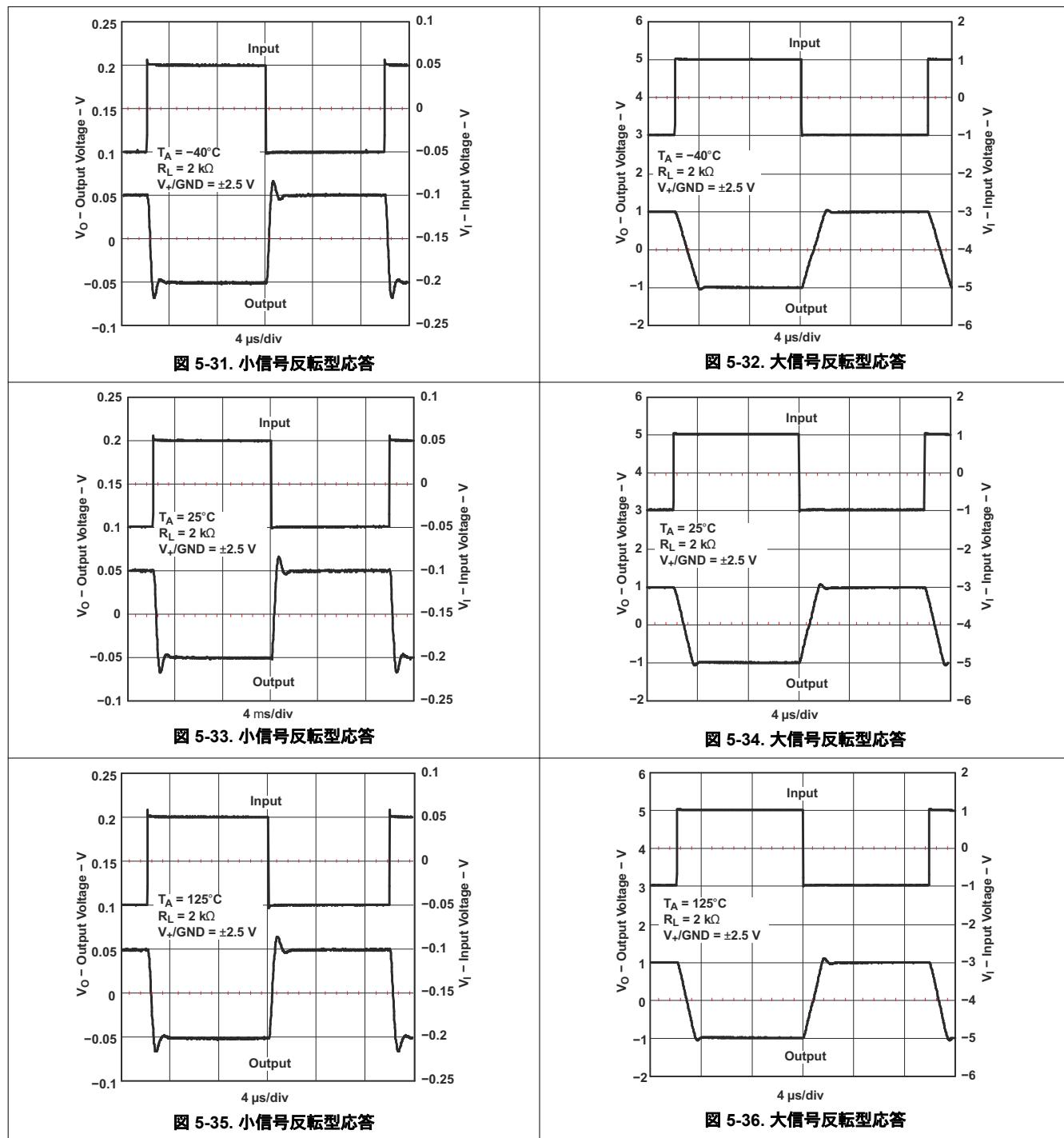
(C_L = 0pF, 100pF, 500pF, 1000pF)

図 5-24. ゲインおよび位相マージンと周波数との関係

5.9 代表的特性 (続き)



5.9 代表的特性 (続き)

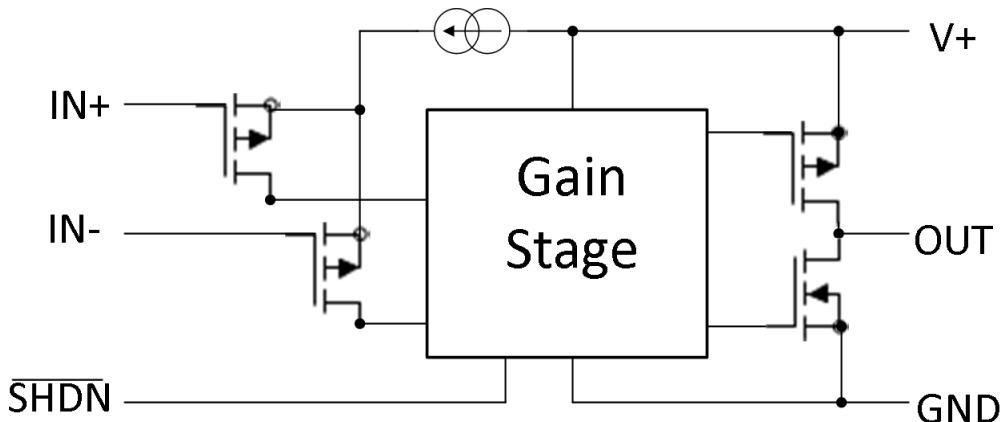


6 詳細説明

6.1 概要

LMV34x デバイスは、非常に低い入力バイアス電流を実現する CMOS 入力を備えた高精度オペアンプです。出力はレールツーレールで、入力同相にグランドが含まれます。LMV341 にはシャットダウンモードがあり、非常に低い消費電流に対応しています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 PMOS 入力段

PMOS 入力段は、グランドを含むより低い入力範囲に対応しています。上限は $V_+ \sim 1V$ です。

6.3.2 CMOS 出力段

CMOS ドレイン出力トポロジにより、レールツーレールの出力スイッチングが可能です。

6.3.3 シャットダウン

LMV341 にはシャットダウン ピンが搭載されています。シャットダウン中、 I_{CC} はほぼ 0 で、出力はハイ インピーダンスになります。シャットダウンから復帰する標準ターンオン時間は $5\mu s$ です。

6.4 デバイスの機能モード

LMV34x には 2 つの動作モードがあります。

- \overline{SHDN} ピンが V_+ レベルにあるか、 \overline{SHDN} ピンが存在しない場合は通常動作
- \overline{SHDN} が GND レベルのときはシャットダウン モードです。 I_{CC} は非常に低く、出力はハイ インピーダンスです。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

LMV34x デバイスは、レール ツー レール出力を持ち、入力範囲はグランドから VCC-1V までです。CMOS 入力は、非常に低い入力電流を実現します。シャットダウン機能は、デュアルアンプバージョンのオプションです。2.5V ~ 5.5V で動作可能です。

7.2 代表的なアプリケーション

オペアンプの代表的なアプリケーションは、反転アンプです。このアンプは入力で正の電圧を取り込み、同じ振幅の負の電圧に変換します。同様に、このアンプは負の電圧を正の電圧に変換します。

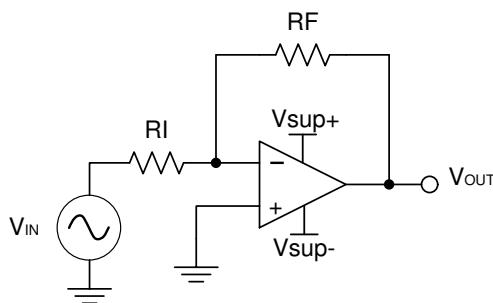


図 7-1. アプリケーション回路図

7.2.1 設計要件

電源電圧は、入力電圧範囲および出力範囲よりも大きくなるように選択する必要があります。たとえば、このアプリケーションは $\pm 0.5V$ の信号を $\pm 1.8V$ に拡大します。 $\pm 2V$ の電源電圧設定は、このアプリケーションに対応するのに十分です。電源は任意の順序で起動できますが、どちらの電源もグランドに対して常に逆の極性にすることはできません。そうでなければ、入力 ESD ダイオードを通して大きな電流が流れる可能性があります。このような発生時に電流を制限するため、接地された入力に直列抵抗を追加することを強く推奨します。Vsup+ は常に Vsup- よりも正の値である必要があります。そうしないと、大きな逆電源電流が流れる可能性があります。

7.2.2 詳細な設計手順

式 1 と 式 2 を使って、反転アンプに必要なゲインを決定します。

$$A_v = \frac{V_{OUT}}{V_{IN}} \quad (1)$$

$$A_v = \frac{1.8}{-0.5} = -3.6 \quad (2)$$

目的のゲインが決定したら、RI または RF の値を選択します。アンプ回路は mA 範囲の電流を使用するため、kΩ 範囲の値を選択することが求められます。これにより、部品が過度の電流を消費することを防止できます。この例では、RI に 10kΩ を選択します。つまり、RF には 36kΩ が使用されます。これは、式 3 によって決定されます。

$$A_v = -\frac{RF}{RI} \quad (3)$$

7.2.3 アプリケーション曲線

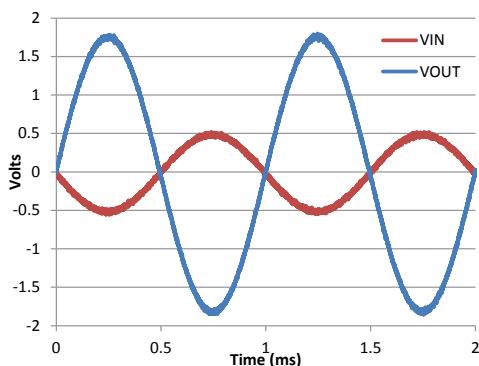


図 7-2. 反転アンプの入力電圧と出力電圧

8 電源に関する推奨事項

注意

単一電源用に 5.5V を超える電源電圧を印加すると、デバイスに永続的な損傷を与えるおそれがあります（[絶対最大定格](#)を参照してください）。

電源ピンの近くに $0.1\mu\text{F}$ のバイパスコンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。

9 レイアウト

9.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、以下の適切な PCB レイアウト手法を使用してください。

- ノイズは、回路全体やオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。バイパスコンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
 - 各電源ピンとグラウンドの間には、低 ESR の $0.1\mu\text{F}$ セラミックバイパスコンデンサを、可能な限りデバイスの近くに接続します。単一電源アプリケーションの場合は、 V_+ からグラウンドに対して 1 つのバイパスコンデンサを接続します。
- 回路のアナログ部分とデジタル部分のグラウンドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグラウンドプレーン専用です。グラウンドプレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。デジタルグラウンドとアナロググラウンドを物理的に分離し、グラウンド電流の流れに注意を払う必要があります。
- 寄生カップリングを低減するため、入力トレースを電源トレースと出力トレースからできるだけ離して配置します。これらの配線を離して配置できない場合、影響を受けやすい配線をノイズの多い配線と平行にするのではなく、直角に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。RF と RG を反転入力に近づけて配置すると、「[レイアウト例](#)」に示すように、寄生容量が最小化されます。
- 入力トレースは、できる限り短くします。入力トレースは、回路の中でも最も影響を受けやすい部分であることに常に注意してください。
- 重要なトレースの周囲に、駆動される低インピーダンスのガードリングを配置することを検討してください。ガードリングを使用すると、付近に存在する、さまざまな電位のトレースからのリーク電流を大幅に低減できます。

9.2 レイアウト例

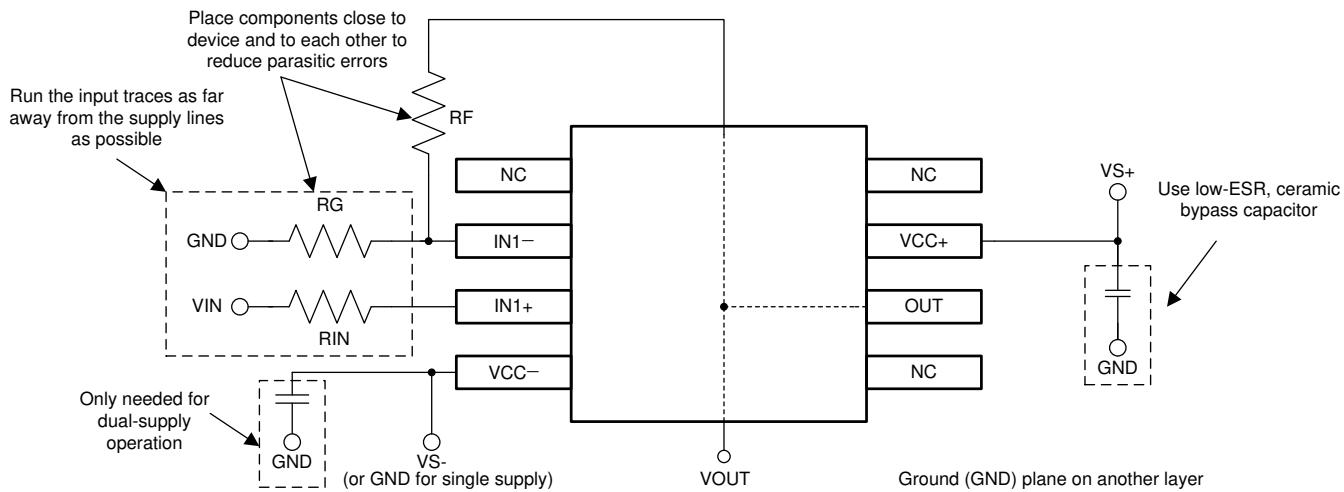


図 9-1. 非反転構成のオペアンプのレイアウト

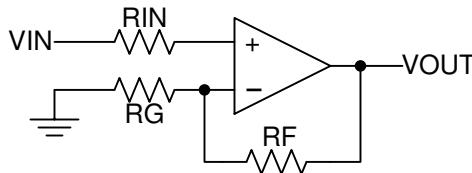


図 9-2. 非反転構成のオペアンプの回路図

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (May 2016) to Revision J (June 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• $V+=2.7V$ でのチャネルごとの電源電流仕様を $100\mu A$ から $150\mu A$ (標準値) に、 $170\mu A$ から $200\mu A$ ($25^\circ C$ での最大値) に変更.....	6
• $V+=5V$ でのチャネルごとの電源電流仕様を $100\mu A$ から $150\mu A$ (標準値) に変更.....	7
• シャットダウンピンの推奨電圧範囲、 $V+=2.7V$ でのシャットダウンモードの仕様を $0.8V$ から $0.2V$ (最大値) に変更.....	8
• シャットダウンピンの推奨電圧範囲、 $V+=5V$ でのシャットダウンモードの仕様を $0.8V$ から $0.2V$ (最大値) に変更.....	8

Changes from Revision H (June 2012) to Revision I (May 2016)	Page
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。.....	1
• 「注文情報」表を削除.....	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV341IDBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(RC9A, RC9E, RC9S)
LMV341IDBVR.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(RC9A, RC9E, RC9S)
LMV341IDBVRE4	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
LMV341IDBVRG4	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
LMV341IDCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	(R4A, R4E)
LMV341IDCKR.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	(R4A, R4E)
LMV341IDCKRG4	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(R4A, R4E)
LMV341IDCKRG4.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(R4A, R4E)
LMV342ID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	MV342I
LMV342IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	RPA
LMV342IDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	RPA
LMV342IDGKRG4	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	
LMV342IDGKT	Preview	Production	VSSOP (DGK) 8	250 SMALL T&R	-	Call TI	Call TI	-40 to 125	
LMV342IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV342I
LMV342IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV342I
LMV342IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	
LMV344ID	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-40 to 125	LMV344I
LMV344IDR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV344I
LMV344IDR.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV344I
LMV344IPW	Obsolete	Production	TSSOP (PW) 14	-	-	Call TI	Call TI	-40 to 125	MV344I
LMV344IPWR	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV344I
LMV344IPWR.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV344I
LMV344IPWRG4	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

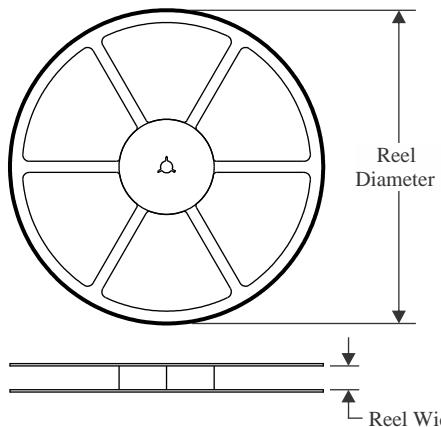
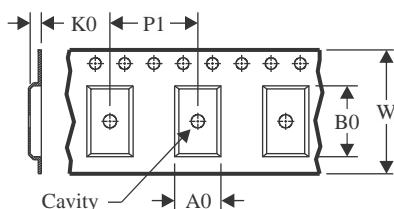
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMV341, LMV344 :

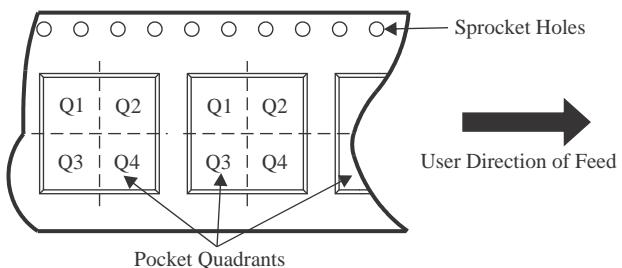
- Automotive : [LMV341-Q1](#), [LMV344-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

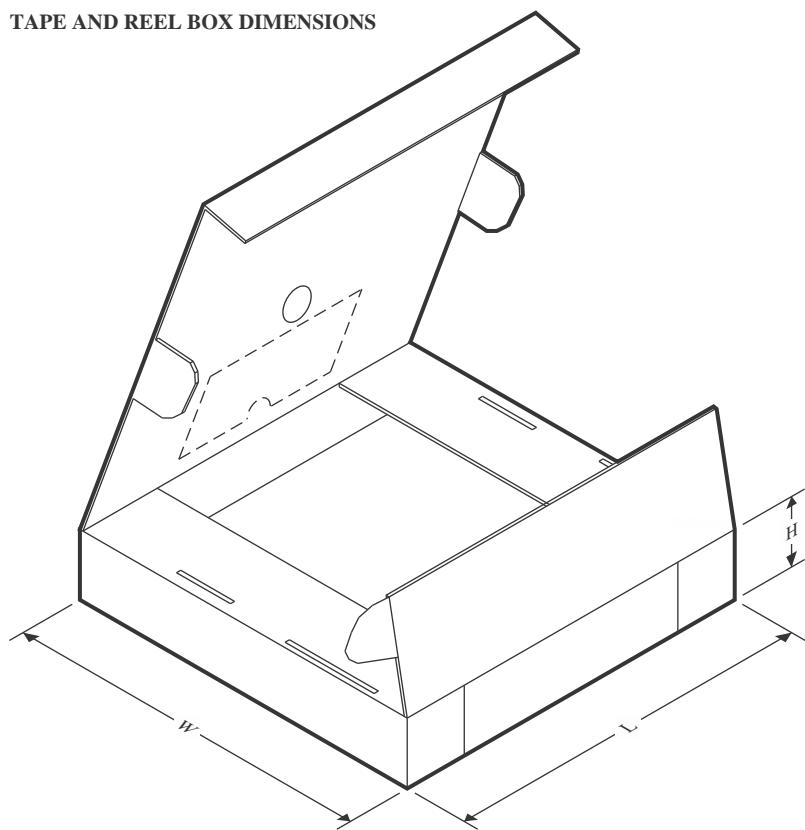
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV341IDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
LMV341IDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV341IDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
LMV341IDCKRG4	SC70	DCK	6	3000	180.0	8.4	2.41	2.41	1.2	4.0	8.0	Q3
LMV342IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
LMV342IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMV344IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMV344IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV344IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV341IDBVR	SOT-23	DBV	6	3000	202.0	201.0	28.0
LMV341IDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
LMV341IDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
LMV341IDCKRG4	SC70	DCK	6	3000	202.0	201.0	28.0
LMV342IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
LMV342IDR	SOIC	D	8	2500	353.0	353.0	32.0
LMV344IDR	SOIC	D	14	2500	353.0	353.0	32.0
LMV344IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
LMV344IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

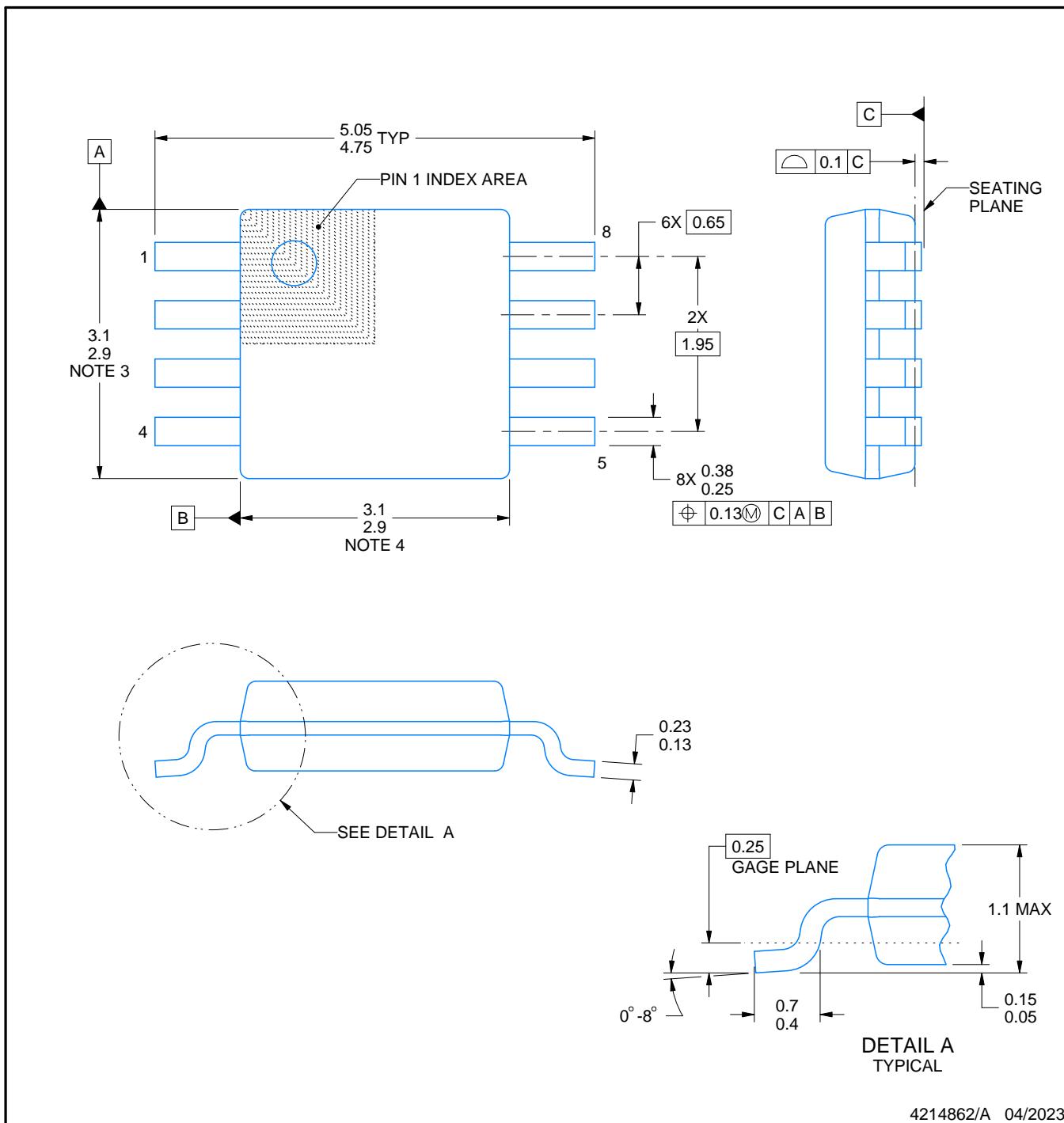
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

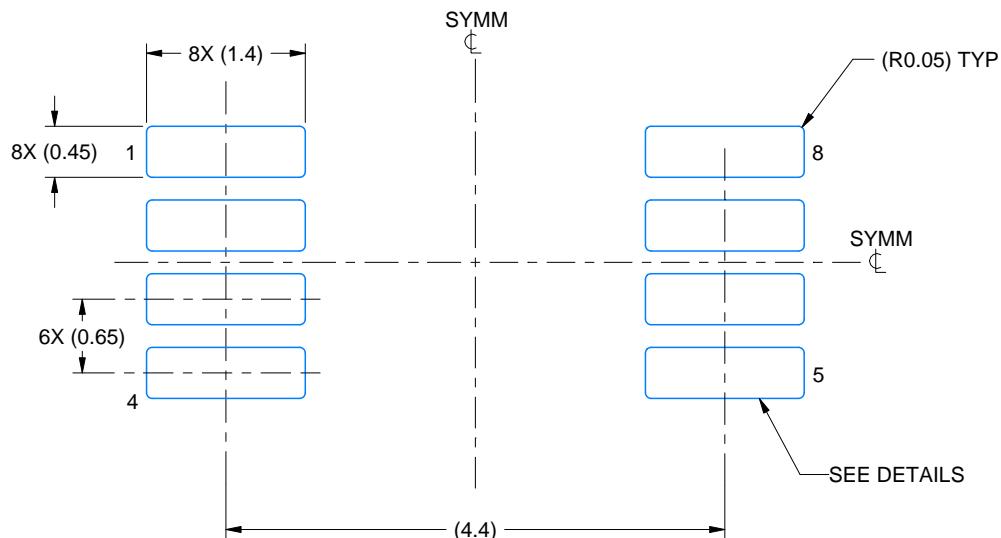
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

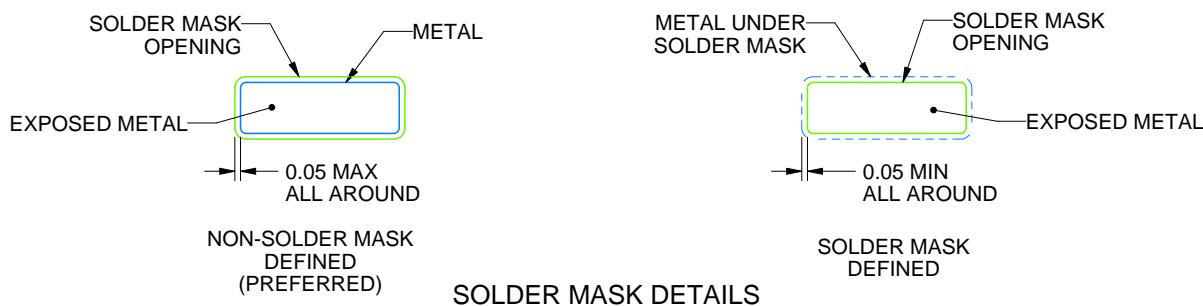
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4214862/A 04/2023

NOTES: (continued)

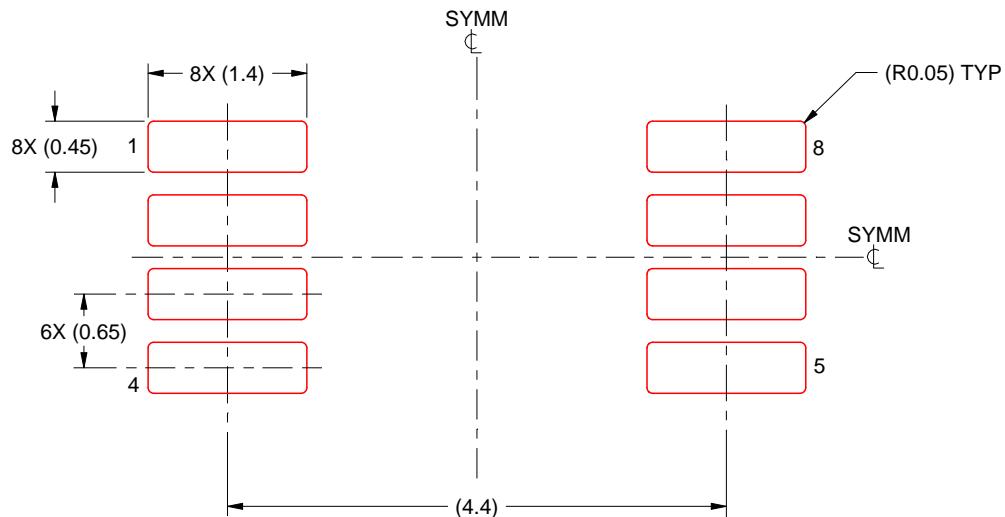
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

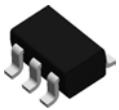
4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

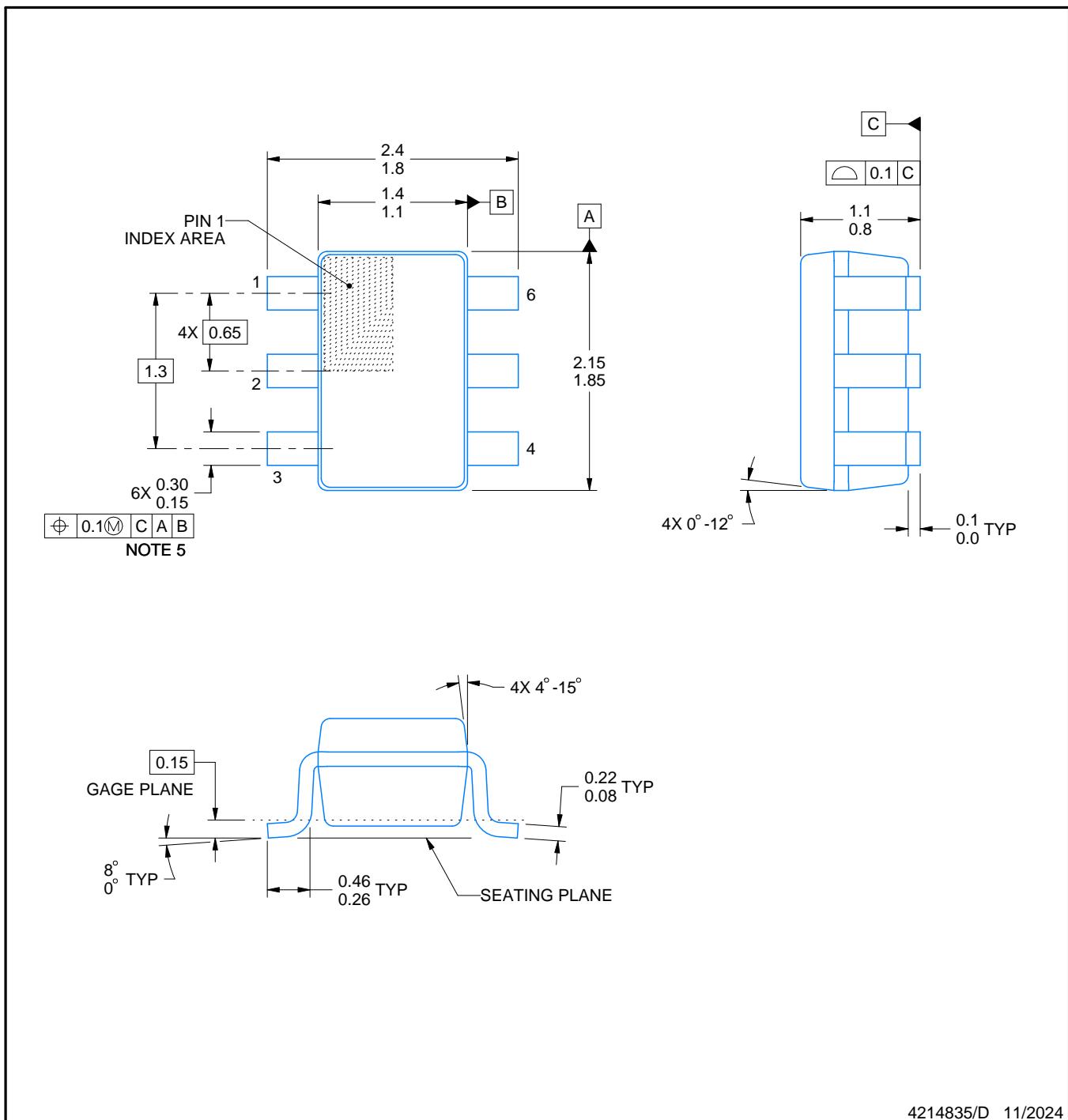
PACKAGE OUTLINE

DCK0006A



SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214835/D 11/2024

NOTES:

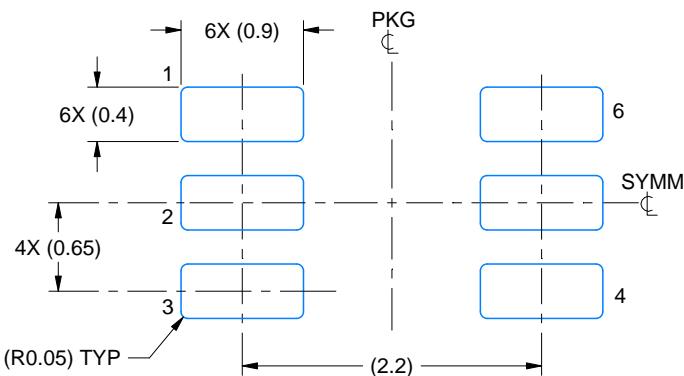
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.

EXAMPLE BOARD LAYOUT

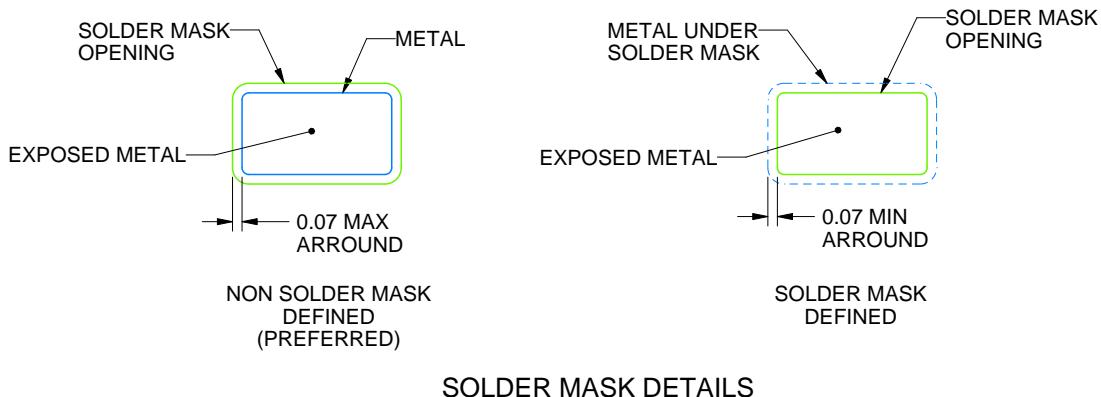
DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

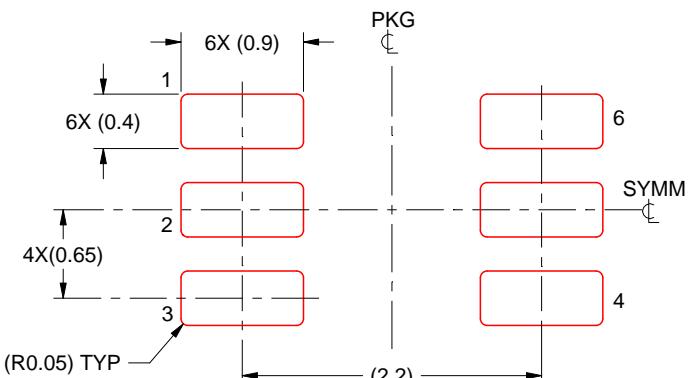
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

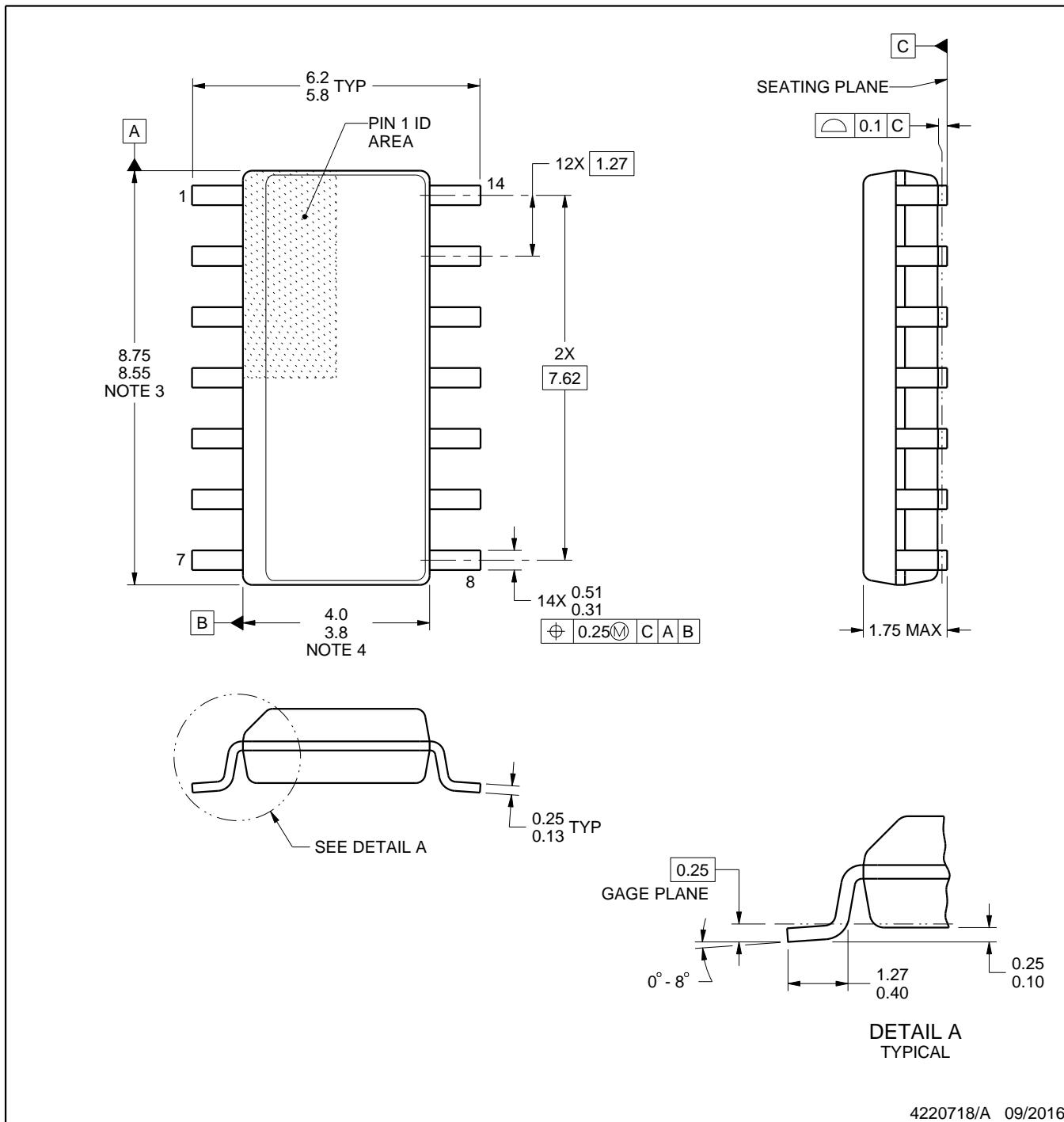
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

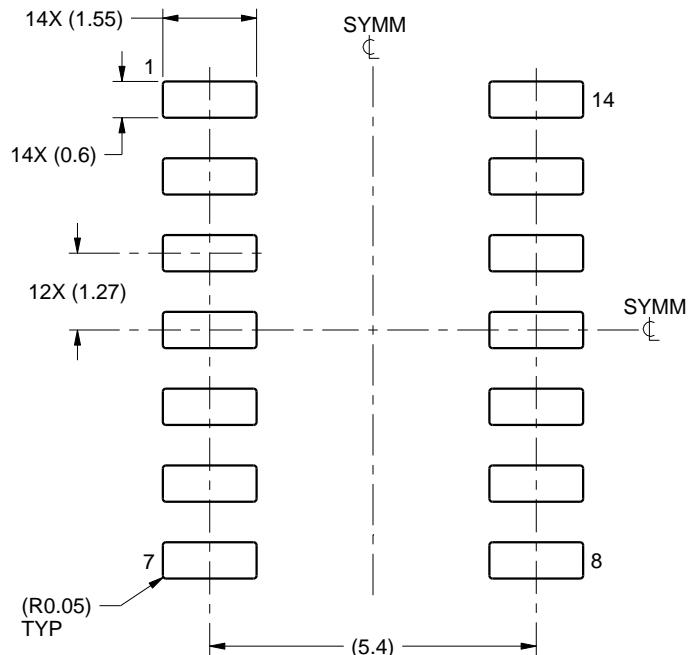
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

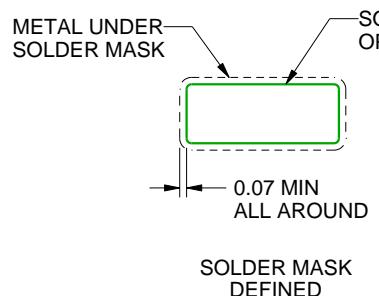
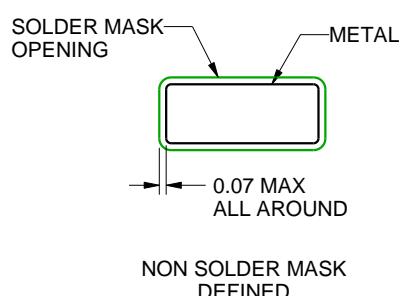
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

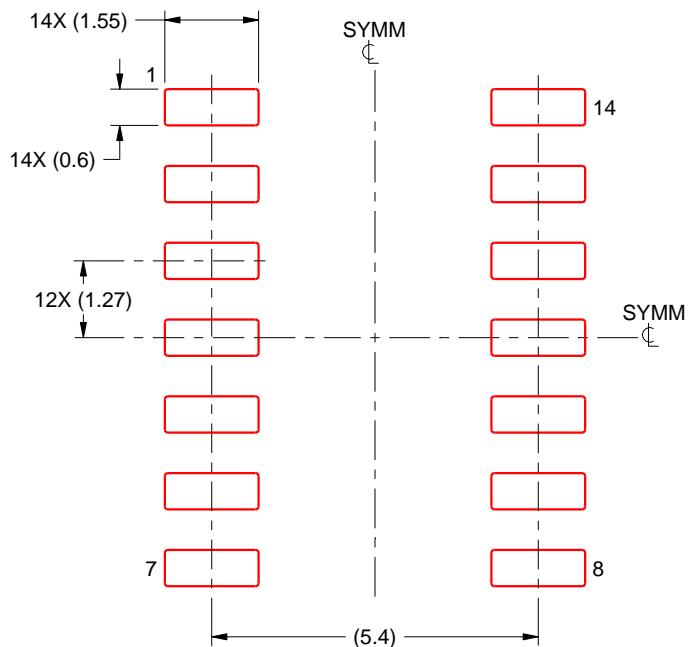
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

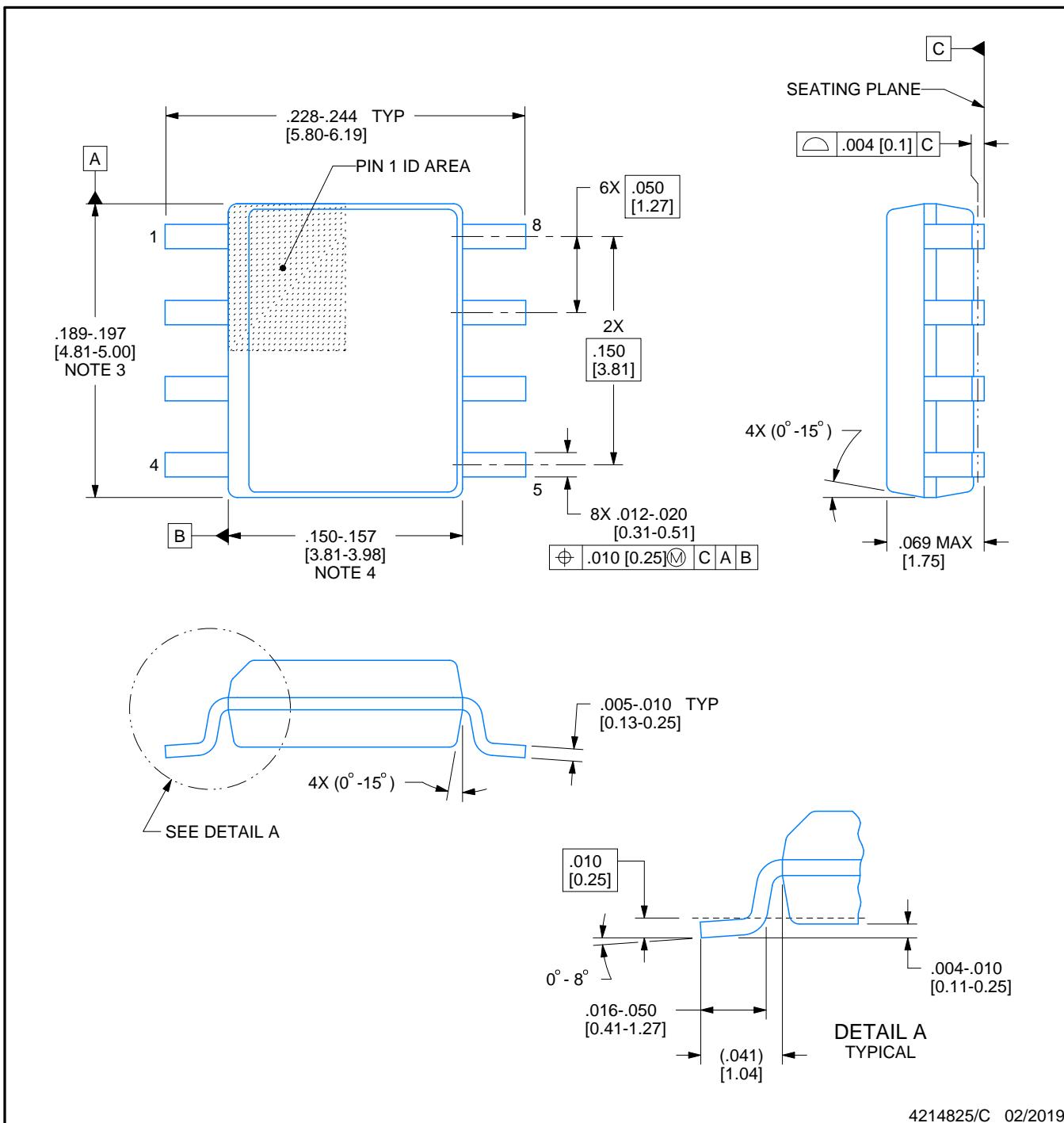
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

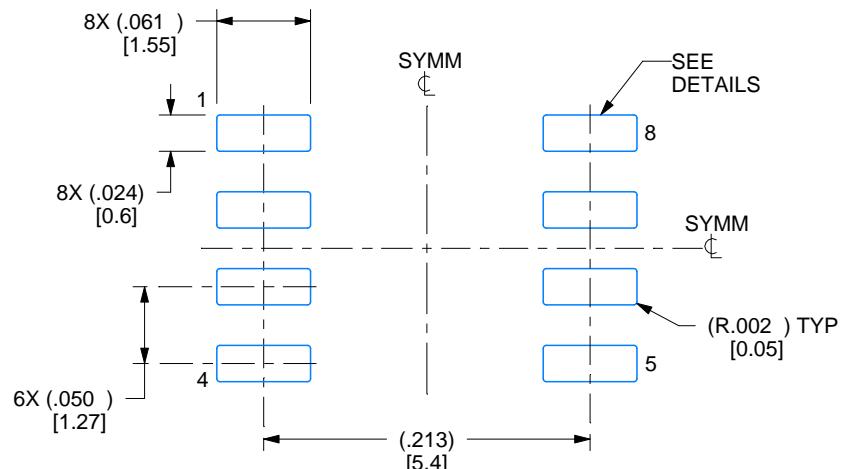
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

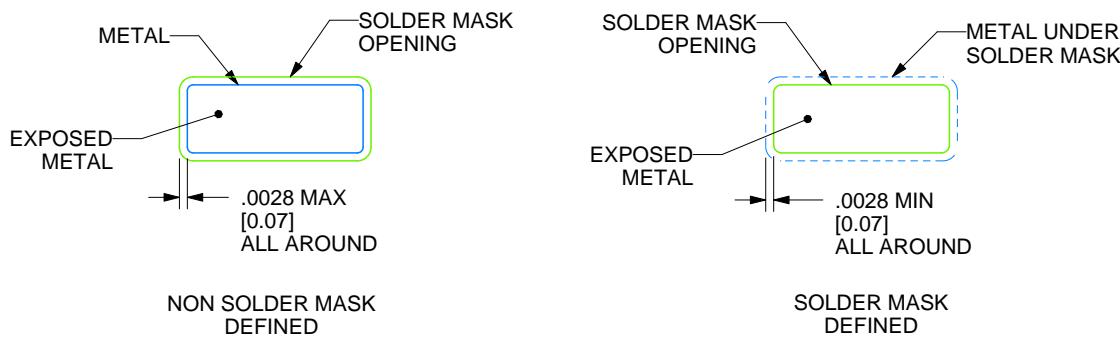
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

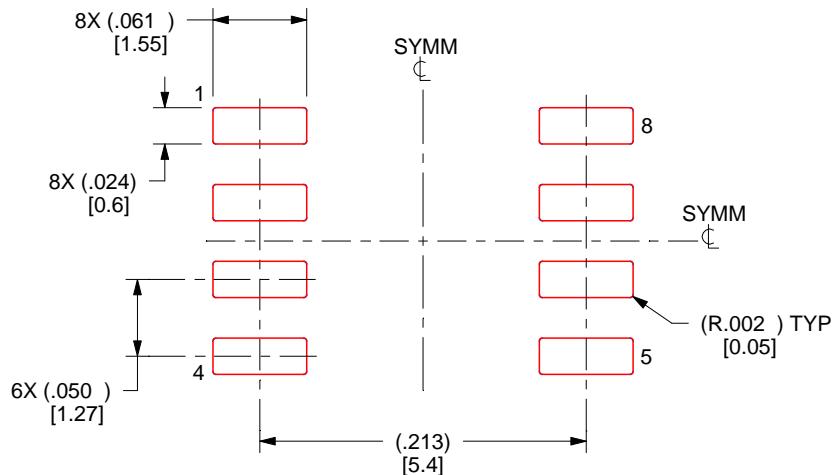
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

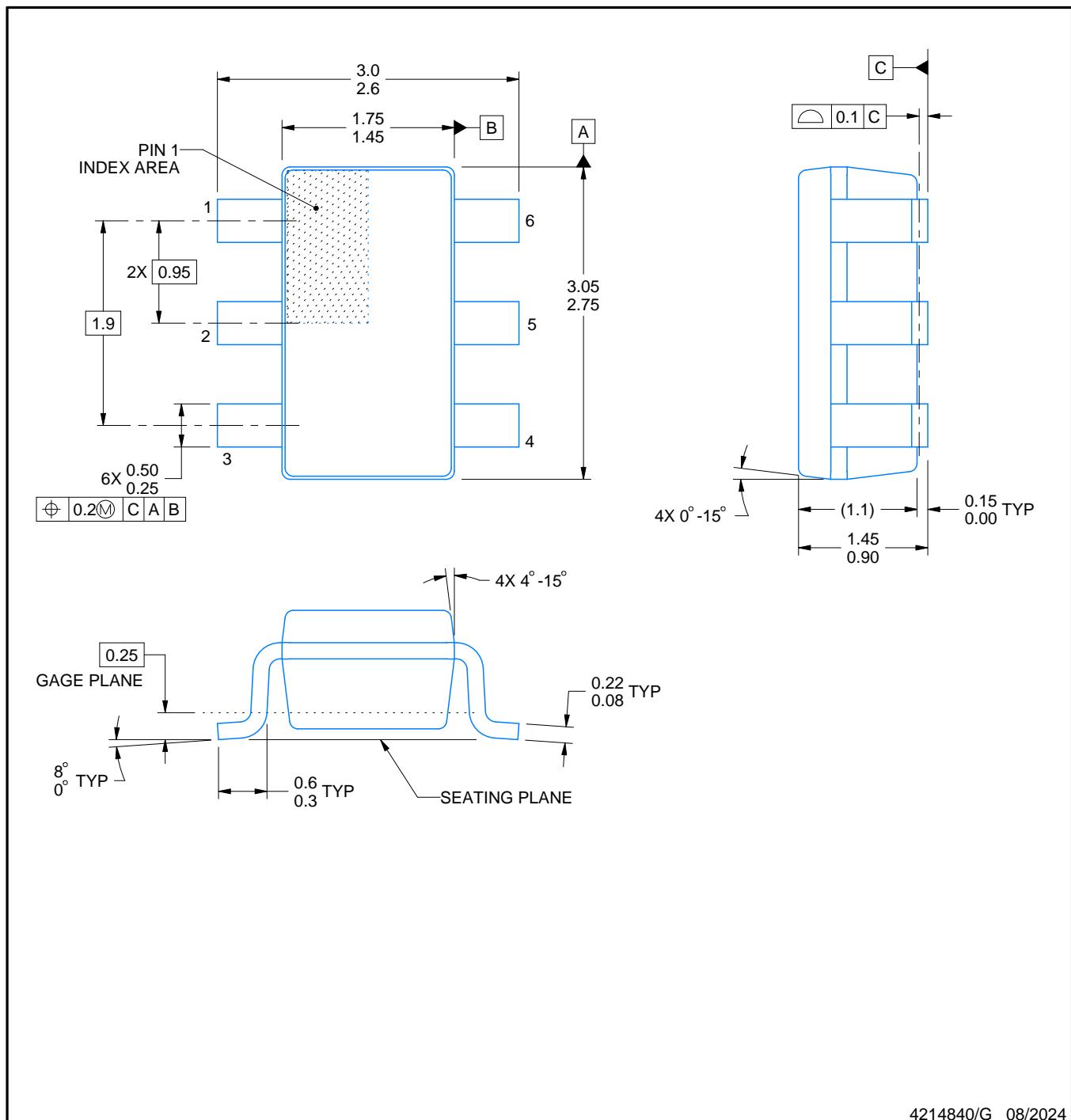
PACKAGE OUTLINE

DBV0006A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



NOTES:

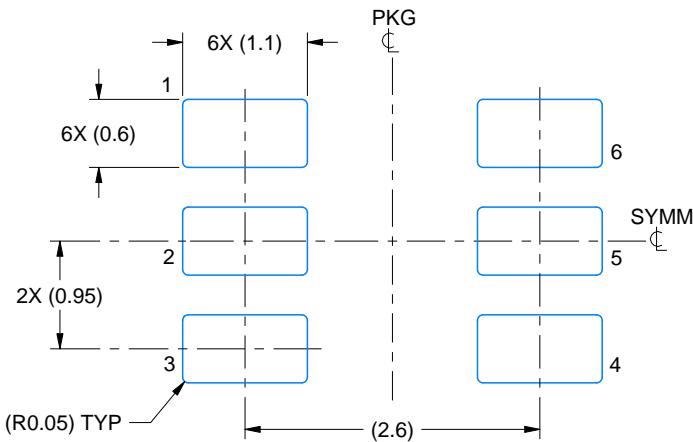
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
 4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
 5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

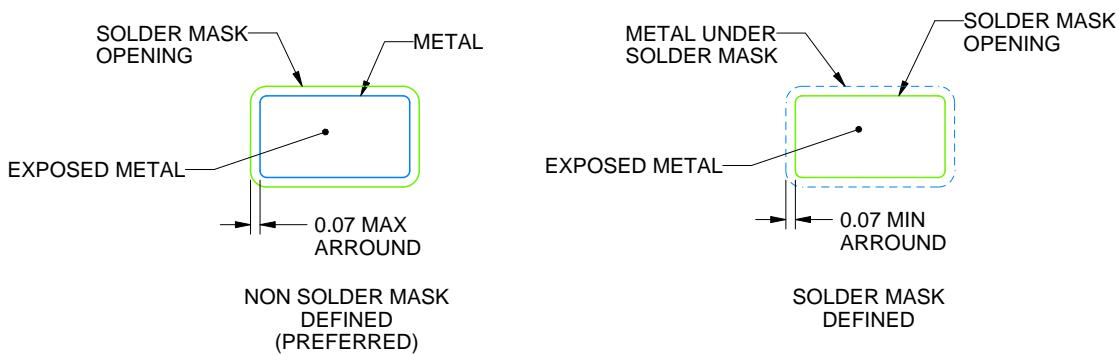
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

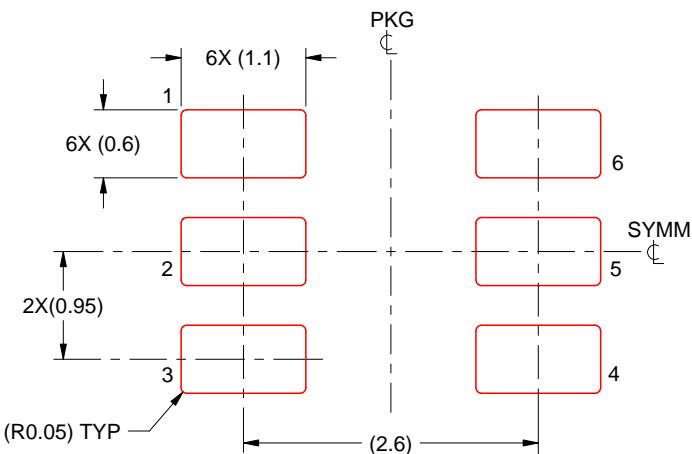
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

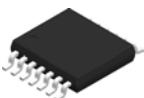
4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

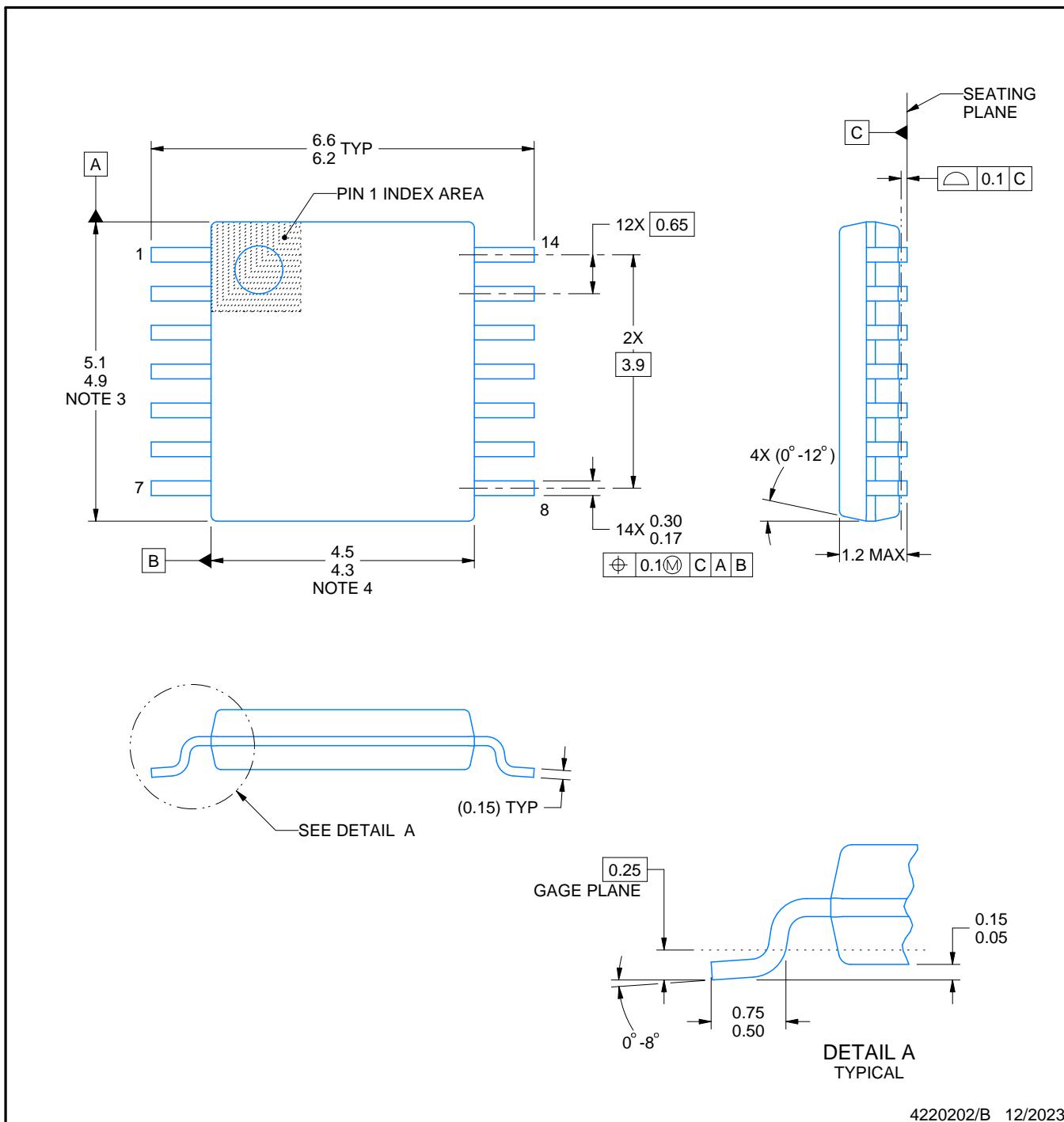
PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

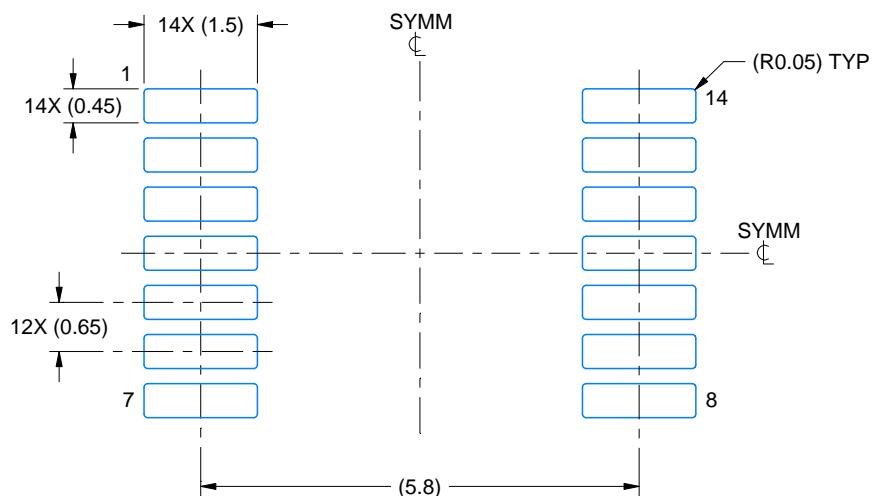
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

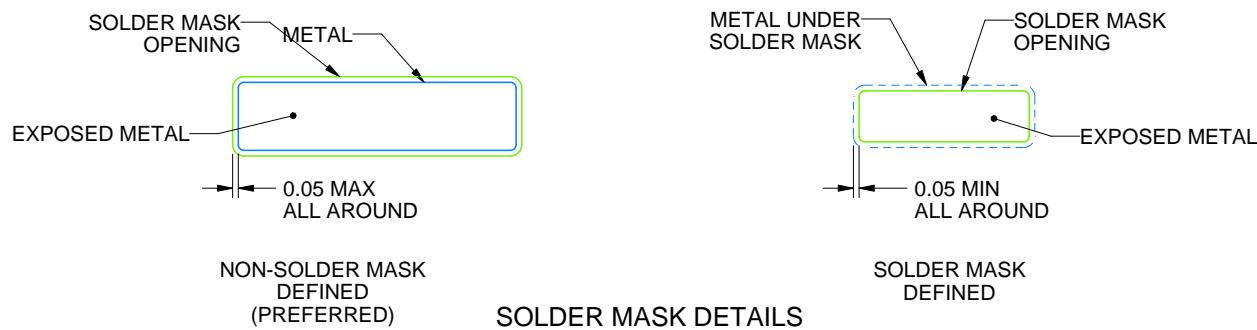
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

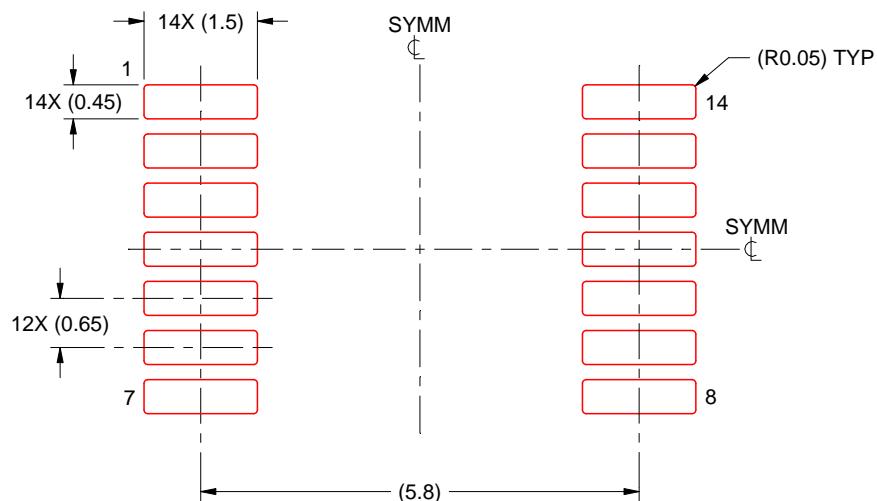
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月