

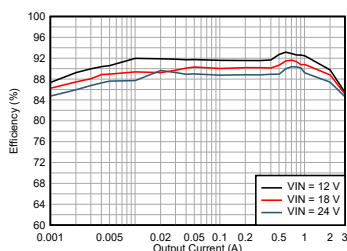
LMR664x0-Q1、36V、1A、2A、3A、超小型、同期、車載 整流降圧コンバータ

1 特長

- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 車載アプリケーション用に AEC-Q100 認定取得済み:
 - 温度グレード 1: -40°C ~ +125°C、T_A
- 低 EMI 要件に対して最適化:
 - デュアル ランダム スペクトラム拡散により、ピーク放射を低減
 - 強化型 HotRod™ QFN パッケージによりスイッチ ノードリングを最小化
- 効率が 85% 以上 (1mA 時)
- 車載アプリケーション用に設計:
 - 接合部温度範囲: -40°C ~ +150°C
 - 重要なピン間に NC ピンを配置することで信頼性を向上
 - クラス最高のピン FMEA
 - 42V の車載用負荷ダンプ過渡に対応
 - 車載のコールド クランク用に 3V_{IN} をサポート
- 小さなソリューション サイズとわずかな部品コスト:
 - ウェットダブル フランク付きの 2.6mm × 2.6mm 強化 HotRod QFN パッケージ
 - 内部制御ループ補償

2 アプリケーション

- 先進運転支援システム: レーダー ECU
- インフォテインメントおよびクラス: ヘッド ユニット、eCall
- ボディ エレクトロニクスおよび照明



効率: V_{OUT} = 3.3V (固定)、2.2MHz

3 概要

LMR664x0-Q1 は、強化型 HotRod QFN パッケージに搭載された小型の 36V、3A (2A および 1A バリエーションもあります) 同期整流降圧 DC/DC コンバータです。この使いやすいコンバータは 2.7V ~ 36V の広い入力電圧範囲 (起動後または動作を開始した後) と最大 42V の過渡電圧に対応しています。

LMR664x0-Q1 は、特に常時オンの車載アプリケーションの低スタンバイ電力要件を満たすように設計されています。自動モードでは、軽負荷動作時の周波数フォールドバックが可能であり、1.5μA (標準値、V_{IN} = 13.5V) の無負荷時消費電流と、軽負荷時の効率向上を実現できます。PWM モードと PFM モードの間のシームレスな移行と非常に小さな MOSFET ON 抵抗により、負荷範囲全体にわたって非常に優れた効率を確保しています。この制御アーキテクチャ (ピーク電流モード) および機能セットは、超小型の設計サイズと最小限の出力容量に最適化されています。本デバイスは、デュアル ランダム スペクトラム拡散 (DRSS)、低 EMI の強化型 HotRod QFN パッケージ、最適化されたピン配置によって、入力フィルタのサイズを最小化しています。MODE/SYNC ピンで周波数を設定または同期することで、ノイズの影響を受けやすい周波数帯域を回避できます。重要な高電圧ピンの間に NC ピンを配置することで、故障の可能性を低減しています (非常に優れた選択のピン FMEA)。

LMR664x0-Q1 の豊富な機能セットは、広範な車載用最終機器を簡単に実装できるように設計されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
LMR66430-Q1	RXB (VQFN, 14)	2.60mm × 2.60mm
LMR66420-Q1		
LMR66410-Q1		

- 詳細については、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号	定格出力電流 ⁽¹⁾
LMR66430-Q1	3A
LMR66420-Q1	2A
LMR66410-Q1	1A

- [デバイス比較表](#)を参照してください。



目次

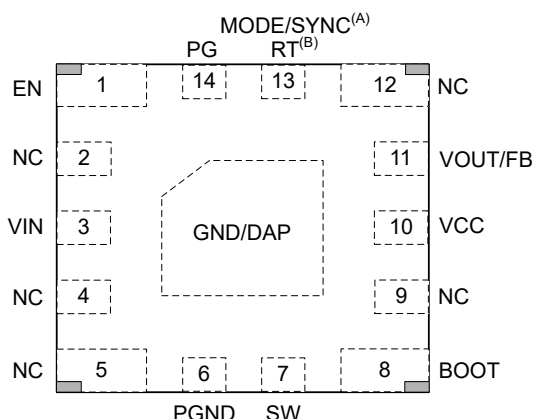
1 特長	1	7.4 デバイスの機能モード	22
2 アプリケーション	1	8 アプリケーションと実装	29
3 概要	1	8.1 アプリケーション情報.....	29
4 デバイス比較表	3	8.2 代表的なアプリケーション.....	30
5 ピン構成および機能	4	8.3 設計のベスト プラクティス.....	43
6 仕様	6	8.4 電源に関する推奨事項.....	43
6.1 絶対最大定格.....	6	8.5 レイアウト.....	43
6.2 ESD 定格.....	6	9 デバイスおよびドキュメントのサポート	45
6.3 推奨動作条件.....	6	9.1 デバイス サポート.....	45
6.4 熱に関する情報.....	7	9.2 ドキュメントのサポート.....	46
6.5 電気的特性.....	7	9.3 ドキュメントの更新通知を受け取る方法.....	46
6.6 システム特性.....	9	9.4 サポート・リソース.....	46
6.7 代表的特性.....	10	9.5 商標.....	46
7 詳細説明	11	9.6 静電気放電に関する注意事項.....	47
7.1 概要.....	11	9.7 用語集.....	47
7.2 機能ブロック図.....	12	10 改訂履歴	47
7.3 機能説明.....	13	11 メカニカル、パッケージ、および注文情報	48

4 デバイス比較表

発注用型番 ⁽¹⁾ ⁽²⁾	出力電流	出力電圧	外部との同期	F _{sw}	内部コンデンサ	スペクトラム拡散
LMR66430MC5RXBRQ1	3A	5V 固定/可変	あり (PFM/FPWM を選 択可能)	固定 2.2MHz	なし	あり
LMR66430MC3RXBRQ1	3A	3.3V 固定/可変	あり (PFM/FPWM を選 択可能)	固定 2.2MHz	なし	あり
LMR66430R3RXBRQ1	3A	3.3V 固定/可変	なし (軽負荷時のデフォ ルトの PFM)	RT 抵抗で調整 可能	なし	あり
LMR66420MC5RXBRQ1	2A	5V 固定/可変	あり (PFM/FPWM を選 択可能)	固定 2.2MHz	なし	あり
LMR66410MC5RXBRQ1	1A	5V 固定/可変	あり (PFM/FPWM を選 択可能)	固定 2.2MHz	なし	あり

- (1) デバイスの発注用製品型番の詳細については、[デバイスの命名規則](#)を参照してください。
(2) 他のバリエーションオプションについては、TI にお問い合わせください。

5 ピン構成および機能



- A. 詳細については、「[デバイスの比較](#)」表をご覧ください。外部調整可能スイッチング周波数 RT バリエーションの場合のみ、ピン 13 は出荷時設定済みです。
- B. 固定スイッチング周波数 MODE/SYNC バリエーションの場合のみ、ピン 13 は出荷時設定済みです。

図 5-1. RXB 14-ピン (2.6mm × 2.6mm) Enhanced HotRod™ VQFN-FCRLF パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
EN/UVLO	1	A	レギュレータへのイネーブル入力。High = オン、Low = オフ。VIN に直接接続できます。このピンをフローティングにしないでください。
NC	2	—	デバイスに内部接続されていません
VIN	3	P	レギュレータへの入力電源。高品質バイパスコンデンサは、このピンと PGND の間に直接追加する必要があります。
NC	4	—	デバイスに内部接続されていません
NC	5	—	デバイスに内部接続されていません
PGND	6	G	電源グラウンドピン。システムグラウンドに接続。短くかつ広いパターンで C _{IN} に接続します。
SW	7	P	レギュレータのスイッチ ノード。パワー インダクタに接続します。
BOOT	8	P	内部ハイサイドドライバのブートストラップ電源電圧。このピンと SW の間には、外付け 0.1μF、16V のコンデンサが必要です。
NC	9	—	デバイスに内部接続されていません
VCC	10	A	内部 LDO 出力。内部制御回路への電源として使用されます。外部負荷に接続しないでください。パワーグッドフラグのロジック電源として使用できます。このピンと GND との間に高品質の 1μF コンデンサを接続します。
VOUT/FB	11	A	VOUT/FB ピンのバリエーションでは、固定出力オプションおよび可変出力オプションが利用できます。固定 V _{OUT} では、出力電圧ノードに接続します。帰還抵抗分圧回路の値の選択方法については、「 可変出力用 V_{OUT}/FB 」を参照してください。詳細については、「 デバイスの比較 」表をご覧ください。FB 機能を使用して出力電圧を調整できます。帰還電圧分圧回路のタップポイントに接続します。このピンをフローティングにしないでください。
NC	12	—	デバイスに内部接続されていません
RT または MODE/SYNC	13	A	RT バリエーションの場合、スイッチング周波数は 200kHz ~ 2.2MHz の範囲で調整できます。MODE/SYNC バリエーションの場合、本デバイスはユーザーが選択できる PFM/FPWM モードで動作し、外部クロックと同期できます。このピンをフローティングにしないでください。
PG	14	A	オープンドレインのパワーグッドフラグ出力。電流制限抵抗を介して、このピンを適切な電圧源に接続します。High = パワー OK、Low = フォルト。EN = Low のとき、このピンは Low になります。未使用時は、このピンを解放、またはグラウンドに接続できます。
GND/DAP	—	G	パッケージのサーマルパッド。適切な放熱をするためには、はんだ付けする必要があります。GND に接続してください。

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
A = アナログ、P = 電源、G = グランド			

6 仕様

6.1 絶対最大定格

接合部の動作時推奨温度範囲内⁽¹⁾

パラメータ		最小値	最大値	単位
電圧	VIN から GND へ	-0.3	42	V
電圧	SW から GND へ	-0.3	V _{IN} + 0.3	V
電圧	BOOT から SW へ	-0.3	5.5	V
電圧	VCC から GND へ	-0.3	5.5	V
電圧	VOUT/FB から GND へ	-0.3	16	V
電圧	SYNC/MODE または RT から GND へ	-0.3	5.5	V
電圧	PG から GND へ	-0.3	20	V
電圧	EN から GND へ	-0.3	42	V
温度	T _J 、接合部温度	-40	150	°C
温度	T _{stg} 、保管温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002、HBD ESD 分類レベル 2 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±750	V

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

接合部温度の推奨動作範囲が -40°C～150°Cである場合 (特に記述のない限り)

		最小値	最大値	単位
V _{IN}	スタートアップの入力電圧範囲	3.6	36	V
	入力電圧範囲 (起動後)	3.0	36	V
V _{OUT}	可変出力電圧設定による出力電圧範囲	1	18	V
I _{OUT}	LMR66430-Q1 の連続 DC 出力電流範囲	0	3	A
I _{OUT}	LMR66420-Q1 の連続 DC 出力電流範囲	0	2	A
I _{OUT}	LMR66410-Q1 の連続 DC 出力電流範囲	0	1	A
T _J	動作時接合部温度	-40	150	°C

6.4 熱に関する情報

この表の $R_{\theta JA}$ の値は、他のパッケージと比較するためのものです。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。これらは、実際のアプリケーションで得られた性能を表すものではありません。たとえば 4 層 PCB では $R_{\theta JA} = 50^{\circ}\text{C/W}$ を達成可能です。

熱評価基準 ⁽¹⁾		LMR664x0-Q1	単位
		VQFN	
		14 ピン	
$R_{\theta JA}$	LMR66430-2EVM の接合部から周囲への熱抵抗	45	$^{\circ}\text{C/W}$
$R_{\theta JA}$	接合部から周囲への熱抵抗	66.1	$^{\circ}\text{C/W}$
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	53.6	$^{\circ}\text{C/W}$
$R_{\theta JB}$	接合部から基板への熱抵抗	26.2	$^{\circ}\text{C/W}$
Ψ_{JT}	接合部から上面への特性パラメータ	3.3	$^{\circ}\text{C/W}$
Ψ_{JB}	接合部から基板への特性パラメータ	25.9	$^{\circ}\text{C/W}$

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.5 電気的特性

制限値は、接合部の動作時推奨温度範囲である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。VIN = 13.5V、VOUT = 3.3V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VIN ピン)						
V_{INMIN}	スタートアップの入力電圧立ち上がりスレッシュホールド	起動前	3.2	3.35	3.5	V
	入力電圧立ち下がりスレッシュホールド	動作開始後	2.45	2.7	3	V
$I_{SD(VIN)}$	VIN ピンのシャットダウン時の静止電流	EN = 0V	0.25		1	μA
I_{BIAS}	VOUT/FB の非スイッチング入力電流	固定 5.0V Vout、 $V_{VOUT/FB} = 5.25\text{V}$	4.2		6.5	μA
I_{BIAS}	VOUT/FB の非スイッチング入力電流	固定 3.3Vout、 $V_{VOUT/FB} = 3.47\text{V}$	4.2		6.5	μA
$I_{QVIN(\text{nonsw})}$	非スイッチング入力電流 (VIN ピンで測定) ⁽¹⁾	固定 5V VOUT、 $V_{VOUT/FB} = 5.25\text{V}$	1.6		3	μA
$I_{QVIN(\text{nonsw})}$	非スイッチング入力電流 (VIN ピンで測定) ⁽¹⁾	固定 3.3V VOUT、 $V_{VOUT/FB} = 3.47\text{V}$	1.2		2.2	μA
イネーブル (EN ピン)						
$V_{EN-WAKE}$	EN ウェークアップ スレッシュホールド		0.5	0.7	1	V
$V_{EN-VOUT}$	VOUT の高精度イネーブル立ち上がりスレッシュホールド		1.16	1.23	1.3	V
$V_{EN-HYST}$	$V_{EN-VOUT}$ より低いイネーブルヒステリシス		0.3	0.35	0.4	V
I_{LKG-EN}	イネーブル ピン入力リーク電流	$V_{EN} = V_{IN} = 13.5\text{V}$	10			nA
内部 LDO (VCC ピン)						
V_{CC}	VCC ピン出力電圧	$V_{FB} = 0\text{V}$ 、 $I_{VCC} = 1\text{mA}$	3.1	3.3	3.45	V
電圧帰還 (VOUT/FB ピン)						
V_{OUT}	固定 VOUT の出力電圧精度	3.3V VOUT、 $V_{IN} = 3.6\text{V} \sim 36\text{V}$ 、FPWM モード	3.27	3.3	3.32	V
		5V VOUT、 $V_{IN} = 5.5\text{V} \sim 36\text{V}$ 、FPWM モード	4.94	5.00	5.06	V
V_{FB}	内部リファレンス電圧精度	$V_{OUT} = 1\text{V}$ 、 $V_{IN} = 3.0\text{V} \sim 36\text{V}$ 、FPWM モード	0.99	1.00	1.01	V
$I_{FB(LKG)}$	FB 入力電流	可変構成、FB = 1V	10			nA
電流制限						
$I_{PEAKMAX}$	ハイサイド ピーク電流制限	LMR66430-Q1	3.9	4.4	5	A
I_{VALMAX}	ローサイドのバレー電流制限	LMR66430-Q1	2.9	3.5	4	A
$I_{PEAKMIN}$	最小ピーク電流制限	LMR66430-Q1、自動モード	0.55	0.69	0.86	A
I_{NEGMIN}	ローサイドのバレー電流の負の制限	LMR66430-Q1、FPWM モード	-1.5	-1.3	-1	A

6.5 電気的特性 (続き)

制限値は、接合部の動作時推奨温度範囲である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。VIN = 13.5V、VOUT = 3.3V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{PEAKMAX}	ハイスайд ピーク電流制限	LMR66420-Q1	2.8	3.4	3.9	A
I _{VALMAX}	ローサイドのバレー電流制限	LMR66420-Q1	1.9	2.2	2.53	A
I _{PEAKMIN}	最小ピーク電流制限	LMR66420-Q1、自動モード	0.37	0.5	0.65	A
I _{NEGMIN}	負の電流制限	LMR66420-Q1、FPWM モード	-1	-0.8	-0.6	A
I _{PEAKMAX}	ハイスайд ピーク電流制限	LMR66410-Q1	1.4	1.8	2.1	A
I _{VALMAX}	ローサイドのバレー電流制限	LMR66410-Q1	0.9	1.1	1.4	A
I _{PEAKMIN}	最小ピーク電流制限	LMR66410-Q1、自動モード	0.17	0.27	0.35	A
I _{NEGMIN}	ローサイドのバレー電流の負の制限	LMR66410-Q1、FPWM モード	-1	-0.8	-0.6	A
I _{ZC}	ゼロクロスの電流制限値	自動モード	30	80	135	mA
パワー グッド (PG ピン)						
PG _{OV}	PG の上限 - 立ち上がり	VOUT/FB の % (固定または可変出力)	104	108	111	%
PG _{UV}	PG の上側スレッショルド - 立ち下がり	VOUT/FB の % (固定または可変出力)	89	91	94.2	%
PG _{HYST}	OV の PG リカバリスヒステリシス	VOUT/FB のターゲットレギュレーション電圧の %	2	2.4	2.8	%
	UV の PG リカバリスヒステリシス	VOUT/FB のターゲットレギュレーション電圧の %	2	3.3	4.6	%
V _{PG-VAL}	PG 機能の最小 V _{IN}	V _{EN} = 0V, R _{PG_PU} = 10k Ω			1.5	V
R _{PG}	PG オン抵抗	V _{EN} = 3.3V, 200 μ A のプルアップ電流			100	Ω
R _{PG}	PG オン抵抗	V _{EN} = 0V, 200 μ A のプルアップ電流			100	Ω
t _{RESET_FILTER}	立ち下がりエッジでの PG グリッチ除去遅延		25	40	75	μ s
t _{PG_ACT}	PG High 信号までの遅延時間		1.35	2.5	4	ms
ソフトスタート						
t _{SS}	最初の SW パルスから VOUT/FB が設定点の 90% に達するまでの時間		2	3.5	4.6	ms
t _{HICUP}	ソフトスタート再試行前のヒカップの時間		30	50	75	ms
発振器 (SYNC/MODE ピン)						
t _{PULSE_H}	パルスとして認識されるのに必要な High の継続時間		100			ns
t _{PULSE_L}	パルスとして認識されるのに必要な Low の継続時間		100			ns
t _{SYNC}	有効なクロック信号として認識されるための High/Low レベルパルスの最大期間				6	μ s
t _{MODE}	FPWM または自動モードを示すために必要な 1 つのレベルの時間		12.5			μ s
F _{SW(2.2MHz)}	2.2MHz に固定したスイッチング周波数		2100	2200	2300	kHz
f _{SYNC}	同期周波数範囲		0.2		2.5	MHz
V _{MODE_L}	SYNC/MODE 入力電圧の Low レベル スレッショルド				1	V
V _{MODE_H}	SYNC/MODE 入力電圧の High レベル スレッショルド		1.6			V
f _{ADJ}	周波数調整範囲		0.25		2.2	MHz
F _{SW(2p2MHz)}	2.2MHz に固定したスイッチング周波数	RT ピンを GND に接続	2100	2200	2300	kHz
F _{SW(Adj)}	外部周波数の精度、400kHz	R _{RT} = 39.2k Ω 0.1% 抵抗	340	400	460	kHz

6.5 電気的特性 (続き)

制限値は、接合部の動作時推奨温度範囲である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。VIN = 13.5V、VOUT = 3.3V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
スイッチ ノード						
t _{ON-MIN}	HS スwitchの最小オン時間	FPWM モード I _{OUT} = 1A、2.2MHz 固定	65	75		ns
t _{OFF-MIN}	HS スwitchの最小オフ時間		60	85		ns
t _{ON-MAX}	HS スwitchの最大オン時間	ドロップアウト時の HS タイムアウト	6	9	13	μs
電力段						
V _{BOOT_UVLO}	ハイサイド スwitchがオフになる BOOT ピンの電圧 (SW 基準)		2.1			V
R _{DS(on)-HS}	ハイサイド MOSFET オン抵抗	負荷 = 1A	132	260		mΩ
R _{DS(on)-LS}	ローサイド MOSFET オン抵抗	負荷 = 1A	75	140		mΩ

(1) これは、デバイスの開ループが使用する電流です。この電流は、レギュレーション中にシステムに流れ込む入力電流の合計を示すものではありません。

6.6 システム特性

以下の仕様は、標準的なアプリケーション回路にのみ適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、 $T_J = 25^{\circ}\text{C}$ にのみ適用されます。 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ の温度範囲での標準的な部品の場合、最小 (MIN) および最大 (MAX) 列の仕様は適用されます。これらの仕様は、製造試験では保証されていません。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電流						
I _{QVIN}	I _{IN} に対する入力電流	V _{IN} = 13.5V、固定 3.3V V _{OUT} 、I _{OUT} = 0A、自動モード	1.5			μA
		V _{IN} = 13.5V、固定 5V V _{OUT} 、I _{OUT} = 0A、自動モード	2			μA
電力段						
V _{DROP1}	周波数フォールドバックが生じる、V _{OUT} レギュレーション $\geq 95\%$ を維持するための入力と出力との電圧差	V _{OUT} = 3.3V、固定 2.2MHz、I _{OUT} = 1A	0.2			V
		V _{OUT} = 5V、固定 2.2MHz、I _{OUT} = 1A	0.2			V
V _{DROP2}	V _{OUT} レギュレーション $\geq 95\%$ および F _{SW} $\geq 1.85\text{MHz}$ を維持するための入力と出力との電圧差	V _{OUT} = 3.3V、固定 2.2MHz、I _{OUT} = 1A	0.7			V
	V _{OUT} レギュレーション $\geq 95\%$ および F _{SW} $\geq 1.85\text{MHz}$ を維持するための入力と出力との電圧差	V _{OUT} = 5V、固定 2.2MHz トリム、I _{OUT} = 1A	0.9			V
D _{MAX}	最大デューティ サイクル	周波数フォールドバック中	98			%
		F _{SW} = 1.85MHz、V _{OUT} = 5.0V、I _{OUT} = 1A	87			%
R _{FBPARA(min)}	並列 FB 抵抗の最小値: R _{FBT} と R _{FBB} が並列		5			KΩ
PROTECTION						
T _{SD(trip)}	サーマル シャットダウンのスレッシュホールド	温度上昇	158	168	186	°C
T _{SD(hyst)}	サーマル シャットダウン ヒステリシス		15	20		°C

6.7 代表的特性

特記のない限り、次の条件が適用されます。 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$

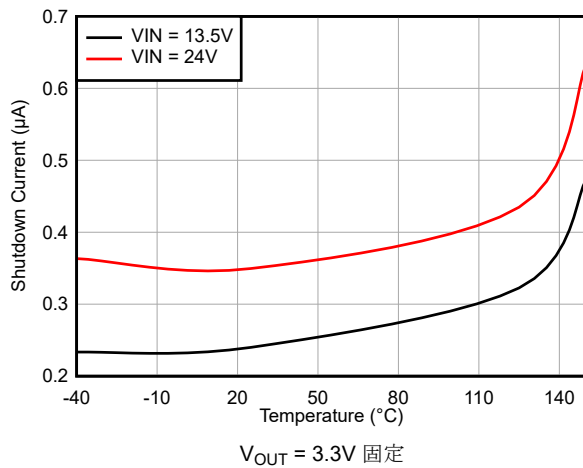


図 6-1. シャットダウン電流と温度との関係

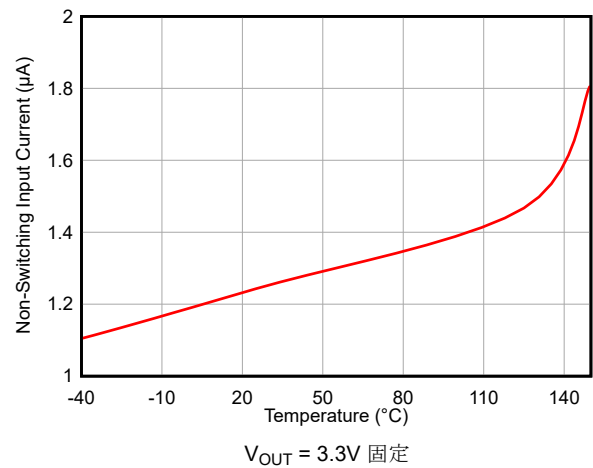


図 6-2. 非スイッチング入力電流 ($I_{QVIN(nonsw)}$) と温度との関係

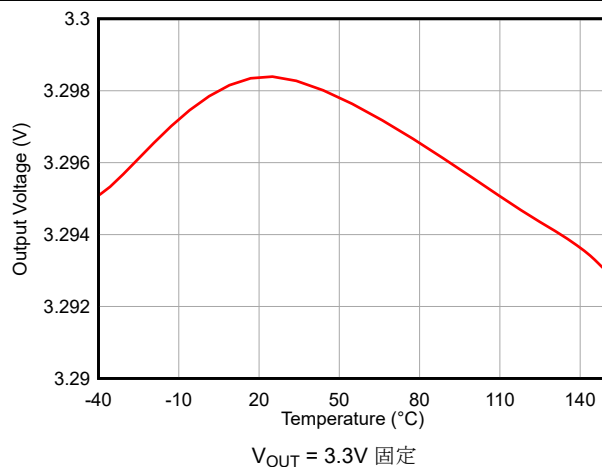


図 6-3. 出力電圧精度と温度との関係

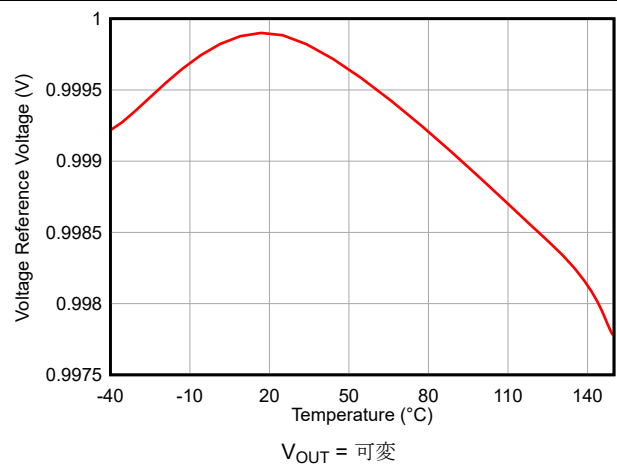


図 6-4. 帰還電圧精度と温度との関係

7 詳細説明

7.1 概要

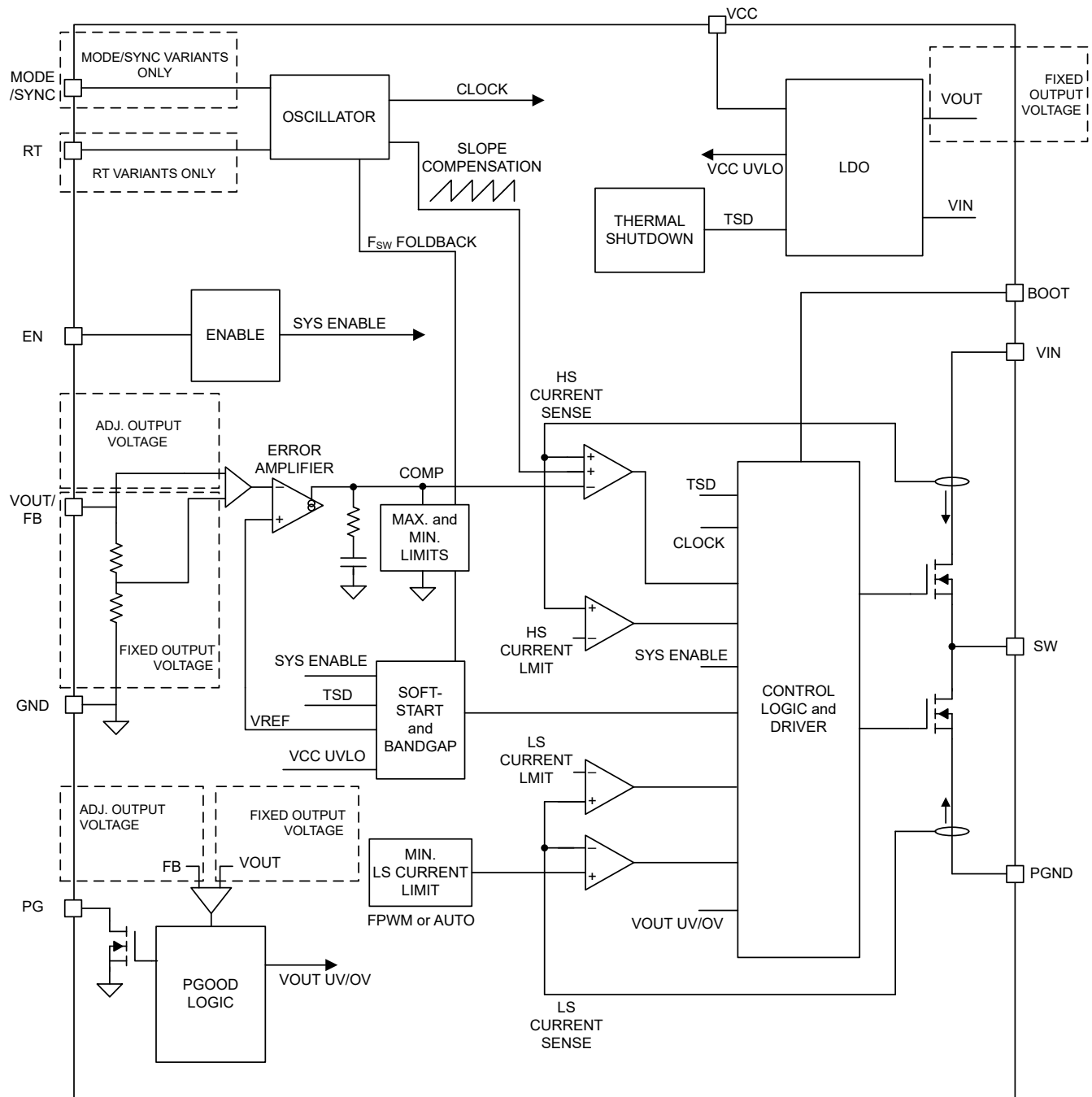
LMR664x0-Q1 は、入力範囲が広く、静止電流が小さい、高性能レギュレータで、400kHz 未満の AM 未満の帯域、2.2MHz の AM を超える帯域を含む、幅広いデューティ比とスイッチング周波数で動作可能です。広い入力過渡中に、スイッチング周波数が高く設定されている目的のデューティ比を、最小オン時間または最小オフ時間でサポートできない場合、スイッチング周波数が自動的に低下し、デバイスは出力電圧レギュレーションを維持できます。内部補償は最小出力コンデンサに最適になるように設計され、市場で入手可能な他の降圧レギュレータと比べ、このデバイスのシステム設計プロセスを大幅に簡素化できます。

本デバイスは、要求の厳しい車載用環境で動作しながら、外部コンポーネントのコストと設計サイズが最小化されるように設計されています。さらにシステムコストを削減するため、遅延リリースを備えた PG 出力機能が用意されており、多くのアプリケーションでリセットスーパーバイザが不要になります。

LMR664x0-Q1 ファミリーは、デュアルランダムスペクトラム拡散 (DRSS) スwitching 周波数ディザリング方式を採用し、ボンドワイヤを使用しない拡張 HotRod QFN パッケージを使用することで、EMI/EMC 放射を低減するように設計されています。また、外部クロックとの同期を可能にする MODE/SYNC 機能も使用できます。これらの機能を組み合わせることで、コモンモードチョーク、シールド、複雑な入力フィルタの設計手法のニーズを低減し、EMI/EMC 低減対策の複雑さとコストを大幅に削減することができます。

このデバイスは、ウェットプルフランク付きの超小型 2.6mm × 2.6mm の Enhanced HotRod QFN パッケージで供給され、迅速な光学検査が可能であるほか、専用設計のコーナーアンカーピンを使用しており、信頼性の高い基板レベルのはんだ接続に適しています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 イネーブル、起動、およびシャットダウン

EN ピンの電圧によって、LMR664x0-Q1 ファミリのデバイスの起動またはリモートシャットダウンを制御します。EN ピンの電圧が $V_{EN_WAKE} = 0.7V$ (標準値) 未満である限り、本部品はシャットダウン状態を維持します。シャットダウン中に、デバイスから引き込まれる入力電流は通常 $0.25\mu A$ ($V_{IN} = 13.5V$) まで低下します。EN ピンの電圧が V_{EN_WAKE} を上回ると、本デバイスはスタンバイモードに移行し、内部 LDO が起動して VCC を生成します。EN の電圧がさらに上昇し、 V_{EN_VOUT} に近づくと、本デバイスは最終的にスイッチングを開始し、ソフトスタートを使って起動モードに移行します。本デバイスのシャットダウン プロセス中に、EN 入力電圧の測定値が $(V_{EN_VOUT} - V_{EN_HYST})$ を下回ると、レギュレータはスイッチングを停止し、デバイス スタンバイ モードに戻ります。EN ピンの電圧が V_{EN_WAKE} を下回ると、本デバイスは確実にシャットダウンされます。リモート高精度制御が不要な場合、高電圧に対応した EN 入力ピンを V_{IN} 入力ピンに直接接続できます。EN 入力ピンをフローティングにすることはできません。各種の EN しきい値 パラメータとそれらの値については、「電気的特性」に記載されています。図 7-2 に、高精度イネーブルの動作を示し、図 7-3 に、アプリケーションでの代表的なリモート EN の起動波形を示します。EN が High になってから約 2.5ms の遅延の後、出力電圧はソフトスタートで上がり始め、約 3.5ms (t_{SS}) 後にほぼ最終値に達します。約 2.5ms (t_{PG_ACT}) の遅延の後、PG フラグが High になります。起動中、ソフトスタート時間が経過するまで、本デバイスは FPWM モードに移行できません。この時間は、EN の立ち上がりエッジから測定されます。コンポーネントの選択については、セクション 8.2.1.2.9 を確認してください。

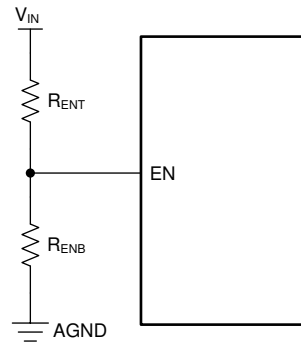


図 7-1. EN ピンを使った VIN/UVLO

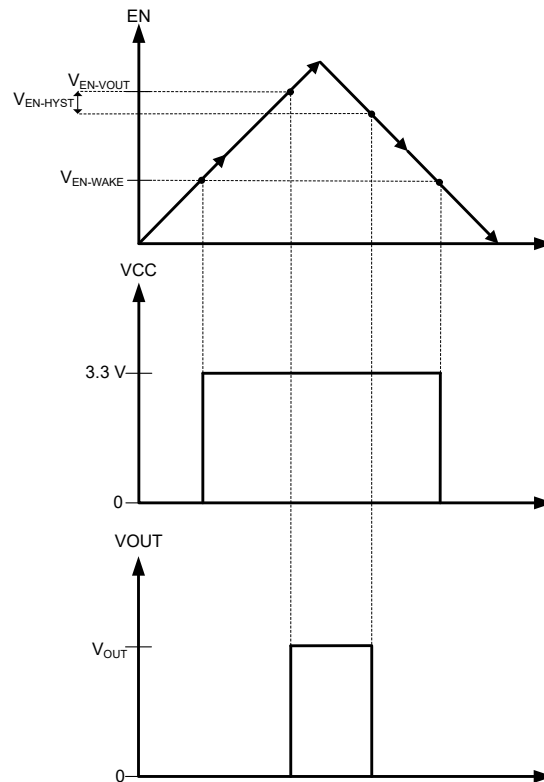


図 7-2. 高精度イネーブルの動作

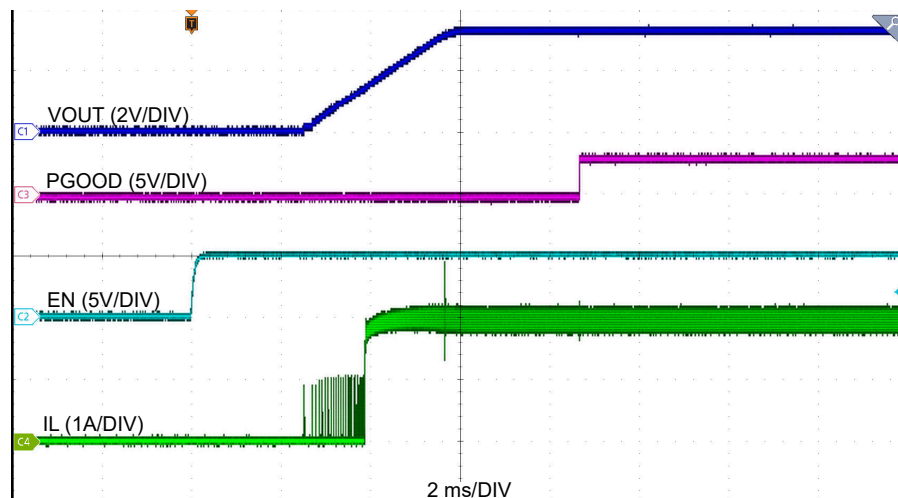


図 7-3. イネーブルによる起動 $V_{IN} = 24V$ 、 $V_{OUT} = 3.3V$ 、 $I_{OUT} = 2A$

7.3.2 外部CLK SYNC (MODE/SYNC 付き)

1 つのシステムの中で複数のレギュレータの動作を同期させることは、システムレベル性能を明確に定義するための望ましい方法です。MODE/SYNC ピンを備えたデバイスの一部のバリエーションを使用すると、電源設計者は本デバイスを共通の外部クロックに同期させることができます。デバイスには同相ロック方式が実装されますが、この方式では、デバイスの MODE/SYNC ピンに供給されるクロック信号の立ち上がりエッジが、ハイサイドのデバイスのターンオンと一致します。外部クロック同期は、すべての大きなグリッチを除去するフェーズロックループ (PLL) を使用して実装されます。デバイスに流れ込んだ外部クロックは、内部の自走クロックに置き換わりませんが、周波数フォールドバック動作には影響しません。出力電圧は引き続き適切にレギュレートされます。同期信号が入力されている場合、本デバイスは FPWM モードに維持さ

れ、軽負荷時には CCM で動作します。本デバイスで許容される周波数の範囲は f_{SYNC} で求められ、「[電气的特性](#)」に記載されています。

デバイスの MODE/SYNC 入力ピンは次の選択可能な 3 つのモードのいずれかで動作できます：

- 自動モード: パルス周波数変調 (PFM) 動作は、軽負荷時に有効化され、ダイオード エミュレーションは、インダクタを流れる逆電流を防止します。詳細については、[セクション 7.4.3.2](#) を参照してください。
- FPWM モード: FPWM モードでは、ダイオード エミュレーションは無効化され、電流はインダクタを逆方向に流れることができます。この動作により、負荷電流が流れなくても最大周波数で動作できます。詳細については、[セクション 7.4.3.3](#) を参照してください。
- SYNC モード: 内部クロックは、MODE/SYNC ピンに印加された外部信号にロックします。出力電圧が全周波数で制御可能であり、最小オフ時間または最小オン時間によって制限されない限り、クロック周波数は MODE/SYNC ピンに印加された信号の周波数に一致します。本デバイスは、SYNC モードに入っているても、FPWM モードであるかのよう動作します (ダイオードエミュレーションが無効化され、無負荷でも、MODE/SYNC ピンに印加された周波数に適合できます)。

7.3.2.1 パルス依存 MODE/SYNC ピン制御

本デバイスによる 1 つ以上の動作モードを必要とするほとんどのシステムは、マイクロプロセッサなどのデジタル回路によって制御されます。これらのシステムは、動的な信号は簡単に生成できますが、マルチレベル信号を生成するのは不得意です。パルス依存 MODE/SYNC ピン制御は、これらのシステムに有効です。パルス依存 MODE/SYNC ピン制御を開始するには、有効な同期信号を印加します。[表 7-1](#) に、パルス依存モード選択設定の概要を示します。

表 7-1. パルス依存モード選択の設定

モード/同期入力	モード
$> V_{\text{MODE_H}}$	FPWM (工場出荷時にスペクトラム拡散機能を設定)
$< V_{\text{MODE_L}}$	自動モード (工場出荷時にスペクトラム拡散機能を設定)
同期クロック	SYNC モード

[図 7-4](#) に、パルス依存 MODE/SYNC 制御中の自動モードと FPWM モードとの間の遷移を示します。本デバイスは、 t_{MODE} の時間の後に新しい動作モードに遷移します。[図 7-4](#) と [図 7-5](#) に詳細を示します。

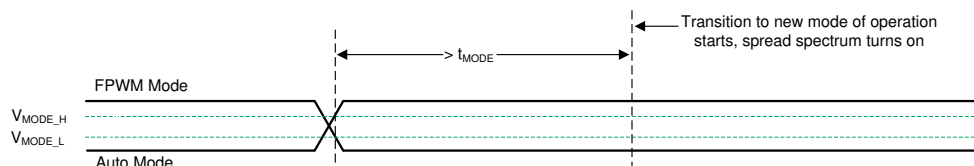


図 7-4. 自動モードと FPWM モードとの間の遷移

MODE/SYNC 電圧が一定のまま t_{MODE} より長い時間が経過すると、本デバイスは (工場出荷時の設定が有効化されている場合) スペクトラム拡散をオンにして、自動モードと FPWM モードのどちらかに移行し、MODE/SYNC はパルス依存方式で動作し続けます。

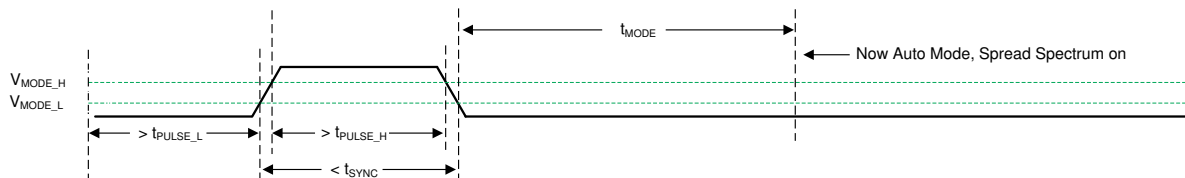


図 7-5. 同期モードから自動モードへの遷移

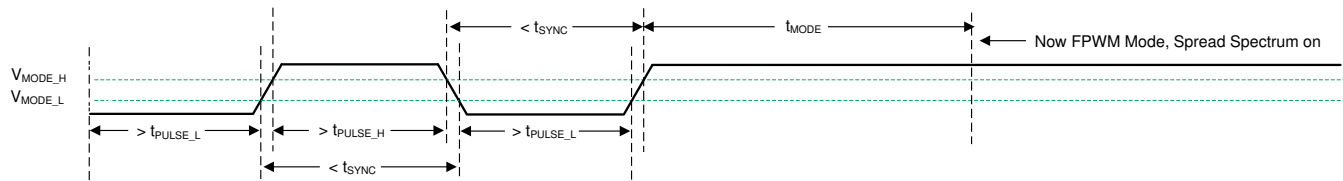


図 7-6. 同期モードから FPWM モードへの遷移

7.3.3 調整可能なスイッチング周波数 (RT 付き)

デバイスファミリの、RT ピン付きの一部の製品を使うと、電源設計者はアプリケーションで 200kHz ~ 2.2MHz の任意の目的の動作周波数を設定できます。目的のスイッチング周波数に必要な抵抗値を決定するには、[図 7-7](#) を参照してください。RT ピンバリエーションと MODE/SYNC ピンバリエーションは、同じピン位置を共有しています。電源設計者は、RT ピンバリエーションを使って、アプリケーションの必要性に応じて動作スイッチング周波数を調整することと、MODE/SYNC バリエーションを使って、外部クロック信号と同期させることのどちらかを行うことができます。RT ピンのプログラミングに関する選択については、[表 7-2](#) を参照してください。

表 7-2. RT ピンの設定

RT 入力	スイッチング周波数
VCC	1MHz
GND	2.2MHz
RT から GND へ	図 7-7 に従って調整可能
フローティング (推奨しません)	スイッチングなし

目的の周波数の RT の値を計算するには、[式 1](#) を使用します。

$$RT = \frac{18286}{F_{sw}^{1.021}} \quad (1)$$

ここで、

- RT は周波数設定抵抗の値 (kΩ) です。
- F_{sw} はスイッチング周波数です。

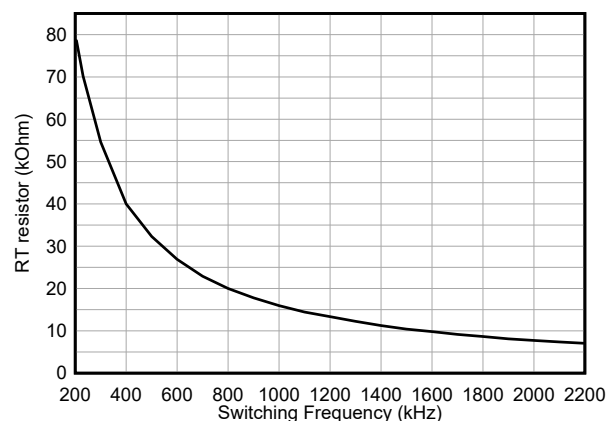


図 7-7. RT の値と周波数との関係

7.3.4 パワー グッド出力動作

デバイスの PG ピンを使ったパワーグッド機能は、出力電圧が安定化範囲を外れたときはすぐにシステムマイクロプロセッサをリセットするために使用できます。通常の起動中だけでなく、デバイス フォルト条件 (電流制限、サーマル シャットダウン)

ンなど)の際も、このオープンドレイン出力は **Low** に維持されます。グリッチ フィルタは、出力電圧の短時間の変動 (ラインおよび負荷過渡時など) に対するフラグの誤動作を防止します。 $t_{\text{RESET_FILTER}}$ よりも短い出力電圧変動では、パワーグッドフラグは立ちません。図 7-8 に、パワーグッド動作を分かりやすく図示します。表 7-3 に、PG 動作の詳細な内訳を示します。ここで、 $V_{\text{PG_UV}}$ は V_{OUT} (ターゲットレギュレーション出力電圧) と PG_UV の積、 $V_{\text{PG_HYST}}$ は V_{OUT} と PG_HYST の積として定義されます。ここで、 PG_UV と PG_HYST はどちらも「電気的特性」に記載されています。最初の起動時に、 $V_{\text{EN-VOUT}}$ がトリガされてからパワーグッドに **High** のフラグが立つまでに生じる総遅延時間は **8.5ms** (標準値) です。この遅延は本デバイスの起動時にのみ発生し、パワーグッド機能のその他の通常動作中は発生しません。EN が **Low** にプルされると、パワーグッドフラグ出力も **Low** に強制されます。EN が **Low** であれば、入力電圧 ($V_{\text{PG-VAL}}$) が **1.5V** (最大値) 以上である限り、パワーグッドは有効です。

パワーグッド出力回路はオープンドレインの **N** チャンネル MOSFET で構成されており、適切なロジック電源に接続された外付けプルアップ抵抗を必要とします。パワーグッド出力方式は、必要に応じて適切な抵抗を介して V_{CC} または V_{OUT} にプルアップすることもできます。この機能が不要な場合、PG ピンをオープンにし、またはグランドに接続できます。このピンに流れ込む電流は、**4mA** 以下に制限します。

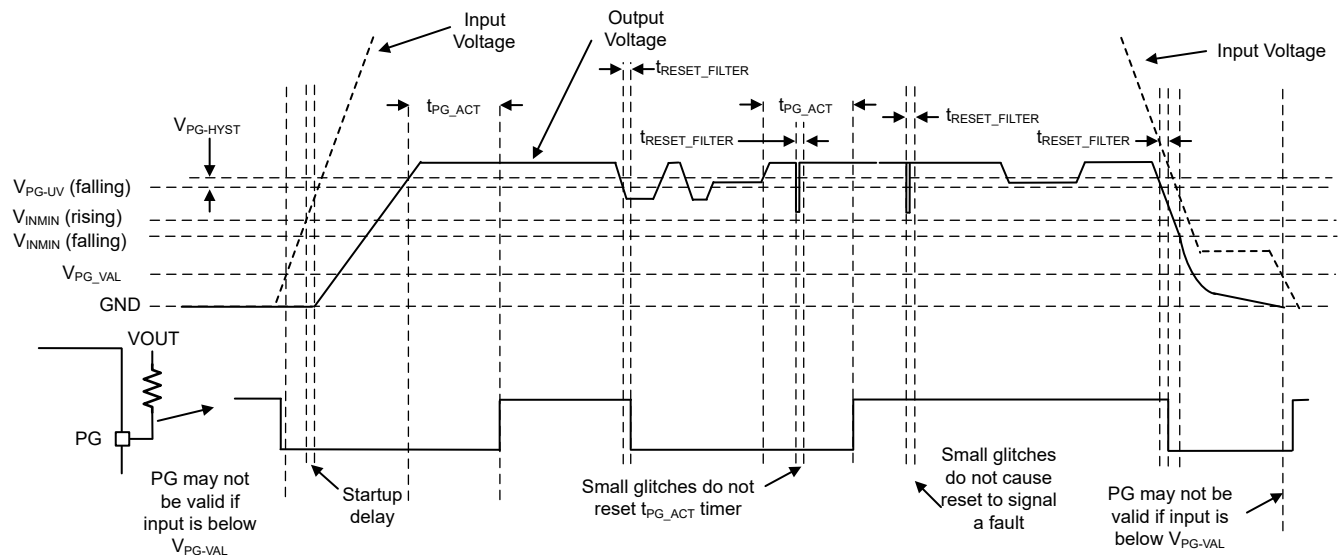


図 7-8. パワーグッド動作 (OV イベントは含まれません)

表 7-3. PG のフォルト条件 (Low にプル)

フォルト条件の開始	故障条件の終了 (その後、PG 出力が解放される前に t_{PG_ACT} が経過する必要があります)
$V_{OUT} < V_{PGUV}$ かつ $t > t_{RESET_FILTER}$	出力電圧がレギュレートされている。 $V_{PGUV} + V_{PGHYST} < V_{OUT} < V_{PGOV} - V_{PGHYST}$
$V_{OUT} > V_{PGOV}$ かつ $t > t_{RESET_FILTER}$	出力電圧がレギュレートされている。
$T_J > T_{SD(trip)}$	$T_J < T_{SD(trip)} - T_{SD(hyst)}$ かつ出力電圧がレギュレートされている
$EN < V_{EN-VOUT} - V_{EN-HYST}$	$EN > V_{EN-VOUT}$ かつ出力電圧がレギュレートされている

7.3.5 内部 LDO、VCC、VOUT / FB 入力

デバイスでは、内部 LDO 出力と VCC ピンを使用してすべての内部電源を供給しています。VCC ピンには、VIN (可変出力構成の場合) または VOUT/FB (固定出力構成の場合) から電力が供給されます。固定出力バリエーションでは、デバイスがアクティブになった後であっても、まだレギュレーションに達していない場合、VOUT/FB 電圧が 3.15V を超えるまで (またはソフトスタート後、本デバイスが定常状態のレギュレーションに達するまで)、VCC レールには入力電圧 VIN から電力が供給され続けます。可変出力バリエーションと固定出力バリエーションの両方で、VCC レールは通常 3.3V と測定されます。起動中、VCC は瞬間的に通常の動作電圧を超えて、通常の動作電圧まで低下します。

7.3.6 ブートストラップ電圧および $V_{BOOT-UVLO}$ (BOOT 端子)

HS スイッチを確実にターンオンさせるため、ハイサイドスイッチドライバ回路には、VIN よりも高いバイアス電圧が必要です。CBOOT レールには UVLO 設定が備わっています。この UVLO は $V_{BOOT-UVLO}$ のスレッショルドを持っており、通常は 2.1V に設定されています。ブートコンデンサが、SW ピンを基準として、この電圧を超えて充電されていない場合、本デバイスは充電シーケンスを開始し、ハイサイド素子をターンオンしようとする前にローサイドスイッチをターンオンします。BOOT と SW の間に、少なくとも 16V の定格を持つ高品質の 0.1μF セラミックコンデンサを配置します。

7.3.7 出力電圧の選択

このデバイスファミリでは、可変出力または固定出力の電圧オプションを、すべてのデバイスバリエーションに対して設定できます (セクション 4 を参照)。可変出力の場合、図 7-9 に示すように、出力電圧ノード、デバイスの FB ピン、システムの GND との間に外付け抵抗分圧回路を接続する必要があります。可変出力電圧動作では、1V の内部基準電圧を使用します。出力電圧の調整方法の詳細については、セクション 8.2.1.2.2.1 を参照してください。

このデバイスファミリの固定出力構成を使用する場合は、FB ピン (データシートの他の部分では、固定出力バリエーションについては VOUT/FB ピンという名称になっています) をシステムの出力電圧ノードに接続するだけです。詳細については、セクション 4 を参照してください。

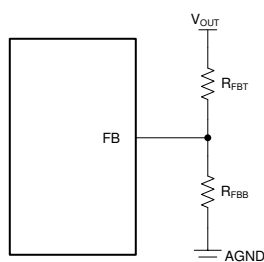


図 7-9. 可変出力バリエーションの出力電圧の設定

可変出力電圧バリエーションでは、 R_{FBT} と並列に追加のフィードフォワードコンデンサ C_{FF} を使用することで、位相マージンと過渡応答を最適化できます。詳細については、セクション 8.2.1.2.8 を参照してください。固定出力バリエーションの場合、抵抗分圧回路もフィードフォワードコンデンサも追加する必要はありません。

7.3.8 スペクトラム拡散

LMR664x0-Q1 ファミリのデバイスでは、スペクトラム拡散は工場オプションです。どの部品でスペクトラム拡散が利用できるかどうかを確認するには、[セクション 4](#) を参照してください。

スペクトラム拡散は、固定周波数で動作する部品よりも広範囲の周波数帯域にピークを拡散することにより、特定の周波数によるピーク放射に対する影響を低減します。LMR664x0-Q1 は、スイッチング周波数の最初のいくつかの高調波からの低周波伝導放射を低減するように設計された変調パターンを実装しています。このパターンは、FM 帯域に落ちる可能性があり、フィルタ処理が難しい高調波を低減させるのにも役立ちます。これらの高調波はしばしば、スイッチ ノードとインダクタの周囲の電界によって環境と結合します。LMR664x0-Q1 は周波数拡散を採用しており、FM および TV 帯域全体にエネルギーをスムーズに拡散できます。このデバイスには、デュアル ランダム スペクトラム拡散 (DRSS) 機能が実装されています。DRSS は、三角波の周波数拡散パターンと疑似ランダム周波数ホッピングを組み合わせたものです。これらの組み合わせにより、スペクトラム拡散は、次のとおりエネルギー拡散に非常に効果的です：

- 低速三角波パターンによる基本スイッチング高調波
- スwitching周波数に疑似ランダムジャンプを付加した高周波ハーモニクス

DRSS の利点は、基本周波数偏差が小さく、高域の周波数で等価高調波減衰が得られることです。これにより、変調周波数で生じる入力電流と出力電圧リップルの量が低減されます。また、LMR664x0-Q1 では、ユーザーがスペクトラム拡散変調パターンに起因する出力電圧リップルをさらに低減できます。

スペクトラム拡散は、本デバイスのクロックが本来の周波数で自走している間に限り利用できます。以下のいずれかの条件がスペクトラム拡散に優先する場合、スペクトラム拡散はオフになります：

- 低い入力電圧での動作 (ドロップアウトでの動作) により、クロック速度が低下している場合。
- 自動モードで軽負荷によりクロック速度が低下した場合。FPWM モードで動作している場合、無負荷であってもスペクトラム拡散が有効となっている可能性があるため、注意してください。
- 入出力電圧比が大きいため、クロック速度が低下した場合。オン時間が最小オン時間に達した場合にこの動作モードが想定されます。[電气的特性](#) を参照してください。
- クロックが外部クロックに同期している。

7.3.9 ソフトスタートとドロップアウトからの回復

LMR664x0-Q1 を使用して設計する場合、[図 7-10](#) および [図 7-11](#) に示すように、ドロップアウトからの回復とソフトスタートに起因する出力電圧の上昇は、2 つの個別の動作条件として考慮します。ソフト スタートは、以下のいずれかの条件によってトリガされます。

- デバイスの VIN ピンに電力が供給され、低電圧ロックアウトが解除される。
- 本デバイスをオンにするために EN が使われた。
- 過熱保護によるシャットダウンから回復した。

ソフトスタートがトリガされた後、本 IC は以下の動作を実行します。

- 出力電圧を制御するために本 IC が使用する基準電圧が、ゆっくりと上昇します。その結果、出力電圧が (それまで 0V だった場合)、t_{SS} の時間をかけて目的の値の 90% に達します。
- 動作モードが自動動作モードに設定され、ローサイド MOSFET のダイオード エミュレーション モードがアクティブになります。これにより、出力を Low にしなくても起動できます。これは、プリバイアススタートアップ時に出力に電圧がすでに存在している場合にも当てはまります。

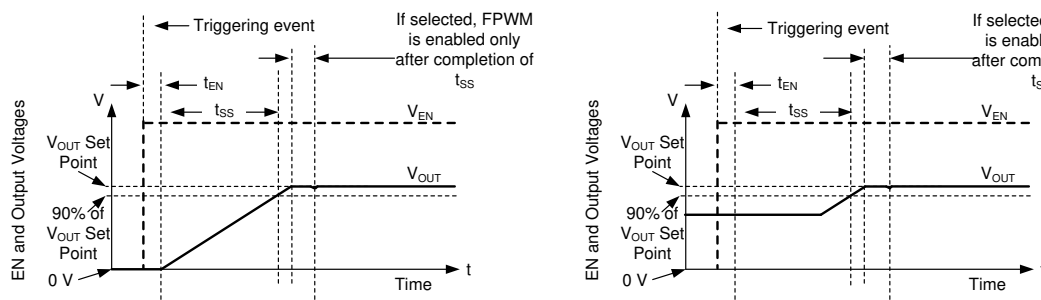


図 7-10. プリバイアス電圧の有無によるソフトスタート

7.3.9.1 ドロップアウトからの回復

出力電圧の低下が数 % を超えると常に、出力電圧はゆっくり上昇します。この条件は、本書ではドロップアウトからの正常な回復と呼ばれ、ソフトスタートとは以下の 2 つの重要な点で異なります。

- 基準電圧は、現在の出力電圧を実現するために必要な値よりも約 1% 高い値に設定される。
- 本デバイスが FPWM に設定されている場合、ドロップアウトからの回復中は FPWM モードで動作し続けます。外部電源によって出力電圧が突然プルアップされた場合、LMR664x0-Q1 は出力をプルダウンする場合があります。通常動作中に存在するすべての保護機能は作動しており、出力が高い電圧またはグラウンドに短絡した場合の致命的な障害を防止していることに注意します。

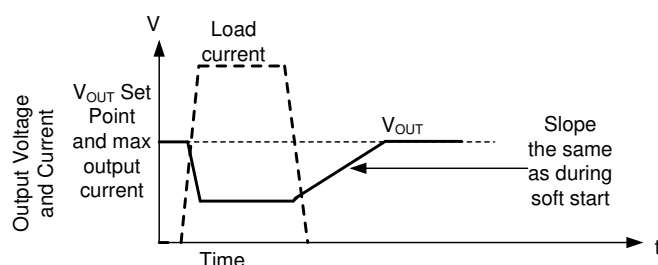


図 7-11. ドロップアウトからの回復

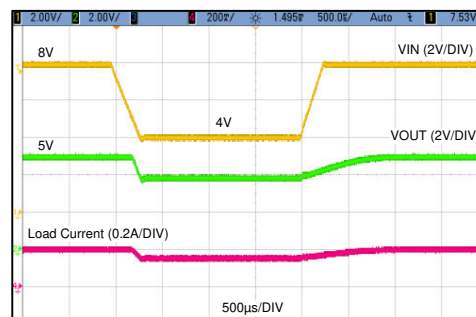


図 7-12. 8V ~ 4V のドロップアウトからの標準的な出力回復

出力電圧の低下が、高負荷と低入力電圧のどちらによるものであっても、出力がその設定点を下回る原因となっている条件が解消された後、起動時と同じ速度で出力は上昇します。図 7-12 に、この挙動の例を示します。

7.3.10 電流制限と短絡

このデバイスは、ハイサイド MOSFET とローサイド MOSFET の両方でサイクル毎に電流を制限することで、過電流状態から保護されます。ハイサイド (HS) MOSFET 過電流保護機能は、代表的なピーク電流モード制御方式で実装されています。HS スイッチ電流は、短いブランキング時間の後に HS がオンになると検出されます。固定電流セットポイントと、内部誤差アンプルーブ出力からスロープ補償を引いた値のいずれか小さい方と HS スイッチ電流が、スイッチングサイクルごとに比較されます。HS スイッチ電流が電流制限スレッシュホールドに達すると、HS スイッチはオフになります。内部誤差アンプルーブ出力には最大値があり、スロープ補償はデューティサイクルに対応して大きくなるため、デューティ係数が一般的に 35% より大きい場合、デューティ係数が大きくなると HS 電流制限値は下がります。

ローサイド (LS) スイッチがオンになると、スイッチを流れる電流も検出され、監視されます。ハイサイド デバイスと同様にローサイド デバイスは、内部誤差アンプルーブによって制御されるターンオフ限界値を持っています。ローサイド デバイスの場合、発振器が正常に新しいスイッチング サイクルを開始したとしても、電流がこの値を超えるとターンオフは禁止されます。また、ハイサイド デバイスと同様に、ターンオフ電流に許容される高さに限界があります。この制限をローサイド電流制限と呼び、図 7-13 では I_{VALMAX} です。LS 電流制限を超えた場合、LS MOSFET はオン状態を維持し、HS スイッチ

はターンオンしません。LS 電流がこの制限値を下回ると、LS スイッチはオフになり、HS 素子が最後にオンになってから 1 クロック周期以上が経過しさえすれば、HS スイッチは再度オンになります。

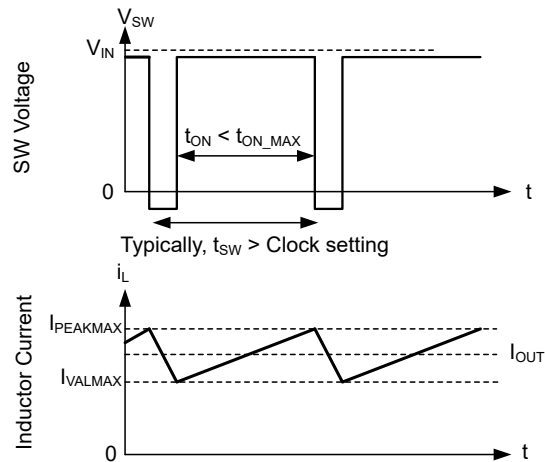


図 7-13. 電流制限波形

電流波形は $I_{PEAKMAX}$ と I_{VALMAX} の間の値をとるため、デューティ係数が極めて高い場合を除き、最大出力電流はこれらの 2 つの値の平均値に非常に近い値になります。電流制限での動作後、出力電圧がゼロに近づくにつれて、ヒステリシス制御が使われ電流は増加しなくなります。

LMR664x0-Q1 では、極端な過負荷が発生し、以下の条件が満たされている場合、ヒカップ過電流保護を使用します。

- 出力電圧が、出力電圧設定点の約 0.4 倍を下回っている。
- ソフトスタートが開始されてから、 t_{SS} 以上経過した。
- 本デバイスがドロップアウト (デューティサイクルが最小オフ時間によって制御されている状態) で動作していない。

ヒカップモードに入ると、本デバイスはシャットダウンし、 t_{HICCUP} 後にソフトスタートを試みます。ヒカップモードは、過酷な過電流条件と短絡の際に本デバイスの消費電力を低減するのに役立ちます。図 7-14 を参照してください。

過負荷が解消されると、本デバイスはソフトスタート中であるかのように回復します。図 7-15 を参照してください。

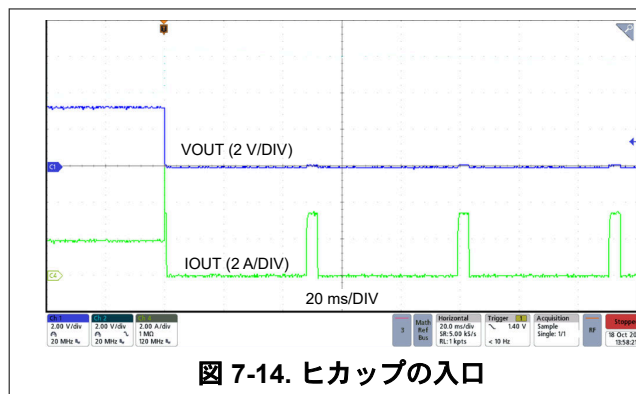


図 7-14. ヒカップの入口

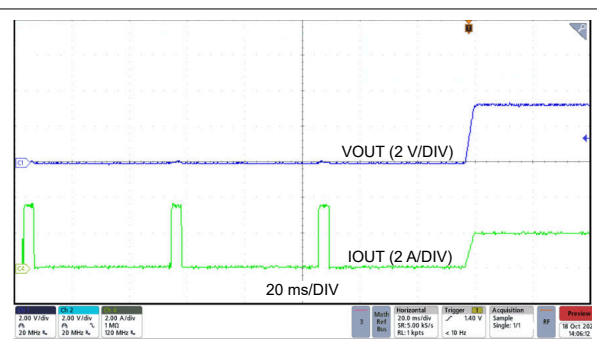


図 7-15. ヒカップの出口

7.3.11 サーマル シャットダウン

サーマル シャットダウンは、本デバイスの接合部温度が 168°C (標準値) を超えると内部スイッチをオフにすることで、総電力損失を制限します。サーマル シャットダウンは、158°C (最小値) 未満ではトリガされません。サーマル シャットダウンが発生した後、ヒステリシスにより、接合部温度が約 153°C (標準値) に低下するまで、本デバイスはスイッチングできません。接合部温度が 153°C (標準値) を下回ると、デバイスは再度ソフトスタートを試みます。

高い接合部温度に起因して本デバイスがシャットダウンされるとはいえ、電力は VCC に供給され続けます。高い接合部温度のせいで本デバイスが無効化されると同時に、VCC の短絡による過熱を防止するため、VCC に電力を供給する LDO の電流制限値が低減されます。サーマル シャットダウン時の LDO の供給電流はわずか数ミリアンペアです。

7.3.12 入力電源電流

本デバイスは、軽負荷をレギュレートする際に入力電源電流が非常に小さくなるように設計されています。これは、内部回路の多くに、出力から電力を供給することで実現されています。固定出力電圧バリエーション内の VOUT/FB ピンは、制御回路の大部分に電力を供給する LDO への入力です。VOUT/FB 入力ピンをレギュレータの出力ノードに接続することで、出力から少量の電流が流れ込みます。この電流により、入力の電流が V_{OUT}/V_{IN} の比で減少します。

$$I_{QVIN} = I_Q + I_{EN} + I_{BIAS} \times \frac{V_{OUT}}{\eta_{eff} \times V_{IN}} \quad (2)$$

ここで、

- I_{QVIN} は、動作 (スイッチング) 中の降圧コンバータが無負荷時に消費する総スタンバイ (スイッチング) 電流です。
- I_Q は、 V_{IN} 端子から流れ込む電流です
- I_{EN} は、EN 端子に流れ込む電流です。EN が V_{IN} に接続されている場合、この電流を含めます I_{EN} については、「[電気的特性](#)」の I_{LKG-EN} を参照してください。
- I_{BIAS} は、BIAS LDO により流れ込むバイアス電流です。
- η_{eff} は、降圧コンバータの入力電流から I_{Q_VIN} を除いた場合の降圧コンバータの軽負荷効率です。 $\eta_{eff} = 0.8$ は、通常動作条件で使用できる控えめな値です。これは「[システム特性](#)」の I_{SUPPLY} に由来します。

7.4 デバイスの機能モード

7.4.1 シャットダウンモード

EN ピンは、本デバイスの電氣的オン / オフ制御に使用できます。EN ピンの電圧が 0.4V を下回ると、コンバータと内部 LDO の両方が電圧を出力しなくなり、本デバイスはシャットダウン モードに入ります。シャットダウン モードでは、静止電流が 250nA (標準値) まで低下します。

7.4.2 スタンバイ モード

内部 LDO の EN スレッシュホールドは、コンバータの出力よりも低い値です。EN ピンの電圧が 1V (最大値) より高く、かつ出力電圧の高精度イネーブル スレッシュホールドより低い場合、内部 LDO は VCC 電圧を 3.3V (標準値) にレギュレートします。VCC が UVLO を上回ると、高精度イネーブル回路がオンになります。EN ピンの電圧が高精度イネーブルしきい値を上回らない限り、SW ノードの内部パワー MOSFET はオフのままです。本デバイスは UVLO 保護も採用しています。VCC 電圧が UVLO レベルを下回ると、コンバータの出力はオフになります。

7.4.3 アクティブモード

EN ピンの電圧が $V_{EN-VOUT}$ を上回っており、かつ V_{IN} が V_{INMIN} を満たすのに十分高く、かつその他の故障条件が存在しない場合は常に、本デバイスはアクティブモードに入ります。この動作を可能にする最も簡単な方法は、EN ピンを V_{IN} に接続することです。これにより、印加された入力電圧が最小 V_{INMIN} を超えるとデバイスを起動できます。

アクティブモードでは、負荷電流、入力電圧、出力電圧に応じて、本デバイスは次の 5 つのモードのいずれかになります。

- **連続導通モード (CCM)**: 負荷電流がインダクタリップル電流の 1/2 より大きいときには、固定周波数の連続導通モードになります
- **自動モード - 軽負荷動作**: パルス周波数変調 (PFM) (非常に軽い負荷でスイッチング周波数が低下した場合)
- **FPWM モード - 軽負荷動作**: 不連続導通モード (DCM) (負荷電流がインダクタリップル電流の 1/2 未満である場合)
- **最小オン時間**: 入力電圧が高くかつ出力電圧が低い場合に、レギュレーションを維持するため、スイッチング周波数が低下します。
- **ドロップアウトモード**: 電圧低下を最小限に抑えるため、スイッチング周波数が低下します。

7.4.3.1 CCM モード

本デバイスの以下の動作の説明は、[セクション 7.2](#) と以下の波形 (図 7-16) を参照しています。CCM では、本デバイスは、内蔵ハイサイド (HS) およびローサイド (LS) スイッチを各種デューティサイクル (D) でオンにすることで、出力電圧のレギュレーションを実現します。HS スイッチのオン時間の間、SW ピンの電圧 (V_{SW}) は V_{IN} の付近までスイングし、インダクタ電流 (i_L) は線形的な傾きで増加します。HS スイッチは、制御ロジックによってオフにされます。HS スイッチのオフ時間 (t_{OFF}) の間、LS スイッチはオンにされます。インダクタ電流は LS スイッチを通して放電され、LS スイッチの両端の電圧降下によって V_{SW} をグランドの下まで強制的にスイングさせます。一定の出力電圧を維持するため、コンバータ ループはデューティ サイクルを調整します。D は、HS スイッチのオン時間をスイッチング周期で割った値として次のように定義されます。

$$D = \frac{T_{ON}}{T_{SW}} \quad (3)$$

損失が無視される理想的な降圧コンバータでは、次のように D は出力電圧に比例し、入力電圧に反比例します。

$$D = \frac{V_{OUT}}{V_{IN}} \quad (4)$$

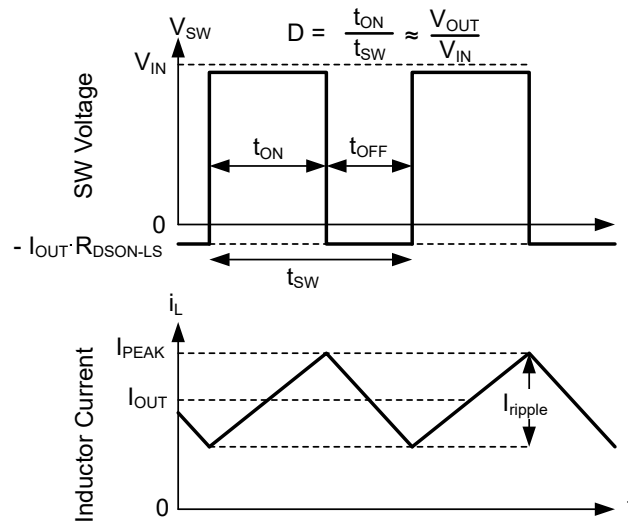


図 7-16. 連続モード (CCM) における SW 電圧とインダクタ電流の波形

7.4.3.2 自動モード - 軽負荷動作時

軽負荷時、LMR664x0-Q1 は 2 種類の動作を行うことができます。自動モード動作と呼ばれる動作を使うと、負荷が重い際の通常電流モードと高効率の軽負荷動作との間を継ぎ目なく移行できます。1V と 2V 間の出力電圧については、デバイスが PFM モードから PWM モードに遷移するときにスイッチノード波形で観測できることに注意してください。FPWM モードと呼ばれるもう 1 つの動作では、無負荷時でも最大周波数が維持されます。デバイスがどのモードで動作するかは、このファミリから選定したバリエーションによって異なります。周波数を外部信号に同期させる場合、すべてのデバイスは FPWM モードで動作することに注意します。

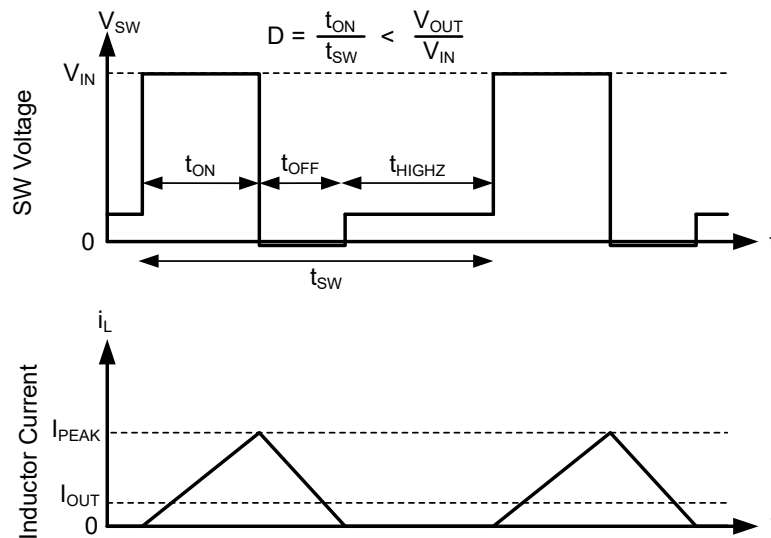
デバイスで軽負荷動作を採用しているのは自動モードのみです。軽負荷動作では、効率を向上させるため次の 2 つの手法が使われます。

- DCM 動作が可能な、ダイオードエミュレーション。図 7-17 を参照してください。
- 周波数低減。図 7-17 を参照してください。

これら 2 つの機能は、同時に動作することで軽負荷時の効率を向上させますが、独立して機能します。

7.4.3.2.1 ダイオードエミュレーション

ダイオードエミュレーションは、インダクタを流れる逆電流を防止します。固定ピークインダクタ電流の場合、レギュレートするために周波数をより低くする必要があります。ダイオードエミュレーションは、周波数が下がった際のリップル電流も制限します。固定ピーク電流では、出力電流がゼロに向かって低下するにつれて、レギュレーションを維持するために周波数をゼロに近い値まで下げる必要があります。



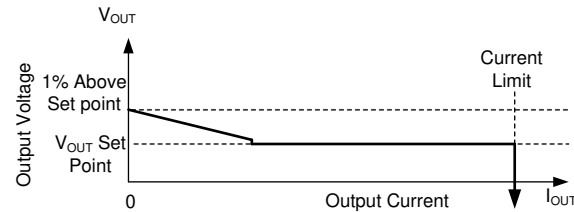
自動モードでは、SW ノード電流がゼロに近づくとローサイド素子はオフになります。その結果、出力電流が CCM で発生する可能性があるインダクタリップルの 1/2 未満になると、本品は DCM で動作します。これは、ダイオードエミュレーションが機能しているということと等価です。

図 7-17. PFM 動作

本デバイスには、自動モードのとき、最小ピークインダクタ電流設定があります (電氣的特性の $I_{PEAKMIN}$ を参照)。入力電圧を一定にした状態で、電流値が下がると、オン時間は一定になります。その後、周波数を調整することで、レギュレーションが達成されます。この動作モードを PFM モード レギュレーションと呼びます。

7.4.3.2.2 周波数低減

本デバイスは、出力電圧が高くなると常に周波数を下げます。この機能は、内部誤差アンプ補償出力 (内部信号 COMP) が Low でありかつ FB のレギュレーション設定点と FB に印加される電圧との間にオフセットが存在する場合、常に有効化されます。結果的に、自動モードでの軽負荷の間、通常動作の場合よりも出力インピーダンスが大きくなります。本デバイスが完全に無負荷である場合、出力電圧は約 1% 高くなるはずです。



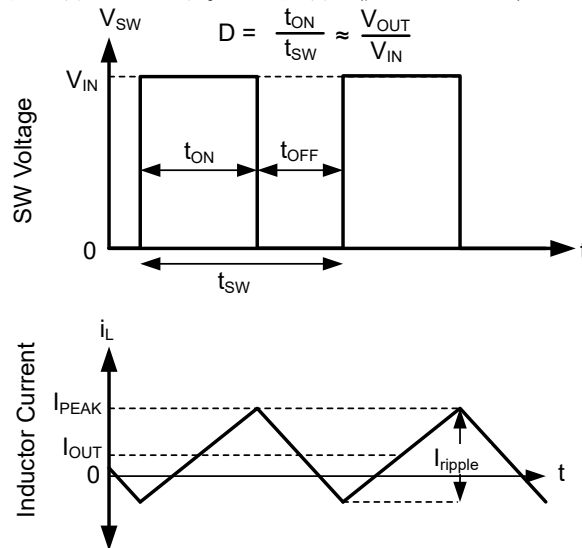
自動モードでは、本デバイスの出力電流が定格電流の約 1/10 を下回ると、降圧コンバータが完全に無負荷になった際に出力電圧が 1% 高くなるように出力抵抗が増大します。

図 7-18. 定常状態の出力電圧と自動モードの出力電流との関係

PFM 動作では、PFM 検出回路を動作させるために、出力電圧に小さな正の DC オフセットが必要となります。PFM の周波数が低いほど、 V_{OUT} に必要な DC オフセットが大きくなります。 V_{OUT} での DC オフセットが許容できない場合、 V_{OUT} に接続したダミー負荷または FPWM モードを使うことで、このオフセットを低減または除去できます。

7.4.3.3 FPWM モード - 軽負荷動作

FPWM モードでは、軽負荷時に周波数が維持されます。周波数を維持するため、インダクタを流れる逆電流が制限されます。逆電流制限回路により逆電流が制限されます。逆電流制限値については、「[電気的特性](#)」を参照してください。



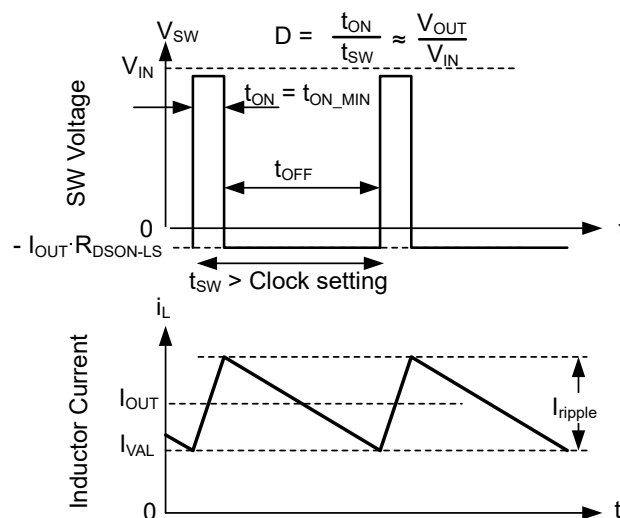
FPWM モードでは、 I_{OUT} が I_{ripple} の半分未満でも連続導通 (CCM) が可能です。

図 7-19. FPWM モード動作

デバイスの種類にかかわらず、FPWM モードでは、軽負荷時であっても最小オン時間を指示できるほど出力電圧が高ければ、依然として周波数を低減できるため、出力をプルアップする必要があるフォルト中も良好に動作できます。

7.4.3.4 最小オン時間 (高入力電圧) での動作

出力電圧に対する入力電圧の比が要求するオン時間が、与えられたクロック設定のチップの最小オン時間より短い場合でも、本デバイスは出力電圧をレギュレートし続けます。このレギュレーションは、バレー電流制御を使用して実行されます。補償回路は常に最大ピーク インダクタ電流と最大バレー インダクタ電流の両方を指示します。何らかの理由でバレー電流を超過した場合、補償回路によって決定された値をバレー電流が下回るまで、クロック サイクルは延長されます。コンバータが電流制限動作をしていない場合、最大バレー電流はピーク インダクタ電流よりも高く設定され、ピーク電流のみを使ったレギュレーションに失敗しない限りバレー制御が使われることがないようにしています。補償回路が指示したピーク コマンドをインダクタ ピーク電流値が上回るほど、出力電圧に対する入力電圧の比が高すぎる場合、出力電圧をレギュレートするのに十分な速さではハイサイド素子をオフにすることはできません。結果的に、補償回路はピーク電流とバレー電流の両方を小さくします。補償回路によって十分小さい電流が選択されると、バレー電流は、補償回路が指示した電流に一致します。これらの条件では、ローサイド素子がオンに維持され、目的のバレー電流をインダクタ電流が下回るまで、次のクロック サイクルは開始されません。オン時間は最小値に固定されているため、このタイプの動作は、コンスタント オンタイム (COT) 制御方式を採用したデバイスの動作と似ています。図 7-20 を参照してください。

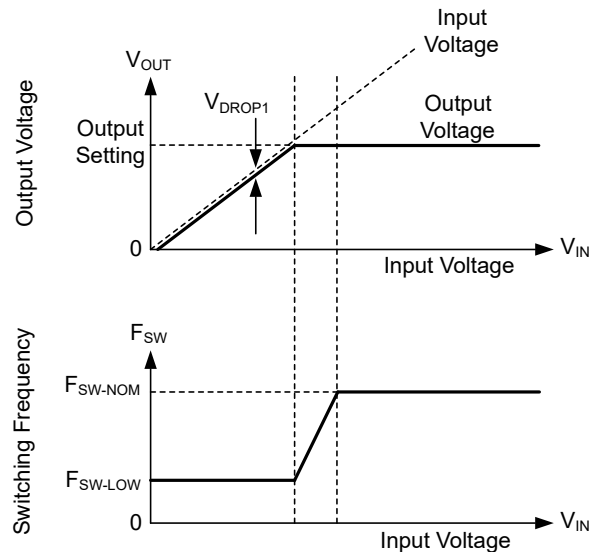


バレー制御モードでは、ピーク インダクタ電流ではなく、最小インダクタ電流が制御されます。

図 7-20. バレー電流モード動作

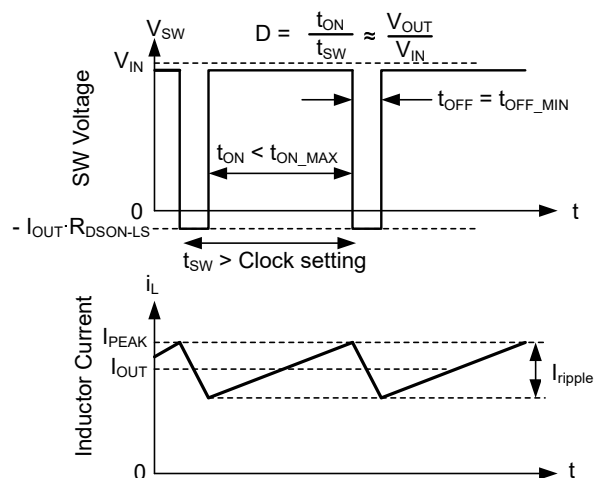
7.4.3.5 ドロップアウト

ドロップアウト動作とは、必要なデューティ サイクルを達成するために周波数を下げ、入力電圧に対する出力電圧の比を任意の値に制御することです。与えられたクロック周波数において、デューティサイクルは最小オフ時間によって制限されます。クロック周波数が維持される場合、図 7-22 に示すように、この制限値に達した後、出力電圧が低下する可能性があります。本デバイスは、出力電圧が下がるのを許容するのではなく、クロックサイクルが終わっても必要なピークインダクタ電流が達成されるまでハイサイドスイッチのオン時間を延長します。必要なピーク インダクタ電流に達すると、または設定済みの最大オン時間 (t_{ON-MAX} 、約 $9\mu s$) が経過すると、クロックは新しいサイクルを開始できます。その結果、最小オフ時間の存在に起因して、選択されたクロック周波数において必要なデューティ サイクルが達成できない場合、レギュレーションを維持するために周波数が低下します。図 7-21 に示すように、 t_{ON-MAX} のオン時間を使っても出力電圧をレギュレートできないほど入力電圧が低い場合、出力電圧は入力電圧よりもわずかに (V_{DROP1}) 低い値に下がります。ドロップアウトからの回復の詳細については、図 7-11 を参照してください。



出力電圧および周波数と入力電圧との関係: 入力電圧と出力電圧設定値との差がほとんどない場合、本 IC はレギュレーションを維持するために周波数を下げます。入力電圧が低すぎて、約 $110kHz$ の F_{SW-LOW} で目的の出力電圧を供給できない場合、入力電圧は出力電圧に追従します。

図 7-21. ドロップアウト時の周波数と出力電圧



ドロップアウト中のスイッチング波形。インダクタ電流は、目的のピーク値に達するのに通常のクロックよりも長い時間を要します。その結果、周波数は低下します。この周波数の低下は t_{ON_MAX} によって制限されます。

図 7-22. ドロップアウト波形

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LMR664x0-Q1 降圧 DC/DC コンバータは、高い DC 電圧を低い DC 電圧に変換するために使われることが一般的です。LMR66430-Q1 は 3A の最大出力電流をサポートし、LMR66420-Q1 と LMR66410-Q1 はそれぞれ 2A と 1A の最大出力電流をサポートしています。LMR66430-Q1 の部品を選択する際には、次の設計手順を使用します。また、この設計手順は、最大出力電流を 2A または 1A に制限することにより、それぞれ LMR66420-Q1 または LMR66410-Q1 のコンポーネントを選択するために使用できます。

注

以下のアプリケーション情報に記載されているすべての容量値は、特に記述のない限り実効値を指しています。実効値は、定格値や銘板値ではなく、DC バイアスおよび温度における実際の容量として定義されます。X7R 以上の誘電体を使用した、高品質で低 ESR のセラミック コンデンサを全体にわたって使用してください。値の大きいセラミック コンデンサは、すべて、通常の許容誤差と温度効果に加えて、電圧係数が大きくなります。DC バイアスを印加すると、静電容量は大幅に低下します。この点については、ケース サイズが大きく、より高い電圧定格のものが望ましいです。これらの影響を軽減するために、複数のコンデンサを並列に使用すれば、最小実効静電容量を必要な値まで大きくすることができます。この対策により、個別のコンデンサの RMS 電流要件も緩和されます。実効静電容量の最小値を確実に実現するために、コンデンサ バンクのバイアスおよび温度変動を慎重に検討する必要があります。

8.2 代表的なアプリケーション

LMR664x0-Q1 を使用した実装の回路図、部品表、PCB レイアウトファイル、テスト結果については、LMR66430-2EVM を参照してください。クイックスタートガイドとして、表 8-1 と 表 8-4 に、最も一般的な出力電圧範囲に対する代表的な部品値を示します。

表 8-1. 可変出力 LMR66430-Q1 の一般的な外部コンポーネントの値

f_{sw} (kHz) (1)	V_{OUT} (V)	L (μ H)	公称 C_{OUT} (定格 容量)	最小 C_{OUT} (実効 容量) ⁽²⁾	R_{FBT} (k Ω) ⁽³⁾	R_{FBB} (k Ω)	C_{IN}	C_{BOOT}	C_{VCC}	C_{FF} ⁽⁴⁾
400	3.3	10	3 × 22 μ F	60 μ F	33.2	14.3	4.7 μ F	100nF	1 μ F	100pF
2200	3.3	2.2	3 × 22 μ F	60 μ F	33.2	14.3	4.7 μ F	100nF	1 μ F	DNP
400	5	10	3 × 22 μ F	60 μ F	49.9	12.4	4.7 μ F	100nF	1 μ F	100pF
2200	5	2.2	3 × 22 μ F	60 μ F	49.9	12.4	4.7 μ F	100nF	1 μ F	DNP

- (1) インダクタ値は一般的な $V_{IN} = 12V$ に基づき計算されます。
 (2) C_{OUT} の最小値は、DC バイアス電圧および温度が実際の容量値に与える影響を考慮しています。
 (3) 上記の範囲外の R_{FBT} と R_{FBB} の値については、[セクション 8.2.1.2.2.1](#) を参照してください。
 (4) 詳細については「[セクション 8.2.1.2.8](#)」を参照。

表 8-2. 可変出力 LMR66420-Q1 の一般的な外部コンポーネントの値

f_{sw} (kHz) (1)	V_{OUT} (V)	L (μ H)	公称 C_{OUT} (定格 容量)	最小 C_{OUT} (実効 容量) ⁽²⁾	R_{FBT} (k Ω) ⁽³⁾	R_{FBB} (k Ω)	C_{IN}	C_{BOOT}	C_{VCC}	C_{FF} ⁽⁴⁾
400	3.3	6.8	3 × 22 μ F	60 μ F	33.2	14.3	4.7 μ F	100nF	1 μ F	100pF
2200	3.3	2.2	2 × 22 μ F	40 μ F	33.2	14.3	4.7 μ F	100nF	1 μ F	DNP
400	5	6.8	3 × 22 μ F	60 μ F	49.9	12.4	4.7 μ F	100nF	1 μ F	100pF
2200	5	2.2	2 × 22 μ F	40 μ F	49.9	12.4	4.7 μ F	100nF	1 μ F	DNP

- (1) インダクタ値は一般的な $V_{IN} = 12V$ に基づき計算されます。
 (2) C_{OUT} の最小値は、DC バイアス電圧および温度が実際の容量値に与える影響を考慮しています。
 (3) 上記の範囲外の R_{FBT} と R_{FBB} の値については、[セクション 8.2.1.2.2.1](#) を参照してください。
 (4) 詳細については「[セクション 8.2.1.2.8](#)」を参照。

表 8-3. 可変出力 LMR66410-Q1 の一般的な外部コンポーネントの値

f_{sw} (kHz) (1)	V_{OUT} (V)	L (μ H)	公称 C_{OUT} (定格 容量)	最小 C_{OUT} (実効 容量) ⁽²⁾	R_{FBT} (k Ω) ⁽³⁾	R_{FBB} (k Ω)	C_{IN}	C_{BOOT}	C_{VCC}	C_{FF} ⁽⁴⁾
400	3.3	22	2 × 22 μ F	40 μ F	33.2	14.3	4.7 μ F	100nF	1 μ F	100pF
2200	3.3	4.7	1 × 22 μ F	20 μ F	33.2	14.3	4.7 μ F	100nF	1 μ F	DNP
400	5	22	2 × 22 μ F	40 μ F	49.9	12.4	4.7 μ F	100nF	1 μ F	100pF
2200	5	4.7	1 × 22 μ F	20 μ F	49.9	12.4	4.7 μ F	100nF	1 μ F	DNP

- (1) インダクタ値は一般的な $V_{IN} = 12V$ に基づき計算されます。
 (2) C_{OUT} の最小値は、DC バイアス電圧および温度が実際の容量値に与える影響を考慮しています。
 (3) 上記の範囲外の R_{FBT} と R_{FBB} の値については、[セクション 8.2.1.2.2.1](#) を参照してください。
 (4) 詳細については「[セクション 8.2.1.2.8](#)」を参照。

表 8-4. 固定出力 LMR66430-Q1 の一般的な外部コンポーネントの値

f_{sw} (kHz) (1)	V_{OUT} (V)	L (μ H)	公称 C_{OUT} (定格 容量)	最小 C_{OUT} (実効 容量) ⁽²⁾	R_{FBT} (Ω)	R_{FBB} (Ω) ⁽³⁾	C_{IN}	C_{BOOT}	C_{VCC}	C_{FF}
400	3.3	10	3 × 22 μ F	60 μ F	0	DNP	4.7 μ F	100nF	1 μ F	DNP
2200	3.3	2.2	2 × 22 μ F	40 μ F	0	DNP	4.7 μ F	100nF	1 μ F	DNP
400	4	10	3 × 22 μ F	60 μ F	0	DNP	4.7 μ F	100nF	1 μ F	DNP
2200	4	2.2	2 × 22 μ F	40 μ F	0	DNP	4.7 μ F	100nF	1 μ F	DNP
400	5	10	3 × 22 μ F	60 μ F	0	DNP	4.7 μ F	100nF	1 μ F	DNP

表 8-4. 固定出力 LMR66430-Q1 の一般的な外部コンポーネントの値 (続き)

f_{sw} (kHz) (1)	V_{OUT} (V)	L (μ H)	公称 C_{OUT} (定格 容量)	最小 C_{OUT} (実効 容量) ⁽²⁾	R_{FBT} (Ω)	R_{FBB} (Ω) ⁽³⁾	C_{IN}	C_{BOOT}	C_{VCC}	C_{FF}
2200	5	2.2	$2 \times 22\mu F$	$40\mu F$	0	DNP	$4.7\mu F$	100nF	$1\mu F$	DNP

- (1) インダクタ値は一般的な $V_{IN} = 12V$ に基づき計算されます。
(2) C_{OUT} の最小値は、DC バイアス電圧および温度が実際の容量値に与える影響を考慮しています。
(3) DNP = 自動入力されません。

表 8-5. 固定出力 LMR66420-Q1 の一般的な外部コンポーネントの値

f_{sw} (kHz) (1)	V_{OUT} (V)	L (μ H)	公称 C_{OUT} (定格 容量)	最小 C_{OUT} (実効 容量) ⁽²⁾	R_{FBT} (k Ω)	R_{FBB} (k Ω) ⁽³⁾	C_{IN}	C_{BOOT}	C_{VCC}	C_{FF}
400	3.3	6.8	$3 \times 22\mu F$	$60\mu F$	0	DNP	$4.7\mu F$	100nF	$1\mu F$	DNP
2200	3.3	2.2	$2 \times 22\mu F$	$40\mu F$	0	DNP	$4.7\mu F$	100nF	$1\mu F$	DNP
400	5	6.8	$3 \times 22\mu F$	$60\mu F$	0	DNP	$4.7\mu F$	100nF	$1\mu F$	DNP
2200	5	2.2	$2 \times 22\mu F$	$40\mu F$	0	DNP	$4.7\mu F$	100nF	$1\mu F$	DNP

- (1) インダクタ値は一般的な $V_{IN} = 12V$ に基づき計算されます。
(2) C_{OUT} の最小値は、DC バイアス電圧および温度が実際の容量値に与える影響を考慮しています。
(3) DNP = 自動入力されません。

表 8-6. 固定出力 LMR66410-Q1 の一般的な外部コンポーネントの値

f_{sw} (kHz) (1)	V_{OUT} (V)	L (μ H)	公称 C_{OUT} (定格 容量)	最小 C_{OUT} (実効 容量) ⁽²⁾	R_{FBT} (k Ω)	R_{FBB} (k Ω) ⁽³⁾	C_{IN}	C_{BOOT}	C_{VCC}	C_{FF}
400	3.3	22	$2 \times 22\mu F$	$40\mu F$	0	DNP	$4.7\mu F$	100nF	$1\mu F$	DNP
2200	3.3	4.7	$1 \times 22\mu F$	$20\mu F$	0	DNP	$4.7\mu F$	100nF	$1\mu F$	DNP
400	5	22	$2 \times 22\mu F$	$40\mu F$	0	DNP	$4.7\mu F$	100nF	$1\mu F$	DNP
2200	5	4.7	$1 \times 22\mu F$	$20\mu F$	0	DNP	$4.7\mu F$	100nF	$1\mu F$	DNP

- (1) インダクタ値は一般的な $V_{IN} = 12V$ に基づき計算されます。
(2) C_{OUT} の最小値は、DC バイアス電圧および温度が実際の容量値に与える影響を考慮しています。
(3) DNP = 自動入力されません。

8.2.1 設計 1 - 車載 同期整流降圧レギュレータ、2.2MHz

図 8-1 に、LMR664x0-Q1 同期整流降圧レギュレータの代表的なアプリケーション回路を示します。出力電圧は 3.3V で定格負荷電流は 3A です。このデバイスは、幅広い外付け部品およびシステムパラメータで機能するように設計されています。しかし内部補償は、特定の範囲の外付けインダクタンスおよび出力容量に対して最適化されています。この例では、公称入力電圧は 12V で、4V ~ 36V の範囲です。最大スイッチング周波数は、MODE/SYNC ピンを GND に接続

することで 2.2MHz に設定され、デバイスは自動モードで動作できます。VOUT/FB ピンは出力電圧ノードに直接接続されているため、効率性能が向上します。

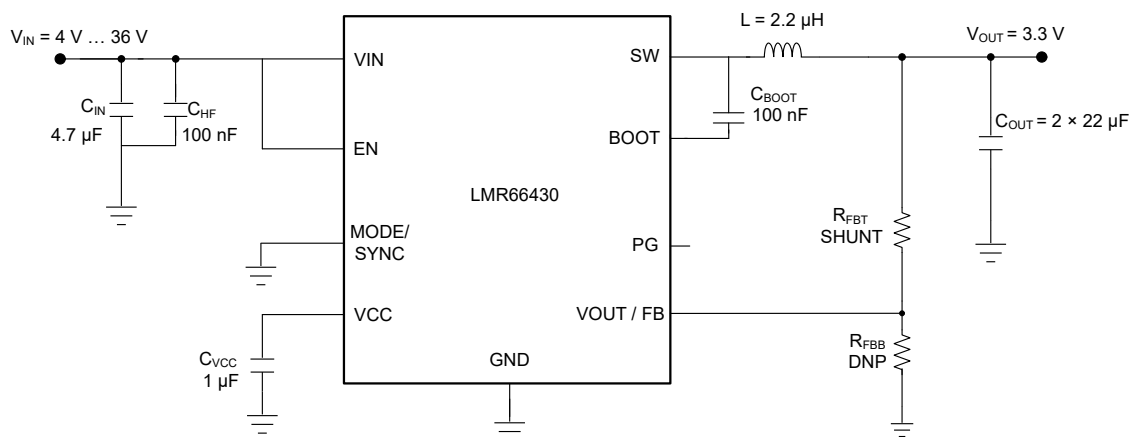


図 8-1. アプリケーション回路 1 - 3.3V (固定)、3A、2.2MHz

8.2.1.1 設計要件

セクション 8.2.1.2 に、表 8-7 に基づく詳細な設計手順を示します。

表 8-7. 詳細設計パラメータ

設計パラメータ	数値の例
入力電圧	12V (4V ~ 36V)
出力電圧	3.3V
最大出力電流	0A~3A
スイッチング周波数	2200kHz

8.2.1.2 詳細な設計手順

以下の設計手順は、図 8-1 および 表 8-4 に適用されます。

8.2.1.2.1 スwitchング周波数の選択

スイッチング周波数の選択は、変換効率と設計全体のサイズとのトレードオフとなります。スイッチング周波数を低くすると、スイッチング損失は減少し、一般的にシステム効率が高くなります。一方、スイッチング周波数を高くすると、より小型のインダクタと出力コンデンサを使用できるようになるため、よりコンパクトな設計が可能となります。この例では、**2200kHz** を使用します。

SYNC ピンを使用してスイッチング周波数を同期させる設計の場合、このピンをフローティングのままにしないでください。SYNC ピンを既知の状態にするため、目的のデフォルトのスイッチング状態に応じてプルアップ抵抗またはプルダウン抵抗を配置します。プルアップ抵抗を選択する場合、プルアップソース電圧がピンの絶対最大定格を超えないようにします。

8.2.1.2.2 出力電圧の設定

デバイスの V_{OUT}/FB は、出力コンデンサに直接接続、または帰還抵抗分圧回路の midpoint に接続できます。出力コンデンサに直接接続すると、デバイスは **3.3V** または **5V** の固定出力電圧が必要であると想定します。**3.3V** または **5V** の固定出力バリエーションは、工場出荷時に個々のデバイスごとに固有の調整が行われます。固定出力電圧バリエーションの選択についてはセクション 4 を参照してください。

8.2.1.2.2.1 可変出力用 V_{OUT}/FB

他の電圧が望ましい場合は、 V_{OUT}/FB を帰還抵抗分圧回路に接続して、出力電圧を設定できます。分圧回路は R_{FBT} と R_{FBB} で構成され、出力電圧とコンバータの間のループを閉じています。コンバータは、 V_{OUT}/FB ピン電圧を内部基準電圧 (V_{REF}) と同じ電圧に保持することで、出力電圧をレギュレートします。コンバータは、起動時に帰還経路の抵抗を検出することで、固定出力電圧と可変出力電圧のどちらが必要かを判断します。コンバータが希望する出力電圧に確実に調整できるように、 R_{FBT} と R_{FBB} を並列接続した場合の抵抗値は、式 5 に示す通り、その最小値を **5kΩ** (標準値)、最大値を **10kΩ** (標準値) にしてください。式 6 を、 R_{FBT} の値を決定するための出発点として使用します。各種出力電圧に対応する抵抗値の一覧は、表 8-8 を参照してください。

$$5\text{ k}\Omega < R_{FBT} \parallel R_{FBB} \leq 10\text{ k}\Omega \quad (5)$$

$$R_{FBT} \leq 10\text{ k}\Omega \times \frac{V_{OUT}}{1\text{ V}} \quad (6)$$

表 8-8. 各種出力電圧に対する帰還抵抗の推奨値

V _{OUT} (V)	R _{FBT} (kΩ) ⁽¹⁾	R _{FBB} (kΩ)
2.5	24.9	16.5
3.3	33.2	14.3
5	49.9	12.4
6	60.4	12.1
9	90.9	11.3

(1) 1%の標準抵抗値に基づいた R_{FBT} および R_{FBB}

この 3.3-V の例では、LMR66430MC3RXBRQ1 を選択して、V_{OUT}/FB を出力コンデンサに直接接続できます。

8.2.1.2.3 インダクタの選択

インダクタを選択するためのパラメータはインダクタンスと飽和電流です。インダクタンスは目的のピークツーピークリップル電流を元を選択し、通常はデバイスの最大出力電流容量の 20% ~ 40% の範囲に収まるようにします (LMR664x0-Q1 では 3A など)。リップル電流を選択する際には、デバイスの最大電流を使用することに注意してください。インダクタンスの値を決定するには、式 7 を使用します。定数 K は、デバイスの最大電流に対するピークツーピークのインダクタ電流リップルの比です。この例では、K = 0.2 を選択すると、L = 1.81μH のインダクタンスが得られます。2.2μH の標準値を選択します。

$$L = \frac{(V_{IN} - V_{OUT})}{f_{SW} \times K \times I_{OUTmax}} \times \frac{V_{OUT}}{V_{IN}} \quad (7)$$

理想的には、インダクタの飽和電流定格は、ハイサイドスイッチの電流制限値 I_{PEAKMAX} 以上にする必要があります (「電氣的特性」を参照)。この大きさであれば、出力の短絡時にもインダクタが飽和しないようになります。インダクタのコア材が飽和すると、インダクタンスは非常に小さい値に低下し、インダクタ電流は急増します。バレー電流制限値 I_{VALMAX} は、電流が暴走しづらいように設計されているとはいえ、インダクタが飽和することで電流値が急増する可能性があります。この動作は部品の損傷につながる可能性があります。したがって、インダクタを飽和させないようにしてください。フェライトコア材を採用したインダクタは飽和特性が非常に急峻ですが、コア損失は通常、圧粉コアよりも小さいです。圧粉コアは穏やかな飽和特性を示すため、インダクタの電流定格をある程度緩和できます。ただし、圧粉コアは約 1MHz を超える周波数でコア損失が大きくなります。いずれにしても、インダクタの飽和電流が、全負荷時のピーク インダクタ電流の最大値よりも小さくならないようにする必要があります。

最大インダクタンスは、電流モード制御を正しく行うために必要な最小電流リップルによって制限されます。インダクタの最小リップル電流は、公称条件でのデバイスの最大定格電流の約 10% 以上とする必要があります。

8.2.1.2.4 出力コンデンサの選択

LMR664x0-Q1 デバイスは、電流モード制御方式により、広い範囲の出力容量で動作できます。出力コンデンサ バンクは、通常、出力電圧リップルではなく負荷過渡要件および安定性によって制限されます。3.3V と 5V の出力電圧に対する標準的な出力コンデンサの値については、表 8-1 および 表 8-4 を参照してください。表 8-4 に基づき、固定 出力設計の場合、この例で推奨される 2 × 22μF のセラミック出力コンデンサを選択できます。他の出力電圧の設計では、出力コンデンサの値を選択するための出発点として WEBENCH を使用できます。

実際には、過渡応答とループ位相 マージンに最も影響を与えるのは出力コンデンサです。負荷過渡テストおよびボード線図は、特定の設計を検証する最善の方法であり、アプリケーションを量産に移行する前に必ず完了する必要があります。必要な出力容量に加えて、出力に小さなセラミックコンデンサを配置すると、高周波ノイズの低減に役立ちます。小さいケース サイズで 1nF ~ 100nF の範囲のセラミック コンデンサは、インダクタや基板の寄生成分に起因する出力のスパイクを低減するのに非常に役立ちます。

合計出力容量の最大値は、設計値の約 10 倍、または 1000μF のどちらか小さい方に制限します。出力容量の値が大きいと、レギュレータのスタートアップ動作やループの安定性に悪影響を及ぼす可能性があります。ここに記載した値よりも大きい値を使用する必要がある場合、全負荷でのスタートアップおよびループ安定性を慎重に検討してください。

8.2.1.2.5 入力コンデンサの選択

セラミック入力コンデンサは、レギュレータに低インピーダンス ソースを供給するだけでなく、リップル電流を供給して、他の回路からスイッチング ノイズを絶縁します。LMR664x0-Q1 の入力には、少なくとも $4.7\mu\text{F}$ のセラミックコンデンサが必要です。これは、少なくともアプリケーションが必要とする最大入力電圧を定格とする必要があり、可能であれば、最大入力電圧の 2 倍が推奨されます。この容量を増やすことで、入力電圧リップルを低減し、負荷過渡時の入力電圧を維持できます。この例では、 $2 \times 4.7\mu\text{F}$ 、50V、X7R (またはそれ以上) のセラミックコンデンサを選択しています。

多くの場合、入力にセラミックコンデンサと並列に電解コンデンサを使用することが推奨されます。これは、長い配線またはパターンを使って入力電源をレギュレータに接続する場合に特に当てはまります。このコンデンサに中程度の ESR を持つコンデンサを使うことは、長い電源配線によって生じる入力電源のリンギングを減衰させるのに有効です。この追加コンデンサの使用は、インピーダンスの非常に高い入力電源によって生じる電圧低下の防止にも有効です。

入力スイッチング電流のほとんどは、セラミック入力コンデンサを流れます。この電流の RMS 近似値は 式 8 から計算でき、メーカーの最大定格に照らしてチェックする必要があります。

$$I_{\text{RMS}} \cong \frac{I_{\text{OUT}}}{2} \quad (8)$$

8.2.1.2.6 C_{BOOT}

LMR664x0-Q1 のバリエーションにはブートストラップコンデンサが内蔵されていないため、BOOT ピンと SW ピンの間に高品質の外付け $0.1\mu\text{F}$ コンデンサを配置する必要があります。

8.2.1.2.7 VCC

VCC ピンは、レギュレータの制御回路に電力を供給するために使用される内部 LDO の出力です。この出力を正常に動作させるには、 $1\mu\text{F}$ 、16V のセラミックコンデンサを VCC と GND との間に接続する必要があります。一般に、この出力に負荷として外部回路を接続できません。ただし、この出力は、パワー グッド機能のプルアップに電力を供給するために使えます (セクション 7.3.4 を参照)。この場合、 $10\text{k}\Omega \sim 100\text{k}\Omega$ の範囲の値が適しています。VCC の公称出力電圧は 3.3V です。限界値については、電気的特性を参照してください。

8.2.1.2.8 C_{FF} の選択

場合によっては、 R_{FBT} の両端にフィードフォワード コンデンサを接続して、負荷過渡応答やループ位相マージンを改善できます。『内部的に補正される、フィードフォワード コンデンサを持つ DC-DC コンバータの過渡応答の最適化』アプリケーションレポートは、フィードフォワード コンデンサの実験に役立ちます。

可変出力電圧設定の場合、帰還検出回路の性質上、希望する出力電圧が確実に達成されるように、 C_{FF} の値を制限する必要があります。 C_{FF} が確実に最大値を下回るように、式 9 に従ってください。

$$C_{\text{FF}} < C_{\text{OUT}} \times \frac{\sqrt{V_{\text{OUT}}}}{1.2 M\Omega} \quad (9)$$

8.2.1.2.9 外部 UVLO

場合によっては、本デバイスが内部的に備えているものとは異なる入力 UVLO レベルが必要とされることがあります。これは、図 8-2 に示す回路を使うことで実現できます。本デバイスがオンする入力電圧を V_{ON} 、オフする入力電圧を V_{OFF} と表します。最初に、 R_{ENB} の値を $10\text{k}\Omega \sim 100\text{k}\Omega$ の範囲で選択し、次に、式 11 と式 10 を使って R_{ENT} と V_{OFF} をそれぞれ計算します。

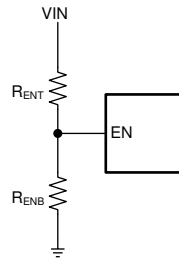


図 8-2. 外部 UVLO アプリケーション用のセットアップ

$$R_{ENT} = \left(\frac{V_{ON}}{V_{EN} - V_{OUT}} - 1 \right) \times R_{ENB} \quad (10)$$

$$V_{OFF} = V_{ON} \times \left(1 - \frac{V_{EN} - HYS}{V_{EN} - V_{OUT}} \right) \quad (11)$$

ここで、

- V_{ON} は V_{IN} のターンオン電圧、
- V_{OFF} は V_{IN} のターンオフ電圧です。

8.2.1.2.10 最大周囲温度

他の電力変換デバイスと同様に、LMR664x0-Q1 は動作中に内部で電力を消費します。この消費電力の影響により、コンバータの内部温度が周囲温度よりも高くなります。内部ダイ温度 (T_J) は、周囲温度、電力損失、デバイスと PCB の組み合わせの実効熱抵抗 $R_{\theta JA}$ の関数です。LMR664x0-Q1 の最大接合部温度は、 150°C に制限する必要があります。この制限により、デバイスの最大消費電力が制限され、それに伴って負荷電流も制限されます。式 12 に、重要なパラメータ間の関係を示します。周囲温度 (T_A) が高いほど、また、 $R_{\theta JA}$ が大きいほど、利用可能な最大出力電流が低減されます。コンバータの効率は、このデータシートに示す曲線を使用して推定できます。いずれかの曲線に目的の動作条件が見つからない場合は、補間によって効率を推定できます。または、目的のアプリケーション要件に合わせて EVM を調整し、効率を直接測定することもできます。 $R_{\theta JA}$ の正確な値を推定するのは、より困難です。詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

$$I_{OUT} \Big|_{MAX} = \frac{(T_J - T_A)}{R_{\theta JA}} \times \frac{\eta}{(1 - \eta)} \times \frac{1}{V_{OUT}} \quad (12)$$

ここで、

- η は効率です。

実効 $R_{\theta JA}$ は重要なパラメータであり、以下のような多くの要因に依存します。

- 消費電力
- 空気温度とフロー
- PCB 面積
- 銅箔ヒートシンク面積
- パッケージの下にあるサーマルビアの数
- 隣接する部品の配置

所定の動作条件の IC 接合部温度は、式 13 を使用して推定できます。

$$T_J \cong T_A + R_{\theta JA} \times IC \text{ Power Loss} \quad (13)$$

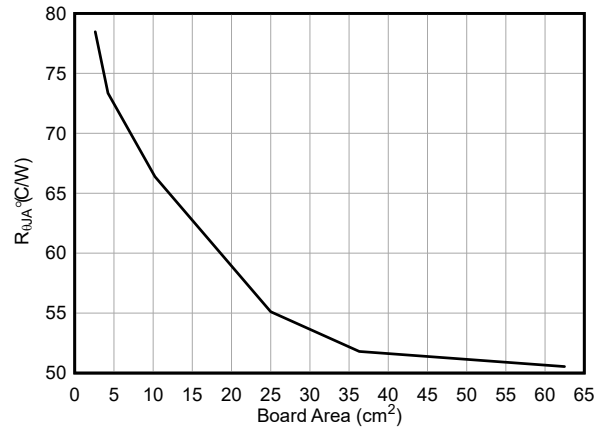
ここで、

- T_J は接合部温度 ($^{\circ}\text{C}$)
- T_A は周囲温度 ($^{\circ}\text{C}$)

- $R_{\theta JA}$ は熱抵抗 ($^{\circ}\text{C}/\text{W}$)。
- IC 電力損失は、その IC の電力損失 (W)。

上述の IC の電力損失は、全体の電力損失からインダクタの DC 抵抗に起因する損失を減算したものです。総合的な電力損失は、特定の動作条件と温度に対して WEBENCH を使用して概算できます。

以下の 図 8-3 表は、特定の基板面積における IC の熱抵抗を推定するためのものです。



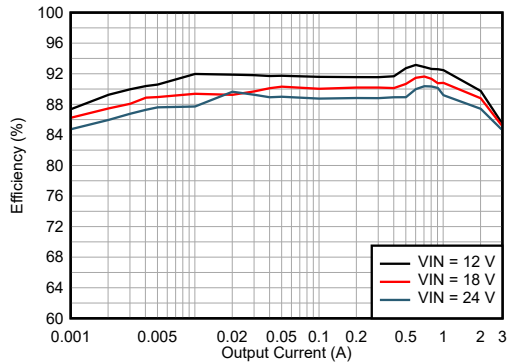
デバイスの動作条件は次のとおりです: 12- V_{IN} 、3.3 V_{OUT} 、3A 負荷、2.2MHz、23 $^{\circ}\text{C}$ の環境温度。4 層基板、中間層 1 の GND プレーン、各層に 2.8mil (0.071mm) 厚の銅 (1mil は 1/1000 インチ)。銅パターンとサーマルビアについては、『[LMQ66430-Q1 降圧コントローラ評価基板ユーザーガイド](#)』を参照してください。

図 8-3. $R_{\theta JA}$ と基板面積との関係

優れた熱 PCB 設計および特定のアプリケーション環境における $R_{\theta JA}$ を推定するためのガイドとして、以下の資料を使用してください。

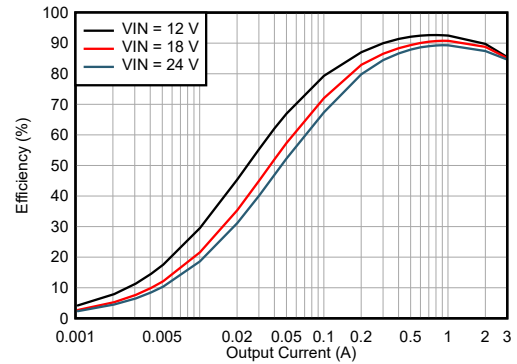
- 『過去ではなく、現在の識見による熱設計』アプリケーション レポート
- 『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション レポート
- 『半導体および IC パッケージの熱評価基準』アプリケーション レポート
- LM43603 および LM43602 を使用した簡単な熱設計アプリケーション レポート
- 『PowerPAD™ 熱特性強化型パッケージ』アプリケーション レポート
- 『PowerPAD™ の簡単な使用法』アプリケーション レポート
- 『新しい熱評価基準の解説』アプリケーション レポート
- PCB 温度計算ツール

8.2.1.3 アプリケーション曲線



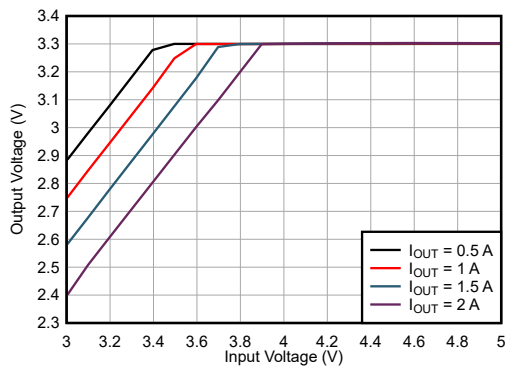
LMR66430MC3 $V_{OUT} = 3.3V$ 2.2MHz (自動)
固定

図 8-4. 効率



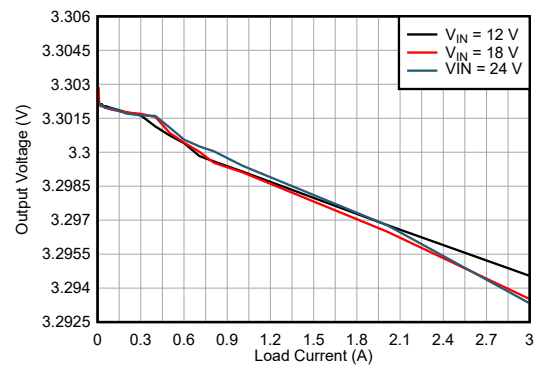
LMR66430MC3 $V_{OUT} = 3.3V$ 2.2MHz (FPWM)
固定

図 8-5. 効率



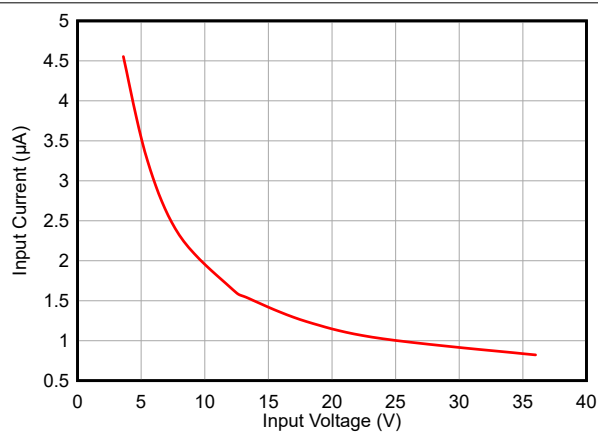
LMR66430MC3 $V_{OUT} = 3.3V$ 2.2MHz (自動)
固定

図 8-6. ドロップアウト



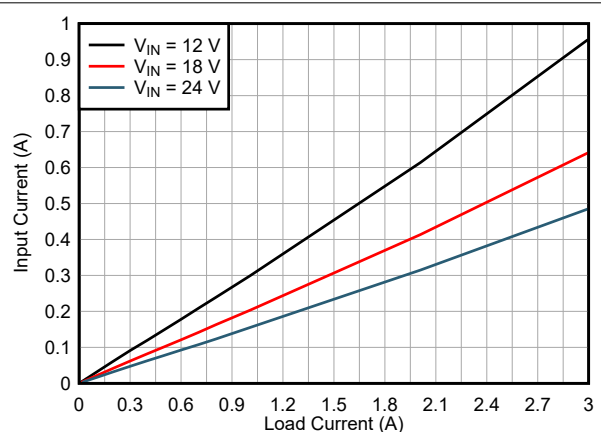
LMR66430MC3 $V_{OUT} = 3.3V$ 2.2MHz (自動)
固定

図 8-7. ラインおよび負荷レギュレーション



LMR66430MC3 $V_{OUT} = 3.3V$ 2.2MHz (自動)
固定 無負荷

図 8-8. 入力スイッチング電流と入力電圧との関係



LMR66430MC3 $V_{OUT} = 3.3V$ 2.2MHz (自動)
固定

図 8-9. 入力電流と負荷電流との関係

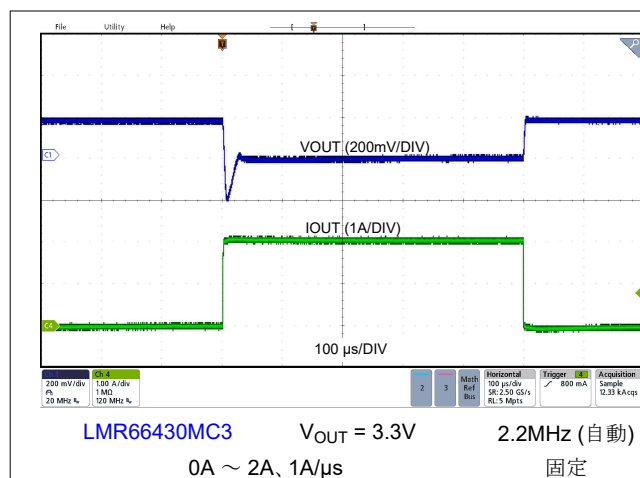


図 8-10. 負荷過渡

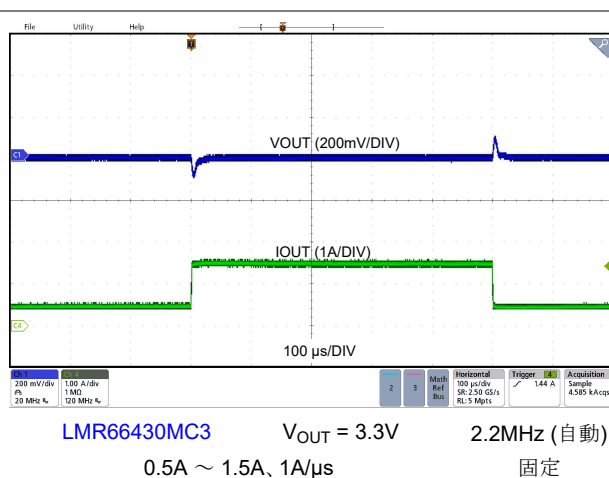


図 8-11. 負荷過渡

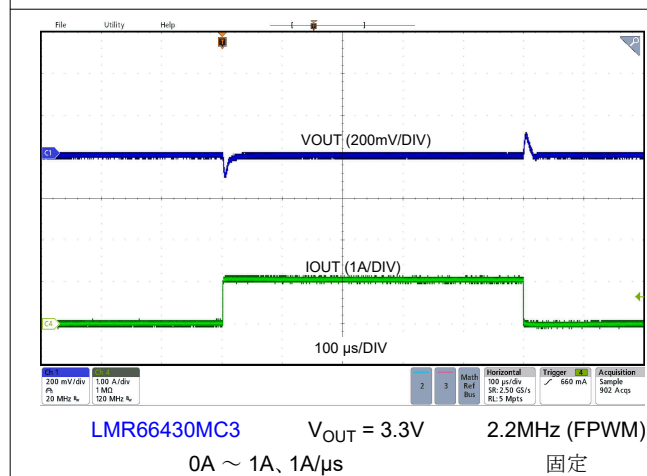


図 8-12. 負荷過渡

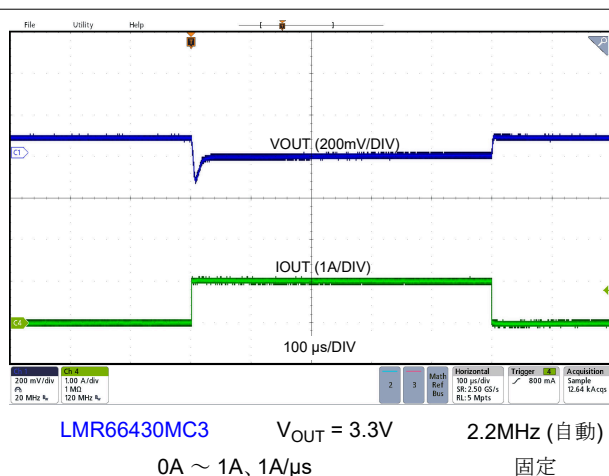


図 8-13. 負荷過渡

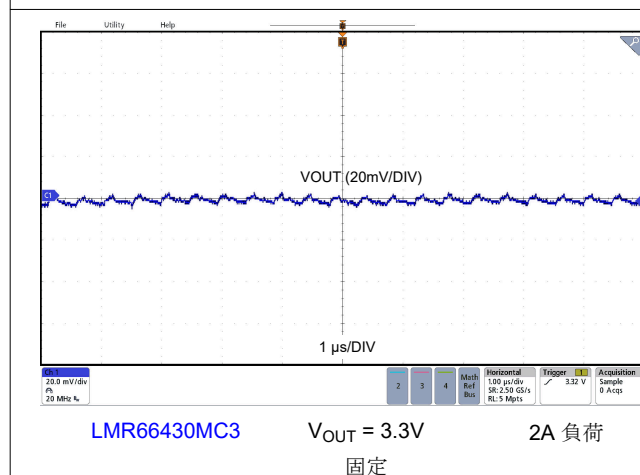


図 8-14. 出力電圧リップル

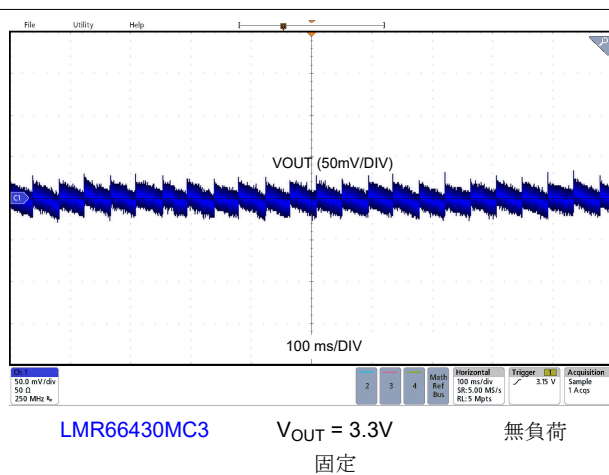


図 8-15. 出力電圧リップル



LMR66430MC3 $V_{OUT} = 3.3V$ 12V_{IN}, 2A, 2.2MHz
固定

図 8-16. EVM の放熱特性



LMR66430MC3 $V_{OUT} = 3.3V$ 12V_{IN}, 3A, 2.2MHz
固定

図 8-17. EVM の放熱特性

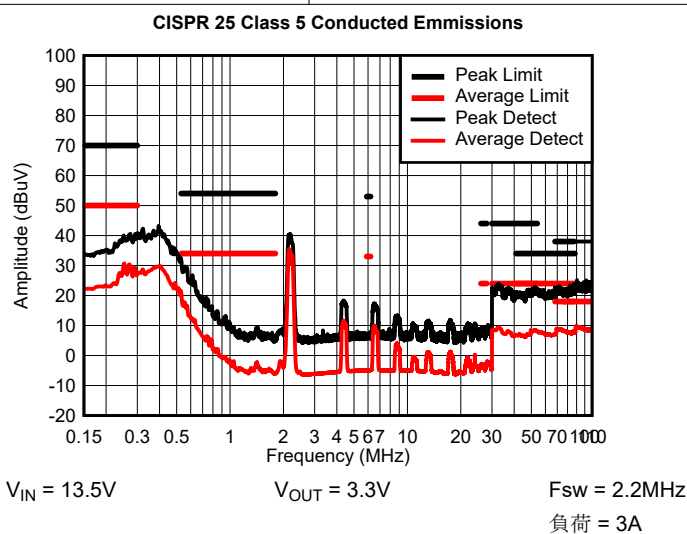


図 8-18. CISPR 25 Class 5 伝導 EMI 150kHz ~ 108MHz
黒：ピーク検出、赤：平均検出

8.2.2 設計 2 - 車載用同期整流降圧レギュレータ、400kHz

図 8-19 は、出力電圧が 5V に設定され、定格負荷電流が 3A の同期整流降圧レギュレータの回路図を示しています。MODE/SYNC ピンが関数発生器に接続され、スイッチング周波数は 400kHz に設定されます。

この例では、公称入力電圧は 12V で範囲は 7V ~ 36V です。

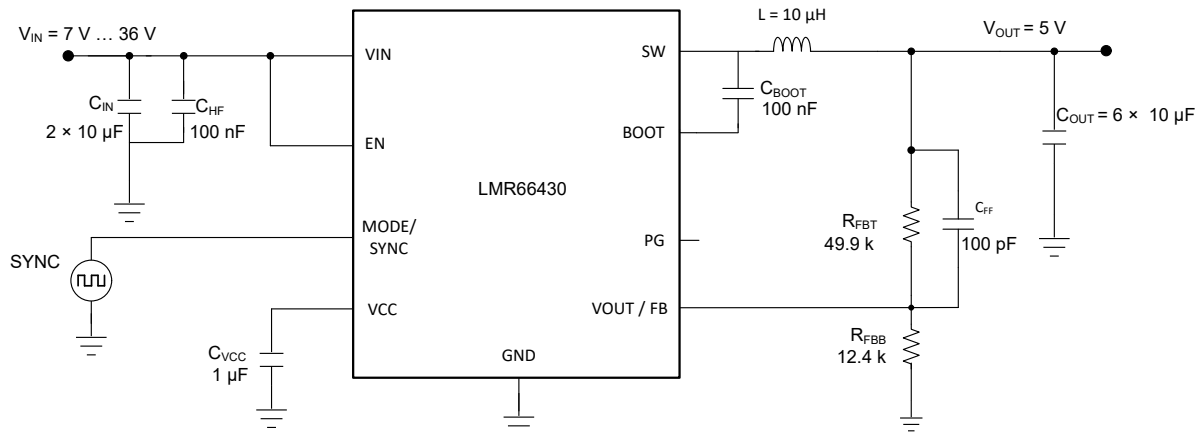


図 8-19. アプリケーション回路 2 - 5V (可変)、3A、400kHz

8.2.2.1 設計要件

表 8-9 に、この設計例の意図する動作条件を示します。

表 8-9. 詳細設計パラメータ

設計パラメータ	数値の例
入力電圧	12V (7V~36V)
出力電圧	5V
最大出力電流	0A~3A
スイッチング周波数	400kHz

8.2.2.2 詳細な設計手順

この 400kHz 設計の部品選択の詳細については、[セクション 8.2.1.2](#) を参照してください。

8.2.2.3 アプリケーション曲線

特記のない限り、次の条件が適用されます。 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $I_{OUT} = 3A$ 、 $f_{SW} = 400kHz$ 、および $T_A = 25^{\circ}C$ 。図 8-19 に、回路図と関連する部品の値を示します。

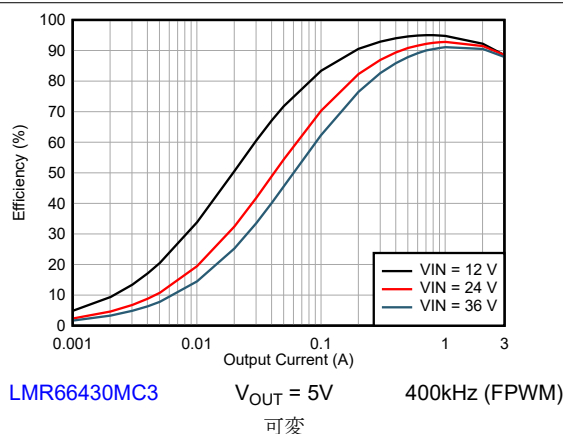


図 8-20. 効率

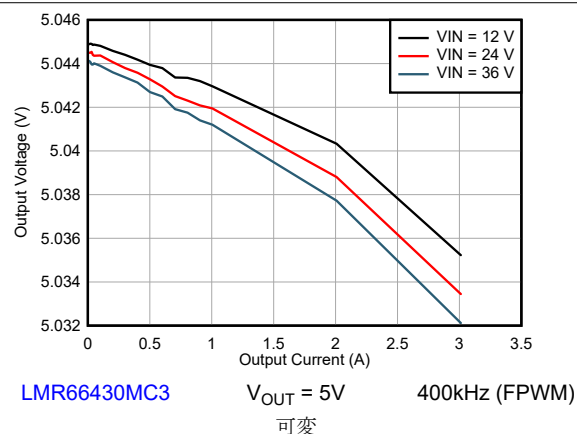


図 8-21. ラインおよび負荷レギュレーション

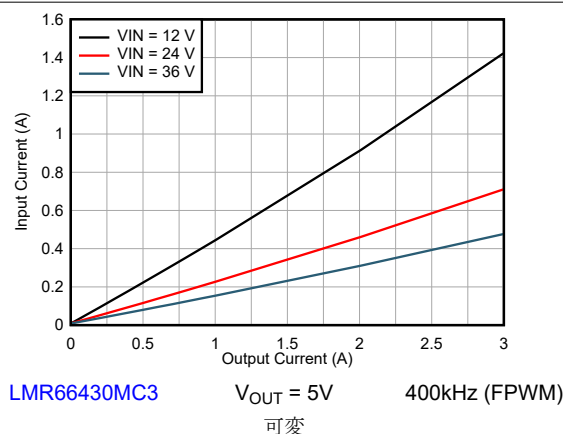


図 8-22. 入力電流と負荷電流との関係

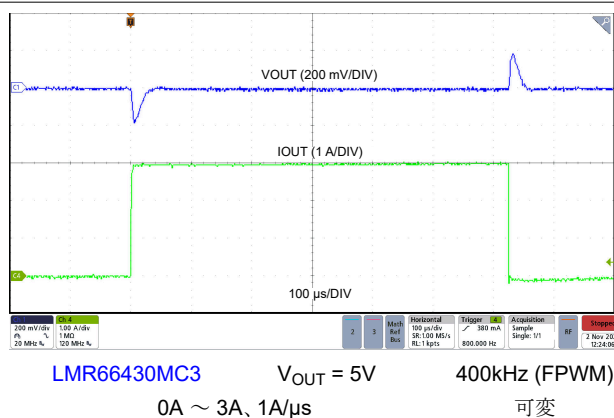


図 8-23. 負荷過渡

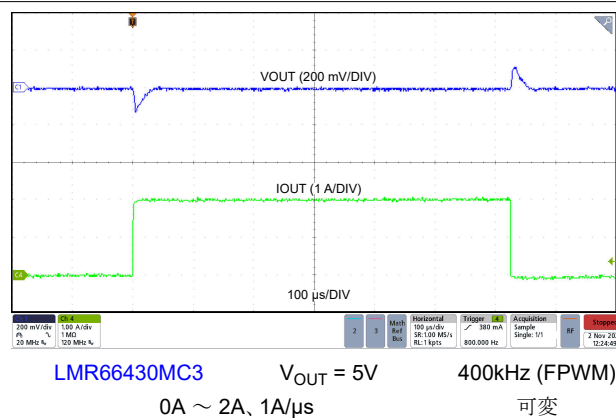


図 8-24. 負荷過渡

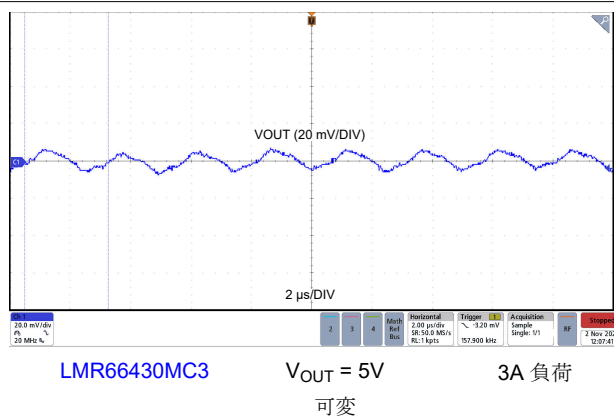


図 8-25. 出力電圧リップル

8.3 設計のベスト プラクティス

- 絶対最大定格を超過してはなりません。
- 推奨動作条件を超過してはなりません。
- ESD 定格を超過してはなりません。
- EN 入力をフローティングにしないでください。
- 出力電圧が入力電圧を超えないように、またグラウンドを下回らないようにしてください。
- 設計を量産用に確定する前に、このデータシートに記載されているすべてのガイドラインと推奨事項に従ってください。テキサス・インスツルメンツのアプリケーション エンジニアが、設計および PCB レイアウトの評価をサポートして、プロジェクトの成功を支援します。

8.4 電源に関する推奨事項

入力電源の特性は、このデータシートに記載されている仕様に適合している必要があります。また、入力電源は、負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流は、式 14 を使って見積もることができます。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (14)$$

ここで、

- η は効率です。

レギュレータを長いワイヤや PCB パターンで入力電源に接続している場合は、良好な性能を実現するために特別な注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、レギュレータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスは、低 ESR セラミック入力コンデンサとの組み合わせによって不足減衰共振回路を形成し、レギュレータへの入力での過電圧過渡の原因となる可能性があります。寄生抵抗は、出力に負荷過渡が加わった際に、VIN ピンの電圧が低下する原因となる可能性があります。アプリケーションが最小入力電圧に近い値で動作している場合、この低下によってレギュレータが瞬間的にシャットダウンし、リセットされる可能性があります。このような問題を解決する最善策は、入力電源からレギュレータまでの距離を制限、またはセラミックと並列にアルミニウムやタンタルの入力コンデンサを使用を計画することです。この種のコンデンサの ESR は比較的低いいため、入力共振回路の減衰およびオーバーシュートの低減に役立ちます。通常、20 μ F ~ 100 μ F の範囲の値は入力のダンピングに十分であり、大きな負荷過渡中も入力電圧を安定した状態にホールドできます。

システムに関するその他の考慮事項として、レギュレータの前に入力フィルタが使われる場合があります。入力フィルタを使用する際は、注意深く設計しないと不安定性になる可能性があり、上述の現象の一因ともなり得ます。『AN-2162 DC/DC コンバータ向け伝導 EMI の簡単な成功事例』ユーザーガイド では、スイッチングレギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

場合によっては、コンバータの入力に過渡電圧サプレッサ (TVS) が使われています。この素子の種類には、スナップバック特性を持つもの (サイリスタ型) があります。このタイプの特性を持つデバイスの使用は推奨しません。このタイプの TVS が作動すると、クランプ電圧は非常に低い値に低下します。この電圧がレギュレータの出力電圧よりも低い場合、出力コンデンサは本デバイスを通して入力に向かって放電します。この制御されない電流は、デバイスに損傷を与える可能性があります。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

DC/DC コンバータの PCB レイアウトは、最適な設計性能を実現するために重要です。PCB レイアウトが不適切な場合、適正な回路図設計の動作の妨げとなる可能性があります。コンバータが適切にレギュレートしている場合でも、PCB レイアウトが不適切では、堅牢な設計と量産できない設計という違いが生じる可能性があります。さらに、レギュレータの EMI 性能は、PCB レイアウトの影響を大きく受けます。降圧コンバータにおける PCB の最も重要な機能は、入力コンデンサと電源グラウンドによって形成されるループです (図 8-26 を参照)。このループには、パターンのインダクタンスに反応して大きな過渡電圧を発生させる可能性がある大きな過渡電流が流れます。これらの望ましくない過渡電圧は、コンバータの正常な動作を妨げます。このことから、寄生インダクタンスを低減するため、このループ内のパターンは広く短くする必要があります。

り、ループの面積はできる限り小さくする必要があります。図 8-27 は、LMR664x0-Q1 の重要な部品の推奨レイアウトを示しています。

- 入力コンデンサは、VIN および GND ピンにできる限り近づけて配置してください。
- VCC のバイパス コンデンサは、VCC ピンの近くに配置します。このコンデンサは、本デバイスの近くに配置し、短く広いパターンで VCC および GND ピンに配線する必要があります。
- 外部 C_{BOOT} コンデンサが必要な場合: C_{BOOT} コンデンサは、デバイスのできる限り近くに、BOOT および SW ピンに短くて幅の広いパターンで配置します。
- 帰還分圧器は、本デバイスの V_{OUT}/FB ピンのできるだけ近くに配置します。 R_{FBB} 、 R_{FBT} 、 C_{FF} は、使用する場合、本デバイスに物理的に近付けて配置します。 V_{OUT}/FB および GND への接続は短くする必要があります。かつ本デバイスのそれらのピンに近付ける必要があります。 V_{OUT} への接続は、多少長くなってもかまいません。ただし、後者のパターンは、レギュレータの帰還経路に静電容量結合する可能性があるすべてのノイズ源 (SW ノードなど) の近くには配線しないでください。
- 内層の 1 つを使って、少なくとも 1 つのグランドプレーンを配置します。このプレーンは、ノイズシールドと放熱経路として機能します。
- VIN、VOUT、GND には広いパターンを使います。コンバータの入力または出力経路でのすべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広くかつ真っすぐにする必要があります。
- 適切なヒートシンクのために十分な PCB 領域を確保します。セクション 8.2.1.2.10 で述べたように、最大負荷電流と周囲温度に応じて、 $R_{\theta JA}$ を低く抑えるには十分な銅面積を使用する必要があります。PCB の上層と下層は 2 オンス銅箔とし、最低でも 1 オンス以上とする必要があります。PCB 設計に複数の銅層を使用している場合は (推奨設計)、これらのサーマルビアも内部層の熱拡散グランドプレーンに接続することができます。
- スwitchングする領域は、小さく保ちます。SW ピンをインダクタに接続する銅箔領域は、できるだけ短くかつ広くします。同時に、放射 EMI を低減するため、このノードの総面積を最小化する必要があります。

その他の重要なガイドラインについては、以下の PCB レイアウト資料を参照してください。

- 『スイッチング電源のレイアウトのガイドライン』アプリケーション レポート
- 『Simple Switcher PCB レイアウト ガイドライン』アプリケーション レポート
- 『独自電源の構築 - レイアウトの考慮事項』セミナー
- 『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』アプリケーション レポート

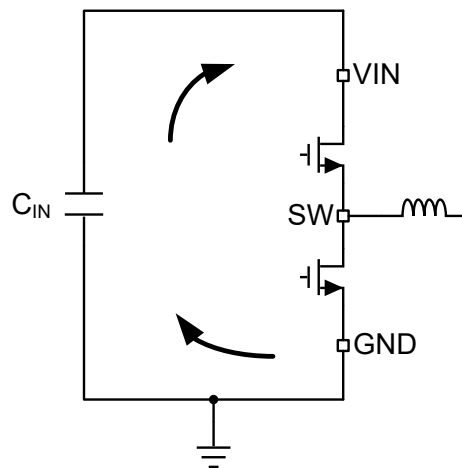


図 8-26. 高速エッジを持つ電流ループ

8.5.1.1 グランドと熱に関する考慮事項

前述のように、テキサス・インスツルメンツでは、中間層の 1 つをソリッド グランド プレーンとして使用することを推奨しています。グランド プレーンは敏感な回路やパターンのシールドとして機能するだけでなく、制御回路の低ノイズ基準電位を提供します。バイパス コンデンサの隣にあるビアを使用して、GND ピンをグランド プレーンに接続します。GND パターン

は、VIN および SW パターンと同様に、グランド プレーンの片方に固定する必要があります。グランド プレーンのもう片方はノイズが非常に少ないため、ノイズの影響を受けやすい配線に使用します。

GND ピンの近くに十分な面積の銅箔を配置することで、適切なデバイス ヒートシンクを設けることを推奨します。レイアウト例については、

図 8-27 を参照してください。システムのグランド プレーンでは、効率の高い放熱のために、レイヤの上下に出来る限り多くの銅を使用します。4 つの層の銅厚が上からそれぞれ 2 オンス、1 オンス、1 オンス、2 オンスとなっている 4 層基板を使用します。十分な厚さの銅箔と適切なレイアウトを備えた 4 層基板は、低インピーダンスの電流導通、適切なシールド効果、低熱抵抗を実現します。

8.5.2 レイアウト例

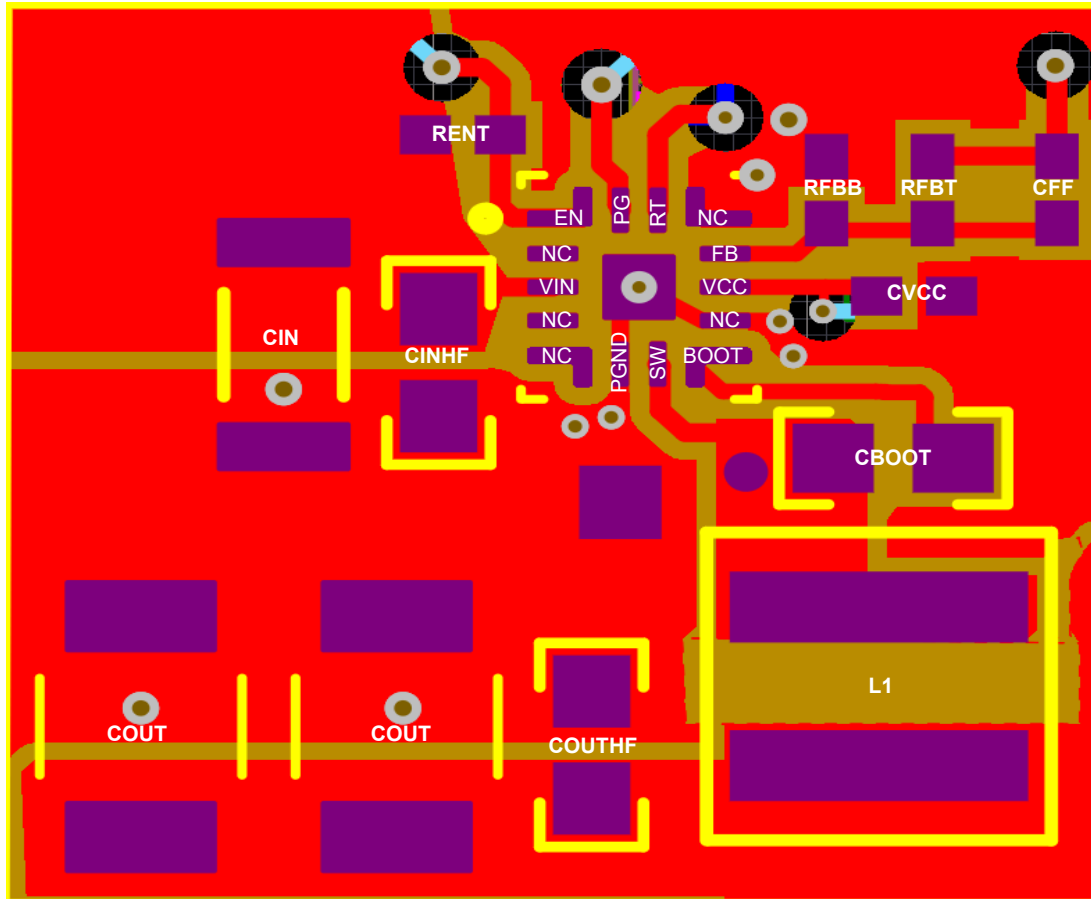


図 8-27. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.1.2 デバイスの命名規則

図 9-1 に、LMR664x0-Q1 のデバイス命名規則を示します。各バリエーションの特長については、[セクション 4](#) を参照してください。他のオプションの詳細と提供状況については、TI の販売代理店または TI の [E2E フォーラム](#) にお問い合わせください。最小注文量が適用されます。

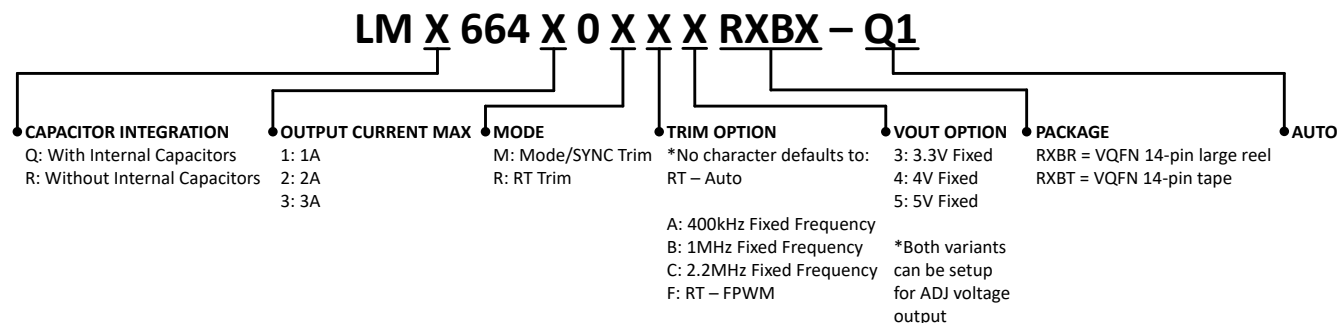


図 9-1. デバイスの命名規則

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『過去ではなく、現在の識見による熱設計』アプリケーション レポート
- テキサス・インスツルメンツ、『露出パッドパッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション レポート
- テキサス・インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション レポート
- テキサス・インスツルメンツ、[LM43603](#) および [LM43602](#) によるシンプルな熱設計アプリケーション レポート
- テキサス・インスツルメンツ、『PowerPAD™ 熱特性強化型パッケージ』アプリケーション レポート
- テキサス・インスツルメンツ、『PowerPAD™ 入門』アプリケーション レポート
- テキサス・インスツルメンツ、新しい熱評価基準の解説アプリケーション レポート
- テキサス・インスツルメンツ、『スイッチング電源のレイアウトのガイドライン』アプリケーション レポート
- テキサス・インスツルメンツ、『Simple Switcher PCB レイアウト ガイドライン』アプリケーション レポート
- テキサス・インスツルメンツ、『独自電源の構築 - レイアウトの考慮事項』セミナー
- テキサス・インスツルメンツ、『[LM4360x](#) および [LM4600x](#) による低放射 EMI レイアウトの簡単な設計』アプリケーション レポート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

9.5 商標

HotRod™, PowerPAD™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2023) to Revision A (June 2025)	Page
• 「デバイスの比較表」に LMR66430R3RXBRQ1 を追加.....	3
• RT ピンを含めるようパッケージのピン配置を更新.....	4
• 電气的特性表 に RT ピン仕様を追加.....	6
• RT ピンを追加.....	12
• 調整可能なスイッチング周波数 (RT 付き) セクションを追加.....	16

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMR66410MC5RXBRQ1	Active	Production	VQFN-FCRLF (RXB) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R1MC5Q
LMR66410MC5RXBRQ1.A	Active	Production	VQFN-FCRLF (RXB) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R1MC5Q
LMR66420MC5RXBRQ1	Active	Production	VQFN-FCRLF (RXB) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R2MC5Q
LMR66420MC5RXBRQ1.A	Active	Production	VQFN-FCRLF (RXB) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R2MC5Q
LMR66430MC3RXBRQ1	Active	Production	VQFN-FCRLF (RXB) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R3MC3Q
LMR66430MC3RXBRQ1.A	Active	Production	VQFN-FCRLF (RXB) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R3MC3Q
LMR66430MC5RXBRQ1	Active	Production	VQFN-FCRLF (RXB) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R3MC5Q
LMR66430MC5RXBRQ1.A	Active	Production	VQFN-FCRLF (RXB) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	R3MC5Q
LMR66430R3RXBRQ1	Active	Production	VQFN-FCRLF (RXB) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LRR3SQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

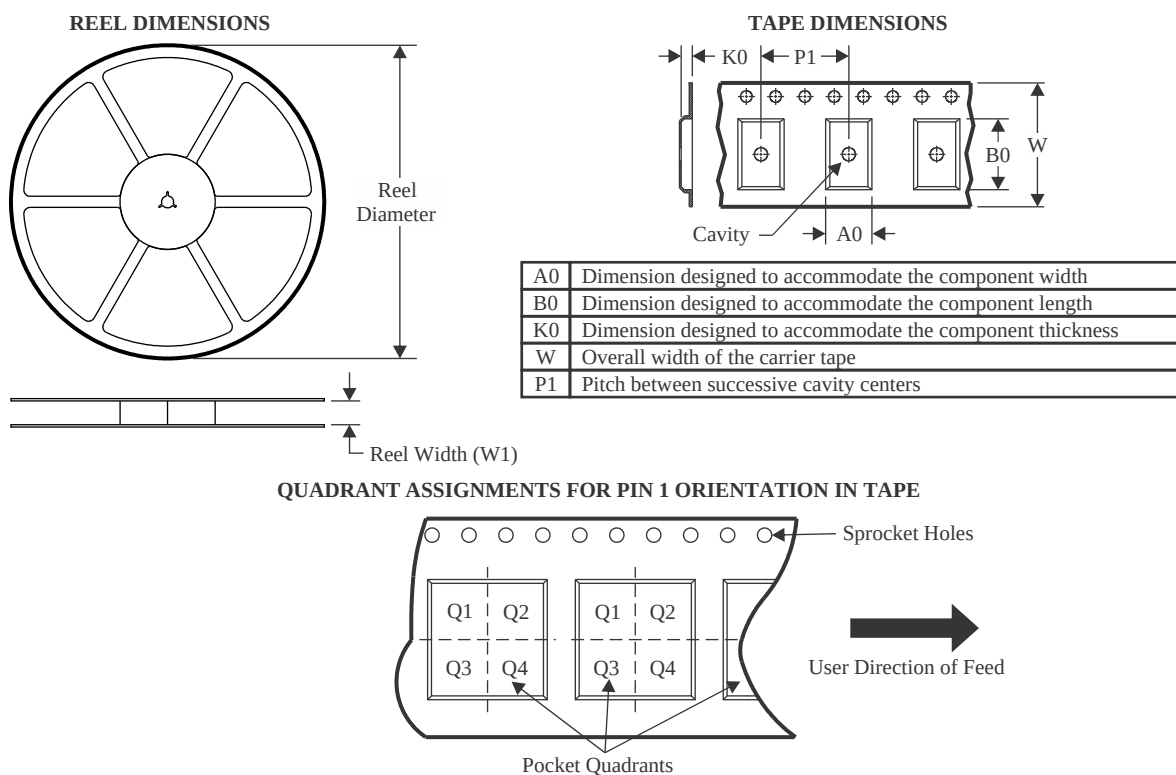
OTHER QUALIFIED VERSIONS OF LMR66410-Q1, LMR66420-Q1, LMR66430-Q1 :

- Catalog : [LMR66410](#), [LMR66420](#), [LMR66430](#)
- Enhanced Product : [LMR66430-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

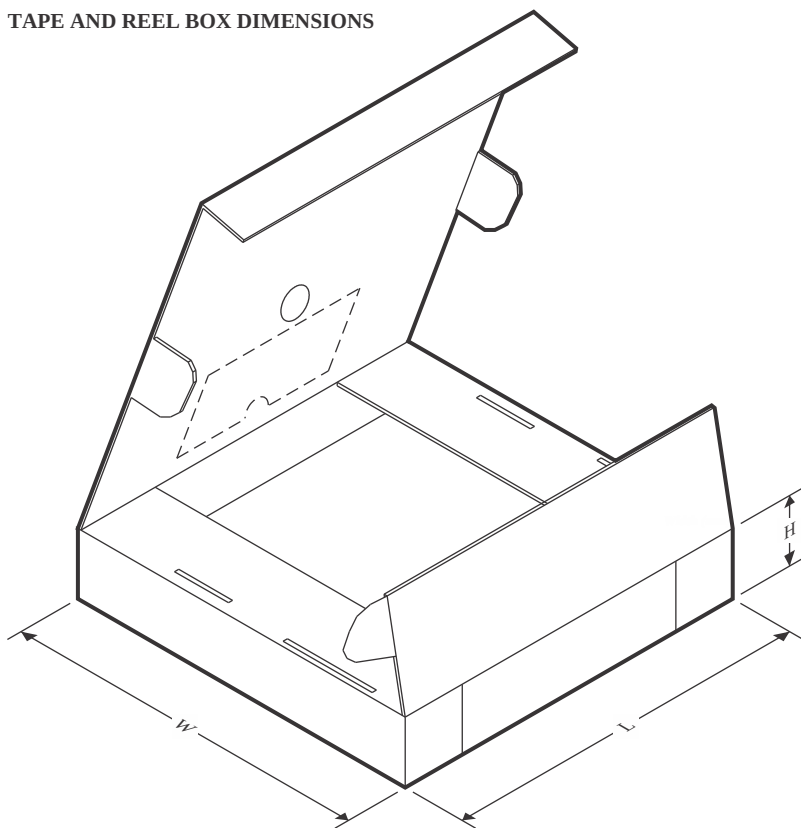
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMR66410MC5RXBRQ1	VQFN-FCRLF	RXB	14	3000	330.0	12.4	2.9	2.9	1.3	8.0	12.0	Q2
LMR66420MC5RXBRQ1	VQFN-FCRLF	RXB	14	3000	330.0	12.4	2.9	2.9	1.3	8.0	12.0	Q2
LMR66430MC3RXBRQ1	VQFN-FCRLF	RXB	14	3000	330.0	12.4	2.9	2.9	1.3	8.0	12.0	Q2
LMR66430MC5RXBRQ1	VQFN-FCRLF	RXB	14	3000	330.0	12.4	2.9	2.9	1.3	8.0	12.0	Q2
LMR66430R3RXBRQ1	VQFN-FCRLF	RXB	14	3000	330.0	12.4	2.9	2.9	1.3	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



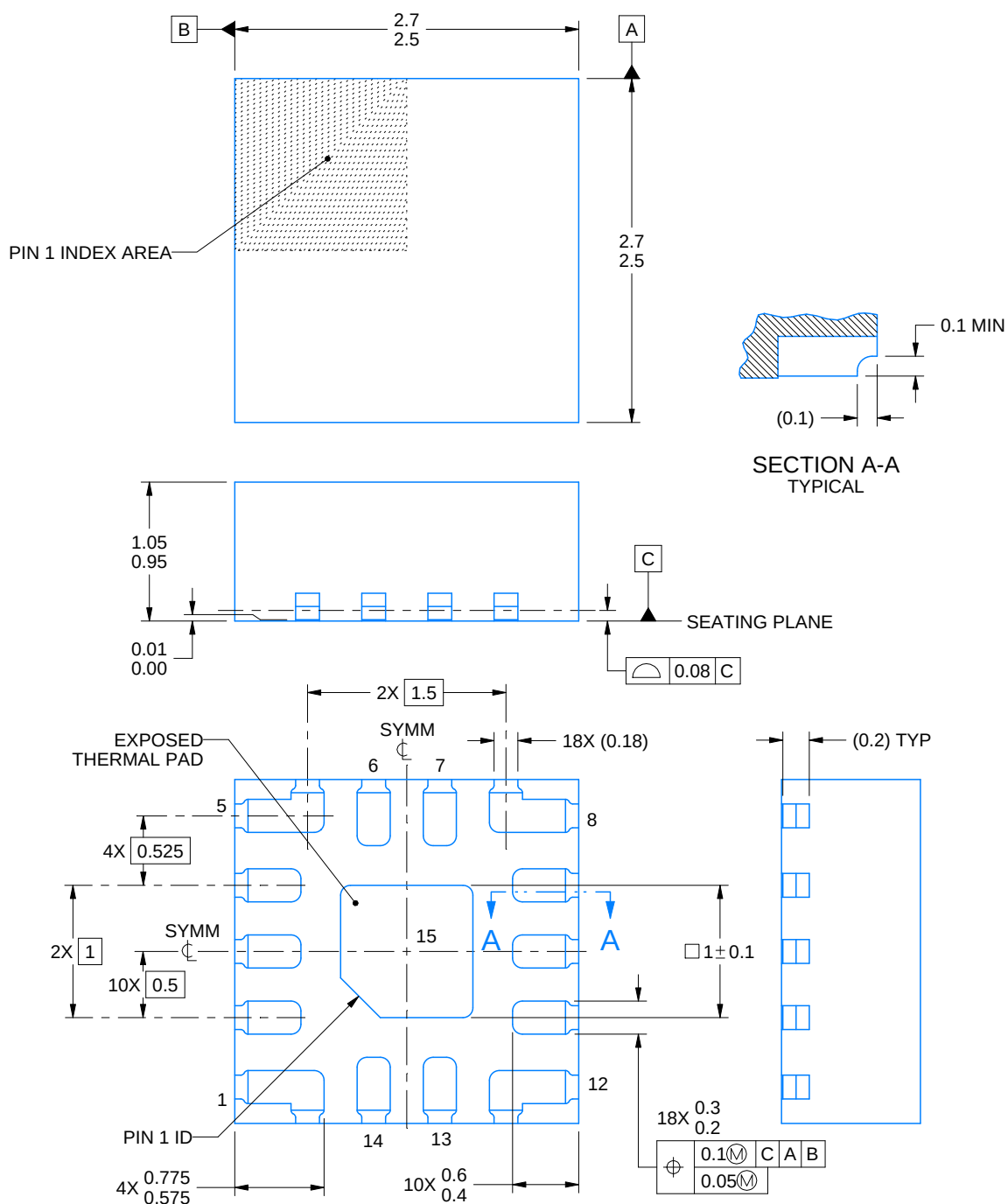
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMR66410MC5RXBRQ1	VQFN-FCRLF	RXB	14	3000	367.0	367.0	35.0
LMR66420MC5RXBRQ1	VQFN-FCRLF	RXB	14	3000	367.0	367.0	35.0
LMR66430MC3RXBRQ1	VQFN-FCRLF	RXB	14	3000	367.0	367.0	35.0
LMR66430MC5RXBRQ1	VQFN-FCRLF	RXB	14	3000	367.0	367.0	35.0
LMR66430R3RXBRQ1	VQFN-FCRLF	RXB	14	3000	367.0	367.0	35.0



VQFN-FCRLF - 1.05 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4225574/C 02/2021

NOTES:

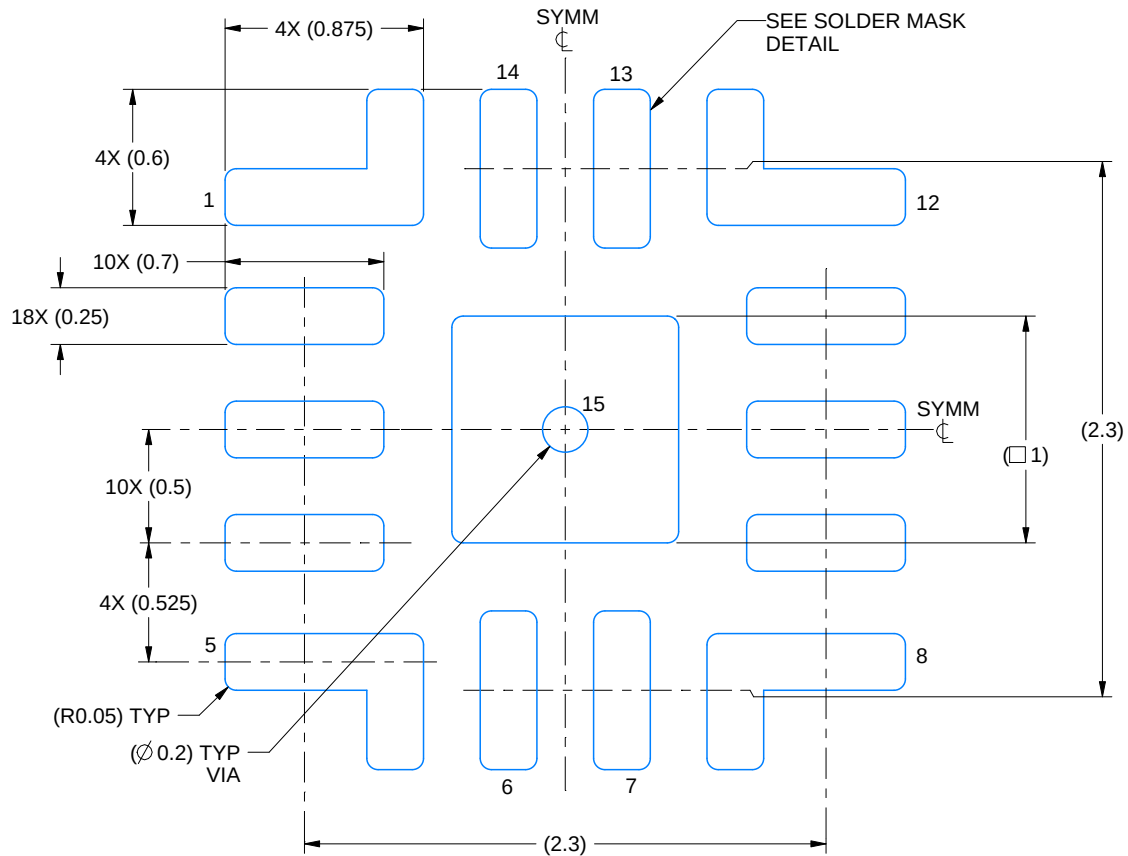
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

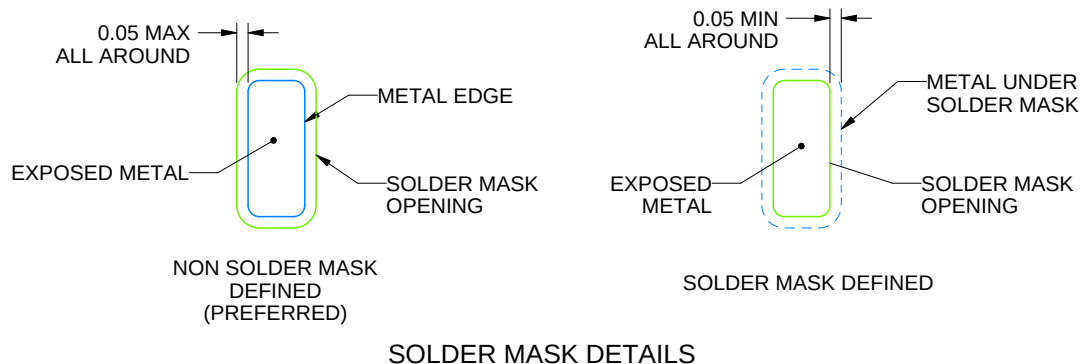
RXB0014A

VQFN-FCRLF - 1.05 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X



4225574/C 02/2021

NOTES: (continued)

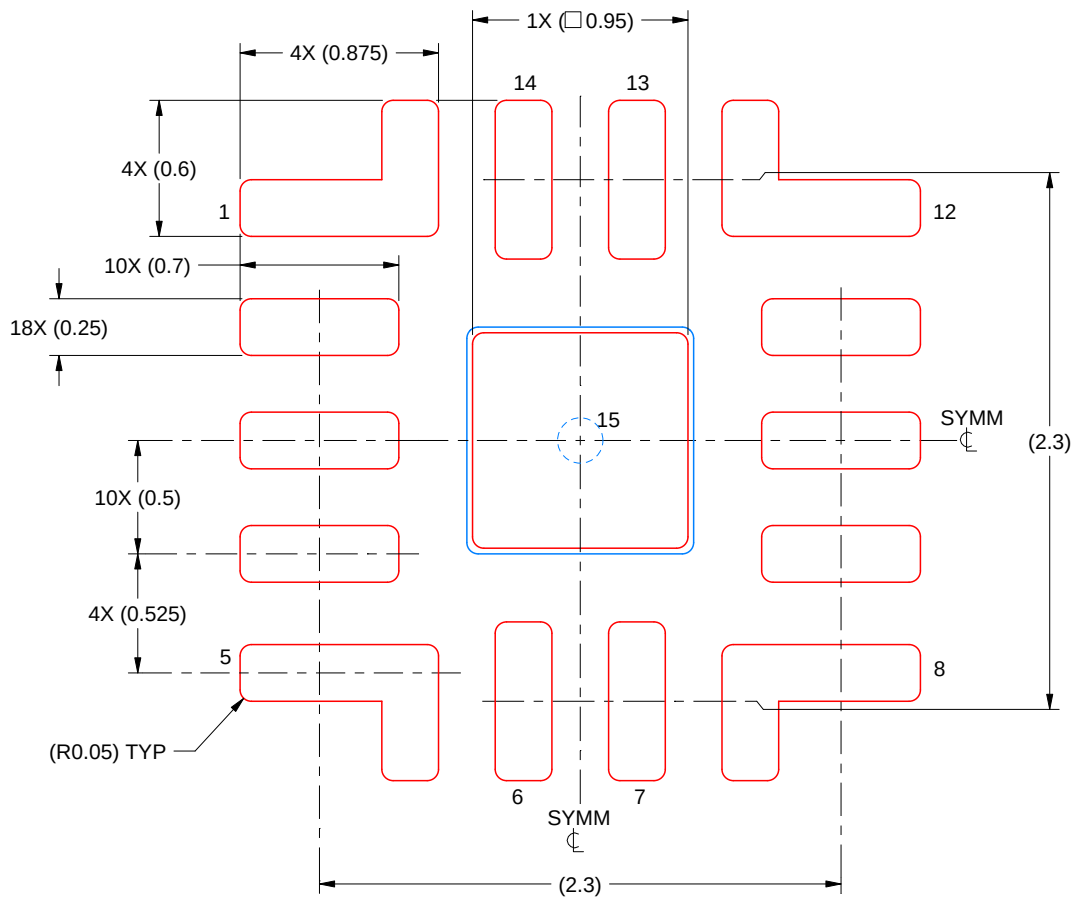
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RXB0014A

VQFN-FCRLF - 1.05 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

EXPOSED PAD 15
90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225574/C 02/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated