LMKDB11xx PCIe 第 1 世代～第 7 世代対応 超低ジッタ LP-HCSL クロックバッファ ファミリ

1 特長

- LP-HCSL クロック バッファおよびクロック マルチプレクサ (以下に対応):
  - PCIe Gen 1～Gen 7
  - CC (共通クロック) および IR (独立リファレンス) PCIe アーキテクチャ
  - SSC あり / なしの入力クロック
- DB2000QL 準拠:
  - すべてのデバイスが DB2000QL 仕様に適合
  - LMKDB1120 は、DB2000QL とピン互換
- 非常に小さい追加ジッタ:
  - 156.25MHz 時の 12kHz～20MHz に対する RMS 追加ジッタ:31fs 以下
  - PCIe Gen 4 の追加ジッタ:13fs 以下
  - PCIe Gen 5 の追加ジッタ:5fs 以下
  - PCIe Gen 6 の追加ジッタ:3fs 以下
  - PCIe Gen 7 の追加ジッタ:2.1fs 以下
- フェイルセーフ入力
- フェイルセーフ出力 (LMKDB1120FS、LMKDB1108FS、LMKDB1104FS のみ)
- 柔軟な電源投入シーケンス
- 自動出力ディスエーブル
- 個別出力イネーブル
- SBI (サイドバンド インターフェイス) による高速出力のイネーブル / ディセーブル
- LOS (信号損失) 入力検出
- 出力インピーダンス:85Ω または 100Ω
- 電源:1.8V/3.3V±10%
- 周囲温度範囲:-40℃～105℃

2 アプリケーション

- 高性能コンピューティング
- サーバー マザーボード
- NIC/SmartNIC
- ハードウェア アクセラレータ

3 説明

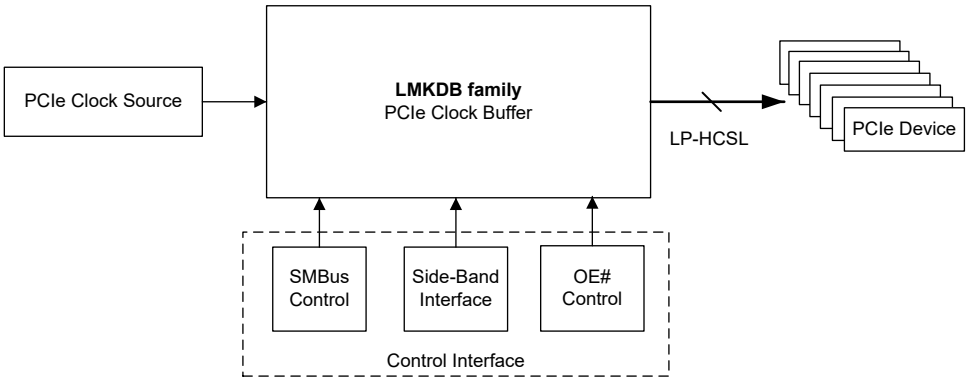
LMKDB デバイスは、PCIe Gen 1 から Gen 7 に対応し、DB2000QL に準拠した、極めて低ジッタの LP-HCSL バッファ ファミリです。このデバイスは、柔軟なパワーアップシーケンス、フェイルセーフ入力、フェイルセーフ出力、各出力における個別の有効/無効ピン、入力信号ロス (LOS) 検出および自動出力無効化機能、さらに優れた電源ノイズ除去性能を備えています。

1.8V と 3.3V の両方の電源電圧に対応しています。LMKDB1120 の場合、1.8V 電源を使用すると、3.3V に比べて 250mW の電力を節減できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMKDB1120 / LMKDB1120FS	NPP (TLGA、80)	6mm × 6mm
LMKDB1108 / LMKDB1108FS	RKP (VQFN、40)	5mm × 5mm
LMKDB1104 / LMKDB1104FS	REX (VQFN、28)	4mm × 4mm
LMKDB1102	REY (VQFN、20)	3mm × 3mm

(1) 供給されているすべてのパッケージについては、セクション 13 を参照してください。
(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



代表的なアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 デバイスの比較.... 3
5 ピン構成および機能.... 4
6 仕様.... 16
6.1 絶対最大定格.... 16
6.2 ESD 定格.... 16
6.3 推奨動作条件.... 16
6.4 熱情報.... 16
6.5 電気的特性.... 17
6.6 SMBus のタイミング要件.... 25
6.7 SBI のタイミング要件.... 25
6.8 タイミング図.... 26
6.9 代表的特性.... 27
7 パラメータ測定情報.... 27
8 詳細説明.... 29
8.1 概要.... 29
8.2 機能ブロック図.... 29
8.3 機能説明.... 30
8.4 デバイスの機能モード.... 35
9 レジスタ マップ.... 39
9.1 LMKDB1120 および LMKDB1120FS レジスタ.... 39
9.2 LMKDB1108 および LMKDB1108FS レジスタ.... 51
9.3 LMKDB1104 および LMKDB1104FS レジスタ.... 61
10 アプリケーションと実装.... 70
10.1 アプリケーション情報.... 70
10.2 代表的なアプリケーション.... 70
10.3 電源に関する推奨事項.... 72
10.4 レイアウト.... 73
11 デバイスおよびドキュメントのサポート.... 75
11.1 ドキュメントのサポート.... 75
11.2 ドキュメントの更新通知を受け取る方法.... 75
11.3 サポート・リソース.... 75
11.4 商標.... 75
11.5 静電気放電に関する注意事項.... 75
11.6 用語集.... 75
12 改訂履歴.... 75
13 メカニカル、パッケージ、および注文情報.... 77

Copyright © 2025 Texas Instruments Incorporated

4 デバイスの比較

表 4-1. デバイスの比較

部品番号	タイプ	入力	出力	出力インピーダンス	特長
LMKDB1120Z85	バッファ	1	20	85 Ω	すべての入力フェイルセーフ
LMKDB1120FS85	バッファ	1	20	85 Ω	すべての入出力はフェイルセーフ
LMKDB1120Z100	バッファ	1	20	100 Ω	すべての入力フェイルセーフ
LMKDB1116Z85 (1)	バッファ	1	16	85 Ω	すべての入力フェイルセーフ
LMKDB1116Z100 (1)	バッファ	1	16	100 Ω	すべての入力フェイルセーフ
LMKDB1113Z85 (1)	バッファ	1	13	85 Ω	すべての入力フェイルセーフ
LMKDB1113Z100 (1)	バッファ	1	13	100 Ω	すべての入力フェイルセーフ
LMKDB1112Z85 (1)	バッファ	1	12	85 Ω	すべての入力フェイルセーフ
LMKDB1112Z100 (1)	バッファ	1	12	100 Ω	すべての入力フェイルセーフ
LMKDB1108Z85	バッファ	1	8	85 Ω	すべての入力フェイルセーフ
LMKDB1108FS85	バッファ	1	8	85 Ω	すべての入出力はフェイルセーフ
LMKDB1108Z100	バッファ	1	8	100 Ω	すべての入力フェイルセーフ
LMKDB1104Z85	バッファ	1	4	85 Ω	すべての入力フェイルセーフ
LMKDB1104FS85	バッファ	1	4	85 Ω	すべての入出力はフェイルセーフ
LMKDB1104Z100	バッファ	1	4	100 Ω	すべての入力フェイルセーフ
LMKDB1102	バッファ	1	2	85Ω または 100Ω を選択可能	すべての入力フェイルセーフ
LMKDB1216 (1)	マルチプレクサ	2	16	85Ω または 100Ω を選択可能	すべての入力フェイルセーフ
LMKDB1208 (1)	マルチプレクサ	2	8	85Ω または 100Ω を選択可能	すべての入力フェイルセーフ
LMKDB1204	マルチプレクサ	2	4	85Ω または 100Ω を選択可能	すべての入力フェイルセーフ
LMKDB1202	マルチプレクサ	2	2	85Ω または 100Ω を選択可能	すべての入力フェイルセーフ

(1) プレビュー版のみ。詳細についてはテキサス・インスツルメンツまでお問い合わせください。

5 ピン構成および機能

図 5-1. LMKDB1120 および LMKDB1120FS 6mm × 6mm NPP パッケージ 80 ピン TLGA 上面図

凡例		
クロック入力	クロック出力	電源
GND	ロジック制御/ステータス	内部接続なし

表 5-1. LMKDB1120 および LMKDB1120FS のピンの機能

ピン		種類[1]	説明
名称[2] [3]	番号		
クロック入力			

Copyright © 2025 Texas Instruments Incorporated

表 5-1. LMKDB1120 および LMKDB1120FS のピンの機能 (続き)

ピン		種類[1]	説明
名称[2] [3]	番号		
CLKIN_P	G1	I	差動クロック入力。
CLKIN_N	H1	I	
クロック出力			
CLK0_P	J1	O	LP-HCSL 差動クロック出力 0。未使用の場合は接続しないでください。
CLK0_N	K1	O	
CLK1_P	L1	O	LP-HCSL 差動クロック出力 1。未使用の場合は接続しないでください。
CLK1_N	M1	O	
CLK2_P	M2	O	LP-HCSL 差動クロック出力 2。未使用の場合は接続しないでください。
CLK2_N	M3	O	
CLK3_P	M4	O	LP-HCSL 差動クロック出力 3。未使用の場合は接続しないでください。
CLK3_N	M5	O	
CLK4_P	M7	O	LP-HCSL 差動クロック出力 4。未使用の場合は接続しないでください。
CLK4_N	M8	O	
CLK5_P	M9	O	LP-HCSL 差動クロック出力 5。未使用の場合は接続しないでください。
CLK5_N	M10	O	
CLK6_P	M11	O	LP-HCSL 差動クロック出力 6。未使用の場合は接続しないでください。
CLK6_N	M12	O	
CLK7_P	L12	O	LP-HCSL 差動クロック出力 7。未使用の場合は接続しないでください。
CLK7_N	K12	O	
CLK8_P	J12	O	LP-HCSL 差動クロック出力 8。未使用の場合は接続しないでください。
CLK8_N	H12	O	
CLK9_P	G12	O	LP-HCSL 差動クロック出力 9。未使用の場合は接続しないでください。
CLK9_N	F12	O	
CLK10_P	D12	O	LP-HCSL 差動クロック出力 10。未使用の場合は接続しないでください。
CLK10_N	C12	O	
CLK11_P	B12	O	LP-HCSL 差動クロック出力 11。未使用の場合は接続しないでください。
CLK11_N	A12	O	
CLK12_P	A11	O	LP-HCSL 差動クロック出力 12。未使用の場合は接続しないでください。
CLK12_N	A10	O	
CLK13_P	A9	O	LP-HCSL 差動クロック出力 13。未使用の場合は接続しないでください。
CLK13_N	A8	O	
CLK14_P	A7	O	LP-HCSL 差動クロック出力 14。未使用の場合は接続しないでください。
CLK14_N	A6	O	
CLK15_P	A5	O	LP-HCSL 差動クロック出力 15。未使用の場合は接続しないでください。
CLK15_N	A4	O	
CLK16_P	A3	O	LP-HCSL 差動クロック出力 16。未使用の場合は接続しないでください。
CLK16_N	A2	O	
CLK17_P	A1	O	LP-HCSL 差動クロック出力 17。未使用の場合は接続しないでください。
CLK17_N	B1	O	
CLK18_P	C1	O	LP-HCSL 差動クロック出力 18。未使用の場合は接続しないでください。
CLK18_N	D1	O	
CLK19_P	E1	O	LP-HCSL 差動クロック出力 19。未使用の場合は接続しないでください。
CLK19_N	F1	O	
電源			

表 5-1. LMKDB1120 および LMKDB1120FS のピンの機能 (続き)

ピン		種類[1]	説明
名称[2] [3]	番号		
VDDA	H2	P	アナログ電源。追加の電源フィルタリングを推奨。詳しくは、セクション 10.3 を参照してください。
VDDCLK	B2、B6、B11、L2、L11	P	出力電源
サーマル パッド (GND)	パッド	G	デバイス グランド、サーマル パッド。
ロジック制御/ステータス			
vOE0#/NC	J2	I	CLK0 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効
vOE1#/NC	K2	I	CLK1 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効
vOE2#/NC	L3	I	CLK2 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効
vOE3#/NC	L6	I	CLK3 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効
vOE4#/NC	L9	I	CLK4 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効
vOE5#/SBI_IN	L8	I	CLK5 を制御するアクティブ Low 入力または SBI データ入力ピン。SBI_EN ピンがこのピンの機能を制御する。内部プルダウン抵抗。 OE モード:0 = 有効出力、1 = 無効出力。 サイドバンド モード:SBI データ入力。
vOE6#/SBI_CLK	L10	I	CLK6 を制御するアクティブ Low 入力または SBI クロック入力ピン。SBI_EN ピンがこのピンの機能を制御する。内部プルダウン抵抗。 OE モード:0 = 有効出力、1 = 無効出力。 サイドバンド モード:SBI クロック入力。
vOE7#	K11	I	CLK7 を制御するアクティブ Low 入力。内部プルダウン抵抗。 0 = 出力有効、1 = 出力無効
vOE8#	H11	I	CLK8 を制御するアクティブ Low 入力。内部プルダウン抵抗。 0 = 出力有効、1 = 出力無効
vOE9#	E12	I	CLK9 を制御するアクティブ Low 入力。内部プルダウン抵抗。 0 = 出力有効、1 = 出力無効
vOE10#/SHFT_LD#	E11	I	CLK10 を制御するアクティブ Low 入力または SBI アクティブ Low シフト レジスタ ロード ピン。SBI_EN ピンがこのピンの機能を制御する。内部プルダウン抵抗。 OE モード:0 = 有効出力、1 = 無効出力。 サイドバンド モード:SBI シフト レジスタ ロード入力。
vOE11#	C11	I	CLK11 を制御するアクティブ Low 入力。内部プルダウン抵抗。 0 = 出力有効、1 = 出力無効
vOE12#	B10	I	CLK12 を制御するアクティブ Low 入力。内部プルダウン抵抗。 0 = 出力有効、1 = 出力無効
vOE13#/NC	B9	I	CLK13 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効

Copyright © 2025 Texas Instruments Incorporated

表 5-1. LMKDB1120 および LMKDB1120FS のピンの機能 (続き)

ピン		種類[1]	説明
名称[2] [3]	番号		
OE14#/NC	B7	I	CLK14 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効
vOE15#/NC	B5	I	CLK15 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効
vOE16#/NC	B3	I	CLK16 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効
vOE17#/NC	D2	I	CLK17 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効
vOE18#/NC	D11	I	CLK18 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効
vOE19#/NC	J11	I	CLK19 を制御するアクティブ Low 入力。内部プルダウン抵抗。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 0 = 出力有効、1 = 出力無効
SBI_OUT/NC	C2	O	SBI データ出力ピン/未接続。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。
vPWRGD/PWRDN#	M6	I	パワー グッド/パワー ダウン アクティブ Low。多機能入力ピン。内部プルアップ抵抗。 最初の Low から High への遷移時に、デバイスを起動する パワー グッド ピンとして機能する その後の Low/High 遷移時には、デバイスをパワーダウン モードに入るまたは解除するための パワー ダウン アクティブ Low ピンとして機能します。 Low = パワーダウンモード High = 通常動作モード
vSBI_EN	E2	I	SBI イネーブル。内部プルダウン抵抗。パワーアップ後はこのピンの状態を変更しないでください。 パワーアップ時に Low の場合 = SBI インターフェイスは無効です。ピン L8、L10、および E11 は OE ピンとして機能します。パワーアップ時に High の場合 = SBI インターフェイスは有効です。ピン L8、L10、および E11 は SBI インターフェイス ピンとして機能します。SMBus およびその他の OE ピンは引き続き動作します。
^vSADR1_tri	B8	I	SMBus アドレス 3 レベル入力ピン。内部プルアップおよびプルダウン抵抗を内蔵しています。
^vSADR0_tri	B4	I	SMBus アドレス 3 レベル入力ピン。内部プルアップおよびプルダウン抵抗を内蔵しています。
LOS#/NC	G11	O	入力クロック信号喪失アクティブ Low/未接続。オープン ドレイン。外部プルアップ抵抗が必要です。DB2000QL のピン配置に合わせるため、このピンは未接続のままにすることが可能です。 Low = 無効な入力クロック。 High = 有効な入力クロック。
SMB_DATA	L4	I/O	SMBus データ。外部プルアップ抵抗が必要です。未使用の場合は接続しないでください。
SMB_CLK	L5	I	SMBus クロック。外部プルアップ抵抗が必要です。未使用の場合は接続しないでください。
NC	F2、F11、G2、L7	NC	未接続。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源、NC = 未接続
(2) 「^」プレフィックスが付いたピンは内部プルアップ抵抗を内蔵しています。「v」プレフィックスが付いたピンは内部プルダウン抵抗を内蔵しています。「^v」プレフィックスが付いたピンは内部プルアップ抵抗と内部プルダウン抵抗の両方を内蔵しており、ピンが未接続の場合は中間レベルが選択されます。「^/v」プレフィックスが付いたピンは、選択された機能に応じて内部プルアップまたはプルダウン抵抗を内蔵しています。
(3) 「#」記号はアクティブ Low を示します。

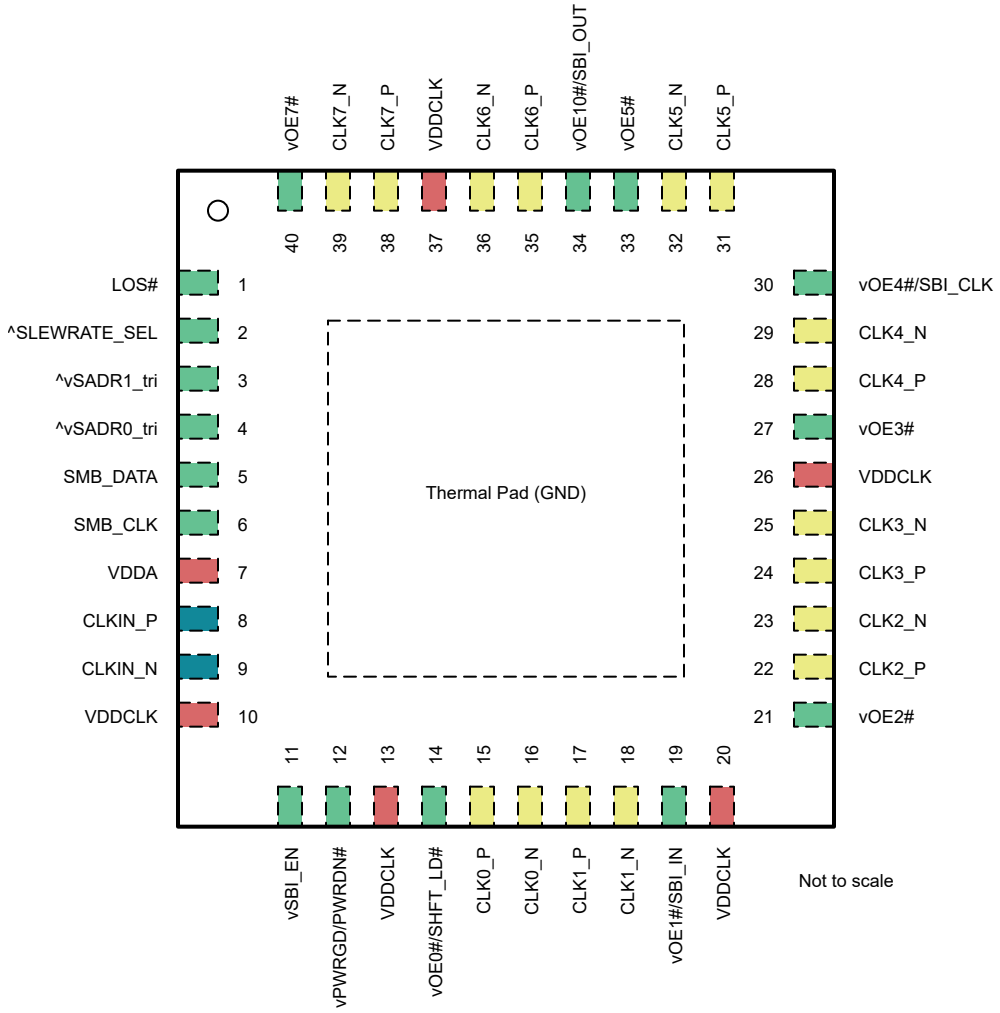


図 5-2. LMKDB1108 および LMKDB1108FS 5mm × 5mm VQFN パッケージ 40 ピン 上面図

凡例		
クロック入力	クロック出力	電源
GND	ロジック制御/ステータス	内部接続なし

表 5-2. LMKDB1108 および LMKDB1108FS のピンの機能

ピン		種類[1]	説明
名称[2] [3]	番号		
クロック入力			
CLKIN_P	8	I	差動クロック入力。
CLKIN_N	9	I	
クロック出力			
CLK0_P	15	O	LP-HCSL 差動クロック出力 0。未使用の場合は接続しないでください。
CLK0_N	16	O	
CLK1_P	17	O	LP-HCSL 差動クロック出力 1。未使用の場合は接続しないでください。
CLK1_N	18	O	
CLK2_P	22	O	LP-HCSL 差動クロック出力 2。未使用の場合は接続しないでください。
CLK2_N	23	O	

Copyright © 2025 Texas Instruments Incorporated

表 5-2. LMKDB1108 および LMKDB1108FS のピンの機能 (続き)

ピン		種類[1]	説明
名称[2] [3]	番号		
CLK3_P	24	O	LP-HCSL 差動クロック出力 3。未使用の場合は接続しないでください。
CLK3_N	25	O	
CLK4_P	28	O	LP-HCSL 差動クロック出力 4。未使用の場合は接続しないでください。
CLK4_N	29	O	
CLK5_P	31	O	LP-HCSL 差動クロック出力 5。未使用の場合は接続しないでください。
CLK5_N	32	O	
CLK6_P	35	O	LP-HCSL 差動クロック出力 6。未使用の場合は接続しないでください。
CLK6_N	36	O	
CLK7_P	38	O	LP-HCSL 差動クロック出力 7。未使用の場合は接続しないでください。
CLK7_N	39	O	
電源			
VDDA	7	P	アナログ電源。追加の電源フィルタリングを推奨。詳しくは、セクション 10.3 を参照してください。
VDDCLK	10、13、20、26、37、	P	出力電源
サーマル パッド (GND)	パッド	G	デバイス グランド、サーマル パッド。
ロジック制御/ステータス			
vOE0#/SHFT_LD#	14	I	CLK0 を制御するアクティブ Low 入力または SBI アクティブ Low シフト レジスタ ロード ピン SBI_EN ピンがこのピンの機能を制御する。内部プルダウン抵抗。OE モード:0 = 有効出力、1 = 無効出力。 サイドバンド モード:SBI ラッチ レジスタ入力。
vOE1#/SBI_IN	19	I	CLK1 を制御するアクティブ Low 入力または SBI データ入力ピン。SBI_EN ピンがこのピンの機能を制御する。内部プルダウン抵抗。OE モード:0 = 有効出力、1 = 無効出力。 サイドバンド モード:SBI データ入力。
vOE2#	21	I	CLK2 を制御するアクティブ Low 入力。内部プルダウン抵抗。 0 = 出力有効、1 = 出力無効
vOE3#	27	I	CLK3 を制御するアクティブ Low 入力。内部プルダウン抵抗。 0 = 出力有効、1 = 出力無効
vOE4#/SBI_CLK	30	I	CLK4 を制御するアクティブ Low 入力または SBI クロック入力ピン SBI_EN ピンがこのピンの機能を制御する。内部プルダウン抵抗。OE モード:0 = 有効出力、1 = 無効出力。 サイドバンド モード:SBI クロック入力。
vOE5#	33	I	CLK5 を制御するアクティブ Low 入力。内部プルダウン抵抗。 0 = 出力有効、1 = 出力無効
vOE10#/SBI_OUT	34	I または O	CLK6 を制御するアクティブ Low 入力または SBI データ出力ピン内部プルダウン抵抗。SBI_EN ピンがこのピンの機能を制御する。 OE モード:0 = 有効出力、1 = 無効出力。 SBI モード:SBI シフト レジスタ データ出力。
vOE7#	40	I	CLK7 を制御するアクティブ Low 入力。内部プルダウン抵抗。 0 = 出力有効、1 = 出力無効
vPWRGD/PWRDN#	12	I	パワー グッド/パワー ダウン アクティブ Low。多機能入力ピン。内部プルダウン抵抗。 最初の Low から High への遷移時に、デバイスを起動する パワー グッド ピンとして機能する その後の Low/High 遷移時には、デバイスをパワーダウン モードに入るまたは解除するための パワー ダウン アクティブ Low ピンとして機能します。 Low = パワーダウンモード High = 通常動作モード

表 5-2. LMKDB1108 および LMKDB1108FS のピンの機能 (続き)

ピン		種類[1]	説明
名称[2] [3]	番号		
vSBI_EN	11	I	SBI イネーブル。内部プルダウン抵抗。パワーアップ後はこのピンの状態を変更しないでください。 パワーアップ時に Low の場合 = SBI インターフェイスは無効です。ピン 20、32、48、および 55 は OE ピンとして機能します。 パワーアップ時に High の場合 = SBI インターフェイスは有効です。ピン 20、32、48、および 55 は SBI インターフェイス ピンとして機能します。SMBus およびその他の OE ピンは引き続き動作します。
^vSADR1_tri	3	I	SMBus アドレス 3 レベル入力ピン。内部プルアップおよびプルダウン抵抗を内蔵しています。
^vSADR0_tri	4	I	SMBus アドレス 3 レベル入力ピン。内部プルアップおよびプルダウン抵抗を内蔵しています。
^SLEWRATE_SEL	2	I	LP-HCSL 差動クロック出力のスルーレート選択ピン。内部プルアップ抵抗。 Low = 低速スルーレート。 High = 高速スルーレート。
LOS#	1	O	入力クロック信号喪失アクティブ Low/未接続。オープン ドレイン。外部プルアップ抵抗が必要です。 Low = 無効な入力クロック。 High = 有効な入力クロック。
SMB_DATA	5	I/O	SMBus データ。外部プルアップ抵抗が必要です。未使用の場合は接続しないでください。
SMB_CLK	6	I	SMBus クロック。外部プルアップ抵抗が必要です。未使用の場合は接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源、NC = 未接続
(2) 「^」プレフィックスが付いたピンは内部プルアップ抵抗を内蔵しています。「v」プレフィックスが付いたピンは内部プルダウン抵抗を内蔵しています。「^v」プレフィックスが付いたピンは内部プルアップ抵抗と内部プルダウン抵抗の両方を内蔵しており、ピンが未接続の場合は中間レベルが選択されます。
(3) 「#」記号はアクティブ Low を示します。

Copyright © 2025 Texas Instruments Incorporated

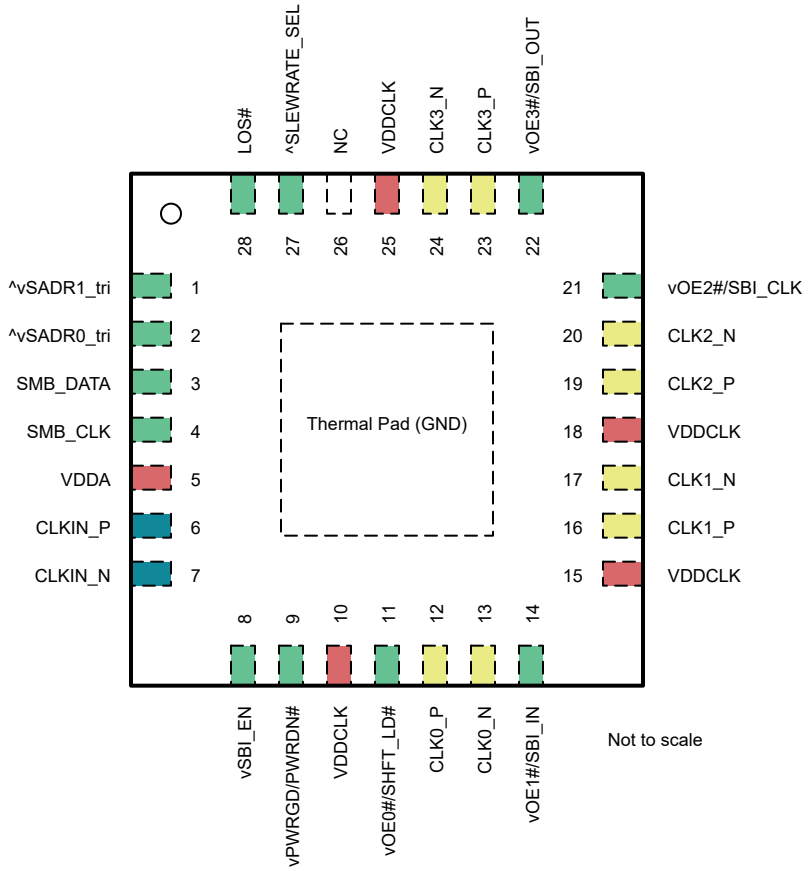


図 5-3. LMKDB1104 および LMKDB1104FS 4mm × 4mm VQFN パッケージ 28 ピン 上面図

凡例		
クロック入力	クロック出力	電源
GND	ロジック制御/ステータス	内部接続なし

表 5-3. LMKDB1104 および LMKDB1104FS のピンの機能

ピン		種類[1]	説明
名称[2] [3]	番号		
クロック入力			
CLKIN_P	6	I	差動クロック入力。
CLKIN_N	7	I	
クロック出力			
CLK0_P	12	O	LP-HCSL 差動クロック出力 0。未使用の場合は接続しないでください。
CLK0_N	13	O	
CLK1_P	16	O	LP-HCSL 差動クロック出力 1。未使用の場合は接続しないでください。
CLK1_N	17	O	
CLK2_P	19	O	LP-HCSL 差動クロック出力 2。未使用の場合は接続しないでください。
CLK2_N	20	O	
CLK3_P	23	O	LP-HCSL 差動クロック出力 3。未使用の場合は接続しないでください。
CLK3_N	24	O	
電源			
VDDA	5	P	アナログ電源。追加の電源フィルタリングを推奨。詳しくは、セクション 10.3 を参照してください。

表 5-3. LMKDB1104 および LMKDB1104FS のピンの機能 (続き)

ピン		種類[1]	説明
名称[2] [3]	番号		
VDDCLK	10、15、18、25	P	出力電源
サーマル パッド (GND)	パッド	G	デバイス グランド、サーマル パッド。
ロジック制御/ステータス			
vOE0#/SHFT_LD#	11	I	CLK0 を制御するアクティブ Low 入力または SBI アクティブ Low シフト レジスタ ロード ピン SBI_EN ピンがこのピンの機能を制御する。内部プルダウン抵抗。OE モード:0 = 有効出力、1 = 無効出力。 サイドバンド モード:SBI ラッチ レジスタ入力。
vOE1#/SBI_IN	14	I	CLK1 を制御するアクティブ Low 入力または SBI データ入力ピン。SBI_EN ピンがこのピンの機能を制御する。内部プルダウン抵抗。OE モード:0 = 有効出力、1 = 無効出力。 サイドバンド モード:SBI データ入力。
vOE2#/SBI_CLK	21	I	CLK2 を制御するアクティブ Low 入力または SBI クロック入力ピン SBI_EN ピンがこのピンの機能を制御する。内部プルダウン抵抗。OE モード:0 = 有効出力、1 = 無効出力。 サイドバンド モード:SBI クロック入力。
vOE3#/SBI_OUT	22	I または O	CLK3 を制御するアクティブ Low 入力または SBI データ出力ピン内部プルダウン抵抗。SBI_EN ピンがこのピンの機能を制御する。 OE モード:0 = 有効出力、1 = 無効出力。 SBI モード:SBI シフト レジスタ データ出力。
vPWRGD/PWRDN#	9	I	パワー グッド/パワー ダウン アクティブ Low。多機能入力ピン。内部プルダウン抵抗。 最初の Low から High への遷移時に、デバイスを起動する パワー グッド ピンとして機能する その後の Low/High 遷移時には、デバイスをパワーダウン モードに入るまたは解除するための パワー ダウン アクティブ Low ピンとして機能します。 Low = パワーダウンモード High = 通常動作モード
vSBI_EN	8	I	SBI イネーブル。内部プルダウン抵抗。パワーアップ後はこのピンの状態を変更しないでください。 パワーアップ時に Low の場合 = SBI インターフェイスは無効です。ピン 20、32、48、および 55 は OE ピンとして機能します。 パワーアップ時に High の場合 = SBI インターフェイスは有効です。ピン 20、32、48、および 55 は SBI インターフェイス ピンとして機能します。SMBus およびその他の OE ピンは引き続き動作します。
^vSADR1_tri	1	I	SMBus アドレス 3 レベル入力ピン。内部プルアップおよびプルダウン抵抗を内蔵しています。
^vSADR0_tri	2	I	SMBus アドレス 3 レベル入力ピン。内部プルアップおよびプルダウン抵抗を内蔵しています。
^SLEWRATE_SEL	27	I	LP-HCSL 差動クロック出力のスルーレート選択ピン。内部プルアップ抵抗。 Low = 低速スルーレート。 High = 高速スルーレート。
LOS#	28	O	入力クロック信号喪失アクティブ Low/未接続。オープン ドレイン。外部プルアップ抵抗が必要です。 Low = 無効な入力クロック。 High = 有効な入力クロック。
SMB_DATA	3	I/O	SMBus データ。外部プルアップ抵抗が必要です。未使用の場合は接続しないでください。
SMB_CLK	4	I	SMBus クロック。外部プルアップ抵抗が必要です。未使用の場合は接続しないでください。
NC	26	NC	未接続。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源、NC = 未接続
(2) 「^」プレフィックスが付いたピンは内部プルアップ抵抗を内蔵しています。「v」プレフィックスが付いたピンは内部プルダウン抵抗を内蔵しています。「^v」プレフィックスが付いたピンは内部プルアップ抵抗と内部プルダウン抵抗の両方を内蔵しており、ピンが未接続の場合は中間レベルが選択されます。

Copyright © 2025 Texas Instruments Incorporated

(3) 「#」記号はアクティブ Low を示します。

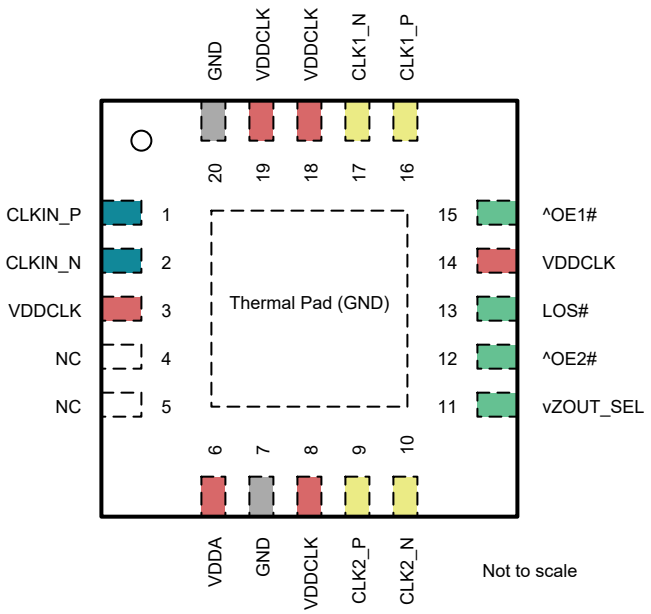


図 5-4. LMKDB1102 3mm × 3mm VQFN パッケージ 20 ピン 上面図

凡例		
クロック入力	クロック出力	電源
GND	ロジック制御/ステータス	内部接続なし

表 5-4. LMKDB1102 のピンの機能

ピン		種類[1]	説明
名称[2] [3]	番号		
クロック入力			
CLKIN_P	1	I	差動クロック入力。
CLKIN_N	2	I	
クロック出力			
CLK1_P	16	O	LP-HCSL 差動クロック出力 1。未使用の場合は接続しないでください。
CLK1_N	17	O	
CLK2_P	9	O	LP-HCSL 差動クロック出力 2。未使用の場合は接続しないでください。
CLK2_N	10	O	
電源			
VDDA	6	P	アナログ電源。追加の電源フィルタリングを推奨。詳しくは、セクション 10.3 を参照してください。
VDDCLK	3、8、14、18、19	P	出力電源
GND	7、20	G	デバイス グランド、サーマル パッド。
サーマル パッド (GND)	パッド	G	デバイス グランド、サーマル パッド。
ロジック制御/ステータス			
^OE1#	15	I	CLK1 を制御するアクティブ Low 入力。内部プルアップ抵抗。 0 = 出力有効、1 = 出力無効

Copyright © 2025 Texas Instruments Incorporated

表 5-4. LMKDB1102 のピンの機能 (続き)

ピン		種類[1]	説明
名称[2] [3]	番号		
^OE2#	12	I	CLK2 を制御するアクティブ Low 入力。内部プルアップ抵抗。 0 = 出力有効、1 = 出力無効
LOS#	13	O	入力クロック信号喪失アクティブ Low/未接続。オープン ドレイン。外部プルアップ抵抗が必要です。 Low = 無効な入力クロック。 High = 有効な入力クロック。
vZOUT_SEL	11	I	LP-HCSL 差動クロック出力のインピーダンス選択。内部プルダウン抵抗。 Low = 85Ω。 High = 100Ω。
NC	4、5	NC	未接続。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源、NC = 未接続
(2) 「^」プレフィックスが付いたピンは内部プルアップ抵抗を内蔵しています。「v」プレフィックスが付いたピンは内部プルダウン抵抗を内蔵しています。「^v」プレフィックスが付いたピンは内部プルアップ抵抗と内部プルダウン抵抗の両方を内蔵しており、ピンが未接続の場合は中間レベルが選択されます。
(3) 「#」記号はアクティブ Low を示します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

		最小値	最大値	単位
V_{DDx}	任意の VDD ピンの供給電圧	-0.3	3.63	V
V_{IN}	CLKIN およびデジタル入力ピンの入力電圧	-0.3	3.63	V
I_{OUT}	出力電流 - 連続 (CLKOUT)		30	mA
	出力電流 - 連続 (SMB_DATA、SBI_OUT)		25	mA
	出力電流 - サージ (CLKOUT)		60	mA
	出力電流 - サージ (SMB_DATA、SBI_OUT)		50	mA
T_S	保存温度	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 [(1)]	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [(2)]	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
T_J	接合部温度			125	℃
T_A	周囲温度	-40		105	℃
V_{DD}	電源電圧	2.97	3.3	3.6	V
		1.71	1.8	1.89	V
V_{IN}	CLKIN およびデジタル入力ピンの入力電圧	-0.3		3.6	V
t_{ramp}	電源立ち上げ時間	0.05		5	ms

6.4 熱情報

パッケージ	ピン	熱評価基準[(1)]						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
NPP0080 (TLGA)	80	33.1	31.9	16.2	0.5	16.0	1.8	℃/W
RKP0040 (VQFN)	40	33.6	24.6	13.8	0.4	13.7	4.2	℃/W
REX0028 (VQFN)	28	44.2	36.8	20.6	0.9	20.6	5.9	℃/W
REY0020 (VQFN)	20	46.4	50.4	20.3	1.1	20.3	6.5	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
クロック入力の要件						
$V_{IN, cross}$	クロック入力クロッシング ポイントの電圧		100		1400	mV
DC_{IN}	クロック入力デューティ サイクル		45		55	%
V_{IN}	差動クロック入力振幅 (差動ピーク・ピーク電圧の半分)	f_0 ≤ 300MHz	200		2000	mV
		300MHz < f_0 ≤ 400MHz	250		2000	mV
dV_{IN}/dt	クロックの入力スルーレート	差動波形の -150mV から +150mV までを基準に測定	0.6			V/ns
クロック出力の特性 - 100MHz 85Ω PCIe						
$V_{OH,AC}$	出力電圧 High	DB2000QL AC テスト負荷[6]	670		820	mV
$V_{OL,AC}$	出力電圧 Low		-100		100	mV
$V_{max,AC}$	出力最大電圧 (オーバーシュートを含む)		670		920	mV
$V_{min,AC}$	出力最小電圧 (アンダーシュートを含む)		-100		100	mV
$V_{OH,DC}$	DC テスト負荷時の出力高電圧	DB2000QL DC テスト負荷[2]	225		270	mV
$V_{OL,DC}$	DC テスト負荷時の出力低電圧		10		150	mV
$V_{ovs,DC}$	DC テスト負荷時の出力オーバーシュート電圧				75	mV
$V_{uds,DC}$	DC テスト負荷時の出力アンダーシュート電圧		-75			mV
Z_{diff}	差動出力インピーダンス	V_{OL}/V_{OH} にて測定、V_{DD} = 3.3V	80.75	85	89.25	Ω
		V_{OL}/V_{OH} にて測定、V_{DD} = 1.8V	81	85	90	Ω
$Z_{diff-crossing}$	差動出力インピーダンス - クロッシング	遷移中に測定	68	85	102	Ω
dV/dt	出力スルーレート	差動波形の -150mV から +150mV までを基準に測定します。最小スルーレート[6] [7]	1.5		2.2	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。低速スルーレート[6] [7]	1.8		2.6	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。高スルーレート (デフォルト)[6] [7]	2		2.9	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。最大スルーレート[6] [7]	2.4		4	V/ns
ΔdV/dt	立ち上がりエッジレートと立ち下がりエッジレートの一致	DB2000QL AC テスト負荷[6]			10	%
DCD	デューティ サイクルの歪み	差動波形上で測定します。入力デューティ サイクル = 50%[6]	-1		1	%
$V_{cross,AC}$	絶対交差点電圧	DB2000QL AC テスト負荷[6]	250		550	mV
$V_{cross,DC}$	絶対交差点電圧	DB2000QL DC テスト負荷[2]	130		200	mV
$\Delta V_{cross,AC}$	クロック エッジ全体における V_{cross} の変動	DB2000QL AC テスト負荷[6]			140	mV
$\Delta V_{cross-DC}$	クロック エッジ全体における V_{cross} の変動	DB2000QL DC テスト負荷[2]			35	mV
$\|V_{RB}\|$	PCIe で定義されるリンギング バック電圧の絶対値	DB2000QL AC テスト負荷[6]	100			mV
t_{stable}	V_{RB} が許容されるまでの時間	DB2000QL AC テスト負荷[6]	500			ps
クロック出力の特性 - 100MHz 100Ω PCIe						
V_{max}	オーバーシュートを含む出力電圧 High	PCIe AC テスト負荷[1]	670		920	mV

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{min}	アンダーシュートを含む出力低電圧	PCIe AC テスト負荷[1]	-100		100	mV
V_{OH}	出力電圧 High	PCIe AC テスト負荷[1]	670		820	mV
V_{OL}	出力電圧 Low	PCIe AC テスト負荷[1]	-100		100	mV
Z_{diff}	差動出力 DC インピーダンス	V_{DD} = 3.3V	95	100	105	Ω
		V_{DD} = 1.8V	95	100	105	Ω
dV/dt	出力スルーレート	差動波形の -150mV から +150mV までを基準に測定します。最小スルーレート[1] [7]	1.5		2.2	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。低速スルーレート[1] [7]	1.8		2.6	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。高速スルーレート[1] [7]	2		2.9	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。最大スルーレート[1] [7]	2.4		4	V/ns
ΔdV/dt	立ち上がりエッジレートと立ち下がりエッジレートの一致	PCIe AC テスト負荷[1]			10	%
DCD	デューティ サイクルの歪み	差動波形上で測定します。入力デューティ サイクル = 50%[1]	-1		1	%
V_{cross}	絶対交差点電圧	PCIe AC テスト負荷[1]	250		550	mV
ΔV_{cross}	クロック エッジ全体における V_{cross} の変動	PCIe AC テスト負荷[1]			140	mV
$\|V_{RB}\|$	PCIe で定義されるリンギング バック電圧の絶対値	PCIe AC テスト負荷[1]	100			mV
t_{stable}	V_{RB} が許容されるまでの時間	PCIe AC テスト負荷[1]	500			ps
クロック出力の特性 - 非 PCIe						
V_{OH}	出力電圧 High	出力スイングを 800mV に設定。f_0 = 156.25MHz または 312.5MHz	720		880	mV
V_{OL}	出力電圧 Low		-120		120	mV
V_{OH}	出力電圧 High	出力スイングを 900mV に設定。f_0 = 156.25MHz または 312.5MHz	780		980	mV
V_{OL}	出力電圧 Low		-120		120	mV
t_R、t_F	シングルエンド波形の立上り/立下り時間 (20%～80%)	出力スイングを 800mV に設定。最速スルーレート。f_0 = 156.25MHz または 312.5MHz			340	ps
		出力スイングを 900mV に設定。最速スルーレート。f_0 = 156.25MHz または 312.5MHz			370	ps
DCD	デューティ サイクルの歪み	入力デューティ サイクル = 50%	-1		1	%
クロック出力の特性 - 100MHz 85Ω PCIe (LMKDB1120FS、LMKDB1108FS、LMKDB1104FS)						
$V_{OH,AC}$	出力電圧 High	DB2000QL AC テスト負荷[6]	670		820	mV
$V_{OL,AC}$	出力電圧 Low		-100		100	mV
$V_{max,AC}$	出力最大電圧 (オーバーシュートを含む)		670		920	mV
$V_{min,AC}$	出力最小電圧 (アンダーシュートを含む)		-100		100	mV
$V_{OH,DC}$	DC テスト負荷時の出力高電圧	DB2000QL DC テスト負荷[2]	225		270	mV
$V_{OL,DC}$	DC テスト負荷時の出力低電圧		10		150	mV
$V_{ovs,DC}$	DC テスト負荷時の出力オーバーシュート電圧				75	mV
$V_{uds,DC}$	DC テスト負荷時の出力アンダーシュート電圧		-75			mV
Z_{diff}	差動出力インピーダンス	V_{OL}/V_{OH} にて測定、V_{DD} = 3.3V	80.75	85	89.25	Ω
		V_{OL}/V_{OH} にて測定、V_{DD} = 1.8V	81	85	90	Ω

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
Z_{diff}	差動出力インピーダンス	V_{OL}/V_{OH} にて測定、V_{DD} = 3.3 V、T_A= 0℃ ～ 105℃	80.75	85	89.25	Ω
		V_{OL}/V_{OH} にて測定、V_{DD} = 1.8 V、T_A= 0℃ ～ 105℃	81	85	90	Ω
Z_{diff}	差動出力インピーダンス	最小スイング、V_{DD} = 3.3V	80		88.5	Ω
Z_{diff}	差動出力インピーダンス	最大スイング、V_{DD} = 3.3V	86.5		106.5	Ω
Z_{diff}	差動出力インピーダンス	最小スイング、V_{DD} = 1.8V	80		89	Ω
Z_{diff}	差動出力インピーダンス	最大スイング、V_{DD} = 1.8V	88		112.5	Ω
$Z_{diff-crossing}$	差動出力インピーダンス - クロッシング	遷移中に測定	68	85	102	Ω
dV/dt	出力スルーレート	最小スイング。デフォルトのスルーレートの設定	2.4		2.85	V/ns
dV/dt	出力スルーレート	最大スイング。デフォルトのスルーレートの設定	3.5		4.8	V/ns
dV/dt	出力スルーレート	差動波形の -150mV から +150mV までを基準に測定します。最小スルーレート(6) (7)	1.3		2.2	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。低速スルーレート(6) (7)	2.5		3	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。高スルーレート (デフォルト)(6) (7)	3		3.5	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。最大スルーレート(6) (7)	2.4		4	V/ns
ΔdV/dt	立ち上がりエッジレートと立ち下がりエッジレートの一致	DB2000QL AC テスト負荷(6)			10	%
DCD	デューティ サイクルの歪み	差動波形上で測定します。入力デューティ サイクル = 50%(6)	-1		1	%
$V_{cross,AC}$	絶対交差点電圧	DB2000QL AC テスト負荷(6)	250		550	mV
$V_{cross,DC}$	絶対交差点電圧	DB2000QL DC テスト負荷(2)	130		200	mV
$\Delta V_{cross,AC}$	クロック エッジ全体における V_{cross} の変動	DB2000QL AC テスト負荷(6)			140	mV
$\Delta V_{cross-DC}$	クロック エッジ全体における V_{cross} の変動	DB2000QL DC テスト負荷(2)			35	mV
$\|V_{RB}\|$	PCIe で定義されるリンギング バック電圧の絶対値	DB2000QL AC テスト負荷(6)	100			mV
V_{RB}	DB800ZL で定義されるリンギング バック電圧	DB2000QL AC テスト負荷(6)	-200		200	mV
t_{stable}	V_{RB} が許容されるまでの時間	DB2000QL AC テスト負荷(6)	500			ps
クロック出力の特性 - 非 PCIe (LMKDB1120FS、LMKDB1108FS、LMKDB1104FS)						
V_{OH}	出力電圧 High	出力スイングを 800mV に設定。f_0 = 156.25MHz または 312.5MHz	720		890	mV
V_{OL}	出力電圧 Low		-120		120	mV
V_{OH}	出力電圧 High	出力スイングを 900mV に設定。f_0 = 156.25MHz または 312.5MHz	780		980	mV
V_{OL}	出力電圧 Low		-120		120	mV
t_R、t_F	シングルエンド波形の立上り/立下り時間 (20%～80%)	出力スイングを 800mV に設定。最速スルーレート。f_0 = 156.25MHz または 312.5MHz			402	ps
		出力スイングを 900mV に設定。最速スルーレート。f_0 = 156.25MHz または 312.5MHz			419	ps

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DCD	デューティ サイクルの歪み	入力デューティ サイクル = 50%	-1		1	%
周波数およびタイミング特性						
f_0	動作周波数	自動出力無効化機能が無効	1		400	MHz
		自動出力無効化機能が有効	25		400	MHz
$t_{startup}$	起動時間	コールド スタート。VDD が有効 (最終 VDD の 90%) になってから出力クロックが安定するまでの測定値[3]。VDD が有効になる前に入力クロックが供給される。PWRGD_PWRDN# ピンを VDD に接続、f_0 ≥ 100MHz			0.4	ms
		コールド スタート。VDD が有効 (最終 VDD の 90%) になってから出力クロックが安定するまでの測定値[3]。VDD が有効になる前に入力クロックが供給される。PWRGD_PWRDN# ピンを VDD に接続、f_0 < 100MHz			0.8	ms
t_{stable}	クロック安定時間	VDD が安定しています。PWRGD アサートから[4] 出力クロックが安定するまでの測定値、f_0 ≥ 100MHz[3]			0.4	ms
		VDD が安定しています。PWRGD アサートから[4] 出力クロックが安定するまでの測定値、f_0 < 100MHz[3]			0.8	ms
$t_{PD\#}$	パワーダウン デアサート時間	PWRDN# デアサートから[4] 出力クロックが安定するまでの測定値、f_0 ≥ 100MHz[3]			0.15	ms
		PWRDN# デアサートから[4] 出力クロックが安定するまでの測定値、f_0 < 100MHz[3]			0.5	ms
t_{OE}	出力イネーブル/ディスエーブル時間	OE アサート/デアサート[4] から出力クロックの開始/停止までの経過時間	4		10	clk
$t_{LOS\text{-}assert}$	LOS# アサート時間	入力クロックの喪失から LOS# アサートまでの経過時間、f_0 < 100MHz			120	ns
		入力クロックの喪失から LOS# アサートまでの経過時間、f_0 ≥ 100MHz			120	ns
$t_{LOS\text{-}deassert}$	LOS# デアサート時間	入力クロックの検出から LOS# デアサートまでの経過時間、f_0 < 100MHz			340	ns
		入力クロック検出から LOS# デアサートまでの経過時間、f_0 ≥ 100MHz			105	ns
t_{AOD}	自動の出力ディスエーブル時間	LOS# アサートから出力無効化 (両出力が Low/Low) までの経過時間、f_0 < 100MHz			0.07	ns
		LOS# アサートから出力無効化 (両出力が Low/Low) までの経過時間、f_0 ≥ 100MHz			0.07	ns
t_{AOE}	自動の出力イネーブル時間	LOS# デアサートから出力クロックが安定するまでの経過時間。f_0 < 100MHz[3]			115	ns
		LOS# デアサートから出力クロックが安定するまでの経過時間、f_0 ≥ 100MHz[3]			22	ns
t_{switch}	時間の切り替え	2 つの 100MHz 入力クロック間の切り替え (マルチプレクサのみ)			70	ns
スキューおよびディレイ特性						

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{skew}	出力間スキュー	同一バンク			50	ps
		バンクに関係なく			50	ps
	部品間スキュー				330	ps
t_{PD}	入出力間遅延				1	ns
Δt_{PD}	入出力間遅延の変動	単一デバイスにおける温度および電圧条件			1.7	ps/℃
ジッタ特性						
$J_{PCIe1-CC}$	PCIe Gen 1 の CC ジッタ	シングル クロック入力。入力スルーレート ≥ 3.5V/ns。差動入力スイング ≥ 1600mV			442.5	fs
$J_{PCIe2-CC}$	PCIe Gen 2 の CC ジッタ				39	fs
$J_{PCIe3-CC}$	PCIe Gen 3 の CC ジッタ				12.3	fs
$J_{PCIe4-CC}$	PCIe Gen 4 の CC ジッタ				12.3	fs
$J_{PCIe5-CC}$	PCIe Gen 5 の CC ジッタ				4.9	fs
$J_{PCIe6-CC}$	PCIe Gen 6 の CC ジッタ				3	fs
$J_{PCIe7-CC}$	PCIe Gen 7 の CC ジッタ				2.1	fs
$J_{PCIe2-IR}$	PCIe Gen 2 の IR ジッタ				33.8	fs
$J_{PCIe3-IR}$	PCIe Gen 3 の IR ジッタ				14.1	fs
$J_{PCIe4-IR}$	PCIe Gen 4 の IR ジッタ				14.5	fs
$J_{PCIe5-IR}$	PCIe Gen 5 の IR ジッタ				3.9	fs
$J_{PCIe6-IR}$	PCIe Gen 6 の IR ジッタ				3	fs
$J_{PCIe7-IR}$	PCIe Gen 7 の IR ジッタ				2.1	fs
$J_{PCIe1-CC}$	PCIe Gen 1 の CC ジッタ	シングル クロック入力。入力スルーレート ≥ 1.5V/ns。差動入力スイング ≥ 800mV			583.2	fs
$J_{PCIe2-CC}$	PCIe Gen 2 の CC ジッタ				51.3	fs
$J_{PCIe3-CC}$	PCIe Gen 3 の CC ジッタ				16	fs
$J_{PCIe4-CC}$	PCIe Gen 4 の CC ジッタ				16	fs
$J_{PCIe5-CC}$	PCIe Gen 5 の CC ジッタ				6.4	fs
$J_{PCIe6-CC}$	PCIe Gen 6 の CC ジッタ				3.9	fs
$J_{PCIe7-CC}$	PCIe Gen 7 の CC ジッタ				2.8	fs
$J_{PCIe2-IR}$	PCIe Gen 2 の IR ジッタ				41.9	fs
$J_{PCIe3-IR}$	PCIe Gen 3 の IR ジッタ				18.3	fs
$J_{PCIe4-IR}$	PCIe Gen 4 の IR ジッタ				18.9	fs
$J_{PCIe5-IR}$	PCIe Gen 5 の IR ジッタ				5.1	fs
$J_{PCIe6-IR}$	PCIe Gen 6 の IR ジッタ				3.8	fs
$J_{PCIe7-IR}$	PCIe Gen 7 の IR ジッタ				2.6	fs
$J_{DB2000QL}$	DB2000QL フィルタ	入力スルーレート ≥ 1.5V/ns。差動入力スイング ≥ 800mV(6)		8.7	11.5	fs
		入力スルーレート ≥ 3.5V/ns。差動入力スイング ≥ 1600mV(6)		6.5	9	fs

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$J_{RMS-additive}$	加算性 12kHz ～ 20MHz RMS ジッタ	f = 100MHz、スルーレート ≥ 3.5V/ns		27.3	37.5	fs
		f = 100MHz、スルーレート ≥ 1.5V/ns		37.4	48.5	fs
	加算性 12kHz ～ 20MHz RMS ジッタ	f = 156.25MHz、スルーレート ≥ 3.5V/ns		21.9	31	fs
		f = 156.25MHz、スルーレート ≥ 1.5V/ns		29.4	38.5	fs
	加算性 12kHz ～ 70MHz RMS ジッタ	f = 156.25MHz、スルーレート ≥ 3.5V/ns		35.1	48.5	fs
		f = 156.25MHz、スルーレート ≥ 1.5V/ns		47.1	60.5	fs
	加算性 12kHz ～ 20MHz RMS ジッタ	f = 312.5MHz、スルーレート ≥ 3.5V/ns		19.3	28	fs
		f = 312.5MHz、スルーレート ≥ 1.5V/ns		27.4	39.5	fs
	加算性 12kHz ～ 70MHz RMS ジッタ	f = 312.5MHz、スルーレート ≥ 3.5V/ns		29.5	41.5	fs
		f = 312.5MHz、スルーレート ≥ 1.5V/ns		40.7	58	fs
ジッタ特性 (LMKDB1120FS、LMKDB1108FS、LMKDB1104FS)						
$J_{PCIe1-CC}$	PCIe Gen 1 の CC ジッタ	シングル クロック入力。入力スルーレート ≥ 3.5V/ns。差動入力スイング ≥ 1600mV			453.5	fs
$J_{PCIe2-CC}$	PCIe Gen 2 の CC ジッタ				44.5	fs
$J_{PCIe3-CC}$	PCIe Gen 3 の CC ジッタ				12.8	fs
$J_{PCIe4-CC}$	PCIe Gen 4 の CC ジッタ				12.8	fs
$J_{PCIe5-CC}$	PCIe Gen 5 の CC ジッタ				5	fs
$J_{PCIe6-CC}$	PCIe Gen 6 の CC ジッタ				3.1	fs
$J_{PCIe7-CC}$	PCIe Gen 7 の CC ジッタ				2.2	fs
$J_{PCIe2-IR}$	PCIe Gen 2 の IR ジッタ				39.5	fs
$J_{PCIe3-IR}$	PCIe Gen 3 の IR ジッタ				14.15	fs
$J_{PCIe4-IR}$	PCIe Gen 4 の IR ジッタ				14.65	fs
$J_{PCIe5-IR}$	PCIe Gen 5 の IR ジッタ				4.1	fs
$J_{PCIe6-IR}$	PCIe Gen 6 の IR ジッタ				3.4	fs
$J_{PCIe7-IR}$	PCIe Gen 7 の IR ジッタ				2.4	fs
$J_{PCIe1-CC}$	PCIe Gen 1 の CC ジッタ	シングル クロック入力。入力スルーレート ≥ 1.5V/ns。差動入力スイング ≥ 800mV			599	fs
$J_{PCIe2-CC}$	PCIe Gen 2 の CC ジッタ				54	fs
$J_{PCIe3-CC}$	PCIe Gen 3 の CC ジッタ				16.8	fs
$J_{PCIe4-CC}$	PCIe Gen 4 の CC ジッタ				16.8	fs
$J_{PCIe5-CC}$	PCIe Gen 5 の CC ジッタ				6.6	fs
$J_{PCIe6-CC}$	PCIe Gen 6 の CC ジッタ				4.1	fs
$J_{PCIe7-CC}$	PCIe Gen 7 の CC ジッタ				3.9	fs
$J_{PCIe2-IR}$	PCIe Gen 2 の IR ジッタ				48	fs
$J_{PCIe3-IR}$	PCIe Gen 3 の IR ジッタ				18.3	fs
$J_{PCIe4-IR}$	PCIe Gen 4 の IR ジッタ				18.9	fs
$J_{PCIe5-IR}$	PCIe Gen 5 の IR ジッタ				5.3	fs
$J_{PCIe6-IR}$	PCIe Gen 6 の IR ジッタ				4.1	fs
$J_{PCIe7-IR}$	PCIe Gen 7 の IR ジッタ				2.9	fs
$J_{DB2000QL}$	DB2000QL フィルタ	入力スルーレート ≥ 1.5V/ns。差動入力スイング ≥ 800mV(6)		9.2	12.5	fs
		入力スルーレート ≥ 3.5V/ns。差動入力スイング ≥ 1600mV(6)		7.4	10.2	fs

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$J_{RMS-additive}$	加算性 12kHz ～ 20MHz RMS ジッタ	f = 100MHz、スルーレート ≥ 3.5V/ns		30	41.5	fs
		f = 100MHz、スルーレート ≥ 1.5V/ns		37.4	49.25	fs
	加算性 12kHz ～ 20MHz RMS ジッタ	f = 156.25MHz、スルーレート ≥ 3.5V/ns		24.5	32	fs
		f = 156.25MHz、スルーレート ≥ 1.5V/ns		29.4	40.2	fs
	加算性 12kHz ～ 70MHz RMS ジッタ	f = 156.25MHz、スルーレート ≥ 3.5V/ns		40	49.5	fs
		f = 156.25MHz、スルーレート ≥ 1.5V/ns		47.1	63.2	fs
	加算性 12kHz ～ 20MHz RMS ジッタ	f = 312.5MHz、スルーレート ≥ 3.5V/ns		19.3	29	fs
		f = 312.5MHz、スルーレート ≥ 1.5V/ns		24.6	42	fs
	加算性 12kHz ～ 70MHz RMS ジッタ	f = 312.5MHz、スルーレート ≥ 3.5V/ns		29.5	42.5	fs
		f = 312.5MHz、スルーレート ≥ 1.5V/ns		36	60	fs
電源電流特性						
$I_{DD,total}$	LMKDB1102 総電源電流	全出力動作時、f_0 = 100MHz			41	mA
$I_{DD,total}$	LMKDB1104FS 総電源電流	全出力動作時、f_0 = 100MHz			54	mA
$I_{DD,total}$	LMKDB1104 総電源電流	全出力動作時、f_0 = 100MHz			54	mA
$I_{DD,total}$	LMKDB1108FS 総電源電流	全出力動作時、f_0 = 100MHz			85.7	mA
$I_{DD,total}$	LMKDB1108 総電源電流	全出力動作時、f_0 = 100MHz			85.7	mA
$I_{DD,total}$	LMKDB1120FS 総電源電流	全出力動作時、f_0 = 100MHz			162	mA
$I_{DD,total}$	LMKDB1120 総電源電流	全出力動作時、f_0 = 100MHz			162	mA
$I_{DD,core}$	LMKDB1102 コア消費電流	ピン PWRGD/PWRDN# = High、全出力無効			25.5	mA
$I_{DD,core}$	LMKDB1104FS コア消費電流	ピン PWRGD/PWRDN# = High、全出力無効			36.3	mA
$I_{DD,core}$	LMKDB1104 コア消費電流	ピン PWRGD/PWRDN# = High、全出力無効			25.5	mA
$I_{DD,core}$	LMKDB1108FS コア消費電流	ピン PWRGD/PWRDN# = High、全出力無効			36.3	mA
$I_{DD,core}$	LMKDB1108 コア消費電流	ピン PWRGD/PWRDN# = High、全出力無効			36.3	mA
$I_{DD,core}$	LMKDB1120FS コア消費電流	ピン PWRGD/PWRDN# = High、全出力無効			37.9	mA
$I_{DD,core}$	LMKDB1120 コア消費電流	ピン PWRGD/PWRDN# = High、全出力無効			37.9	mA
I_{DDO}	出力あたりの出力電源電流 (LMKDB1120FS、LMKDB1108FS、LMKDB1104FS)	f_0 = 100MHz			6.9	mA
I_{DDO}	出力あたりの出力電源電流 (LMKDB1120FS、LMKDB1108FS、LMKDB1104FS)	f_0 = 400MHz			9.7	mA
I_{DDO}	出力あたりの出力電源電流	f_0 = 100MHz			6.4	mA
		f_0 = 400MHz			9.2	mA
I_{PD}	LMKDB1104、LMKDB1104FS、LMKDB1108、LMKDB1108FS、LMKDB1120FS 、LMKDB1120 パワー ダウン電流	ピン PWRGD/PWRDN# = Low			5.6	mA
PSNR 特性						

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSNR	電源ノイズ除去、V_{DD} = 3.3V[5]	10kHz ノイズ リップル			-93	dBc
		50kHz ノイズ リップル			-91	dBc
		100kHz ノイズ リップル			-91	dBc
		500kHz ノイズ リップル			-95	dBc
		1MHz ノイズ リップル			-96	dBc
		5MHz ノイズ リップル			-111	dBc
		10MHz ノイズ リップル			-99	dBc
	電源ノイズ除去、V_{DD} = 1.8V[5]	10kHz ノイズ リップル			-85	dBc
		50kHz ノイズ リップル			-89	dBc
		100kHz ノイズ リップル			-91	dBc
		500kHz ノイズ リップル			-93	dBc
		1MHz ノイズ リップル			-94	dBc
		5MHz ノイズ リップル			-109	dBc
		10MHz ノイズ リップル			-97	dBc
I/O の特性						
V_{IH}	高入力電圧	2 レベル ロジック入力、V_{DD} = 3.3V ± 10%	2		V_{DD} + 0.3	V
V_{IL}	低入力電圧		-0.3		0.8	V
V_{IH}	高入力電圧	3 レベル ロジック入力、V_{DD} = 3.3V ± 10%	2.4		V_{DD} + 0.3	V
V_{IM}	中入力電圧		1.2		1.8	V
V_{IL}	低入力電圧		-0.3		0.8	V
V_{IH}	高入力電圧	2 レベル ロジック入力、V_{DD} = 1.8V ± 5%	1.3		V_{DD} + 0.3	V
V_{IL}	低入力電圧		-0.3		0.4	V
V_{IH}	高入力電圧	3 レベル ロジック入力、V_{DD} = 1.8V ± 5%	1.3		V_{DD} + 0.3	V
V_{IM}	中入力電圧		0.65		0.95	V
V_{IL}	低入力電圧		-0.3		0.4	V
V_{OH}	出力 HIGH 電圧	SBI_OUT、I_{OH} = -2 mA	2.4		V_{DD} + 0.3	V
V_{OL}	出力 LOW 電圧	SBI_OUT、I_{OL} = 2 mA			0.4	V
$I_{リーケージ}$	出力リーク電流 (LMKDB1120FS、LMKDB1108FS、LMKDB1104FS)	デバイスが非通電状態で、出力が V_{DD} ±10% に接続されている場合の出力リーケージ電流。			10	µA
I_{IN}	入力リーク電流	CLKINx_P	-40		40	µA
		CLKINx_N	-40		40	µA
		内部プルダウン付きシングルエンド入力	-30		30	µA
		内部プルダウンなしシングルエンド入力	-5		5	µA
		3 レベル ロジック入力	-30		30	µA
$R_{PU,PD}$	シングルエンド入力用内部プルアップ/プルダウン抵抗			120		kΩ
SMBUS の電気的特性						
V_{IH}	SMB_CLK、SMB_DATA 入力高レベル電圧		0.8 × V_{DD}			V

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	SMB_CLK、SMB_DATA 入力低レベル電圧				0.3 × V_{DD}	V
V_{HYS}	シュミット トリガ入力のヒステリシス		0.05 × V_{DD}			V
V_{OL}	SMB_DATA 出力低電圧	I_{OL} = 4mA			0.4	V
I_{LEAK}	SMB_CLK、SMB_DATA 入力リーク電流		-10		10	µA
C_{PIN}	SMB_CLK、SMB_DATA ピン静電容量				10	pF

(1) PCIe AC テスト負荷
(2) DB2000QL DC テスト負荷
(3) 最初のクロック エッジをタイミング測定に使用。クロック出力は安定するまでミュート。
(4) 入力ピンにおいては、アサートまたはデアサートは、入力電圧が「High」レベルに必要な最小電圧、または「Low」レベルに必要な最大電圧に達した時点で開始されます
(5) 電源ピンはすべて接続されています。0.1µF コンデンサは各電源ピンの近くに配置されています。50mVpp のリップルがデカップリング コンデンサの前段に適用されます。クロック出力でスパー レベルを測定
(6) DB2000QL AC テスト負荷
(7) スルーレートは PCB 配線特性に大きく依存する

6.6 SMBus のタイミング要件

		100kHz CLASS		400kHz CLASS		単位
		最小値	最大値	最小値	最大値	
f_{SMB}	SMBus の動作周波数	10	100	10	400	kHz
f_{BUF}	STOP 条件と START 条件の間のバス解放時間	4.7	-	1.3	-	µs
t_{HD_STA}	(繰り返し) START 条件の後のホールド時間	4.0	-	0.6	-	µs
t_{SU_STA}	再スタート条件のセットアップ時間	4.7	-	0.6	-	µs
t_{SU_STO}	ストップ条件のセットアップ時間	4.0	-	0.6	-	µs
t_{HD_DAT}	データ ホールド時間	0	-	0	-	ns
t_{SU_DAT}	データ セットアップ時間	250	-	100	-	ns
$t_{TIMEOUT}$	クロック Low 検出のタイムアウト	25	35	25	35	ms
t_{LOW}	クロックの Low 期間	4.7	-	1.3	-	µs
t_{HIGH}	クロックの High 期間	4.0	50	0.6	50	µs
t_{LOW_SEXT}	累積クロック Low 拡張時間 (二次デバイス)	-	25	-	25	ms
t_{LOW_PEXT}	累積クロック Low 拡張時間 (一次デバイス)	-	10	-	10	ms
t_F	クロック / データの立ち下がり時間	-	300	-	300	ns
t_R	クロック / データの立ち上がり時間	-	1000	-	300	ns
t_{SPIKE}	ノイズ スパイク抑制時間	-	-	0	50	ns
t_{POR}	パワーオン リセット後にデバイスが動作可能な状態になるまでの時間		500		500	ms

6.7 SBI のタイミング要件

		最小値	最大値	単位
t_{PERIOD}	クロック周期	40	-	ns
t_{SETUP}	SHFT セット アップから SBI_CLK 立上りエッジまで	10	-	ns
t_{DSU}	SBI_IN データ セット アップから SBI_CLK 立上りエッジまで	5	-	ns
t_{DHOLD}	SBI_IN データ ホールドは SBI_CLK 立上りエッジ後	2	-	ns

Copyright © 2025 Texas Instruments Incorporated

		最小値	最大値	単位
t_{DOUT}	SBI_CLK 立上りエッジから SBI_OUT データ有効まで	2	-	ns
t_{LD}	CLK 立上りエッジから LD# 立下りエッジまで	10	-	ns
t_{OE}	LD# 立下りエッジから出力の有効/無効が反映されるまでの遅延	4	10	クロック
t_{SLEW}	SBI_CLK 20% ～ 80% スルーレート	0.7	4	V/ns

6.8 タイミング図

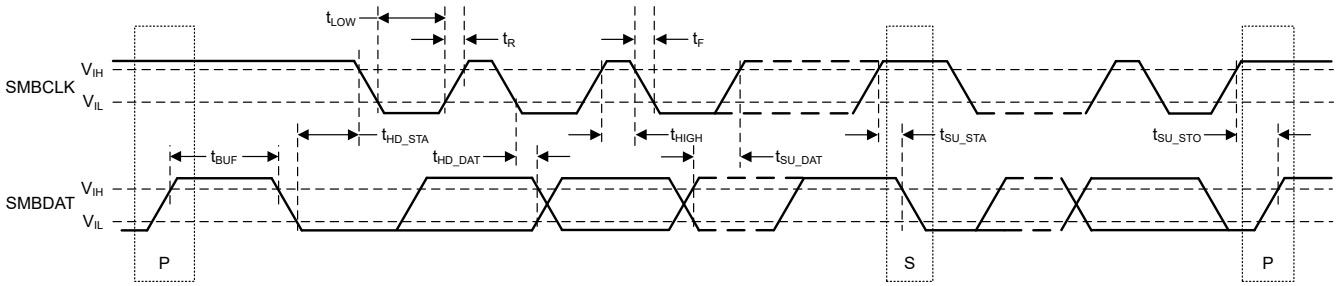


図 6-1. SMBus タイミング図

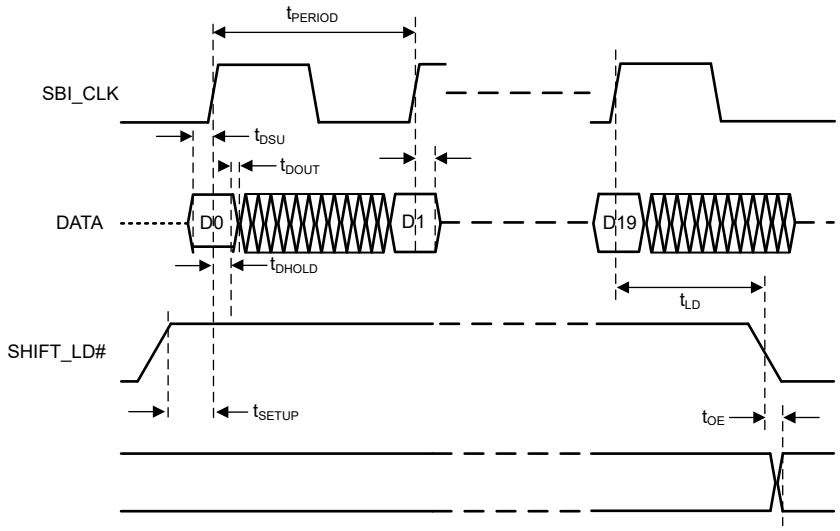


図 6-2. SBI タイミング図

Copyright © 2025 Texas Instruments Incorporated

6.9 代表的特性

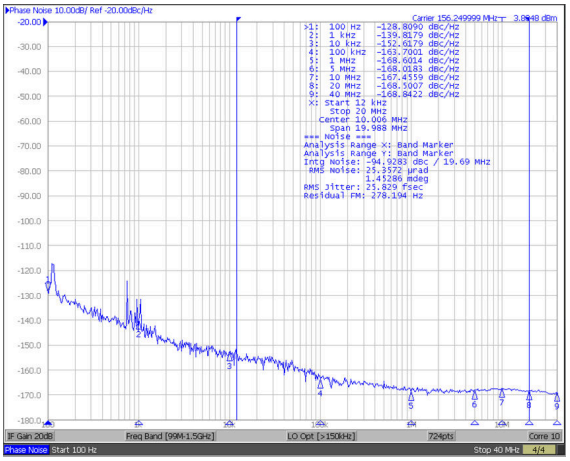
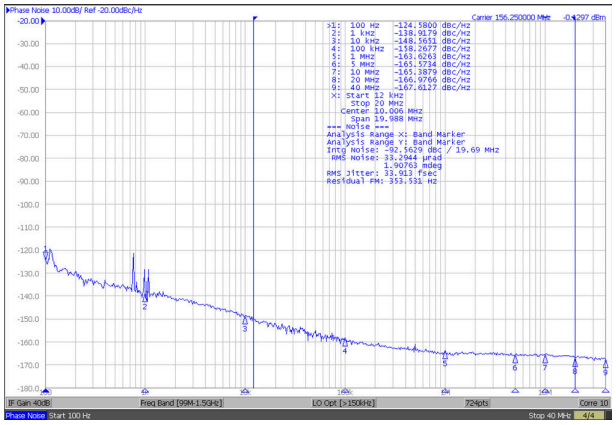


図 6-3. 156.25MHz における入力ソース (12kHz - 20MHz)



グラフの注記表の注 1 および 2 を参照してください

図 6-4. LMKDB11xx 156.25MHz での位相ノイズ/出力ジッタ (12kHz - 20MHz)

表 6-1. グラフ メモ

注	
(1)	プロットに示されている代表的な RMS ジッタ値は、各周波数における総出力 RMS ジッタ (J_{OUT}) と、ソース クロックの RMS ジッタ (J_{SOURCE}) を示しています。これらの値から、加算 RMS ジッタは次のように計算できます: J_{ADD} = SQRT(J_{OUT} ^{2} – J_{SOURCE} ^{2}).
(2)	156.25MHz における J_{ADD} = SQRT(33.9^2- 25.8^2) = 22.0fs

7 パラメータ測定情報

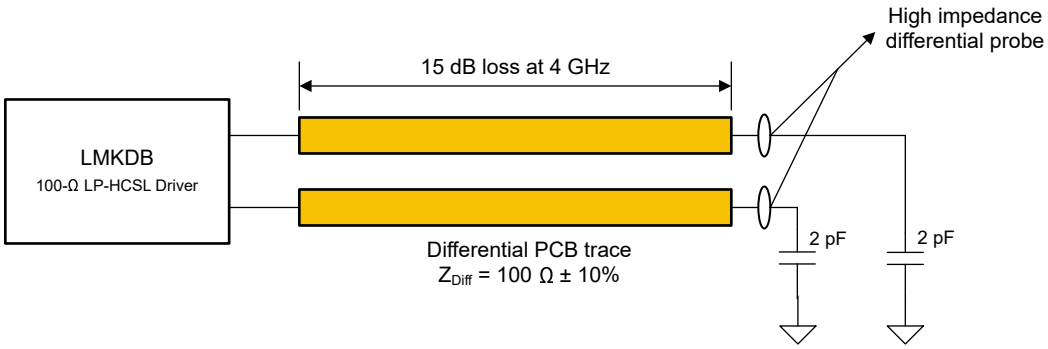


図 7-1. PCIe AC テスト負荷

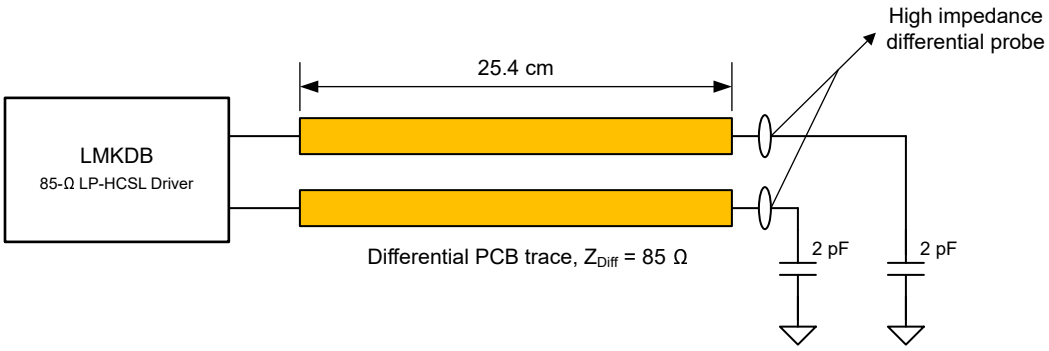


図 7-2. DB2000QL AC テスト負荷

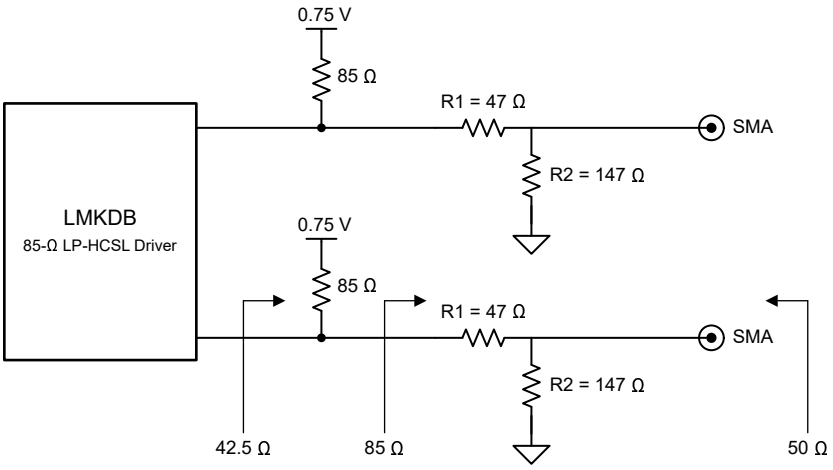


図 7-3. DB2000QL DC テスト負荷

Copyright © 2025 Texas Instruments Incorporated

8 詳細説明

8.1 概要

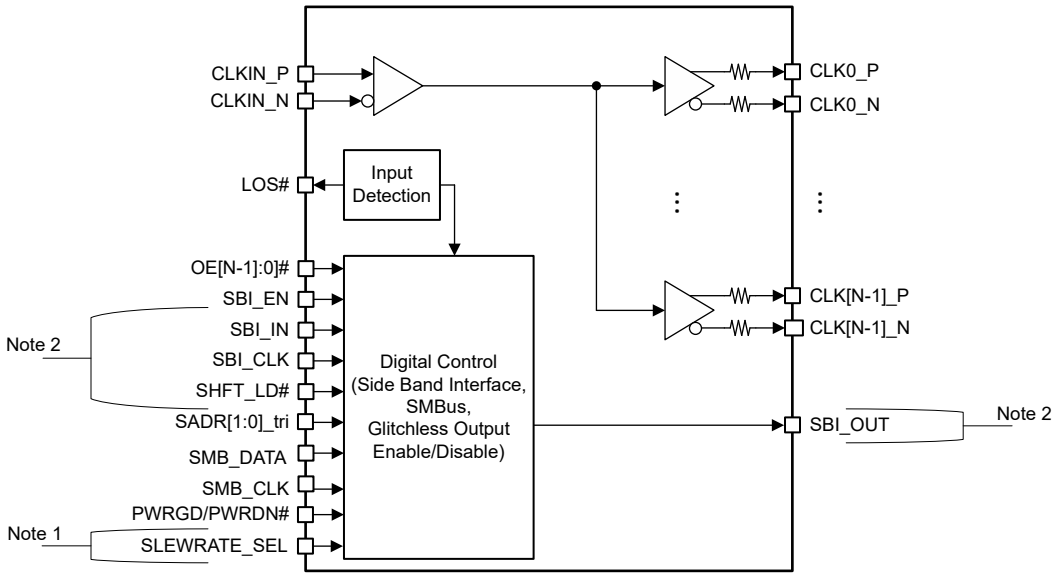
LMKDB11xx は DB2000QL に準拠したクロック バッファで、PCIe Gen1 から Gen7 のアプリケーション向けに設計された LP-HCSL クロックを分配し、超低付加ジッタと超低伝搬遅延を実現します。LMKDB11xx バッファ デバイスは、PCIe Gen5、Gen6、Gen7 のバッファ カスケードやイーサネット ファンアウト用途に主に求められる、クロック経路全体に十分なジッタ マージンを確保できます。LMKDB11xx は、設計の柔軟性を向上させるため、1.8V と 3.3V の両方の電源電圧にも対応しています。

LMKDB11xx は、すべての出力に対して個別の OE 制御を備えており、設計の柔軟性を高めています。各デバイスの各出力には、プログラマブルなスルーレート、プログラム可能な出力振幅スイング、および自動出力無効化機能も備わっています。セクション 4 に示すように、このデバイスは、出力周波数が最大 400MHz で、100Ω または 85Ω LP-HCSL、部品番号によって識別されるフェイルセーフ入出力に対応しています。

LMKDB11xx は、ピン モード、SMBus モード、サイド バンド インターフェイス (SBI) モードを備えており、これらは同時に使用できます。特定のデバイスで利用可能な 1 つのオプションの詳細については、セクション 5 を参照してください。SBI は、SMBus と比較して最大 25MHz というはるかに高速な速度で出力クロックをイネーブルまたはディスエーブルにできます。さらに、SBI と SMBus は同時に動作できるため、電源投入後も SMBus を使用してデバイス制御を引き継ぎ、ステータスを読み出すことができます。詳細情報については、セクション 8.4 を参照してください

デバイスのピンの詳細な説明については セクション 8 を参照し、デバイスのレジスタに関する詳細については*レジスタ マップ*を参照してください。

8.2 機能ブロック図



N = Number of output channels

1. LMKDB1116/13/12/8/4 only. Other devices support SMBus.
2. Some devices mux SBI with OE# pins. Refer to specific device pinouts.
3. This diagram doesn't apply to LMKDB1102.

図 8-1. LMKDB11xx の機能ブロック図

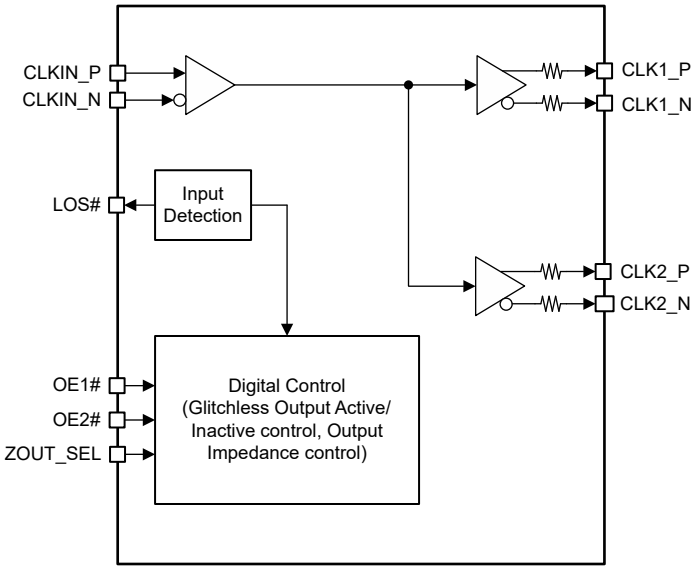


図 8-2. LMKDB1102 機能ブロック図

8.3 機能説明

8.3.1 入力機能

8.3.1.1 デバイスの電源がオフのときの入力クロックの動作

このデバイスは、電源がオフの状態でも入力クロックの動作をサポートします。これは、デバイスの電源がオフのときに入力を静的な VDD にプルできるフェイルセーフ機能とは異なります。これは、クロック バッファに電力が供給される前にクロック入力が利用可能である場合に便利です。

8.3.1.2 フェイルセーフ入力

すべてのクロック入力ピンおよびデジタル入力ピンはフェイルセーフに対応しています。フェイルセーフとは、デバイスの電源がオフのときでも、ピンを VDD に駆動してもリークや信頼性の問題を引き起こさないことを意味します。例えば、OE# ピンはデバイスの電源投入前に VDD に駆動でき、その場合、パワーアップ後しばらくして OE# ピンが low になるまで出力はミュート状態のままです。

8.3.1.3 入力構成

LMKDB11xx デバイスの入力バッファ段は、4 種類の構成をサポートしています:

- DC 結合 HCSL 入力。
- 外部 100Ω 終端抵抗付き DC 結合 LVDS 入力信号。
- 内部自己バイアスを備えた AC 結合入力。詳細については、AC 結合または DC 結合のクロック入力 を参照してください。
- グランドへの内部 50Ω 終端。詳細については、クロック入力用の内部終端 を参照してください。

2 つの入力を持つすべてのデバイスには、個別の AC 結合と入力終端オプションがあります。各入力を構成するには、構成ビットのレジスタ マップを参照してください。

Copyright © 2025 Texas Instruments Incorporated

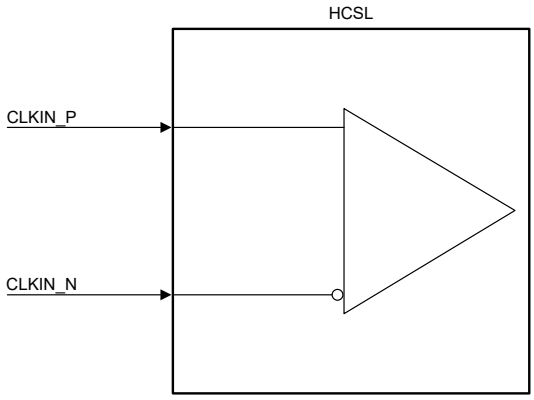


図 8-3. HCSL 入力インターフェイス (PCIe 規格)

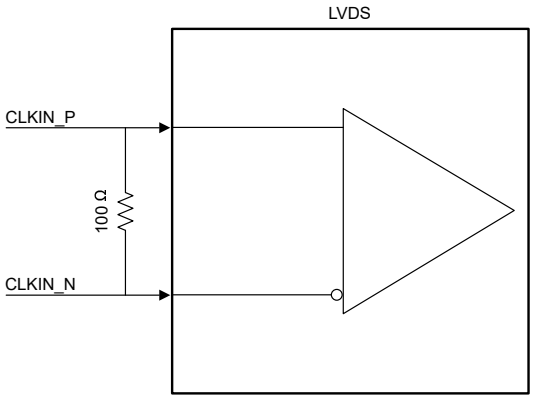


図 8-4. LVDS 入力インターフェイス

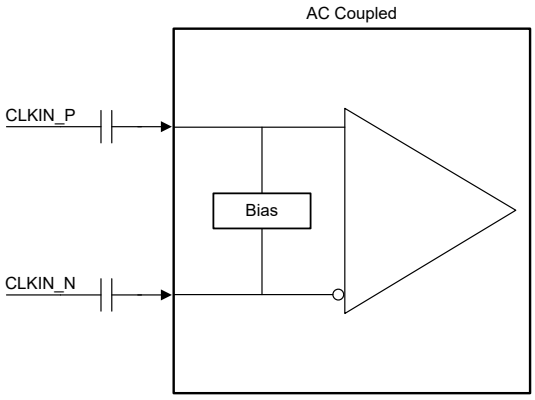


図 8-5. 外部 AC 結合入力

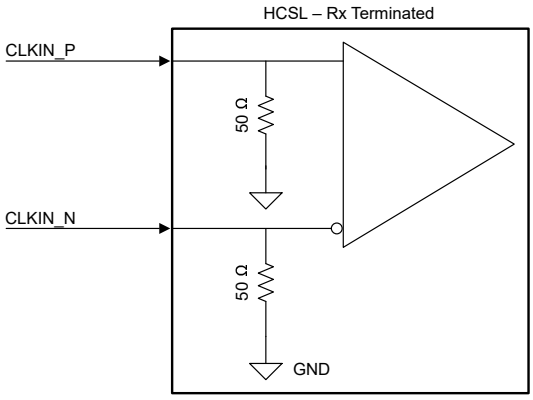


図 8-6. レシーバの内部終端

8.3.1.3.1 クロック入力用の内部終端

差動クロック入力に対して、50Ω の内部終端を有効にするオプションがあります。LP-HCSL 入力の場合、内部終端をディセーブルにします。HCSL 入力では、外部終端が提供されていない場合は内部終端をイネーブルします。内部終端はデフォルトでは無効になっています。

8.3.1.3.2 AC 結合または DC 結合のクロック入力

入力クロックは、AC 結合または DC 結合が可能です。入力が DC 結合の場合、入力信号のスイングレベルは*クロック入力要件の* 仕様 に示されているレベルと一致している必要があります。また、DC 結合入力の場合はレジスタ RX_EN_AC_INPUT を 0 に、AC 結合入力の場合は 1 に設定する必要があります。RX_EN_AC_INPUT の詳細については、*レジスタ マップ*を参照してください。

8.3.2 柔軟な電源シーケンス

8.3.2.1 PWRDN# アサートおよびデアサート

推奨されるパワーダウン シーケンスでは、入力クロックが有効な状態で PWRDN# がアサートされます。PWRDN# ピンは、入力クロック サイクルの立ち上がりエッジ 2 回分連続して低レベルに保持します。その結果、すべてのクロック出力はグリッチなく Low/Low (OUTx_P = Low、OUTx_N = Low) にミュートされます。それ以外のシーケンスに従った場合、デバイスは未定義モードに入り、グリッチや無効な出力が発生する可能性があります。例えば、入力クロックが停止した後に PWRGD/PWRDN# を low にすると、デバイスはグリッチ状態に入り、出力が low のまま固まります (ただし、CLKIN 信号が再び有効になる前に PWRGD/PWRDN# ピンを low から high に戻さない場合に限ります)。CLKIN 信号が戻る前に PWRGD/PWRDN# を再び high に戻しても問題はありません。

8.3.2.2 OE# アサートおよびデアサート

OE# ピンは、以下のいずれの場合でもいつでもアサートおよびデアサートできます:

- デバイスの電源がオンまたはオフになったとき
- PWRGD/PWRDN# ピンは high または low にプルされたとき
- クロック入力が有効または無効のとき

OE# ピンは、以下のすべての条件が満たされた場合にのみ有効になります:

1. クロック入力が有効
2. PWRGD/PWRDN# ピンが high
3. デバイスの電源がオン

それ以外の場合、出力は常にミュートされ、OE# のアサートおよびデアサートは影響を与えません。

以下のいずれかの条件で OE# ピンが low になると、次のようになります:

1. 入力クロックが無効
2. PWRGD/PWRDN# ピンが low
3. デバイスの電源がオフ

次の条件がすべて満たされた場合:

1. クロック入力が有効
2. PWRGD/PWRDN# ピンが high
3. デバイスの電源がオン

(レジスタ OE および SBI OE が有効な場合) 出力はグリッチなしで有効化されます。

8.3.2.3 デバイスの電源がオフのときのクロック入力および PWRGD/PWRDN# の動作

デバイスの電源がオフのとき、PWRGD/PWRDN# ピンの状態 (low、high、low から high への遷移、high から low への遷移) に関係なく、入力クロックは動作中、フローティング、low/low、または VDD にプルされた状態のいずれでもかまいません。表 8-1 はサポートされているすべてのシーケンスを示しており、クロック入力は VDD の印加前または印加後のいずれでも適用できます。

表 8-1. 柔軟なパワーアップ シーケンス

VDD	PWRGD/PWRDN#	CLKIN_P/CLKIN_N
存在しません	X	動作時
		フローティング
		Low / Low
現在	0 または 1	動作時
		フローティング
		Low / Low

8.3.3 LOS および OE

8.3.3.1 LMKDB1120 の追加 OE# ピンと下位互換性

DB2000QL 仕様では、OE# ピンは 8 本のみ定義されています。LMKDB1120 では、20 個の出力それぞれに専用の OE# ピンを持たせるため、12 本の追加 OE# ピンが追加されています。これにより、設計の柔軟性が向上します。LMKDB1120 は、すべての OE# ピンに内部プルダウン抵抗があるため、DB2000QL と下位ピン互換性があります。これらの追加 OE# ピンは浮動状態のままでも影響はありません (OE# ピンはアクティブ low)、これは、3 種類の OE 制御が AND ロジックに従うためです。

Copyright © 2025 Texas Instruments Incorporated

8.3.3.2 同期 OE

出力は同期して有効化および無効化されます。同期 OE とは、出力が有効化または無効化される際に、出力にグリッチやラント パルスが発生しないことを意味します。

8.3.3.3 OE 制御

OE (出力イネーブル) は、特定の出力をイネーブルまたはディセーブルにできます。次の 3 種類の OE 制御がサポートされています: OE ピン、SMBus 経由の OE レジスタ ビット、SBI による OE 制御。3 つのコントロールは AND ロジックに従います。3 つの制御回路すべてが出力を有効にした場合にのみ、出力が有効になります。いずれかの制御がその出力を無効にした場合、その出力は無効になります。

8.3.3.4 自動出力ディスエーブル

自動出ディスエーブル力 (AOD) はデフォルトで有効になっており、SMBus を介して無効化できます。入力クロックが無効になり LOS# がアクティブになると、出力クロックは low/low (OUTx_P = Low、OUTx_N = Low) にミュートされます。LOS# がアクティブになる前、かつ入力クロックが無効になった後 (LOS 検出には時間がかかるため)、出力クロックは最後の入力状態に従って安定した状態を維持します。例えば、入力クロックが low/high で停止した場合、出力クロックは最初に low/high のまま保持され、LOS# がアクティブになると low/low にミュートされます。

8.3.3.5 LOS 検出

LOS (入力信号の損失) は、クロック入力が有効かどうかを検出します。入力クロックが有効な場合、LOS# レジスタ ビットは 1 となり、LOS# ピンは high になります。入力クロックが無効な場合、LOS レジスタ ビットは 0 となり、LOS# ピンは low になります。

パワーアップ時に、入力が有効に検出されるまで、LOS# ピンは low に保持されます。したがって、LOS# ピンは、OE# 挿入やその他の動作のタイミングに使用できます。

LOS# 信号は、PWRGD/PWRDN# ピンが high の場合にのみ有効です。このピンが low の場合、入力の有効性にかかわらず、LOS# は low になります

8.3.4 出力機能

8.3.4.1 二重終端

一般的な PCIe アプリケーションでは、LP-HCSL 出力に外部終端は不要ですが、LMKDB ファミリは二重終端をサポートしています (これは珍しい仕様です)。この場合、外部 50Ω 終端が配置され、スイングは半分になります。この結果、出力のグランドへの 50Ω 終端により、消費電力が増大します。

8.3.4.2 出力スルー レートをプログラム可能

LMKDB ファミリは、SMBus およびピン モードによるスルーレート制御オプションを備えています。ピン モード オプションは、すべての出力のグローバル スルーレート制御です。SMBus スルーレート制御は、個別の出力ごとにプログラム可能な出力スルーレートをサポートしています。スルーレートは、パターン幅、銅箔の厚さ、基板の高さ、誘電率、損失接線などのパターン特性に大きく依存します。

LMKDB スルーレート制御の設定は、PCIe テスト負荷を使ってテストされます (図 7-1 を参照)。

8.3.4.2.1 ピンからのスルー レート制御

LMKDB11xx は、一部のデバイス向けにグローバル スルーレート制御ピンを提供します。各デバイスのスルーレート ピンの詳細については、セクション 5 を参照してください。このピンは、low に設定すると低速スルーレート、high に設定すると高速スルーレートになります。表 8-2 に、ピン モードによるスルーレート制御オプションの詳細を示します。

表 8-2. ピン モード スルーレート制御

ピン ステータス	スルーレートの設定	スルーレート レンジ (V/ns)
Low	Low	1.8 - 2.6
High	High	2 - 2.9

8.3.4.2.2 SMBus によるスルーレート制御

LMKDB1120 には、出力に割り当て可能な 16 種類のスルーレート オプションがあります。0x0 は最も速いスルーレート設定で、0xF は最も遅いスルーレート設定です。各出力のスルーレートを設定するには、次の手順に従います:

1. 4 種類のレジスタ SLEWRATE_OPT# があり、それぞれ最大 4 種類のスルーレートを保存できます。各 SLEWRATE_OPT# レジスタに、0x0 (最速) から 0xF (最遅) までの値を割り当てて、希望するスルーレートを選択します。各 SLEWRATE_OPT# レジスタに設定されたデフォルト値については、表 8-3 を参照してください。
   a. 例えば、最速、2 番目に速い、そして最も遅いスルーレートを希望する場合は、レジスタ SLEWRATE_OPT# に 0x0、0x1、0xF を割り当てます。SLEWRATE_OPT1 = 0x0 (最速)、SLEWRATE_OPT2 = 0x1 (2 番目に速い)、SLEWRATE_OPT3 = 0xF (最遅) です。SLEWRATE_OPT4 は必ずしも割り当てる必要はありませんが、複数のレジスタに同じスルーレートを設定したい場合は、SLEWRATE_OPT4 を前述の 3 つのいずれかの設定に割り当てることができます。
2. 各出力のスルーレート オプションは、SLEWRATE_SEL_CLKX_LSB および SLEWRATE_SEL_CLKX_MSB を使用して 表 8-3 に示すように設定するか、TICSPro の「出力スルーレート制御」セクションにあるドロップダウン メニューから設定します。すべての出力に対するデフォルトの SLEWRATE_OPT# レジスタ割り当ては SLEWRATE_OPT2 であり、デフォルトのスルーレートは 0x6 です。

4 つのデフォルト スルーレートに対応する範囲は、仕様書のセクション 6 *クロック出力特性 - 100MHz 85Ω PCIe* または *クロック出力特性- 100MHz 100Ω PCIe* 仕様の*出力スルーレート*の下に記載されています。

表 8-3. LMKDB11xx のデフォルト SLEWRATE_OPT_# 値

レジスタ フィールド名	デフォルト値	デフォルトのスルーレート
SLEWRATE_OPT_1	0x0	最高
SLEWRATE_OPT_2	0x6	High (すべての出力のデフォルト)
SLEWRATE_OPT_3	0xA	Low
SLEWRATE_OPT_4	0xF	最低

表 8-4. LMKDB11xxFS のデフォルト SLEWRATE_OPT_# 値

レジスタ フィールド名	デフォルト値	デフォルトのスルーレート
SLEWRATE_OPT_1	0x0	最高
SLEWRATE_OPT_2	0x2	High (すべての出力のデフォルト)
SLEWRATE_OPT_3	0x6	Low
SLEWRATE_OPT_4	0xF	最低

表 8-5. SLEWRATE_SEL_CLKX_LSB および SLEWRATE_SEL_CLKX_MSB スルーレート選択

SLEWRATE_SEL_CLKX_LSB	SLEWRATE_SEL_CLKX_MSB	スルーレート オプション選択
0	0	SLEWRATE_OPT_4
1	0	SLEWRATE_OPT_3
0	1	SLEWRATE_OPT_2
1	1	SLEWRATE_OPT_1

希望するスルーレートを設定するには、次の手順に従う必要があります:

1. [オプション]: 表 8-3 に示す各スルーレート速度に対するデフォルトの割り当てが不要な場合、スルーレート オプションの値の 1 つを別のスルーレートに変更できます。
2. [LMKDB1108 および 1104 のみ]: スルーレート制御用の SMBus プログラミング モードを選択するために、SLEWRATE_CTRL_MODE レジスタを 1 に設定します。LMKDB1108 および LMKDB1104 のレジスタ ビットの情報については、セクション 9 セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

3. 表 8-5 に示すように、SLEWRATE_SEL_CLKX_MSB と SLEWRATE_SEL_CLKX_LSB をプログラムして、クロック出力 X を目的のスルーレート速度オプションに割り当てます。各オプションのデフォルトの割り当てについては、表 8-3 を参照してください。

8.3.4.3 プログラマブル出力スイング

LMKDB ファミリは、600mV から 975mV の範囲でプログラム可能な LP-HCSL スイングに対応しています。すべての出力は、バッファとマルチプレクサの両方で、それぞれレジスタ AMP および AMP_BANKX を介して同じ出力スイングに設定されます。出力を目的のスイングにプログラムするには、レジスタ マップを参照してください。

8.3.4.4 高精度出力インピーダンス

LMKDB ファミリは、100Ω LP-HCSL と 85Ω LP-HCSL の両方をサポートしています。出力インピーダンスは正確に ±5% にトリミングされます。これは、インピーダンス整合とクロック信号の完全性の向上に役立ちます。

8.3.4.5 プログラマブルな出力インピーダンス

LMKDB1102 は、100Ω または 85Ω LP-HCSL 出力インピーダンスを選択できるピン モード オプションを備えているため、設計の柔軟性が向上します。出力インピーダンスは、デバイスの ZOUT_SEL ピンを使用して選択できます (表 8-6 を参照)。フローティングのままにすると、内部プルダウン抵抗によって、デフォルトで 85Ω の出力インピーダンスが選択されます。

表 8-6. プログラマブルな出力インピーダンス

ZOUT_SEL	出力インピーダンス
Low	85 Ω
High	100 Ω

8.3.4.6 フェイルセーフ出力

デバイスの比較に示す接尾辞「FS」付きの LMKDB110x デバイスは、フェイルセーフ出力を備えています。フェイルセーフとは、デバイスの電源がオフのときでも、出力を VDD に駆動してもリークや信頼性の問題が発生しないことを意味します。この機能により、システム内の FLEXIO ピンでのクロック出力配線設計において、追加の柔軟性が得られます。

8.4 デバイスの機能モード

8.4.1 SMBus モード

SMBus モードでは、 LMKDB11xx デバイスの SMBus レジスタは、SMBus ピンを介して読み書きできます。ピン SADR1 および SADR0 は SMBus アドレスを設定します。

SADR1	SADR0	8 ビットの SMBus アドレス (R/W ビット= 0)
Low	Low	0xD8
Low	浮動	0xDA
Low	High	0xDE
浮動	Low	0xC2
浮動	浮動	0xC4
浮動	High	0xC6
High	Low	0xCA
High	浮動	0xCC
High	High	0xCE

表 8-7. コマンド コードの定義

ビット	説明
7	0 = *ブロック読み取りまたはブロック書き込み動作* 1 = *バイト読み取りまたはバイト書き込み動作*
(6:0)	*バイト操作のレジスタ アドレス、またはブロック動作の開始レジスタ アドレス*

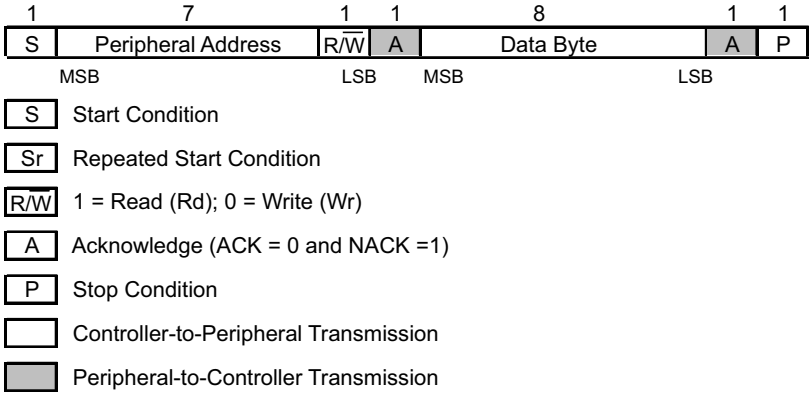


図 8-7. 汎用プログラミング シーケンス

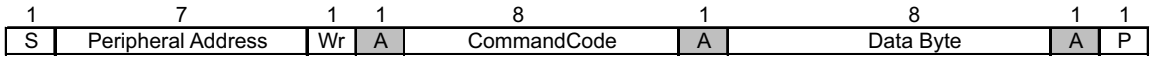


図 8-8. バイト書き込みプロトコル

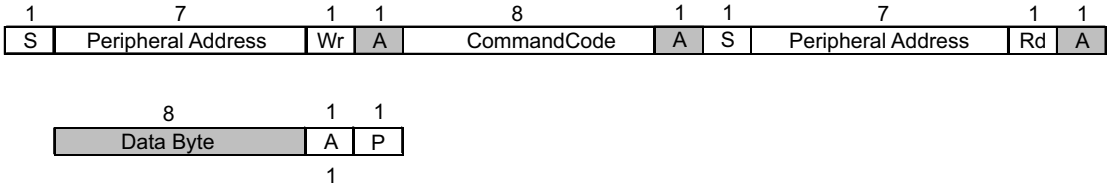


図 8-9. バイト読み取りプロトコル

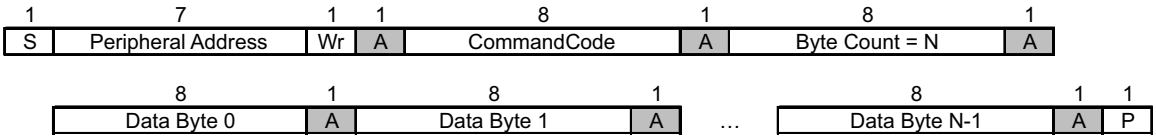


図 8-10. ブロック書き込みプロトコル

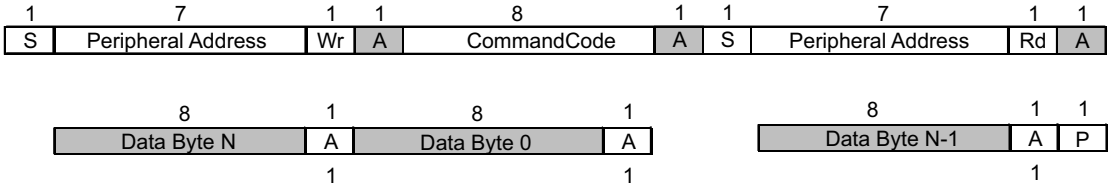


図 8-11. ブロック読み取りプロトコル

8.4.2 SBI モード

サイドバンド インターフェイス (SBI) は、SHFT_LD#、SBI_IN、SBI_CLK、および SBI_OUT (オプション) ピンで構成される、シンプルな 3 線式または 4 線式のシリアル インターフェイスです。SHFT_LD# ピンが high のとき、SBI_CLK の立ち上がりエッジにより、SBI_IN がシフトレジスタにクロック入力されます。データのシフト後、SHFT_LD# の立ち下がりエッ

Copyright © 2025 Texas Instruments Incorporated

ジによって、シフト レジスタの内容が出力レジスタにロードされます。SBI レジスタは、SBI_OUT ピンを介してシフト アウトでき、デイジー チェーン トポロジを構成できます。

SBI モードを有効にしても、SMBus は無効になりません。SBI レジスタは、PWRGD/PWRDN# ピンが Low の間でもアクセスできます。

LMKDB12xx は、ピン モードと SMBus モードのみをサポートしています。

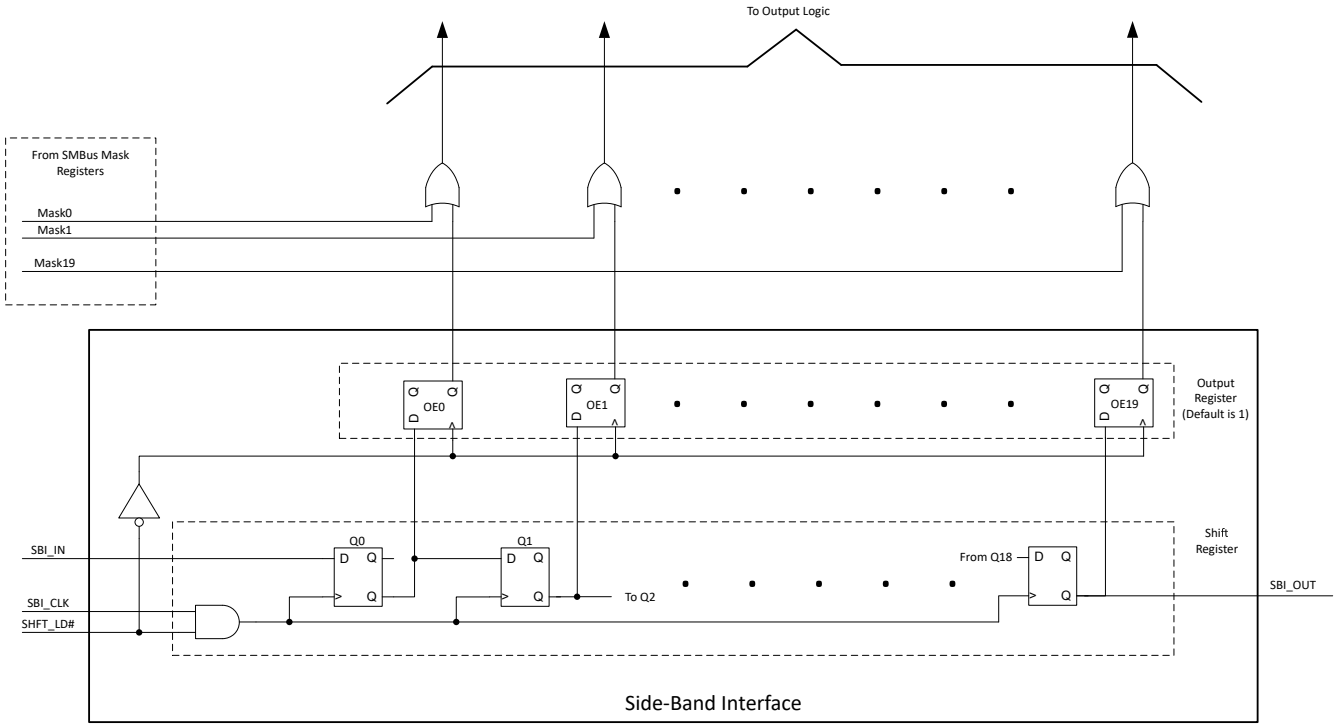


図 8-12. SBI 制御ロジック

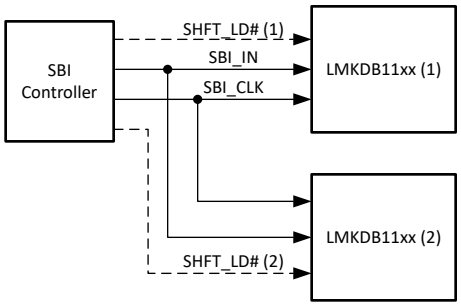


図 8-13. SBI スタート ポロジ

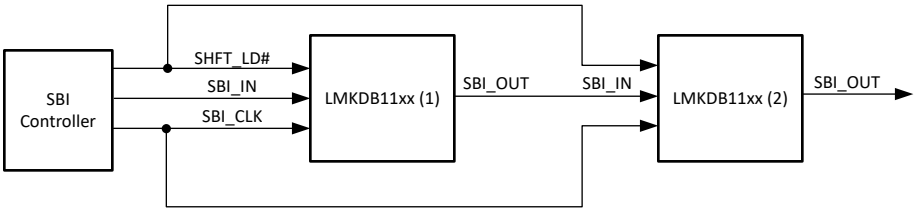


図 8-14. SBI デイジー チェーン トポロジ

SBI レジスタ シーケンス:

- LMKDB1120：SBI_IN - CLK0、CLK1、CLK2、CLK3、CLK4、CLK5、CLK6、CLK7、CLK8、CLK9、CLK10、CLK11、CLK12、CLK13、CLK14、CLK15、CLK16、CLK17、CLK18、CLK19–SBI_OUT
- LMKDB1108：SBI_IN - CLK7、CLK6、CLK5、CLK4、CLK3、CLK2、CLK1、CLK0–SBI_OUT
- LMKDB1104：SBI_IN - CLK3、CLK2、CLK1、CLK0–SBI_OUT

8.4.3 ピン モード

SMBus または SBI インターフェイスが不要な場合、SMBus ピンまたは SBI ピンは未接続のままにしておくことができます。このデバイスはピン モードで動作でき、OE# ピンによって出力を有効または無効にできます。

Copyright © 2025 Texas Instruments Incorporated

9 レジスタ マップ

9.1 LMKDB1120 および LMKDB1120FS レジスタ

表 9-1 は、LMKDB1120 および LMKDB1120FS のメモリ マップトレジスタを一覧表示します。表 9-1 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 9-1. LMKDB1120 および LMKDB1120FS レジスタ

オフセット	略称	レジスタ名	セクション
0h	R0	CLK16~CLK19 の出力イネーブル制御	セクション 9.1.1
1h	R1	CLK0~CLK7 の出力イネーブル制御	セクション 9.1.2
2h	R2	CLK8~CLK15 の出力イネーブル制御	セクション 9.1.3
3h	R3	CLK5～CLK12 までの OE ピンのリード バック	セクション 9.1.4
4h	R4	AOD イネーブル制御と SBI_EN リード バック	セクション 9.1.5
5h	R5	デバイス情報	セクション 9.1.6
6h	R6	デバイス情報 (続き)	セクション 9.1.7
7h	R7	SMBus バイト カウンタ	セクション 9.1.8
8h	R8	CLK0~CLK7 の SBI マスク	セクション 9.1.9
9h	R9	CLK8 および CLK15 用の SBI マスク	セクション 9.1.10
Ah	R10	CLK16 および CLK19 用の SBI マスク	セクション 9.1.11
Bh	R11	CLK0～CLK7 用の出力スルーレート選択 MSB	セクション 9.1.12
Ch	R12	CLK8～CLK15 用の出力スルーレート選択 MSB	セクション 9.1.13
Dh	R13	CLK16～CLK19 用の出力スルーレート選択 MSB	セクション 9.1.14
14h	R20	出力振幅	セクション 9.1.15
15h	R21	入力設定、PD で構成を保存、SMB SDATA 監視、および LOS リード バック	セクション 9.1.16
21h	R33	CLK0～CLK7 までの SBI マスクのリード バック	セクション 9.1.17
22h	R34	CLK8～CLK15 までの SBI マスクのリード バック	セクション 9.1.18
23h	R35	CLK16～CLK19 までの SBI マスクのリード バック	セクション 9.1.19
26h	R38	クリアできない SMBUS 書き込みロック	セクション 9.1.20
27h	R39	LOS イベント ステータスおよびクリア可能な SMBus 書き込みロック	セクション 9.1.21
5Bh	R91	スルーレート速度オプション 1 および 2 の割り当て	セクション 9.1.22
5Ch	R92	スルーレート速度オプション 3 および 4 の割り当て	セクション 9.1.23
62h	R98	CLK0～CLK7 用の出力スルーレート選択 LSB	セクション 9.1.24
63h	R99	CLK8～CLK15 用の出力スルーレート選択 LSB	セクション 9.1.25
64h	R100	CLK16～CLK19 用の出力スルーレート選択 LSB	セクション 9.1.26

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-2. LMKDB1120 および LMKDB1120FS のアクセス タイプコード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し後 クリア

表 9-2. LMKDB1120 および LMKDB1120FS のアクセス タイプコード (続き)

アクセス タイプ	コード	説明
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
WSC	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.1.1 R0 レジスタ (オフセット = 0h) [リセット = 78h]

R0 を表 9-3 に示します。

概略表に戻ります。

表 9-3. R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CLK_EN_19	R/W	1h	CLK19 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
5	CLK_EN_18	R/W	1h	CLK18 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
4	CLK_EN_17	R/W	1h	CLK17 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
3	CLK_EN_16	R/W	1h	CLK16 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
2:0	予約済み	R	0h	予約済み

9.1.2 R1 レジスタ (オフセット = 1h) [リセット = FFh]

R1 を表 9-4 に示します。

概略表に戻ります。

表 9-4. R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLK_EN_7	R/W	1h	CLK7 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
6	CLK_EN_6	R/W	1h	CLK6 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
5	CLK_EN_5	R/W	1h	CLK5 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル

Copyright © 2025 Texas Instruments Incorporated

表 9-4. R1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	CLK_EN_4	R/W	1h	CLK4 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
3	CLK_EN_3	R/W	1h	CLK3 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
2	CLK_EN_2	R/W	1h	CLK2 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
1	CLK_EN_1	R/W	1h	CLK1 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
0	CLK_EN_0	R/W	1h	CLK0 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル

9.1.3 R2 レジスタ (オフセット = 2h) [リセット = FFh]

R2 を表 9-5 に示します。

概略表に戻ります。

表 9-5. R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLK_EN_15	R/W	1h	CLK15 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
6	CLK_EN_14	R/W	1h	CLK14 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
5	CLK_EN_13	R/W	1h	CLK13 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
4	CLK_EN_12	R/W	1h	CLK12 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
3	CLK_EN_11	R/W	1h	CLK11 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
2	CLK_EN_10	R/W	1h	CLK10 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
1	CLK_EN_9	R/W	1h	CLK9 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
0	CLK_EN_8	R/W	1h	CLK8 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル

Copyright © 2025 Texas Instruments Incorporated

9.1.4 R3 レジスタ (オフセット = 3h) [リセット = 00h]

R3 を表 9-6 に示します。

概略表に戻ります。

表 9-6. R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RB_OEb_12	R	0h	OEb12 のステータス
6	RB_OEb_11	R	0h	OEb11 のステータス
5	RB_OEb_10	R	0h	OEb10 のステータス
4	RB_OEb_9	R	0h	OEb9 のステータス
3	RB_OEb_8	R	0h	OEb8 のステータス
2	RB_OEb_7	R	0h	OEb7 のステータス
1	RB_OEb_6	R	0h	OEb6 のステータス
0	RB_OEb_5	R	0h	OEb5 のステータス

9.1.5 R4 レジスタ (オフセット = 4h) [リセット = 10h]

R4 を表 9-7 に示します。

概略表に戻ります。

表 9-7. R4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	BANK1_AOD_ENABLE	R/W	1h	LOS イベントが検出された際に、出力を自動的に low/low に無効化する機能をイネーブルにします。詳細については、「自動出力ディスエーブル」セクションを参照してください。 0h = ディセーブル 1h = イネーブル
3:1	予約済み	R	0h	予約済み
0	RB_SBI_ENQ	R	0h	SBI_ENQ のステータス

9.1.6 R5 レジスタ (オフセット = 5h) [リセット = 0Ah]

R5 を表 9-8 に示します。

概略表に戻ります。

表 9-8. R5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	REV_ID	R	0h	シリコンのリビジョン
3:0	VENDOR_ID	R	Ah	ベンダ ID

9.1.7 R6 レジスタ (オフセット = 6h) [リセット = C9h]

R6 を表 9-9 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 9-9. R6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEV_ID	R	C9h	デバイス ID

9.1.8 R7 レジスタ (オフセット = 7h) [リセット = 07h]

R7 を表 9-10 に示します。

概略表に戻ります。

表 9-10. R7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4:0	SMBUS_BC	R/W	7h	SMBus ブロック読み取りバイト数

9.1.9 R8 レジスタ (オフセット = 8h) [リセット = 00h]

R8 を表 9-11 に示します。

概略表に戻ります。

表 9-11. R8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SBI_MASK_7	R/W	0h	CLK7 に対するサイドバンド ディスエーブルをマスク オフ
6	SBI_MASK_6	R/W	0h	CLK6 に対するサイドバンド ディスエーブルをマスク オフ
5	SBI_MASK_5	R/W	0h	CLK5 に対するサイドバンド ディスエーブルをマスク オフ
4	SBI_MASK_4	R/W	0h	CLK4 に対するサイドバンド ディスエーブルをマスク オフ
3	SBI_MASK_3	R/W	0h	CLK3 に対するサイドバンド ディスエーブルをマスク オフ
2	SBI_MASK_2	R/W	0h	CLK2 に対するサイドバンド ディスエーブルをマスク オフ
1	SBI_MASK_1	R/W	0h	CLK1 に対するサイドバンド ディスエーブルをマスク オフ
0	SBI_MASK_0	R/W	0h	CLK0 に対するサイドバンド ディスエーブルをマスク オフ

9.1.10 R9 レジスタ (オフセット = 9h) [リセット = 00h]

R9 を表 9-12 に示します。

概略表に戻ります。

表 9-12. R9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SBI_MASK_15	R/W	0h	CLK15 に対するサイドバンド ディスエーブルをマスク オフ
6	SBI_MASK_14	R/W	0h	CLK14 に対するサイドバンド ディスエーブルをマスク オフ
5	SBI_MASK_13	R/W	0h	CLK13 に対するサイドバンド ディスエーブルをマスク オフ
4	SBI_MASK_12	R/W	0h	CLK12 に対するサイドバンド ディスエーブルをマスク オフ
3	SBI_MASK_11	R/W	0h	CLK11 に対するサイドバンド ディスエーブルをマスク オフ
2	SBI_MASK_10	R/W	0h	CLK10 に対するサイドバンド ディスエーブルをマスク オフ
1	SBI_MASK_9	R/W	0h	CLK9 に対するサイドバンド ディスエーブルをマスク オフ
0	SBI_MASK_8	R/W	0h	CLK8 に対するサイドバンド ディスエーブルをマスク オフ

Copyright © 2025 Texas Instruments Incorporated

9.1.11 R10 レジスタ (オフセット = Ah) [リセット = 00h]

R10 を表 9-13 に示します。

概略表に戻ります。

表 9-13. R10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	SBI_MASK_19	R/W	0h	CLK19 に対するサイドバンド ディスエーブルをマスク オフ
2	SBI_MASK_18	R/W	0h	CLK18 に対するサイドバンド ディスエーブルをマスク オフ
1	SBI_MASK_17	R/W	0h	CLK17 に対するサイドバンド ディスエーブルをマスク オフ
0	SBI_MASK_16	R/W	0h	CLK16 に対するサイドバンド ディスエーブルをマスク オフ

9.1.12 R11 レジスタ (オフセット = Bh) [リセット = FFh]

R11 を表 9-14 に示します。

概略表に戻ります。

表 9-14. R11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SLEWRATE_SEL_CLK7_MSB	R/W	1h	MSB CLK7 スルーレート選択
6	SLEWRATE_SEL_CLK6_MSB	R/W	1h	MSB CLK6 スルーレート選択
5	SLEWRATE_SEL_CLK5_MSB	R/W	1h	MSB CLK5 スルーレート選択
4	SLEWRATE_SEL_CLK4_MSB	R/W	1h	MSB CLK4 スルーレート選択
3	SLEWRATE_SEL_CLK3_MSB	R/W	1h	MSB CLK3 スルーレート選択
2	SLEWRATE_SEL_CLK2_MSB	R/W	1h	MSB CLK2 スルーレート選択
1	SLEWRATE_SEL_CLK1_MSB	R/W	1h	MSB CLK1 スルーレート選択
0	SLEWRATE_SEL_CLK0_MSB	R/W	1h	MSB CLK0 スルーレート選択

9.1.13 R12 レジスタ (オフセット = Ch) [リセット = FFh]

R12 を表 9-15 に示します。

概略表に戻ります。

表 9-15. R12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SLEWRATE_SEL_CLK15_MSB	R/W	1h	MSB CLK15 スルーレート選択
6	SLEWRATE_SEL_CLK14_MSB	R/W	1h	MSB CLK14 スルーレート選択
5	SLEWRATE_SEL_CLK13_MSB	R/W	1h	MSB CLK13 スルーレート選択
4	SLEWRATE_SEL_CLK12_MSB	R/W	1h	MSB CLK12 スルーレート選択

Copyright © 2025 Texas Instruments Incorporated

表 9-15. R12 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	SLEWRATE_SEL_CLK11_MSB	R/W	1h	MSB CLK11 スルーレート選択
2	SLEWRATE_SEL_CLK10_MSB	R/W	1h	MSB CLK10 スルーレート選択
1	SLEWRATE_SEL_CLK9_MSB	R/W	1h	MSB CLK9 スルーレート選択
0	SLEWRATE_SEL_CLK8_MSB	R/W	1h	MSB CLK8 スルーレート選択

9.1.14 R13 レジスタ (オフセット = Dh) [リセット = 0Fh]

R13 を表 9-16 に示します。

概略表に戻ります。

表 9-16. R13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	SLEWRATE_SEL_CLK19_MSB	R/W	1h	MSB CLK19 スルーレート選択
2	SLEWRATE_SEL_CLK18_MSB	R/W	1h	MSB CLK18 スルーレート選択
1	SLEWRATE_SEL_CLK17_MSB	R/W	1h	MSB CLK17 スルーレート選択
0	SLEWRATE_SEL_CLK16_MSB	R/W	1h	MSB CLK16 スルーレート選択

9.1.15 R20 レジスタ (オフセット = 14h) [リセット = 66h]

R20 を表 9-17 に示します。

概略表に戻ります。

表 9-17. R20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	AMP	R/W	6h	グローバル差動出力制御 = 0.6V ～約 1V 25mV/ ステップがデフォルト = 0.75V 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	予約済み	R	0h	予約済み

9.1.16 R21 レジスタ (オフセット = 15h) [リセット = 0Ch]

R21 を表 9-18 に示します。

概略表に戻ります。

表 9-18. R21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RX1_EN_AC_INPUT	R/W	0h	CLKIN が AC 結合のとき、レシーバ バイアスを有効化 0h = DC 結合入力 1h = AC 結合入力
6	RX1_EN_RTERM_LSB	R/W	0h	CLKIN1 の終端抵抗のイネーブル 0h = 入力終端 R ディセーブル 1h = 入力終端 R イネーブル
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	PD_RESTOREB	R/W	1h	パワーダウン時に、1'b0: 構成をクリア、1'b1: 構成を保存
2	SDATA_TIMEOUT_EN	R/W	1h	SMB SDATA タイムアウト監視をイネーブル 0h = SDATA タイムアウトをディスエーブル 1h = SDATA タイムアウトをイネーブル
1	予約済み	R	0h	予約済み
0	LOSb_RB	R	0h	損失検出ブロック出力のリアルタイム リード バック 0h = LOS イベント検出 1h = LOS イベントは未検出

9.1.17 R33 レジスタ (オフセット = 21h) [リセット = FFh]

R33 を表 9-19 に示します。

概略表に戻ります。

表 9-19. R33 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SBI_CLK_7	R	1h	CLK7 のサイドバンドディスエーブルのリードバック
6	SBI_CLK_6	R	1h	CLK6 のサイドバンドディスエーブルのリードバック
5	SBI_CLK_5	R	1h	CLK5 のサイドバンドディスエーブルのリードバック
4	SBI_CLK_4	R	1h	CLK4 のサイドバンドディスエーブルのリードバック
3	SBI_CLK_3	R	1h	CLK3 のサイドバンドディスエーブルのリードバック
2	SBI_CLK_2	R	1h	CLK2 のサイドバンドディスエーブルのリードバック
1	SBI_CLK_1	R	1h	CLK1 のサイドバンドディスエーブルのリードバック
0	SBI_CLK_0	R	1h	CLK0 のサイドバンドディスエーブルのリードバック

9.1.18 R34 レジスタ (オフセット = 22h) [リセット = FFh]

R34 を表 9-20 に示します。

概略表に戻ります。

表 9-20. R34 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SBI_CLK_15	R	1h	CLK15 のサイドバンドディスエーブルのリードバック
6	SBI_CLK_14	R	1h	CLK14 のサイドバンドディスエーブルのリードバック

Copyright © 2025 Texas Instruments Incorporated

表 9-20. R34 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	SBI_CLK_13	R	1h	CLK13 のサイドバンドディスエーブルのリードバック
4	SBI_CLK_12	R	1h	CLK12 のサイドバンドディスエーブルのリードバック
3	SBI_CLK_11	R	1h	CLK11 のサイドバンドディスエーブルのリードバック
2	SBI_CLK_10	R	1h	CLK10 のサイドバンドディスエーブルのリードバック
1	SBI_CLK_9	R	1h	CLK9 のサイドバンドディスエーブルのリードバック
0	SBI_CLK_8	R	1h	CLK8 のサイドバンドディスエーブルのリードバック

9.1.19 R35 レジスタ (オフセット = 23h) [リセット = 0Fh]

R35 を表 9-21 に示します。

概略表に戻ります。

表 9-21. R35 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	SBI_CLK_19	R	1h	CLK19 のサイドバンドディスエーブルのリードバック
2	SBI_CLK_18	R	1h	CLK18 のサイドバンドディスエーブルのリードバック
1	SBI_CLK_17	R	1h	CLK17 のサイドバンドディスエーブルのリードバック
0	SBI_CLK_16	R	1h	CLK16 のサイドバンドディスエーブルのリードバック

9.1.20 R38 レジスタ (オフセット = 26h) [リセット = 00h]

R38 を表 9-22 に示します。

概略表に戻ります。

表 9-22. R38 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み
0	WRITE_LOCK	W1C	0h	クリア不可能 SMBus 書き込みロックビット。1 が書き込まれると、SMBus 制御レジスタには書き込みできなくなります。このビットは、電源を再投入することでのみクリアされます。 0h = 書き込み時に SMBus はロックされていません 1h =書き込み用に SMBus がロックされています

9.1.21 R39 レジスタ (オフセット = 27h) [リセット = 00h]

R39 を表 9-23 に示します。

概略表に戻ります。

表 9-23. R39 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R	0h	予約済み
1	LOS_EVT	R/WSC	0h	LOS イベント ステータスは、高レベルの場合、LOS イベントが検出されたことを示します。ビットに 1 を書き込むことでクリアできます。 0h = LOS イベントは検出されていません 1h = LOS イベントが検出されました

表 9-23. R39 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	WRITE_LOCK_RW1C	R/W	0h	クリア可能な SMBus 書き込みロックビット。1 が書き込まれると、SMBus 制御レジスタには書き込みできなくなります。このビットは、ビットに 1 を書き込むことでクリアできます。 0h = 書き込み時に SMBus はロックされていません 1h =書き込み用に SMBus がロックされています

9.1.22 R91 レジスタ (オフセット = 5Bh) [リセット = 00h]

R91 を表 9-24 に示します。

概略表に戻ります。

表 9-24. R91 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	SLEWRATE_OPT_2	R/W	2h/6h	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 2 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 1h = 1 2h = 2 (LMKDB1120FS のデフォルト) 3h = 3 4h = 4 5h = 5 6h = 6 (LMKDB1120 のデフォルト) 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15
3:0	SLEWRATE_OPT_1	R/W	0h	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 1 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

9.1.23 R92 レジスタ (オフセット = 5Ch) [リセット = 00h]

R92 を表 9-25 に示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

表 9-25. R92 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	SLEWRATE_OPT_4	R/W	Fh	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 4 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15
3:0	SLEWRATE_OPT_3	R/W	6h/Ah	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 3 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 (LMKDB1120FS のデフォルト) 7h = 7 8h = 8 9h = 9 Ah = 10 (LMKDB1120 のデフォルト) Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

9.1.24 R98 レジスタ (オフセット = 62h) [リセット = 00h]

R98 を表 9-26 に示します。

概略表に戻ります。

表 9-26. R98 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SLEWRATE_SEL_CLK7_LSB	R/W	0h	LSB CLK7 スルーレート選択
6	SLEWRATE_SEL_CLK6_LSB	R/W	0h	LSB CLK6 スルーレート選択
5	SLEWRATE_SEL_CLK5_LSB	R/W	0h	LSB CLK5 スルーレート選択
4	SLEWRATE_SEL_CLK4_LSB	R/W	0h	LSB CLK4 スルーレート選択

表 9-26. R98 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	SLEWRATE_SEL_CLK3_LSB	R/W	0h	LSB CLK3 スルーレート選択
2	SLEWRATE_SEL_CLK2_LSB	R/W	0h	LSB CLK2 スルーレート選択
1	SLEWRATE_SEL_CLK1_LSB	R/W	0h	LSB CLK1 スルーレート選択
0	SLEWRATE_SEL_CLK0_LSB	R/W	0h	LSB CLK0 スルーレート選択

9.1.25 R99 レジスタ (オフセット = 63h) [リセット = 00h]

R99 を表 9-27 に示します。

概略表に戻ります。

表 9-27. R99 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SLEWRATE_SEL_CLK15_LSB	R/W	0h	LSB CLK15 スルーレート選択
6	SLEWRATE_SEL_CLK14_LSB	R/W	0h	LSB CLK14 スルーレート選択
5	SLEWRATE_SEL_CLK13_LSB	R/W	0h	LSB CLK13 スルーレート選択
4	SLEWRATE_SEL_CLK12_LSB	R/W	0h	LSB CLK12 スルーレート選択
3	SLEWRATE_SEL_CLK11_LSB	R/W	0h	LSB CLK11 スルーレート選択
2	SLEWRATE_SEL_CLK10_LSB	R/W	0h	LSB CLK10 スルーレート選択
1	SLEWRATE_SEL_CLK9_LSB	R/W	0h	LSB CLK9 スルーレート選択
0	SLEWRATE_SEL_CLK8_LSB	R/W	0h	LSB CLK8 スルーレート選択

9.1.26 R100 レジスタ (オフセット = 64h) [リセット = 00h]

R100 を表 9-28 に示します。

概略表に戻ります。

表 9-28. R100 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	SLEWRATE_SEL_CLK19_LSB	R/W	0h	LSB CLK19 スルーレート選択
2	SLEWRATE_SEL_CLK18_LSB	R/W	0h	LSB CLK18 スルーレート選択
1	SLEWRATE_SEL_CLK17_LSB	R/W	0h	LSB CLK17 スルーレート選択
0	SLEWRATE_SEL_CLK16_LSB	R/W	0h	LSB CLK16 スルーレート選択

Copyright © 2025 Texas Instruments Incorporated

9.2 LMKDB1108 および LMKDB1108FS レジスタ

表 9-29 は、LMKDB1108 および LMKDB1108FS のメモリ マップトレジスタを一覧表示します。表 9-29 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 9-29. LMKDB1108 および LMKDB1108FS レジスタ

オフセット	略称	レジスタ名	セクション
0h	R0	CLK2~CLK7 の出力イネーブル制御	セクション 9.2.1
1h	R1	CLK0 および CLK1 の出力イネーブル制御	セクション 9.2.2
2h	R2	CLK2～CLK7 までの OE ピンのリード バック	セクション 9.2.3
3h	R3	CLK0 および CLK1 の OE ピンのリード バック	セクション 9.2.4
4h	R4	AOD イネーブル制御と SBI_EN リード バック	セクション 9.2.5
5h	R5	デバイス情報	セクション 9.2.6
6h	R6	デバイス情報 (続き)	セクション 9.2.7
7h	R7	SMBus バイト カウンタ	セクション 9.2.8
8h	R8	CLK2~CLK7 の SBI マスク	セクション 9.2.9
9h	R9	CLK0 および CLK1 用の SBI マスク	セクション 9.2.10
Bh	R11	CLK0～CLK5 までの SBI マスクのリード バック	セクション 9.2.11
Ch	R12	CLK6～CLK7 までの SBI マスクのリード バック	セクション 9.2.12
11h	R17	出力振幅	セクション 9.2.13
12h	R18	入力設定、PD で構成を保存、SMB SDATA 監視、および LOS リード バック	セクション 9.2.14
14h	R20	CLK2～CLK7 用の出力スルーレート選択 MSB	セクション 9.2.15
15h	R21	出力スルーレート選択の CLK0 と CLK1 の MSB	セクション 9.2.16
26h	R38	クリアできない SMBUS 書き込みロック	セクション 9.2.17
27h	R39	LOS イベント ステータスおよびクリア可能な SMBus 書き込みロック	セクション 9.2.18
35h	R53	スルーレート モード制御の選択	セクション 9.2.19
5Bh	R91	スルーレート速度オプション 1 および 2 の割り当て	セクション 9.2.20
5Ch	R92	スルーレート速度オプション 3 および 4 の割り当て	セクション 9.2.21
62h	R98	CLK0～CLK7 用の出力スルーレート選択 LSB	セクション 9.2.22

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-30 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-30. LMKDB1108 および LMKDB1108FS のアクセス タイプコード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し後 クリア
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
WSC	W	書き込み
リセットまたはデフォルト値		

表 9-30. LMKDB1108 および LMKDB1108FS のアクセス タイプコード (続き)

アクセス タイプ	コード	説明
-n		リセット後の値またはデフォルト値

9.2.1 R0 レジスタ (オフセット = 0h) [リセット値 = EEh]

R0 を表 9-31 に示します。

概略表に戻ります。

表 9-31. R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLK_EN_2	R/W	1h	CLK2 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
6	CLK_EN_3	R/W	1h	CLK3 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
5	CLK_EN_4	R/W	1h	CLK4 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
4	予約済み	R	0h	予約済み
3	CLK_EN_5	R/W	1h	CLK5 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
2	CLK_EN_6	R/W	1h	CLK6 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
1	CLK_EN_7	R/W	1h	CLK7 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
0	予約済み	R	0h	予約済み

9.2.2 R1 レジスタ (オフセット = 1h) [リセット = 24h]

R1 を表 9-32 に示します。

概略表に戻ります。

表 9-32. R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	CLK_EN_0	R/W	1h	CLK0 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
4:3	予約済み	R	0h	予約済み
2	CLK_EN_1	R/W	1h	CLK1 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
1:0	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

9.2.3 R2 レジスタ (オフセット = 2h) [リセット = 00h]

R2 を表 9-33 に示します。

概略表に戻ります。

表 9-33. R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RB_OEb_2	R	0h	OEb2 のステータス
6	RB_OEb_3	R	0h	OEb3 のステータス
5	RB_OEb_4	R	0h	OEb4 のステータス
4	予約済み	R	0h	予約済み
3	RB_OEb_5	R	0h	OEb5 のステータス
2	RB_OEb_6	R	0h	OEb6 のステータス
1	RB_OEb_7	R	0h	OEb7 のステータス
0	予約済み	R	0h	予約済み

9.2.4 R3 レジスタ (オフセット = 3h) [リセット = 00h]

R3 を表 9-34 に示します。

概略表に戻ります。

表 9-34. R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RB_OEb_0	R	0h	OEb0 のステータス
4:3	予約済み	R	0h	予約済み
2	RB_OEb_1	R	0h	OEb1 のステータス
1:0	予約済み	R	0h	予約済み

9.2.5 R4 レジスタ (オフセット = 4h) [リセット = 10h]

R4 を表 9-35 に示します。

概略表に戻ります。

表 9-35. R4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	AOD_ENABLE	R/W	1h	LOS イベントが検出された際に、出力を自動的に low/low に無効化する機能 (AOD) をイネーブルにします。詳細については、「自動出力ディスエーブル」セクションを参照してください。 0h =ディスエーブル (DC 結合)) 1h = イネーブル (AC 結合)
3:1	予約済み	R	0h	予約済み
0	RB_SBI_ENQ	R	0h	SBI_ENQ のステータス

9.2.6 R5 レジスタ (オフセット = 5h) [リセット = 0Ah]

R5 を表 9-36 に示します。

概略表に戻ります。

表 9-36. R5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	REV_ID	R	0h	リビジョン ID
3:0	VENDOR_ID	R	Ah	ベンダ ID

9.2.7 R6 レジスタ (オフセット = 6h) [リセット = 08h]

R6 を表 9-37 に示します。

概略表に戻ります。

表 9-37. R6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEV_ID	R	8h	デバイス ID

9.2.8 R7 レジスタ (オフセット = 7h) [リセット = 07h]

R7 を表 9-38 に示します。

概略表に戻ります。

表 9-38. R7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4:0	SMBUS_BC	R/W	7h	SMBUS ブロック読み取りバイト数

9.2.9 R8 レジスタ (オフセット = 8h) [リセット = 00h]

R8 を表 9-39 に示します。

概略表に戻ります。

表 9-39. R8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SBI_MASK_2	R/W	0h	CLK2 に対するサイドバンド ディスエーブルをマスク オフ
6	SBI_MASK_3	R/W	0h	CLK3 に対するサイドバンド ディスエーブルをマスク オフ
5	SBI_MASK_4	R/W	0h	CLK4 に対するサイドバンド ディスエーブルをマスク オフ
4	予約済み	R	0h	予約済み
3	SBI_MASK_5	R/W	0h	CLK5 に対するサイドバンド ディスエーブルをマスク オフ
2	SBI_MASK_6	R/W	0h	CLK6 に対するサイドバンド ディスエーブルをマスク オフ
1	SBI_MASK_7	R/W	0h	CLK7 に対するサイドバンド ディスエーブルをマスク オフ
0	予約済み	R	0h	予約済み

9.2.10 R9 レジスタ (オフセット = 9h) [リセット = 00h]

R9 を表 9-40 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 9-40. R9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SBI_MASK_0	R/W	0h	CLK0 に対するサイドバンド ディスエーブルをマスク オフ
4:3	予約済み	R	0h	予約済み
2	SBI_MASK_1	R/W	0h	CLK1 に対するサイドバンド ディスエーブルをマスク オフ
1:0	予約済み	R	0h	予約済み

9.2.11 R11 レジスタ (オフセット = Bh) [リセット = EEh]

R11 を表 9-41 に示します。

概略表に戻ります。

表 9-41. R11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SBI_CLK_2	R	1h	CLK5 のサイドバンドディスエーブルのリードバック
6	SBI_CLK_3	R	1h	CLK4 のサイドバンドディスエーブルのリードバック
5	SBI_CLK_4	R	1h	CLK3 のサイドバンドディスエーブルのリードバック
4	予約済み	R	0h	予約済み
3	SBI_CLK_5	R	1h	CLK2 のサイドバンドディスエーブルのリードバック
2	SBI_CLK_6	R	1h	CLK1 のサイドバンドディスエーブルのリードバック
1	SBI_CLK_7	R	1h	CLK0 のサイドバンドディスエーブルのリードバック
0	予約済み	R	0h	予約済み

9.2.12 R12 レジスタ (オフセット = Ch) [リセット = 24h]

R12 を表 9-42 に示します。

概略表に戻ります。

表 9-42. R12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SBI_CLK_0	R	1h	CLK7 のサイドバンドディスエーブルのリードバック
4:3	予約済み	R	0h	予約済み
2	SBI_CLK_1	R	1h	CLK6 のサイドバンドディスエーブルのリードバック
1:0	予約済み	R	0h	予約済み

9.2.13 R17 レジスタ (オフセット = 11h) [リセット = 66h]

R17 を表 9-43 に示します。

概略表に戻ります。

表 9-43. R17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	AMP	R/W	6h	グローバル差動出力制御 0.6V~1V 25mV/ ステップ、デフォルト = 0.8V 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	予約済み	R	0h	予約済み

9.2.14 R18 レジスタ (オフセット = 12h) [リセット = 08h]

R18 を表 9-44 に示します。

概略表に戻ります。

表 9-44. R18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RX_EN_AC_INPUT	R/W	0h	CLKIN が AC 結合のとき、レシーバ バイアスを有効化 0h = DC 結合入力 1h = AC 結合入力
6	RX_EN_RTERM_LSB	R/W	0h	CLKIN1 の終端抵抗をイネーブル/ディスエーブル 0h = ディスエーブル 1h = イネーブル
5:4	予約済み	R	0h	予約済み
3	PD_RESTOREB	R/W	1h	パワーダウン時に構成を保存 0h = 構成をクリア 1h = 構成を保存済み
2:1	予約済み	R	0h	予約済み
0	LOSb_RB	R	0h	損失検出ブロック出力のリアルタイム リード バック 0h = LOS イベント検出 1h = LOS イベントは未検出

9.2.15 R20 レジスタ (オフセット = 14h) [リセット値 = EEh]

R20 を表 9-45 に示します。

概略表に戻ります。

表 9-45. R20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SLEWRATE_SEL_CLK2_MSB	R/W	1h	MSB CLK2 スルーレート選択
6	SLEWRATE_SEL_CLK3_MSB	R/W	1h	MSB CLK3 スルーレート選択

Copyright © 2025 Texas Instruments Incorporated

表 9-45. R20 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	SLEWRATE_SEL_CLK4_MSB	R/W	1h	MSB CLK4 スルーレート選択
4	予約済み	R	0h	予約済み
3	SLEWRATE_SEL_CLK5_MSB	R/W	1h	MSB CLK5 スルーレート選択
2	SLEWRATE_SEL_CLK6_MSB	R/W	1h	MSB CLK6 スルーレート選択
1	SLEWRATE_SEL_CLK7_MSB	R/W	1h	MSB CLK7 スルーレート選択
0	予約済み	R	0h	予約済み

9.2.16 R21 レジスタ (オフセット = 15h) [リセット = 24h]

R21 を表 9-46 に示します。

概略表に戻ります。

表 9-46. R21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SLEWRATE_SEL_CLK0_MSB	R/W	1h	MSB CLK0 スルーレート選択
4:3	予約済み	R	0h	予約済み
2	SLEWRATE_SEL_CLK1_MSB	R/W	1h	MSB CLK1 スルーレート選択
1:0	予約済み	R	0h	予約済み

9.2.17 R38 レジスタ (オフセット = 26h) [リセット = 00h]

R38 を表 9-47 に示します。

概略表に戻ります。

表 9-47. R38 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み
0	WRITE_LOCK	R	0h	クリア不可能 SMBus 書き込みロックビット。1 が書き込まれると、SMBus 制御レジスタには書き込みできなくなります。このビットは、電源を再投入することでのみクリアされます。 0h = 書き込み時に SMBus はロックされていません 1h =書き込み用に SMBus がロックされています

9.2.18 R39 レジスタ (オフセット = 27h) [リセット = 00h]

R39 を表 9-48 に示します。

概略表に戻ります。

表 9-48. R39 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R	0h	予約済み

表 9-48. R39 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	LOS_EVT	R/W	0h	LOS イベント ステータス。High の場合、LOS イベントが検出されたことを示します。これは 1 を書き込むことで無効にできます。 0h = LOS イベントは検出されていません 1h = LOS イベントが検出されました
0	WRITE_LOCK_RW1C	R	0h	クリア可能な SMBus 書き込みロックビット。1 が書き込まれると、SMBus 制御レジスタには書き込みできなくなります。このビットは、1 を書き込むことでクリアされます。 0h = 書き込み時に SMBus はロックされていません 1h =書き込み用に SMBus がロックされています

9.2.19 R53 レジスタ (オフセット = 35h) [リセット = 00h]

R53 を表 9-49 に示します。

概略表に戻ります。

表 9-49. R53 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SLEWRATE_CTRL_MODE	R/WSC	0h	出力のスルーレートを変更する際に使用するモードを設定します 0h = ピン モード 1h = SMBus モード
4:0	予約済み	R	0h	予約済み

9.2.20 R91 レジスタ (オフセット = 5Bh) [リセット = 60h]

R91 を表 9-50 に示します。

概略表に戻ります。

表 9-50. R91 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	SLEWRATE_OPT_2	R/W	2h/6h	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 2 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 1h = 1 2h = 2 (LMKDB1108FS のデフォルト) 3h = 3 4h = 4 5h = 5 6h = 6 (LMKDB1108 のデフォルト) 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

Copyright © 2025 Texas Instruments Incorporated

表 9-50. R91 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	SLEWRATE_OPT_1	R/W	0h	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 1 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

9.2.21 R92 レジスタ (オフセット = 5Ch) [リセット値 = FAh]

R92 を表 9-51 に示します。

概略表に戻ります。

表 9-51. R92 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	SLEWRATE_OPT_4	R/W	Fh	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 4 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

Copyright © 2025 Texas Instruments Incorporated

表 9-51. R92 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	SLEWRATE_OPT_3	R/W	6h/Ah	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 3 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 (LMKDB1108FS のデフォルト) 7h = 7 8h = 8 9h = 9 Ah = 10 (LMKDB1108 のデフォルト) Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

9.2.22 R98 レジスタ (オフセット = 62h) [リセット = 00h]

R98 を表 9-52 に示します。

概略表に戻ります。

表 9-52. R98 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SLEWRATE_SEL_CLK7_LSB	R/W	0h	LSB CLK7 スルーレート制御
6	SLEWRATE_SEL_CLK6_LSB	R/W	0h	LSB CLK6 スルーレート制御
5	SLEWRATE_SEL_CLK5_LSB	R/W	0h	LSB CLK5 スルーレート制御
4	SLEWRATE_SEL_CLK4_LSB	R/W	0h	LSB CLK4 スルーレート制御
3	SLEWRATE_SEL_CLK3_LSB	R/W	0h	LSB CLK3 スルーレート制御
2	SLEWRATE_SEL_CLK2_LSB	R/W	0h	LSB CLK2 スルーレート制御
1	SLEWRATE_SEL_CLK1_LSB	R/W	0h	LSB CLK1 スルーレート制御
0	SLEWRATE_SEL_CLK0_LSB	R/W	0h	LSB CLK0 スルーレート制御

Copyright © 2025 Texas Instruments Incorporated

9.3 LMKDB1104 および LMKDB1104FS レジスタ

表 9-53 は、LMKDB1104 および LMKDB1104FS のメモリ マップトレジスタを一覧表示します。表 9-53 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 9-53. LMKDB1104 および LMKDB1104FS レジスタ

オフセット	略称	レジスタ名	セクション
0h	R0	CLK2 および CLK3 の出力イネーブル制御	セクション 9.3.1
1h	R1	CLK0 および CLK1 の出力イネーブル制御	セクション 9.3.2
2h	R2	CLK2 および CLK3 の OE ピンのリード バック	セクション 9.3.3
3h	R3	CLK0 および CLK1 の OE ピンのリード バック	セクション 9.3.4
4h	R4	SBI_EN および CLKIN AOD 有効化制御のリード バック ステータス	セクション 9.3.5
5h	R5	デバイス情報	セクション 9.3.6
6h	R6	デバイス情報 (続き)	セクション 9.3.7
7h	R7	SMBus バイト カウンタ	セクション 9.3.8
8h	R8	CLK3 および CLK2 のオフサイド バンド ディスエーブルをマスクオフ	セクション 9.3.9
9h	R9	CLK1 および CLK0 のオフサイド バンド ディスエーブルをマスクオフ	セクション 9.3.10
Bh	R11	CLK3 および CLK2 のサイドバンドディスエーブルのリードバック	セクション 9.3.11
Ch	R12	CLK1 および CLK0 のサイドバンドディスエーブルのリードバック	セクション 9.3.12
11h	R17	出力振幅	セクション 9.3.13
12h	R18	入力構成、PD 時の設定保存、スルーレート選択モード、SMB SDATA 監視、および LOS リード バック	セクション 9.3.14
14h	R20	出力スルーレート選択の CLK2 と CLK3 の MSB	セクション 9.3.15
15h	R21	出力スルーレート選択の CLK0 と CLK1 の MSB	セクション 9.3.16
26h	R38	クリアできない SMBUS 書き込みロック	セクション 9.3.17
27h	R39	LOS イベント ステータスおよびクリア可能な SMBus 書き込みロック	セクション 9.3.18
5Bh	R91	スルーレート速度オプション 1 および 2 の割り当て	セクション 9.3.19
5Ch	R92	スルーレート速度オプション 3 および 4 の割り当て	セクション 9.3.20
62h	R98	出力スルーレート選択の CLK0 と CLK1 の LSB	セクション 9.3.21
63h	R99	出力スルーレート選択の CLK2 と CLK3 の LSB	セクション 9.3.22

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-54 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-54. LMKDB1104 および LMKDB1104FS のアクセス タイプコード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア

表 9-54. LMKDB1104 および LMKDB1104FS のアクセス タイプコード (続き)

アクセス タイプ	コード	説明
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.3.1 R0 レジスタ (オフセット = 0h) [リセット = 24h]

R0 を表 9-55 に示します。

概略表に戻ります。

表 9-55. R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	CLK_EN_2	R/W	1h	CLK2 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
4:3	予約済み	R	0h	予約済み
2	CLK_EN_3	R/W	1h	CLK3 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
1:0	予約済み	R	0h	予約済み

9.3.2 R1 レジスタ (オフセット = 1h) [リセット = 22h]

R1 を表 9-56 に示します。

概略表に戻ります。

表 9-56. R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	CLK_EN_0	R/W	1h	CLK0 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
4:2	予約済み	R	0h	予約済み
1	CLK_EN_1	R/W	1h	CLK1 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
0	予約済み	R	0h	予約済み

9.3.3 R2 レジスタ (オフセット = 2h) [リセット = 00h]

R2 を表 9-57 に示します。

概略表に戻ります。

表 9-57. R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RB_OEb_2	R	0h	OEb2 のステータス

Copyright © 2025 Texas Instruments Incorporated

表 9-57. R2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4:3	予約済み	R	0h	予約済み
2	RB_OEb_3	R	0h	OEb3 のステータス
1:0	予約済み	R	0h	予約済み

9.3.4 R3 レジスタ (オフセット = 3h) [リセット = 00h]

R3 を表 9-58 に示します。

概略表に戻ります。

表 9-58. R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RB_OEb_0	R	0h	OEb0 のステータス
4:2	予約済み	R	0h	予約済み
1	RB_OEb_1	R	0h	OEb1 のステータス
0	予約済み	R	0h	予約済み

9.3.5 R4 レジスタ (オフセット = 4h) [リセット = 10h]

R4 を表 9-59 に示します。

概略表に戻ります。

表 9-59. R4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	AOD_ENABLE	R/W	1h	LOS イベントが検出された場合に、CLKIN の出力を low/low に自動出力ディスエーブル (AOD) する機能をイネーブルにします。詳細については、「自動出力ディスエーブル」セクションを参照してください。 0h = 非アクティブ 1h = アクティブ
3:1	予約済み	R	0h	予約済み
0	RB_SBI_ENQ	R	0h	SBI_ENQ のステータス

9.3.6 R5 レジスタ (オフセット = 5h) [リセット = 0Ah]

R5 を表 9-60 に示します。

概略表に戻ります。

表 9-60. R5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	REV_ID	R	0h	リビジョン ID
3:0	VENDOR_ID	R	Ah	ベンダ ID

9.3.7 R6 レジスタ (オフセット = 6h) [リセット = 04h]

R6 を表 9-61 に示します。

概略表に戻ります。

表 9-61. R6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEV_ID	R	4h	デバイス ID

9.3.8 R7 レジスタ (オフセット = 7h) [リセット = 07h]

R7 を表 9-62 に示します。

概略表に戻ります。

表 9-62. R7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4:0	SMBUS_BC	R/W	7h	SMBUS ブロック読み取りバイト数

9.3.9 R8 レジスタ (オフセット = 8h) [リセット = 00h]

R8 を表 9-63 に示します。

概略表に戻ります。

表 9-63. R8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SBI_MASK_2	R/W	0h	CLK2 に対するサイドバンド ディスエーブルをマスク オフ
4:3	予約済み	R	0h	予約済み
2	SBI_MASK_3	R/W	0h	CLK3 に対するサイドバンド ディスエーブルをマスク オフ
1:0	予約済み	R	0h	予約済み

9.3.10 R9 レジスタ (オフセット = 9h) [リセット = 00h]

R9 を表 9-64 に示します。

概略表に戻ります。

表 9-64. R9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SBI_MASK_0	R/W	0h	CLK0 に対するサイドバンド ディスエーブルをマスク オフ
4:2	予約済み	R	0h	予約済み
1	SBI_MASK_1	R/W	0h	CLK1 に対するサイドバンド ディスエーブルをマスク オフ
0	予約済み	R	0h	予約済み

9.3.11 R11 レジスタ (オフセット= Bh) [リセット= 24h]

R11 を表 9-65 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 9-65. R11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SBI_CLK_2	R	1h	CLK2 のサイドバンドディスエーブルのリードバック
4:3	予約済み	R	0h	予約済み
2	SBI_CLK_3	R	1h	CLK3 のサイドバンドディスエーブルのリードバック
1:0	予約済み	R	0h	予約済み

9.3.12 R12 レジスタ (オフセット = Ch) [リセット = 22h]

R12 を表 9-66 に示します。

概略表に戻ります。

表 9-66. R12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SBI_CLK_0	R	1h	CLK0 のサイドバンドディスエーブルのリードバック
4:2	予約済み	R	0h	予約済み
1	SBI_CLK_1	R	1h	CLK1 のサイドバンドディスエーブルのリードバック
0	予約済み	R	0h	予約済み

9.3.13 R17 レジスタ (オフセット = 11h) [リセット = 66h]

R17 を表 9-67 に示します。

概略表に戻ります。

表 9-67. R17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	AMP	R/W	6h	グローバル差動出力制御、およそ 0.6V～1V、25mV/ ステップ (デフォルト = 0.75V) 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	予約済み	R	0h	予約済み

9.3.14 R18 レジスタ (オフセット = 12h) [リセット = 0Ah]

R18 を表 9-68 に示します。

概略表に戻ります。

表 9-68. R18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RX_CLKIN_EN_AC_INPUT	R/W	0h	CLKIN が AC 結合のとき、レシーバ バイアスを有効化 0h = DC 結合入力 1h = AC 結合入力
6	RX_CLKIN_EN_RTERM	R/W	0h	CLKIN1 の終端抵抗をイネーブル 0h = 入力終端無効 、1h = 入力終端有効
5	予約済み	R	0h	予約済み
4	SLEWRATE_CTRL_MODE	R	0h	ピン モードとレジスタ モードでのスルーレート選択の基本設定。 0h =ピン制御 1h =レジスタ制御
3	PD_RESTOREB	R	1h	パワーダウン時の構成保存 0h = 構成をクリア 1h = 構成を保存済み
2	予約済み	R	0h	予約済み
1	SDATA_TIMEOUT_EN	R	1h	SMBus SDATA タイムアウト監視をイネーブル 0h = SDATA タイムアウトをディスエーブル 1h = SDATA タイムアウトをイネーブル
0	LOSb_RB	R	0h	損失検出ブロック出力のリアルタイム リード バック 0h = LOS イベント検出 1h = LOS イベントは未検出

9.3.15 R20 レジスタ (オフセット = 14h) [リセット = 24h]

R20 を表 9-69 に示します。

概略表に戻ります。

表 9-69. R20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SLEWRATE_SEL_CLK2_MSB	R/W	1h	MSB CLK2 スルーレート選択
4:3	予約済み	R	0h	予約済み
2	SLEWRATE_SEL_CLK3_MSB	R/W	1h	MSB CLK3 スルーレート選択
1:0	予約済み	R	0h	予約済み

9.3.16 R21 レジスタ (オフセット = 15h) [リセット = 22h]

R21 を表 9-70 に示します。

概略表に戻ります。

表 9-70. R21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SLEWRATE_SEL_CLK0_MSB	R/W	1h	MSB CLK0 スルーレート選択
4:2	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

表 9-70. R21 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	SLEWRATE_SEL_CLK1_MSB	R/W	1h	MSB CLK1 スルーレート選択
0	予約済み	R	0h	予約済み

9.3.17 R38 レジスタ (オフセット = 26h) [リセット = 00h]

R38 を表 9-71 に示します。

概略表に戻ります。

表 9-71. R38 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み
0	WRITE_LOCK	R	0h	クリア不可能 SMBus 書き込みロックビット。1 が書き込まれると、SMBus 制御レジスタには書き込みできなくなります。このビットは、電源を再投入することでのみクリアされます。 0h = 書き込み時に SMBus はロックされていません 1h =書き込み用に SMBus がロックされています

9.3.18 R39 レジスタ (オフセット = 27h) [リセット = 00h]

R39 を表 9-72 に示します。

概略表に戻ります。

表 9-72. R39 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R	0h	予約済み
1	LOS_EVT	R	0h	LOS イベント ステータス。High の場合、LOS イベントが検出されたことを示します。これは 1 を書き込むことで無効にできます。 0h = LOS イベントは検出されていません 1h = LOS イベントが検出されました
0	WRITE_LOCK_RW1C	R/W1C	0h	クリア可能な SMBus 書き込みロックビット。1 が書き込まれると、SMBus 制御レジスタには書き込みできなくなります。このビットは、1 を書き込むことでクリアされます。 0h = 書き込み時に SMBus はロックされていません 1h =書き込み用に SMBus がロックされています

9.3.19 R91 レジスタ (オフセット = 5Bh) [リセット = 60h]

R91 を表 9-73 に示します。

概略表に戻ります。

表 9-73. R91 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	SLEWRATE_OPT_2	R/W	2h/6h	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 2 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 (最高速) 1h = 1 2h = 2 (LMKDB1104FS のデフォルト) 3h = 3 4h = 4 5h = 5 6h = 6 (LMKDB1104 のデフォルト) 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最低速)
3:0	SLEWRATE_OPT_1	R/W	0h	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 1 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 (最高速) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最低速)

9.3.20 R92 レジスタ (オフセット = 5Ch) [リセット値 = FAh]

R92 を表 9-74 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 9-74. R92 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	SLEWRATE_OPT_4	R/W	Fh	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 4 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 (最高速) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最低速)
3:0	SLEWRATE_OPT_3	R/W	6h/Ah	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 3 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 (最高速) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 (LMKDB1104FS のデフォルト) 7h = 7 8h = 8 9h = 9 Ah = 10 (LMKDB1104 のデフォルト) Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最低速)

9.3.21 R98 レジスタ (オフセット = 62h) [リセット = 00h]

R98 を表 9-75 に示します。

概略表に戻ります。

表 9-75. R98 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SLEWRATE_SEL_CLK1_LSB	R/W	0h	LSB CLK1 スルーレート制御
6:5	予約済み	R	0h	予約済み
4	SLEWRATE_SEL_CLK0_LSB	R/W	0h	LSB CLK0 スルーレート制御
3:0	予約済み	R	0h	予約済み

9.3.22 R99 レジスタ (オフセット = 63h) [リセット = 00h]

R99 を表 9-76 に示します。

概略表に戻ります。

表 9-76. R99 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	SLEWRATE_SEL_CLK3_LSB	R/W	0h	LSB CLK3 スルーレート制御
5:3	予約済み	R	0h	予約済み
2	SLEWRATE_SEL_CLK2_LSB	R/W	0h	LSB CLK2 スルーレート制御
1:0	予約済み	R	0h	予約済み

10 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

LMKDB デバイスは、超低加算ジッタの LP-HCSL クロック バッファおよびクロック マルチプレクサ ファミリです。本デバイスは、SMBus レジスタ、サイド バンド インターフェイス、および OE# ピンを介して制御できます。

10.2 代表的なアプリケーション

この例は、PCIe およびイーサネット クロック分配を示しています。指定されたソースに基づき、PCIe クロック (100MHz) またはイーサネット クロック (156.25MHz) を複数コピー提供します。

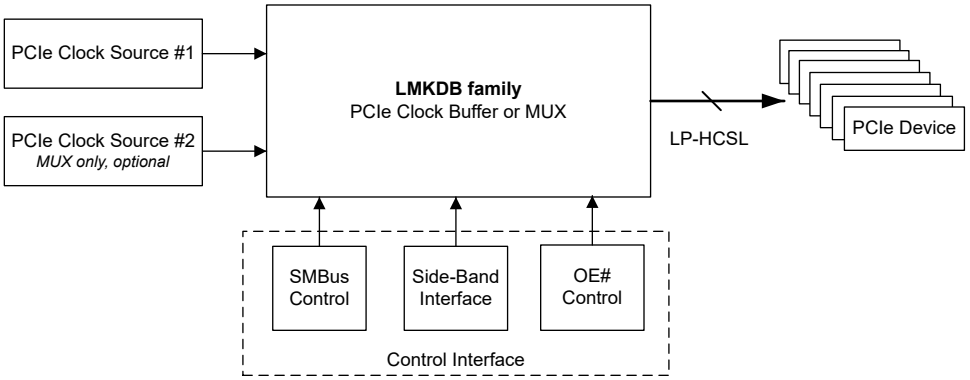


図 10-1. 代表的なアプリケーション

10.2.1 設計要件

PCIe クロック ファンアウト用とイーサネット クロック ファンアウト用に、それぞれ 2 種類のバッファを選定してください。ジッタ要件を満たし、かつスペースを最小限に抑える必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 10-1. 設計パラメータ

パラメータ	値
PCIe クロックの数	15
156.25MHz イーサネット クロックの数	7
PCIe アーキテクチャ	CC (共通クロック)
PCIe リファレンス クロックのスルーレート	≥3.5V/ns
PCIe Gen 5 リファレンス クロック ジッタ	最大 45fs
PCIe Gen 5 トータル ジッタ	最大 50fs
156.25MHz リファレンス クロックのスルーレート	≥3.5V/ns
156.25MHz リファレンス クロック ジッタ (12kHz ～ 20MHz)	最大 90fs
156.25MHz トータル ジッタ (12kHz ～ 20MHz)	最大 100fs

10.2.2 詳細な設計手順

まず、RMS 加算を用いてクロック バッファのジッタ バジェットを算出します。クロック バッファに許容される最大加算ジッタは、リファレンス クロック ジッタの二乗からトータル クロック ジッタの二乗を引いた差の平方根となります。

PCIe Gen 5 においてバッファに許容される最大加算ジッタは、sqrt ($50^2 – 45^2$) = 21fs です。仕様 *電気的特性* 表の記載によれば、共通クロックかつ入力スルーレートが 3.5V/ns 以上の試験条件における PCIe Gen 5 加算ジッタは最大 13fs であり、21fs の要件を十分に下回っています。したがって、LMKDB1120 (20 出力) は PCIe Gen 5 クロック分配に使用できます。

同様に、156.25MHz における 12kHz ～ 20MHz の最大許容加算ジッタは sqrt($100^2 – 90^2$) ＝ 43fs です。仕様 *電気的特性* 表の記載によれば、156.25MHz における 12kHz ～ 20MHz の加算ジッタは最大 31fs であり、43fs の要件を十分に下回っています。したがって、LMKDB1108 (8 出力) はイーサネット クロック分配に使用できます。

10.2.3 アプリケーション曲線

以下のプロットは、156.25MHz において LMKDB 使用前後の位相ノイズ例です。LMKDB クロック バッファは、12kHz ～ 20MHz において 22fs (代表値) のジッタを加えます。すべての LMKDB デバイスは非常に類似した性能を有しています。

ジッタおよび LMKDB の加算ジッタが 22fs となる理由をより深く理解するためには、*タイミングがすべて を参照してください加算ジッタの測定方法* TI のブログ記事。

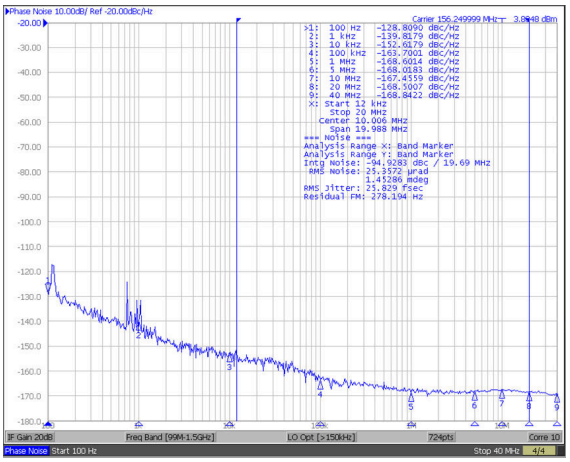
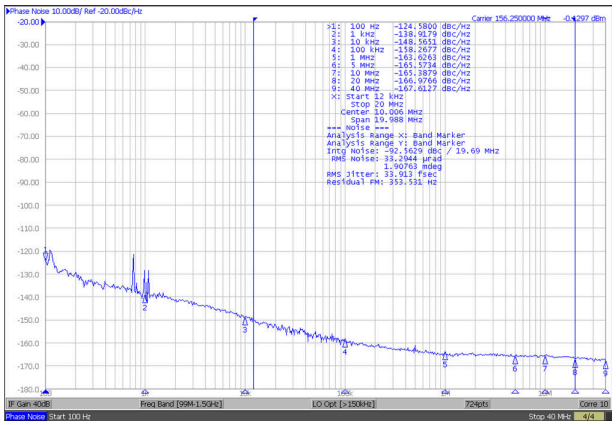


図 10-2. 入力ソース：156.25MHz (12kHz ～ 20MHz)



グラフ注記表の注記 1 および注記 2 を参照

図 10-3. LMKDB11xx/120x 位相ノイズ/出力ジッタ：156.25MHz (12kHz ～ 20MHz)

表 10-2. グラフ注記

注	
(1)	プロットに示された代表的な RMS ジッタ値は、各周波数における総出力 RMS ジッタ (J_{OUT}) および基準クロックの RMS ジッタ (J_{SOURCE}) を表しています。これらの値から、加算 RMS ジッタは次のように計算できます: J_{ADD} = SQRT(J_{OUT} ^{2} – J_{SOURCE} ^{2}).
(2)	J_{ADD} (156.25MHz) = SQRT (33.9^2 - 25.8^2) = 22.0fs

10.3 電源に関する推奨事項

各電源ピンの近くに 0.1µF のコンデンサを配置します。VDDA、VDD_IN0、および VDD_IN1 のノイズを最小化するため、各ピンの近くに 2.2Ω の抵抗を配置します。すべての電源ピンは 1 つの電源レールにまとめることができます。TI は、チップ全体に対してフェライトビーズと 10µF のコンデンサをグランドに接続することを推奨します。図 10-4 および 図 10-5 が電源回路例を示しています。

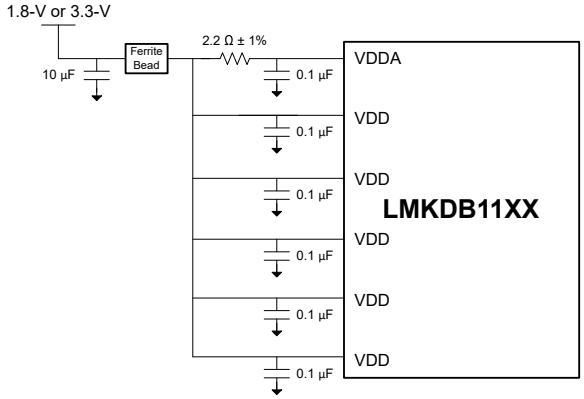


図 10-4. LMKDB11XX バッファの電源に関する推奨事項

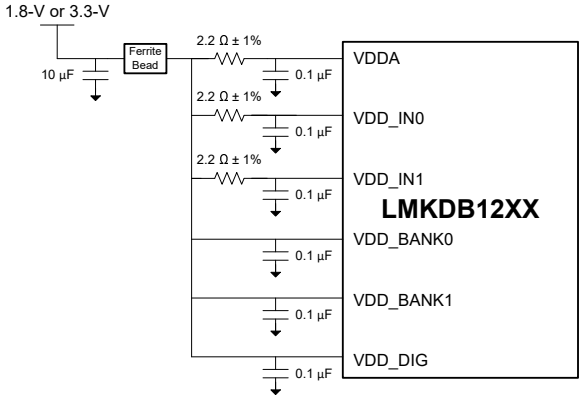


図 10-5. LMKDB12XX マルチプレクサの電源に関する推奨事項

マルチプレクサ デバイスで両方の入力が使用され、かつ 2 つの入力が異なる周波数 (PCIe SSC および PCIe No SSC を含む) の場合、フェライト ビーズを追加して入力および対応する出力バンクを分離します。

Copyright © 2025 Texas Instruments Incorporated

10.4 レイアウト

10.4.1 レイアウトのガイドライン

デバイスの DAP と PCB の間に、低インダクタンスのグランド接続を使用します。

PCB トレース インピーダンスをデバイスの出力インピーダンス (85Ω または 100Ω 差動インピーダンス) と一致させます。スタブを排除し、伝送ラインでの不連続性を低減します。

10.4.2 レイアウト例

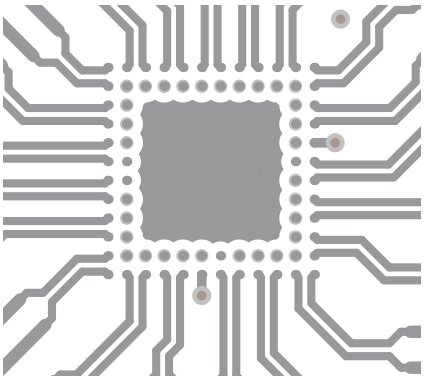


図 10-6. LMKDB1120 および LMKDB1120FS レイアウト例 - 最上階

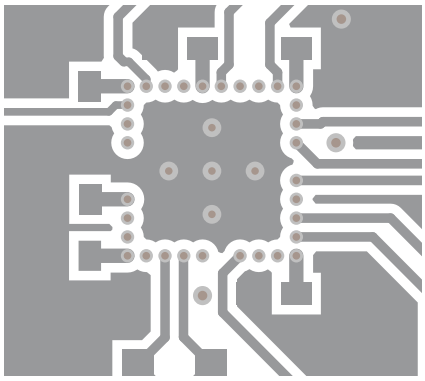


図 10-7. LMKDB1120 および LMKDB1120FS レイアウト例 - 最下層

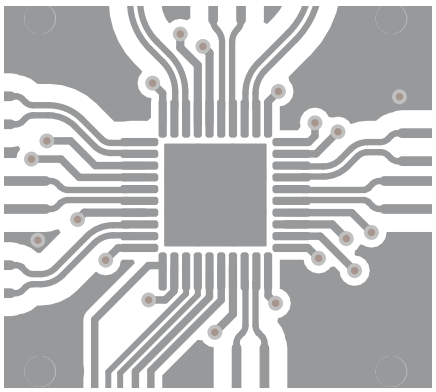


図 10-8. LMKDB1108 および LMKDB1108FS レイアウト例 - 最上階

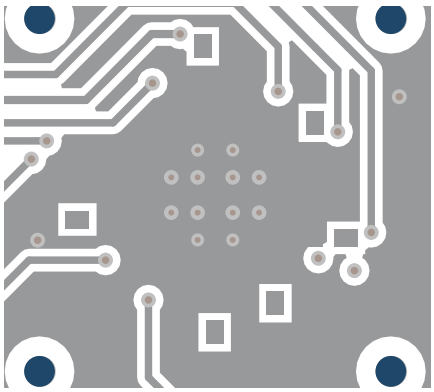


図 10-9. LMKDB1108 および LMKDB1108FS レイアウト例 - 最下層

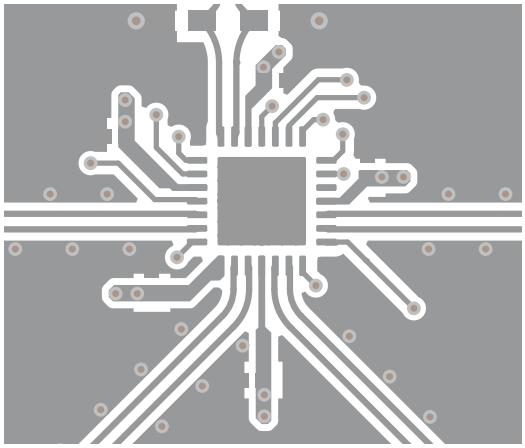


図 10-10. LMKDB1104 および LMKDB1104FS レイアウト例 - 最上階

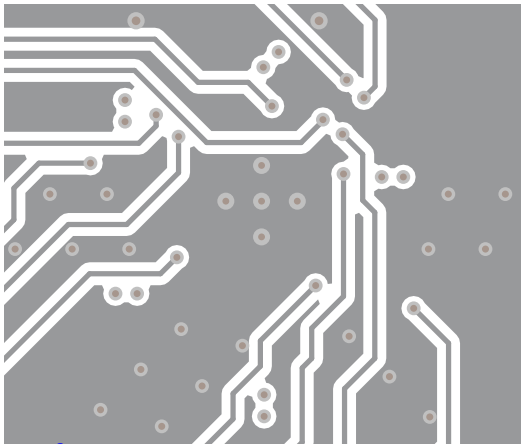


図 10-11. LMKDB1104 および LMKDB1104FS レイアウト例 - 最下層

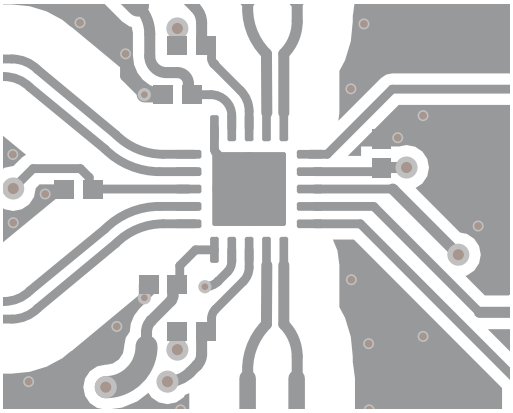


図 10-12. LMKDB1202 レイアウト例 - 最上層

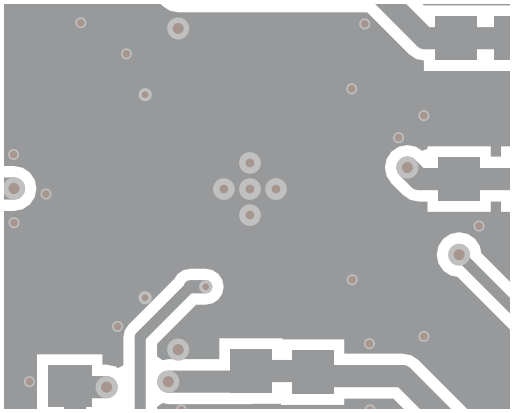


図 10-13. LMKDB1202 レイアウト例 - 最下層

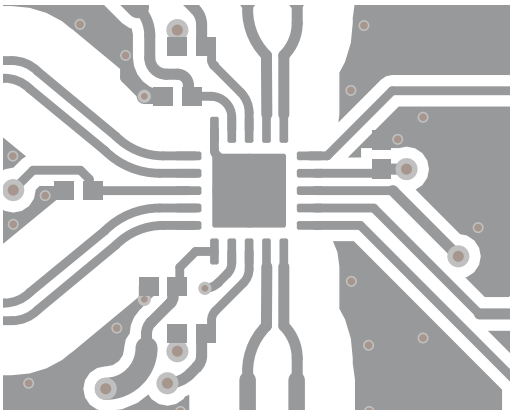


図 10-14. LMKDB1102 レイアウト例 - 最上層

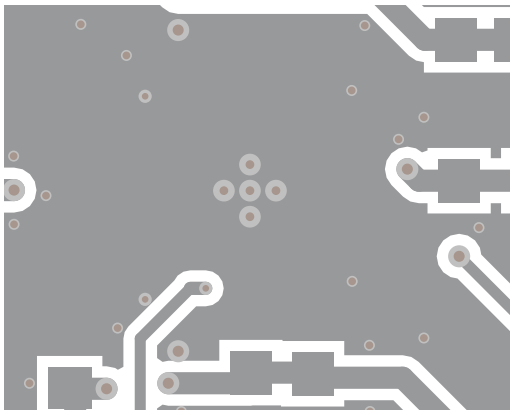


図 10-15. LMKDB1102 レイアウト例 - 最下層

Copyright © 2025 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『*LMKDB1120 評価基板*』、ユーザー ガイド SNAU298
- テキサス・インスツルメンツ、『*LMKDB1108 評価基板*』、ユーザー ガイド SNAU291
- テキサス・インスツルメンツ、『*LMKDB1104 評価基板*』、ユーザー ガイド SNAU307
- テキサス・インスツルメンツ、『*LMKDB1204 評価基板*』、ユーザー ガイド SNAU306
- テキサス インスツルメンツ、*LMKDB1102/1202 評価基板*、ユーザー ガイド
- テキサス・インスツルメンツ、*タイミングがすべて:加算ジッタの測定方法*、ブログ記事

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (June 2024) to Revision E (August 2025) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- LMKDB1204 および LMKDB1202 を新しいデータシート (SNAS927) に移動 1
- LMKDB1112 のピン配置説明と図を追加します。ピン配置図およびピンの概要説明を更新します。 4

- 図 7-1 図の負荷を 2pF に更新します。 27
- バッファ専用ファミリの概要セクションを更新しました。 29
- LMKDB11xx デバイスの機能図を更新し、LMKDB1202 および LMKDB1204 の機能図を新しいデータシートに移動。 29
- スルーレートの説明セクションを更新しました。 34
- タイトル例に LMDB1120FS、LMKD1108FS、および LMKDB1104 を追加しました。LMKDB1204 のレイアウト例を削除し、SNAS927 に移動。 73

Changes from Revision C (May 2024) to Revision D (June 2024) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- LMKDB1108 の GUI 名称に合わせて R17 レジスタ 7:4 の名称を「AMP」に更新: 1
- LMKDB1108 について、予約済みビット 5:4 を 1 行にまとめて R18 の表を更新 1
- LMKDB1108 について、REV_ID を変更するためにレジスタ R5 を記載 1
- LMKDB1108 について、出力スルーレート制御を示すために R91 および R92 を記載 1
- LMKDB1204 について、チップの正しい出力を制御するレジスタ名 (R0、R1、R2、R3、R20、R21) を訂正 1
- *LMKBD1108 RKP パッケージ 40 ピン VQFN (上面図)* において、ピン 4 の *^vSADR1_tri* を *^vSADR0_tri* に更新 4
- *LMKBD1108 RKP パッケージ 40 ピン VQFN (上面図)* において、ピン 7 の名称と説明を「VDD」から「VDDA」に更新。 4
- *LMKBD1108 RKP パッケージ 40 ピン VQFN (上面図)* において、ピン 10 の名称と説明を「VDDA」から「VDD」に更新 4
- 機能ブロック図 *LMKDB12xx*、*LMKDB12xx*、*LMKDB1102 の機能ブロック図*を更新し、HW_SW_CTRL ピンの名前を SMB_EN に修正。機能ブロック図の構造を変更 29
- 機能ブロック図 *LMKDB12xx*、*LMKDB12xx*、*LMKDB1102 の機能ブロック図*を更新し、HW_SW_CTRL ピンの名前を SMB_EN に修正 29
- 機能ブロック図の構造を変更 29
- セクション 8.3.4.2 セクションにピン モードの説明を追加。 33
- LMDB1102、LMKDB1202、LMKDB1104、LMKD1204、および LMKDB1108 のレイアウト例を追加しました。 73

Changes from Revision B (February 2024) to Revision C (May 2024) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- *デバイス比較表*セクションの LMKDB1204 パッケージのプレビュー情報を削除 3
- *LMKDB1108 の機能* において、ピン 4 の *^vSADR1_tri* を *^vSADR0_tri* に更新 4
- 入力構成 セクションを追加。 30
- 表 8-1 を追加。 32

Changes from Revision A (December 2023) to Revision B (February 2024) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- *PWRDN# のアサートとデアサート*セクションで、推奨される PWRDN# のアサート/ デアサート シーケンスおよび適切に従わない場合の影響についての説明を追加 31

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision * (November 2023) to Revision A (December 2023) **Page**

• ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMKDB1102REYR	Active	Production	VQFN (REY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1102
LMKDB1102REYR.A	Active	Production	VQFN (REY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1102
LMKDB1102REYT	Active	Production	VQFN (REY) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1102
LMKDB1102REYT.A	Active	Production	VQFN (REY) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1102
LMKDB1104FS85REXR	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1104FA
LMKDB1104Z100REXR	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 114Z100
LMKDB1104Z100REXR.A	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 114Z100
LMKDB1104Z100REXT	Active	Production	VQFN (REX) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 114Z100
LMKDB1104Z100REXT.A	Active	Production	VQFN (REX) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 114Z100
LMKDB1104Z85REXR	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1104Z85
LMKDB1104Z85REXR.A	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1104Z85
LMKDB1104Z85REXT	Active	Production	VQFN (REX) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1104Z85
LMKDB1104Z85REXT.A	Active	Production	VQFN (REX) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1104Z85
LMKDB1108FS85RKPR	Active	Production	VQFN (RKP) | 40	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108FA
LMKDB1108Z100RKPR	Active	Production	VQFN (RKP) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 108Z100
LMKDB1108Z100RKPR.A	Active	Production	VQFN (RKP) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 108Z100
LMKDB1108Z100RKPT	Active	Production	VQFN (RKP) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 108Z100
LMKDB1108Z100RKPT.A	Active	Production	VQFN (RKP) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 108Z100

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMKDB1108Z85RKPR	Active	Production	VQFN (RKP) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108Z85
LMKDB1108Z85RKPR.A	Active	Production	VQFN (RKP) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108Z85
LMKDB1108Z85RKPT	Active	Production	VQFN (RKP) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108Z85
LMKDB1108Z85RKPT.A	Active	Production	VQFN (RKP) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108Z85
LMKDB1120FS85NPPR	Active	Production	TLGA (NPP) | 80	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120FA
LMKDB1120Z100NPPR	Active	Production	TLGA (NPP) | 80	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z100
LMKDB1120Z100NPPR.A	Active	Production	TLGA (NPP) | 80	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z100
LMKDB1120Z100NPPT	Active	Production	TLGA (NPP) | 80	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z100
LMKDB1120Z100NPPT.A	Active	Production	TLGA (NPP) | 80	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z100
LMKDB1120Z85NPPR	Active	Production	TLGA (NPP) | 80	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85
LMKDB1120Z85NPPR.A	Active	Production	TLGA (NPP) | 80	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85
LMKDB1120Z85NPPR.B	Active	Production	TLGA (NPP) | 80	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85
LMKDB1120Z85NPPT	Active	Production	TLGA (NPP) | 80	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85
LMKDB1120Z85NPPT.A	Active	Production	TLGA (NPP) | 80	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85
LMKDB1120Z85NPPT.B	Active	Production	TLGA (NPP) | 80	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

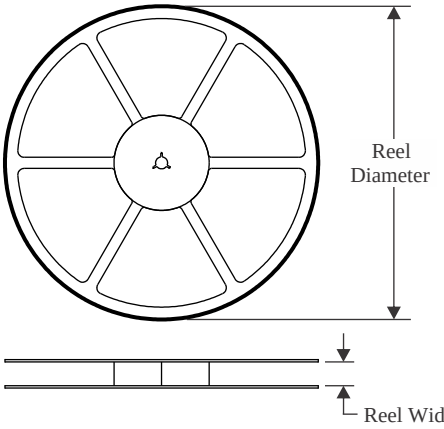
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

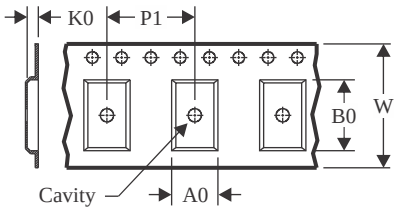
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

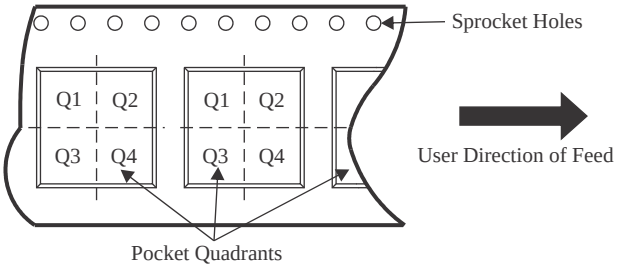


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

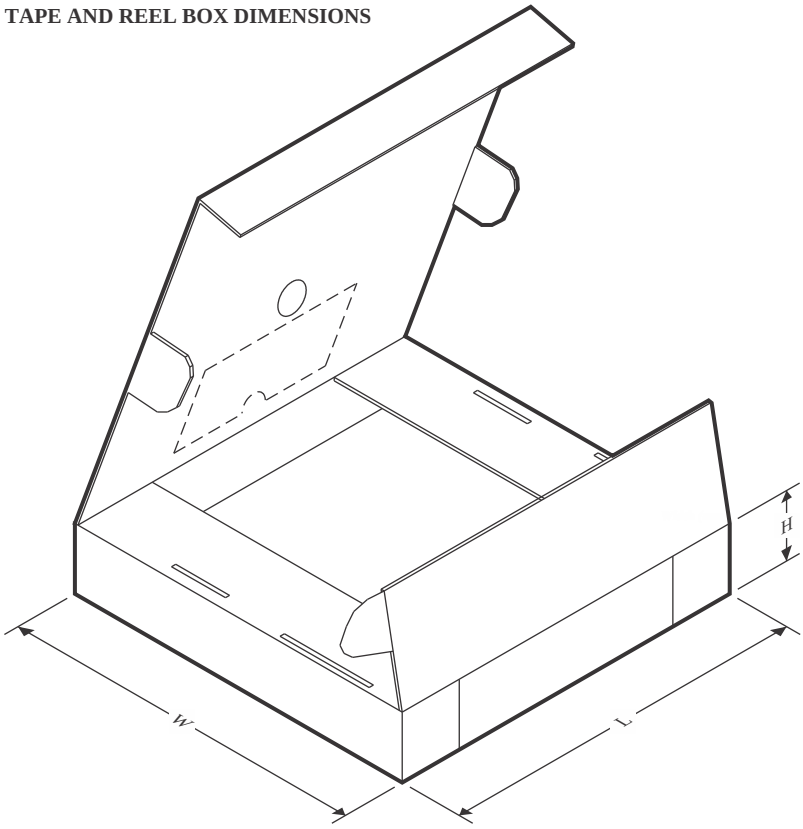
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

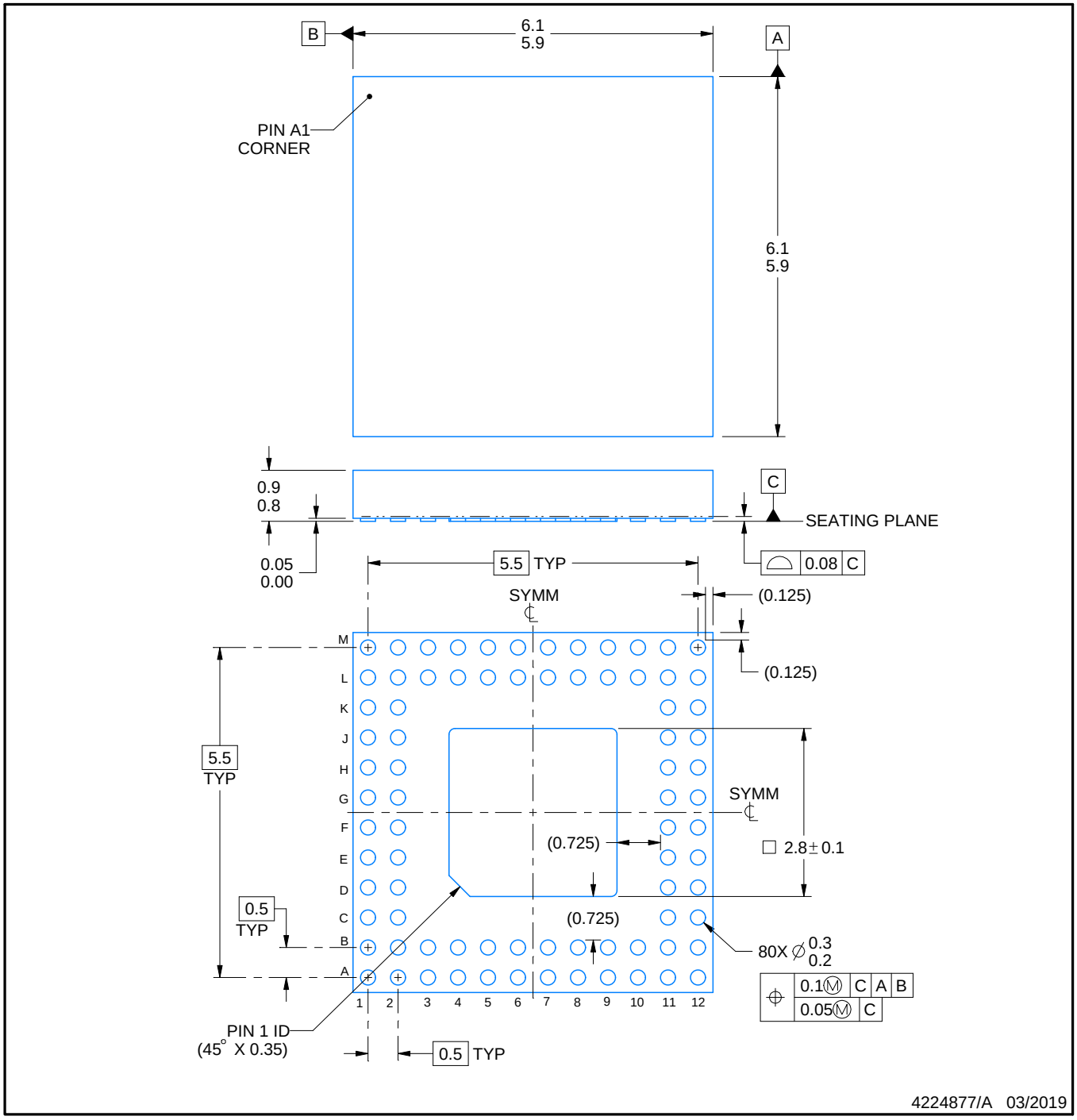
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMKDB1104FS85REXR	VQFN	REX	28	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
LMKDB1108FS85RKPR	VQFN	RKP	40	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1108Z100RKPR	VQFN	RKP	40	2500	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1108Z100RKPT	VQFN	RKP	40	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1108Z85RKPR	VQFN	RKP	40	2500	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1108Z85RKPT	VQFN	RKP	40	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1120FS85NPPR	TLGA	NPP	80	4000	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMKDB1120Z100NPPR	TLGA	NPP	80	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMKDB1120Z100NPPT	TLGA	NPP	80	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMKDB1120Z85NPPT	TLGA	NPP	80	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



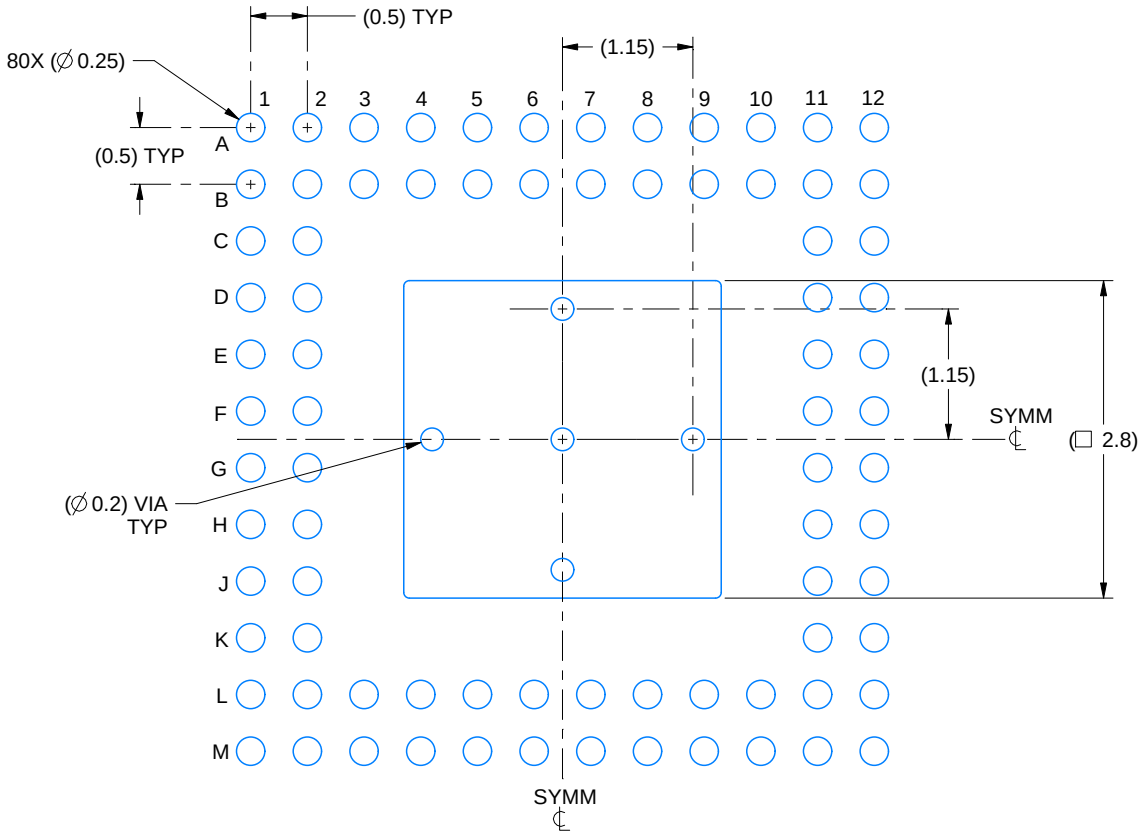
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMKDB1104FS85REXR	VQFN	REX	28	3000	360.0	360.0	36.0
LMKDB1108FS85RKPR	VQFN	RKP	40	3000	360.0	360.0	36.0
LMKDB1108Z100RKPR	VQFN	RKP	40	2500	367.0	367.0	35.0
LMKDB1108Z100RKPT	VQFN	RKP	40	250	210.0	185.0	35.0
LMKDB1108Z85RKPR	VQFN	RKP	40	2500	367.0	367.0	35.0
LMKDB1108Z85RKPT	VQFN	RKP	40	250	210.0	185.0	35.0
LMKDB1120FS85NPPR	TLGA	NPP	80	4000	367.0	367.0	38.0
LMKDB1120Z100NPPR	TLGA	NPP	80	2500	367.0	367.0	38.0
LMKDB1120Z100NPPT	TLGA	NPP	80	250	210.0	185.0	35.0
LMKDB1120Z85NPPT	TLGA	NPP	80	250	210.0	185.0	35.0

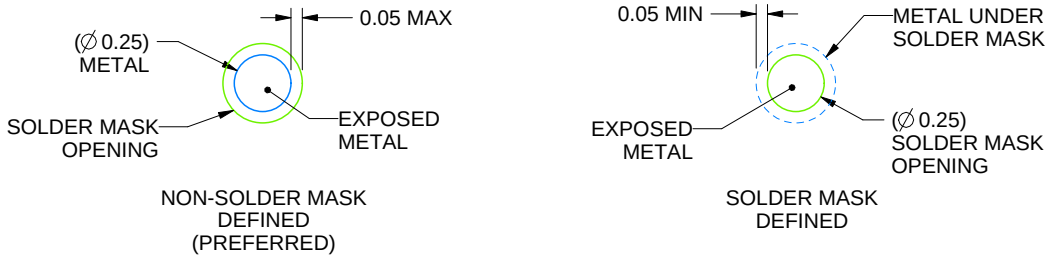


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

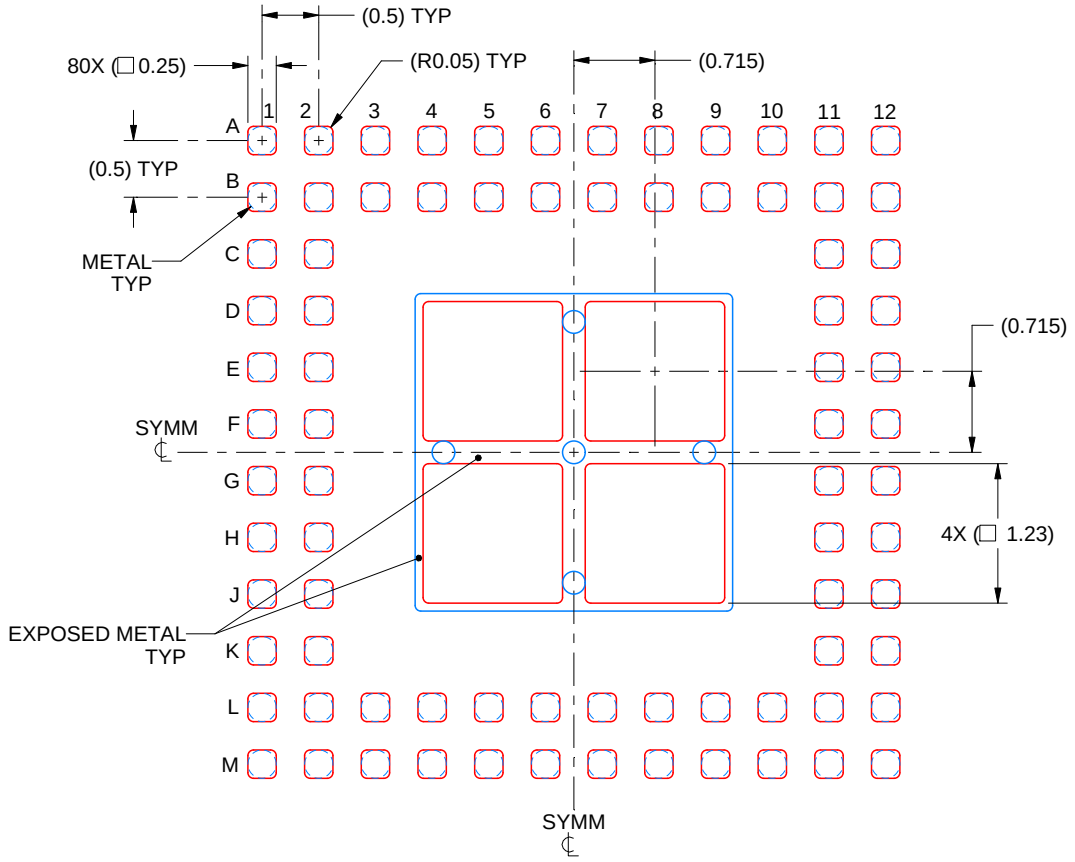


SOLDER MASK DETAILS
NOT TO SCALE

4224877/A 03/2019

NOTES: (continued)

4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

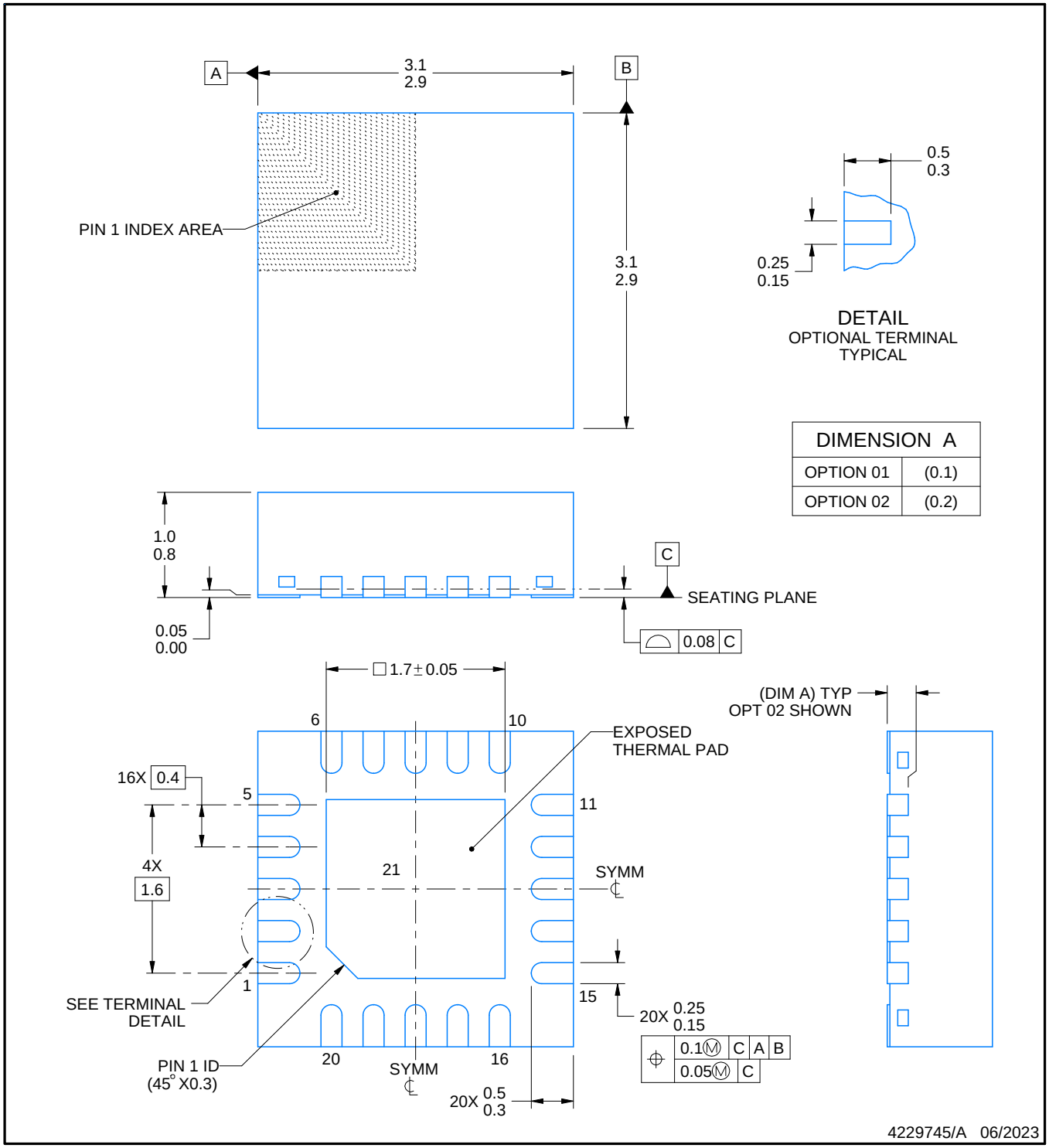


SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 15X

4224877/A 03/2019

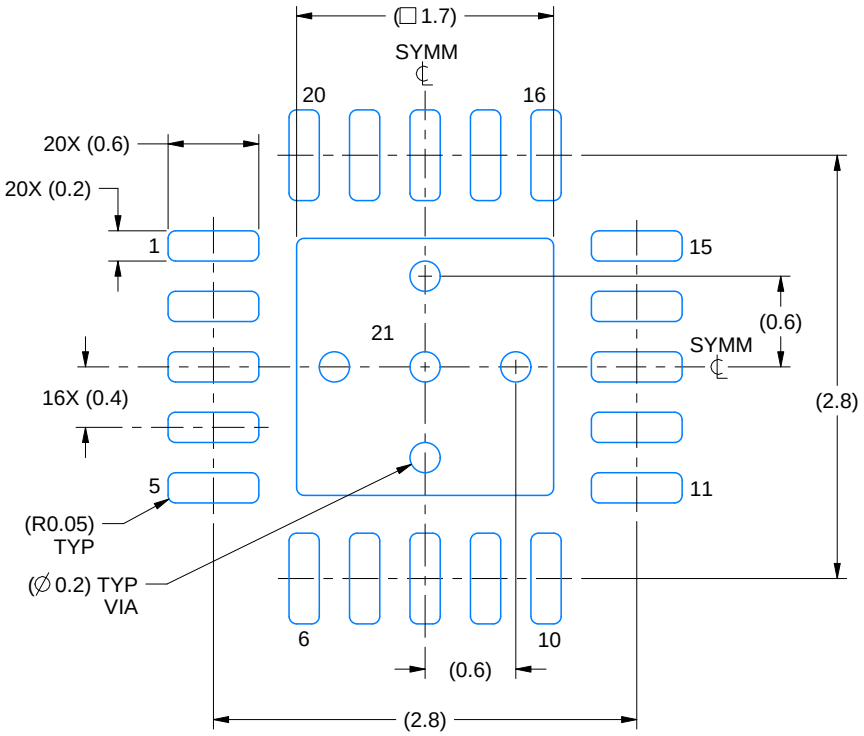
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

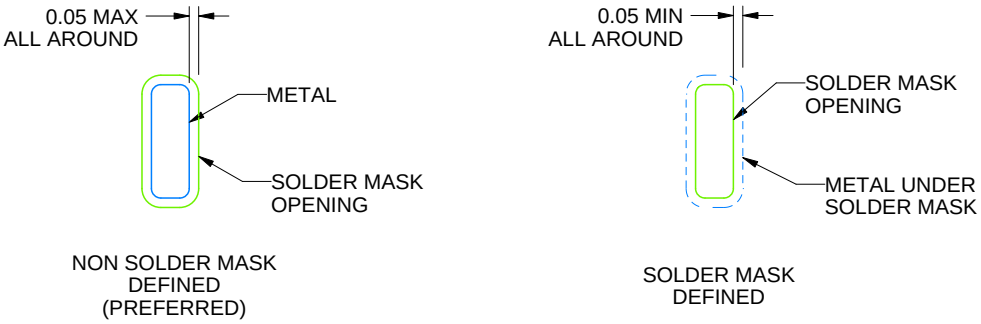


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

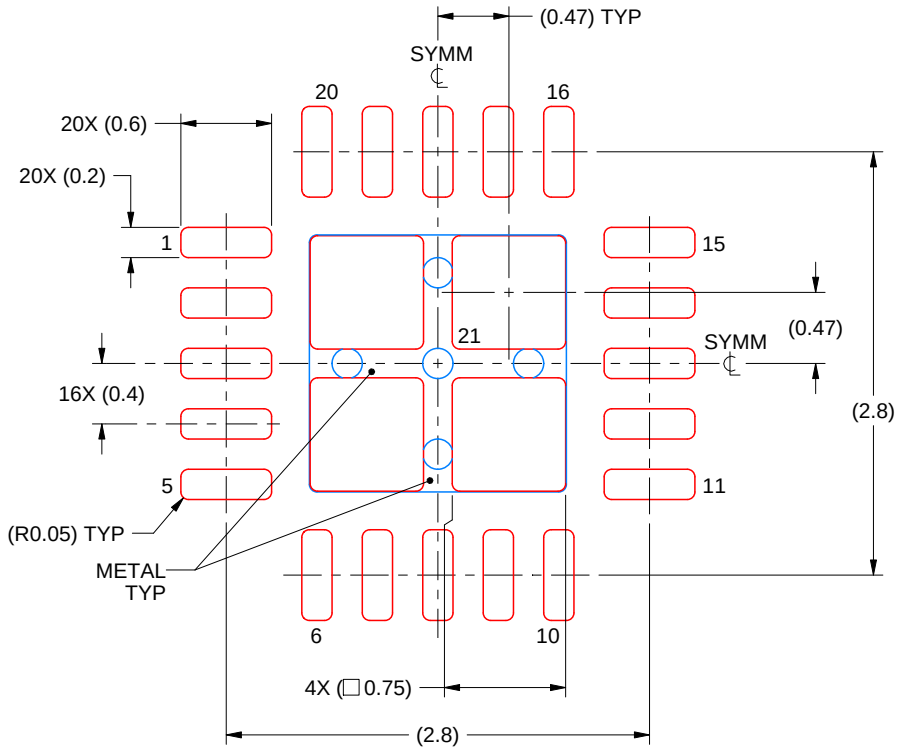


SOLDER MASK DETAILS

4229745/A 06/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4229745/A 06/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

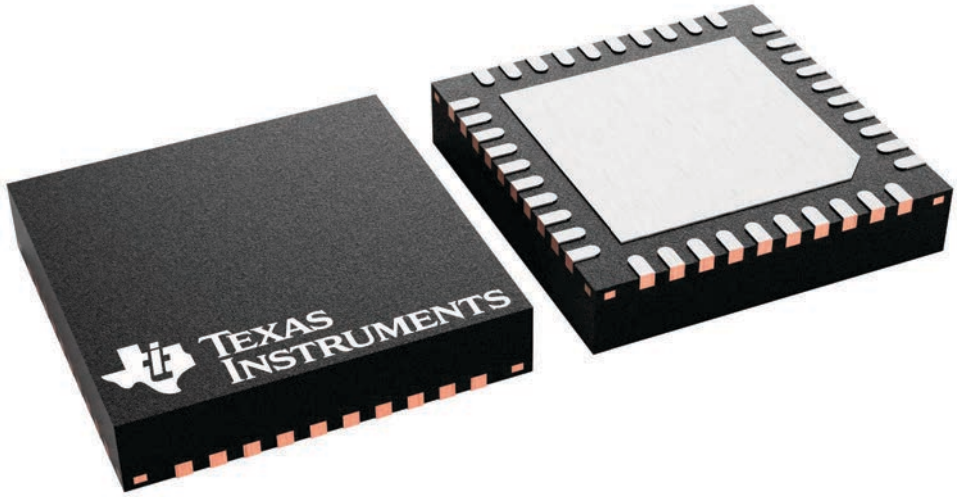
RKP 40

VQFN - 1 mm max height

5 x 5, 0.4 mm pitch

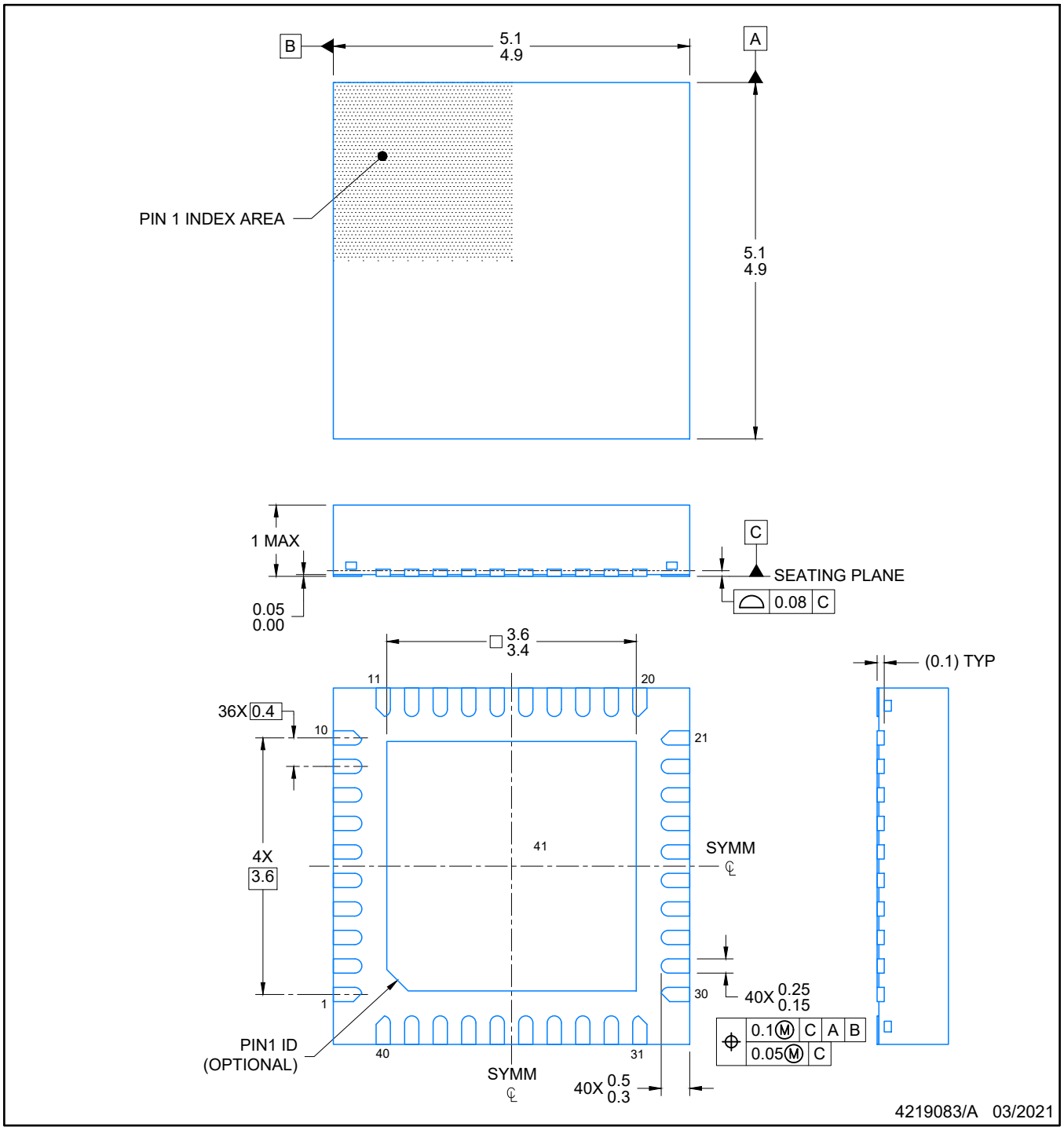
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



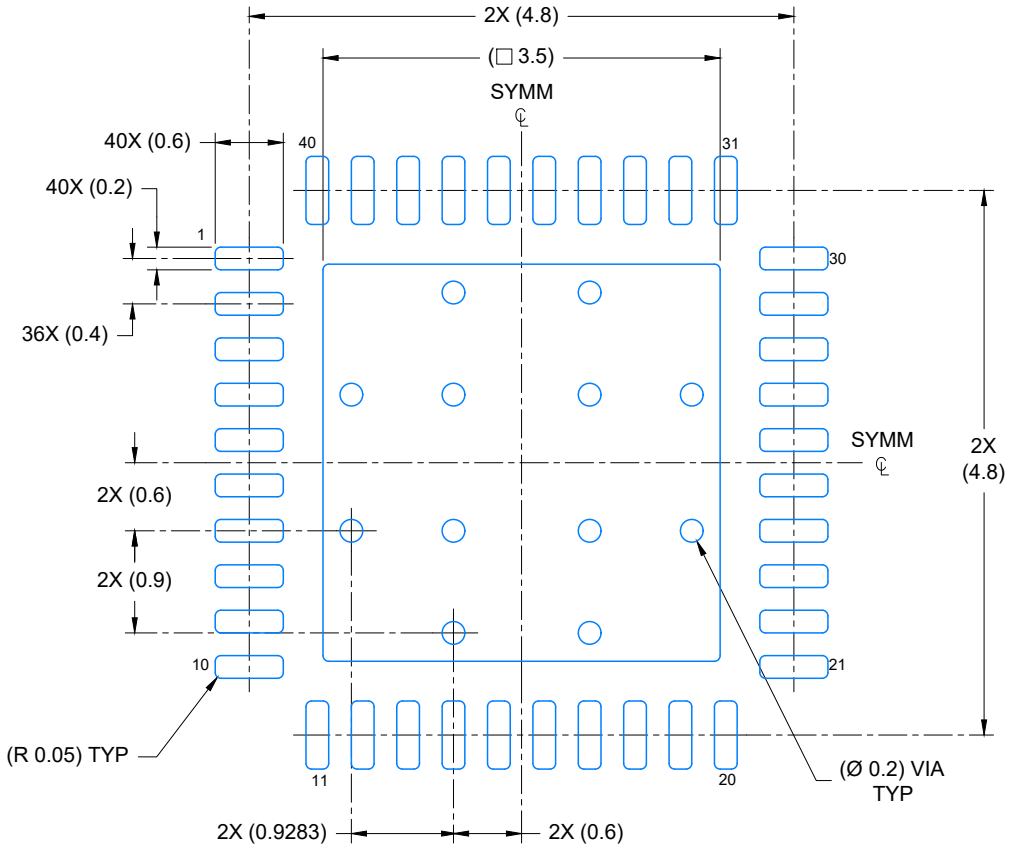
4229305/A

PLASTIC QUAD FLATPACK- NO LEAD

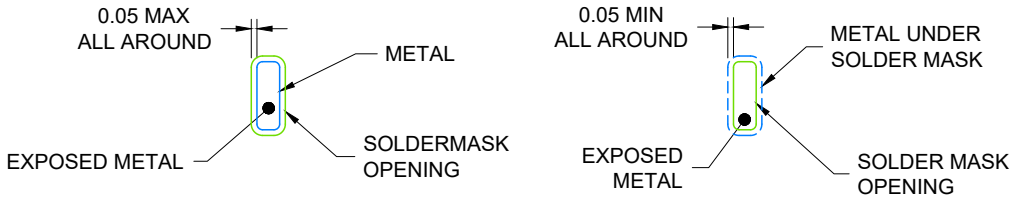


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



NON- SOLDER MASK DEFINED (PREFERRED)

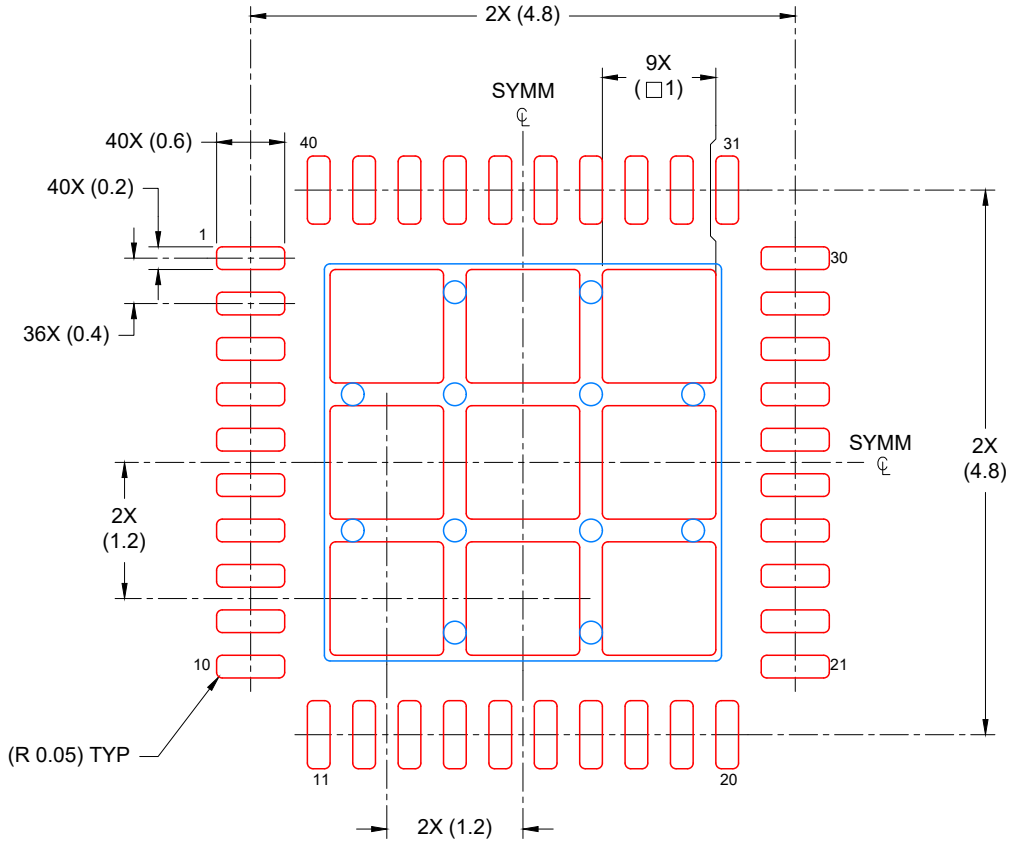
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4219083/A 03/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



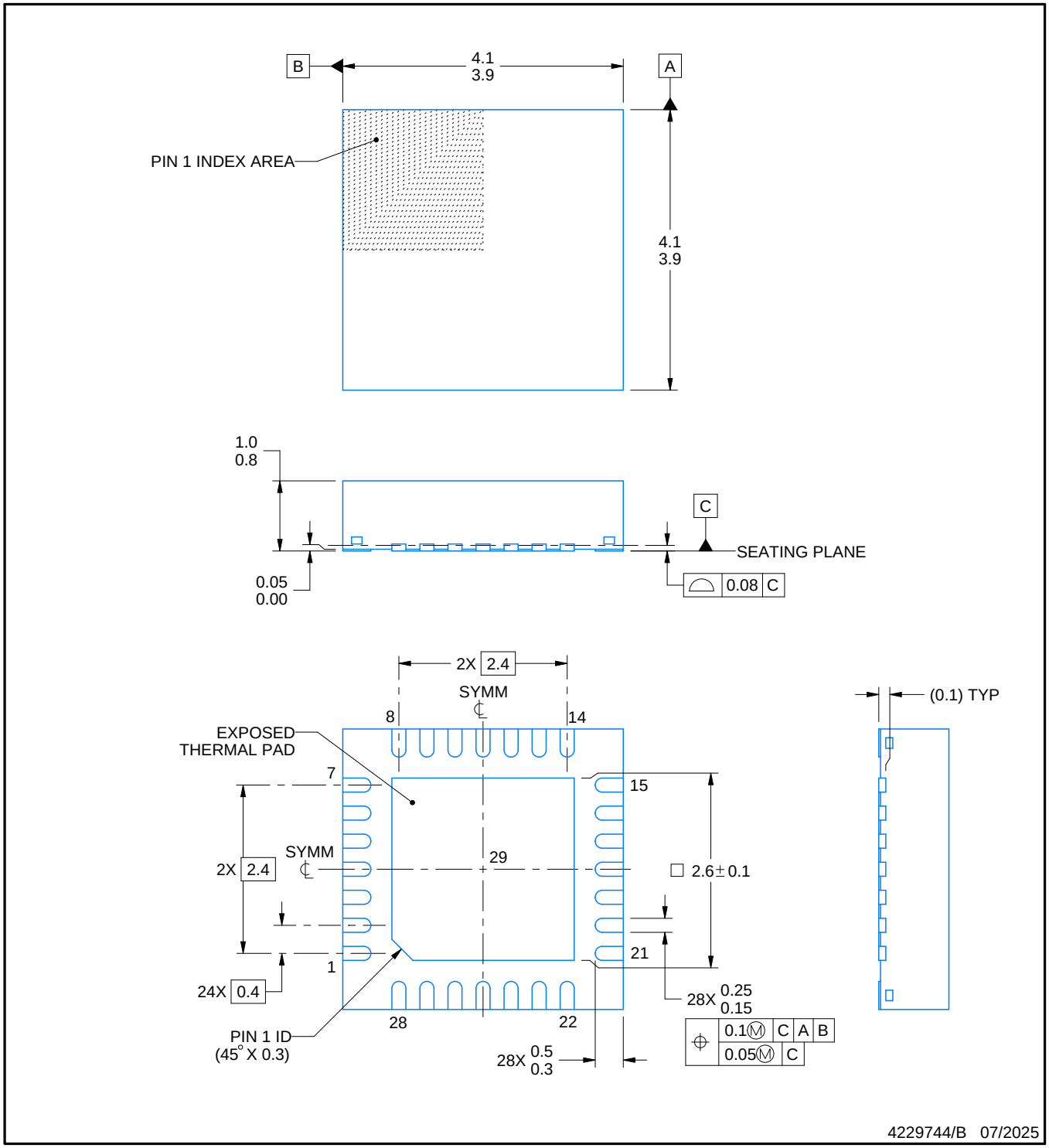
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
74% PRINTED COVERAGE BY AREA
SCALE: 15X

4219083/A 03/2021

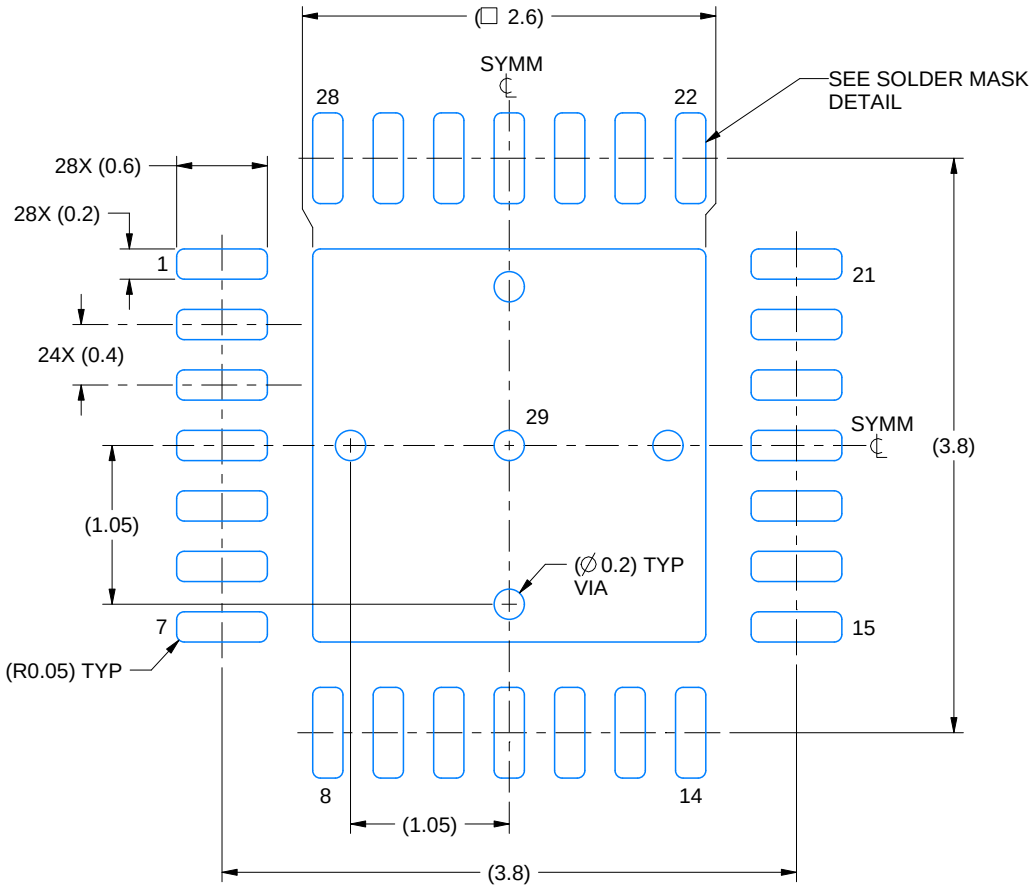
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

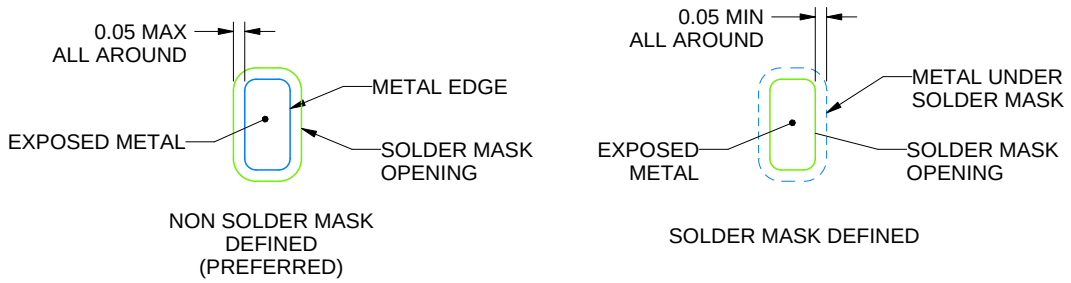


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

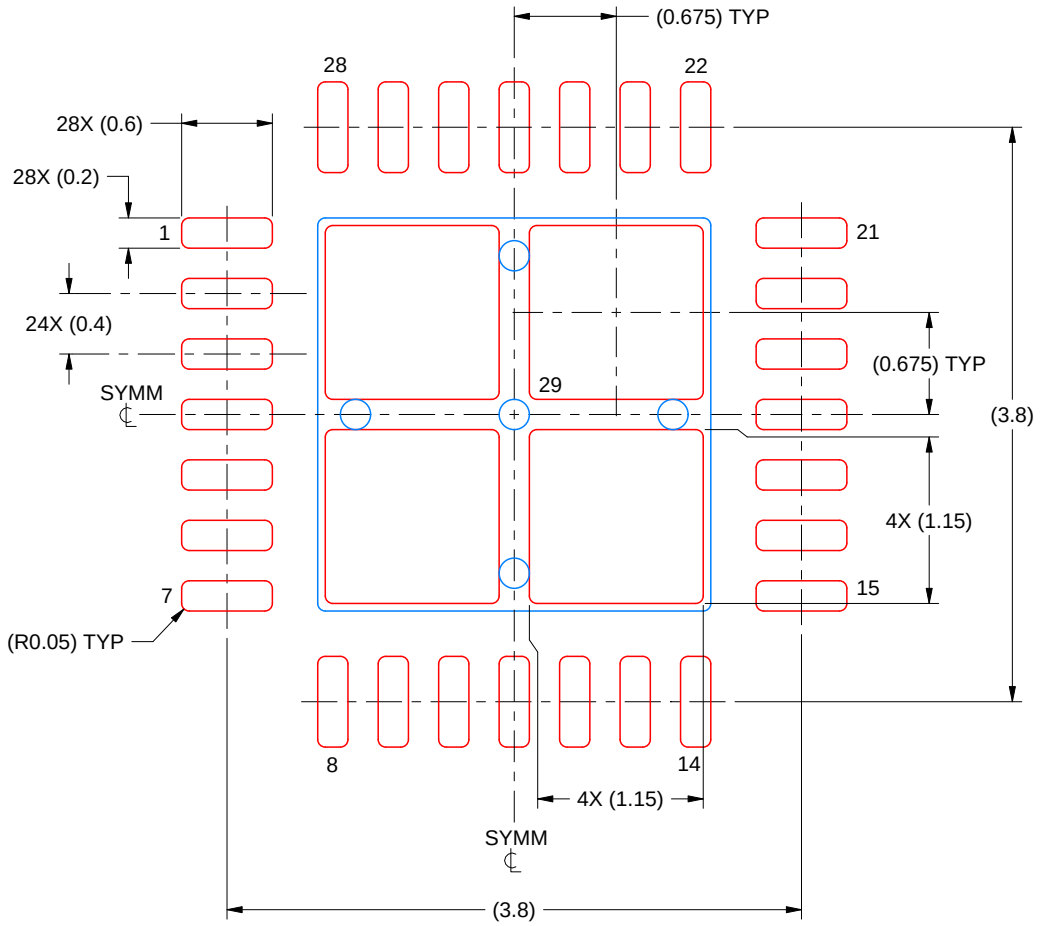


SOLDER MASK DETAILS

4229744/B 07/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 29
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229744/B 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated