

LMK1C110xA 1.8V、2.5V、3.3V 低ノイズ非同期 LVCMOS クロック バッファ ファミリ

1 特長

- 高性能の 1:2、1:3、1:4、1:6、および 1:8 LVCMOS クロック バッファ
- 超低出力スキュー
 - LMK1C1102A、LMK1C1103A、および LMK1C1104 A < 50ps
 - LMK1C1106 および LMK1C1108 < 55ps
- 非常に小さい追加ジッタ:
 - LMK1C1102A、LMK1C1103A および LMK1C1104A
 - $V_{DD} = 3.3V$ で標準値 7.5fs
 - $V_{DD} = 2.5V$ で標準値 10fs
 - $V_{DD} = 1.8V$ で標準値 19.2fs
 - LMK1C1106A および LMK1C1108A
 - $V_{DD} = 3.3V$ で標準値 12fs
 - $V_{DD} = 2.5V$ で標準値 15fs
 - $V_{DD} = 1.8V$ で標準値 28fs
- 超低速伝播遅延: 3ns 未満
- 非同期出力イネーブル
- 電源電圧: 3.3V、2.5V、または 1.8V
 - フェイルセーフ入力: 3.3V トレラント入力機能 (すべての電源電圧で対応)
- 3.3V で $f_{max} = 250MHz$
2.5V または 1.8V または $f_{max} = 200MHz$
- 動作温度範囲: -40°C ~ 125°C

2 アプリケーション

- ファクトリ オートメーション / 制御
- 通信機器
- データ センターおよびエンタープライズ コンピューティング
- グリッド インフラ
- 1PPS アプリケーション

- モーター ドライブ
- 医療用画像処理

3 説明

LMK1C110xA は、テキサス インストルメンツ製の高性能、低スキューのモジュール式汎用クロック バッファ ファミリです。このファミリはすべて、モジュール手法を考慮して設計されています。1:2、1:3、1:4、1:6、1:8 の 5 種類のファンアウト バリエーションがあります。

このファミリに属するデバイスはすべて互いにピン互換であり、CDCLVC110x ファミリと後方互換性があるため扱いが簡単です。

LMK1C110xA は、1G が LOW になると出力を LOW 状態に切り換える非同期出力イネーブル制御 (1G) をサポートしています。非同期のイネーブルおよびディセーブルは、1PPS アプリケーションおよび DC 入力の動作に役立ちます。これらのデバイスにはフェイルセーフ入力があり、入力信号がない場合の出力の発振を防止し、VDD が供給される前に入力信号を受け入れます。

パッケージ情報

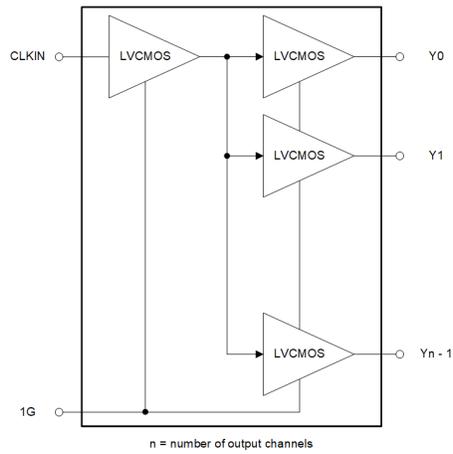
部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
LMK1C1102A	TSSOP (8)	3.00mm × 4.40mm
LMK1C1103A		
LMK1C1104A		
LMK1C1106A	TSSOP (14)	5.00mm × 4.40mm
LMK1C1108A	TSSOP (16)	
LMK1C1102A ⁽³⁾	WSON (8)	2.00mm × 2.00mm
LMK1C1104A ⁽³⁾		

(1) 詳細については、セクション 12 を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



- (3) プレビュー版のみ。詳細は テキサス・インスツルメンツまでお問い合わせ
合わせください。



機能ブロック図

目次

1 特長.....	1	8.3 機能説明.....	15
2 アプリケーション.....	1	8.4 デバイスの機能モード.....	15
3 説明.....	1	9 アプリケーションと実装.....	16
4 デバイスの比較.....	3	9.1 アプリケーション情報.....	16
5 ピン構成および機能.....	4	9.2 代表的なアプリケーション.....	16
6 仕様.....	7	9.3 電源に関する推奨事項.....	16
6.1 絶対最大定格.....	7	9.4 レイアウト.....	17
6.2 ESD 定格.....	7	10 デバイスおよびドキュメントのサポート.....	19
6.3 推奨動作条件.....	7	10.1 ドキュメントのサポート.....	19
6.4 熱に関する情報.....	7	10.2 ドキュメントの更新通知を受け取る方法.....	19
6.5 電気的特性.....	8	10.3 サポート・リソース.....	19
6.6 タイミング要件.....	10	10.4 商標.....	19
6.7 代表的特性.....	10	10.5 静電気放電に関する注意事項.....	19
7 パラメータ測定情報.....	12	10.6 用語集.....	19
8 詳細説明.....	14	11 改訂履歴.....	19
8.1 概要.....	14	12 メカニカル、パッケージ、および注文情報.....	19
8.2 機能ブロック図.....	14	12.1 テープおよびリール情報.....	20

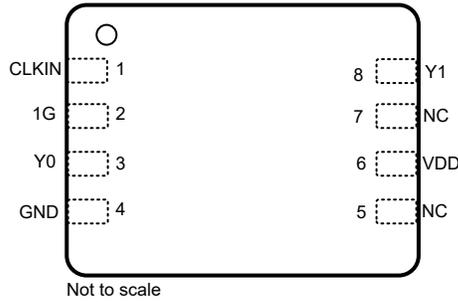
4 デバイスの比較

表 4-1. デバイスの比較

デバイス	入力	出力	出力イネーブル オプション (1G)	パッケージ
LMK1C1102	1	2	同期	WSOP (8), 2.00mm × 2.00mm
LMK1C1104	1	4	同期	WSOP (8), 2.00mm × 2.00mm
LMK1C1102	1	2	同期	TSSOP (8), 3.00mm × 4.40mm
LMK1C1103	1	3	同期	TSSOP (8), 3.00mm × 4.40mm
LMK1C1104	1	4	同期	TSSOP (8), 3.00mm × 4.40mm
LMK1C1106	1	6	同期	TSSOP (14), 5.00mm × 4.40mm
LMK1C1108	1	8	同期	TSSOP (16), 5.00mm × 4.40mm
LMK1C1102A	1	2	非同期	WSOP (8), 2.00mm × 2.00mm
LMK1C1104A	1	4	非同期	WSOP (8), 2.00mm × 2.00mm
LMK1C1102A	1	2	非同期	TSSOP (8), 3.00mm × 4.40mm
LMK1C1103A	1	3	非同期	TSSOP (8), 3.00mm × 4.40mm
LMK1C1104A	1	4	非同期	TSSOP (8), 3.00mm × 4.40mm
LMK1C1106A	1	6	非同期	TSSOP (14), 5.00mm × 4.40mm
LMK1C1108A	1	8	非同期	TSSOP (16), 5.00mm × 4.40mm
LMK1C1102-Q1 ⁽¹⁾	1	2	同期	WSOP (8), 2.00mm × 2.00mm
LMK1C1104-Q1 ⁽¹⁾	1	4	同期	WSOP (8), 2.00mm × 2.00mm
LMK1C1102-Q1 ⁽¹⁾	1	2	同期	TSSOP (8), 3.00mm × 4.40mm
LMK1C1103-Q1 ⁽¹⁾	1	3	同期	TSSOP (8), 3.00mm × 4.40mm
LMK1C1104-Q1 ⁽¹⁾	1	4	同期	TSSOP (8), 3.00mm × 4.40mm
LMK1C1106-Q1 ⁽¹⁾	1	6	同期	TSSOP (14), 5.00mm × 4.40mm
LMK1C1108-Q1 ⁽¹⁾	1	8	同期	TSSOP (16), 5.00mm × 4.40mm

(1) プレビュー版のみ。このデバイスの詳細については、TI にご連絡ください。

5 ピン構成および機能



1. DQF (WSO) パッケージは、他のベンダの DFN パッケージと同等です。

図 5-1. LMK1C1102A、8 ピン DQF WSON パッケージ (上面図)

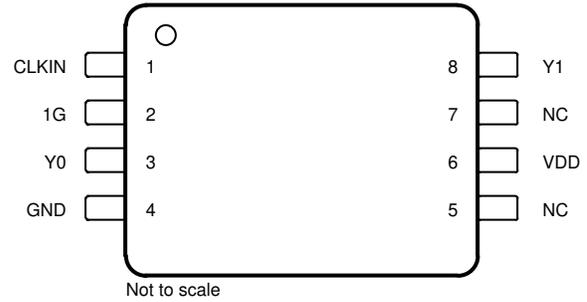


図 5-2. LMK1C1102A、8 ピン PW TSSOP パッケージ (上面図)

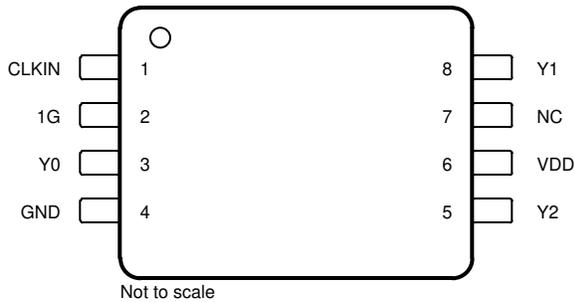
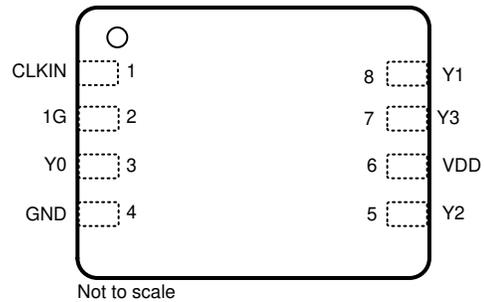


図 5-3. LMK1C1103A、8 ピン PW TSSOP パッケージ (上面図)



1. DQF (WSO) パッケージは、他のベンダの DFN パッケージと同等です。

図 5-4. LMK1C1104A、8 ピン DQF WSON パッケージ (上面図)

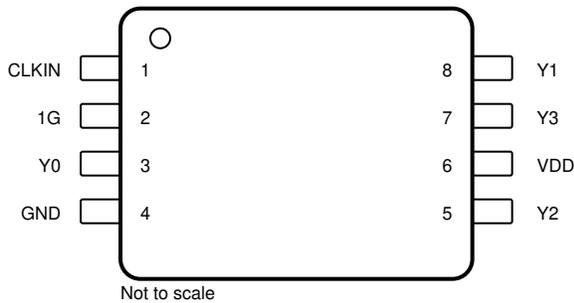


図 5-5. LMK1C1104A、8 ピン PW TSSOP パッケージ (上面図)

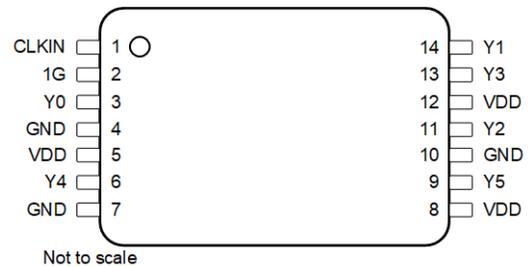


図 5-6. LMK1C1106A、14 ピン PW TSSOP パッケージ (上面図)

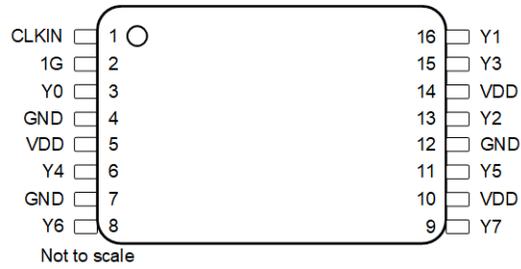


図 5-7. LMK1C1108A、16 ピン PW TSSOP パッケージ (上面図)

表 5-1. ピンの機能

名称	ピン					タイプ	説明
	LMK1C1102A	LMK1C1103A	LMK1C1104A	LMK1C1106A	LMK1C1108A		
LVC MOS クロック入力							
CLKIN	1	1	1	1	1	入力	シングルエンド クロック入力、GND への内部 300-kΩ (標準値) プルダウン抵抗付き。通常、シングルエンド クロック入力に接続します。
クロック出力イネーブル							
1G	2	2	2	2	2	入力	グローバル出力イネーブルと GND への内部 300-kΩ (標準値) プルダウン抵抗。通常、外付けプルアップ抵抗を使用して VDD に接続します。 HIGH: 出力イネーブル LOW: 出力ディセーブル
LVC MOS クロック 出力							
Y0	3	3	3	3	3	出力	LVC MOS 出力。通常はレシーバに接続します。未使用の出力はフローティングのままにできます。
Y1	8	8	8	14	16		
Y2	—	5	5	11	13		
Y3	—	—	7	13	15		
Y4	—	—	—	6	6		
Y5	—	—	—	9	11		
Y6	—	—	—	—	8		
Y7	—	—	—	—	9		
電源電圧							
VDD	6	6	6	5	5	電源	電源端子。通常、3.3V、2.5V、または 1.8V 電源に接続されます。VDD ピンは通常、このピンに近接した外付け 0.1μF コンデンサに接続します。
				8	10		
				12	14		
グラウンド							
GND	4	4	4	4	4	GND	電源グラウンド。
				7	7		
				10	12		

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{DD}	電源電圧	-0.5	3.6	V
V _{CLKIN}	入力電圧 (CLKIN)			
V _{IN}	入力電圧 (1G)			
V _{Yn}	出力ピン (Yn)	-0.5	V _{DD} + 0.3	
I _{IN}	入力電流	-20	20	mA
I _O	連続出力電流	-50	50	mA
T _{stg}	保存温度	-65	150	°C

(1) 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
 (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _{DD}	コア電源電圧	3.3V 電源	3.135	3.3	3.465	V
V _{DD}	コア電源電圧	2.5V 電源	2.375	2.5	2.625	V
V _{DD}	コア電源電圧	1.8V 電源	1.71	1.8	1.89	V
T _A	自由空気での動作温度		-40		125	°C
T _J	動作時接合部温度		-40		150	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		LMK1C1102A LMK1C1103A LMK1C1104A		LMK1C1106A	LMK1C1108A	単位
		DQF (WSON)	PW (TSSOP)	PW (TSSOP)	PW (TSSOP)	
		8 ピン	8 ピン	14 ピン	16 ピン	
R _{qJA}	接合部から周囲への熱抵抗	163	181.9	114.4	123.4	°C/W
R _{qJC(top)}	接合部からケース (上面) への熱抵抗	105.7	76.6	45.2	53.1	°C/W
R _{qJB}	接合部から基板への熱抵抗	84.2	111.6	60.6	66.4	°C/W
Y _{JT}	接合部から上面への特性パラメータ	16.7	16	5.9	8.9	°C/W

熱評価基準 ⁽¹⁾		LMK1C1102A LMK1C1103A LMK1C1104A		LMK1C1106A	LMK1C1108A	単位
		DQF (WSON)	PW (TSSOP)	PW (TSSOP)	PW (TSSOP)	
		8 ピン	8 ピン	14 ピン	16 ピン	
Y _{JB}	接合部から基板への特性パラメータ	83.9	110.1	60	65.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

6.5 電気的特性

VDD = 3.3V±5%、-40°C ≤ TA ≤ 125°C。標準値は、VDD = 3.3V、25°C のときです (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
消費電流						
I _{DD}	コア消費電流、静的	すべて出力がディセーブル、f _{IN} = 0V		25	45	μA
I _{DD}	コア消費電流	全出力ディセーブル、f _{IN} = 100MHz		8	15	mA
		全出力がアクティブ、f _{IN} = 100MHz、C _L = 5pF、V _{DD} = 1.8V		14	20	
		全出力がアクティブ、f _{IN} = 100MHz、C _L = 5pF、V _{DD} = 2.5V		21	30	
		全出力がアクティブ、f _{IN} = 100MHz、C _L = 5pF、V _{DD} = 3.3V		33	40	
クロック入力						
f _{IN_SE}	入力周波数	V _{DD} = 3.3V	DC		250	MHz
		V _{DD} = 2.5V および 1.8V	DC		200	
V _{IH}	入力 High 電圧		0.7 x V _{DD}			V
V _{IL}	入力 Low 電圧		0.3 x V _{DD}			
dV _{IN} /dt	入力スルーレート	入力スイングの 20% ~ 80%	0.1			V/ns
I _{IN_LEAK}	入力リーク電流		-50		50	μA
C _{IN_SE}	入力容量	25°C で		7		pF
すべての V_{DD} レベルのクロック出力						
f _{OUT}	出力周波数	V _{DD} = 3.3V			250	MHz
		V _{DD} = 2.5V および 1.8V			200	
ODC	出力デューティ サイクル	50% デューティ サイクル入力時 (すべての V _{DD})	45		55	%
t _{1G_ON}	出力イネーブル時間	V _{DD} = 3.3V、非同期バージョンのみ。 ⁽¹⁾ を参照してください			6	ns
t _{1G_ON}	出力イネーブル時間	V _{DD} = 2.5V、非同期バージョンのみ。 ⁽¹⁾ を参照してください			8	ns
t _{1G_ON}	出力イネーブル時間	V _{DD} = 1.8V、非同期バージョンのみ。 ⁽¹⁾ を参照してください			10	ns
t _{1G_OFF}	出力ディスエーブル時間	V _{DD} = 3.3、非同期バージョンのみ。 ⁽²⁾ を参照してください			6	ns
t _{1G_OFF}	出力ディスエーブル時間	V _{DD} = 2.5V、非同期バージョンのみ。 ⁽²⁾ を参照してください			8	ns
t _{1G_OFF}	出力ディスエーブル時間	V _{DD} = 1.8V、非同期バージョンのみ。 ⁽²⁾ を参照してください			10.5	ns
V_{DD} = 3.3V±5% のクロック出力						
V _{OH}	出力 HIGH 電圧	I _{OH} = 1mA	2.8			V
V _{OL}	出力 LOW 電圧	I _{OL} = 1mA			0.2	

VDD = 3.3V±5%、-40°C ≤ TA ≤ 125°C。標準値は、VDD = 3.3V、25°C のときです (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{RISE-FALL}	出力の立ち上がりおよび立ち下がり時間	20/80%、C _L = 5pF、f _{IN} = 156.25MHz		0.35	0.7	ns
t _{OUTPUT-SKEW}	出力間スキュー	LMK1C1102A、LMK1C1103A、LMK1C1104A。(3)を参照		25	50	ps
t _{OUTPUT-SKEW}	出力間スキュー	LMK1C1106A、LMK1C1108A。(3)を参照		25	50	ps
t _{PART-SKEW}	部品間スキュー	LMK1C1102A、LMK1C1103A、LMK1C1104A			250	ps
t _{PART-SKEW}	部品間スキュー	LMK1C1106A、LMK1C1108A			280	ps
t _{PROP-DELAY}	伝搬遅延	LMK1C1102A、LMK1C1103A、LMK1C1104A。(4)を参照		1.5	2	ns
t _{PROP-DELAY}	伝搬遅延	LMK1C1106A、LMK1C1108A。(4)を参照		1.5	2.2	ns
t _{JITTER-ADD}	付加ジッタ	f _{IN} = 156.25MHz、入力スルーレート = 2V/ns、積分範囲 = 12kHz ~ 20MHz		8	20	fs、RMS
R _{OUT}	出力インピーダンス			50		Ω
V_{DD} = 2.5V±5% のクロック出力						
V _{OH}	出力 HIGH 電圧	I _{OH} = 1mA	0.8 x V _{DD}		V	
V _{OL}	出力 LOW 電圧	I _{OL} = 1mA	0.2 x V _{DD}			
t _{RISE-FALL}	出力の立ち上がりおよび立ち下がり時間	20/80%、C _L = 5pF、f _{IN} = 156.25MHz		0.33	0.8	ns
t _{OUTPUT-SKEW}	出力間スキュー	LMK1C1102A、LMK1C1103A、LMK1C1104A。(3)を参照			50	ps
t _{OUTPUT-SKEW}	出力間スキュー	LMK1C1106A、LMK1C1108A。(3)を参照			55	ps
t _{PART-SKEW}	部品間スキュー	LMK1C1102A、LMK1C1103A、LMK1C1104A			400	ps
t _{PART-SKEW}	部品間スキュー	LMK1C1106A、LMK1C1108A			450	ps
t _{PROP-DELAY}	伝搬遅延	LMK1C1102A、LMK1C1103A、LMK1C1104A。(4)を参照		1.5	2.5	ns
t _{PROP-DELAY}	伝搬遅延	LMK1C1106A、LMK1C1108A。(4)を参照		1.5	2.5	ns
t _{JITTER-ADD}	付加ジッタ	f _{IN} = 156.25MHz、入力スルーレート = 2V/ns、積分範囲 = 12kHz ~ 20MHz		11	27	fs、RMS
R _{OUT}	出力インピーダンス			52.5		Ω
V_{DD} = 1.8V±5% のクロック出力						
V _{OH}	出力 HIGH 電圧	I _{OH} = 1mA	0.8 x V _{DD}		V	
V _{OL}	出力 LOW 電圧	I _{OL} = 1mA	0.2 x V _{DD}			
t _{RISE-FALL}	出力の立ち上がりおよび立ち下がり時間	20/80%、C _L = 5pF、f _{IN} = 156.25MHz		0.38	1	ns
t _{OUTPUT-SKEW}	出力間スキュー	LMK1C1102A、LMK1C1103A、LMK1C1104A。(3)を参照			50	ps
t _{OUTPUT-SKEW}	出力間スキュー	LMK1C1106A、LMK1C1108A。(3)を参照			55	ps
t _{PART-SKEW}	部品間スキュー	LMK1C1102A、LMK1C1103A、LMK1C1104A			900	ps
t _{PART-SKEW}	部品間スキュー	LMK1C1106A、LMK1C1108A			930	ps
t _{PROP-DELAY}	伝搬遅延	LMK1C1102A、LMK1C1103A、LMK1C1104A。(4)を参照		1.5	3	ns
t _{PROP-DELAY}	伝搬遅延	LMK1C1106A、LMK1C1108A。(4)を参照		1.5	3	ns

VDD = 3.3V±5%、-40°C ≤ TA ≤ 125°C。標準値は、VDD = 3.3V、25°C のときです (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{JITTER-ADD}	付加ジッタ	f _{IN} = 156.25MHz、入力スルーレート = 2V/ns、 積分範囲 = 12kHz ~ 20MHz		17.5	50	fs、RMS
R _{OUT}	出力インピーダンス			60		Ω
汎用入力 (1G)						
V _{IH}	High レベル入力電圧		0.75 x V _{DD}			V
V _{IL}	Low レベル入力電圧	LMK1C1102A、LMK1C1103A、 LMK1C1104A			0.38 x V _{DD}	
V _{IL}	Low レベル入力電圧	LMK1C1106A、LMK1C1108A			0.25 x V _{DD}	
I _{IH}	入力 high レベル電流	V _{IH} = V _{DD_REF}	-50		50	μA
I _{IL}	入力 LOW レベル電流	V _{IL} = GND	-50		50	

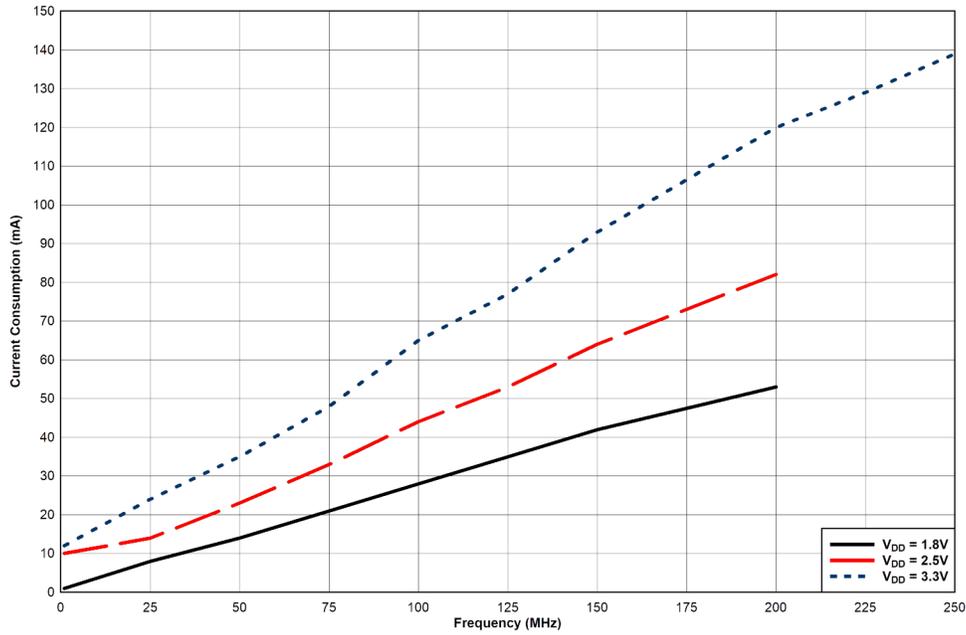
- (1) V_{IH} を交差させる 1G 立ち上がりエッジから Y_n の最初の立ち上がりエッジまでを測定。
- (2) V_{IL} を交差させた 1G 立ち下がりエッジから Y_n の最後の立ち下がりエッジまでを測定。
- (3) 任意の Y_n 出力の立ち上がりエッジから、他の Y_m 出力との間で測定。
- (4) CLKIN の立ち上がりエッジから、任意の Y_n 出力まで測定。

6.6 タイミング要件

VDD = 3.3V ± 5%、-40°C ≤ TA ≤ 125°C

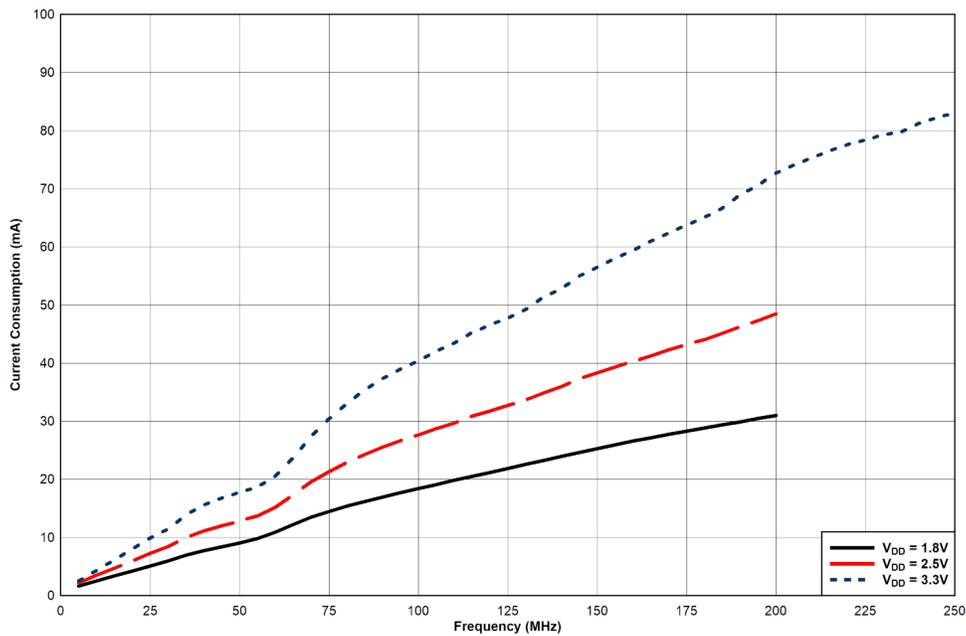
		最小値	公称値	最大値	単位
電源					
V/t _{RAMP}	V _{DD} ランプレート	0.1		50	V/ms

6.7 代表的特性



- すべての出力がイネーブル。

LMK1C1106A および LMK1C1108A デバイスの消費電力とクロック周波数との関係 (負荷 5pF)



- すべての出力がイネーブル。

図 6-1. LMK1C1102A, LMK1C1103A および LMK1C1104A デバイスの消費電力とクロック周波数との関係 (負荷 5pF)

7 パラメータ測定情報

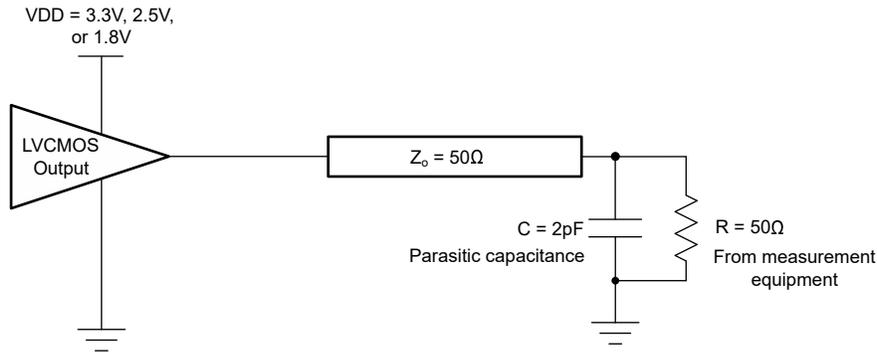


図 7-1. テスト負荷回路

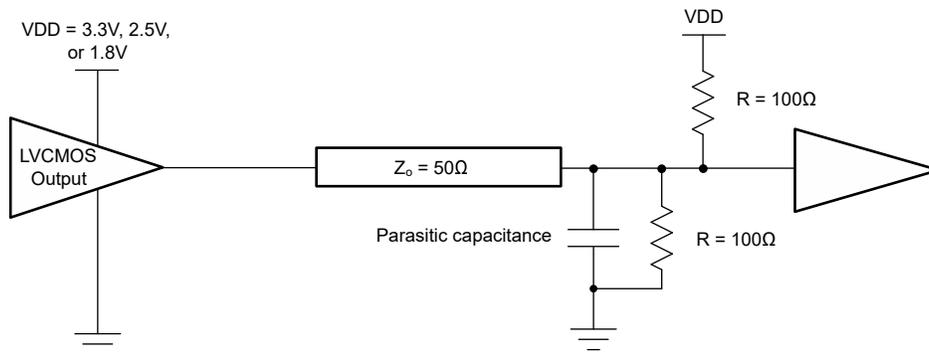


図 7-2. 50Ω 終端のアプリケーション負荷

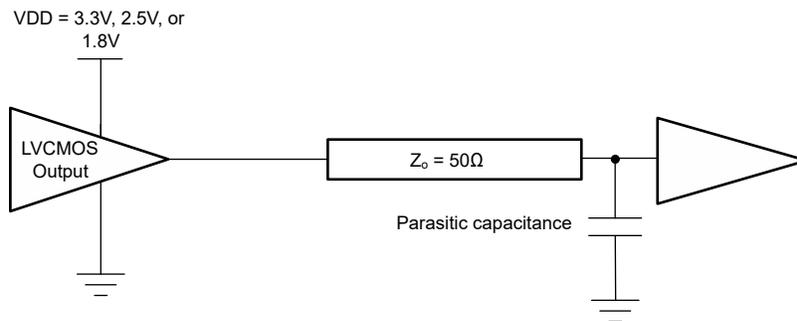


図 7-3. 終端ありのアプリケーションロード

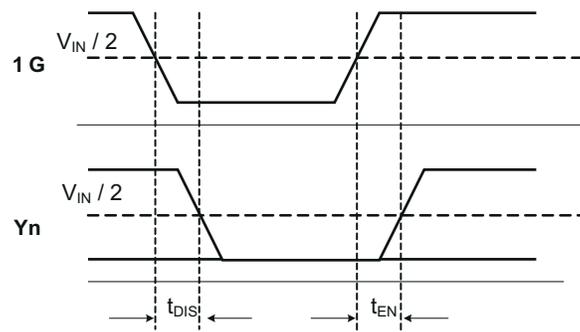


図 7-4. 出力 t_{1G_ON} および t_{1G_OFF} 時間

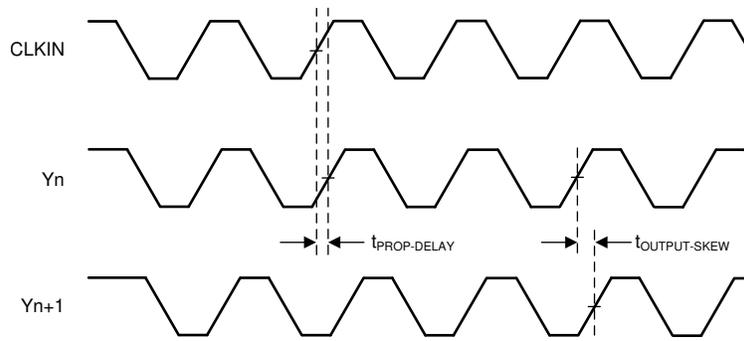


図 7-5. 伝搬遅延 $t_{PROP-DELAY}$ と出力スキュー $t_{OUTPUT-SKEW}$

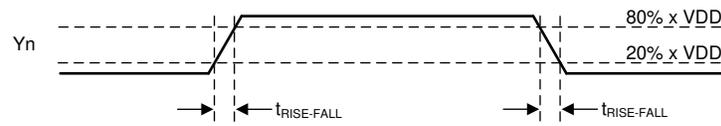


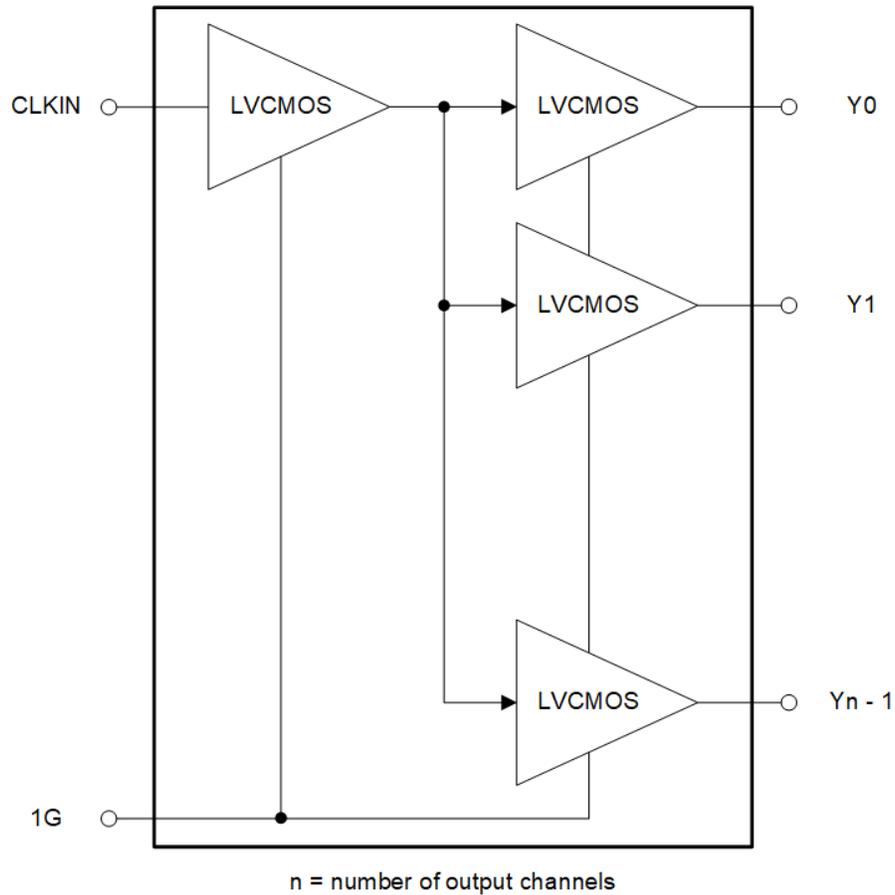
図 7-6. 立ち上がり / 立ち下がり時間 $t_{RISE-FALL}$

8 詳細説明

8.1 概要

LMK1C110xA ファミリのデバイスは、低ジッタで低スキューの LVCMOS ファンアウト バッファ ソリューションの製品です。LMK1C110xA 出力ドライバの特性インピーダンスと、伝送ドライバの特性インピーダンスの一致は、最高のシグナル インテグリティを実現するため重要です。

8.2 機能ブロック図



8.3 機能説明

LMK1C110xA の出力は、非同期出カインーブルピン (1G) を Low に駆動することでディセーブルできます。未使用の出力はフローティングのままにして、全体的な部品コストを削減できます。電源ピンとグランドピンは、それぞれ V_{DD} と GND に接続する必要があります。

8.3.1 フェイルセーフ入力

LMK1C110xA ファミリのデバイスは、フェイルセーフ入力動作をサポートするよう設計されています。この機能により、V_{DD} が印加される前に、デバイスを損傷することなくデバイス入力を駆動できます。デバイスでサポートされる最大入力の詳細については、「絶対最大定格」を参照してください。このデバイスには入力ヒステリシスも組み込まれており、入力信号が存在しない場合にランダムな発振を防止し、入力ピンをオープンのままにできます。

8.3.2 非同期出カインーブル

非同期出カインーブルは、1G ピンが High にプルされたとき、[セクション 6](#) で規定されている最小遅延で出力を即座にオンにします。同期イネーブルは、出力を有効にする前に入力クロック サイクルを使用して出力を同期します。

非同期出カインーブルは、高速出カインーブルが必要な 1PPS などのアプリケーションに便利です。1G ピンのアサートにより、同期出カインーブルと比べて出力は即座に有効になります。この機能は、追加の遅延が不要なその他の同期信号アプリケーションにも役立ちます。

非同期出力に便利なもう 1 つの機能は、パワーアップ時に静的な「High」または「Low」信号を使用できることです。非同期出カインーブル デバイスは、入力クロック エッジにバインドされていないため、クロック入力に静的「High」の場合、出力は入力に従い、パワーアップ時に「High」になります。テキサス インストルメンツから利用可能な出カインーブル オプションについては、[セクション 4](#) を参照してください。

8.4 デバイスの機能モード

LMK1C110xA は 1.8V、2.5V、または 3.3V 電源で動作します。[表 8-1](#) に、LMK1C110xA の出力ロジックを示します。

表 8-1. 出力論理表

入力		出力
CLKIN	1G	Yn
X	L	L
L	H	L
H	H	H

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

LMK1C110xA ファミリーは低追加ジッタの LVCMOS バッファの設計であり、 $V_{DD} = 3.3V$ では 200MHz、 $V_{DD} = 2.5V$ 、 $1.8V$ で 250MHz まで動作できます。アプリケーションで必要に応じて、低い出力スキューと、非同期出力イネーブルを備えており、バッファ付きクロック出力を同時にイネーブルまたはディセーブルできます。

9.2 代表的なアプリケーション

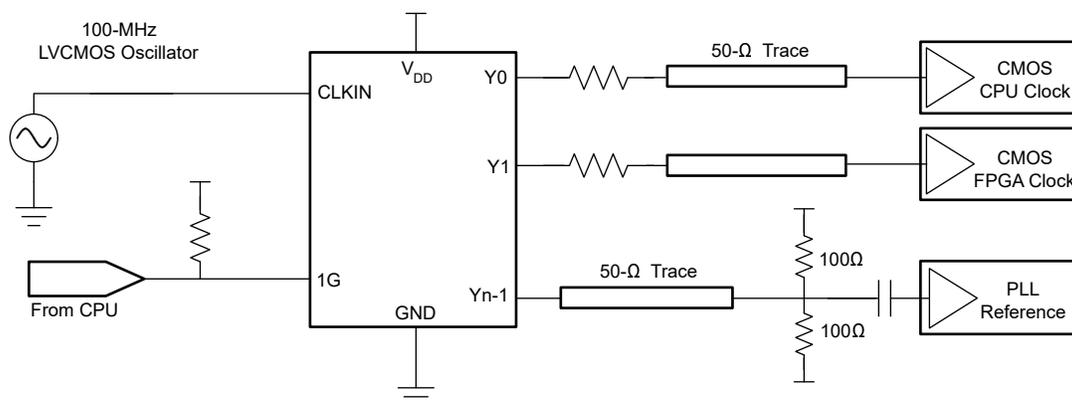


図 9-1. システム構成の例

9.2.1 設計要件

図 9-1 に示す LMK1C110xA は、ローカル LVCMOS 発振器から 100MHz の信号をファンアウトするように構成されています。CPU は、1G により出力状態を制御するように構成されています。

この構成例では、以下の特性を持つバックプレーンアプリケーションの 3 つの LVCMOS レシーバを駆動します。

- CPU クロックは、フルスイングの DC 結合 LVCMOS 信号に対応できます。反射を最小限に抑えるため、直列抵抗 R_S は LMK1C110xA の近くに配置して、トレースの特性インピーダンスと厳密に一致させます。
- FPGA クロックも同様に DC 結合され、LMK1C110xA の近くに配置される適切な直列抵抗となります。
- この例の PLL は、より低い振幅の信号を受け入れることができるため、テブナンの等価終端 (V_{DD} にプルアップし、 GND にプルダウン) を使用します。PLL レシーバは内部バイアスを備えているため、同相電圧がミスマッチしたときに AC 結合を使用できます。

9.2.2 詳細な設計手順

未使用の出力はフローティングのままにできます。推奨されるフィルタリング技法については [電源に関する推奨事項](#) を参照してください。

9.3 電源に関する推奨事項

高性能クロック バッファは、電源のノイズに敏感であり、バッファの付加ジッタが大幅に増加する可能性があります。そのため、特にジッタと位相ノイズの性能が重要なアプリケーションでは、システム電源からの過剰ノイズを管理することが不可欠です。

フィルタ コンデンサを使用して、電源からの低周波数ノイズを除去すると、バイパス コンデンサが高周波ノイズに対する非常に低いインピーダンスパスとして機能し、電源システムを誘導性の変動から保護できます。これらのバイパス コンデンサは、デバイスの必要に応じて瞬間的な電流サージを発生させます。またバイパス コンデンサの等価直列抵抗 (ESR) を小さくする必要があります。電源を適切にバイパスするには、デカップリング コンデンサを電源端子の近くに配置し、グランド プレーンに直接接続し、インダクタンスを最小限に抑えるために短いループでレイアウトする必要があります。TI では、パッケージの電源端子と同じ数の高周波バイパス コンデンサ (0.1 μ F 等) を追加することを推奨しています。基板電源とチップ電源の間にフェライト ビーズを挿入し、クロック バッファが生成する高周波スイッチング ノイズを絶縁することを推奨しますが、これは必須ではありません。これらのビーズは、スイッチング ノイズが基板の電源に漏れるのを防止します。基板電源とチップ電源を適切に絶縁し、適切な動作に必要な最小電圧を上回る電源端子の電圧を維持するため、DC 抵抗が非常に小さく適切なフェライト ビーズを選定します。

図 9-2 に、この推奨される電源デカップリング方法を示します。

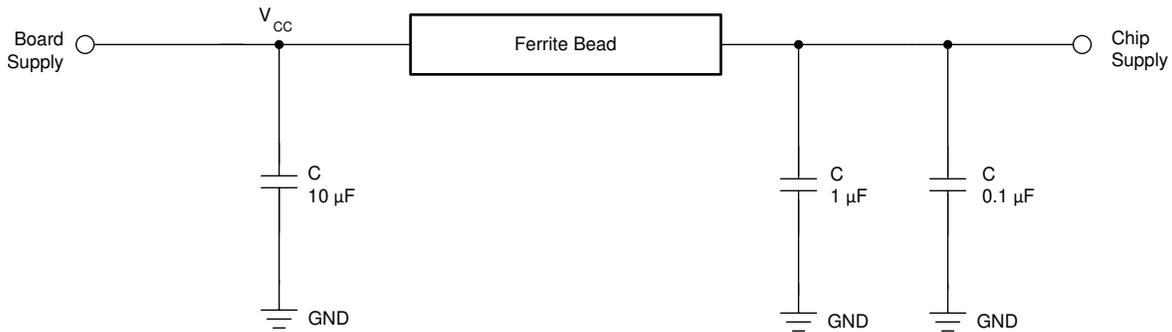


図 9-2. 電源のデカップリング

9.4 レイアウト

9.4.1 レイアウトのガイドライン

図 9-3 に、電源バイパス コンデンサの推奨配置を詳細に示した概念レイアウトを示します。部品側の実装には、0402 の本体サイズのコンデンサを使用して信号の配線を容易にします。バイパス コンデンサとデバイスの電源との間の接続はできる限り短くします。グランド プレーンへの低インピーダンス接続を使用して、コンデンサの反対側をグランドに接続します。

9.4.2 レイアウト例

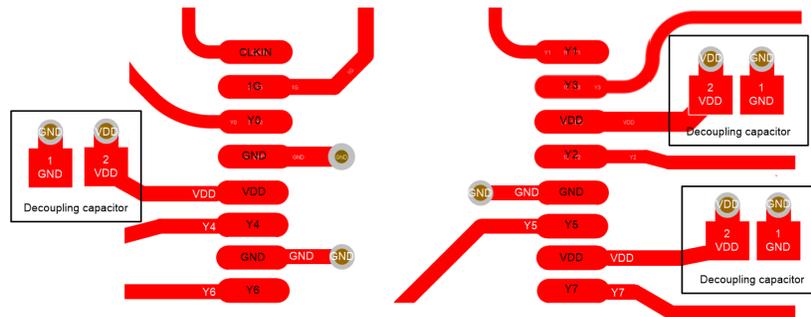


図 9-3. 14 ピンおよび 16 ピン PW デバイスのレイアウト例



図 9-4. レイアウト例 (8 ピン PW デバイス)

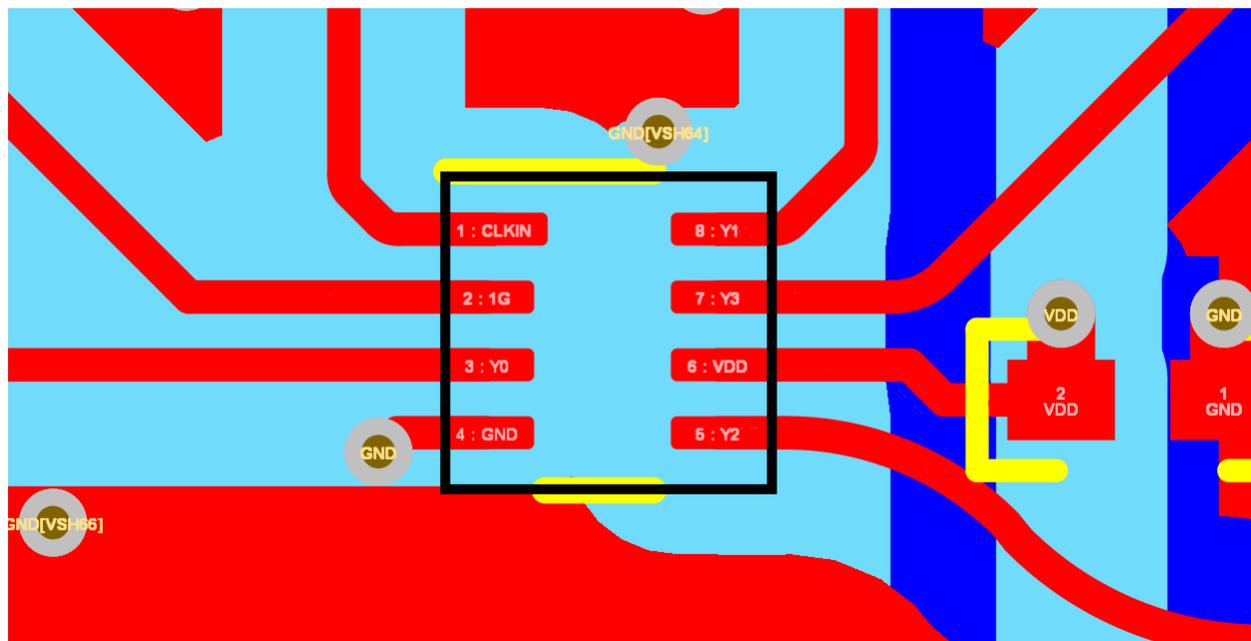


図 9-5. レイアウト例 (8 ピン WSON デバイス)

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[LMK1C1108EVM](#)』EVM ユーザー ガイド

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ **E2E™** サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

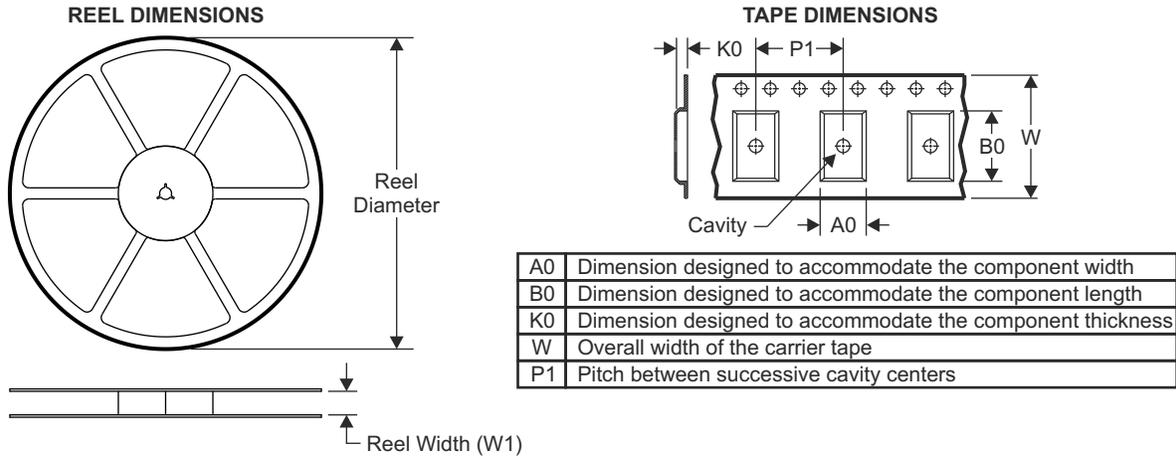
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2025	*	初版リリース

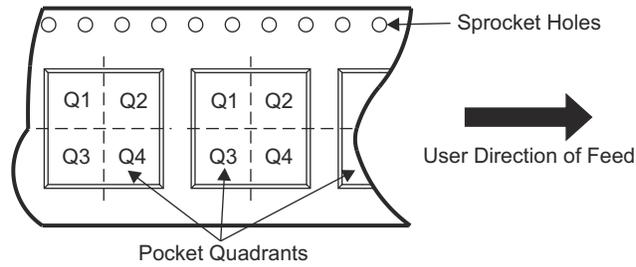
12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

12.1 テープおよびリール情報

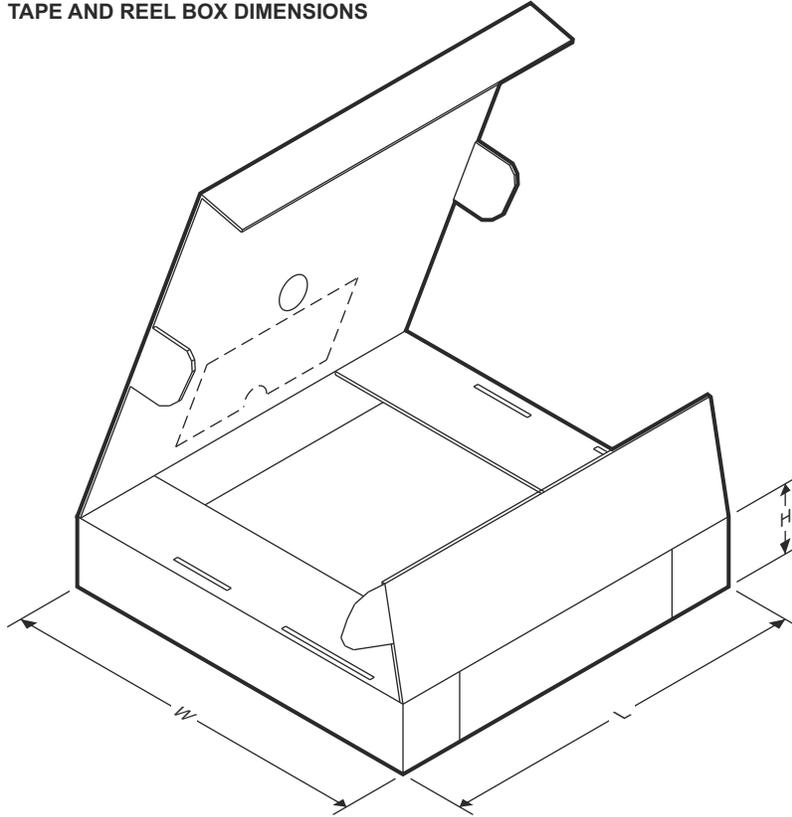


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
LMK1C1102APWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMK1C1103APWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMK1C1104APWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMK1C1106APWR	TSSOP	PW	14	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMK1C1108APWR	TSSOP	PW	16	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMK1C1102ADQFR	WSON	DQF	8	3000	178.0	8.4	2.25	2.25	1.0	4.0	8.0	Q2
LMK1C1104ADQFR	WSON	DQF	8	3000	178.0	8.4	2.25	2.25	1.0	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
LMK1C1102APWR	TSSOP	PW	8	3000	356	356	35
LMK1C1103APWR	TSSOP	PW	8	3000	356	356	35
LMK1C1104APWR	TSSOP	PW	8	3000	356	356	35
LMK1C1106APWR	TSSOP	PW	14	3000	356	356	35
LMK1C1108APWR	TSSOP	PW	16	3000	356	356	35
LMK1C1102ADQFR	WSON	DQF	8	3000	205.0	200.0	33.0
LMK1C1104ADQFR	WSON	DQF	8	3000	205.0	200.0	33.0

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的のみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK1C1102ADQFR	Active	Production	WSON (DQF) 8	3000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	L02A
LMK1C1102APWR	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1102A
LMK1C1103APWR	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1103A
LMK1C1104ADQFR	Active	Production	WSON (DQF) 8	3000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	L04A
LMK1C1104APWR	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1104A
LMK1C1106APWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1106A
LMK1C1108APWR	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1108A

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

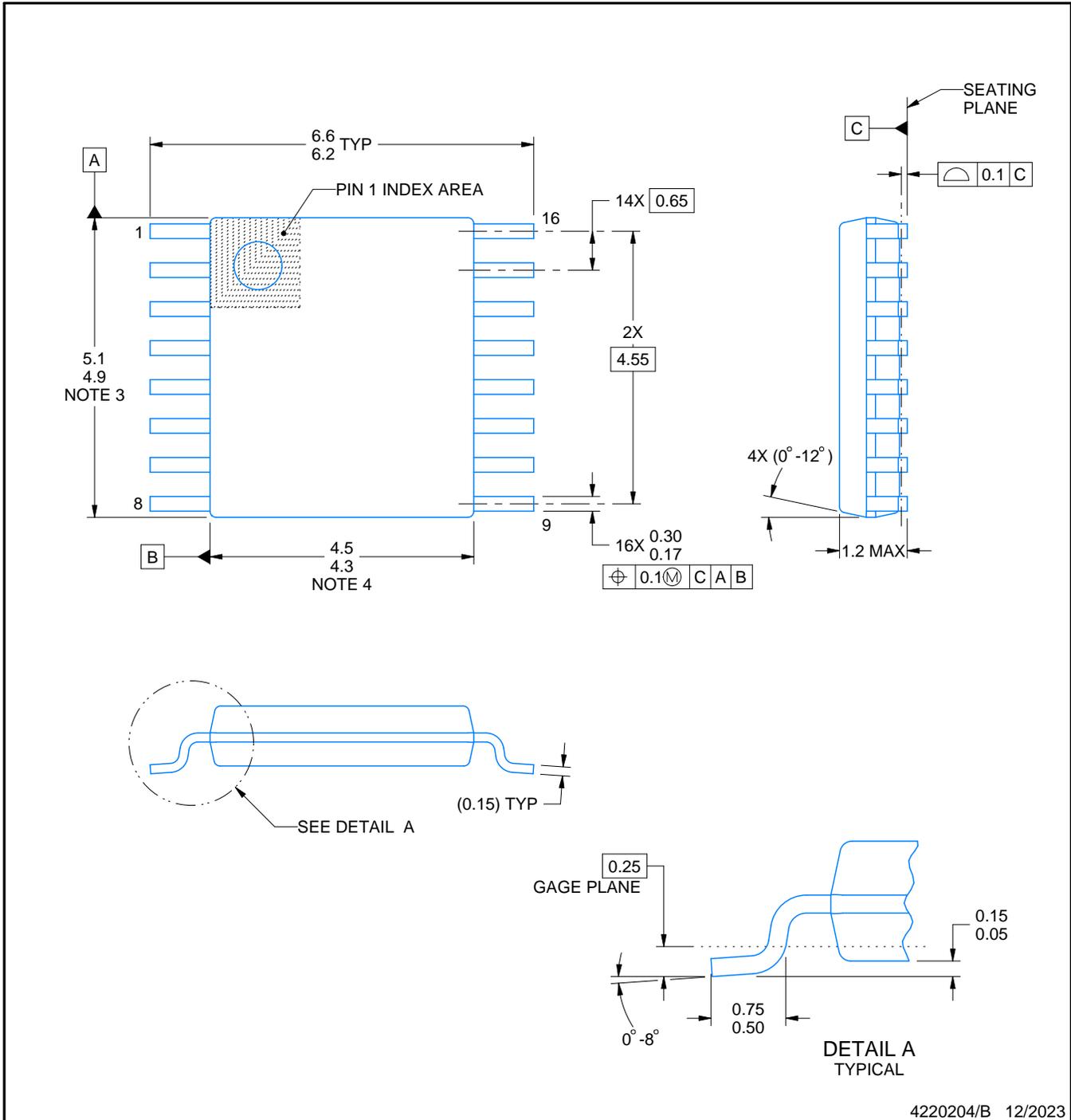
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4220204/B 12/2023

NOTES:

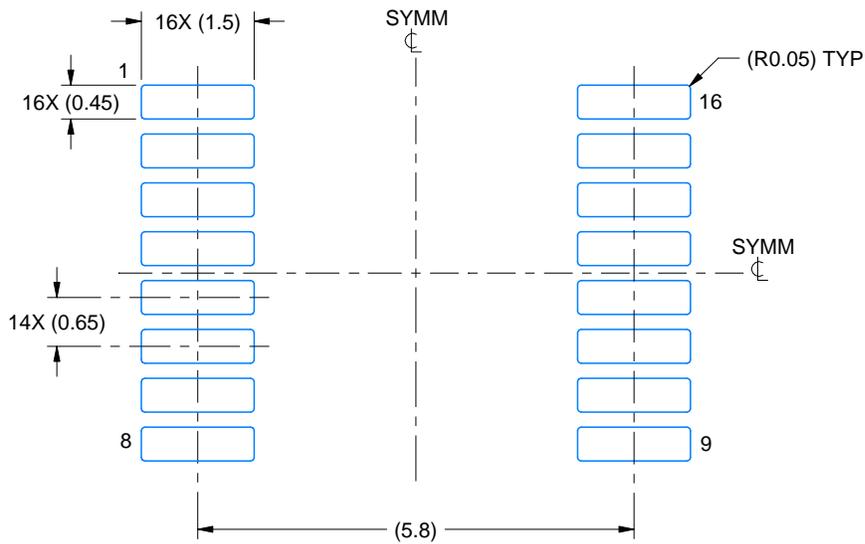
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

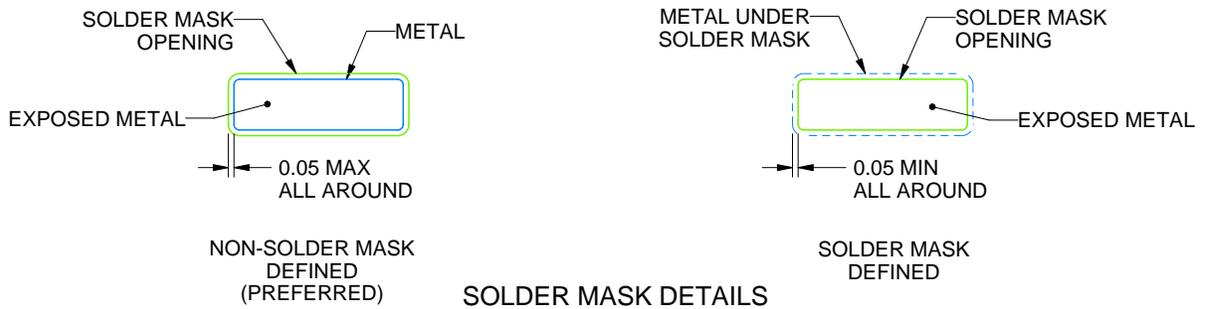
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

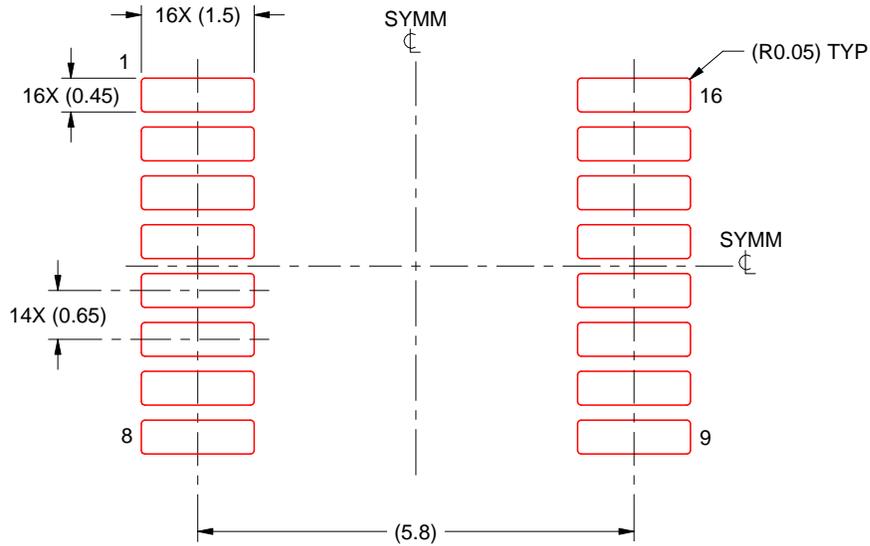
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



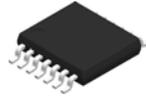
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

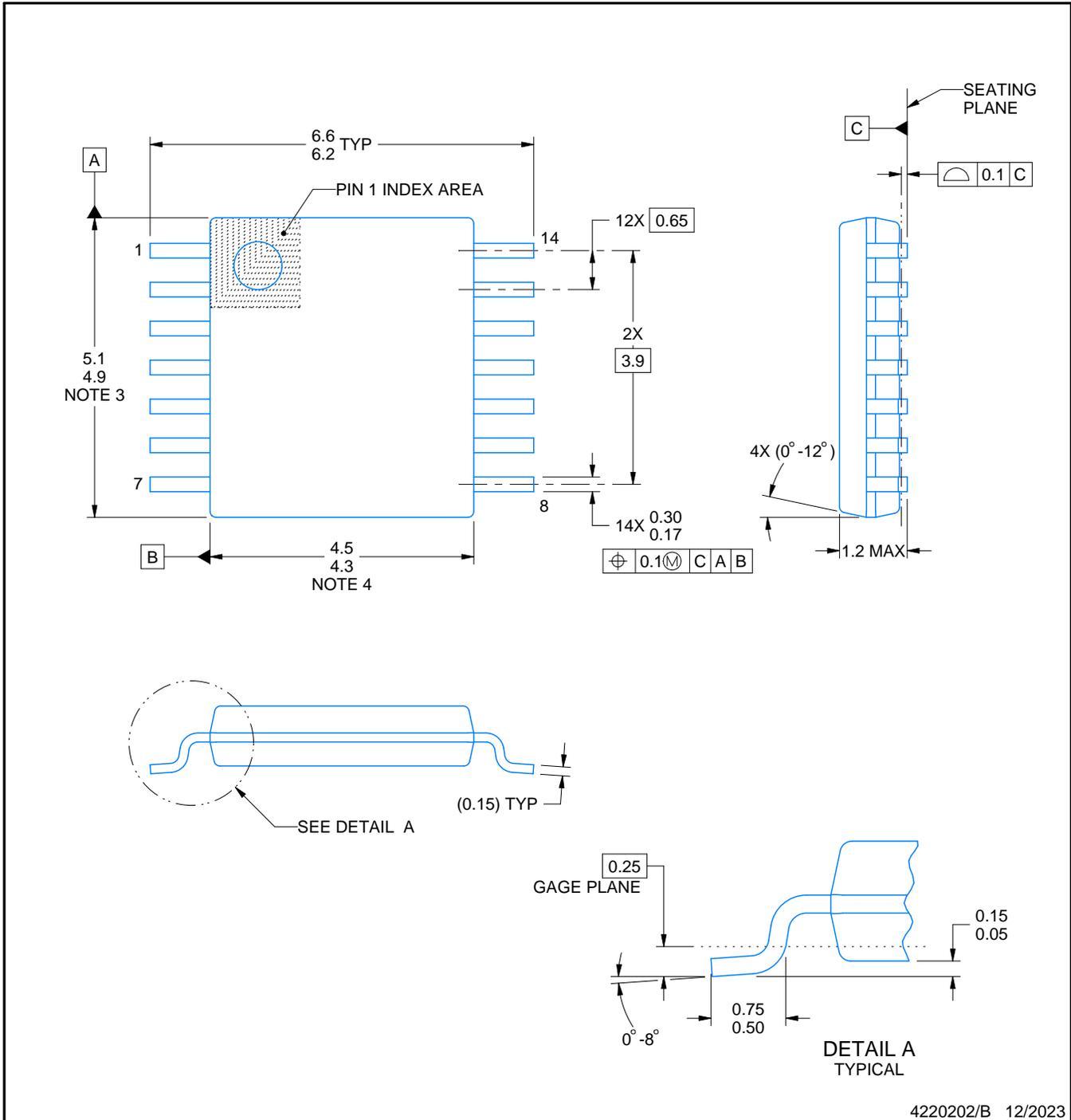
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

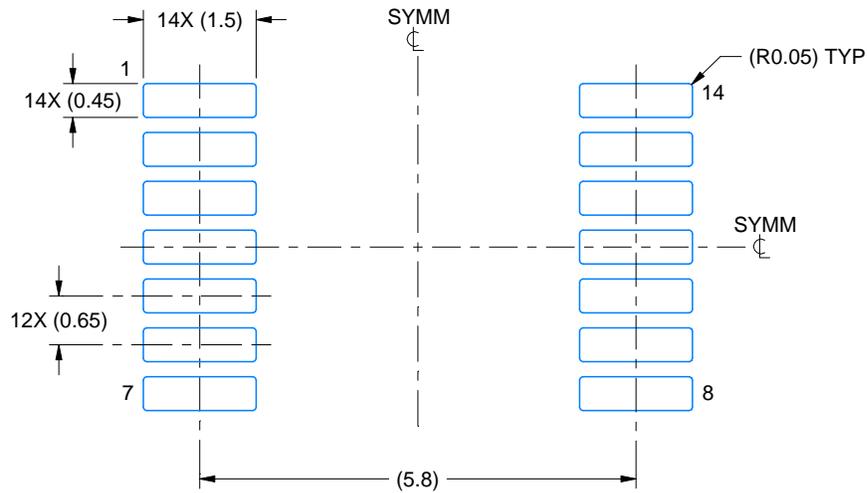
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

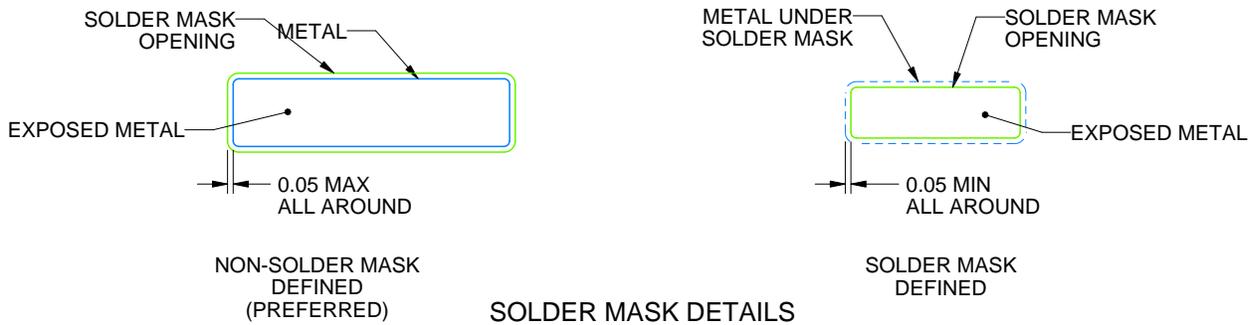
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

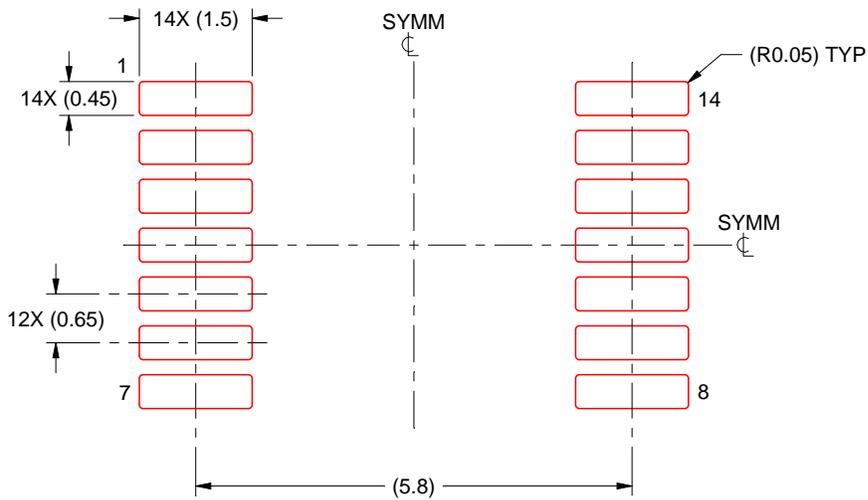
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

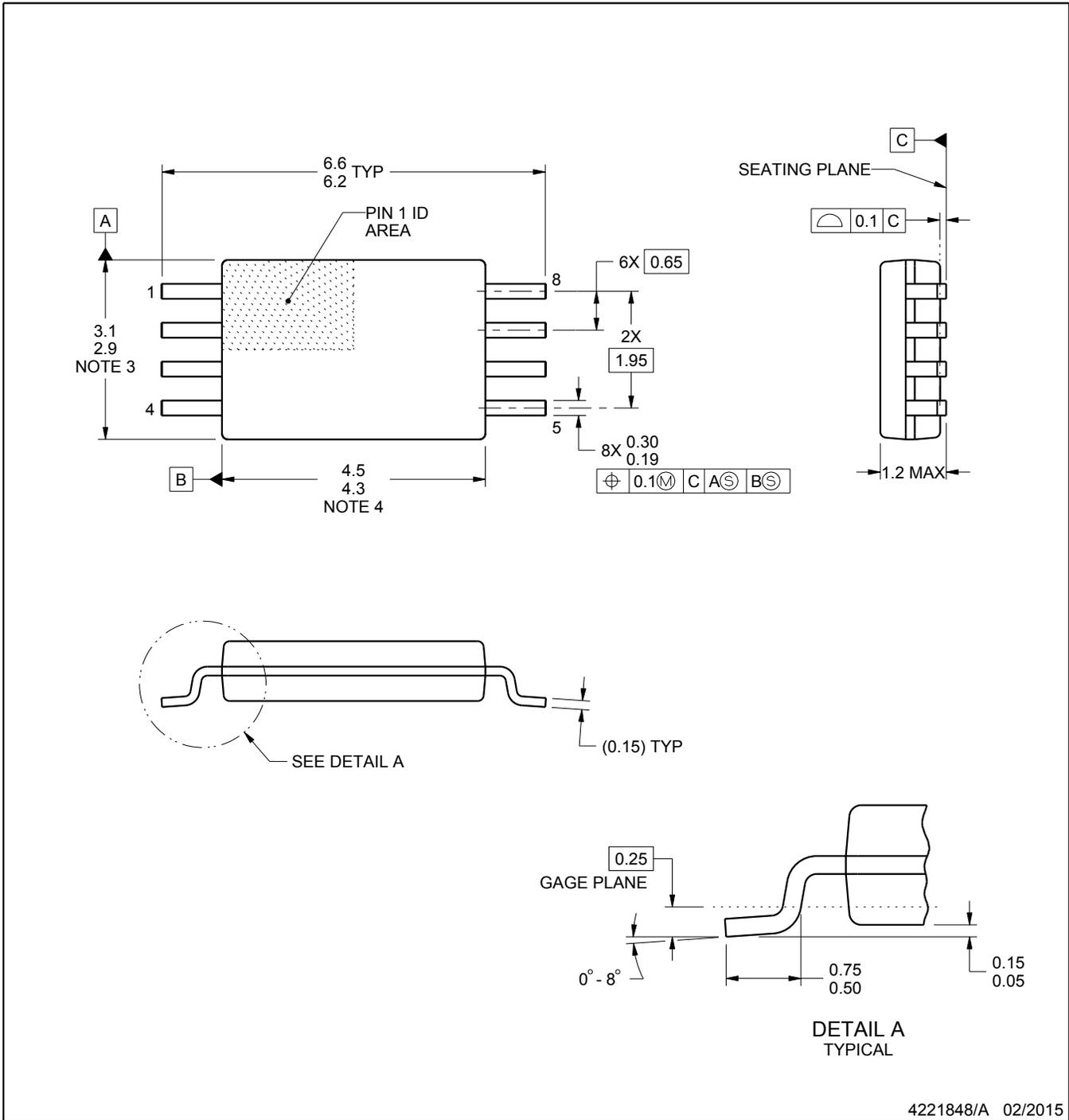
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0008A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4221848/A 02/2015

NOTES:

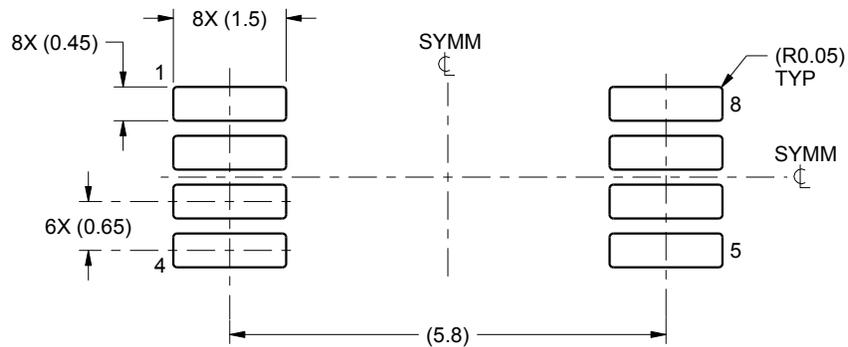
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153, variation AA.

EXAMPLE BOARD LAYOUT

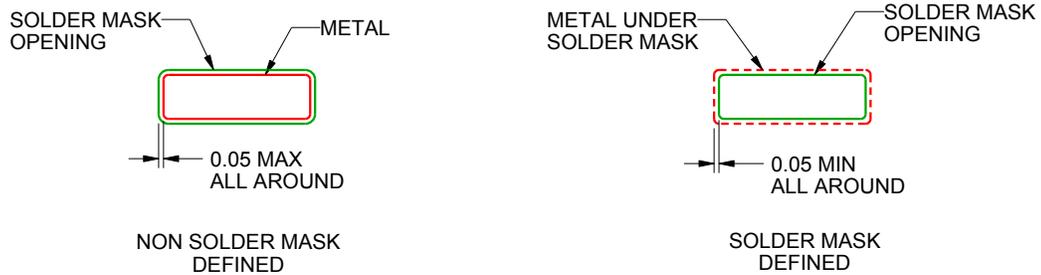
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

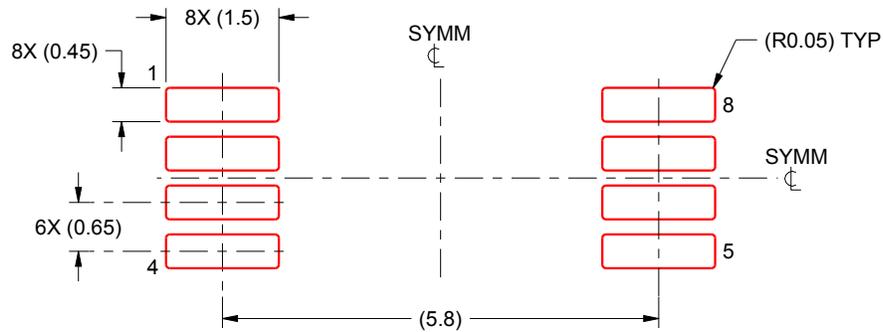
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

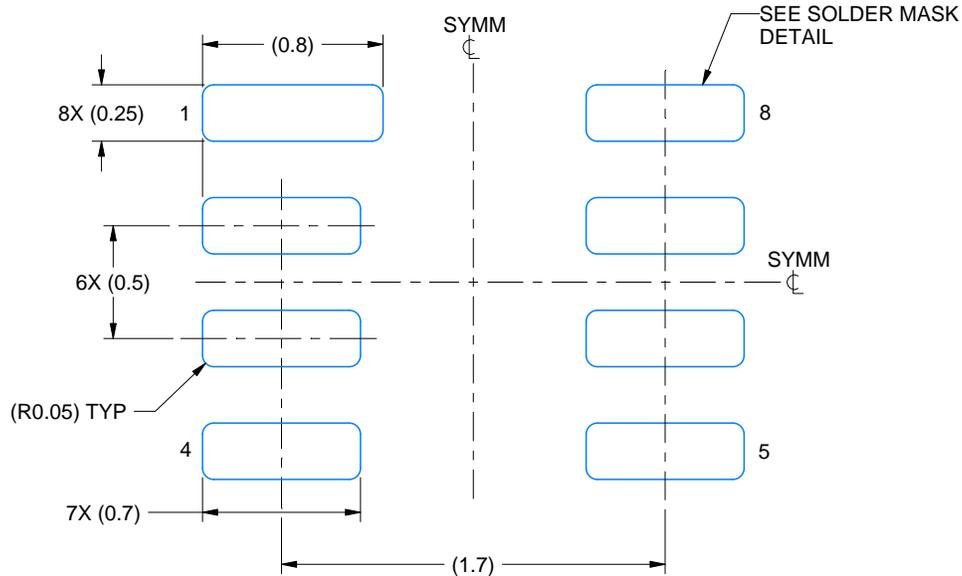
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

DQF0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X



SOLDER MASK DETAILS

4220563/A 03/2021

NOTES: (continued)

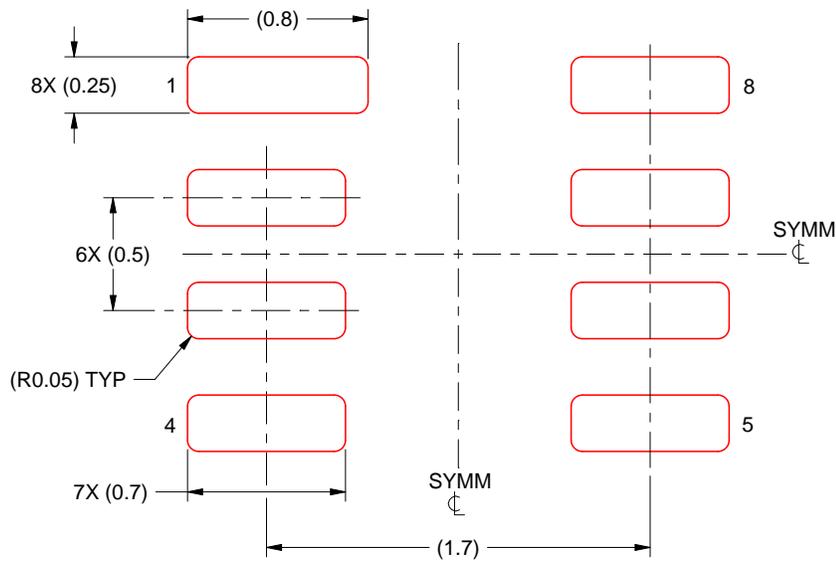
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DQF0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

4220563/A 03/2021

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated