

LMK00301 3GHz、10 出力、超低加算ジッタの 差動クロック バッファ / レベル トランスレータ

1 特長

- 3:1 入力マルチプレクサ
 - 2つのユニバーサル入力は最高 3.1GHz で動作し、lvpecl、lvds、cml、sstl、hstl、hcs1、または、シングルエンドクロックに対応
 - 1つの水晶振動子入力は、10MHz ~ 40MHz の水晶振動子またはシングルエンドクロックに対応
- 2 バンクで、それぞれに 5 つの差動出力
 - LVPECL、LVDS、HCSL、Hi-Z (バンクごとに選択可能)
 - LMK03806 のクロックソースが 156.25MHz のときの LVPECL 加算ジッタ
 - 20fs RMS (10kHz~1MHz)
 - 51fs RMS (12kHz~20MHz)
- 周波数範囲:
 - LVPECL (DC~3100MHz)
 - LVDS (DC~2100MHz)
 - HCSL (DC~800MHz)
 - LVCMOS (DC~250MHz)
- PCIe フィルタ後の加算 RMS ジッタ:
 - Gen 7: 9.38fs (LVPECL)、10.1fs (HCSL)、12.6fs (LVDS) (最大値)
 - Gen 6: 13.4fs (LVPECL)、14.3fs (HCSL)、18.0fs (LVDS) (最大値)
 - Gen 5: 21.8fs (LVPECL)、23.6fs (HCSL)、30.3fs (LVDS) (最大値)
- 高 PSRR: 156.25MHz で -65dBc (LVPECL) および -76dBc (LVDS)
- 同期イネーブル入力付きの LVCMOS 出力
- 構成をピンで制御可能
- V_{CC} コア電源: 3.3V ± 5%
- 3 つの独立した V_{CCO} 出力電源: 3.3V または 2.5V ± 5%
- 産業用温度範囲: -40°C ~ +85°C

2 アプリケーション

- ADC、DAC、マルチギガビットイーサネット、XAU1、ファイバー チャネル、SATA/SAS、SONET/SDH、CPRI、高周波数バックプレーンのクロック分配およびレベル変換
- スイッチ、ルータ、ラインカード、タイミングカード
- サーバー、コンピュータ、PCI Express (PCIe 3.0、4.0、5.0、6.0、7.0)
- リモート無線ユニットおよびベースバンド ユニット

3 説明

LMK00301 は 3GHz、10 出力の差動ファンアウト バッファで、高周波数、低ジッタのクロック / データ分配およびレベル変換を目的としています。入力クロックは 2 つの汎用入力、または 1 つの水晶振動子入力から選択できます。選択された入力クロックは 2 つのバンクに分配され、それぞれのバンクには 5 つの差動出力と 1 つの LVCMOS 出力があります。差動出力バンクは両方とも、LVPECL、LVDS、HCSL ドライバとして相互に構成するか、ディスエーブルにできます。LVCMOS 出力には同期イネーブル入力があり、イネーブルまたはディスエーブル時にラント(微小)パルスなしの動作を実現できます。LMK00301 は、3.3V のコア電源と、3 系統の独立した 3.3V または 2.5V の出力電源で動作します。

LMK00301 は高性能、多用途性、省電力性を備えており、固定出力バッファ デバイスの代替となるとともに、システムのタイミング マージンを向上させるよう設計されたデバイスです。LMK00301 には、コア電源ドメインと出力電源ドメインの間に電源シーケンス要件がない設計スピンドル LMK00301A があります。

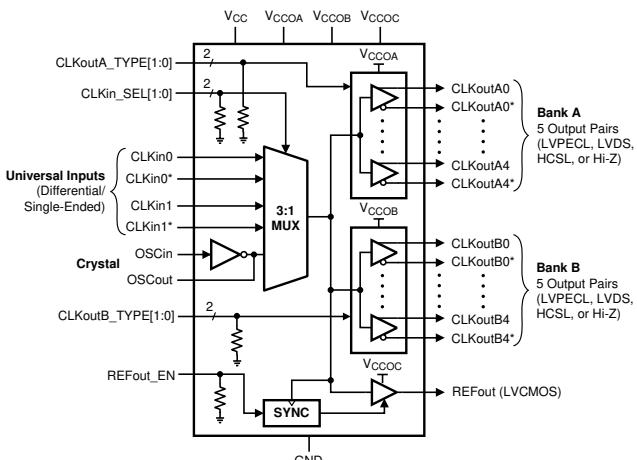
パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽³⁾
LMK00301 ⁽²⁾	RHS (WQFN, 48)	7.00mm × 7.00mm

(1) 詳細については、[セクション 12](#) を参照してください。

(2) LMK00301A は、データシートの末尾にある注文可能な付録として利用可能なデザインスピンドルです。

(3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能プロック図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	8.3 機能説明	23
2 アプリケーション	1	8.4 デバイスの機能モード	23
3 説明	1	9 アプリケーションと実装	25
4 デバイスの比較	3	9.1 アプリケーション情報	25
5 ピン構成および機能	3	9.2 代表的なアプリケーション	25
6 仕様	6	9.3 電源に関する推奨事項	32
6.1 絶対最大定格	6	9.4 レイアウト	37
6.2 ESD 定格	6	10 デバイスおよびドキュメントのサポート	39
6.3 推奨動作条件	6	10.1 ドキュメントのサポート	39
6.4 熱に関する情報	6	10.2 ドキュメントの更新通知を受け取る方法	39
6.5 電気的特性	8	10.3 サポート・リソース	39
6.6 代表的特性	15	10.4 商標	39
7 パラメータ測定情報	21	10.5 静電気放電に関する注意事項	39
7.1 差動電圧測定に関する用語	21	10.6 用語集	39
8 詳細説明	22	11 改訂履歴	39
8.1 概要	22	12 メカニカル、パッケージ、および注文情報	41
8.2 機能ブロック図	22		

4 デバイスの比較

表 4-1. デバイスの比較

発注型番	電源シーケンスの必要性
LMK00301	あり(1)
LMK00301A	なし(2)

(1) 電源シーケンシングが必要であり、すべてのコア電源と出力電源が同時に上昇するか、互いに接続されている必要があります。

(2) コア電源ドメインと出力電源ドメインの間には電源シーケンス要件はありません。

5 ピン構成および機能

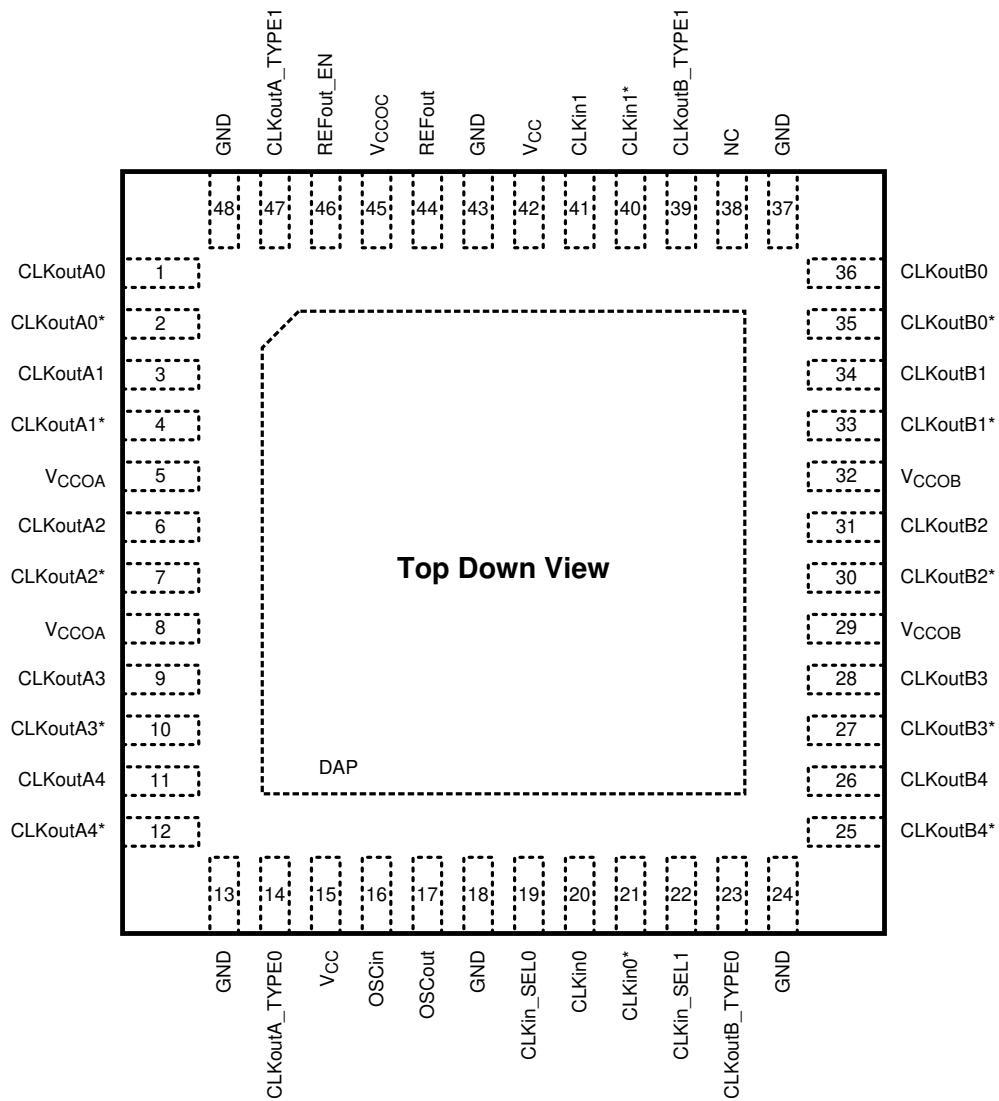


図 5-1. RHS パッケージ 48 ピン WQFN 上面図

表 5-1. ピン機能 (4)

名称	ピン番号	タイプ ⁽¹⁾	説明
CLKin_SEL0	19	I	クロック入力選択ピン ⁽³⁾
CLKin_SEL1	22		
CLKin0	20	I	ユニバーサル クロック入力 0 (差動またはシングルエンド)
CLKin0*	21		
CLKin1	40	I	ユニバーサル クロック入力 1 (差動またはシングルエンド)
CLKin1*	40		
CLKoutA_TYPE0	14	I	バンク A 出力バッファ タイプの選択ピン ⁽³⁾
CLKoutA_TYPE1	47		
CLKoutB_TYPE0	23	I	バンク B 出力バッファ タイプの選択ピン ⁽³⁾
CLKoutB_TYPE1	39		
CLKoutA0	1	O	差動クロック出力 A0。出力タイプは CLKoutA_TYPE ピンによって設定。
CLKoutA0*	2		
CLKoutA1	3	O	差動クロック出力 A1。出力タイプは CLKoutA_TYPE ピンによって設定。
CLKoutA1*	4		
CLKoutA2	6	O	差動クロック出力 A2。出力タイプは CLKoutA_TYPE ピンによって設定。
CLKoutA2*	7		
CLKoutA3	9	O	差動クロック出力 A3。出力タイプは CLKoutA_TYPE ピンによって設定。
CLKoutA3*	10		
CLKoutA4	11	O	差動クロック出力 A4。出力タイプは CLKoutA_TYPE ピンによって設定。
CLKoutA4*	12		
CLKoutB4*	25	O	差動クロック出力 B4。出力タイプは CLKoutB_TYPE ピンによって設定。
CLKoutB4	26		
CLKoutB3*	27	O	差動クロック出力 B3。出力タイプは CLKoutB_TYPE ピンによって設定。
CLKoutB3	28		
CLKoutB2*	30	O	差動クロック出力 B2。出力タイプは CLKoutB_TYPE ピンによって設定。
CLKoutB2	31		
CLKoutB1*	33	O	差動クロック出力 B1。出力タイプは CLKoutB_TYPE ピンによって設定。
CLKoutB1	34		
CLKoutB0*	35	O	差動クロック出力 B0。出力タイプは CLKoutB_TYPE ピンによって設定。
CLKoutB0	36		
DAP	DAP	GND	ダイ取り付けパッド。放熱のため、PCB グランド プレーンに接続します。
GND	13、18、24、 37、43、48	GND	グランド
NC	38	—	内部未接続。ピンは、 絶対最大定格 に記載された電源電圧範囲内であれば、フローティング状態、グランド接続、またはその他任意の電位に接続できます。
OSCin	16	I	水晶振動子の入力。XO、TCXO、または他の外部シングルエンド クロックから駆動することもできます。
OSCout	17	O	水晶振動子用出力。OSCin がシングルエンド クロックで駆動される場合、OSCout は未接続のままにします。
REFout	44	O	LVCMOS リファレンス出力。REFout_EN ピンを High にして出力を有効にします。
REFout_EN	46	I	REFout イネーブル入力。イネーブル信号は、選択されたクロック入力と内部的に同期します。 ⁽³⁾
Vcc	15、42	PWR	コアおよび入力バッファ ブロック用の電源。Vcc 電源は 3.3V で動作します。各 Vcc ピンのすぐ近くに、0.1μF の低 ESR コンデンサを配置してバイパスします。

表 5-1. ピン機能⁽⁴⁾ (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
V _{CCOA}	5, 8	PWR	バンク A 出力バッファ用電源。V _{CCOA} は 3.3V または 2.5V から動作可能。V _{CCOA} ピンは内部で接続されています。各 V _{cco} ピンのすぐ近くに、0.1μF の低 ESR コンデンサを配置してバイパスします。 ⁽²⁾
V _{CCOB}	29, 32	PWR	バンク B 出力バッファ用電源。V _{CCOB} は 3.3V または 2.5V から動作可能。V _{CCOB} ピンは内部で接続されています。各 V _{cco} ピンのすぐ近くに、0.1μF の低 ESR コンデンサを配置してバイパスします。 ⁽²⁾
V _{CCOC}	45	PWR	REFout 出力バッファ用電源。V _{ccoc} は 3.3V または 2.5V から動作可能。各 V _{cco} ピンのすぐ近くに、0.1μF の低 ESR コンデンサを配置してバイパスします。 ⁽²⁾

(1) I = 入力、O = 出力、PWR = パワー

(2) 出力電源電圧またはピン (V_{CCOA}、V_{CCOB}、V_{CCOC}) は、区別が不要な場合や出力バンク / タイプから出力電源を推測できる場合、一般的に V_{CCO} と呼ばれます。

(3) 内部ブルダウン抵抗付き CMOS 制御入力。

(4) 不使用の出力ピンは、最小限の銅配線長でフローティング状態にしておく必要があります ([クロック出力](#) 内の注記を参照)。または、伝送ラインに接続されている場合は適切に終端するか、可能であれば無効化またはハイインピーダンスにします。出力構成については [クロック出力](#) を、出力インターフェイスおよび終端技術については [ターミネーションとクロックドライバの使用](#) を参照してください。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
V _{CC} , V _{CCO}	電源電圧	-0.3	3.6	V
V _{IN}	入力電圧	-0.3	(V _{CC} + 0.3)	V
T _{STG}	保存温度	-65	+150	°C
T _L	リード温度 (半田付け、4 秒)		+260	°C
T _J	接合部温度		+150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 軍用/航空宇宙用仕様のデバイスをお求めの場合は、供給状況および仕様について テキサス・インスツルメンツの販売特約店または営業所にお問い合わせください。

6.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
	マシン モデル (MM)	±150	
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠 ⁽²⁾	±750	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、HBM の ESD 耐圧が 500V 未満でも製造可能です。±2000V と記載されているピンは、実際にはそれよりも高い性能を持つ場合があります。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。±750V と記載されているピンは、実際にはそれよりも高い性能を持つ場合があります。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	パラメータ	最小値	標準値	最大値	単位
T _A	周囲温度範囲	-40	25	85	°C
T _J	接合部温度			125	°C
V _{CC}	コア電源電圧範囲	3.15	3.3	3.45	V
V _{CCO}	出力電源電圧範囲 ^{(1) (2)}	3.3 - 5%	3.3	3.3 + 5%	V
		2.5 - 5%	2.5	2.5 + 5%	

- (1) 出力電源電圧またはピン (V_{CCOA}、V_{CCOB}、V_{CCOC}) は、区別が不要な場合や出力バンク / タイプから出力電源を推測できる場合、一般的に V_{CCO} と呼ばれます。
- (2) 任意の出力バンクの V_{CCO} は、V_{CC} 以下でなければなりません (V_{CCO} ≤ V_{CC})。

6.4 热に関する情報

熱評価基準 ^{(1) (2)}	LMK00301	単位
	RHS0048A (WQFN)	
	48 ピン	
R _{θJA}	接合部から周囲への熱抵抗	°C/W
	R _{θJC(top) (DAP)} 接合部からケース (上面) への熱抵抗	

- (1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション ノートを参照してください。

- (2) この仕様は、16 本のサーマルビアでダイアタッチパッドを 4 層 JEDEC ボード上の組込み銅プレーンに接続することを前提としています。これらのビアは、パッケージの放熱性能を向上させる上で重要な役割を果たします。基板レイアウトで可能な限り多くのビアを使用してください。

6.5 電気的特性

特に記述のない限り: $V_{CC} = 3.3V \pm 5\%$ 、 $V_{CCO} = 3.3V \pm 5\%$ 、 $2.5V \pm 5\%$ 、 $-40^\circ C \leq T_A \leq 85^\circ C$ 、CLKin は差動駆動、入力スルーレート $\geq 3V/ns$ 。標準値は、 $V_{CC} = 3.3V$ 、 $V_{CCO} = 3.3V$ 、 $T_A = 25^\circ C$ の条件および製品特性評価時の推奨動作条件における、最も可能性が高いパラメトリック標準値を示すものであり、保証はされません。⁽¹⁾

	パラメータ	テスト条件	最小値	標準値	最大値	単位
消費電流 (2)						
I _{CC_CORE}	コア電源電流、すべての出力がディスエーブル	CLKinX を選択	8.5	10.5	mA	
		OSCin を選択	10	13.5	mA	
I _{CC_PECL}	追加コア電源電流、LVPECL バンクごとにイネーブル		20	27	mA	
I _{CC_LVDS}	追加コア電源電流、LVDS バンクごとにイネーブル	LMK00301	26	32.5	mA	
		LMK00301A	31	38		
I _{CC_HCSL}	追加コア電源電流、HCSL バンクごとにイネーブル		35	42	mA	
I _{CC_CMOS}	追加コア電源電流、LVCMOS 出力イネーブル		3.5	5.5	mA	
I _{CCO_PECL}	追加出力電源電流、LVPECL バンクごとにイネーブル	出力バンク バイアスおよび負荷電流を含み、バンクのすべての出力で $R_T = 50\Omega \sim V_{CCO} - 2V$	165	197	mA	
I _{CCO_LVDS}	追加出力電源電流、LVDS バンクごとにイネーブル	LMK00301	34	44.5	mA	
		LMK00301A	24	33.5		
I _{CCO_HCSL}	追加出力電源電流、HCSL バンクごとにイネーブル	出力バンク バイアスおよび負荷電流を含み、バンクのすべての出力で $R_T = 50\Omega$	V _{CCO} = 3.3V ± 5%	87	104	mA
			V _{CCO} = 2.5V ± 5%			
I _{CCO_CMOS}	追加出力電源電流、LVCMOS 出力イネーブル	200MHz, C _L = 5pF	V _{CCO} = 3.3V ± 5%	9	10	mA
			V _{CCO} = 2.5V ± 5%	7	8	mA
電源リップル除去 (PSRR)						
PSRR _{PECL}	リップル誘起 位相スプリアス レベル ⁽³⁾ 差動 LVPECL 出力	100kHz, V _{CCO} に 100mVpp のリップルを注入、 V _{CCO} = 2.5V	156.25MHz	-65	dBc	
			312.5MHz	-63		
PSRR _{HCSL}	リップル誘起 位相スプリアス レベル ⁽³⁾ 差動 HCSL 出力		156.25MHz	-76	dBc	
			312.5MHz	-74		
PSRR _{LVDS}	リップル誘起 位相スプリアス レベル ⁽³⁾ 差動 LVDS 出力		156.25MHz	-72	dBc	
			312.5MHz	-63		
CMOS 制御入力 (CLKin_SELn, CLKoutX_TYPEn, REFout_EN)						
V _{IH}	High レベル入力電圧		1.6	V _{CC}	V	
V _{IL}	Low レベル入力電圧		GND	0.4	V	
I _{IH}	High レベル入力電流	V _{IH} = V _{CC} 、内部プルダウン抵抗		50	μA	
I _{IL}	Low レベル入力電流	V _{IL} = 0V、内部プルダウン抵抗	-5	0.1	μA	
クロック入力 (CLKin0/CLKin0 *, CLKin1/CLKin1 *)						

6.5 電気的特性 (続き)

特に記述のない限り: $V_{CC} = 3.3V \pm 5\%$ 、 $V_{CCO} = 3.3V \pm 5\%$ 、 $2.5V \pm 5\%$ 、 $-40^\circ C \leq T_A \leq 85^\circ C$ 、CLKin は差動駆動、入力スルーレート $\geq 3V/ns$ 。標準値は、 $V_{CC} = 3.3V$ 、 $V_{CCO} = 3.3V$ 、 $T_A = 25^\circ C$ の条件および製品特性評価時の推奨動作条件における、最も可能性が高いパラメトリック標準値を示すものであり、保証はされません。⁽¹⁾

パラメータ	テスト条件	最小値	標準値	最大値	単位
f_{CLKin}	入力周波数範囲 ⁽¹⁰⁾ 3.1GHz まで機能可能 出力周波数範囲およびタイミングは出力タイプごとに規定されています (LVPECL、LVDS、HCSL、LVCMS) の各出力仕様を参照)	DC	3.1	GHz	
V_{IH}	差動入力 High 電圧		V_{CC}	V	
V_{IL}	差動入力 Low 電圧	CLKin は差動駆動	GND	V	
V_{ID}	差動入力電圧スイング ⁽⁴⁾		0.15	1.3	V
V_{CMD}	差動入力同相電圧	$V_{ID} = 150mV$	0.25	$V_{CC} - 1.2$	V
		$V_{ID} = 350mV$	0.25	$V_{CC} - 1.1$	
		$V_{ID} = 800mV$	0.25	$V_{CC} - 0.9$	
V_{IH}	シングルエンド入力 High 電圧		V_{CC}	V	
V_{IL}	シングルエンド入力 Low 電圧	CLKinX はシングルエンド駆動 (AC 結合または DC 結合)、CLKinX* は GND への AC 結合、または V_{CM} 範囲内で外部バイアス	GND	V	
V_{I_SE}	シングルエンド入力電圧スイング ^{(15) (17)}		0.3	2	V_{PP}
V_{CM}	シングルエンド入力同相電圧		0.25	$V_{CC} - 1.2$	V
ISO_{MUX}	マルチプレクサ絶縁、CLKin0 から CLKin1	$f_{OFFSET} > 50kHz$, $P_{CLKinX} = 0dBm$	$f_{CLKin0} = 100MHz$	-84	dBc
			$f_{CLKin0} = 200MHz$	-82	
			$f_{CLKin0} = 500MHz$	-71	
			$f_{CLKin0} = 1000MHz$	-65	

水晶振動子インターフェイス (OSCin, OSCout)

F_{CLK}	外部クロック周波数範囲 ⁽¹⁰⁾	OSCin 駆動シングルエンド、OSCout はフローティング	250	MHz
F_{XTAL}	水晶振動子の周波数範囲	基本モード水晶振動子 $ESR \leq 200\Omega$ (10~30MHz) $ESR \leq 125\Omega$ (30~40MHz) ⁽⁵⁾	10	40 MHz
C_{IN}	OSCin 入力容量		4	pF

LVPECL 出力 (CLKoutAn/CLKoutAn*、CLKoutBn/CLKoutBn*)

6.5 電気的特性 (続き)

特に記述のない限り: $V_{CC} = 3.3V \pm 5\%$ 、 $V_{CCO} = 3.3V \pm 5\%$ 、 $2.5V \pm 5\%$ 、 $-40^\circ C \leq T_A \leq 85^\circ C$ 、CLKin は差動駆動、入力スルーレート $\geq 3V/ns$ 。標準値は、 $V_{CC} = 3.3V$ 、 $V_{CCO} = 3.3V$ 、 $T_A = 25^\circ C$ の条件および製品特性評価時の推奨動作条件における、最も可能性が高いパラメトリック標準値を示すものであり、保証はされません。⁽¹⁾

パラメータ	テスト条件	最小値	標準値	最大値	単位
f_{CLKout_FS}	最大出力周波数のフル V_{OD} スイング ^{(10) (11)}	$V_{OD} \geq 600mV$ 、 $R_L = 100\Omega$ 差動	$V_{CCO} = 3.3V \pm 5\%$ 、 $R_T = 160\Omega \sim GND$	1.0	1.2
			$V_{CCO} = 2.5V \pm 5\%$ 、 $R_T = 91\Omega \sim GND$	0.75	1.0
f_{CLKout_RS}	最大出力周波数の低減 V_{OD} スイング ^{(10) (11)}	$V_{OD} \geq 400mV$ 、 $R_L = 100\Omega$ 差動	$V_{CCO} = 3.3V \pm 5\%$ 、 $R_T = 160\Omega \sim GND$	1.5	3.1
			$V_{CCO} = 2.5V \pm 5\%$ 、 $R_T = 91\Omega \sim GND$	1.5	2.3
Jitter _{ADD}	加算 RMS ジッタ、積分帯域幅 10kHz ~ 20MHz ^{(15) (6) (16)}	$V_{CCO} = 2.5V \pm 5\%$: $R_T = 91\Omega \sim GND$ 、 $V_{CCO} = 3.3V \pm 5\%$: $R_T = 160\Omega \sim GND$ 、 $R_L = 100\Omega$ 差動	CLKin: 100MHz、 スルーレート $\geq 3V/ns$	77	98
			CLKin: 156.25MHz、 スルーレート $\geq 3V/ns$	54	78
Jitter _{ADD}	加算 RMS ジッタの積分帯域幅 1MHz ~ 20MHz ⁽⁶⁾	$V_{CCO} = 3.3V$ 、 $R_T = 160\Omega \sim GND$ 、 $R_L = 100\Omega$ 差動	CLKin: 100MHz、 スルーレート $\geq 3V/ns$	59	fs
			CLKin: 156.25MHz、 スルーレート $\geq 2.7V/ns$	64	
			CLKin: 625MHz、 スルーレート $\geq 3V/ns$	30	
Jitter _{ADD}	LMK03806 からの LVPECL クロック ソースによる加算 RMS ジッタ ^{(6) (7)}	$V_{CCO} = 3.3V$ 、 $R_T = 160\Omega \sim GND$ 、 $R_L = 100\Omega$ 差動	CLKin: 156.25MHz、 $J_{SOURCE} = 190fs$ RMS (10kHz ~ 1MHz)	20	fs
			CLKin: 156.25MHz、 $J_{SOURCE} = 195fs$ RMS (12kHz ~ 20MHz)	51	
ノイズ フロア	ノイズフロア $f_{OFFSET} \geq 10MHz$ ^{(8) (9)}	$V_{CCO} = 3.3V$ 、 $R_T = 160\Omega \sim GND$ 、 $R_L = 100\Omega$ 差動	CLKin: 100MHz、 スルーレート $\geq 3V/ns$	-162.5	dBc/Hz
			CLKin: 156.25MHz、 スルーレート $\geq 2.7V/ns$	-158.1	
			CLKin: 625MHz、 スルーレート $\geq 3V/ns$	-154.4	
デューティ	デューティ サイクル ⁽¹⁰⁾	50% 入力クロックデューティ サイクル	45%	55%	
V_{OH}	出力 HIGH 電圧	$T_A = 25^\circ C$ 、DC 測定、 $R_T = 50\Omega \sim V_{CCO} - 2V$	$V_{CCO} - 1.2$	$V_{CCO} - 0.9$	V
V_{OL}	出力 LOW 電圧		$V_{CCO} - 2.0$	$V_{CCO} - 1.75$	V
V_{OD}	出力電圧スイング ⁽⁴⁾		600	830	mV
t_R	出力立ち上がり時間 20% ~ 80% ⁽¹⁵⁾	$R_T = 160\Omega \sim GND$ 、特性インピーダンス 50Ω の最大 10 インチまでの均一な伝送ライン、 $R_L = 100\Omega$ 差動、 $C_L \leq 5pF$	175	300	ps

6.5 電気的特性 (続き)

特に記述のない限り: $V_{CC} = 3.3V \pm 5\%$ 、 $V_{CCO} = 3.3V \pm 5\%$ 、 $2.5V \pm 5\%$ 、 $-40^\circ C \leq T_A \leq 85^\circ C$ 、CLKin は差動駆動、入力スルーレート $\geq 3V/ns$ 。標準値は、 $V_{CC} = 3.3V$ 、 $V_{CCO} = 3.3V$ 、 $T_A = 25^\circ C$ の条件および製品特性評価時の推奨動作条件における、最も可能性が高いパラメトリック標準値を示すものであり、保証はされません。⁽¹⁾

	パラメータ	テスト条件	最小値	標準値	最大値	単位
t_F	出力立ち下がり時間 80% ~ 20% ⁽¹⁵⁾		175	300		ps

LVDS 出力 (CLKoutAn/CLKoutAn*、CLKoutBn/CLKoutBn*)

f_{CLKout_FS}	最大出力周波数の フル V_{OD} スイング ^{(10) (11)}	$V_{OD} \geq 250mV$ 、 $R_L = 100\Omega$ 差動	1.0	1.6		GHz
f_{CLKout_RS}	最大出力周波数の 低減 V_{OD} スイング ^{(10) (11)}	$V_{OD} \geq 200mV$ 、 $R_L = 100\Omega$ 差動	1.5	2.1		GHz
$Jitter_{ADD}$	加算 RMS ジッタ、 積分帯域幅 10kHz ~ 20MHz ^{(15) (6) (16)}	$R_L = 100\Omega$ 差動	$CLKin: 100MHz$ 、 スルーレート $\geq 3V/ns$	94	115	fs
			$CLKin: 156.25MHz$ 、 スルーレート $\geq 3V/ns$	70	90	
$Jitter_{ADD}$	加算 RMS ジッタの 積分帯域幅 1MHz ~ 20MHz ⁽⁶⁾	$V_{CCO} = 3.3V$ 、 $R_L = 100\Omega$ 差動	$CLKin: 100MHz$ 、 スルーレート $\geq 3V/ns$	89		fs
			$CLKin: 156.25MHz$ 、 スルーレート $\geq 2.7V/ns$	77		
			$CLKin: 625MHz$ 、 スルーレート $\geq 3V/ns$	37		
ノイズ フロア	ノイズフロア $f_{OFFSET} \geq 10MHz$ ^{(8) (9)}	$V_{CCO} = 3.3V$ 、 $R_L = 100\Omega$ 差動	$CLKin: 100MHz$ 、 スルーレート $\geq 3V/ns$	-159.5		dBc/Hz
			$CLKin: 156.25MHz$ 、 スルーレート $\geq 2.7V/ns$	-157.0		
			$CLKin: 625MHz$ 、 スルーレート $\geq 3V/ns$	-152.7		
デューティ	デューティ サイクル ⁽¹⁰⁾	50% 入力クロックデューティ サイクル	45%	55%		
V_{OD}	出力電圧スイング ⁽⁴⁾	$T_A = 25^\circ C$ 、DC 測定、 $R_L = 100\Omega$ 差動	250	400	450	mV
ΔV_{OD}	相補出力状態での V_{OD} の 大きさを変更		-50		50	mV
V_{OS}	出力オフセット電圧		1.125	1.25	1.375	V
ΔV_{OS}	相補型出力状態に合わせて V_{OS} の大きさを変更		-35		35	mV
I_{SA} I_{SB}	出力短絡電流シングルエンド	$T_A = 25^\circ C$ 、 シングルエンド出力を GND に短絡	-24		24	mA
I_{SAB}	出力短絡電流差動	相補型出力を互いに接続	-12		12	mA
t_R	出力立ち上がり時間 20% ~ 80% ⁽¹⁵⁾	特性インピーダンス 50Ω の最大 10 インチまでの均一な伝送ライン、 $R_L = 100\Omega$ 差動、 $C_L \leq 5pF$	175	300		ps
t_F	出力立ち下がり時間 80% ~ 20% ⁽¹⁵⁾		175	300		ps

HCSL 出力 (CLKoutAn/CLKoutAn*、CLKoutBn/CLKoutBn*)

6.5 電気的特性 (続き)

特に記述のない限り: $V_{CC} = 3.3V \pm 5\%$ 、 $V_{CCO} = 3.3V \pm 5\%$ 、 $2.5V \pm 5\%$ 、 $-40^\circ C \leq T_A \leq 85^\circ C$ 、CLKin は差動駆動、入力スルーレート $\geq 3V/ns$ 。標準値は、 $V_{CC} = 3.3V$ 、 $V_{CCO} = 3.3V$ 、 $T_A = 25^\circ C$ の条件および製品特性評価時の推奨動作条件における、最も可能性が高いパラメトリック標準値を示すものであり、保証はされません。⁽¹⁾

	パラメータ	テスト条件	最小値	標準値	最大値	単位	
f_{CLKout}	出力周波数範囲 ⁽¹⁰⁾	$R_L = 50\Omega$ を GND に接続、 $C_L \leq 5pF$	DC	800	MHz		
$Jitter_{ADD_PCIe}$	PCIe 7.0 の加算 RMS 位相ジッタ ⁴	PLL BW: 0.5 - 1MHz、CDR = 10MHz		2.79	6.28	10.1	
	PCIe 6.0 の加算 RMS 位相ジッタ ⁴	PLL BW: 0.5 - 1MHz、CDR = 10MHz	CLKin: 100MHz、スルーレート $\geq 2V/ns$	4.00	8.99	14.3	
	PCIe 5.0 の加算 RMS 位相ジッタ ⁴		PCIe5.0 フィルタ	3.64	12.9	23.6	
	PCIe 3.0 の加算 RMS 位相ジッタ ⁽¹⁰⁾	PCIe Gen 3、PLL BW = 2 ~ 5MHz、CDR = 10MHz	CLKin: 100MHz、スルーレート $\geq 0.6V/ns$	15.9	36.2	56.3	
	PCIe 4.0 の加算 RMS 位相ジッタ ⁽⁴⁾	PCIe Gen 4、PLL BW = 2 ~ 5MHz、CDR = 10MHz	CLKin: 100MHz、スルーレート $\geq 1.8V/ns$	15.9	36.2	56.3	
$Jitter_{ADD}$	加算 RMS ジッタの積分帯域幅 1MHz ~ 20MHz ⁽⁶⁾	$V_{CCO} = 3.3V$ 、 $R_T = 50\Omega \sim GND$	CLKin: 100MHz、スルーレート $\geq 3V/ns$	77		fs	
			CLKin: 156.25MHz、スルーレート $\geq 2.7V/ns$	86			
ノイズ プロア	ノイズプロア $f_{OFFSET} \geq 10MHz$ ^{(8) (9)}	$V_{CCO} = 3.3V$ 、 $R_T = 50\Omega \sim GND$	CLKin: 100MHz、スルーレート $\geq 3V/ns$	-161.3		dBc/Hz	
			CLKin: 156.25MHz、スルーレート $\geq 2.7V/ns$	-156.3			
デューティ	デューティ サイクル ⁽¹⁰⁾	50% 入力クロックデューティ サイクル	CLKin $\leq 400MHz$	45%	55%		
V_{OH}	出力 HIGH 電圧	$T_A = 25^\circ C$ 、DC 測定		520	810	920	mV
V_{OL}	出力 LOW 電圧			-150	0.5	150	mV
V_{CROSS}	絶対交差点電圧 ^{(10) (12)}	$R_L = 50\Omega$ を GND に接続、 $C_L \leq 5pF$	CLKin $\leq 400MHz$	160	350	460	mV
ΔV_{CROSS}	V_{CROSS} の合計変動 ^{(10) (12)}					140	mV
t_R	出力立ち上がり時間 20% ~ 80% ^{(15) (12)}	250MHz、特性インピーダンス 50Ω の最大 10 インチまでの均一な伝送ライン、 $R_L = 50\Omega \sim GND$ 、 $C_L \leq 5pF$		300	500	ps	
t_F	出力立ち下がり時間 80% ~ 20% ^{(15) (12)}			300	500	ps	

6.5 電気的特性 (続き)

特に記述のない限り: $V_{CC} = 3.3V \pm 5\%$ 、 $V_{CCO} = 3.3V \pm 5\%$ 、 $2.5V \pm 5\%$ 、 $-40^\circ C \leq T_A \leq 85^\circ C$ 、 CLK_{in} は差動駆動、入力スルーレート $\geq 3V/ns$ 。標準値は、 $V_{CC} = 3.3V$ 、 $V_{CCO} = 3.3V$ 、 $T_A = 25^\circ C$ の条件および製品特性評価時の推奨動作条件における、最も可能性が高いパラメトリック標準値を示すものであり、保証はされません。⁽¹⁾

パラメータ		テスト条件		最小値	標準値	最大値	単位
LVC MOS 出力 (REFout)							
f_{CLKout}	出力周波数範囲 ⁽¹⁰⁾	$C_L \leq 5pF$		DC	250	MHz	
Jitter _{ADD}	加算 RMS ジッタの積分帶域幅 $1MHz \sim 20MHz^{(6)}$	$V_{CCO} = 3.3V$ 、 $C_L \leq 5pF$	100MHz、入力スルーレート $\geq 3V/ns$	95		fs	
ノイズ フロア	ノイズフロア $f_{OFFSET} \geq 10MHz^{(8) (9)}$	$V_{CCO} = 3.3V$ 、 $C_L \leq 5pF$	100MHz、入力スルーレート $\geq 3V/ns$	-159.3		dBc/Hz	
デューティ	デューティ サイクル ⁽¹⁰⁾	50% 入力クロックデューティ サイクル		45%	55%		
V_{OH}	出力 HIGH 電圧	1mA 負荷		$V_{CCO} - 0.1$		V	
V_{OL}	出力 LOW 電圧			0.1		V	
I_{OH}	出力 High 電流 (ソース)	$V_o = V_{CCO} / 2$	$V_{CCO} = 3.3V$	28		mA	
I_{OL}	出力 Low 電流 (シンク)		$V_{CCO} = 2.5V$	20			
t_R	出力立ち上がり時間 $20\% \sim 80\%^{(15) (12)}$	250MHz、特性インピーダンス 50Ω の最大 10 インチまでの均一な伝送ライン、 $R_L = 50\Omega \sim GND$ 、 $C_L \leq 5pF$		225	400	ps	
t_F	出力立ち下がり時間 $80\% \sim 20\%^{(15) (12)}$			225	400	ps	
t_{EN}	出力イネーブル時間 ⁽¹³⁾	$C_L \leq 5pF$		3 サイクル			
t_{DIS}	出力ディスエーブル時間 ⁽¹³⁾			3 サイクル			

6.5 電気的特性 (続き)

特に記述のない限り: $V_{cc} = 3.3V \pm 5\%$ 、 $V_{cco} = 3.3V \pm 5\%$ 、 $2.5V \pm 5\%$ 、 $-40^\circ C \leq T_A \leq 85^\circ C$ 、CLKin は差動駆動、入力スルーレート $\geq 3V/ns$ 。標準値は、 $V_{cc} = 3.3V$ 、 $V_{cco} = 3.3V$ 、 $T_A = 25^\circ C$ の条件および製品特性評価時の推奨動作条件における、最も可能性が高いパラメトリック標準値を示すものであり、保証はされません。⁽¹⁾

	パラメータ	テスト条件	最小値	標準値	最大値	単位	
伝搬遅延および出力スキュー							
t_{PD_PECL}	伝搬遅延 CLKin ~ LVPECL ⁽¹⁵⁾	$R_T = 160\Omega \sim GND$, $R_L = 100\Omega$ 差動、 $C_L \leq 5pF$	180	360	540	ps	
t_{PD_LVDS}	伝搬遅延 CLKin ~ LVDS ⁽¹⁵⁾	$R_L = 100\Omega$ 差動、 $C_L \leq 5pF$	200	400	600	ps	
t_{PD_HCSL}	伝搬遅延 CLKin ~ HCSL ^{(15) (12)}	$R_T = 50\Omega \sim GND$, $C_L \leq 5pF$	295	590	885	ps	
t_{PD_CMOS}	伝搬遅延 CLKin ~ LVCmos ^{(15) (12)}	$C_L \leq 5pF$	$V_{cco} = 3.3V$ $V_{cco} = 2.5V$	900 1000	1475 1550	2300 2700	ps
$t_{SK(O)}$	出力スキュー LVPECL/LVDS/HCSL ^{(10) (12) (14)}	バッファ タイプが同じ任意の 2 つの CLKout 間で規定されたスキュー。出力タイプごとの負荷条件は、伝搬遅延の仕様と同じです。		30	50	ps	
$t_{SK(PP)}$	部品間出力スキュー LVPECL/LVDS/HCSL ^{(15) (12) (14)}			80	120	ps	

- (1) 電気的特性の表は、推奨動作条件で使用した場合に実証される特性を示しています。ただし、電気的特性や注記で特に変更または指定している場合はその限りではありません。標準値はあくまで推定値であり、保証されません。
- (2) 消費電流と消費電力の計算の詳細については、[電源に関する推奨事項](#)を参照してください。LMK00301 と LMK00301A の両方の特性は、テスト条件で規定されていない限り同じです。
- (3) 電源リップル除去 (PSRR) は、シングルトーン正弦波信号 (リップル) が V_{cco} 電源に注入されたときに、クロック出力に変調される、シングルサイドバンドの位相スリップレベル (dBc 単位) として定義されます。振幅変調の影響がなく、かつ変調指数が小さいと仮定すると、ピークツーピークの決定性ジッタ (DJ) は、測定されたシングル サイドバンド位相スリップレベル (PSRR) を使用して次のように算出できます: $DJ (\text{ps pk-pk}) = [(2 \times 10^{(\text{PSRR}/20)}) / (\pi \times f_{CLK})] \times 1E12$
- (4) $V_{D}\text{ および }V_{OD}$ 電圧の定義については、[差動電圧測定に関する用語](#)を参照してください。
- (5) 発振器回路に起動不良がないことを確認するためには、記載された ESR 要件を満たす必要があります。ただし、水晶振動子の最大消費電力 (ドライバ レベル) 仕様を下回るために、水晶振動子の ESR 値をより低くすることが必要となる可能性があります。水晶振動子の駆動レベルに関する考慮事項については、[水晶振動子インターフェイス](#)を参照してください。
- (6) 100MHz および 156.25MHz のクロック入力条件については、方法 #1 を使用して加算 RMS ジッタ (J_{ADD}) を計算します: $J_{ADD} = \sqrt{J_{OUT}^2 - J_{SOURCE}^2}$ 。ここで、 J_{OUT} は、出力ドライバで測定された合計 RMS ジッタ、 J_{source} は、CLKin に印加されるクロックソースの RMS ジッタです。625MHz クロック入力条件では、付加 RMS ジッタは、方法 #2 を使用して近似されます。 $J_{ADD} = \sqrt{2 \times 10^{(\text{dBc}/10)} / (2 \times \pi \times f_{CLK})}$ で、dBc は、出力ノイズフロアの位相ノイズの電力を $1\text{MHz} \sim 20\text{MHz}$ の帯域幅で積分した値です。位相ノイズ電力は次のように計算できます: $\text{dBc} = \text{Noise Floor} + 10 \times \log_{10}(20\text{MHz} - 1\text{MHz})$ 。方法 #1 を実際に使用できるほどクロックソースの RMS ジッタが小さくなかったため、手法 #2 を使用して加算 RMS ジッタを 625MHz に近似しました。[代表的特性](#) の「ノイズフロア対 CLKin スルーレート」および「RMS ジッタ対 CLKin スルーレート」のプロットを参照してください。
- (7) 156.25MHz LVPECL クロックソース (20MHz クリスタルリファレンス、LMK03806、使用水晶振動子部品番号: ECS-200-20-30BU-DU)。標準的 $J_{SOURCE} = 190\text{fs RMS}$ ($10\text{kHz} \sim 1\text{MHz}$) および 195 fs RMS ($12\text{kHz} \sim 20\text{MHz}$)。詳細については、LMK03806 データシートを参照してください。
- (8) 出力バッファのノイズ フロアは、バッファの外位相ノイズとして測定されます。このオフセットは通常 $\geq 10\text{MHz}$ ですが、周波数が低い場合、測定機器の制限によりこの測定オフセットは最小で 5MHz になることがあります。
- (9) クロックの入力スルーレートが小さくなると、位相ノイズ フロアは低下します。シングルエンド クロックと比べて、差動クロック入力 (LVPECL, LVDS) は、同相モードノイズ除去により、スルーレートが低い場合でもノイズフロアの劣化を受けにくくなります。ただし、デバイス出力で最高のノイズフロア性能を実現するために、差動クロックに可能な限り高い入力スルーレートを使用してください。
- (10) この仕様は特性評価によって検証されており、生産時には試験されません。
- (11) 全周波数の出力動作については、[代表的特性](#)を参照してください。
- (12) HCSL または CMOS の AC タイミング パラメータは、出力容量性負荷に依存します。
- (13) 出力イネーブル時間は、REFout_EN が High になった後、出力がイネーブルになるために必要な入力クロック サイクル数です。同様に、出力ディセーブル時間は、REFout_EN が Low になった後、出力がディセーブルするために必要な入力クロック サイクル数です。正確に測定するため、REFout_EN 信号は、入力クロック周期よりもはるかに速くエッジ遷移する必要があります。
- (14) 出力スキューは、同一の出力バッファ タイプおよび同一負荷を持ち、同一の電源電圧と温度条件で動作している任意の 2 つの出力間の伝搬遅延差です。
- (15) このパラメータは設計によって規定されており、生産時には試験されません。
- (16) Rohde & Schwarz SMA100A 低ノイズ シグナル ジェネレータおよび正弦波 / 方形波変換ブロックからの 100MHz および 156.25MHz 入力信号源

- (17) クロック入力周波数 $\geq 100\text{MHz}$ の場合、CLKinX は、最大 3.3Vpp のシングルエンド (LVC MOS) 入力スイングで駆動できます。クロック入力周波数 $< 100\text{MHz}$ の場合、入力飽和を防止するため、シングルエンド入力スイングを最大 2Vpp に制限する必要があります ($2.5\text{V}/3.3\text{V}$ LVC MOS クロック入力 $< 100\text{MHz}$ を CLKinX にインターフェイスする方法については、[クロック入力の駆動](#)を参照)。

6.6 代表的特性

特に記述のない限り: $V_{CC} = 3.3\text{V}$ 、 $V_{CCO} = 3.3\text{V}$ 、 $T_A = 25^\circ\text{C}$ 、CLKin は差動駆動、入力スルーレート $\geq 3\text{V/ns}$ 。グラフの注については、代表的特性の末尾にある[表 6-1](#)を参照してください。

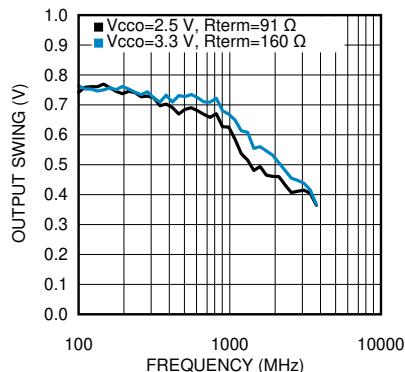


図 6-1. LVPECL 出力スイング (V_{OD}) と周波数との関係

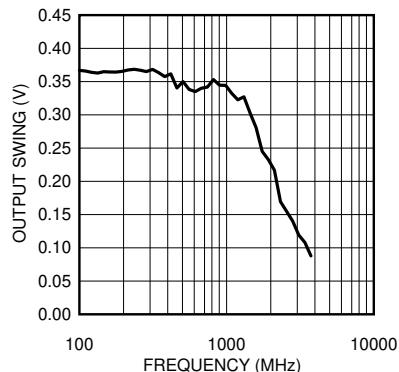


図 6-2. LVDS 出力スイング (V_{OD}) と周波数との関係

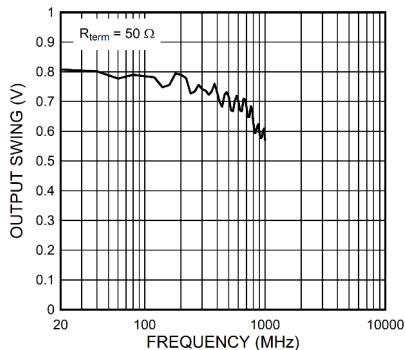


図 6-3. HCSL 出力スイング (V_{OD}) と周波数との関係

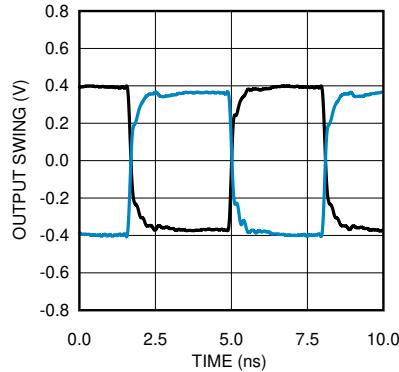


図 6-4. 156.25MHz での LVPECL 出力スイング

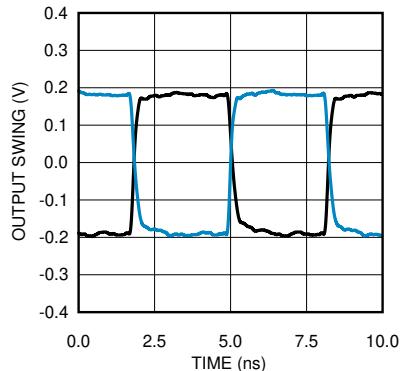


図 6-5. 156.25MHz での LVDS 出力スイング

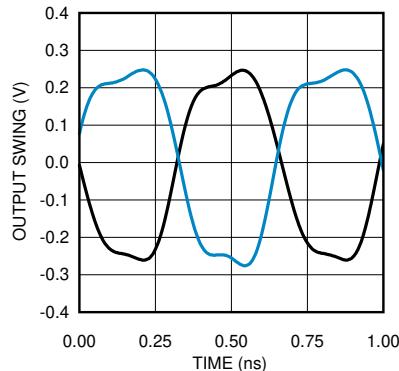


図 6-6. 1.5GHz での LVPECL 出力スイング

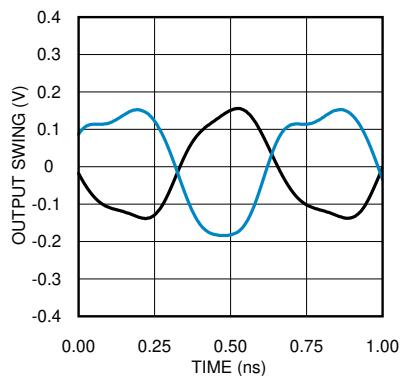


図 6-7. 1.5GHz での LVDS 出力スイング

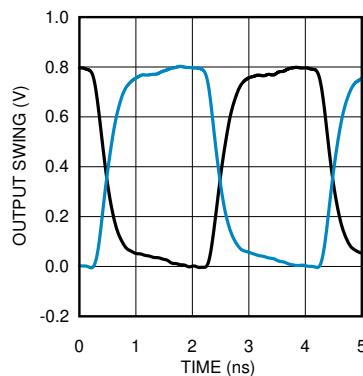


図 6-8. 250MHz での HCSL 出力スイング

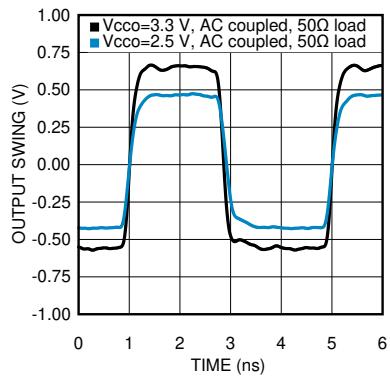


図 6-9. 250MHz での LVCmos 出力スイング

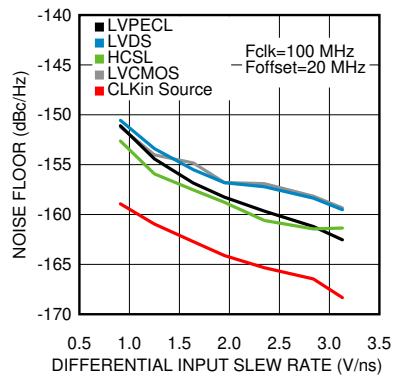


図 6-10. 100MHz におけるノイズフロアと CLKin スルーレートとの関係

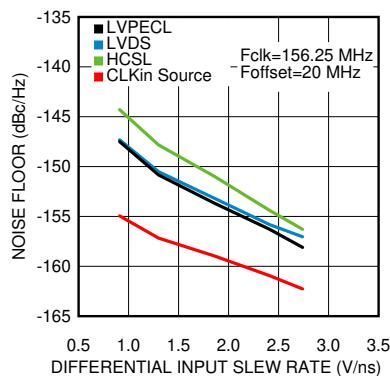


図 6-11. 156.25MHz におけるノイズフロアと CLKin スルーレートとの関係

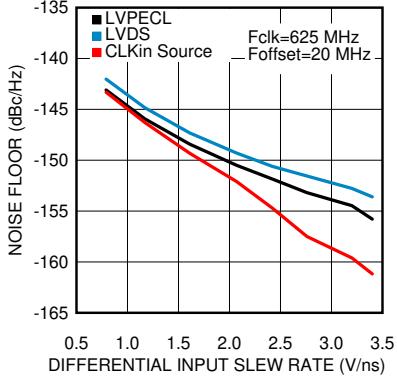
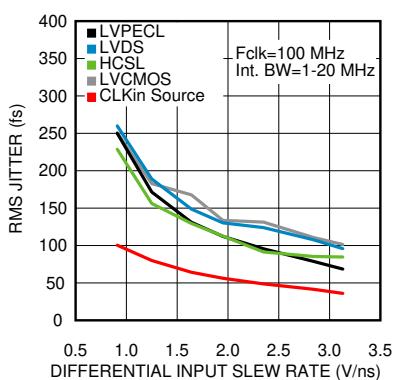
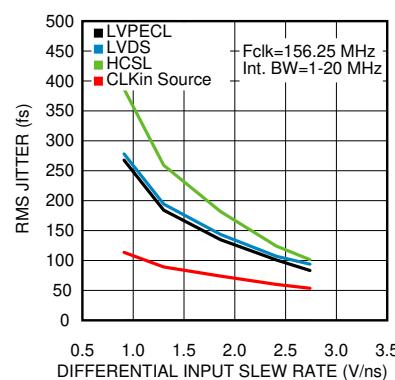


図 6-12. 625MHz におけるノイズフロアと CLKin スルーレートとの関係



グラフ注記の表の注記 1 を参照

図 6-13. 100MHz での RMS ジッタと CLKin スルーレートとの関係



グラフ注記の表の注記 1 を参照

図 6-14. 156.25MHz での RMS ジッタと CLKin スルーレートとの関係

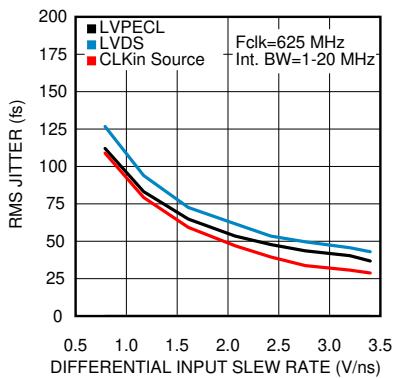


図 6-15. 625MHz での RMS ジッタと CLKin スルーレートとの関係

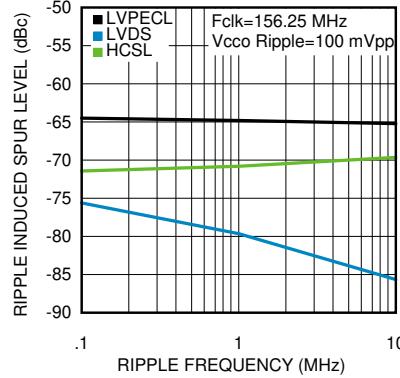


図 6-16. 156.25MHz での PSRR とリップル周波数との関係

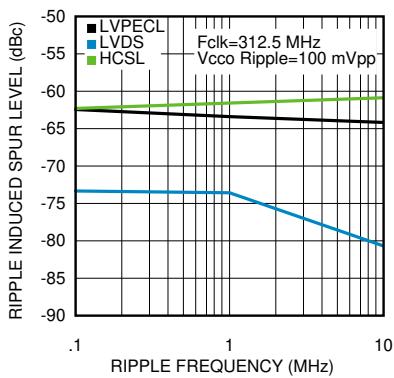


図 6-17. 312.5MHz での PSRR とリップル周波数との関係

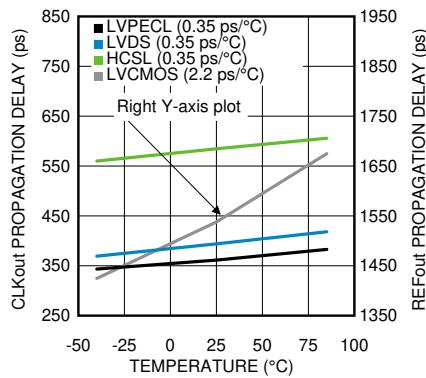
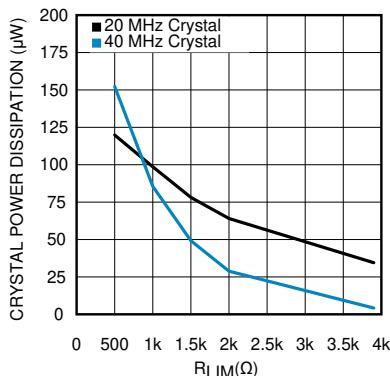
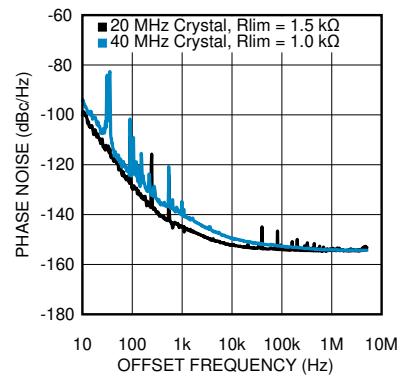


図 6-18. 伝搬遅延と温度との関係



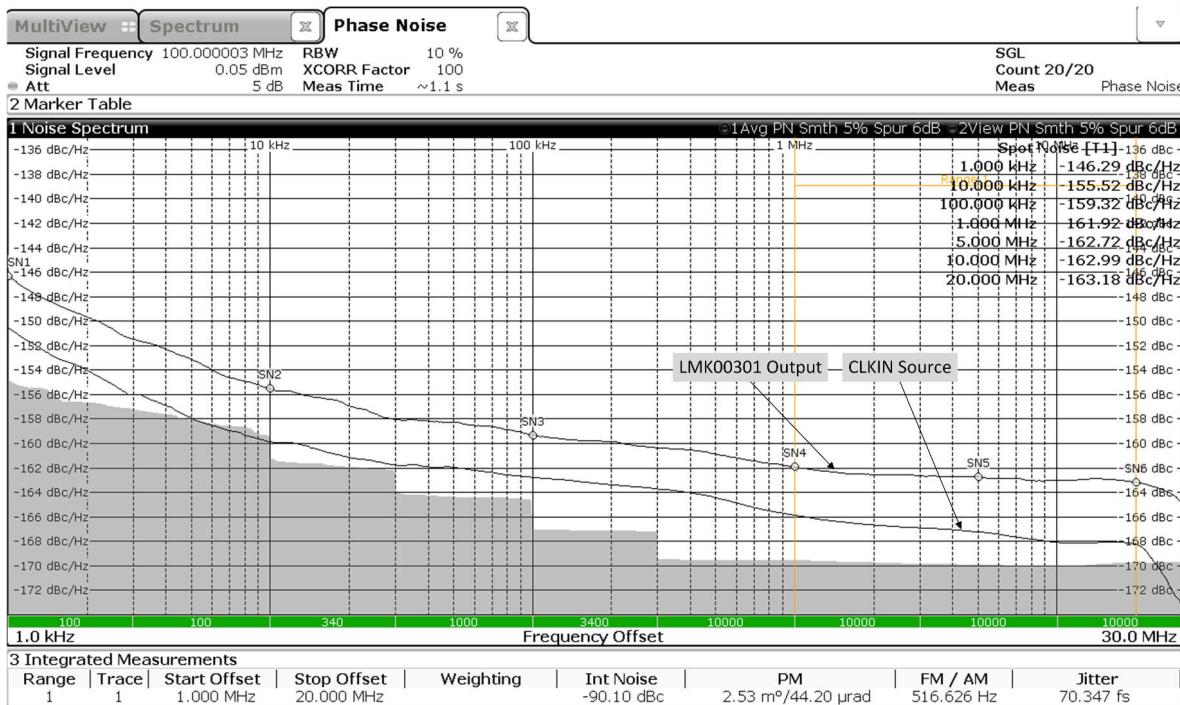
グラフ注記の表の注記 2 および注記 3 を参照

図 6-19. 水晶振動子の消費電力と R_{LIM} との関係



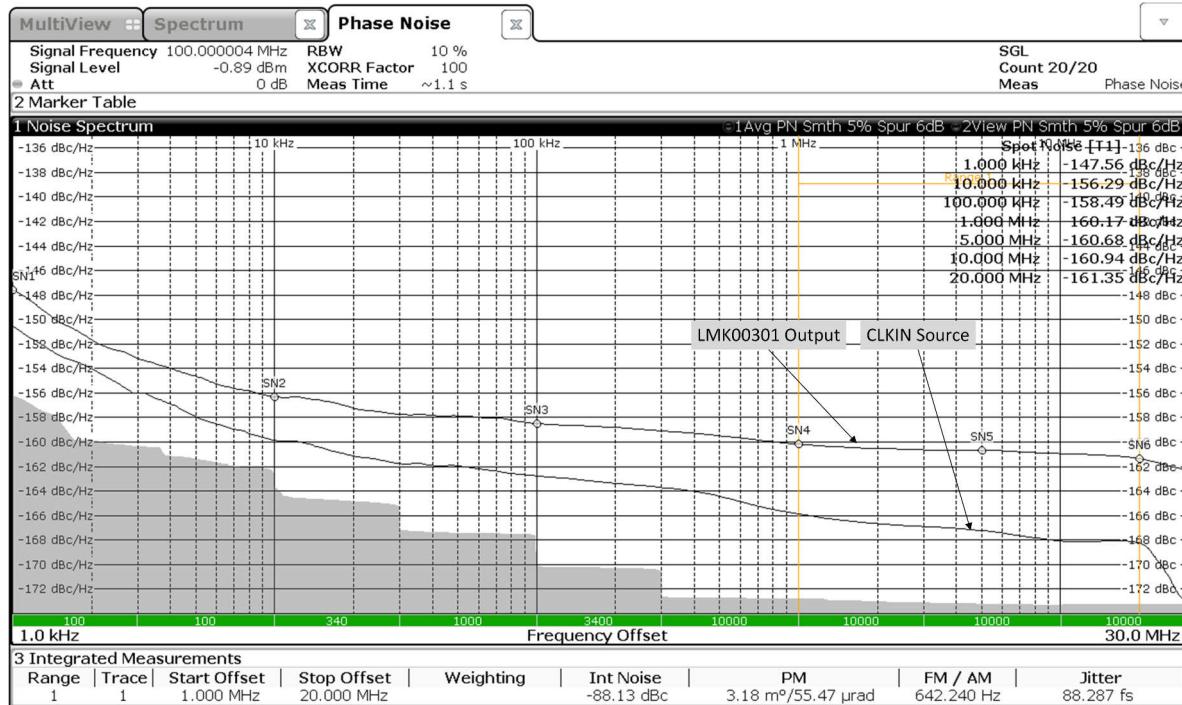
グラフ注記の表の注記 2 および注記 3 を参照

図 6-20. 水晶振動子モードでの LVDS 位相ノイズ



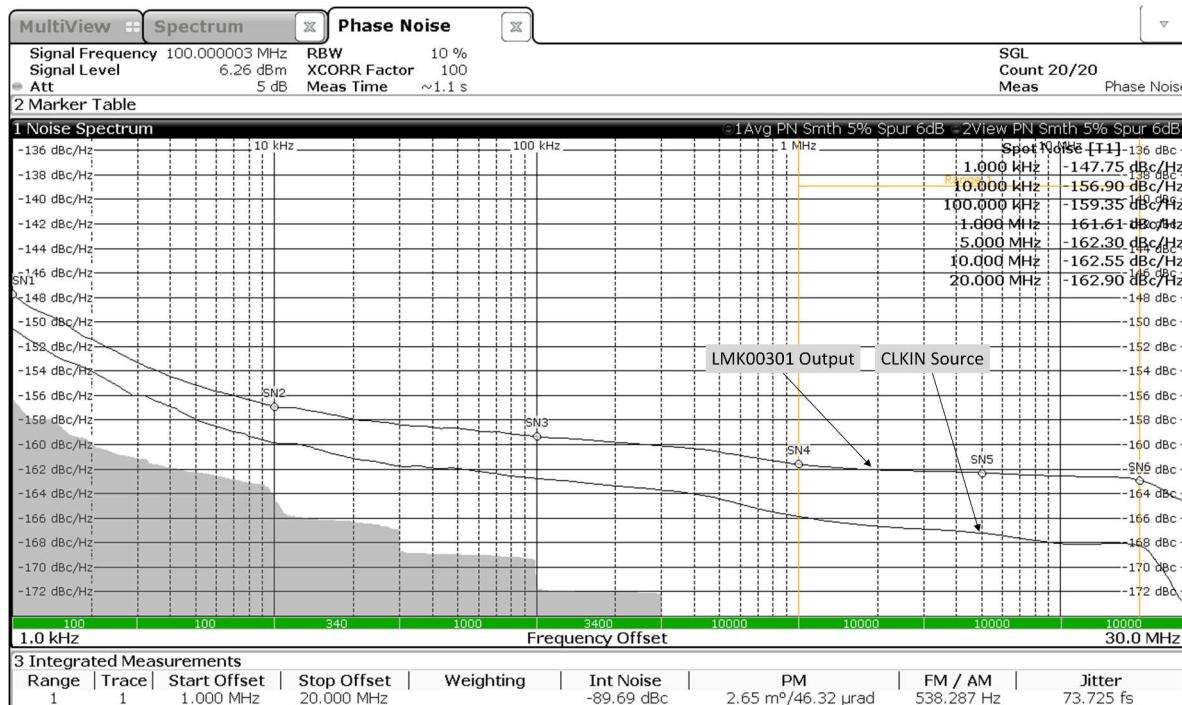
グラフ注記の表の注記 1 を参照

図 6-21. 100MHz における HCSL 位相ノイズ



グラフ注記の表の注記 1 を参照

図 6-22. 100MHz における LVDS 位相ノイズ



グラフ注記の表の注記 1 を参照

図 6-23. 100MHz における LVPECL 位相ノイズ**表 6-1. グラフ注記**

注	
(1)	プロット内の代表的な RMS ジッタ値は、各出力バッファタイプにおける総出力 RMS ジッタ (J_{OUT}) と、ソース クロックの RMS ジッタ (J_{SOURCE}) を示しています。これらの値から、加算 RMS ジッタは次のように計算できます: $J_{ADD} = \sqrt{J_{OUT}^2 - J_{SOURCE}^2}$ 。
(2)	20MHz 水晶振動子の特性 Abraccon ABL シリーズ、AT カット、 $C_L = 18\text{pF}$ 、 $C_0 = 4.4\text{pF}$ 測定値 (最大 7pF)、 $ESR = 8.5\Omega$ 測定値 (最大 40Ω)、駆動レベル = 最大 1mW (標準値 100μW)。
(3)	40MHz 水晶振動子の特性 Abraccon ABLS2 シリーズ、AT カット、 $C_L = 18\text{pF}$ 、 $C_0 = 5\text{pF}$ 測定値 (最大 7pF)、 $ESR = 5\Omega$ 測定値 (最大 40Ω)、駆動レベル = 最大 1mW (標準値 100μW)。

7 パラメータ測定情報

7.1 差動電圧測定に関する用語

差動信号の差動電圧は 2 つの異なる定義で説明されるため、データシートを読んだり、他のエンジニアとコミュニケーションを取ったりする際に混乱を招くことがあります。このセクションでは、差動信号の測定と説明について取り上げており、この 2 つの異なる定義を理解し、使用時に区別できるようにします。

差動信号の説明における 1 つ目の定義は、反転信号と非反転信号との間の電圧電位の絶対値です。この 1 つ目の測定の記号は、入力電圧または出力電圧を表すかによって、通常は V_{ID} または V_{OD} となります。

差動信号の説明における 2 つ目の定義は、反転信号に対する非反転信号の電位を測定することです。この 2 つ目の測定の記号は V_{SS} であり、算出されたパラメータです。この信号は IC 内のどの場所でもグランド基準では存在せず、常に差動ペア基準でのみ存在しています。 V_{SS} は、フローティングリファレンスを備えたオシロスコープで直接測定できます。それ以外の場合は、最初の説明で述べたように、 V_{OD} の 2 倍の値として計算できます。

図 7-1 は入力信号の 2 つの異なる定義を並べて示し、図 7-2 は出力信号の 2 つの異なる定義を並べて示しています。 V_{ID} (または V_{OD}) の定義は、非反転信号および反転信号がグランドに対して遷移する DC レベル、 V_{IH} と V_{OL} (または V_{OH} と V_{OL}) を示します。 V_{SS} の入力と出力の定義から、反転信号を電圧電位リファレンスとして考えると、非反転信号の電圧電位は非反転リファレンスを上下に推移しながら増加と減少を繰り返すことがわかります。これにより、差動信号のピークツーピーク電圧を測定できます。

V_{ID} と V_{OD} は多くの場合ボルト (V) と定義され、 V_{SS} はボルトのピークツーピーク (V_{PP}) と定義されます。

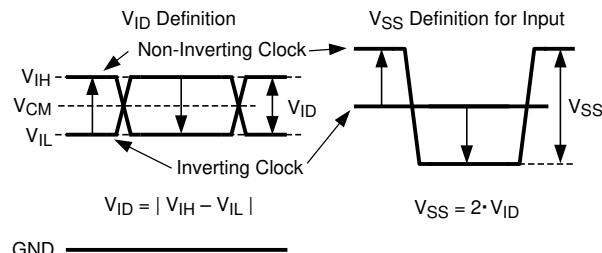


図 7-1. 差動入力信号の 2 つの異なる定義

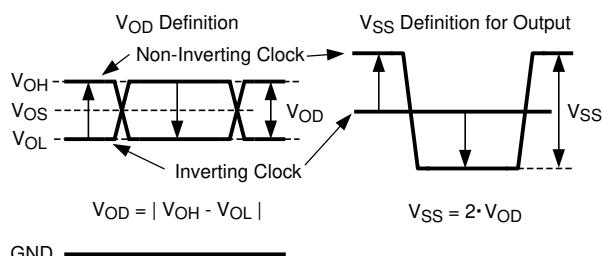


図 7-2. 差動出力信号の 2 つの異なる定義

AN-912 一般的なデータ伝送パラメータと定義のアプリケーション ノートも参照してください。

8 詳細説明

8.1 概要

LMK00301 は、最高 3.1GHz で動作できる加算ジッタの小さい 10 出力の差動クロック ファンアウト バッファです。このデバイスは、オプションの水晶発振器入力を備えた 3:1 入力マルチプレクサ、マルチモード バッファ (LVPECL、LVDS、HCSL、またはハイインピーダンス) 付きの 5 つの差動出力を持つ 2 系統のバンク、1 つの LVC MOS 出力、3 系統の独立した出力バッファ電源を備えています。入力選択および出力バッファ モードは、ピン ストラップにより制御されます。このデバイスは 48 ピン WQFN パッケージで提供され、LMK04800 ファミリのクロック コンディショナに採用されている高速かつ低ノイズの回路設計の多くを活用しています。

8.2 機能ブロック図

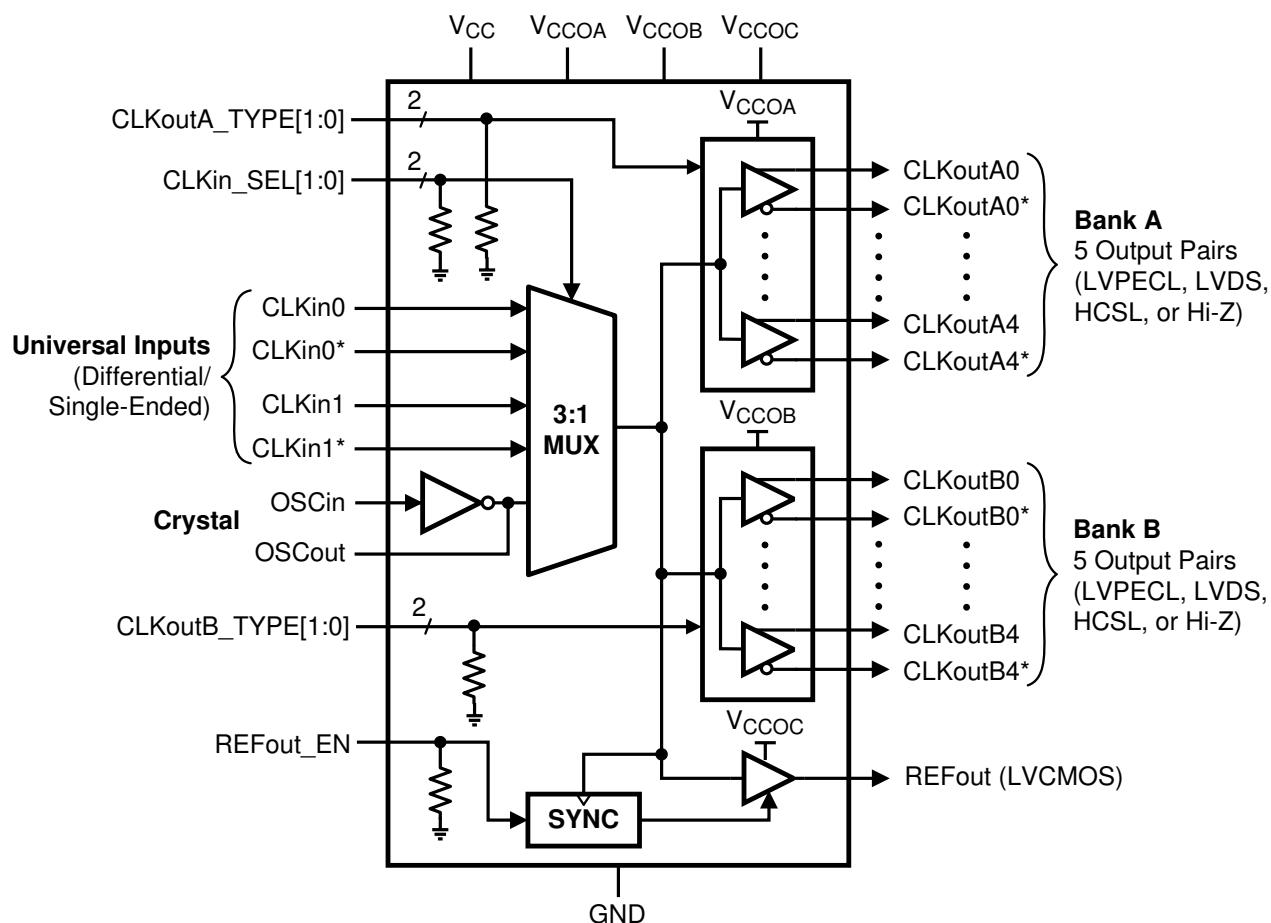


図 8-1. 機能ブロック図

8.3 機能説明

8.3.1 V_{CC} および V_{CCO} 電源

LMK00301 は、3.3V のコア電源 (V_{CC}) と、3 系統の独立した 3.3V または 2.5V の出力電源 (V_{CCOA} , V_{CCOB} , V_{CCOC}) を備えています。出力電源を 2.5V で動作させることで、消費電力を低減し、2.5V 受信デバイスとの出力レベル互換性を実現できます。LVPECL (V_{OH} , V_{OL}) および LVC MOS (v_{OH}) の出力レベルはそれぞれの V_{CCO} 電源を基準としています。一方、LVDS と HCSL の出力レベルは、規定された V_{CCO} 範囲全体にわたって比較的一定です。消費電力、電源バイパス、電源リップル除去 (PSRR) など、電源関連のその他の検討事項については、[電源に関する推奨事項](#)を参照してください。

注

内部 ESD 保護回路がオンにならないように、 V_{CCO} 電圧が V_{CC} 電圧を超えないように注意してください。

8.4 デバイスの機能モード

8.4.1 クロック入力

入力クロックは、CLKin0/CLKin0*、CLKin1/CLKin1*、または OSCin から選択できます。クロック入力の選択は、表 8-1 に示すように、CLKin_SEL[1:0] 入力を使って制御されます。クロック入力要件については、[クロック入力の駆動](#)を参照してください。CLKin0 または CLKin1 が選択されると、水晶振動子回路はパワーダウンします。OSCin が選択されると、水晶発振器回路が起動し、クロックがすべての出力に分配されます。詳細については、[水晶振動子インターフェイス](#)を参照してください。または、OSCin は水晶振動子ではなくシングルエンドクロック (最大 250MHz) で駆動することもできます。

表 8-1. 入力の選択

CLKin_SEL1	CLKin_SEL0	選択した入力
0	0	CLKin0, CLKin0*
0	1	CLKin1, CLKin1*
1	X	OSCin

表 8-2 に、CLKin0/CLKin0* または CLKin1/CLKin1* が選択されている場合の、入力状態に対する出力論理状態を示します。OSCin を選択すると、出力状態は OSCin 入力状態の反転コピーになります。

表 8-2. CLKin 入力と出力状態との関係

選択された CLKin の状態	有効化された出力の状態
CLKinX および CLKinX* 入力はフローティング	ロジック Low
CLKinX および CLKinX* 入力を短絡接続	ロジック Low
CLKin ロジック Low	ロジック Low
CLKin ロジック High	ロジック High

8.4.2 クロック出力

バンク A 出力およびバンク B 出力の差動出力バッファタイプは、表 8-3 に示すように、それぞれ CLKoutA_TYPE[1:0] 入力および CLKoutB_TYPE[1:0] 入力を使用して個別に構成できます。すべての差動出力が必要とは限らないアプリケーションでは、不使用の出力ピンは最小限の銅配線長でフローティング状態にしておく必要があります（次の注記を参照）。これにより、容量や不要な結合を最小限に抑え、消費電力を削減できます。差動出力すべてを使用しない場合、TI はバンクを無効化（ハイインピーダンス）して消費電力を削減することを推奨しています。出力インターフェイスおよび終端方法の詳細については、[ターミネーションとクロックドライバの使用](#)を参照してください。

注

最適な半田付けを行うため、不使用ピンのパターン長は、ピンの半田マスキングを含むように最低限度延長する必要があります。こうすることで、リフロー時に接続されているピンと同じ銅面積で、半田が適用されます。これにより、リフロー時に IC を水平に保つのに役立つ、良好で均一なフィレットはんだ接合が得られます。

表 8-3. 差動出力バッファ タイプの選択

CLKoutX_TYPE1	CLKoutX_TYPE0	CLKoutX バッファタイプ (バンク A および B)
0	0	LVPECL
0	1	LVDS
1	0	HCSL
1	1	無効（高インピーダンス）

8.4.2.1 リファレンス出力

リファレンス出力 (REFout) は、選択された入力クロックの LVCMOS コピーを出力します。LVCMOS 出力 High レベルは、V_{CCO} 電圧を基準としています。REFout は、表 8-4 に示すように、イネーブル入力ピン REFout_EN を使用してイネーブルまたはディセーブルできます。

表 8-4. リファレンス出カイネーブル

REFout_EN	REFout 状態
0	無効（高インピーダンス）
1	イネーブル

REFout_EN 入力は、SYNC ブロックによって選択された入力クロックと内部的に同期されます。この同期機能により、REFout クロックを有効化または無効化する際に、グリッチやラン パルスが発生するのを防ぎます。REFout は、REFout_EN が High に切り替えられてから入力クロックの 3 サイクル以内 (t_{EN}) に有効化されます。REFout は、REFout_EN が Low に切り替えられてから入力クロックの 3 サイクル以内 (t_{DIS}) に無効化されます。

REFout がディセーブルのとき、抵抗性負荷を使用して、出力をあらかじめ決められたレベルに設定できます。例えば、REFout が $1k\Omega$ の負荷でグランドに接続されている場合、無効化時には出力が Low に引き下げられます。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

サーバー カードなどの一般的な PCIe アプリケーションは、複数の構成要素で構成されており、それらすべてがリファレンスクロックを必要とします。最も一般的に使用される Common RefClk アーキテクチャでは、クロックは単一のソースから RX と TX の両方に分配されます。このためには、出力数の多いクロック生成器または LMK00301 などのバッファが必要になります。バッファによりクロック ツリーが簡素化され、コストとスペースが最適化された設計を実現できます。バッファを使用してクロックを分配する場合は、加算ジッタを考慮してください。LMK00301 は、加算ジッタの非常に低い PCIe クロック バッファで、現在および将来のすべての世代の PCIe に対応して設計されています。

9.2 代表的なアプリケーション

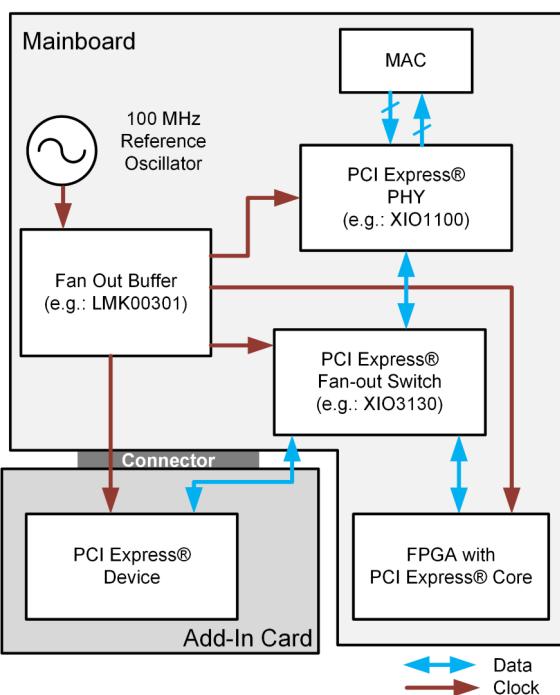


図 9-1. PCIe アプリケーションの例

9.2.1 設計要件

9.2.1.1 クロック入力の駆動

LMK00301 は、2 つのユニバーサル入力 (CLKin0/CLKin0* および CLKin1/CLKin1*) を備えており、AC 結合または DC 結合の 3.3V または 2.5V LVPECL、LVDS、CML、SSTL、その他、電気的特性 に規定された入力要件を満たす差動およびシングルエンド信号を受け入れることができます。このデバイスは、入力同相電圧範囲 (V_{CM}) と入力電圧スイング(V_{ID})/ ダイナミック レンジが広いため、広い範囲の信号を受け入れることができます。50% デューティ サイクルと DC 平衡信号の場合、AC 結合を使用して入力信号を V_{CM} 範囲内にシフトすることもできます。信号インターフェイスと終端テクニックについては、ターミネーションとクロック ドライバの使用を参照してください。

可能な限り最良の位相ノイズおよびジッタ性能を得るために、入力のスルーレートが差動で 3V/ns 以上である必要があります。入力を低いスルーレートで駆動すると、ノイズ フロアとジッタが低下します。このため、TI ではシングルエンドよりも差動信号入力を推奨しています。差動信号入力は、一般的により高いスルーレートと同相信号除去を提供するためです。[代表的特性](#) のセクションの、ノイズフロア対 **CLKin** スルーレートおよび RMS ジッタ対 **CLKin** スルーレートのプロットを参照してください。

TI は、差動信号入力で **CLKin / CLKin*** ペアを駆動することを推奨していますが、クロックが [電気的特性](#) に示す **CLKin** ピンのシングルエンド入力仕様に準拠している場合、シングルエンド クロックでペアを駆動できます。 3.3V または 2.5V LVC MOS のような大振幅のシングルエンド入力信号の場合、入力近くに 50Ω の負荷抵抗を配置し、信号の減衰によって入力のオーバードライブを防止するとともに、ライン終端によって反射を最小限に抑える必要があります。ここでも、性能の低下を最小限に抑えるため、シングルエンド入力スルーレートをできるだけ高くする必要があります。**CLKin** 入力の内部バイアス電圧は約 1.4V なので、[図 9-2](#) に示すように、入力を AC 結合できます。LVC MOS ドライバの出力インピーダンスに R_s を加えた値は、伝送ラインおよび負荷終端の特性インピーダンスに一致させるため、およそ 50Ω にする必要があります。

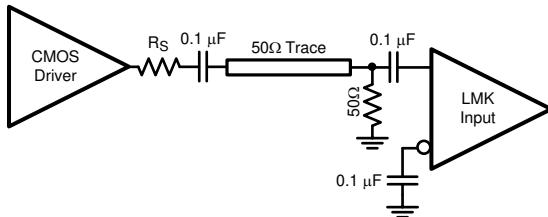


図 9-2. シングルエンド LVC MOS 入力、AC カップリング

[図 9-3](#) に示すように、シングルエンド クロックを **CLKinX** に DC 結合することもできます。信号の減衰とライン終端のため、**CLKinX** 入力の近くに 50Ω の負荷抵抗を配置してください。ドライバのシングルエンド振幅の半分 ($V_{O,PP}/2$) が **CLKinX** を駆動するため、**CLKinX*** は減衰後の入力振幅の中点電圧 ($(V_{O,PP}/2) \times 0.5$) に外部バイアスする必要があります。外部バイアス電圧は、規定の入力同相電圧 (V_{CM}) 範囲内である必要があります。これは、 $k\Omega$ の範囲の外付けバイアス抵抗 (R_{B1} および R_{B2}) またはその他の低ノイズ電圧リファレンスを使用して実現できます。これは、入力スイングが入力スルーレートが最大となる位置でしきい値電圧を横切ることを確認するものです。

[図 9-3](#) に示すように、LVC MOS ドライバが **CLKinX** 入力で DC 終端された 50Ω 負荷で十分なスイングを実現できない場合、 50Ω の負荷終端をコンデンサ (C_{AC}) を介してグランドに接続することを検討してください。この AC 終端はドライバの DC 負荷電流をブロックするため、入力における電圧スイングは、ソース (R_o+R_s) と 50Ω の負荷抵抗によって形成される分圧器によって決定されます。 C_{AC} の値は、 50Ω の伝送ラインのトレース遅延 T_d に依存します。

$$CAC \geq 3 \times T_d / 50\Omega \quad (1)$$

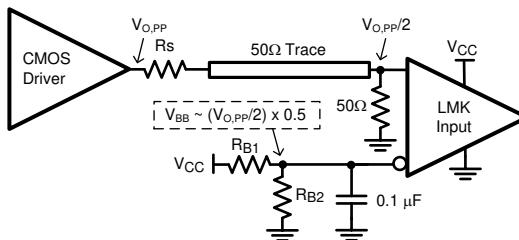


図 9-3. シングルエンド LVC MOS 入力、DC 結合、同相バイアス付き

水晶発振器回路を使用しない場合は [図 9-4](#)、に示すように、シングルエンドの外部クロックで **OSCin** 入力を駆動できます。内部生成の入力バイアス電圧を持つ **OSCin** ピンには入力クロックを AC 結合で接続し、**OScout** ピンはフローティングのままにする必要があります。**OSCin** は外部クロックを多重化する代替入力を提供しますが、TI ではユニバーサル入

力 (CLKinX) のいずれかを使用することを推奨しています。これらの入力は、より高い動作周波数、優れた同相モードおよび電源雑音除去性能、電源電圧や温度変動に対する高い性能を備えているためです。

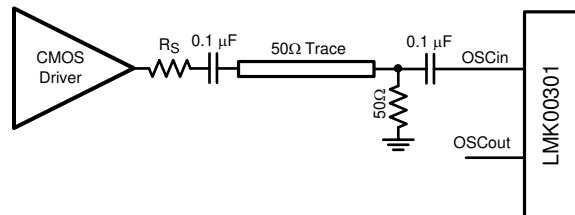


図 9-4. シングルエンド入力による OSCin ピンの駆動

9.2.1.2 水晶振動子インターフェイス

LMK00301 には、基本モードの AT カット水晶振動子をサポートする水晶発振器回路が内蔵されています。図 9-5 に、水晶振動子の実装を示します。

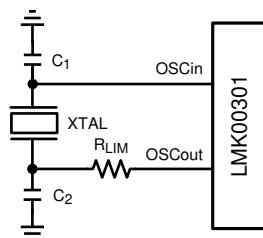


図 9-5. 水晶振動子インターフェイス

負荷容量 (C_L) は水晶振動子に固有であり、通常は $18\text{pF} \sim 20\text{pF}$ 程度です。水晶振動子に対して C_L が規定されていますが、デバイスの OSCin 入力容量 ($C_{IN} = 4\text{pF}$ 、標準値) や、PCB の寄生容量 (C_{STRAY} 、およそ $1\text{pF} \sim 3\text{pF}$) が、個別の負荷容量値である C_1 および C_2 に影響を与える可能性があります。

並列共振回路では、ディスクリートコンデンサの値は次のように計算できます。

$$C_L = (C_1 \times C_2) / (C_1 + C_2) + C_{IN} + C_{STRAY} \quad (2)$$

通常、最適な対称性のため $C_1 = C_2$ なので、式 2C₁ のみで次のように書き換えることができます。

$$C_L = C_1^2 / (2 \times C_1) + C_{IN} + C_{STRAY} \quad (3)$$

最後に、C₁ を求めます。

$$C_1 = (C_L - C_{IN} - C_{STRAY}) \times 2 \quad (4)$$

電気的特性では、水晶振動子の起動を検証する条件について水晶振動子インターフェイスの仕様を提供していますが、電気的特性では水晶振動子の消費電力は規定されていません。設計者は、水晶振動子の消費電力が水晶メーカー規定の最大駆動レベルを超えないことを確認する必要があります。水晶振動子をオーバードライブすると、早期劣化、周波数の変動、最終的な故障を引き起こす可能性があります。駆動レベルは、起動および定常動作の維持に必要な十分なレベルに保つ必要があります。

水晶振動子で消費される電力 P_{XTAL} は、以下で計算できます。

$$P_{XTAL} = I_{RMS}^2 \times R_{ESR} \times (1 + C_0/C_L)^2 \quad (5)$$

ここで、

- I_{RMS} は水晶振動子を流れる RMS 電流です。
- R_{ESR} は、水晶振動子の実効等価直列抵抗です
- $C_{L(R)}$ は、水晶振動子に対して規定された負荷容量です
- C_0 は、水晶振動子に対して規定され最大シャント容量です

I_{RMS} は、OSCSout に接続された水晶振動子のレッグに配置され、発振回路がアクティブな状態で電流プローブ (Tektronix CT-6 または同等品など) を使用して測定できます。

図 9-5 に示すように、必要に応じて、外付け抵抗 R_{LIM} を使用して水晶振動子の駆動レベルを制限できます。選択した水晶振動子で消費される電力が、 R_{LIM} を短絡した状態で水晶振動子に指定された励振レベルよりも高い場合、水晶振動子がオーバードライブされないようにするために、より大きな抵抗値が必要です。ただし、 R_{LIM} を短絡した状態で、水晶振動子で消費される電力が駆動レベルよりも小さい場合、 R_{LIM} にゼロ値を使用できます。出発点として、 R_{LIM} の推奨値は $1.5\text{k}\Omega$ です。

9.2.2 詳細な設計手順

9.2.2.1 ターミネーションとクロック ドライバの使用

クロック ドライバを終端する場合は、位相ノイズおよびジッタ性能を最適化するために、次のガイドラインを考慮してください。

- 反射を防ぐため、良好なインピーダンス整合を実現するには伝送ラインの理論に従う必要があります。
- クロックドライバには、適切な負荷が付属している必要があります。
 - LVDS 出力は電流ドライバであり、閉電流ループが必要です。
 - HCSL ドライバは電流出力が切り替えられ、 50Ω 終端を介してグランドへの DC パスが必要です。
 - LVPECL 出力はオープン エミッタであり、グランドへの DC パスが必要です。
- 受信側が正しく動作するためには、指定された DC バイアスレベル (同相電圧) にバイアスされた信号を入力する必要があります。一部の受信回路には、適切な電圧レベルに自動的にバイアスするセルフ バイアス入力があります。この場合、信号は通常 AC カップリングとする必要があります。

上記のガイドラインに従う限り、LVDS または LVPECL ドライバで非 LVPECL レシーバまたは非 LVDS レシーバを駆動できます。駆動するレシーバまたは入力のデータシートを確認し、レシーバが最適な DC 電圧 (同相電圧) でバイアスされていることを検証するのに最適な、終端および結合方法を決定します。

9.2.2.1.1 DC 結合動作の終端

LVDS ドライバの DC 結合動作の場合、図 9-6 に示すように、LVDS レシーバのできるだけ近くで 100Ω を用いて終端します。

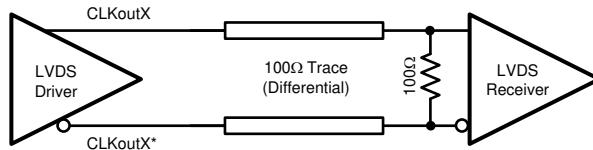


図 9-6. 差動 LVDS 動作、DC 結合、レシーバによるバイアスなし

HCSL ドライバの DC 結合動作の場合、図 9-7 に示すように、ドライバ出力の近くのグランドに対して 50Ω で終端します。高速な過渡電流によるオーバーシュートを抑えるために、直列抵抗 R_s を使用できます。HCSL ドライバはグランドへの DC パスを必要とするため、出力ドライバと 50Ω 終端抵抗の間で AC カップリングを行なうことはできません。

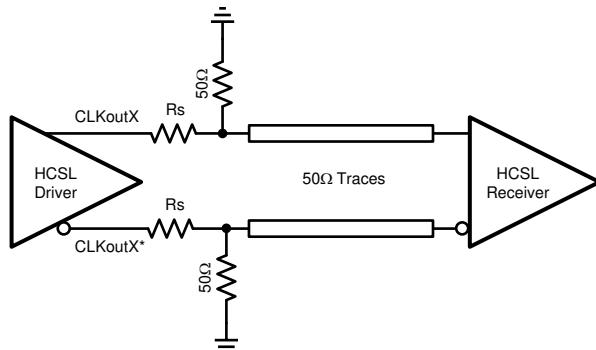


図 9-7. HCSL の動作、DC カップリング

LVPECL ドライバの DC 結合動作の場合、図 9-8 に示すように、 $V_{cco} - 2V$ に対して 50Ω で終端します。または、図 9-9 に示すように、 V_{cco} (出力ドライバ電源電圧) = 3.3V および 2.5V に対し、テブナンの等価回路で終端します。テブナン等価回路では、抵抗分圧器によって出力終端電圧 (V_{TT}) が $V_{cco} - 2V$ に設定されます。

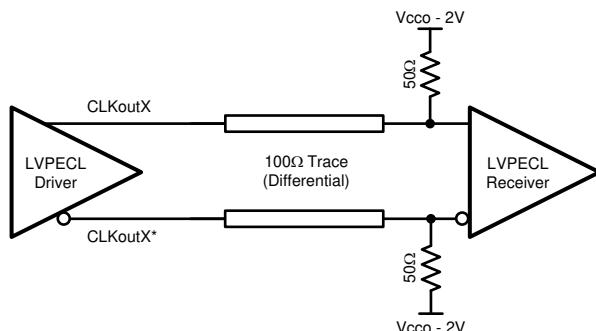


図 9-8. 差動 LVPECL 動作、DC 結合

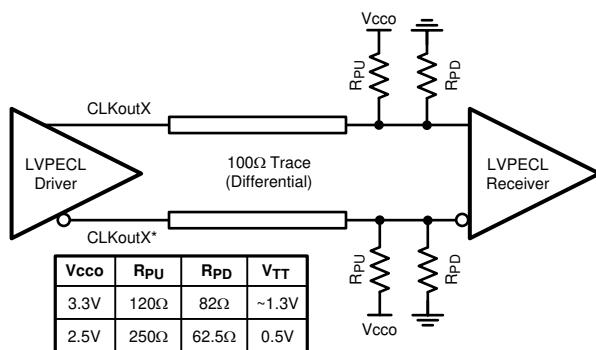


図 9-9. 差動 LVPECL 動作、DC 結合、テブナン等価

9.2.2.1.2 AC 結合差動動作の終端

AC カップリングは、異なる受信規格を駆動する際に DC バイアス レベル (同相モード電圧) をシフトさせることができます。AC 結合では、ドライバがレシーバに DC バイアス電圧を供給できないため、レシーバが最適な DC レベルにバイアスされていることを確認してください。

LVDS ドライバで差動レシーバを駆動する場合、DC ブロッキング コンデンサを追加することによって信号を AC 結合できます。ただし、ドライバ側とレシーバ側の両方で適切な DC バイアス ポイントを設定する必要があります。推奨される終端方法は、差動レシーバに終端抵抗が内蔵されているかどうかによって異なります。

内部の 100Ω 差動終端を用いずに差動レシーバを駆動する場合、DC パスが LVDS ドライバを適切にバイアスできるように、負荷終端抵抗とレシーバの間に AC カップリング コンデンサを配置する必要があります。これは、図 9-10 に示すとおりです。スタブ長を最小限に抑えるため、負荷終端抵抗と AC カップリング コンデンサは、レシーバ入力のできるだけ近くに配置する必要があります。レシーバは、内部または外部で、 $k\Omega$ 程度の抵抗を介してレシーバの同相入力範囲内のリファレンス電圧にバイアスできます。

内部 100Ω の差動終端で差動レシーバを駆動する場合、ドライバの適切な DC バイアスを行うために、AC カップリング コンデンサの前にソース終端抵抗を配置する必要があります (図 9-11 を参照)。ただし、ソースと負荷に 100Ω の抵抗を接続した場合 (つまりダブル終端)、LVDS ドライバから見た等価抵抗は 50Ω であり、入力における実効信号スイングは半分に低減されます。自己終端レシーバが $250mVpp$ (差動) を超える入力スイングと、入力への AC 結合を必要とする場合、図 9-11 のダブル終端配置を持つ LVDS ドライバが常に最小入力スイング要件を満たすことはできません。その代わりに、AC 結合を持つ LVPECL または HCSL 出力ドライバ形式を使用して、自己終端レシーバが必要とする最小入力スイングを満たすことを推奨します。

LVDS 出力と AC 結合を使用する場合、コンデンサの充電により、クロック出力にスタートアップ遅延が観測される場合があります。図 9-11 および図 9-10 の例では $0.1\mu F$ のコンデンサを使用していますが、特定のアプリケーションのスタートアップ要件を満たすようにこの値を調整することもできます。

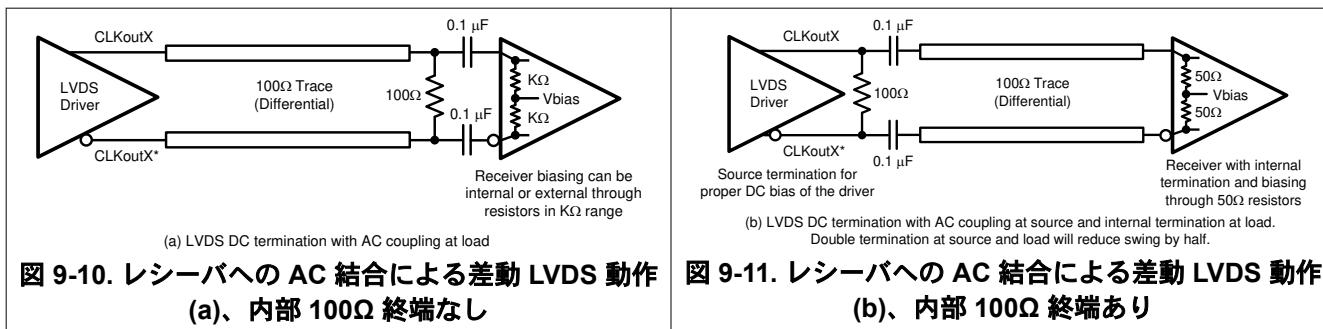


図 9-10. レシーバへの AC 結合による差動 LVDS 動作
(a)、内部 100Ω 終端なし

図 9-11. レシーバへの AC 結合による差動 LVDS 動作
(b)、内部 100Ω 終端あり

LVPECL ドライバは、グランドへの DC パスを必要とします。LVPECL 信号を AC 結合する場合、図 9-15 に示すように、LVPECL ドライバの近くに 160Ω のエミッタ抵抗 ($V_{cco} = 2.5V$ の場合は 91Ω) を使用して、グランドへの DC パスを提供します。レシーバを正常に動作させるには、信号をレシーバで規定される DC バイアス レベル (同相電圧) にバイアスする必要があります。LVPECL レシーバの一般的な DC バイアス 電圧 (同相電圧) は $2V$ です。または、テブナンの等価回路は、図 9-12 に示すように、 $V_{cco} = 3.3V$ および $2.5V$ に対して有効な終端を形成します。注: このテブナン回路は、分圧器がレシーバの入力同相電圧を設定するため、図 9-9 の DC 結合の例とは異なります。

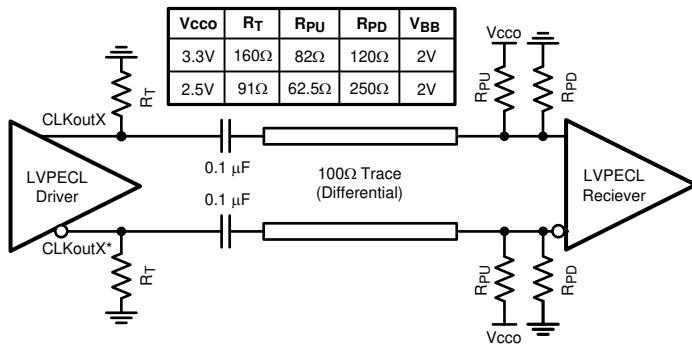


図 9-12. 差動 LVPECL 動作、AC 結合、テブナン等価

9.2.2.1.3 シングルエンド動作の終端

バランを LVDS ドライバまたは LVPECL ドライバと組み合わせて使用して、平衡差動型信号を不平衡のシングルエンド信号に変換できます。

LVPECL ドライバは、1 つまたは 2 つの独立した 800mV p-p 信号として使用します。CLKoutX/CLKoutX * ペアの LMK00301 LVPECL ドライバの 1 つを DC 結合する場合は、不使用のドライバを適切に終端してください。LMK00301 LVPECL ドライバの DC 結合を行う場合、図 9-13 に示すように、終端を V_{CCO} - 2V に対して 50Ω にする必要があります。V_{CCO} = 3.3V の場合、テブナンの等価回路も有効な終端です (図 9-14 を参照)。

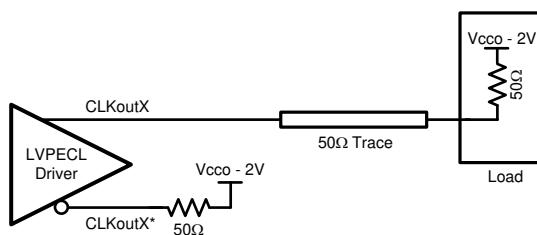


図 9-13. シングルエンド LVPECL 動作、DC 結合

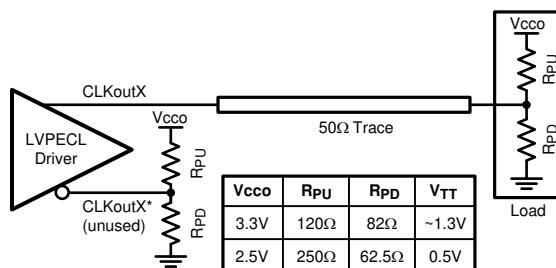


図 9-14. シングルエンド LVPECL 動作、DC 結合、テブナン等価

LVPECL ドライバを AC 結合する場合には、160Ω のエミッタ抵抗 (V_{CCO} = 2.5V の場合は 91Ω) を使用してグランドへの DC パスを提供し、レシーバに適切な DC バイアス レベルで 50Ω の終端を提供します。LVPECL レシーバの一般的な DC バイアス電圧は 2V です。コンパニオンドライバを使用しない場合、コンパニオンドライバは適切な AC 終端または DC 終端で終端する必要があります。後者の例である、シングルエンド LVPECL 信号の AC 結合を用い、スペクトル アナライザまたは位相ノイズ アナライザを使用してシングルエンド LVPECL 性能を測定できます。ほとんどの RF 試験装置を使用している場合、安全で適切な動作のために DC バイアスポイント (0VDC) は必要ありません。内部 50Ω 終端試験装

置は、測定対象の LVPECL ドライバを正しく終端します（図 9-15 を参照）。CLKoutX/CLKoutX * ペアの 1 つの LVPECL ドライバのみを使用する場合は、不使用のドライバを適切に終端してください。

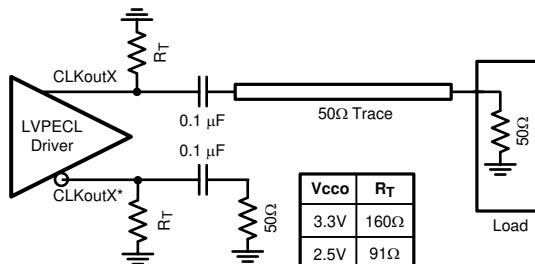


図 9-15. シングルエンド LVPECL 動作、AC 組合

9.2.3 アプリケーション曲線

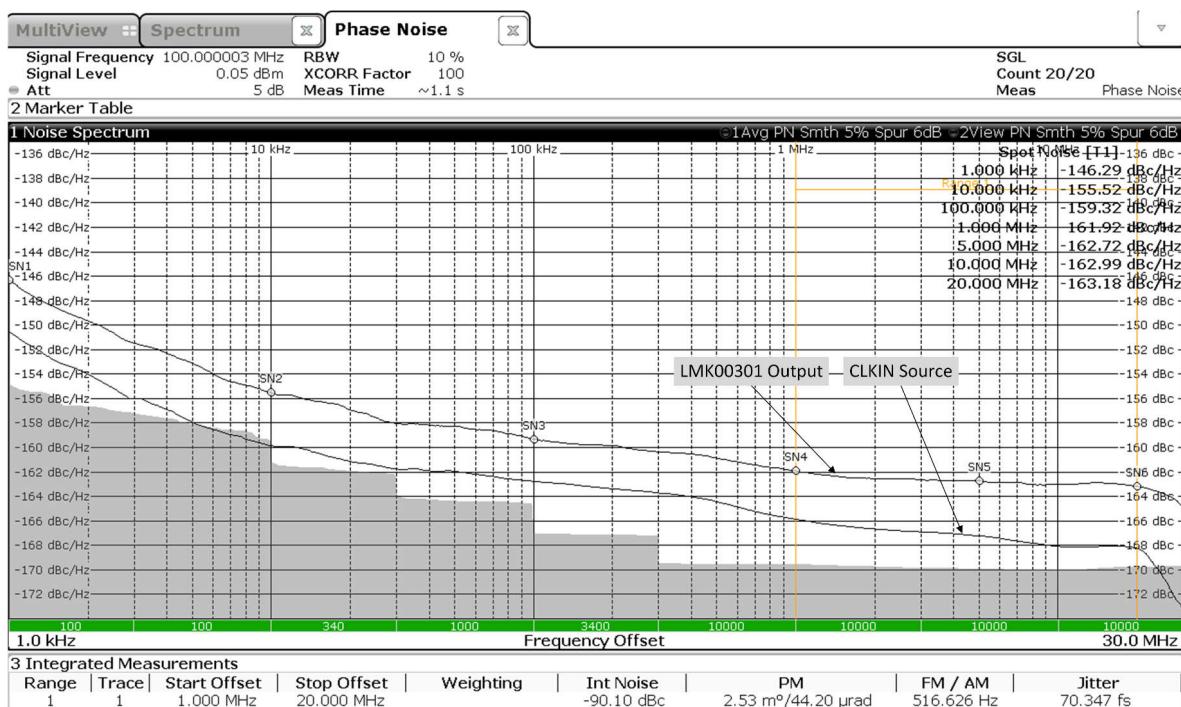


図 9-16. 100MHz における HCSL 位相ノイズ

9.3 電源に関する推奨事項

9.3.1 電源シーケンス

LMK00301 の場合、別の電源レールから V_{CC} および V_{CCO} ピンに電力を供給する場合、電源は、ランプアップしながらほぼ同時にレギュレーション ポイントに達するか、ランプダウンしながら同時にグランド電位に達することがテキサス インスツルメントによって推奨されます。同時またはレシオメトリックの電源シーケンスを使用することによって、 V_{CCO} より前に V_{CC} に電力を供給したときに発生する可能性のある、 V_{CC} ピンから V_{CCO} ピンへの内部電流が防止されます。

LMK00301A の場合、 V_{CC} と V_{CCO} の間に電源シーケンシング要件はありません。

9.3.2 消費電流と消費電力の計算

電気的特性に規定されている消費電流値を使用して、任意のデバイス構成での合計消費電力と IC 消費電力を計算できます。総 V_{CC} コア電源電流 (I_{CC_TOTAL}) を計算するには、式 6 を用います。

$$I_{CC_TOTAL} = I_{CC_CORE} + I_{CC_BANK_A} + I_{CC_BANK_B} + I_{CC_CMOS} \quad (6)$$

ここで、

- I_{CC_CORE} は、コア ロジックと入力ブロックの電流であり、選択した入力 (CLKinX または OSCin) に依存します。
- $I_{CC_BANK_A}$ はバンク A の電流であり、出力タイプ (I_{CC_PECL} , I_{CC_LVDS} , I_{CC_HCSL} 、または 0mA (ディスエーブルの場合)) に依存します。
- $I_{CC_BANK_B}$ はバンク B の電流であり、出力タイプ (I_{CC_PECL} , I_{CC_LVDS} , I_{CC_HCSL} 、または 0mA (ディスエーブルの場合)) に依存します。
- I_{CC_CMOS} は、LVCMOS 出力の電流 (または REFout がディスエーブルの場合は 0mA) です。

出力電源 (V_{CCOA} , V_{CCOB} , V_{CCOC}) は 3 系統の独立した電圧から給電できるため、それぞれの出力電源電流 ($I_{CCO_BANK_A}$, $I_{CCO_BANK_B}$, I_{CCO_CMOS}) は別々に算出する必要があります。

出力負荷が規定条件に一致する場合、バンク A またはバンク B の I_{CCO_BANK} は、対応する出力電源電流の仕様値 (I_{CCO_PECL} , I_{CCO_LVDS} 、または I_{CCO_HCSL}) から直接算出できます。それ以外の場合は、次に示すように、 I_{CCO_BANK} を計算する必要があります。

$$I_{CCO_BANK} = I_{BANK_BIAS} + (N \times I_{OUT_LOAD}) \quad (7)$$

ここで、

- I_{BANK_BIAS} は、出力バンクのバイアス電流 (固定値) です。
- I_{OUT_LOAD} は、負荷出力ペアごとの DC 負荷電流です。
- N はバンクの負荷のかかった出力ペアの数を表します (N = 0~5)。

表 9-1 に、3 種類の出力タイプの代表的な I_{BANK_BIAS} 値と I_{OUT_LOAD} の式を示します。

LVPECL の場合、 50Ω で $V_{TT} = V_{CCO} - 2V$ に終端する代わりに、より大きな終端抵抗 (R_T) をグランドに使用することも可能です。この手法は一般的に、追加の終端電圧電源 (V_{TT}) を除去し、出力スイングの低下と引き換えにデバイスの消費電力を低減するために使用されます。たとえば、 V_{CCO} が 3.3V の場合、グランドへの R_T 値 160Ω により、出力スイングを大きく犠牲にすることなく、 1.3V の終端電源が除去されます。この場合、 I_{OUT_LOAD} が標準値である 25mA であるため、完全に負荷がかかったバンクの I_{CCO_PECL} は 158mA に減少します (これに対して、 $V_{CCO} - 2V$ に 50Ω 抵抗で終端した場合は 165mA)。

表 9-1. 代表的な出力バンクのバイアスと負荷電流

現在のパラメータ	LVPECL	LVDS	HCSL
I_{BANK_BIAS}	33mA	34mA	6mA
I_{OUT_LOAD}	$(V_{OH} - V_{TT})/R_T + (V_{OL} - V_{TT})/R_T$	0mA (DC 負荷電流がない場合)	V_{OH}/R_T

各電源の消費電流が計算されるか、あるいは判明したら、総消費電力 (P_{TOTAL}) は次式によって算出できます。

$$P_{TOTAL} = (V_{CC} \times I_{CC_TOTAL}) + (V_{CCOA} \times I_{CCO_BANK_A}) + (V_{CCOB} \times I_{CCO_BANK_B}) + (V_{CCOC} \times I_{CCO_CMOS}) \quad (8)$$

デバイス構成に LVPECL または HCSL 出力がある場合は、任意の終端抵抗 (P_{RT_PECL} および P_{RT_HCSL}) と任意の終端電圧 (P_{VTT}) で消費される電力を計算する必要があります。外部消費電力の値は、次式によって算出できます。

$$P_{RT_PECL} (\text{per LVPECL pair}) = (V_{OH} - V_{TT})^2/R_T + (V_{OL} - V_{TT})^2/R_T \quad (9)$$

$$P_{VTT_PECL} (\text{per LVPECL pair}) = V_{TT} * [(V_{OH} - V_{TT})/R_T + (V_{OL} - V_{TT})/R_T] \quad (10)$$

$$P_{RT_HCSL} (\text{per HCSL pair}) = V_{OH}^2 / R_T \quad (11)$$

最後に、IC の消費電力 (P_{DEVICE}) は、次式に示すように P_{TOTAL} から外部消費電力の値を差し引くことによって算出できます。

$$P_{DEVICE} = P_{TOTAL} - N_1 \times (P_{RT_PECL} + P_{VTT_PECL}) - N_2 \times P_{RT_HCSL} \quad (12)$$

ここで、

- N_1 は、 V_{TT} (通常は $V_{CCO} - 2V$ または GND) に対する終端抵抗を備えた LVPECL 出力ペアの数です。
- N_2 は、GND に終端抵抗を接続した HCSL 出力ペアの数です。

9.3.2.1 消費電力の例 #1：不使用出力のある、独立した V_{CC} 電源および V_{CCO} 電源

この例では、独立した V_{CC} および V_{CCO} 電源と不使用の出力を持つ構成において、IC の消費電力を計算する方法を示します。一部の出力は使用されないため、[電気的特性](#)に指定されている I_{CCO_PECL} 値は直接は使用できません。また、IC の消費電力を正確に推定するには、出力バンク電流 (I_{CCO_BANK}) を計算する必要があります。

- $V_{CC} = 3.3V$ 、 $V_{CCOA} = 3.3V$ 、 $V_{CCOB} = 2.5V$ 。 I_{CC} および I_{CCO} の標準値。
- CLKin0/CLKin0* 入力が選択されます。
- バンク A は LVPECL 用に構成されています。 $R_T = 50\Omega \sim V_T = V_{CCO} - 2V$ と組み合わせて使用される 4 ペア (1 ペアは不使用)。
- バンク B は LVDS 用に構成されています。 $R_L = 100\Omega$ 差動と組み合わせて使用される 3 ペア (2 ペアは不使用)。
- REFout はディスエーブルです。
- $T_A = 85^\circ C$

前のセクションで計算した電流と電力の計算値を使用して、 P_{TOTAL} と P_{DEVICE} を計算できます。

- 式 6 から: $I_{CC_TOTAL} = 8.5mA + 20mA + 26mA + 0mA = 54.5mA$
- 表 9-1 から: $I_{OUT_LOAD} (\text{LVPECL}) = (1.6V - 0.5V) 50\Omega + (0.75V - 0.5V)/50\Omega = 27mA$
- 式 7 から: $I_{CCO_BANK_A} = 33mA + (4 \times 27mA) = 141mA$
- 式 8 から: $P_{TOTAL} = (3.3V \times 54.5mA) + (3.3V \times 141mA) + (2.5V \times 34mA) = 730mW$
- 式 9 から: $P_{RT_PECL} = ((2.4V - 1.3V)^2/50\Omega) + ((1.55V - 1.3V)^2/50\Omega) = 25.5mW$ (出力ペアごと)
- 式 10 から: $P_{VTT_PECL} = 0.5V \times [((2.4V - 1.3V) / 50\Omega) + ((1.55V - 1.3V) / 50\Omega)] = 13.5mW$ (出力ペアごと)
- 式 11 から: $P_{RT_HCSL} = 0mW$ (HCSL 出力なし)
- 式 12 から: $P_{DEVICE} = 730mW - (4 \times (25.5mW + 13.5mW)) - 0mW = 574mW$

この例では、IC デバイスは合計電力 (730mW) のうち約 574mW、すなわち 79% を消費し、残りの 21% はエミッタ抵抗 (4 ペアで 102mW) および終端抵抗 ($V_{CCO} - 2V \sim 54mW$) で消費されます。

28.5°C/W の接合部からケースへの熱抵抗 ($R_{θJA}$) に基づき、ダイ接合部温度の推定値は周囲温度よりも約 $16.4^\circ C$ 高く、 $T_A = 85^\circ C$ の場合は $101.4^\circ C$ よりも高い値です。

9.3.2.2 消費電力の例 #2：ワーストケース消費電力

この例では、ワーストケースの消費電力を推定するための構成の IC 消費電力を計算する方法を示します。この場合、[電気的特性](#)に規定されている電源電圧と電源電流の最大値を使用します。

- 最大 $V_{CC} = V_{CCO} = 3.465V$ 。 I_{CC} および I_{CCO} の最大値
- CLKin0/CLKin0* 入力が選択されます
- バンク A および B は LVPECL 用に構成されています。すべての出力は、 $V_T = V_{CCO} - 2V$ に対して 50Ω で終端されています
- REFout は、5pF 負荷でイネーブルになります。
- $T_A = 85^\circ C$

前のセクションで計算した最大電源電流と電力の計算値を使用して、 P_{TOTAL} と P_{DEVICE} を計算できます。

- 式 6 から: $I_{CC_TOTAL} = 10.5mA + 27mA + 27mA + 5.5mA = 70mA$

- I_{CCO_PECL} 最大仕様から: $I_{CCO_BANK_A} = I_{CCO_BANK_B} = 197\text{mA}$
- 式 8 から: $P_{TOTAL} = 3.465V \times (70\text{mA} + 197\text{mA} + 197\text{mA} + 10\text{mA}) = 1642.4\text{mW}$
- 式 9 から: $P_{RT_PECL} = ((2.57V - 1.47V)^2/50\Omega) + ((1.72V - 1.47V)^2/50\Omega) = 25.5\text{mW}$ (出力ペアごと)
- 式 10 から: $P_{VTT_PECL} = 1.47V \times [((2.57V - 1.47V) / 50\Omega) + ((1.72V - 1.47V) / 50\Omega)] = 39.5\text{mW}$ (出力ペアごと)
- 式 11 から: $P_{RT_HCSL} = 0\text{mW}$ (HCSL 出力なし)
- 式 12 から: $P_{DEVICE} = 1642.4\text{mW} - (10 \times (25.5\text{mW} + 39.5\text{mW})) - 0\text{mW} = 992.4\text{mW}$

このワーストケースの例では、IC デバイスは合計電力 (1642.4mW) のうち約 992.4mW 、すなわち 60% を消費し、残りの 40% は LVPECL エミッタ抵抗 (10 ペアで 255mW) および終端抵抗 ($V_{CCO} - 2V \sim 395\text{mW}$) で消費されます。

$28.5^\circ\text{C}/\text{W}$ の θ_{JA} に基づき、ダイ接合部温度の推定値は周囲温度よりも約 28.3°C 高く、 $T_A = 85^\circ\text{C}$ の場合は 113.3°C よりも高い値です。

9.3.3 電源バイパス

V_{CC} および V_{CCO} 電源には、 $0.1\mu F$ や $0.01\mu F$ などの高周波バイパスコンデンサを各電源ピンのすぐ近くに配置する必要があります。 $1\mu F \sim 10\mu F$ のデカップリングコンデンサを、電源プレーンとグランドプレーンの間でデバイスの近くに配置する必要があります。すべてのバイパスコンデンサおよびデカップリングコンデンサは、直列インダクタンスを最小限に抑えるため、短い配線またはビアを介して電源プレーンおよびグランドプレーンに短く接続する必要があります。

9.3.3.1 電源リップル除去

実際のシステム アプリケーションでは、スイッチング電源、デジタル ASIC や FPGA などから電源ノイズ(リップル)が発生することがあります。電源バイパスによってこのようなノイズの一部は除去できますが、電源リップルがデバイスの性能に与える影響を理解することが重要です。LMK00301 などのクロック分配デバイスの電源にシングルトーンの正弦波信号を印加すると、クロック出力(キャリア)に狭帯域の位相変調および振幅変調が生じる可能性があります。シングルサイドバンド位相ノイズスペクトルでは、リップルに起因する位相変調は、キャリアに対しての位相スプライアスレベルとして現れます(dBc で測定)。

LMK00301 では、リップル信号が V_{CCO} 電源に注入されたときに、電源リップル除去(PSRR)がクロック出力に変調されたシングルバンドの位相スプライアスレベル(dBc)として測定されます。図 9-17 に、PSRR テスト設定を示します。

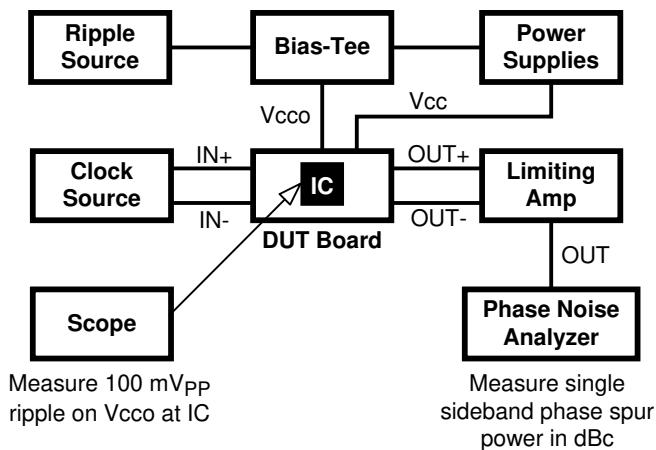


図 9-17. PSRR テスト設定

信号発生器を使用して、DUT ボードの V_{CCO} 電源に正弦波信号を印加し、デバイスの V_{CCO} ピンでピークツーピークのリップル振幅を測定します。リミティングアンプを使用して、差動出力クロックの振幅変調を除去し、位相ノイズアナライザ用に振幅変調をシングルエンド信号へ変換します。位相スパイアスレベルの測定は、以下の電源リップル条件下で、156.25MHz および 312.5MHz のクロック周波数に対して行われます:

- リップル振幅: 100mVpp での $V_{CCO} = 2.5V$
- リップル周波数: 100kHz, 1MHz, 10MHz

振幅変調の影響がなく、かつ変調指数が小さいと仮定すると、ピークツーピークの決定性ジッタ(DJ)は、測定されたシングルサイドバンド位相スパイアスレベル(PSRR)を使用して次のように算出できます:

$$DJ (\text{ps pk-pk}) = [(2 \times 10^{(\text{PSRR}/20)}) / (\pi \times f_{\text{CLK}})] \times 10^{12} \quad (13)$$

代表的特性に示されている PSRR 対リップル周波数のプロットは、156.25MHz および 312.5MHz における差動出力タイプのリップルによる位相スパイアスレベルを示しています。LMK00301 は、すべての差動出力タイプについて、リップル周波数範囲全体にわたり、非常に優れた安定した PSRR 特性を示します。LVPECL の位相スパイアスレベルは、156.25MHz で -64dBc 未満、312.5MHz で -62dBc 未満です。式 13 を使用すると、これらの位相スプライアスレベルは決定論的ジッタ値である 156.25MHz で 2.57ps pk-pk、312.5MHz で 1.62ps pk-pk に変換されます。テストでは、同じリップル振幅および周波数条件において、デバイスの PSRR 性能が $V_{CCO} = 3.3V$ に対して向上することが示されています。

9.3.4 热管理

LMK00301 デバイスの消費電力は、熱管理に注意を要するほど大きくなる可能性があります。信頼性および性能の観点から、ダイ温度は最大 125°C に制限する必要があります。つまり、推定値として、 T_A (周囲温度) にデバイスの消費電力と $R_{\theta JA}$ を掛けた値を加えた合計が 125°C を超えないものとします。

このデバイスのパッケージには、主な放熱経路を提供するとともに、プリント基板への優れた電気グランドを実現する露出パッドがあります。パッケージからの放熱を最大化するため、PCB 上のパッケージのフットプリント内に、複数のビアでグランドプレーンへ接続するサーマル ランド パターンを設ける必要があります。露出したパッドは、パッケージから十分な熱伝導を提供するために半田付けする必要があります。

推奨されるランドおよびビア パターンを図 9-18 に示します。WQFN パッケージの半田付けの詳細については、<http://www.ti.com/packaging> を参照してください。

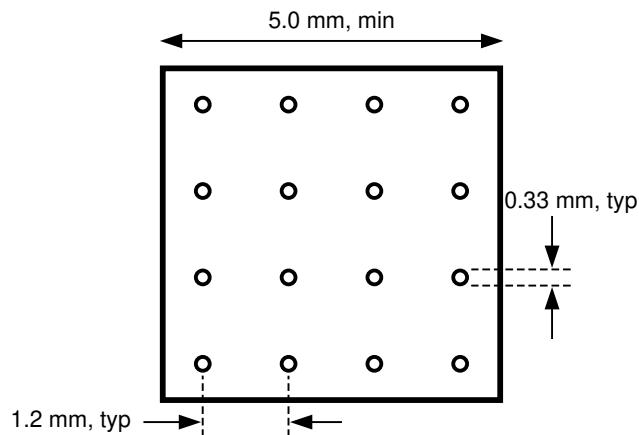


図 9-18. 推奨されるランドおよびビア パターン

接合部温度を最小限に抑えるため、(グランド プレーン層が露出していない場合は) PCB に簡易なヒートシンクを組込んでください。これは、デバイスからの PCB の反対側にある約 2 平方インチの銅領域を含めることで実現されます。この銅面は、防錆のためにめっきやはんだコーティングを施すことはできますが、可能であれば熱絶縁となるコンフォーマル コーティングは施さないでください。図 9-18 に示すビアは、これらの最上層と最下層の銅層とグランド層に接続する必要があります。これらのビアは「ヒート パイプ」として機能し、熱エネルギーを基板のデバイス側から遠ざけることによって、熱をより効果的に放散できます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

このデバイスには、次のガイドラインを考慮してください。

- バイパスコンデンサとデバイスの電源との間の接続はできる限り短くします。
- グランド プレーンへの低インピーダンス接続を使用して、コンデンサの反対側をグランドに接続します。
- コンデンサを裏面に実装する場合は、コンポーネント 0402 を使用できます。ただし、熱放散パッドへの半田付けは困難な場合があります。
- 部品側の実装には、0201 の本体サイズのコンデンサを使用して信号の配線を容易にします。

9.4.2 レイアウト例

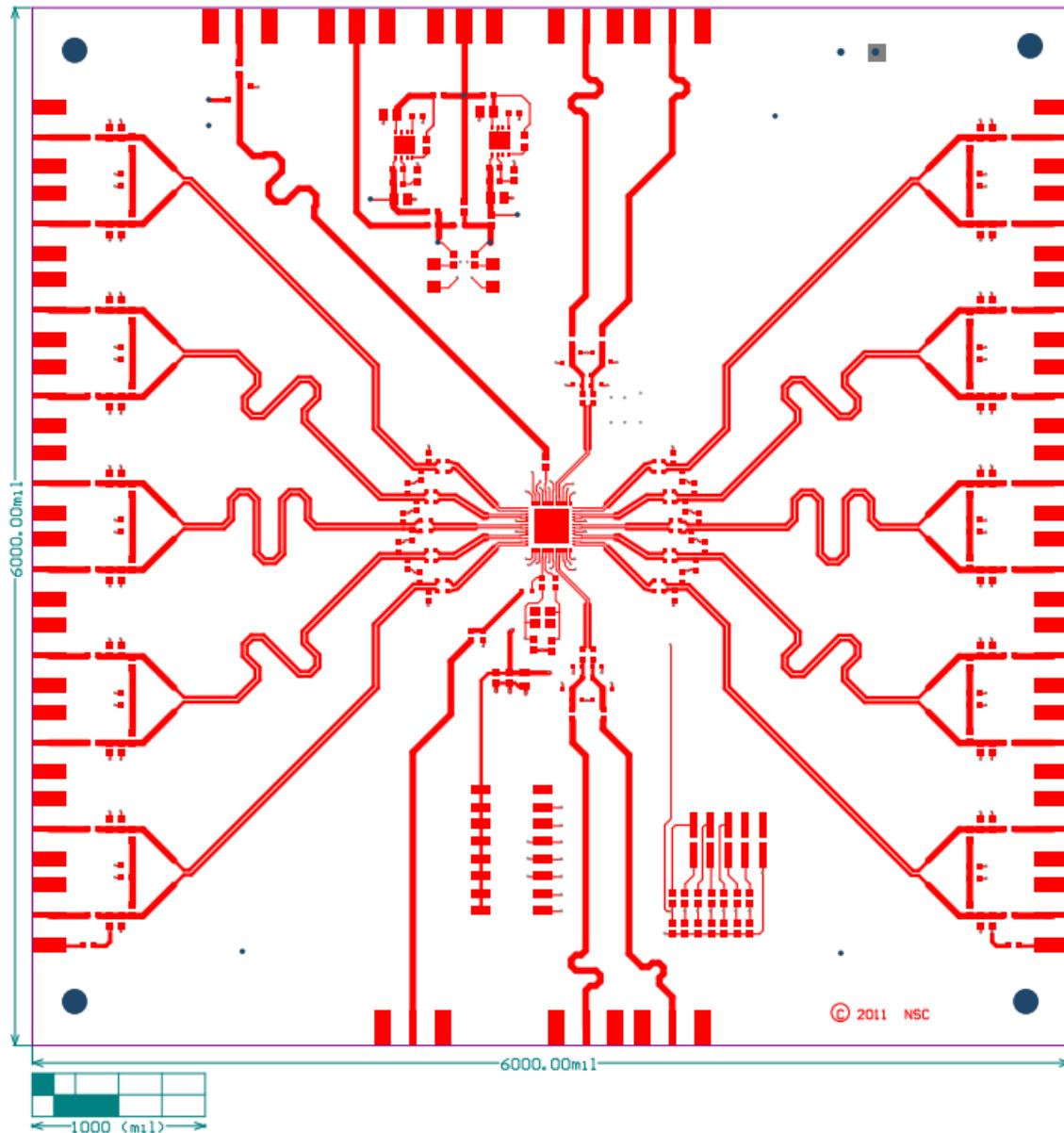


図 9-19. LMK00301 のレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

- テキサス・インスツルメンツ、一般的なデータ伝送パラメータと定義、アプリケーション・ノート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision J (May 2023) to Revision K (October 2025)	Page
特長およびアプリケーションのセクションを更新し、PCIe Gen 7.0 の仕様を追加.....	1
仕様のセクション全体を更新し、PCIe Gen 7.0 仕様を追加.....	6

Changes from Revision I (December 2017) to Revision J (May 2023)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
「デバイスの機能モード」、「アプリケーション情報」、「代表的なアプリケーション」、「レイアウト」の各セクションを追加	1
「特長」セクションに LVPECL、LVDS、HCSL、LVC MOS の周波数範囲を追加。	1
「アプリケーション」に PCIe 5.0 および 6.0 を追加	1
「パッケージ情報」表に LMK00301A を追加。	1
電気的特性に、PCIe 5.0 および PCIe 6.0 の加算ジッタ仕様を追加。	8
HCSL の 最大出力周波数範囲を 800MHz の電気的特性に変更。	8

• 電気的特性に HCSL のデューティサイクルと ΔV_{CROSS} のテスト条件を追加。.....	8
• 代表的特性のセクションの 100MHz での HCSL, LVDS, LVPECL 位相ノイズの代表的なプロットを更新。.....	15
• 代表的特性のセクションに、HCSL 出力スイング (V_{OD}) と周波数の関係の代表的なプロットを追加。.....	15
• クロック入力およびクロック出力をデバイスの機能モードのセクションに移動。.....	23
• アプリケーション情報にアプリケーションの使用事例を追加.....	25
• 代表的なアプリケーションのセクションに PCI Express アプリケーションの例を追加。.....	25
• 設計要件のセクションに、クロック入力の駆動および水晶振動子インターフェイスに関するトピックを追加。.....	25
• ターミネーションとクロックドライバの使用を詳細な設計手順のセクションに移動。.....	28
• アプリケーション性能のプロットのセクションに HCSL 位相ノイズのプロットを追加.....	32
• レイアウトのガイドラインのセクションにレイアウトのガイドラインを追加。.....	37
• レイアウト例のセクションに LMK00301 の PCB レイアウト例を追加。.....	38

Changes from Revision H (March 2016) to Revision I (December 2017)	Page
• 以下のセクションに情報を追加および更新:「アプリケーション」、「概要」、「電気的特性」「消費電流」、「電気的特性」「HCSL 出力」および「電源シーケンス」.....	1
• 注文可能な LMK00301A を追加.....	1
• 「アプリケーション」に PCIe 4.0 を追加	1
• 「概要」に LMK00301 と LMK00301A の違いを記載	1
• 製品比較表を追加.....	3
• 次の電気的特性の項目に LMK00301A LVDS ドライバの I_{CC} および I_{CCO} のデータを追加。消費電流	8
• 次の電気的特性の項目に、PCIe 4.0 加算ジッタの仕様を追加。複数の HCSL 出力	8
• 電気的特性の脚注 (2) に LMK00301 および LMK00301A の仕様に関する注を追加.....	8
• 電源シーケンスに LMK00301A に関する短い段落を追加.....	32

Changes from Revision G (May 2013) to Revision H (March 2016)	Page
• ドキュメントのタイトルに「超低付加ジッタ」を追加.....	1
• 以下のセクションを追加、更新、または名称変更: 仕様、詳細説明、アプリケーションと実装、電源に関する推奨事項、デバイスおよびドキュメントのサポート、メカニカル、パッケージ、および注文情報	1
• 次の電気的特性の項目で、 C_{in} (標準値) を 1pF から 4pF に変更 (更新されたテスト方法に基づく)。推奨振動子インターフェイス。.....	8
• 次の電気的特性の項目で、「加算 RMS ジッタの積分帯域幅 10kHz ~ 20MHz」のパラメータに 100MHz、156.25MHz テスト条件、標準値、最大値、脚注を追加。複数の LVPECL 出力	8
• 次の電気的特性の項目で、「加算 RMS ジッタの積分帯域幅 10kHz ~ 20MHz」のパラメータに 100MHz、156.25MHz テスト条件、標準値、最大値、脚注を追加。複数の LVDS 出力	8
• 電気的特性の表に $V_{I_{SE}}$ パラメータの脚注を追加。.....	8
• クロック入力の駆動の末尾に新しい段落を追加.....	25
• 水晶振動子インターフェイスの C_{in} を 4pF (標準値、更新されたテスト方法に基づく) に変更.....	27
• 電源シーケンスを追加.....	32

Changes from Revision F (February 2013) to Revision G (May 2013)	Page
• 2 番目および 3 番目の箇条書き項目にアプリケーションを追加し、最初の箇条書き項目から高速インターフェイスシリアルインターフェイスを削除して「目的アプリケーション」を変更。.....	1
• V_{CM} のテキストを、 V_{IH} から V_{CM} のパラメータの条件に変更.....	8
• 電気的特性の表から V_{IH} の最小値を削除。.....	8
• 電気的特性の表から V_{IL} の最大値を削除。.....	8

• V_{I_SE} パラメータと仕様制限を追加し、対応する表の注を電気的特性の表に追加。.....	8
• の 3 番目の段落でクロック入力の駆動のセクションの 3 番目の段落を、CLKin* と LVC MOS のテキストを含むように変更。電気的特性表の情報に合わせて改訂。.....	25
• クロック入力の駆動のセクションの 4 番目の段落で、バイパスコンデンサのテキストを信号減衰のテキストに変更。.....	25
• シングルエンド LVC MOS 入力、DC 結合、同相バイアス付きの図を変更。.....	25
• AC 結合差動動作の終端の 2 番目の段落に文章を追加し、レシーバに AC 結合した差動 LVDS 動作に対する図の更新を説明.....	30
• 差動 LVDS 動作、AC 結合、レシーバによるバイアスなしの図を変更し、キャプションを更新。.....	30

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK00301ARHSR	Active	Production	WQFN (RHS) 48	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301A
LMK00301ARHSR.A	Active	Production	WQFN (RHS) 48	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301A
LMK00301ARHST	Active	Production	WQFN (RHS) 48	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301A
LMK00301ARHST.A	Active	Production	WQFN (RHS) 48	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301A
LMK00301SQ/NOPB	Active	Production	WQFN (RHS) 48	1000 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301
LMK00301SQ/NOPB.A	Active	Production	WQFN (RHS) 48	1000 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301
LMK00301SQE/NOPB	Active	Production	WQFN (RHS) 48	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301
LMK00301SQE/NOPB.A	Active	Production	WQFN (RHS) 48	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301
LMK00301SQX/NOPB	Active	Production	WQFN (RHS) 48	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301
LMK00301SQX/NOPB.A	Active	Production	WQFN (RHS) 48	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

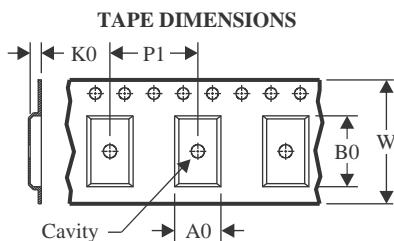
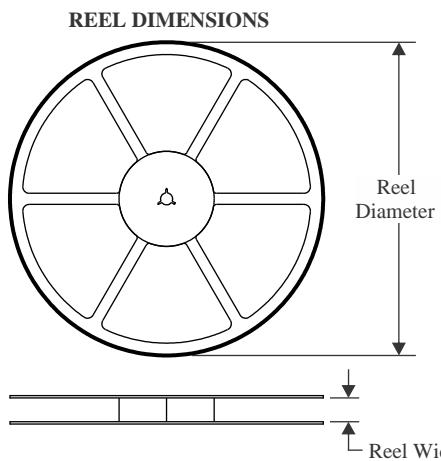
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

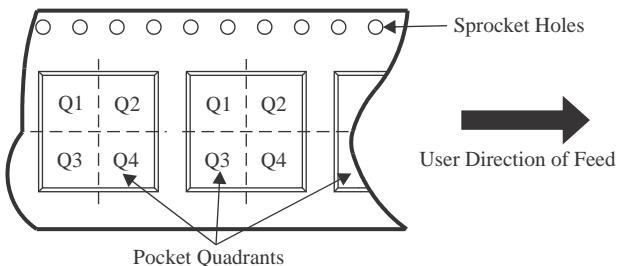
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



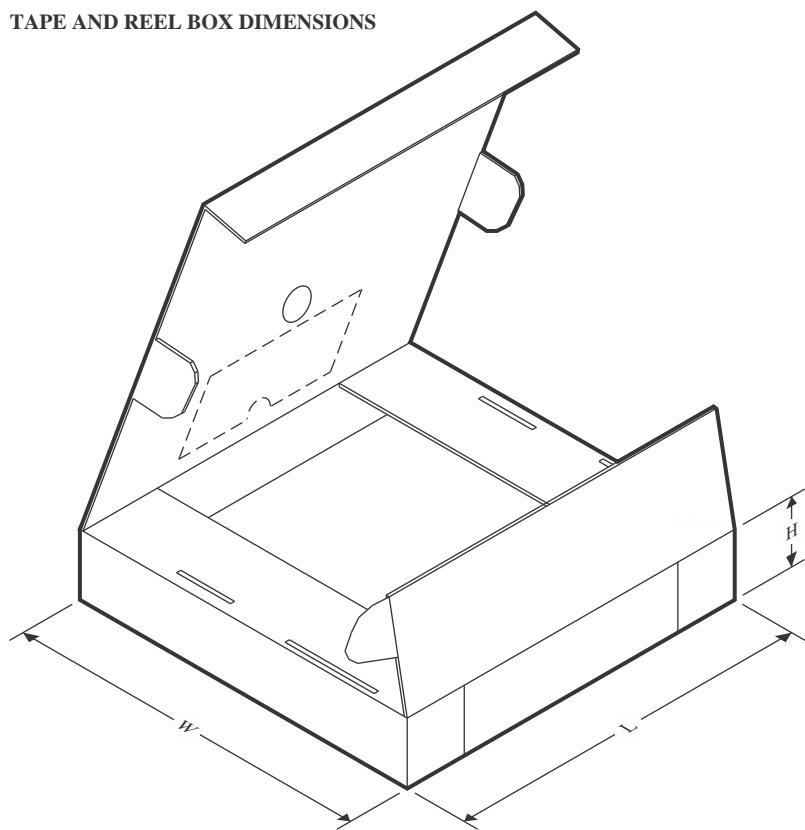
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMK00301ARHSR	WQFN	RHS	48	2500	330.0	16.4	7.3	7.3	1.3	12.0	16.0	Q1
LMK00301ARHST	WQFN	RHS	48	250	178.0	16.4	7.3	7.3	1.3	12.0	16.0	Q1
LMK00301SQ/NOPB	WQFN	RHS	48	1000	330.0	16.4	7.3	7.3	1.3	12.0	16.0	Q1
LMK00301SQE/NOPB	WQFN	RHS	48	250	178.0	16.4	7.3	7.3	1.3	12.0	16.0	Q1
LMK00301SQX/NOPB	WQFN	RHS	48	2500	330.0	16.4	7.3	7.3	1.3	12.0	16.0	Q1

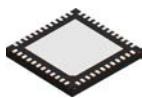
TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMK00301ARHSR	WQFN	RHS	48	2500	356.0	356.0	36.0
LMK00301ARHST	WQFN	RHS	48	250	208.0	191.0	35.0
LMK00301SQ/NOPB	WQFN	RHS	48	1000	356.0	356.0	36.0
LMK00301SQE/NOPB	WQFN	RHS	48	250	208.0	191.0	35.0
LMK00301SQX/NOPB	WQFN	RHS	48	2500	356.0	356.0	36.0

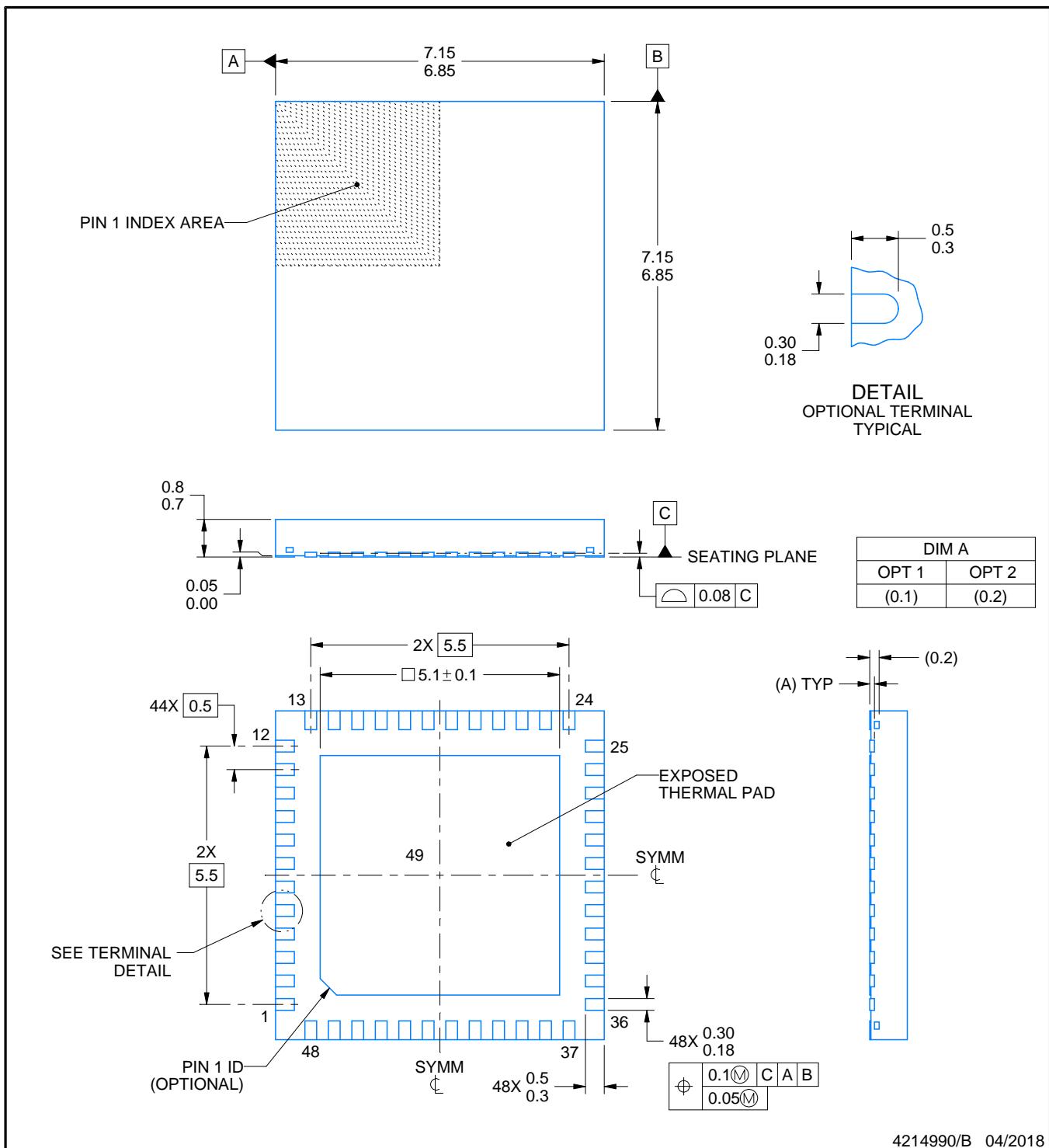
PACKAGE OUTLINE

RHS0048A



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4214990/B 04/2018

NOTES:

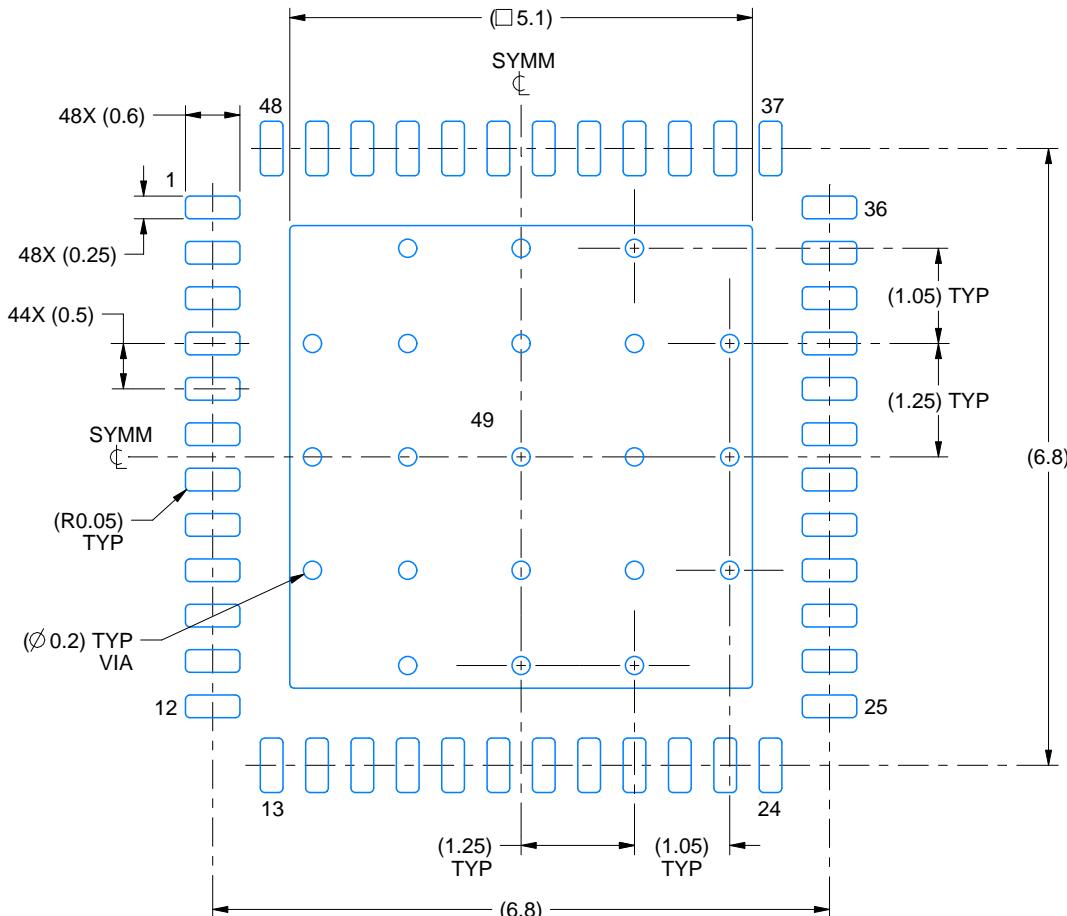
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

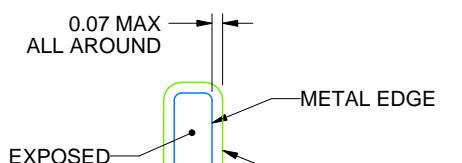
RHS0048A

WQFN - 0.8 mm max height

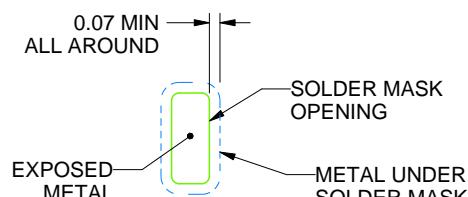
PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



NON SOLDER MASK DEFINED (PREFERRED)



SOLDER MASK DETAILS

4214990/B 04/2018

NOTES: (continued)

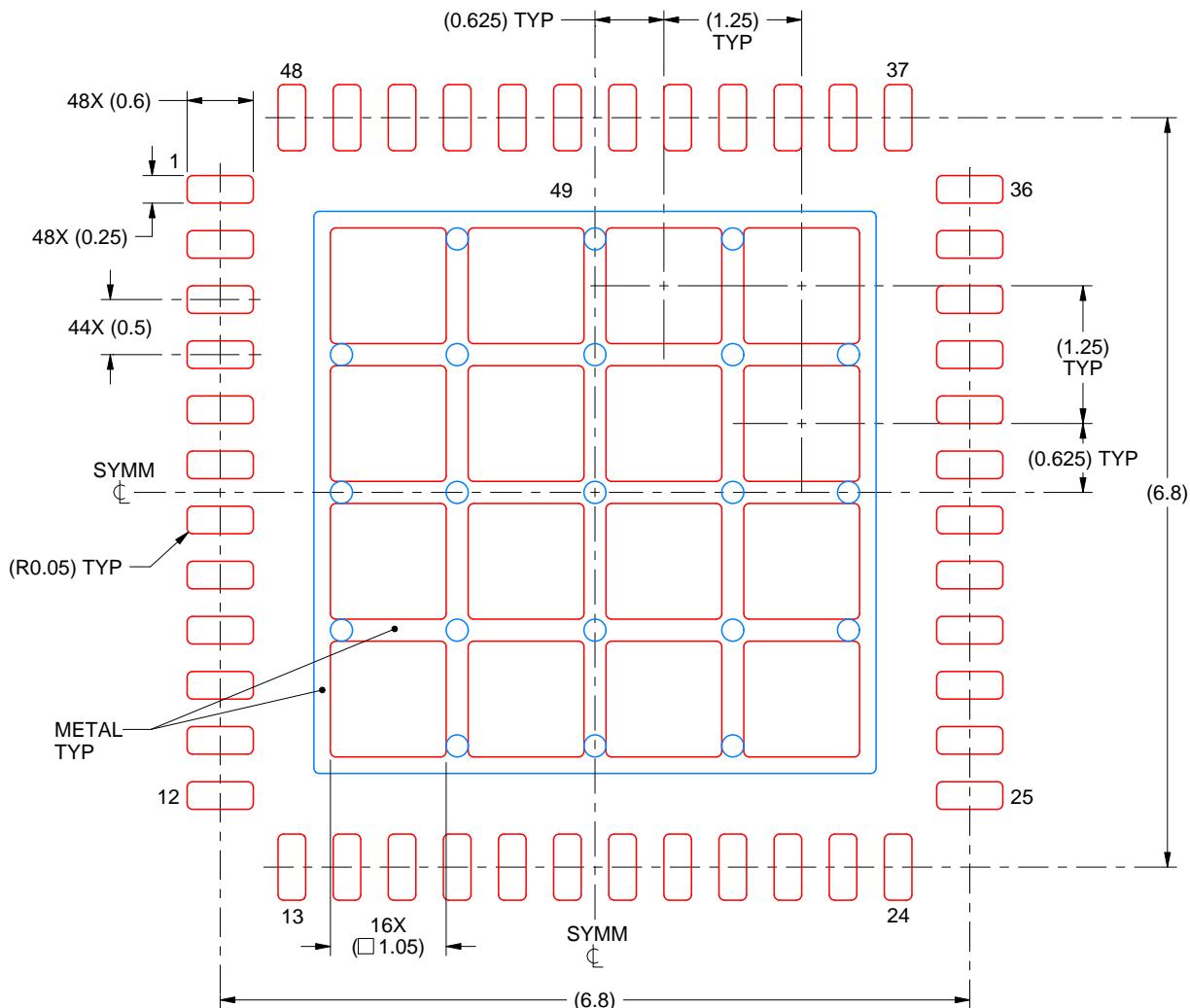
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHS0048A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
68% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:15X

4214990/B 04/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月