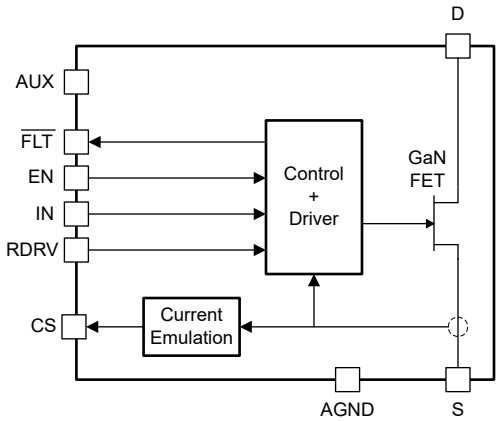
LMG3626 700V、220mΩ GaN FET、ドライバと電流検出エミュレーションを内蔵

1 特長

- 700V、220mΩ、GaN パワー FET
- 伝搬遅延が小さく、ターンオン スルーレート制御を調整可能な内蔵ゲートドライバ
- 広い帯域幅で高精度の電流検出エミュレーション
- サイクル単位の過電流保護
- $\overline{\text{FLT}}$ ピン通知付きの過熱保護
- AUX 静止電流:240μA
- AUX スタンバイ静止電流:50μA
- 電源および入力ロジック ピン最大電圧:26V
- サーマル パッド付き 8mm × 5.3mm QFN パッケージ

2 アプリケーション

- AC/DC アダプタおよびチャージャ
- モバイル向け充電器の設計
- USB 電源コンセント
- 補助電源
- テレビ向け SMPS 電源
- LED の電源



概略ブロック図

3 説明

LMG3626 は、スイッチ モード電源アプリケーション向けの 700V 220mΩ GaN パワー FET です。LMG3626 は、8mm × 5.3mm の QFN パッケージに GaN FET とゲートドライバを内蔵することで、設計の簡素化と部品点数の削減を実現しています。

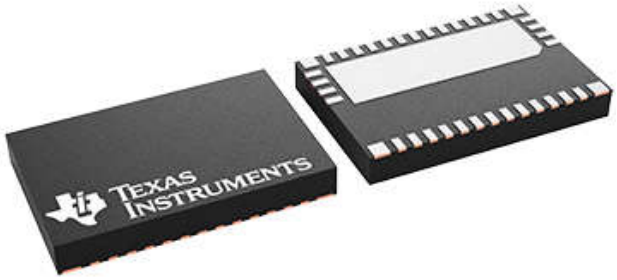
プログラマブルなターンオン スルーレートにより、EMI とリンギングを制御できます。電流検出エミュレーション機能により、従来の電流検出抵抗方式よりも消費電力を低減でき、またローサイドのサーマル パッドを冷却用 PCB 電源グランドに接続できます。

LMG3626 は、小さい静止電流と高速な起動時間によって、コンバータの軽負荷効率要件とバースト モード動作に対応しています。保護機能として、低電圧誤動作防止 (UVLO)、サイクル単位の電流制限 、過熱保護が搭載されています。過熱保護は、オープン ドレインの $\overline{\text{FLT}}$ ピンで通知されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMG3626	REQ (VQFN、38)	8mm × 5.3mm

(1) 詳細については、未定、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージサイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



38 ピン VQFN

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 ピン構成および機能.... 3
5 仕様.... 5
5.1 絶対最大定格.... 5
5.2 ESD 定格.... 5
5.3 推奨動作条件.... 6
5.4 熱に関する情報.... 6
5.5 電気的特性.... 7
5.6 スイッチング特性.... 9
5.7 代表的特性.... 10
6 パラメータ測定情報.... 11
6.1 GaN パワー FET のスイッチング パラメータ.... 11
7 詳細説明.... 13
7.1 概要.... 13
7.2 機能ブロック図.... 14
7.3 機能説明.... 15
7.4 デバイスの機能モード.... 19
8 アプリケーションと実装.... 20
8.1 アプリケーション情報.... 20
8.2 代表的なアプリケーション.... 21
8.3 電源に関する推奨事項.... 23
8.4 レイアウト.... 24
9 デバイスおよびドキュメントのサポート.... 27
9.1 ドキュメントのサポート.... 27
9.2 ドキュメントの更新通知を受け取る方法.... 27
9.3 サポート・リソース.... 27
9.4 商標.... 27
9.5 静電気放電に関する注意事項.... 27
9.6 用語集.... 27
10 改訂履歴.... 27
11 メカニカル、パッケージ、および注文情報.... 28

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

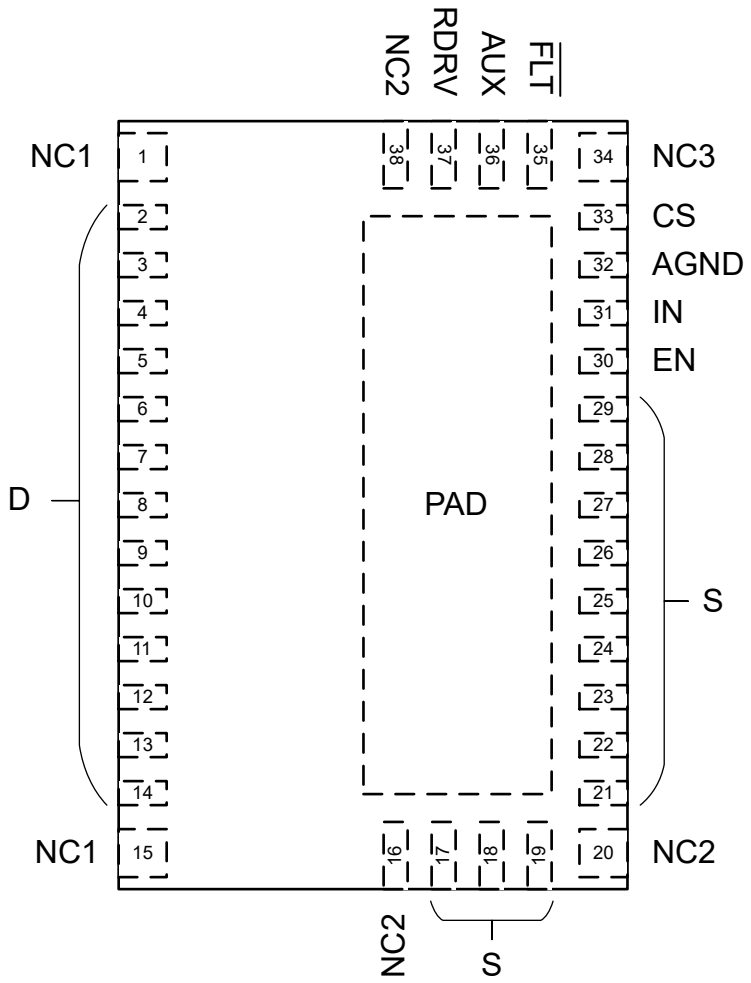


図 4-1. REQ パッケージ、38 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		種類[1]	説明
名称	番号		
NC1	1、15	NC	QFN パッケージを PCB にアンカーするために使用します。ピンは、PCB ランディング・パッドに半田付けする必要があります。PCB のランド・パッドは半田なしのマスク定義のパッドであり、PCB 上の他の金属に物理的に接続することはできません。D に内部接続されています。
D	2-14	P	GaN FET のドレイン。NC1 に内部接続されています。
NC2	16、20、38	NC	QFN パッケージを PCB にアンカーするために使用します。ピンは、PCB ランディング・パッドに半田付けする必要があります。PCB のランド・パッドは半田なしのマスク定義のパッドであり、PCB 上の他の金属に物理的に接続することはできません。AGND、S、PAD に内部接続されています。
S	17-19、21-29	P	GaN FET ソース。AGND、PAD、NC2 に内部接続されています。
EN	30	I	イネーブル。アクティブ モードとスタンバ イモードを切り替えるために使用します。スタンバイ モードは、静止電流を減少して、コンバータの軽負荷効率目標をサポートします。EN から AUX への順方向ベースの ESD ダイオードがあるため、EN が AUX よりも高く駆動される状態が防止されます。
IN	31	I	ゲートドライブ制御入力。IN から AUX への順方向ベースの ESD ダイオードがあるため、IN が AUX よりも高く駆動される状態が防止されます。
AGND	32	GND	アナログ グランド。S、PAD、NC2 に内部接続されています。
CS	33	O	電流検出エミュレーションの出力。GaN FET 電流のスケーリングされた複製を出力します。出力電流を抵抗に送り、電流センス電圧信号を生成します。この抵抗は、電源コントローラの IC のローカル グランドを基準にする必要があります。この機能は、FET ソースと直列に使用される外部電流センス抵抗を置き換えます。
NC3	34	NC	QFN パッケージを PCB にアンカーするために使用します。ピンは、PCB ランディング パッドに半田付けする必要があります。PCB のランドディング パッドは半田なしのマスク定義のパッドであり、PCB 上の他の金属に物理的に接続することはできません。ピンは内部接続されていません。
$\overline{\text{FLT}}$	35	O	アクティブ Low フォルト出力。過熱保護中にアサートされるオープン ドレイン出力。
AUX	36	P	補助電圧レール。デバイス電源電圧。AUX と AGND の間にローカル バイパス コンデンサを接続します。
RDRV	37	I	駆動能力制御抵抗。RDRV と AGND の間の抵抗を設定し、GaN FET ターンオン スルーレートをプログラミングします。
PAD	—	—	サーマル パッド。S、AGND、NC2 に内部接続されています。すべての S 電流は PAD (PAD = S) で伝導できます。

(1) I = 入力、O = 出力、I/O = 入力または出力、GND = グランド、P = 電源、NC = 接続なし。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

特に記述のない限り:電圧は AGND を基準にしています[(1)]

			最小値	最大値	単位
V_{DS}	ドレイン ソース間 (D から S) 電圧、FET オフ[(2)]			700	V
$V_{DS(surge)}$	ドレイン ソース間 (D から S) 電圧、FET スイッチング、サージ状態[(3)]			720	V
$V_{DS(tr)(surge)}$	ドレインソース間 (D から S) 過渡リンギング ピーク電圧、FET オフ、サージ状態[(3)]			800	V
	ピン電圧	AUX	-0.3	30	V
		EN、IN、$\overline{FLT}$	-0.3	V_{AUX} + 0.3	V
		CS	-0.3	5.5	V
		RDRV	-0.3	4	V
$I_{D(cnts)}$	ドレイン (D から S) 連続電流、FET オン		-4	内部的に制限	A
$I_{D(pulse)(oc)}$	過電流応答時間中のドレイン (D から S) パルス電流[(4)]			10.7	A
$I_{S(cnts)}$	ソース (S から D) 連続電流、FET オフ			4	A
	正のシンク電流	CS		10	mA
		$\overline{FLT}$ (アサート時)		内部的に制限	mA
T_J	動作時接合部温度		-40	150	℃
T_{stg}	保存温度		-40	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) GaN パワー FET スイッチング機能の詳細については、『GaN パワー FET スイッチング機能』のセクションを参照してください。GaN パワー FET スイッチング機能で t1 < 400ns。
(3) GaN パワー FET スイッチング機能で t1 < 100ns。
(4) 飽和状態になった場合、GaN パワー FET がこの値を自己制限値より低くする可能性があります。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	ピン 1 ～ 15	±1000	V
			ピン 16 ～ 38	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠[(2)]		±500	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

特に記述のない限り、電圧は AGND を基準にしています

			最小値	公称値	最大値	単位
	電源電圧	AUX	10		26	V
	入力電圧	EN、IN	0		V_{AUX}	V
	オープンドレイン出力のプルアップ電圧	$\overline{FLT}$	0		V_{AUX}	V
V_{IH}	High レベル入力電圧	EN、IN	2.5			V
V_{IL}	Low レベル入力電圧				0.6	V
$I_{D(cnts)}$	ドレイン (D から S) 連続電流、FET オン		-3.2		3.2	A
C_{AUX}	外付けバイパスコンデンサから AGND への AUX 容量		0.030			µF
R_{RDRV}	以下のスルーレート設定を構成するための外部スルーレート制御抵抗からの RDRV から AGND への抵抗					
	スルーレート設定 0 (最低速)		90	120	オープン	kΩ
	スルーレート設定 1		42.5	47	51.5	kΩ
	スルーレート設定 2		20	22	24	kΩ
	スルーレート設定 3 (最高速)		0	5.6	11	kΩ

5.4 熱に関する情報

熱評価基準[(1)]		REQ (VQFN) 38 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	27	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.13	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

1) シンボルの定義:I_D = D から S への電流、I_S = S から D への電流、$I_{CS(src)}$ = CS からの電流、 2) 特に記述のない限り、電圧、抵抗、容量は AGND を基準、–40°C ≤ T_J ≤ 125°C、V_{DS} = 520V、10V ≤ V_{AUX} ≤ 26V、V_{EN} = 5V、V_{IN} = 0V、R_{RDRV} = 0Ω、R_{CS} = 100Ω

パラメータ		テスト条件	最小値	標準値	最大値	単位
GaN パワー FET						
$R_{DS(on)}$	ドレイン ソース間 (D から S) オン抵抗	V_{IN} = 5V、I_D = 1.9A、T_J = 25°C		220	308	mΩ
		V_{IN} = 5V、I_D = 1.9A、T_J = 125°C		390		
I_{DSS}	ドレイン (D から S) リーク電流	V_{DS} = 650V、T_J = 25°C		1.3		µA
		V_{DS} = 650V、T_J = 125°C		7		
Q_{OSS}	出力 (D から S) 充電	V_{DS} = 400V		14		nC
C_{OSS}	出力 (D から S) 容量			22.1		pF
E_{OSS}	出力 (D から S) 容量に蓄積されたエネルギー			2		µJ
$C_{OSS,er}$	エネルギー関連の実効出力 (D から S) 容量			24.5		pF
$C_{OSS,tr}$	時間関連の実効出力 (D から S) 容量	V_{DS} = 0V ～ 400V		34.4		pF
Q_{RR}	逆方向回復電荷			0		nC
過電流保護						
$I_{T(OC)}$	過電流フォルト – スレッショルド電流		3.2	3.6	4	A
CS						
	電流センス ゲイン ($I_{CS(src)}$ / I_D)	V_{IN} = 5V、0V ≤ V_{CS} ≤ 2V、0A ≤ I_D < $I_{T(OC)}$		1.633		mA/A
	電流センス入力オフセット電流	V_{IN} = 5V、0V ≤ V_{CS} ≤ 2V、0A ≤ I_D < $I_{T(OC)}$	-30		30	mA
	IN が High のままである間、過電流フォルトが発生した後に初期出力を保持	V_{IN} = 5V、0V ≤ V_{CS} ≤ 2V			7	mA
$I_{CS(src)(OC)(final)}$	IN が High のままである間、過電流フォルトが発生した後に最終出力を保持	V_{IN} = 5V、0V ≤ V_{CS} ≤ 2V	10	12	15.5	mA
	出力クランプ電圧	V_{IN} = 5V、I_D = 3.1A、外部ソースからの 5mA CS シンク		2.55		V
EN、IN						
V_{IT+}	正方向入力スレッショルド電圧		1.7		2.45	V
$V_{IT–}$	負方向入力スレッショルド電圧		0.7		1.3	V
	入力スレッショルド電圧のヒステリシス			1		V
	プルダウン入力抵抗	0V ≤ V_{PIN} ≤ 3V	200	400	600	kΩ
	プルダウン入力電流	10V ≤ V_{PIN} ≤ 26V、V_{AUX} = 26V		10		µA

5.5 電気的特性 (続き)

1) シンボルの定義:I_D = D から S への電流、I_S = S から D への電流、$I_{CS(src)}$ = CS からの電流、 2) 特に記述のない限り、電圧、抵抗、容量は AGND を基準、–40°C ≤ T_J ≤ 125°C、V_{DS} = 520V、10V ≤ V_{AUX} ≤ 26V、V_{EN} = 5V、V_{IN} = 0V、R_{RDRV} = 0Ω、R_{CS} = 100Ω

パラメータ		テスト条件	最小値	標準値	最大値	単位
過熱保護						
	温度フォルト – 正方向スレッショルド温度		145	165		℃
	温度フォルト – 負方向スレッショルド温度			145		℃
	温度フォルト – スレッショルド温度ヒステリシス			20		℃
$\overline{FLT}$						
	Low レベル出力電圧	アサート時の 1mA の $\overline{FLT}$ シンク			200	mV
	オフ状態のシンク電流	$V_{\overline{FLT}}$ = V_{AUX} 、アサート解除時			1	µA
AUX						
$V_{AUX,T+}$ (UVLO)	UVLO – 正方向のスレッショルド電圧		8.9	9.3	9.7	V
	UVLO – 負方向のスレッショルド電圧		8.6	9.0	9.4	V
	UVLO – スレッショルド電圧ヒステリシス			250		mV
	スタンバイ時の静止電流	V_{EN} = 0V		50	80	µA
	静止電流			240	360	µA
	動作電流	V_{IN} = 0V または 5V、V_{DS} = 0V、I_D = 0A、f_{IN} = 500kHz		1.5		mA

Copyright © 2025 Texas Instruments Incorporated

5.6 スイッチング特性

1) シンボルの定義:I_D = D から S への電流、I_S = S から D への電流、$I_{CS(src)}$ = CS からの電流、 2) 特に記述のない限り、電圧、抵抗、容量は AGND を基準、–40°C ≤ T_J ≤ 125°C、V_{DS} = 520V、10V ≤ V_{AUX} ≤ 26V、V_{EN} = 5V、V_{IN} = 0V、R_{RDRV} = 0Ω、R_{CS} = 100Ω

パラメータ		テスト条件	最小値	標準値	最大値	単位
GaN パワー FET						
$t_{d(on)}$ (Idrain)	ドレイン電流のターンオン遅延時間	V_{IN} > $V_{IN,IT+}$ から I_D > 25mA まで、V_{BUS} = 400V、L_{HB} 電流 = 1A、以下のスルーレート設定の場合、『GaN パワー FET のスイッチング パラメータ』を参照				
		スルーレート設定 0 (最低速)		77		ns
		スルーレート設定 1		34		
		スルーレート設定 2		28		
		スルーレート設定 3 (最高速)		23		
$t_{d(on)}$	ターンオン遅延時間	V_{IN} > $V_{IN,IT+}$ から V_{DS} < 320V まで、V_{BUS} = 400V、L_{HB} 電流 = 1A、以下のスルーレート設定の場合、『GaN パワー FET のスイッチング パラメータ』を参照				
		スルーレート設定 0 (最低速)		97		ns
		スルーレート設定 1		44		
		スルーレート設定 2		35		
		スルーレート設定 3 (最高速)		26		
$t_{d(off)}$	ターンオフ遅延時間	V_{IN} < $V_{IN,IT-}$ から V_{DS} > 80V まで、V_{BUS} = 400V、L_{HB} 電流 = 1A、(スルーレート設定に依存しない)、『GaN パワー FET のスイッチング パラメータ』を参照		32		ns
$t_{f(off)}$	ターンオフ立ち下がり時間	V_{DS} > 80V から V_{DS} > 320V まで、V_{BUS} = 400V、L_{HB} 電流 = 1A、(スルーレート設定に依存しない)、『GaN パワー FET のスイッチング パラメータ』を参照		24		ns
	ターンオンのスルーレート	V_{DS} < 250V から V_{DS} < 150V まで、T_J = 25℃、V_{BUS} = 400V、L_{HB} 電流 = 1A、以下のスルーレート設定の場合、『GaN パワー FET のスイッチング パラメータ』を参照				
		スルーレート設定 0 (最低速)		20		V/ns
		スルーレート設定 1		50		
		スルーレート設定 2		75		
		スルーレート設定 3 (最高速)		150		
CS						
t_r	立ち上がり時間	$I_{CS(src)}$ > 0.2 × $I_{CS(src)(final)}$ から $I_{CS(src)}$ > 0.9 × $I_{CS(src)(final)}$ まで、0V ≤ V_{CS} ≤ 2V、1A 負荷イネーブル		35		ns
EN						
	EN ウェークアップ時間	V_{EN} > V_{IT+} から $I_{D(ls)}$ > 10mA まで、V_{INL} = 5V		1.5		µs

5.7 代表的特性

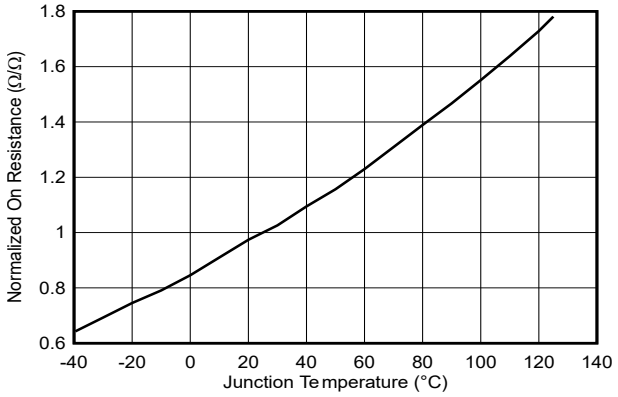


図 5-1. 接合部温度と正規化オン抵抗との関係

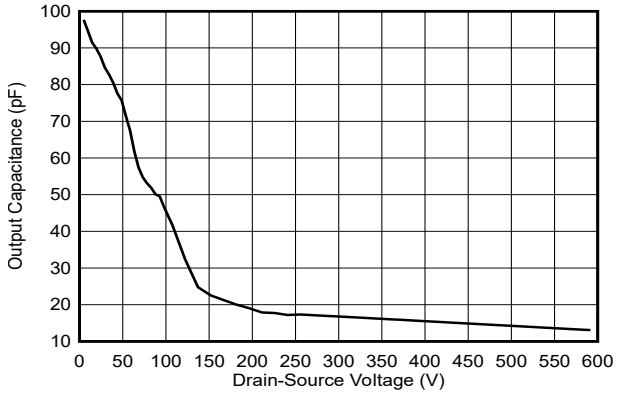


図 5-2. 出力キャパシタンスとドレインソース間電圧との関係

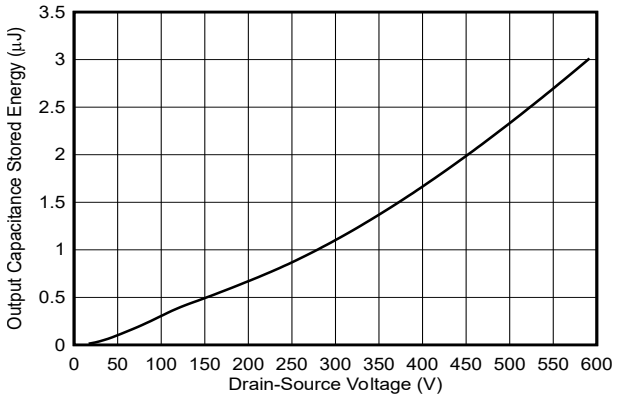


図 5-3. 出力キャパシタンスに蓄積されたエネルギーとドレイン ソース間電圧との関係

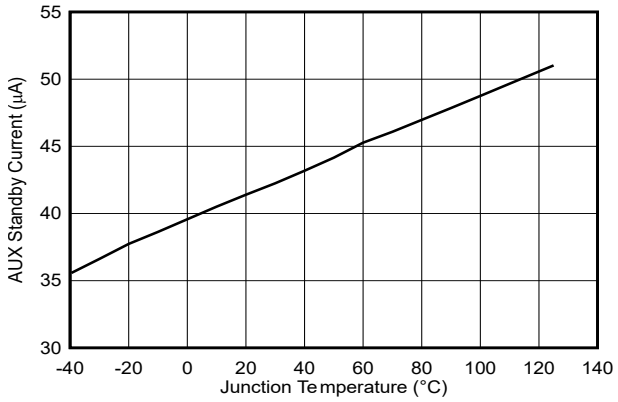


図 5-4. AUX スタンバイ電流と接合部温度との関係

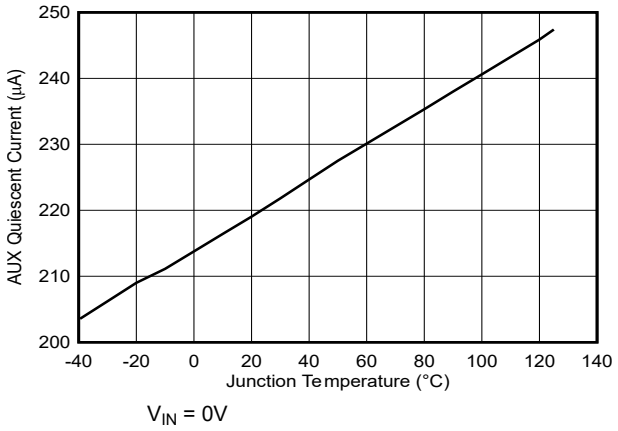


図 5-5. AUX 静止電流と接合部温度との関係

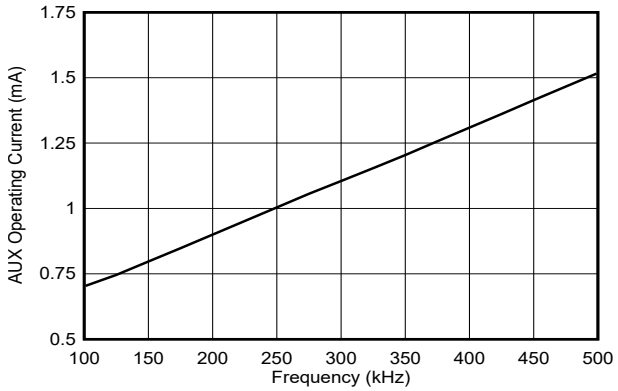


図 5-6. AUX の動作電流と周波数との関係

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

6.1 GaN パワー FET のスイッチング パラメータ

GaN パワー FET のスイッチング パラメータのテスト回路に、GaN パワー FET のスイッチング パラメータの測定に使用する回路を示します。回路はダブル パルス テスタとして動作します。ダブル パルス テスタの詳細については、外部リファレンスを参照してください。回路は、ローサイドをテスト対象デバイス (DUT) とする昇圧構成で動作します。LMG3626 ハイサイドはダブル パルス テスタ ダイオードとして機能し、オフ状態の第 3 象限導通モードでインダクタ電流を循環させます。LMG3626

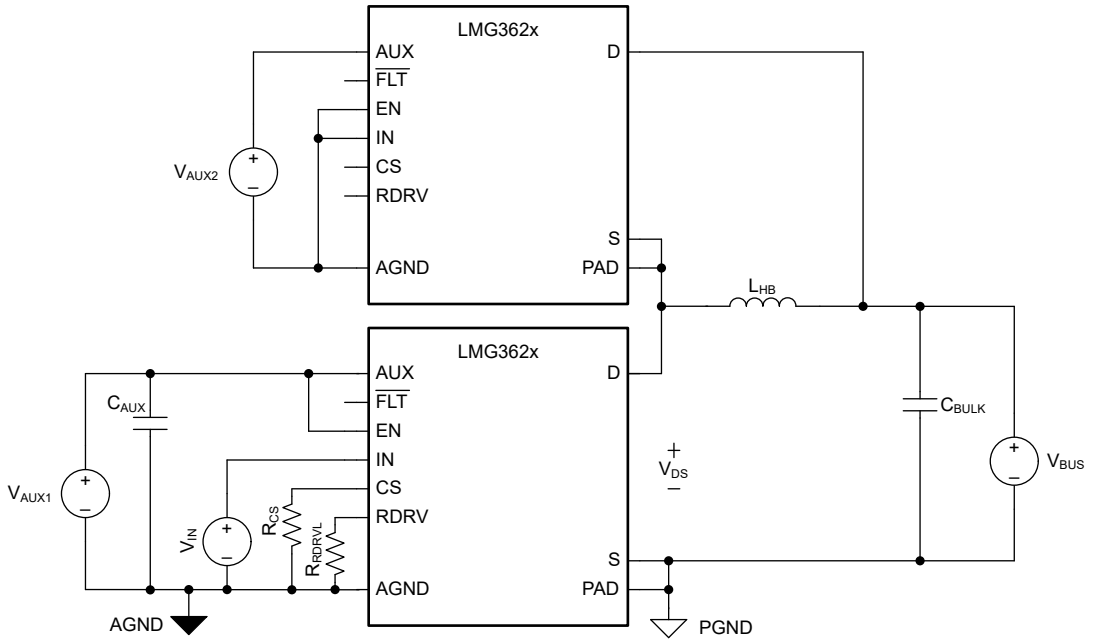


図 6-1. GaN パワー FET のスイッチング パラメータのテスト回路

GaN パワー FET のスイッチング パラメータに、GaN パワー FET のスイッチング パラメータを示します。

GaN パワー FET ターンオン遷移には、ドレイン電流のターンオン遅延時間、ターンオン遅延時間、ターンオン立ち上がり時間の 3 つのタイミング要素があります。ターンオンの立ち上がり時間は、V_{DS} の 80% ~ 20%の立ち下がり時間と同じであることに注意します。3 つのターンオン・タイミング部品はすべて、RDRV ピンの設定に依存します。

GaN パワー FET ターンオフ遷移には、ターンオフ遅延時間と、ターンオフの立ち下がり時間の 2 つのタイミング要素があります。ターンオフの立ち下がり時間は V_{DS} 20% ~ 80%の立ち上がり時間と同じであることに注意します。ターンオフタイミング部品は RDRV ピン設定から独立していますが、L_{HB} 電流に大きく依存します。

ターンオン スルーレートは、ターンオン立ち上がり時間の電圧デルタ (240V) と比較して、より小さい電圧デルタ (100V) にわたって測定され、より高速なスルーレートは、EMI の設計に役立ちます。RDRV ピンを使用して、スルーレートをプログラムします。

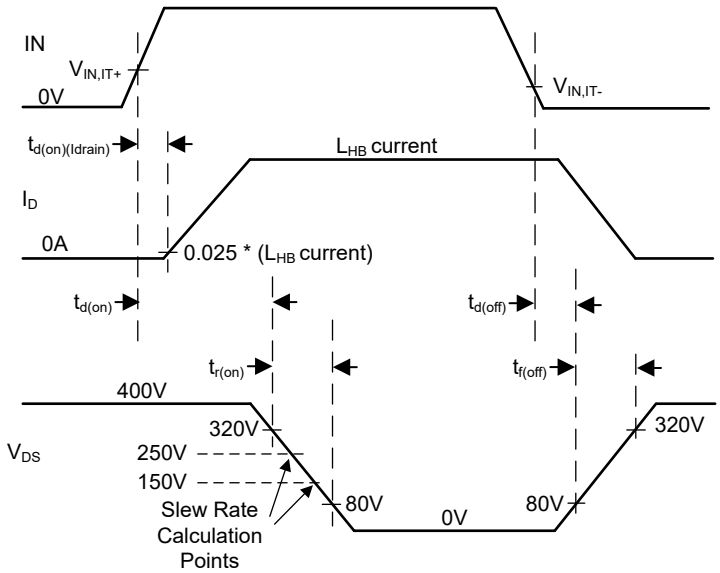


図 6-2. GaN パワー FET のスイッチング パラメータ

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

LMG3626 は、スイッチング パワー コンバータで使用することを目的とした内蔵 700V 220mΩ GaN パワー FET です。LMG3626 は、8mm x 5.3mm の QFN パッケージに、GaN FET、ゲートドライバ、電流検出エミュレーション機能、保護機能が組み合わされています。

700V 定格の GaN FET は、オフライン パワー スイッチング アプリケーションで発生する高電圧に対応します。GaN FET の低出力容量電荷は、パワー コンバータのスイッチングに必要な時間とエネルギーの両方を削減します。これは、小型で高効率のパワー コンバータ設計に必要とされる重要な特性です。

LMG3626 内部ゲートドライバは、駆動電圧を制御して、GaN FET のオン抵抗を最適化します。内部ドライバは総ゲートインダクタンスと GaN FET のコモンモード インダクタンスを低減し、コモンモード過渡耐性 (CMTI) などのスイッチング性能を向上させます。GaN FET のターンオン スルーレートは、4 つのディスクリート設定のいずれかに個別にプログラムできるため、電力損失、スイッチングに起因するリンギング、EMI に関して柔軟な設計が可能です。

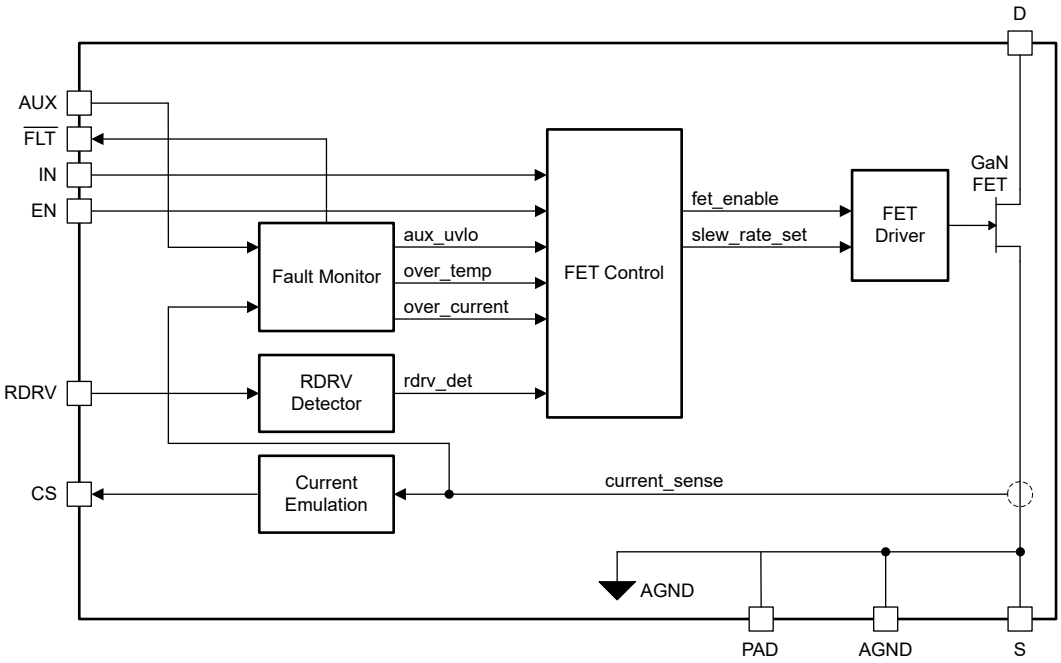
電流検出エミュレーションにより、CS ピンの出力に GaN FET ドレイン電流を複製します。CS ピンは、AGND への抵抗で終端され、外部電源コントローラへの電流センス入力信号を生成します。この CS ピン抵抗は、従来の電流センス抵抗を GaN FET ソースと直列に接続したものに置き換え、消費電力と占有面積を大幅に削減します。さらに、GaN FET ソースと直列に電流センス抵抗を接続していない場合、GaN FET のサーマル パッドを PCB の電源グランドに直接接続できます。このサーマル パッド接続では、システムの熱性能が向上しているほか、サーマル パッドでデバイスの全電流を通すことができるため、デバイス配線の柔軟性がさらに向上します。

AUX 入力電源の電圧範囲は広いため、電源コントローラによって生成される広範囲の電源レールに適合します。AUX の静止電流が小さいため、政府の軽負荷効率要件を満たすうえで不可欠なコンバータ バースト モード動作に対応できます。EN ピンを使用してデバイスをスタンバイ モードにすると、AUX 静止電流をさらに低減できます。

IN および EN 制御ピンは、高入力インピーダンスおよび低入力スレッショルド電圧で、最大入力電圧が AUX 電圧と同じです。このため、このピンは、低電圧と高電圧の両方の入力信号に対応し、低電力出力で駆動できます。

LMG3626 の保護機能として、低電圧誤動作防止 (UVLO)、サイクル単位の電流制限 、過熱保護が搭載されています。過熱保護は、オープン ドレイン $\overline{\text{FLT}}$ 出力で報告されます。

7.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

7.3 機能説明

7.3.1 GaN パワー FET のスイッチング機能

シリコン FET が長きにわたって支配的なパワースイッチ技術であったため、多くの設計者は、ドレインソース間電圧の銘板を、異なる技術のデバイスを比較する際の等価点として使用できないことを知りません。シリコン FET の銘板のドレインソース間電圧は、アバランシェ ブレークダウン電圧によって設定されます。GaN FET の銘板のドレインソース間電圧は、データシートの仕様への長期的な準拠によって設定されます。

シリコン FET の銘板のドレインソース間電圧を超えると、即座に永続的な損傷を引き起こすおそれがあります。一方、GaN FET のブレークダウン電圧は銘板のドレインソース間の見出し電圧よりもはるかに高くなっています。たとえば、LMG3626 GaN パワー FET のブレークダウン ドレイン ソース間電圧は 800V を上回るため、LMG3626 は同じ銘板の定格を持つシリコン FET を超える条件下で動作できます。

『GaN パワー FET のスイッチング機能』を使用して、LMG3626 GaN パワー FET のスイッチング機能を説明します図に、スイッチング アプリケーション内の異なる 4 つのスイッチ サイクルについて、LMG3626 GaN パワー FET のドレインソース間電圧と時間との関係を示します。スイッチング周波数またはデューティ・サイクルに関する請求は行われません。最初の 3 サイクルは通常動作を示し、最後のサイクルはまれな入力電圧サージ時の動作を示しています。LMG3626 GaN パワー FET は、連続導通モード (CCM) のハード スイッチング、ゼロ電圧スイッチング (ZVS)、不連続導通モード (DCM) のスイッチング条件でオンにできます。

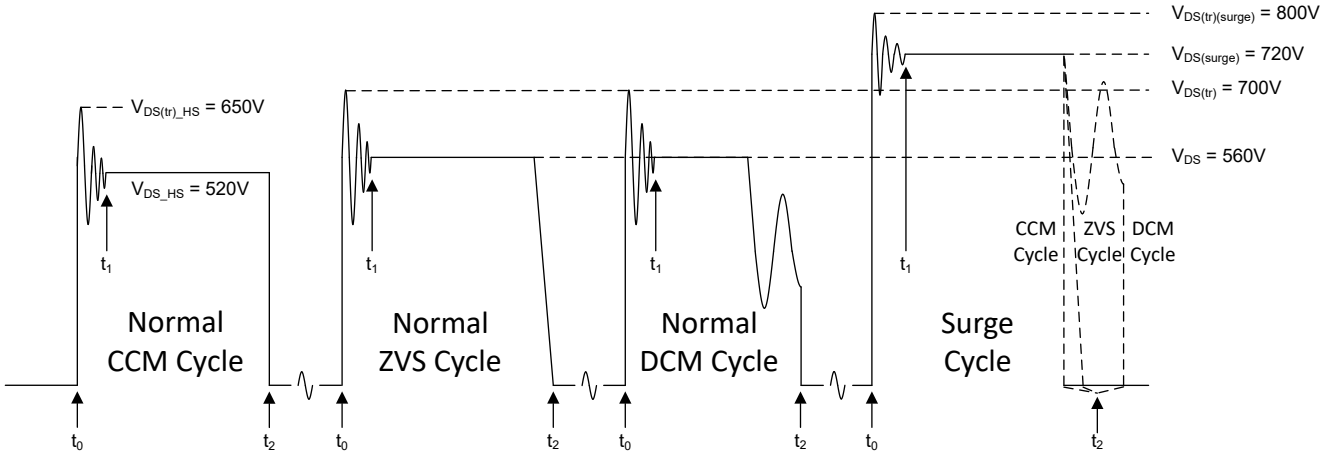


図 7-1. GaN パワー FET のスイッチング機能

各サイクルは t_0 より先に開始し、FET がオン状態になります。t_0 の時点で GaN FET はターンオフし、寄生素子によってドレインソース間電圧に高周波でリンギングが生じます。高周波リンギングは、t_1 だけ減衰しました。t_1 と t_2 の間の FET のドレインソース間電圧は、スイッチングアプリケーションの特性応答によって設定されます。特性はフラットライン (プラトー) として表示されますが、他の応答も可能です。t_2 の時点で、GaN FET がオンになります。通常の CCM 動作では、過渡リング電圧が 650V に制限され、プラトー電圧は 520V に制限されます。通常の ZVS/ DC 動作では、過渡リング電圧は 700V に制限され、プラトー電圧は 560V に制限されます。まれなサージ現象の場合、過渡リング電圧は 800V に制限され、プラトー電圧は 720V に制限されます。

7.3.2 ターンオン スルーレート制御

GaN パワー FET ターンオン スルーレートは、RDRV ピンと AGND ピンの間の抵抗により、4 つのディスクリート設定のいずれかにプログラミングされます。スルーレートの設定は、AUX 電源オン中に AUX 電圧が AUX パワーオン リセット電圧を 1 回上回ると決まります。スルーレート設定の決定時間は指定されていませんが、約 0.4µs です。

スルーレート設定に、4 つのスルーレート設定の推奨プログラミング抵抗値 (標準値)、および各設定でのターンオン スルーレートの標準値が示されています。表に記載されているように、スルーレート設定 0 のプログラムでは開回路接続が許容され、スルーレート設定 3 のプログラムでは短絡接続 (RDRV を AGND に短絡) が許容されます。

表 7-1. スルーレートの設定

ターンオン スルーレートの設定	推奨プログラミング抵抗値 (標準値) (kΩ)	ターンオン スルーレート (標準値) (V/ns)	備考
0 (最低速)	120	20	プログラミング抵抗の開回路接続は許容されます。
1	47	50	
2	22	75	
3 (最高速)	5.6	150	プログラミング抵抗 (RDRV を AGND に短絡) の短絡接続は許容されます。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 電流検出エミュレーション

電流検出エミュレーション機能により、CS ピンの出力にある GaN パワー FET の正のドレイン電流をスケーリングして複製します。電流検出エミュレーションのゲイン G_{CSE} は、ローサイド GaN パワー FET I_D のドレインに 1A が流れるごとの CS ピン I_{CS} からの 1.633mA 出力です。

$$G_{CSE} = I_{CS} / I_D = 1.633mA / 1A = 0.001633 \quad (1)$$

CS ピンは、AGND および R_{CS} への抵抗によって終端され、外部電源コントローラへの電流センス電圧入力信号が生成されます。

R_{CS} は従来の電流センス設計抵抗 $R_{CS(trad)}$ を求め、G_{CSE} の逆数を乗算して決定されます。従来の電流センス設計では、GaN パワー FET のドレイン電流 I_D を $R_{CS(trad)}$ 経由で渡すことで、電流センス電圧 $V_{CS(trad)}$ が生成されます。LMG3626 は、CS ピンの出力電流 I_{CS} を R_{CS} 経由で渡すことで、電流センス電圧 V_{CS} を生成します。電流センス電圧は、どちらの設計でも同じである必要があります。

$$V_{CS} = I_{CS} \times R_{CS} = V_{CS(trad)} = I_D \times R_{CS(trad)} \quad (2)$$

$$R_{CS} = I_D / I_{CS} \times R_{CS(trad)} = 1 / G_{CSE} \times R_{CS(trad)} \quad (3)$$

$$R_{CS} = 612 \times R_{CS(trad)} \quad (4)$$

CS ピンは、内部で標準値 2.55V にクランプされます。このクランプにより、CS ピンの電流センス抵抗が切り離された場合などに、脆弱な電源コントローラの電流センス入力ピンが過電圧から保護されます。

電流検出エミュレーション動作に、電流検出エミュレーション動作を示します。どちらのサイクルでも、GaN FET が有効化されている間の CS ピン電流によって GaN パワー FET のドレイン電流がエミュレートされます。最初のサイクルは、電流センスの入力スレッショルドがトリップされたときに、コントローラが GaN パワー FET をオフにする通常動作を示しています。2 番目のサイクルは、コントローラの電流センス入力スレッショルドがトリップされる前に、LMG3626 の過電流保護が GaN パワー FET をオフにするフォルト状況を示しています。この 2 番目のサイクルでは、LMG3626 は、高速ランプによる人工的な電流検出エミュレーション信号を生成してコントローラの電流センス入力スレッショルドをトリップすることで、コントローラ の IN パルスのハングを回避します。人工信号は、IN ピンがロジック Low になるまで保持されます。このロジック Low は、コントローラがスイッチ動作の制御に復帰することを示します。

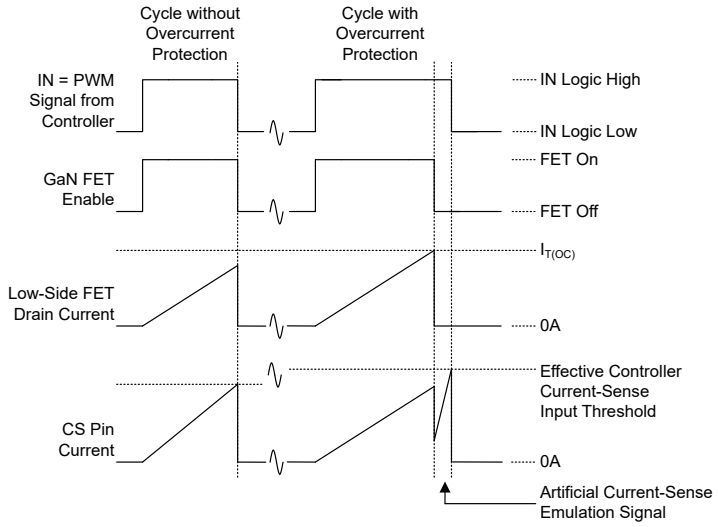


図 7-2. 電流検出エミュレーションの動作

7.3.4 入力制御ピン (EN、IN)

EN ピンを使用して、「*デバイスの機能モード*」セクションで説明されているアクティブ モードとスタンバイ モードを切り替えることができます。

IN ピンを使用して、GaN パワー FET のオン/オフを切り替えます。

入力制御ピンがあり、ノイズ耐性のため、標準値 1V の入力電圧スレッショルド ヒステリシスがあります。400kΩ は、公称入力電圧が 4V を超えると飽和して、最大入力プルダウン電流を標準値 10μA に制限します。

IN ターンオン アクションは、以下の条件によってブロックされます。

- スタンバイ モード (上記の EN ピンで設定される通り)
- AUX UVLO
- 過電流保護
- 過熱保護

スタンバイ モード、AUX UVLO 、過熱保護は、IN ロジック状態とは無関係です。IN 独立ブロッキング状態動作に、IN 独立ブロッキング状態動作を示します。

過電流保護は、IN が GaN パワー FET をオンにした後にのみ動作します。詳細については、「*過熱保護*」セクションを参照してください。

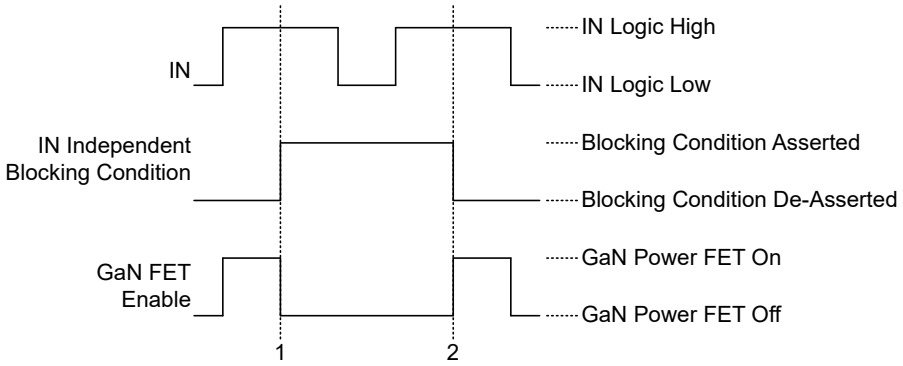


図 7-3. IN 独立ブロッキング状態動作

7.3.5 AUX 電源ピン

AUX ピンは、内部回路の入力電源です。

7.3.5.1 AUX パワーオン リセット

AUX 電圧が AUX パワーオン リセット電圧を下回ると、AUX パワーオン リセットにより、すべてのローサイド機能が無効化されます。AUX パワーオン リセット電圧は指定されていませんが、約 5V です。AUX 電圧が AUX パワーオン リセット電圧を上回ると、AUX パワーオン リセットにより、RDRV ピンにプログラミングされるローサイド スルーレート設定の 1 回限りの判定が初期化されます。AUX 電圧が AUX パワーオン リセット電圧を上回ると、AUX パワーオン リセットにより、過熱保護機能が有効化されます。

7.3.5.2 AUX 低電圧誤動作防止 (UVLO)

AUX 電圧が AUX UVLO 電圧を下回ると、AUX UVLO は GaN パワー FET をオフに保持します。IN 独立ブロッキング状態では、AUX UVLO ホールドオフ (ブロッキング) 動作が示されます。AUX UVLO 電圧 ヒステリシスは、UVLO 電圧トリップ ポイント付近でのオン/オフのチャタリングを防止します。

Copyright © 2025 Texas Instruments Incorporated

7.3.6 過電流保護

LMG3626 は、GaN パワー FET のサイクル単位の過電流保護を実装しています。サイクル単位の過電流保護動作に、サイクル単位の過電流動作を示します。IN ロジック High サイクルのたびに、GaN パワー FET がオンになります。GaN パワー FET のドレイン電流が過電流スレッショルド電流を超えると、過電流保護によって IN ロジック High 期間の残りの部分で GaN パワー FET がオフになります。

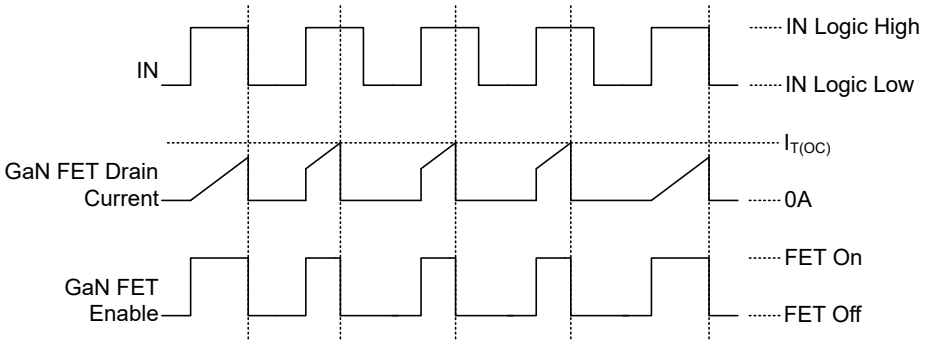


図 7-4. サイクル単位の過電流保護動作

$\overline{FLT}$ ピンでは、過電流保護イベントは通知されません。サイクル単位の過電流保護では、イベントが報告されず、保護によって GaN パワー FET が IN サイクルごとにオンになるため、システムの中断が最小限に抑えられます。

「*電流検出エミュレーション*」セクションに示されているように、ローサイド過電流保護によってローサイド GaN パワー FET がオフになった後に、コントローラがハング状態にならないように、人工的な CS ピン電流が生成されます。

7.3.7 過熱保護

LMG3626 の温度が過熱保護温度を超えると、過熱保護機能によって GaN パワー FET の動作が停止します。IN 独立ブロッキング状態動作に、過熱保護ホールド オフ (ブロッキング) 動作を示します。過熱保護ヒステリシスにより、誤った熱サイクルが防止されます。

過熱保護がアサートされると、$\overline{FLT}$ ピンで過熱フォルトが通知されます。これは、$\overline{FLT}$ ピンで通知される唯一のフォルト イベントです。AUX 電圧が AUX パワーオン リセット電圧を上回ると、過熱保護が有効になります。AUX パワーオン リセット電圧が低いため、アプリケーションの冷却フェーズ中に AUX レールがドループした場合でも、過熱保護が動作し続けることができます。

7.3.8 障害通知

LMG3626 は、過熱フォルトのみを通知します。過熱保護機能がアサートされると、$\overline{FLT}$ ピンで過熱フォルトが通知されます。$\overline{FLT}$ ピンはアクティブ Low のオープン ドレイン出力であり、過熱フォルトが発生するとピンは Low にプルされます。

7.4 デバイスの機能モード

LMG3626 には、EN ピンで制御される 2 つの動作モードがあります。デバイスは、EN がロジック High のときはアクティブ モード、EN ピンがロジック Low のときはスタンバイ モードになります。アクティブ モードでは、パワー FET は IN ピンにより制御されます。スタンバイ モードでは、IN ピンは無視され、GaN パワー FET はオフ状態に保持され、AUX の静止電流は AUX スタンバイ静止電流まで減少します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LMG3626 を使用すると、スイッチ モード電源アプリケーションに、GaN FET 技術を簡単に採用できます。内蔵ゲートドライバ、低 IN 入力スレッショルド電圧、広い補助入力電源電圧により LMG3626 一般的な業界電源コントローラとシームレスに組み合わせられます。電流検出エミュレーション機能により、電力が削減され、熱伝導が改善されます。

LMG3626 を使用するには、プログラミング抵抗を使用して目標のターンオン スルーレートを設定し、電流センス抵抗を計算するだけです。

Copyright © 2025 Texas Instruments Incorporated

8.2 代表的なアプリケーション

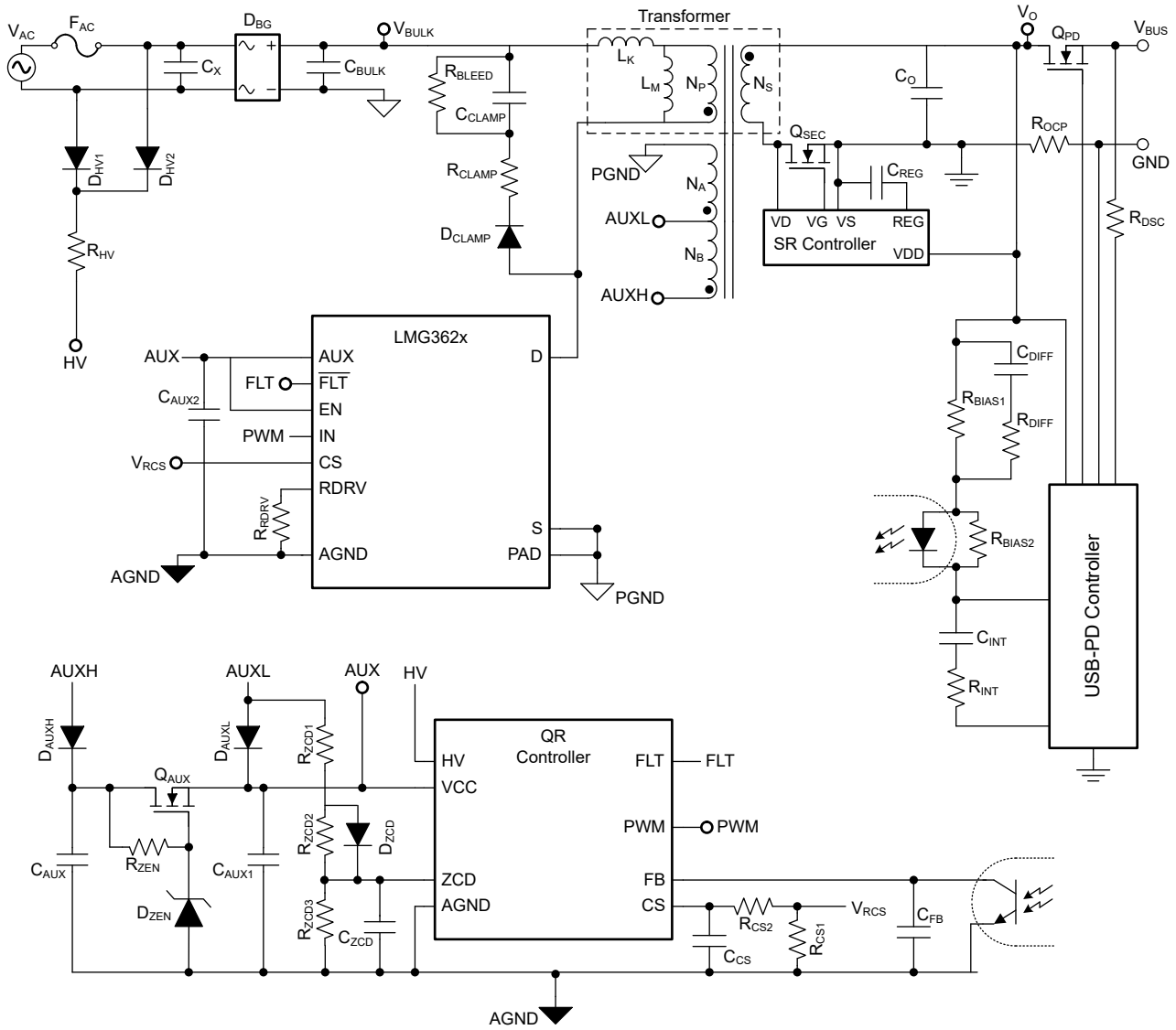


図 8-1. 65W USB PD チャージャ疑似共振フライバック コンバータ アプリケーション

8.2.1 設計要件

表 8-1. 設計仕様

仕様	値
入力 AC 電圧範囲	90VAC～264VAC
ライン周波数範囲	ARM：47Hz ～ 63Hz
出力 DC 電圧設定	5V、9V、15V、20V
20V 出力定格電流	3.25A
5V、9V、15V 定格出力電流	3A
出力負荷なしでの最大 AC 入力電力	70mW
20V 出力および全負荷時の入力 AC 電圧範囲での最小効率	93%

8.2.2 詳細な設計手順

65W USB チャージャ アプリケーションは、『』『』『*LMG3626EVM-074 65W USB-C PD 高密度擬似共振フライバック コンバータの使用*』ユーザー ガイドに記載されている評価基板設計から取得したものです。疑似共振フライバック コンバータの設計全体は、ここには掲載していません。「*LMG362XX 擬似共振電力段設計カリキュレータ*」を使用すると、特定用途向けコンバータ設計を作成できます。この詳細な設計手順では、アプリケーションで LMG3626 を使用する際の詳細を中心に説明します。

8.2.2.1 ターンオン スルーレートの設定

LMG3626 のターンオン スルー レートは、「*ターンオン スルーレート制御*」セクションに説明されているようにプログラムします。設計上の検討事項は、電源の効率と EMI /過渡リンギングとのトレードオフです。ターンオン スルーレートが遅いと、EMI とリンギングの問題が減少しますが、スイッチング損失が増加します (その逆も発生する可能性があります)。

通常の疑似共振フライバック コンバータ動作では、パワー スイッチは動作条件に応じて、ZVS の両方で動作する、また ZVS を使用しないバレー スイッチングを行います。バレー スイッチングは、トランス電流がゼロのときに発生します。したがって、疑似共振コンバータでは、スイッチング クロスオーバー損失は発生しません。唯一のスイッチング損失は、バレー スイッチング中のスイッチ ノードの容量性損失です。したがって、ターンオン スルーレートがコンバータ損失に影響を及ぼすことはありません。これは、最も遅いターンオン スルーレート設定を使用していると考えられます。しかし、ターンオン スルーレート設定は、スイッチのターンオン遅延により、コンバータ損失に 2 次的な影響を及ぼす可能性があります。

疑似共振コントローラでバレー スイッチングをどのように実装されているかに応じて、スイッチのターンオン遅延によってパワー コンバータがバレーの後にスイッチングを行い、容量性スイッチング損失が増加する可能性があります。ターンオン スルーレートが低下するにつれて、スイッチのターンオン遅延が長くなるため、ターンオン スルーレートを遅くすると、電源損失が増加する可能性があります。疑似共振コントローラがスイッチのターンオン遅延を補償する場合、最も低速なターンオン スルーレート設定を使用しても、損失は発生しません。それ以外の場合は、スイッチング ノイズの問題とスイッチング損失間で設計の最適化を行う必要があります。

R_{DRV} を「*ターンオン スルーレート制御*」セクションに示されている推奨プログラミング抵抗値 (標準値) に設定して、ターンオン スルーレートをプログラムします。

8.2.2.2 電流センスの設計

電流センス抵抗 R_{CS1} は、「*電流検出エミュレーション*」セクションで説明されているように計算されます。従来の電流センス抵抗の設計計算を最初に実行し、電流検出エミュレーションの逆ゲインを乗算します。$R_{CS(trad)}$ として表される従来の電流センス抵抗の設計での計算は、電流センス抵抗がパワー スイッチと直列に接続されており、パワー スイッチの全電流をセンシングする場合のものです。

$$R_{CS1} = 612 \times R_{CS(trad)} \quad (5)$$

Copyright © 2025 Texas Instruments Incorporated

疑似共振コントローラに応じて、R_{CS2} が存在する場合と存在しない場合があります。R_{CS2} を使用する場合、R_{CS2} の設計計算に注意してください。この値が非常に小さく、R_{CS2} の計算に影響を与えない従来の電流センス抵抗を使用したと仮定する場合があります。R_{CS2} の計算が R_{CS1} の大きな値を確実に考慮するよう注意してください。

8.2.3 アプリケーション曲線

以下の波形は、代表的なスイッチング波形を示しています。青のパターンは LMG3626 ドレイン電圧 (スイッチ ノード電圧)、赤のパターンは CS ピン電流検出エミュレーション電圧です。

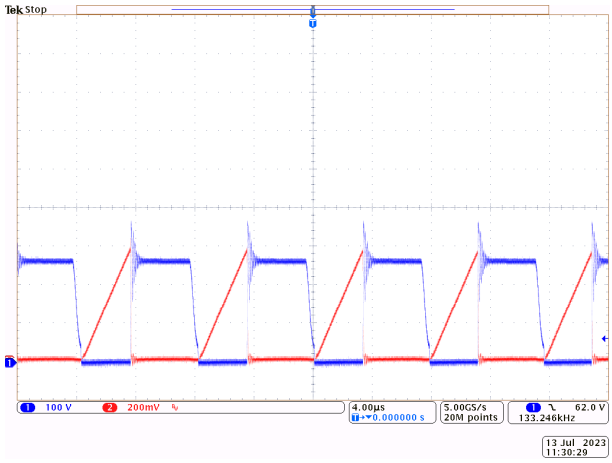


図 8-2. V_{IN} = 115VAC V_{OUT} = 20V I_{OUT} = 3.25A

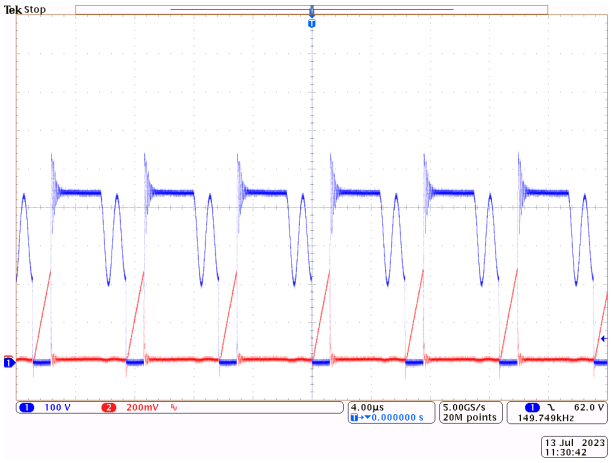


図 8-3. V_{IN} = 230VAC V_{OUT} = 20V I_{OUT} = 3.25A

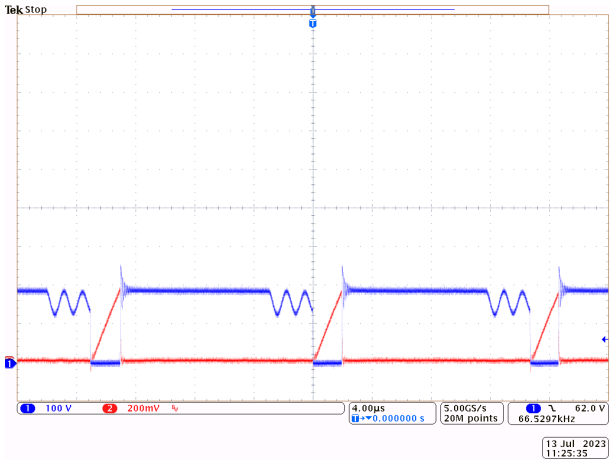


図 8-4. V_{IN} = 115VAC V_{OUT} = 5V I_{OUT} = 3A

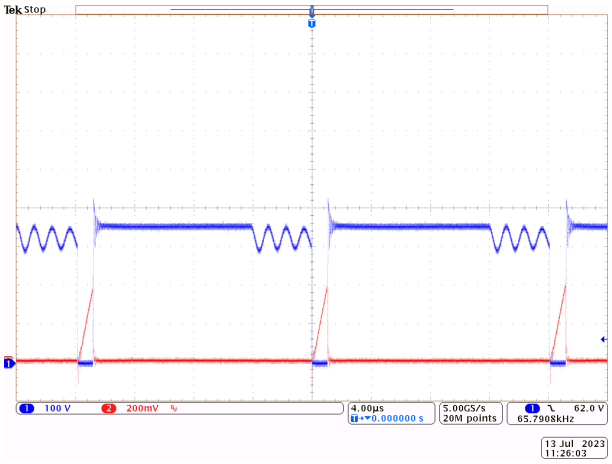


図 8-5. V_{IN} = 230VAC V_{OUT} = 5V I_{OUT} = 3A

8.3 電源に関する推奨事項

LMG3626 は、AUX ピンに接続された単一の入力電源で動作します。LMG3626 は、電源コントローラが管理および使用するのと同じ電源で動作します。10V ～ 26V の広い推奨 AUX 電圧範囲が、一般的なコントローラ電源ピンのターンオンおよび UVLO 電圧制限と重複しています。

AUX 外部容量を、動作条件全体にわたって少なくとも 0.03µF のセラミック コンデンサにすることが推奨されます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

8.4.1.1 半田接合部のストレス リリーフ

大型の QFN パッケージでは、はんだ接合部に高い応力がかかることがあります。半田接合部への応力を軽減するため、複数のベスト プラクティスが推奨されます。まず、「ピンの機能」に説明が記載されている NC1、NC2、NC3 アンカー ピンの指示に従う必要があります。第 2 に、すべての基板ハンダ パッドは、「*メカニカル、パッケージ、および注文情報*」セクションのランド パターン例に示されているように、非はんだマスク定義 (NSMD) の必要があります。最後に、NSMD パッドに接続される基板トレースは、接続されるパッド側でパッド幅の 2/3 未満にする必要があります。このトレースは、ハンダ・マスクで覆われていない間は、この 2/3 幅制限を維持する必要があります。トレースがハンダ・マスク下の場合、トレースの寸法に制限はありません。「*レイアウト例*」セクションは、これらすべての推奨事項に従っています。

8.4.1.2 信号-グランド接続

信号グランドと電源グランドを別々にして、それらを 1 か所にのみ接続する電源を設計します。LMG3626 の AGND ピンを信号グランドに接続します。LMG3626 SL ピンとパッドのサーマル パッドを電源グランドに接続します。AGND ピン、S ピン、PAD サーマル パッドを内部で接続するため、これは信号グランドと電源グランドとの間の単一接続点として機能します。以下で推奨されている場合を除き、信号グランドと電源グランドは、ボードの他の場所には接続しないでください。「*レイアウト例*」セクションに示されているように、LMG3626 が取り付けられていない状態でボード デバッグを実行するには、AGND パッドをパッドのサーマル パッドに接続します。

8.4.1.3 CS ピン信号

式 4 に示されているように、電流センス信号のインピーダンスは、従来の電流センス信号より 3 桁高くなります。このようにインピーダンスが大きいと、電流センス信号のノイズ感受性に影響します。ノイズの多いトレースの近くに電流センス信号を配線することは、最小限に抑えてください。電流センス抵抗とすべてのフィルタリング コンデンサは、トレースの右端に、コントローラの電流センス入力ピンの隣に配置します。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 レイアウト例

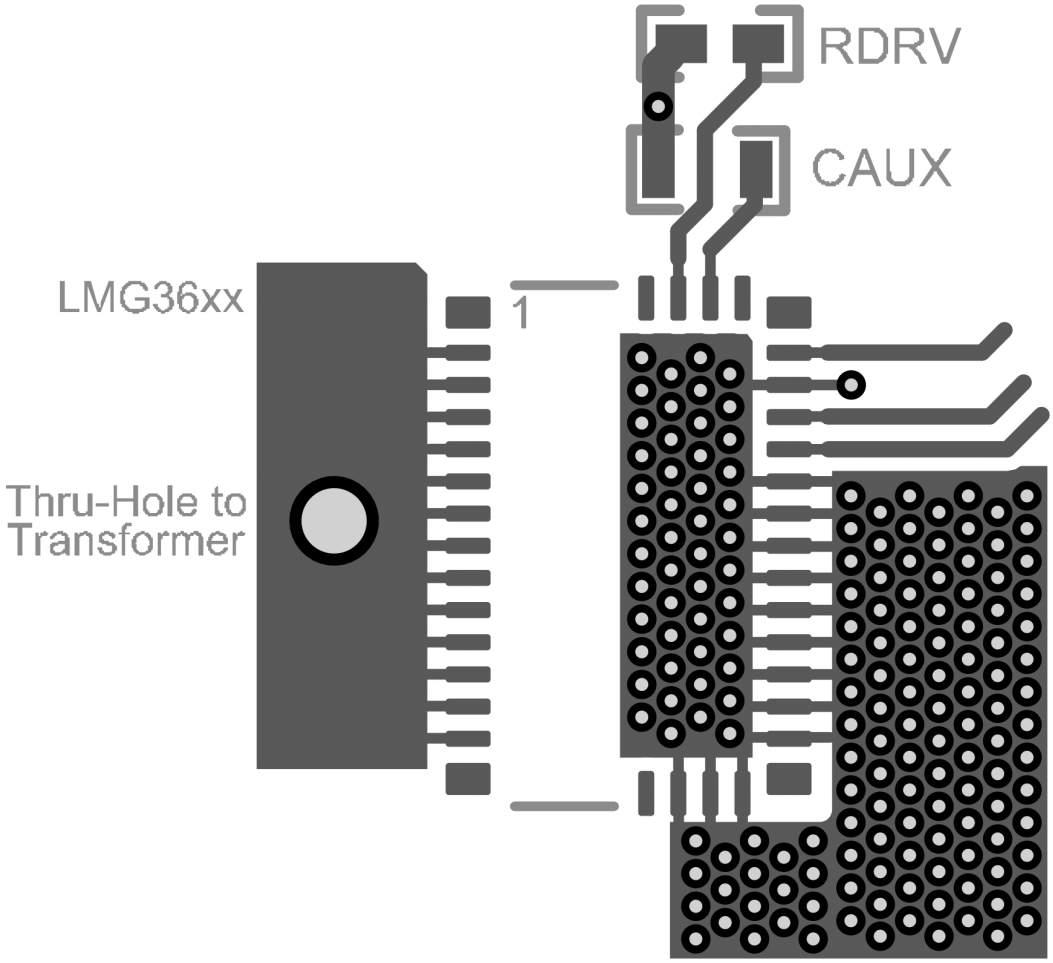


図 8-6. PCB 最上層 (最初のレイヤ)

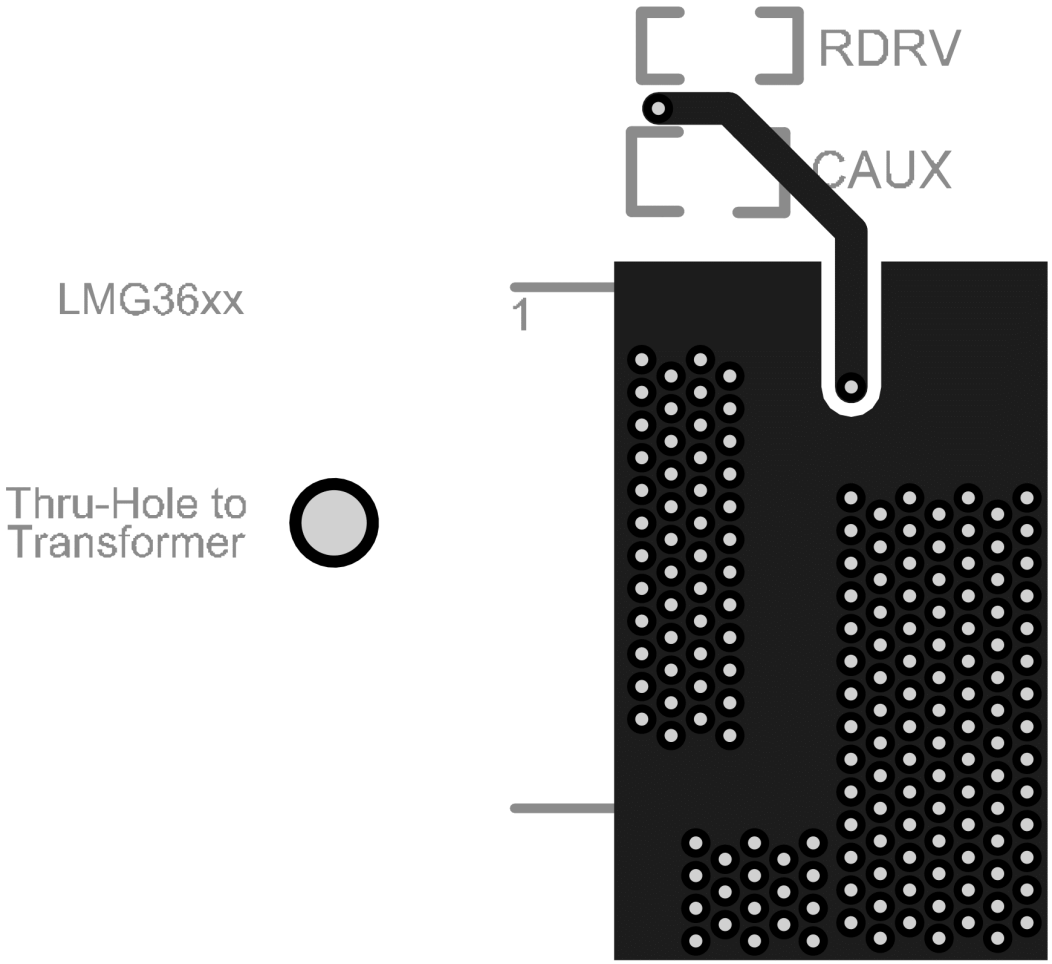


図 8-7. PCB 最下層 (2 番目のレイヤ)

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

*LMG362XX 疑似共振電力段設計カリキュレータ*は、LMG3626 設計用の Excel ベース計算ツールです。

この評価基板のユーザー ガイドは、『』『』『*LMG3626EVM-074 65W USB-C PD 高密度擬似共振フライバック コンバータの使用*』です。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (November 2023) to Revision B (May 2025) **Page**

- 電圧定格を 650V から 700V に、ドレイン ソース間オン抵抗を 270mΩ から 220mΩ に更新 1
- 「*アプリケーション*」セクションのテキストを更新。 1
- 脚注 (2) で電圧定格を更新し、「*絶対最大定格*」セクションに脚注 (3) を追加 5
- 「*電気的特性*」セクションの「*GaN パワー FET*」サブセクションに、25℃ でのドレイン ソース間オン抵抗の最大値を追加し、25℃ と 125℃ でのドレイン ソース間オン抵抗の標準値を更新 5
- 「*電気的特性*」セクションの「*過熱保護*」サブセクションに、温度フォルト – 正方向スレッショルド温度の最小値を追加 ..5
- 「*代表的特性*」セクションに、出力キャパシタンスとドレインソース間電圧との関係のグラフ、および出力キャパシタンスに蓄積されたエネルギーとドレイン ソース間電圧との関係のグラフを追加 10
- 図を更新し、『*GaN パワー FET のスイッチング機能*』セクションのアプリケーションの使用方法を明確化する文を追加 15

• 「*レイアウト例*」セクションの図を更新 25

Changes from Revision * (September 2023) to Revision A (November 2023)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMG3626REQR	Active	Production	VQFN (REQ) | 38	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3626 NNNNC
LMG3626REQR.A	Active	Production	VQFN (REQ) | 38	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3626 NNNNC
LMG3626REQR.B	Active	Production	VQFN (REQ) | 38	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
LMG3626ZREQR	Active	Production	VQFN (REQ) | 38	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3626 NNNNC

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

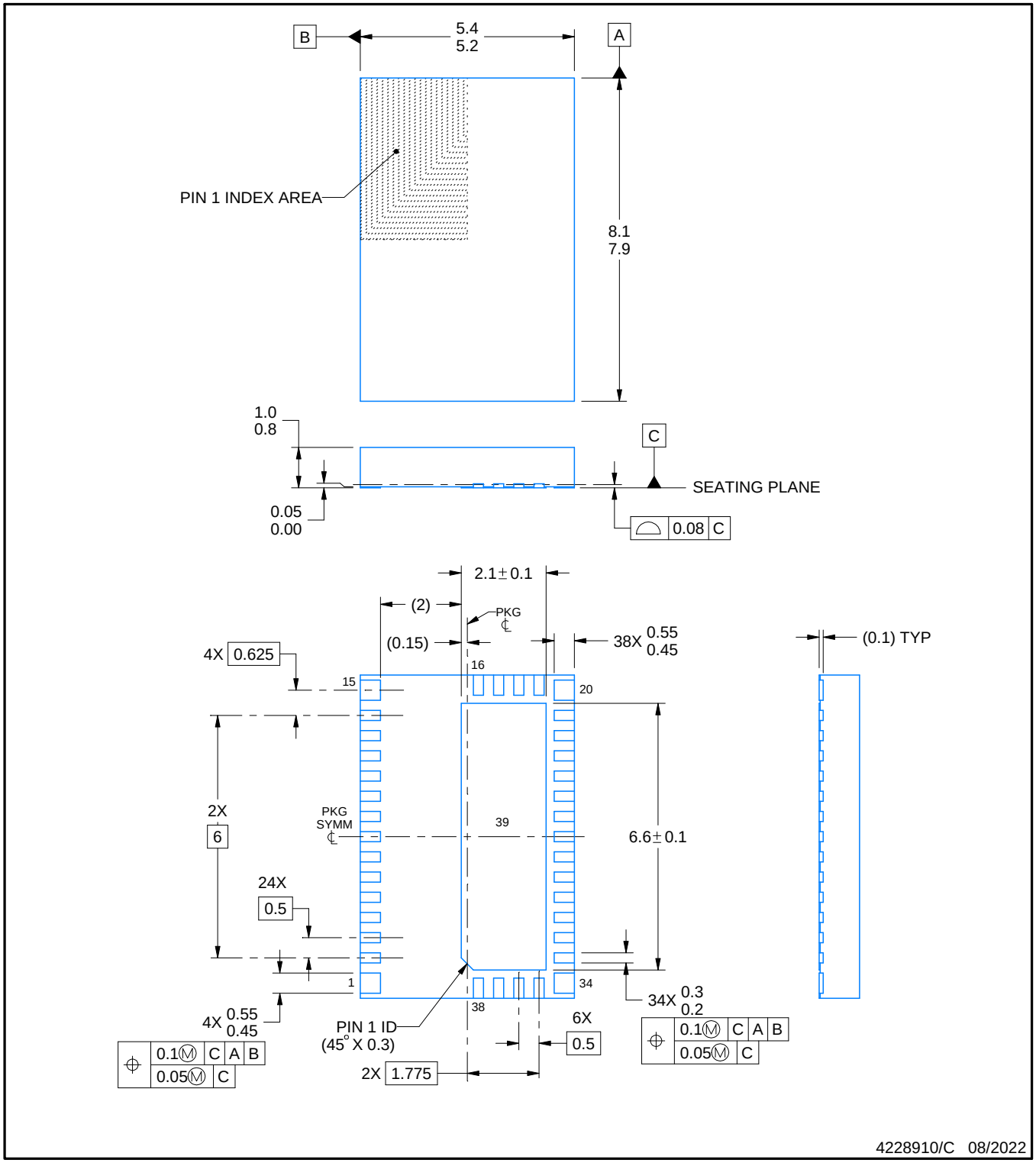
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

REQ0038A

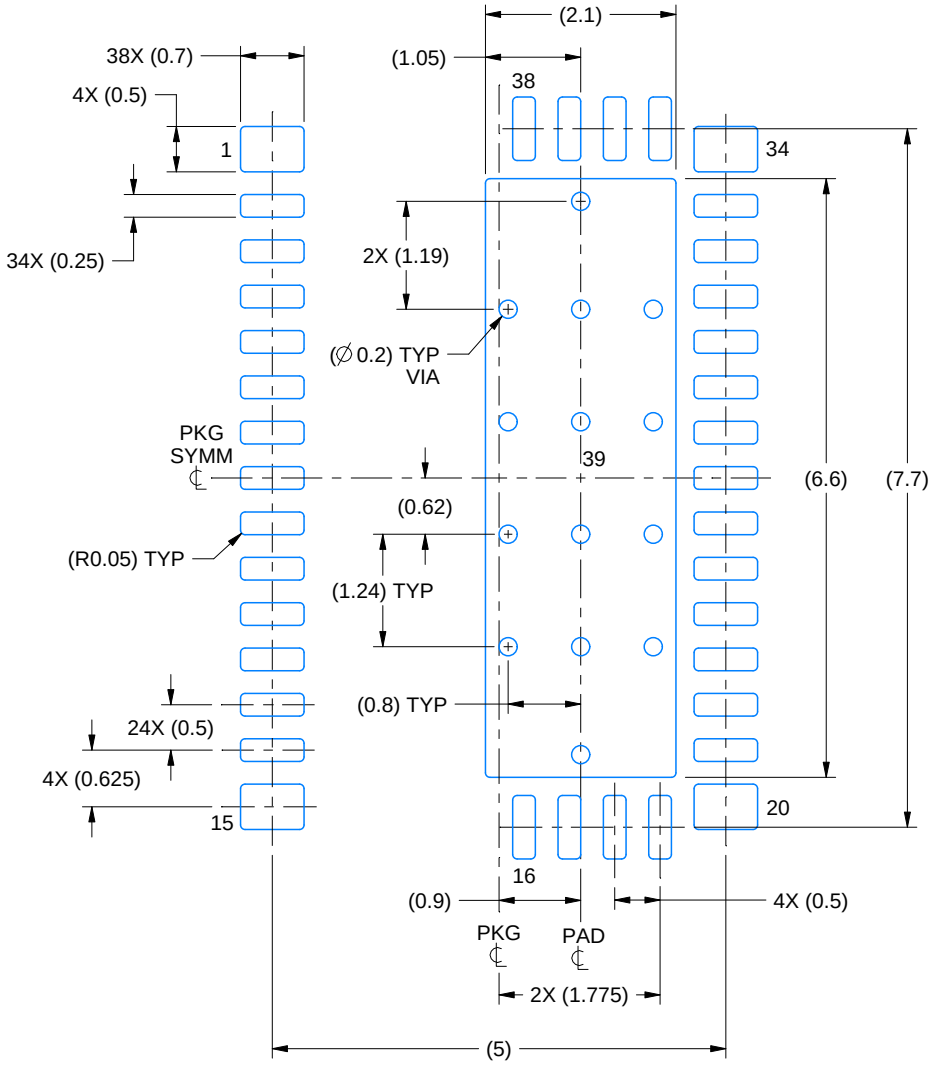
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X

NON SOLDER MASK DEFINED (PREFERRED)

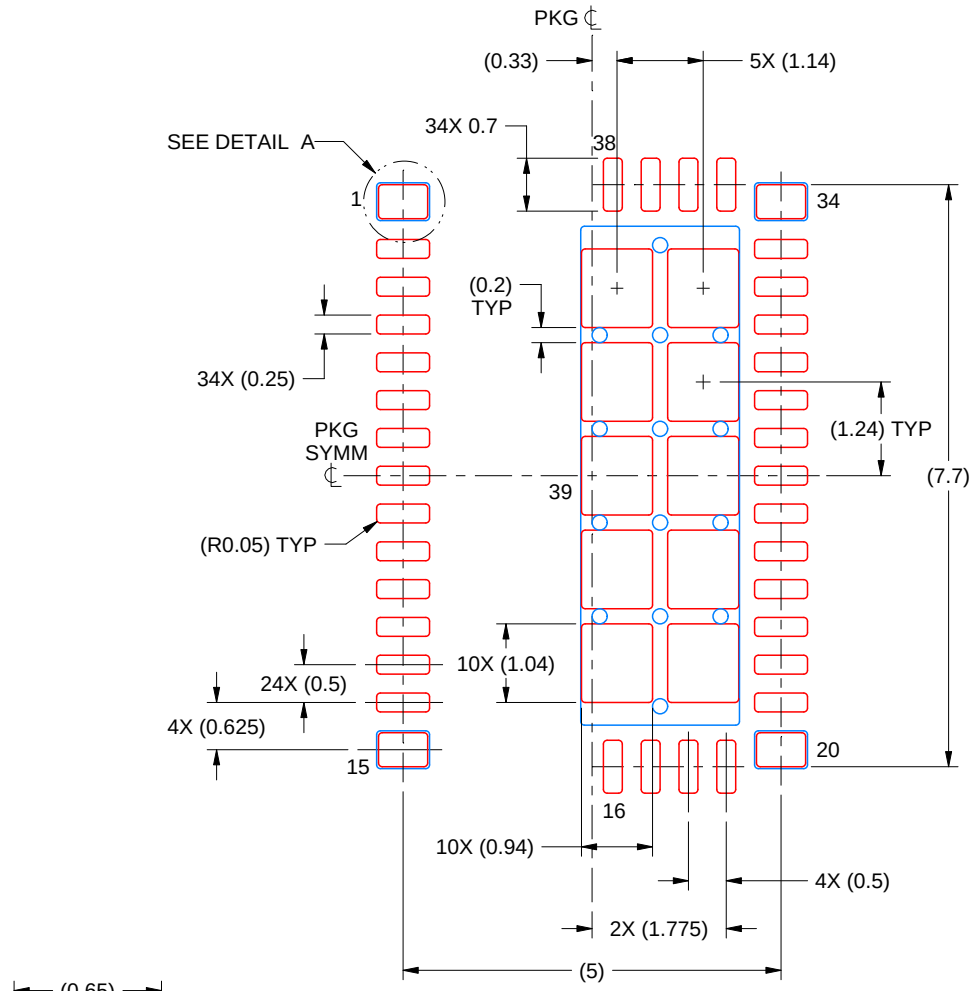
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4228910/C 08/2022

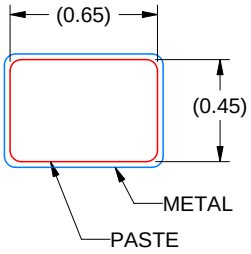
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 39:
71% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:10X



DETAIL A
4X, SCALE: 30X

4228910/C 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated