LMC649x デュアル / クワッド、CMOS、レール ツー レール入出力オペアンプ

1 特長

- レール ツー レールの入力同相電圧範囲 (全温度範囲で規定)
- レール ツー レールの出力スイング (電源レールから 100mV 以内、2kΩ 負荷)
- 標準の 5V および 15V 電源で動作可能
- 優れた CMRR および PSRR：82dB
- 超低入力電流：150fA
- 低い消費電流 (V_S = 5V 時)：500µA/アンプ
- 低いオフセット電圧ドリフト：1.0µV/°C

2 アプリケーション

- 車載トランスデューサ アンプ
- 圧力センサ
- 酸素センサ
- 温度センサ
- 速度センサ

3 概要

LMC6492 および LMC6494 (LMC649x) アンプは、-40℃～125℃で動作する単電源アプリケーションに特化して開発されました。この機能は広い温度範囲に対応できるため、車載用システムに最適です。独自の設計トポロジにより、LMC649x の同相電圧範囲は、レールを超える入力信号に対応できます。これにより、従来制限されてきた同相電圧範囲を超える入力信号による非線形出力誤差を排除できます。LMC649x の信号範囲は CMRR が 82dB と高く、非反転回路構成で非常に優れた精度を実現します。

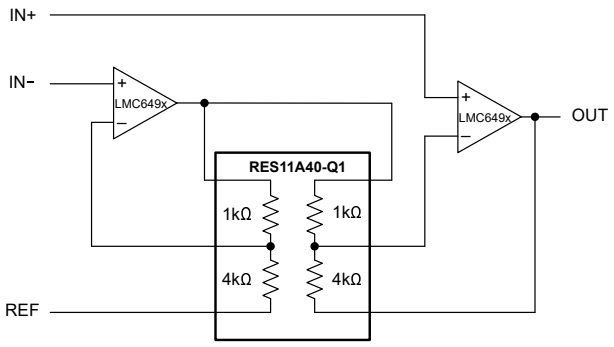
LMC649x のレール ツー レール入力は、レール ツー レールの出力スイングによって補完されます。この構成により、ダイナミック信号範囲が最大になるため、5V システムでは特に重要です。

入力電流が 150fA と非常に低く、開ループ ゲインが 120dB であるため、高精度で高インピーダンスの信号源と直接接続できます。

製品情報

部品番号	チャネル数	パッケージ (1)
LMC6492	デュアル	D (SOIC、8)
LMC6494	クワッド	D (SOIC、14)

(1) 詳細については、セクション 9 を参照してください。



RES11A-Q1 を使用する 2 オペアンプの計装アンプ

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 ピン構成および機能 ... 2
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 推奨動作条件 ... 4
5.4 熱に関する情報 ... 4
5.5 電気的特性 ... 6
5.6 代表的特性 ... 9
6 アプリケーションと実装 ... 15
6.1 アプリケーション情報 ... 15
6.2 代表的なアプリケーション ... 18
6.3 レイアウト ... 20
7 デバイスおよびドキュメントのサポート ... 22
7.1 デバイス サポート ... 22
7.2 ドキュメントの更新通知を受け取る方法 ... 23
7.3 サポート・リソース ... 23
7.4 静電気放電に関する注意事項 ... 23
7.5 用語集 ... 23
8 改訂履歴 ... 23
9 メカニカル、パッケージ、および注文情報 ... 25

4 ピン構成および機能

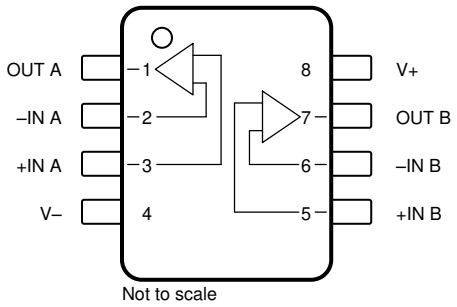


図 4-1. LMC6492：D パッケージ、8 ピン SOIC (上面図)

表 4-1. ピンの機能：LMC6492

ピン		タイプ	説明
番号	名称		
1	OUT A	出力	アンプ A の出力
2	−IN A	入力	アンプ A の反転入力
3	+IN A	入力	アンプ A の非反転入力
4	V-	電源	負電源電圧入力
5	+IN B	入力	アンプ B の非反転入力
6	−IN B	入力	アンプ B の反転入力
7	OUT B	出力	アンプ B の出力
8	V+	電源	正電源電圧入力

Copyright © 2024 Texas Instruments Incorporated

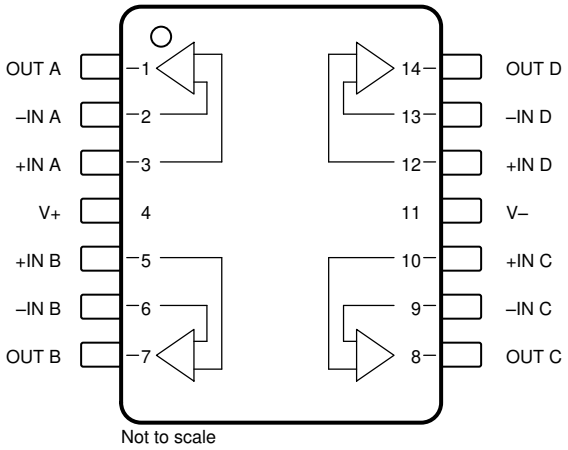


図 4-2. LMC6494：D パッケージ、14 ピン SOIC (上面図)

表 4-2. ピンの機能：LMC6494

ピン		タイプ	説明
番号	名称		
1	OUT A	出力	アンプ A の出力
2	−IN A	入力	アンプ A の反転入力
3	+IN A	入力	アンプ A の非反転入力
4	V+	電源	正電源電圧入力
5	+IN B	入力	アンプ B の非反転入力
6	−IN B	入力	アンプ B の反転入力
7	OUT B	出力	アンプ B の出力
8	OUT C	出力	アンプ C の出力
9	−IN C	入力	アンプ C の反転入力
10	+IN C	入力	アンプ C の非反転入力
11	V-	電源	負電源電圧入力
12	+IN C	入力	アンプ D の反転入力
13	+IN C	入力	アンプ D の非反転入力
14	OUT C	出力	アンプ D の出力

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1) (2)

		最小値	最大値	単位
	差動入力電圧		±電源電圧	
	入力 / 出力ピンの電圧	(V-) - 0.3	(V+) + 0.3	V
V_S	電源電圧、V_S = (V+) - (V-)		16	V
	入力ピンの電流	-5	5	mA
	出力ピンの電流 (3)	-30	30	mA
	電源ピンの電流		40	mA
	リード温度 (半田付け、10 秒)		260	℃
T_{STG}	保管温度	-65	150	℃
T_J	接合部温度 (4)		150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) 防衛または航空宇宙仕様のデバイスをお求めの場合は、供給状況および仕様についてテキサス・インスツルメンツの営業所または販売代理店にお問い合わせください。

(3) 単一電源または分割電源での動作に対応高い周囲温度で連続的に短絡動作させると、150℃の最大許容接合部温度を超える可能性があります。長時間にわたって ±30mA を超える出力電流は、信頼性に悪影響を及ぼす可能性があります。

(4) 最大消費電力は、$T_{J(max)}$、$R_{\theta JA}$、T_A の関数です。最大許容消費電力と周囲温度との関係式は、$P_D = (T_{J(max)} - T_A) / \theta_{JA}$ です。すべての数値は、プリント基板 (PCB) に直接半田付けするパッケージに適用されます。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	電源電圧、V_S = (V+) - (V-)	2.5		15.5	V
T_J	接合部温度	-40		125	℃

5.4 熱に関する情報

熱評価基準(1)		LMC6492 D (SOIC) 8 ピン	LMC6494 D (SOIC) 14 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	128.9	83.0	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	68.6	42.7	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	72.4	42.4	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	19.7	7.0	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	71.6	42.0	℃/W

Copyright © 2024 Texas Instruments Incorporated

熱評価基準(1)		LMC6492 D (SOIC) 8 ピン	LMC6494 D (SOIC) 14 ピン	単位
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

T_J = +25℃、V+ = 5V、V– = 0V、V_{CM} = V_{OUT} = V+/2、R_L > 1MΩ (特に記述のない限り)

パラメータ		テスト条件		最小値	代表値	最大値	単位
DC 仕様							
V_{OS}	入力オフセット電圧	LMC649xAE			±0.11	±3	mV
			T_A = –40℃～+125℃			±3.8	
		LMC649xBE			±0.11	±6	
			T_A = -40℃～+125℃			±6.8	
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = -40℃～+125℃			±1		µV/℃
I_B	入力バイアス電流				±0.15		pA
		T_A = -40℃～+125℃				±200	
I_{OS}	入力オフセット電流				±0.075		pA
		T_A = -40℃～+125℃				±100	
C_{IN}	同相入力キャパシタンス				3		pF
R_{IN}	入力抵抗				>10		TΩ
CMRR	同相除去比	LMC649xAE 0V ≦ V_{CM} ≦ 15V、V+ = 15V		65	82		dB
			T_A = -40℃～+125℃	60			
		LMC649xBE 0V ≦ V_{CM} ≦ 15V、V+ = 15V		63	82		
			T_A = -40℃～+125℃	58			
		LMC649xAE 0V ≦ V_{CM} ≦ 5V、V+ = 5V		65	82		
			T_A = -40℃～+125℃	60			
		LMC649xBE 0V ≦ V_{CM} ≦ 5V、V+ = 5V		63	82		
			T_A = -40℃～+125℃	58			
+PSRR	正の電源電圧変動除去比	LMC649xAE 5V ≦ V+ ≦ 15V、V– = 0V、 V_O = 2.5V		65	82		dB
			T_A = -40℃～+125℃	60			
		LMC649xBE 5V ≦ V+ ≦ 15V、V– = 0V、 V_O = 2.5V		63	82		
			T_A = -40℃～+125℃	58			
-PSRR	負の電源電圧変動除去比	LMC649xAE -5V ≦ V– ≦ -15V、V+ = 0V、 V_O = -2.5V		65	82		dB
			T_A = -40℃～+125℃	60			
		LMC649xBE -5V ≦ V– ≦ -15V、V+ = 0V、 V_O = -2.5V		63	82		
			T_A = -40℃～+125℃	58			
V_{CM}	入力同相電圧	V+ = 5V および 15V (CMRR ≧ 50dB の場合)	Low		(V-) - 0.3	-0.25	V
			Low、T_A = -40℃～+125℃			0	
			High	(V+) + 0.25	(V+) + 0.3		
			High、T_A = -40℃～+125℃	V+			
A_V	大信号電圧ゲイン	ソース、R_L = 2kΩ を 7.5V に接続、V+ = 15V、7.5V ≦ V_O ≦ 11.5V			300		V/mV
		シンク、R_L = 2kΩ を 7.5V に接続、V+ = 15V、3.5V ≦ V_O ≦ 7.5V			40		

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = +25℃、V+ = 5V、V– = 0V、V_{CM} = V_{OUT} = V+/2、R_L > 1MΩ (特に記述のない限り)

パラメータ		テスト条件		最小値	代表値	最大値	単位
V_O	電圧出力スイング	V+ = 5V、R_L = 2kΩ を V+/2 に接続	スイング High	4.8	4.9		V
			スイング High、T_A = -40℃～+125℃	4.7			
			スイング Low		0.1	0.18	
			スイング Low、T_A = -40℃～+125℃			0.24	
		V+ = 5V、R_L = 600Ω を V+/2 に接続	スイング High	4.5	4.7		
			スイング High、T_A = -40℃～+125℃	4.24			
			スイング Low		0.3	0.5	
			スイング Low、T_A = -40℃～+125℃			0.65	
		V+ = 15V、R_L = 2kΩ を V+/2 に接続	スイング High	14.4	14.7		
			スイング High、T_A = -40℃～+125℃	14.0			
			スイング Low		0.16	0.35	
			スイング Low、T_A = -40℃～+125℃			0.5	
		V+ = 15V、R_L = 600Ω を V+/2 に接続	スイング High	13.4	14.1		
			スイング High、T_A = -40℃～+125℃	13			
			スイング Low		0.5	1.0	
			スイング Low、T_A = -40℃～+125℃			1.5	
I_{SC}	出力短絡電流	V+ = 5V、ソース、V_O = 0V		16	25		mA
			T_A = -40℃～+125℃	10			
		V+ = 5V、シンク、V_O = 5V		11	22		
			T_A = -40℃～+125℃	8			
		V+ = 15V、ソース、V_O = 0V		28	30		
			T_A = -40℃～+125℃	20			
		V+ = 15V、シンク、V_O = 5V(1)		30	30		
			T_A = -40℃～+125℃	22			
I_S	消費電流	アンプごと、V+ = 5V、V_O = V+/2			0.5	0.875	mA
			T_A = -40℃～+125℃			1.05	
		アンプごと、V+ = 15V、V_O = V+/2			0.65	0.975	
			T_A = -40℃～+125℃			1.15	

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = +25℃、V+ = 5V、V– = 0V、V_{CM} = V_{OUT} = V+/2、R_L > 1MΩ (特に記述のない限り)

パラメータ		テスト条件		最小値	代表値	最大値	単位
AC 仕様							
SR	スルーレート(2)	V+ = 15V、10V ステップで電圧フォロワとして接続		0.7	1.3		V/µs
			T_A = -40℃～+125℃	0.5			
GBW	ゲイン帯域幅	V+ = 15V			1.5		MHz
Θ_m	位相マージン				50		度
G_m	ゲイン マージン				15		dB
	アンプ間のアイソレーション	入力換算 V+ = 15V、R_L= 100kΩ を 7.5V に接続、V_O = 12V_{PP}、f = 1kHz			150		dB
e_n	入力換算電圧ノイズ	f = 1kHz、V_{CM} = 1V			37		nV/√Hz
i_n	入力電流ノイズ密度	f = 1kHz			0.06		pA/√Hz
THD	全高調波歪	f = 1kHz、A_V = -2、R_L = 10kΩ、V_O = -4.1V_{PP}			0.01		%
		f = 10kHz、A_V = -2、R_L = 10kΩ、V_O = 8.5V_{PP}、V+ = 10V			0.01		

(1) V+ が 13V を上回っているときは、出力を V+ に短絡させないでください。さもないと、信頼性が低下します。
(2) 複数のロットにわたるデバイスの母集団ベンチ システムの測定から確立された仕様。指定された数値は、正と負のスルーレートのうち、遅い方を示しています。

Copyright © 2024 Texas Instruments Incorporated

5.6 代表的特性

V_S = +15V、単一電源、T_A = 25℃ (特に記述のない限り)

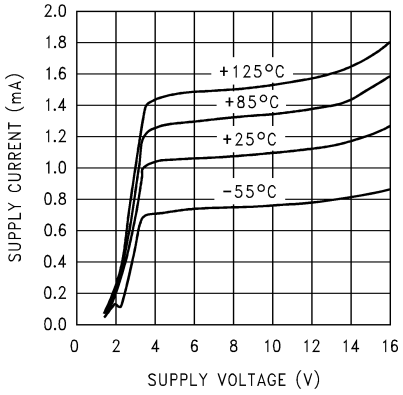


図 5-1. 電源電流と電源電圧との関係

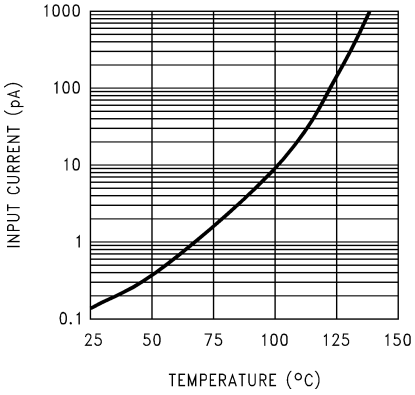


図 5-2. 入力電流と温度との関係

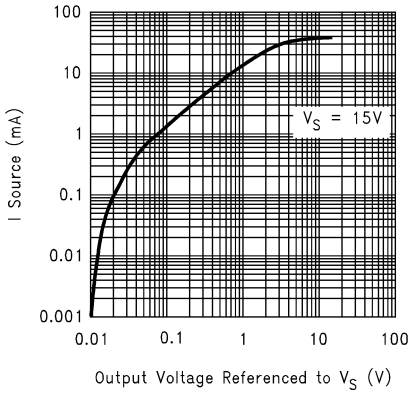


図 5-3. ソース電流と出力電圧との関係

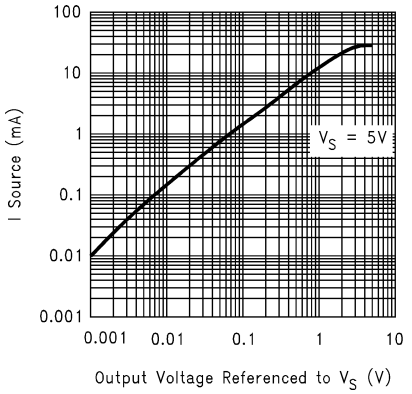


図 5-4. ソース電流と出力電圧との関係

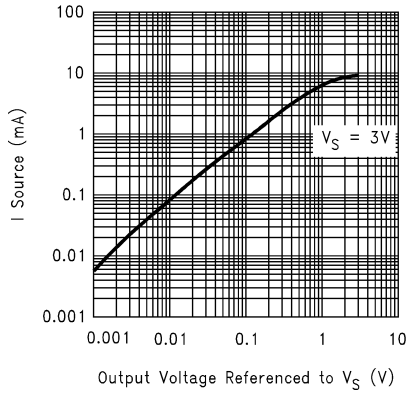


図 5-5. ソース電流と出力電圧との関係

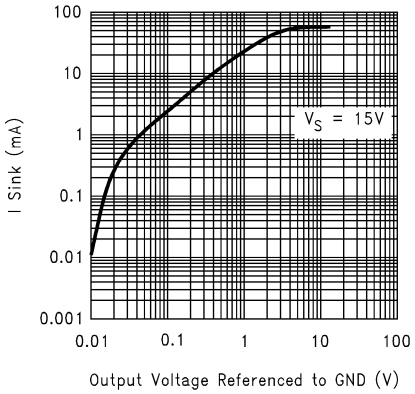


図 5-6. シンク電流と出力電圧との関係

Copyright © 2024 Texas Instruments Incorporated

5.6 代表的特性 (続き)

V_S = +15V、単一電源、T_A = 25℃ (特に記述のない限り)

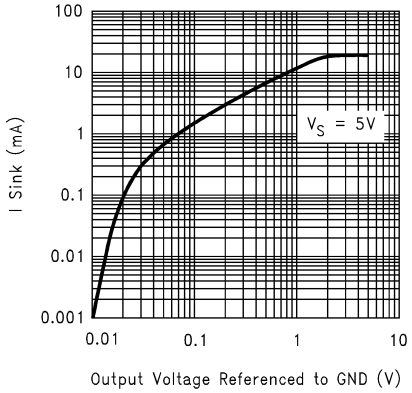


図 5-7. シンク電流と出力電圧との関係

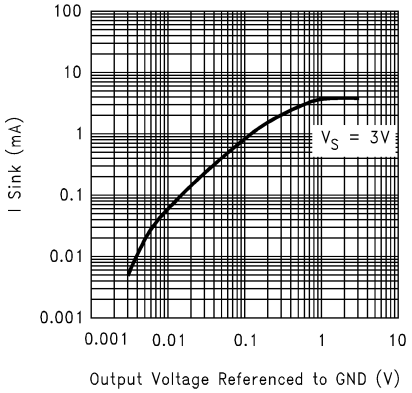


図 5-8. シンク電流と出力電圧との関係

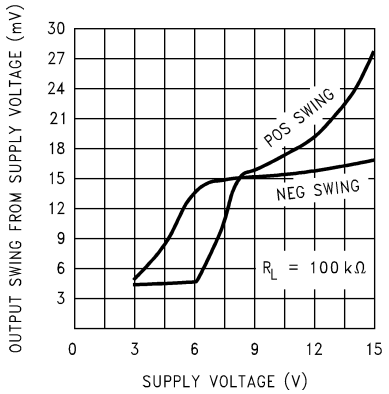


図 5-9. 出力電圧スイングと電源電圧との関係

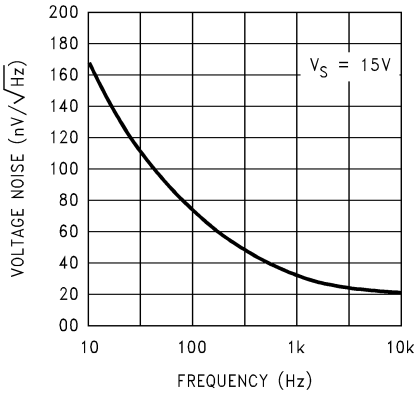


図 5-10. 入力電圧ノイズと周波数との関係

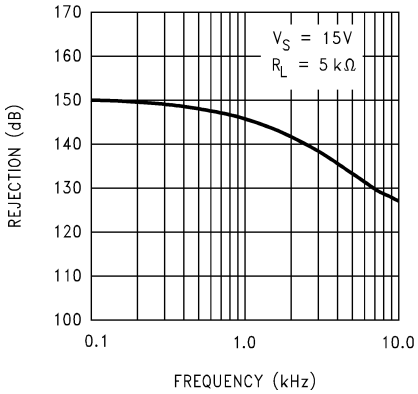


図 5-11. クロストーク除去と周波数との関係

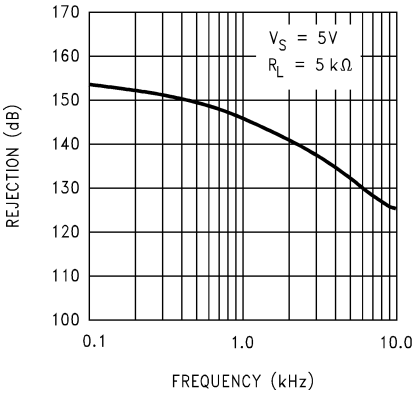


図 5-12. クロストーク除去と周波数との関係

Copyright © 2024 Texas Instruments Incorporated

5.6 代表的特性 (続き)

V_S = +15V、単一電源、T_A = 25℃ (特に記述のない限り)

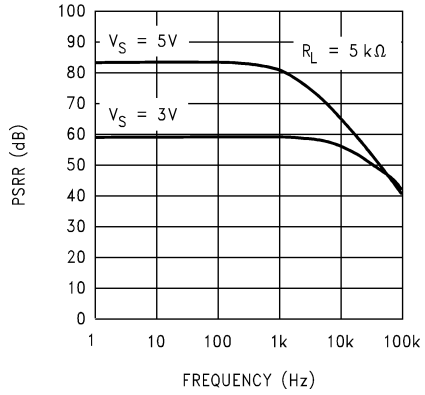


図 5-13. 正の PSRR と周波数との関係

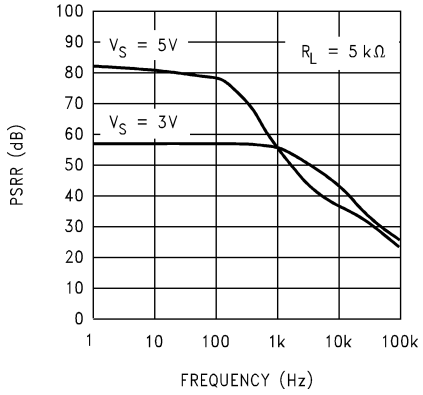


図 5-14. 負の PSRR と周波数との関係

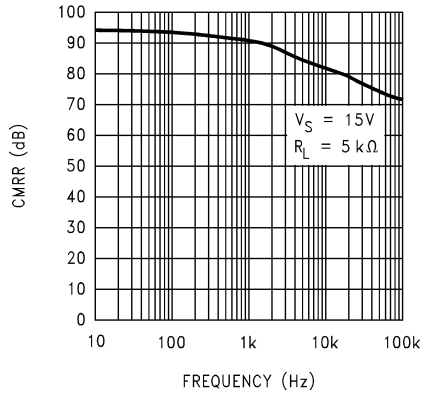


図 5-15. CMRR と周波数との関係

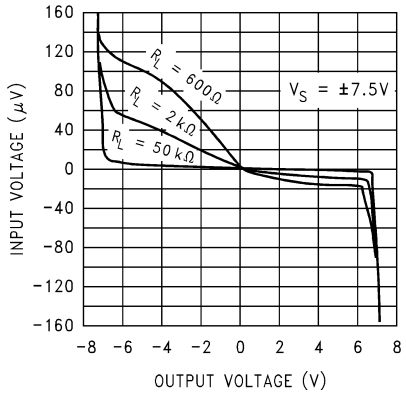


図 5-16. 入力電圧と出力電圧との関係

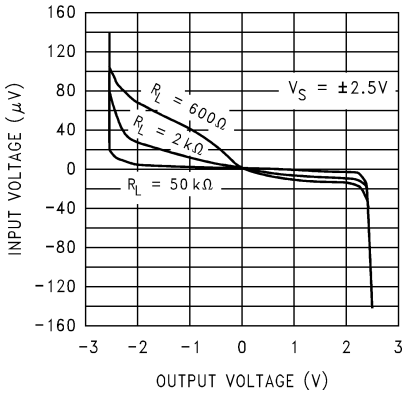


図 5-17. 入力電圧と出力電圧との関係

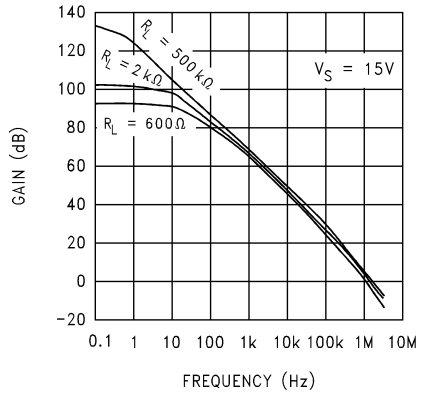


図 5-18. 開ループの周波数応答

5.6 代表的特性 (続き)

V_S = +15V、単一電源、T_A = 25℃ (特に記述のない限り)

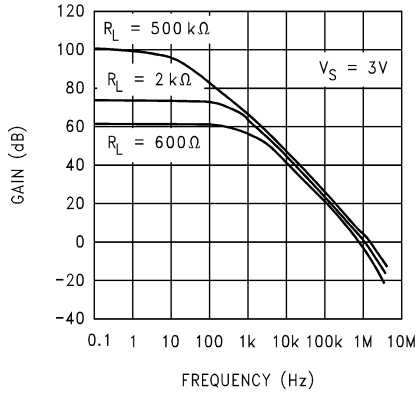


図 5-19. 開ループの周波数応答

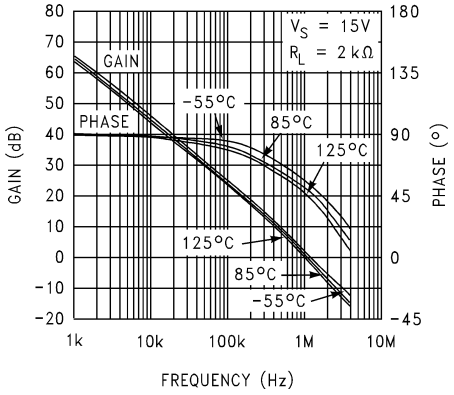


図 5-20. 開ループの周波数応答と温度との関係

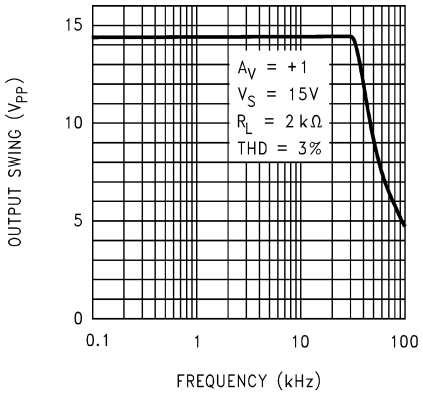


図 5-21. 最大出力スイングと周波数との関係

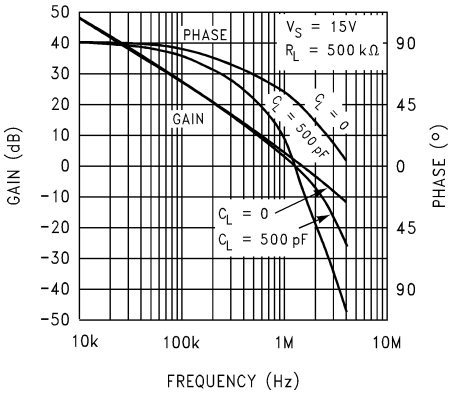


図 5-22. ゲインおよび位相と容量性負荷との関係

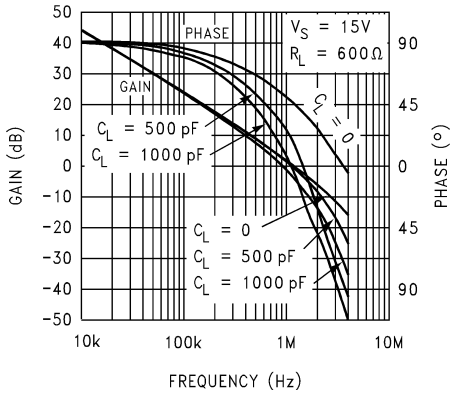


図 5-23. ゲインおよび位相と容量性負荷との関係

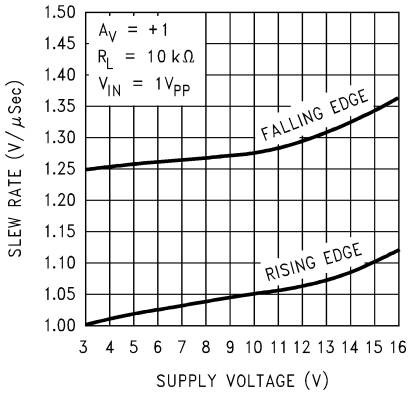


図 5-24. スルーレートと電源電圧との関係

Copyright © 2024 Texas Instruments Incorporated

5.6 代表的特性 (続き)

V_S = +15V、単一電源、T_A = 25℃ (特に記述のない限り)

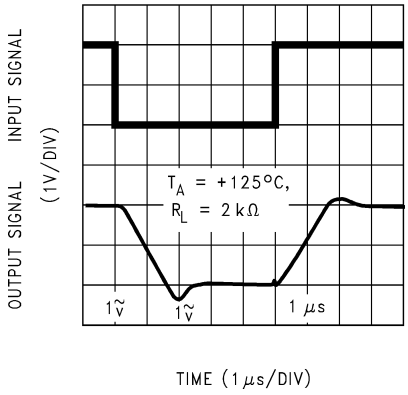


図 5-25. 非反転型の大信号パルス応答

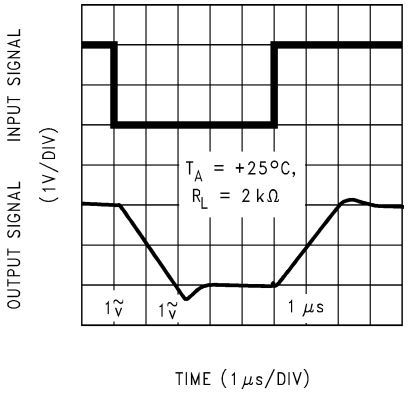


図 5-26. 非反転型の大信号パルス応答

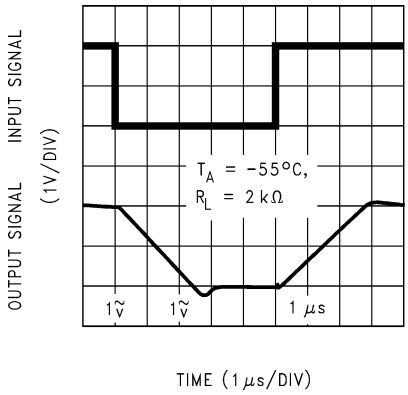


図 5-27. 非反転型の大信号パルス応答

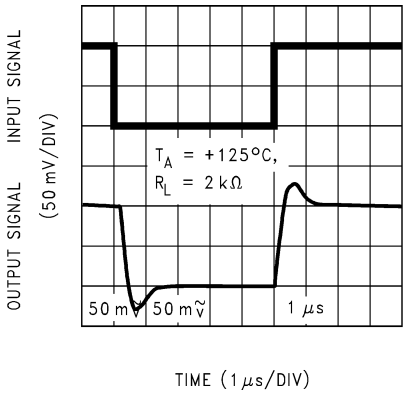


図 5-28. 非反転型の小信号パルス応答

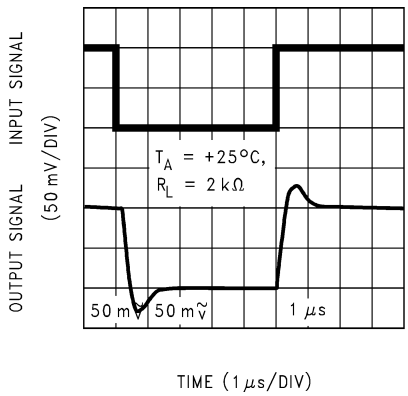


図 5-29. 非反転型の小信号パルス応答

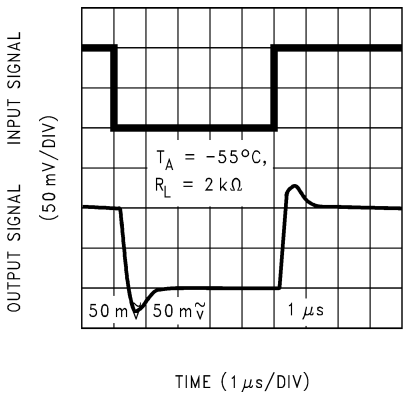


図 5-30. 非反転型の小信号パルス応答

Copyright © 2024 Texas Instruments Incorporated

5.6 代表的特性 (続き)

V_S = +15V、単一電源、T_A = 25℃ (特に記述のない限り)

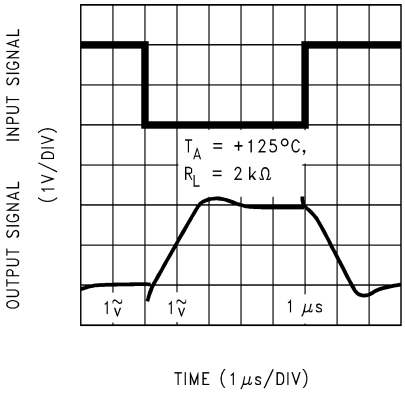


図 5-31. 反転型の大信号パルス応答

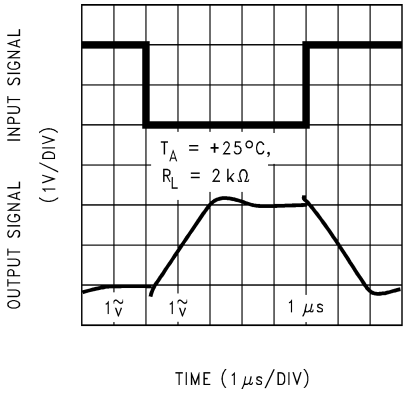


図 5-32. 反転型の大信号パルス応答

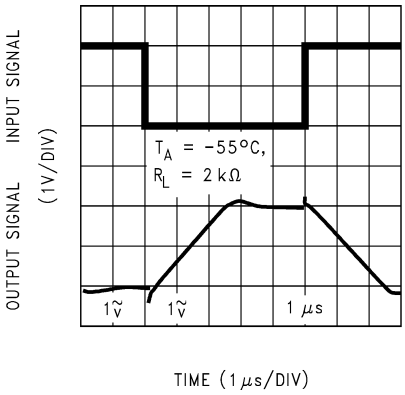


図 5-33. 反転型の大信号パルス応答

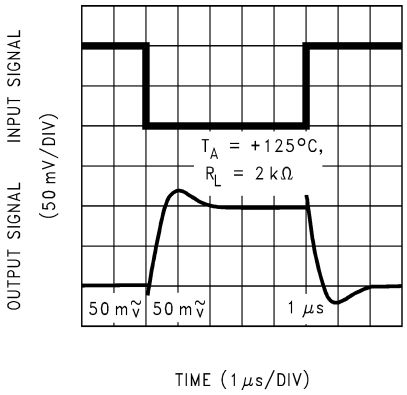


図 5-34. 反転型の小信号パルス応答

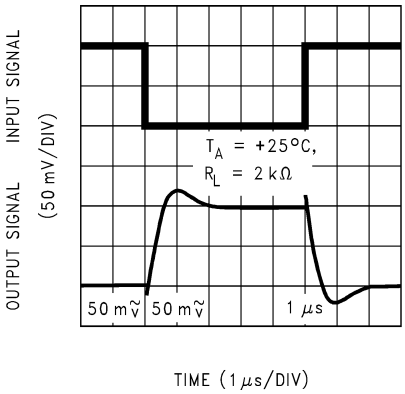


図 5-35. 反転型の小信号パルス応答

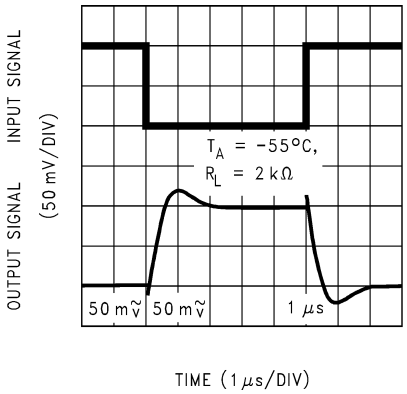


図 5-36. 反転型の小信号パルス応答

Copyright © 2024 Texas Instruments Incorporated

6 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 アプリケーション情報

6.1.1 入力同相電圧範囲

Bi-FET アンプ設計とは異なり、LMC649x は、入力電圧が負電源電圧を超えても位相反転を示しません。図 6-1 は、入力電圧が両電源を超えても、出力に位相反転が発生しないことを示しています。

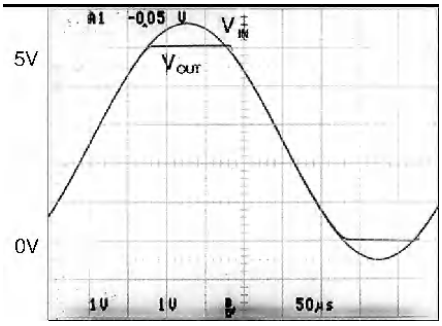


図 6-1. 入力電圧信号が LMC649x の電源電圧を超えても 出力の位相は反転しない。

LMC649x は、入力同相範囲がどちらの電源レールよりも拡張された真のレール ツー レール入力オペアンプです。入力同相電圧が正のレールを約 3V 超えてスイングすると、一部の DC 仕様 (オフセット電圧) がわずかに低下する可能性があります。図 6-2 に、同相範囲全体にわたる入力オフセットの挙動を示します。

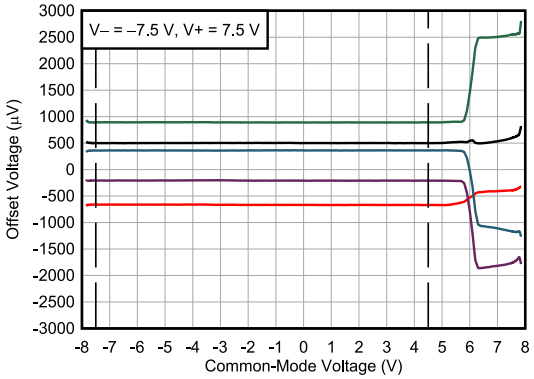


図 6-2. 入力オフセット電圧と同相電圧との関係

室温での絶対最大入力電圧は、どちらかの電源レールを 300mV 超えた値です。図 6-3 に示すように、この絶対最大定格を大幅に超える電圧は、過剰な電流が入力ピンに流入または入力ピンから流出する原因となり、信頼性に影響を及ぼす可能性があります。

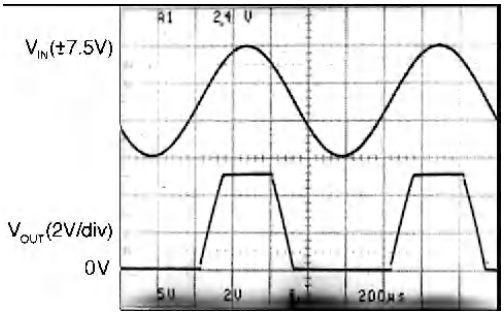


図 6-3. 5V 電源を大幅に超える ±7.5V の入力信号でも、R_I の効果で位相反転は発生しない。

この定格を超えるアプリケーションでは、入力抵抗 (R_I) を使用して、最大入力電流を外部的に ±5mA に制限する必要があります (図 6-4 を参照)。

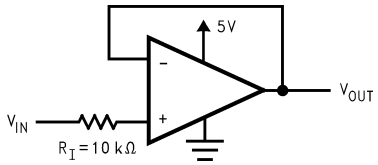


図 6-4. 電源電圧を超える電圧に対する R_I による入力電流保護

6.1.2 レール ツー レール出力

LMC649x の出力は、どちらの電源電圧からも数百 mV までスイングできます。規定された出力振幅仕様を使って、各種ソースおよびシンク条件での出力抵抗のおおよその値を計算できます。出力抵抗の計算値を使って、負荷の関数として最大出力電圧振幅を推定できます。

6.1.3 入力容量の補償

LMC649x など、入力電流が非常に小さいアンプでは、一般に大きな帰還抵抗値が使用されます。

LMC649x は多様な動作条件で非常に安定していますが、大きな値の帰還抵抗を使用する場合、目的のパルス応答を実現するため、一定の注意事項を必ず守るようにしてください。入力容量 (トランスデューサ、フォトダイオード、回路基板の寄生素子による) の値が小さくても、帰還抵抗の値が大きいと、位相マージンが減少します。

高い入力インピーダンスが求められる場合、LMC649x をガードすることを推奨します。入力ラインをガードすることで、リークが減少するだけでなく、浮遊入力容量も減少します。「高インピーダンス回路のためのプリント基板のレイアウト」を参照してください。

入力容量の影響は、以下のように帰還抵抗の近くにコンデンサ C_f を追加することで補償できます (図 6-1 を参照)。

$$\frac{1}{2\pi R_1 C_{IN}} \geq \frac{1}{2\pi R_2 C_f} \quad (1)$$

または

$$R_1 C_{IN} \leq R_2 C_f \quad (2)$$

C_{IN} の正確な値を知ることは困難であるため、目的のパルス応答が得られるように C_f を実験的に調整しても構いません。入力容量の補償の詳細については、LMC660 と LMC662 を参照してください。

Copyright © 2024 Texas Instruments Incorporated

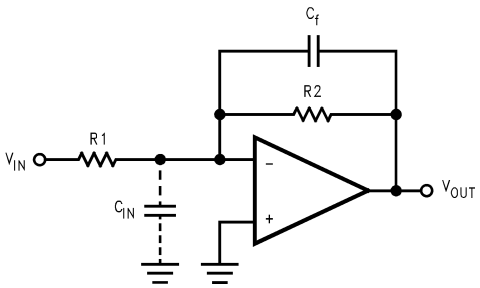


図 6-5. 入力容量の影響の相殺

6.1.4 容量性負荷の許容誤差

すべてのレール ツー レール出力スイング オペアンプは、出力段で電圧ゲインを持っています。通常、この積分段には補償コンデンサが含まれます。ドミナント ポールの周波数の位置は、アンプの抵抗性負荷の影響を受けます。容量性負荷と並列に、適切な抵抗性負荷を使用することで、容量性負荷駆動能力を最適化できます (「代表的特性」を参照)。

容量性負荷を直接接続すると、多くのアンプでは位相マージンが減少します。帰還ループの極は、オペアンプの出力インピーダンスと容量性負荷の組み合わせによって形成されます。図 6-6 に、LMC649x の開ループ出力インピーダンスを示します。この極は、アンプのユニティ ゲイン クロスオーバー周波数で位相遅れを引き起こし、結果的に、振動性と減衰不足のどちらかのパルス応答をもたらします。少数の外付け部品を使用することで、オペアンプは簡単に容量性負荷を間接的に駆動できます (図 6-7 を参照)。

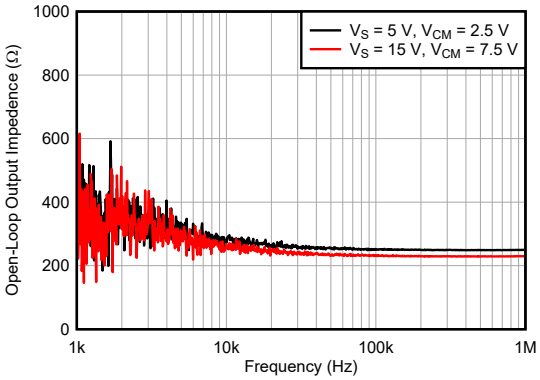


図 6-6. LMC649x の開ループ出力インピーダンス

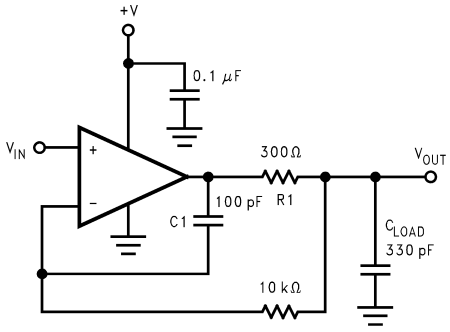
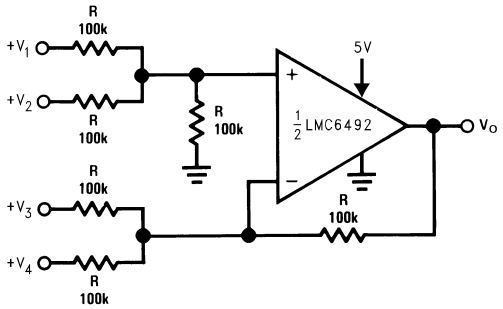


図 6-7. LMC649x 非反転アンプ、容量性負荷を駆動するために補償済み

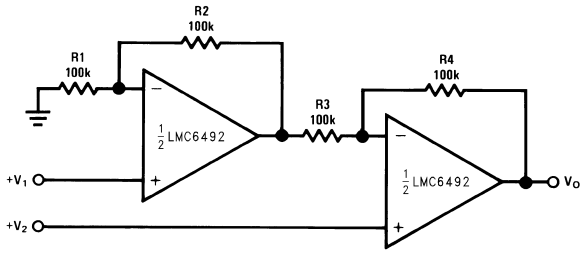
6.2 代表的なアプリケーション

6.2.1 アプリケーション回路



ここで $V_0 = V_1 + V_2 - V_3 - V_4$、
$V_0 > 0V_{DC}$ に維持するため、$(V_1 + V_2) \geqq (V_3 + V_4)$

図 6-8. DC 加算アンプ ($V_{IN} \geqq 0V_{DC}$ および $V_O \geqq V_{DC}$)



たとえば、

$$\frac{R1}{R2} = \frac{R4}{R3}$$

(CMRR は、この抵抗の比精度に依存します。)

$$V_O = 1 + \frac{R4}{R3}(V_2 - V_1)$$

以下にその関係を示します。$V_O = 2(V_2 - V_1)$

図 6-9. 高入力インピーダンス、DC 差動アンプ

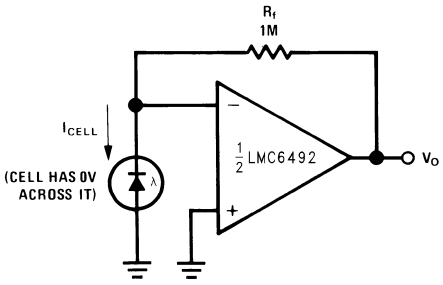
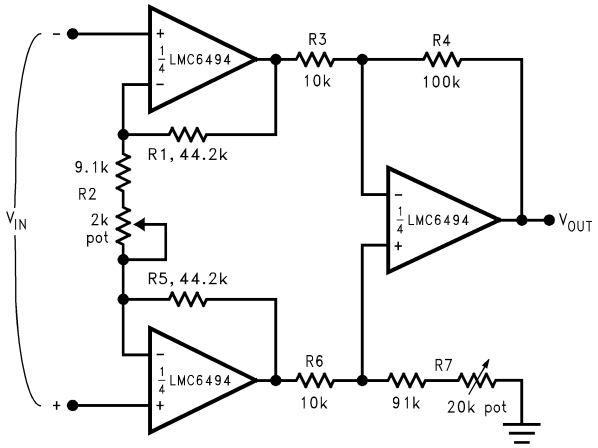


図 6-10. 光電池セル アンプ

Copyright © 2024 Texas Instruments Incorporated

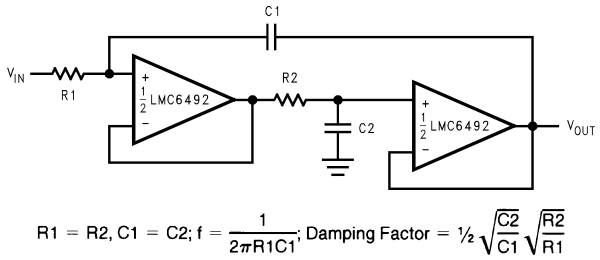


R1 = R5、R3 = R6、R4 = R7 の場合

$$\frac{V_{OUT}}{V_{IN}} = \frac{R2 + 2R1}{R2} \times \frac{R4}{R3}$$

図示の回路 (R_2 = 9.3k) の場合、$A_V \approx 100$。

図 6-11. 計装アンプ



$$R1 = R2,\ C1 = C2;\ f = \frac{1}{2\pi R1C1};\ \text{Damping Factor} = \tfrac{1}{2}\sqrt{\frac{C2}{C1}}\sqrt{\frac{R2}{R1}}$$

図 6-12. レール ツー レール、単一電源ローパス フィルタ

このローパス フィルタ回路は、ADC と同じ電源を使ったアンチエイリアシング フィルタとして使用できます。フィルタ設計では、入力電流が非常に小さい LMC649x を利用することもできます。入力電流が非常に小さいため、値の大きい抵抗を使用しても、オフセット誤差は無視できます。また、この構成により、必要な基板面積がより小さくコストがより低い、値が小さいコンデンサを使用できます。

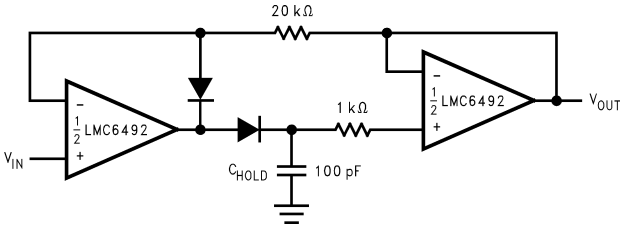
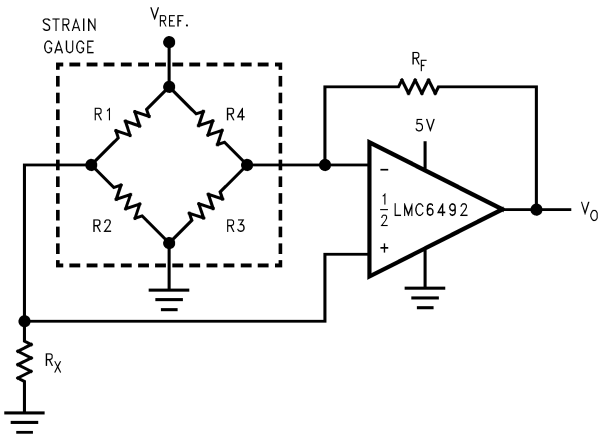


図 6-13. レール ツー レールのピーク キャプチャ範囲を持つ低電圧ピーク検出器

ポリスチレンまたはポリプロピレン保持コンデンサを使用することで、誘電体吸収およびリークが最小化されます。ドループ率は主に C_{HOLD} とダイオードのリーク電流の値によって決まります。ドループを最小化するため、低リーク電流のダイオードを選択します。



$R_f = Rx$

$R_f >> R1、R2、R3、R4$

$$V_O = \left(\frac{R2}{R1 + R2} - \frac{R3}{R4 + R3}\right)\frac{R_f\,(R3 + R4)}{R3\,R4}V_{REF}$$

図 6-14. 圧力センサ

マニホールド絶対圧センサ アプリケーションでは、エンジン ユニットのインテーク マニホールドにひずみゲージが取り付けられます。マニホールドの圧力により、センシング抵抗 (R1、R2、R3、R4) が変化します。抵抗は、R1 と R3 が減少するのと同じ量だけ R2 と R4 が増加するように変化します。この変化は、アンプの入力間に差動電圧を発生させます。アンプのゲインは R_f によって調整されます。

6.3 レイアウト

6.3.1 レイアウトのガイドライン

6.3.1.1 高インピーダンス回路のためのプリント基板のレイアウト

1000pA 未満のリーク電流で動作するすべての回路には、特殊なプリント基板 (PCB) レイアウトが必要です。LMC649x の超低バイアス電流 (標準値 150fA) を活用するには、優れたレイアウトが求められます。幸いなことに、低リークを実現するための技術は非常に簡単です。まず、PCB の表面リークを無視しないでください。このリークは許容可能な程度に小さいようにも見えますが、湿度、ほこり、汚染のレベルが高い条件下では、表面リークはかなり顕著になります。

表面リークの影響を最小限に抑えるため、LMC649x の入力と、入力に接続された部品の端子を完全に取り囲む銅箔のリングを配置します (図 6-15 を参照)。大きな効果を得るには、PCB の表面と裏面の両方にガード リングを配置します。次に、この PCB 銅箔を、アンプ入力と同電位の電圧に接続する必要があります。なぜなら、同じ電位の 2 点間にリーク電流は流れないためです。

たとえば、$10^{12}\Omega$ の PCB トレース - パッド間抵抗値は、通常は非常に大きな抵抗値と見なされますが、そのトレースが入力パッドに隣接する 5V バスである場合、5pA のリークが発生する可能性があります。これは、LMC649x の本来のリーク電流値の 33 倍に相当します。ガード リングを使って入力との電位差を 5mV 以内に保持した場合、同じ $10^{11}\Omega$ の抵抗によって生じるリーク電流は、わずか 0.05pA に過ぎません。図 6-15～図 6-17 に、標準オペアンプ構成のガード リングの一般的な接続を示します。

Copyright © 2024 Texas Instruments Incorporated

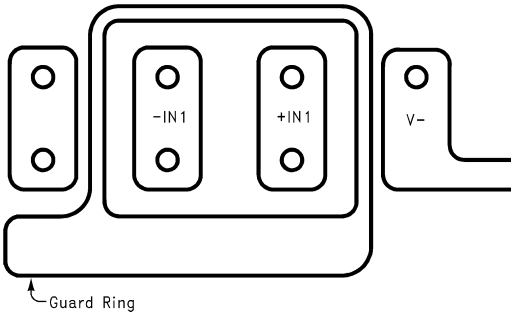


図 6-15. PCB レイアウトのガード リングの例

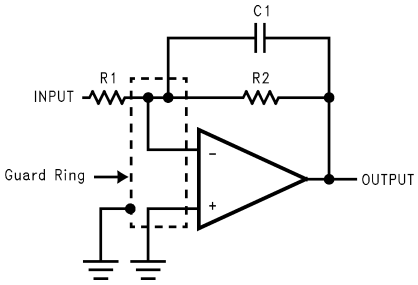


図 6-16. 反転アンプ

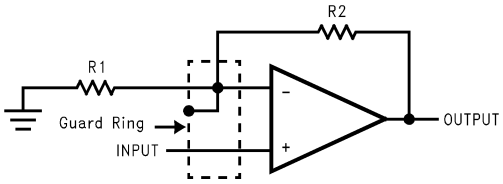


図 6-17. 非反転アンプ

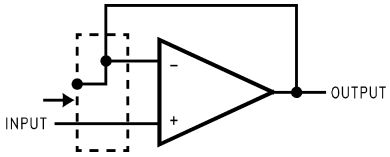
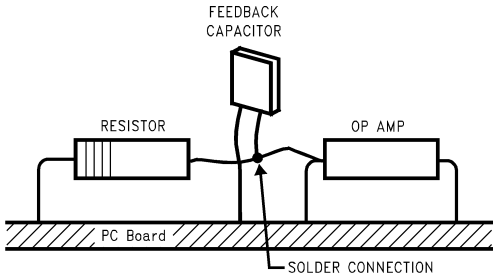


図 6-18. 電圧フォロワ

ごくわずかの回路のために PCB をレイアウトすることがふさわしくない場合、次の手法の方が PCB 上のガード リングよりも優れていることに注意します。アンプの入力ピンを基板にまったく挿入しないでください。その代わり、入力ピンを空中で上に曲げ、空気のみを絶縁体として使用します。なぜなら、空気は優れた絶縁体であるためです。この場合、PCB 構造の利点の一部は失われますが、空気の利点は、ポイント ツー ポイントの空中配線を行う労力に十分値する場合があります。図 6-19 に、空中配線の例を示します。



入力ピンは PCB から持ち上げて部品に直接半田付けします。その他のすべてのピンは PCB に接続されています。

図 6-19. 空中配線

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

7.1 デバイス サポート

7.1.1 開発サポート

7.1.1.1 SPICE マクロモデル

LMC649x の SPICE マクロモデルが利用できます。このモデルには、以下の正確なシミュレーションが含まれます。

- 入力同相電圧範囲
- 周波数および過渡応答
- GBW の負荷条件依存性
- 静止および動的電源電流
- 出力スイングの負荷条件依存性

そして、マクロモデル ディスクに記載されたその他の多くの特性も含まれます。

オペアンプの SPICE モデル ライブラリ ディスクの入手方法については、テキサス・インスツルメンツの営業所または代理店にお問い合わせ下さい。

7.1.1.2 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

7.1.1.3 TINA-TI™ シミュレーション・ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション・ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション・プログラムです。TINA-TI シミュレーション・ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ・モデルとアクティブ・モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション・ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション・ソフトウェアは設計ツールとシミュレーション Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック・スタート・ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア・フォルダから、無償の TINA-TI シミュレーション・ソフトウェアをダウンロードしてください。

7.1.1.4 DIP アダプタ評価基板

DIP アダプタ評価基板は、オペアンプの迅速なプロトタイプ製作とテストを可能にする評価基板です。小型の表面実装デバイスとのインターフェイスを迅速、容易、低コストで実現します。付属の Samtec 端子ストリップか、直接配線により既存の回路へサポートされているオペアンプを接続します。DIP アダプタ評価基板キットは、以下の業界標準パッケージをサポートしています。D または U (SOIC-8)、PW (TSSOP-8)、DGK (VSSOP-8)、DBV (SOT-23-6、SOT-23-5、および SOT-23-3)、DCK (SC70-6 および SC70-5)、および DRL (SOT563-6)。

7.1.1.5 DIYAMP-EVM

DIYAMP-EVM は、実際のアンプ回路を提供する独自の評価基板 (EVM) であり、設計コンセプトの迅速な評価とシミュレーションの検証を実現します。この評価基板は、3 つの業界標準パッケージ (SC70、SOT23、SOIC) で供給されており、

Copyright © 2024 Texas Instruments Incorporated

シングル / デュアル電源向けに、アンプ、フィルタ、安定性補償、コンパレータの各構成など、12 の一般的なアンプ構成が可能です。

7.1.1.6 TI のリファレンス・デザイン

TI のリファレンス・デザインは、TI の高精度アナログ・アプリケーション専門家により作成されたアナログ・ソリューションです。TI のリファレンス・デザインは、動作原理、部品の選択、シミュレーション、完全な PCB 回路図およびレイアウト、部品表、測定済みの性能を提供します。TI のリファレンス・デザインは、http://www.ti.com/ww/en/analog/precision-designs/ からオンラインで入手できます。

7.1.1.7 フィルタ設計ツール

フィルタ設計ツールは単純で強力な、使いやすいアクティブ・フィルタ設計プログラムです。フィルタ設計ツールを使用すると、TI のベンダ・パートナーからの TI 製オペアンプやパッシブ・コンポーネントを使用して、最適なフィルタ設計を作成できます。

フィルタ設計ツールは、設計ツールとシミュレーション Web ページから Web 対応ツールとして利用でき、包括的な複数段アクティブ・フィルタ・ソリューションをわずか数分で設計、最適化、シミュレーションできます。

7.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (November 2023) to Revision F (February 2024)	Page
• 「熱に関する情報」にデータを追加	4

- 「電気的特性」のスルーレートの最小値の規定方法を詳細に説明するため、脚注 (2) を更新 6

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision D (March 2013) to Revision E (November 2023) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 「ピン構成および機能」、「仕様」、「ESD 定格」、「熱に関する情報」、「アプリケーションと実装」、「アプリケーション情報」、「代表的なアプリケーション」、「レイアウト」、「レイアウトのガイドライン」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」の各セクションを追加 1
- 「特長」を更新 1
- データシートから P (PDIP) パッケージを削除 1
- 「概要」のアプリケーション回路を更新 1
- ESD 許容誤差の値を「絶対最大定格」から「ESD 定格」に移動 4
- 「絶対最大定格」の注 1 を更新 4
- 「動作条件」を「推奨動作条件」に変更し、表の冗長な注を削除 4
- 「熱に関する情報」の値を「動作条件」から「熱に関する情報」に移動 4
- 「電気的特性」のフォーマットを更新 6
- テキサス・インスツルメンツの標準データシートと整合するように、「電気的特性」から表の注 1、2、3 を削除 6
- 「電気的特性」の入力オフセット電圧、入力オフセット電圧ドリフト、入力バイアス電流、入力オフセット電流に ± を追加 6
- 最新のデータシートに合わせてパラメータ名を更新 6
- 「AC 電気的特性」と「DC 電気的特性」を「電気的特性」に移動 6
- 「電気的特性」の電源電流仕様を合計からアンプごとに変更 6
- 図 13～15、図 21～25、図 34～35、図 51～54 を削除 9
- アンプの回路構成と関連する説明に、入力オフセット電圧と同相電圧との関係のグラフを追加 15
- 「レール ツー レール出力」の説明を更新 16

Changes from Revision C (March 2013) to Revision D (March 2013) **Page**

- ナショナル セミコンダクターのデータシートのレイアウトを テキサス・インスツルメンツ形式に変更 22

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーション リンクを参照してください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6492AEM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LMC64 92AEM
LMC6492AEMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMC64 92AEM
LMC6492AEMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMC64 92AEM
LMC6492BEM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LMC64 92BEM
LMC6492BEMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMC64 92BEM
LMC6492BEMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMC64 92BEM
LMC6492BEMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
LMC6494AEMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(LMC6494, LMC6494AEM) AEM
LMC6494AEMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(LMC6494, LMC6494AEM) AEM
LMC6494BEM/NOPB	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 125	LMC6494 BEM
LMC6494BEMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(LMC6494, LMC6494BEM) BEM
LMC6494BEMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(LMC6494, LMC6494BEM) BEM
LMC6494BEMX/NOPB.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(LMC6494, LMC6494BEM) BEM

(1) **Status:** For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

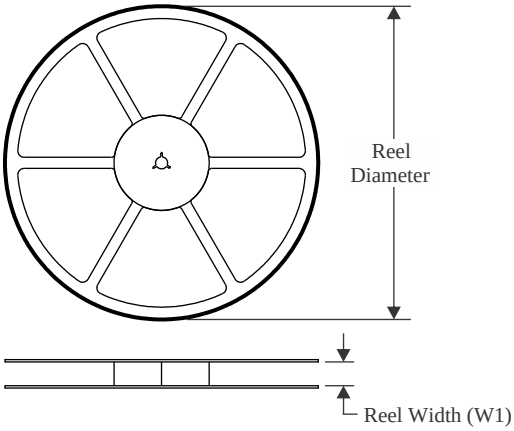
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

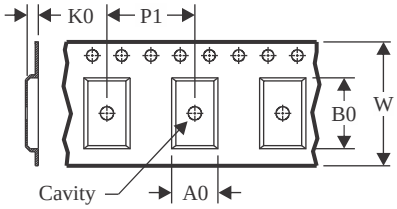
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

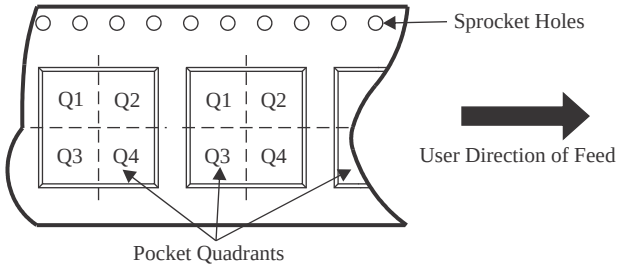


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

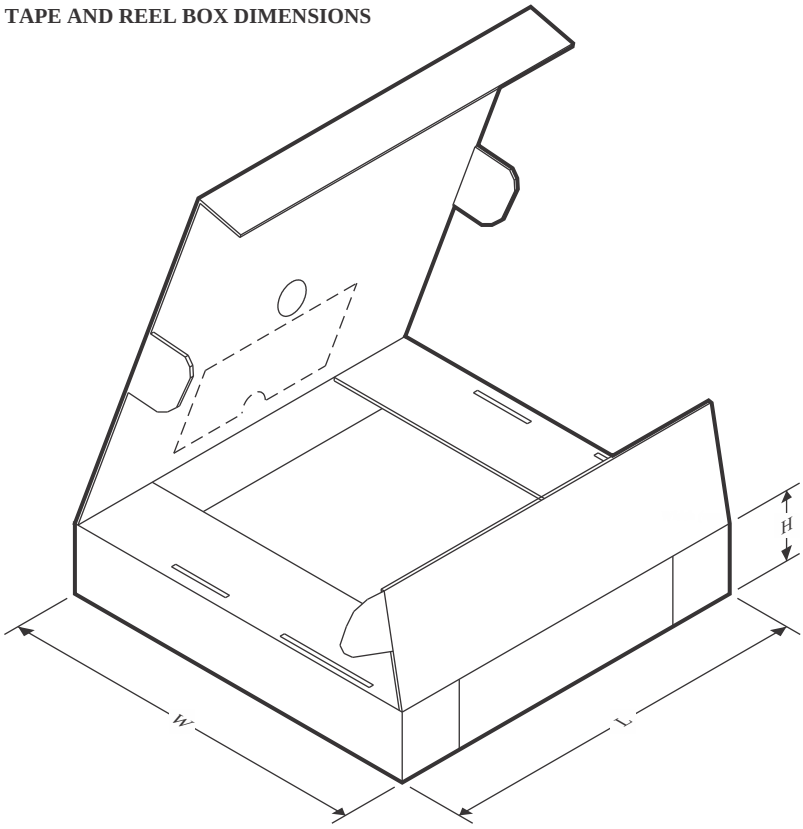
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

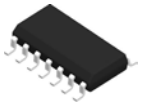
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC6492AEMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6492BEMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6494AEMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMC6494BEMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMC6494BEMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC6492AEMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LMC6492BEMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LMC6494AEMX/NOPB	SOIC	D	14	2500	353.0	353.0	32.0
LMC6494BEMX/NOPB	SOIC	D	14	2500	356.0	356.0	35.0
LMC6494BEMX/NOPB	SOIC	D	14	2500	353.0	353.0	32.0

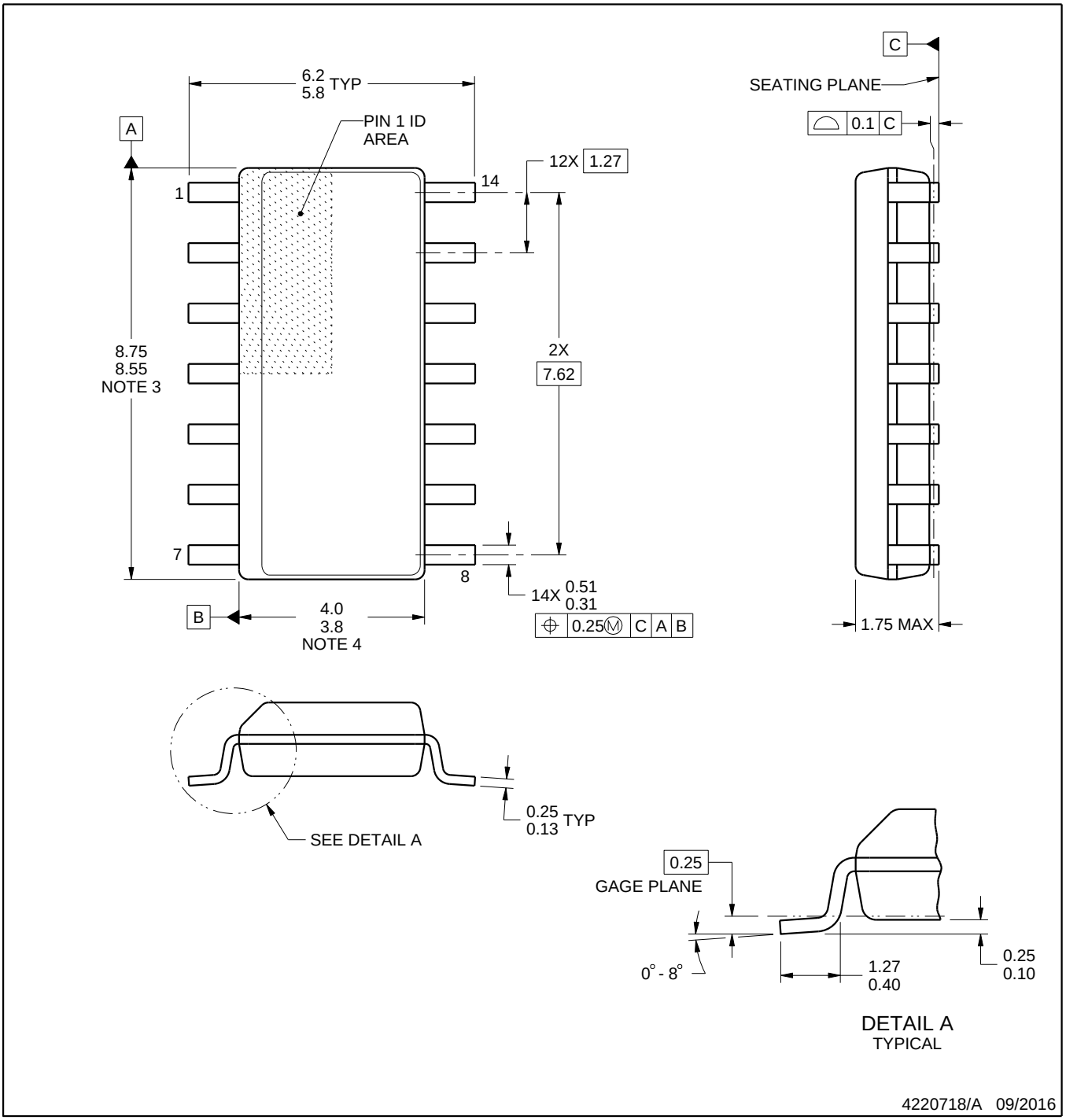


PACKAGE OUTLINE

D0014A

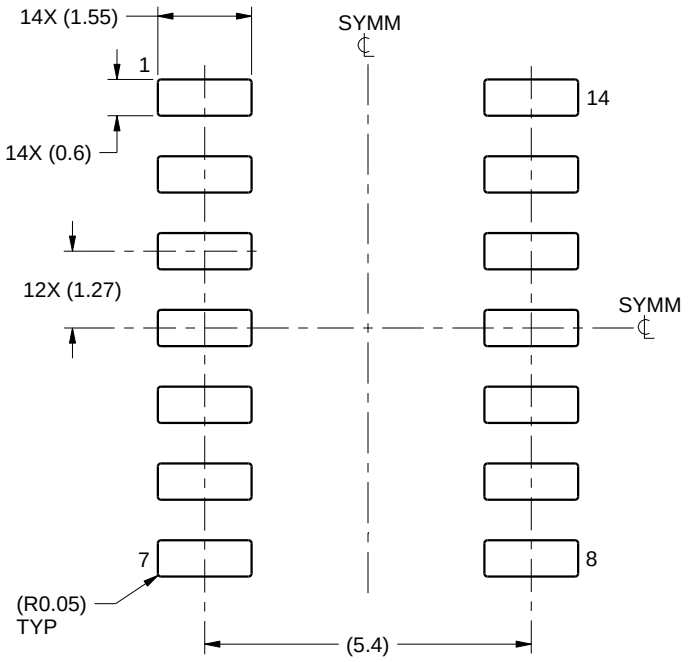
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

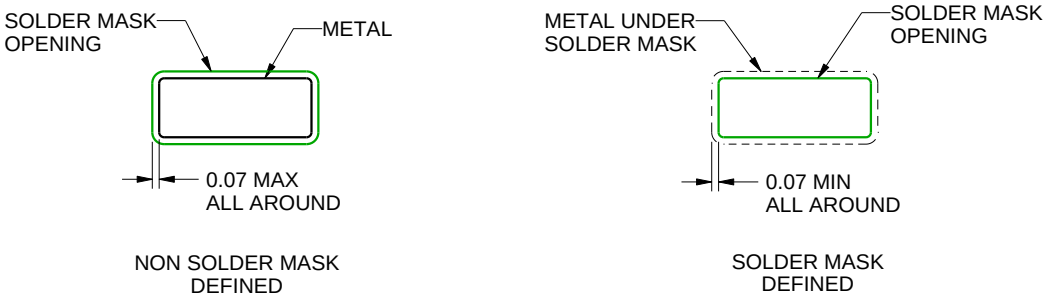


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

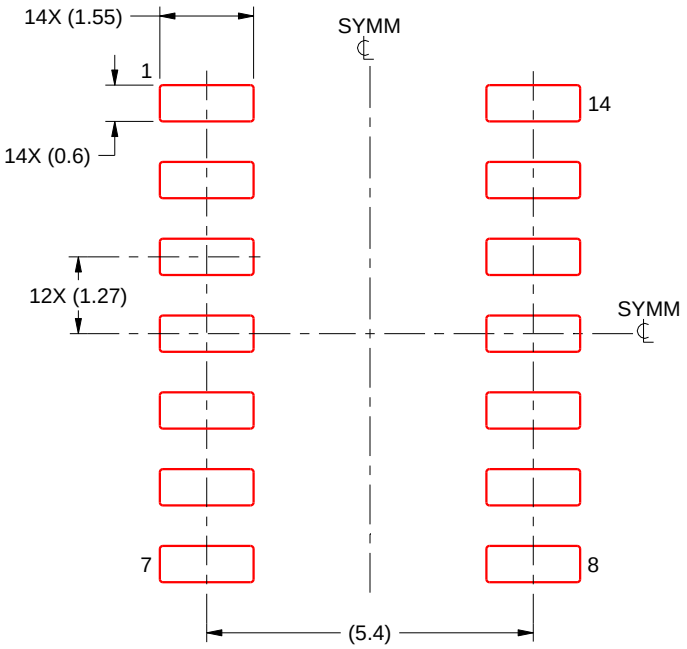
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

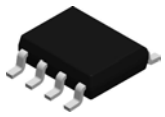


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

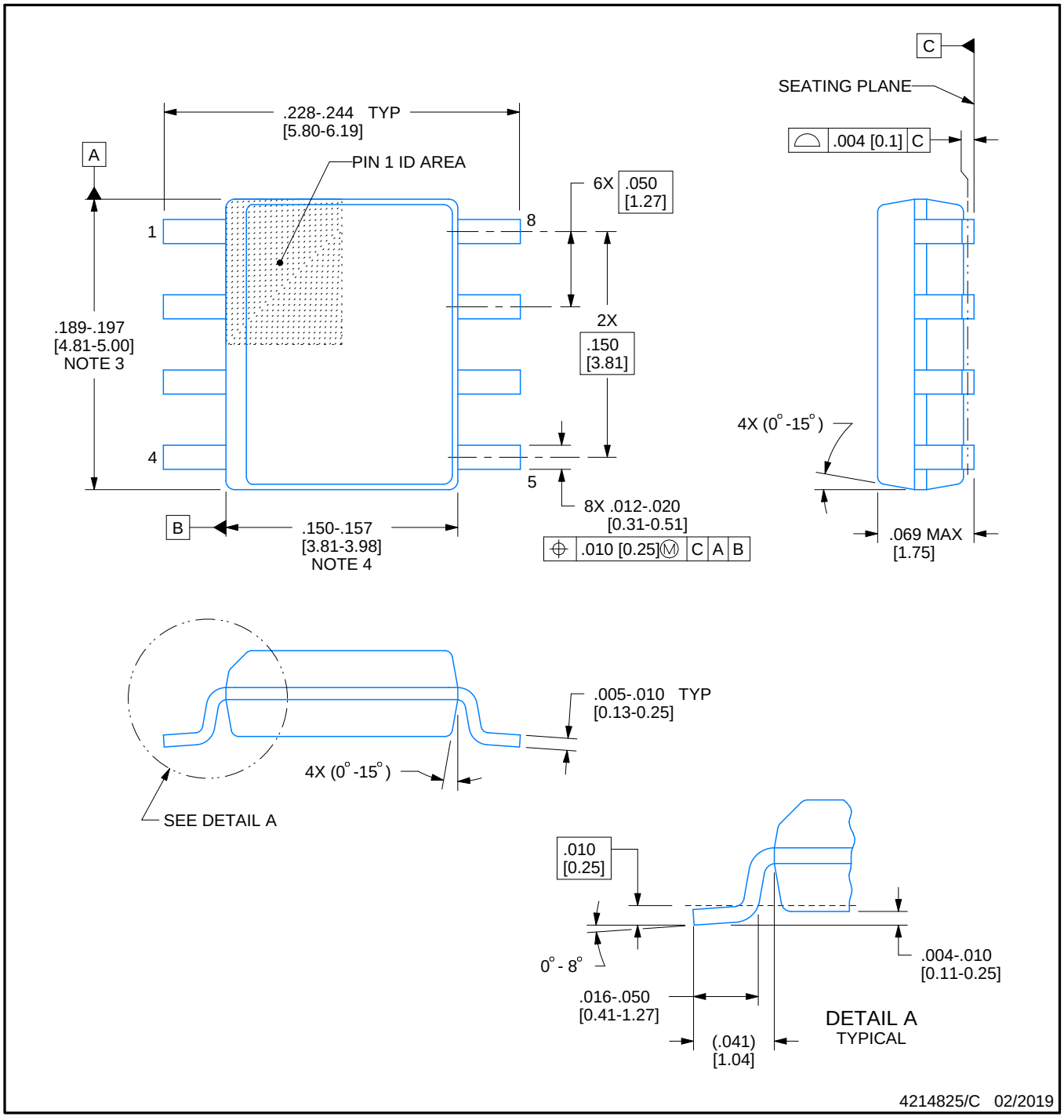


PACKAGE OUTLINE

D0008A

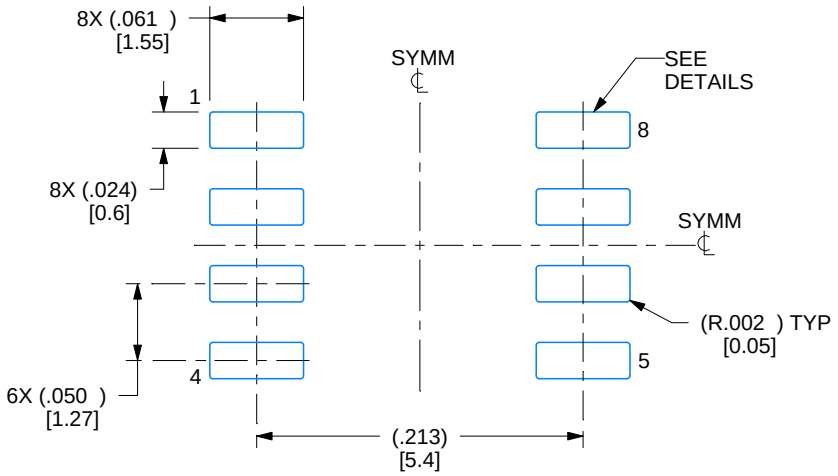
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

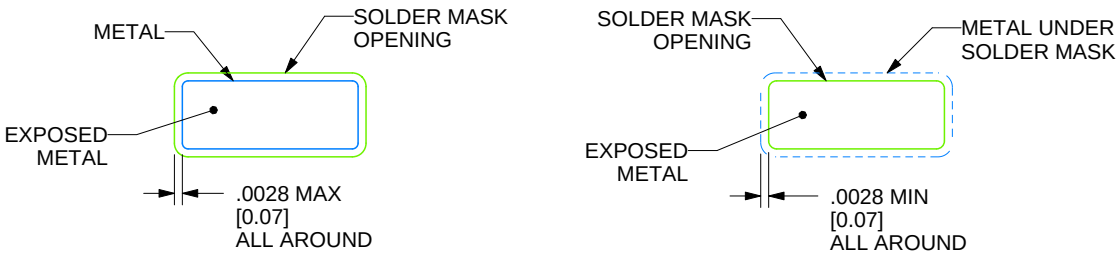


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

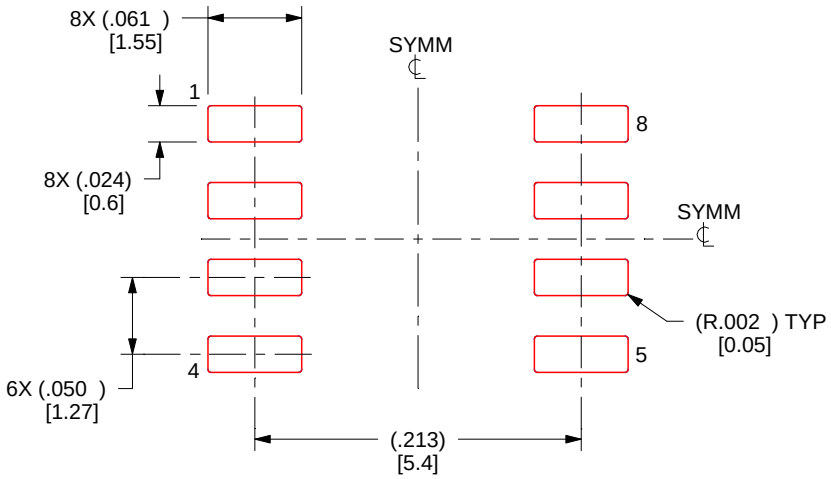
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated