

# LMC646x デュアル/クワッド、マイクロパワー、レールツー レール入出力、CMOS オペアンプ

## 1 特長

- 特に記述のない限り標準値
- 超低リーク電流:  $20\mu\text{A}$  アンプ
- 3V および 5V における特性を規定
- レールツー レールの入力同相電圧範囲
- レールツー レールの出力スイング
  - レールから  $10\text{mV}$  以内で、 $V_S = 5\text{V}$ ,  $R_L = 25\text{k}\Omega$
- 入力電流ロー:  $150\text{fA}$
- 低い入力オフセット電圧:  $0.25\text{mV}$

## 2 アプリケーション

- バッテリ動作回路
- トランズデューサ インターフェイス回路
- 携帯用通信デバイス
- 医療用アプリケーション
- バッテリ監視

## 3 概要

LMC6462 と LMC6464 (LMC646x) は、一般的な LMC6482 および LMC6484 のマイクロパワー バージョンであり、レールツー レールの入出力範囲と非常に低い消費電力が組み合わされています。

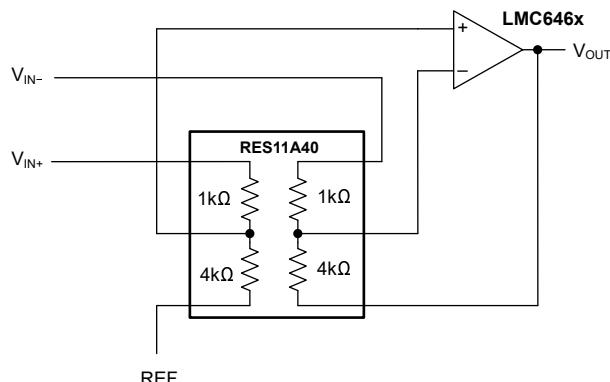
LMC646x は、両方のレールを超える入力同相電圧範囲を備えています。25k $\Omega$  までの負荷に対して規定されたレールツー レール出力スイングにより、アンプは最大の動的信号範囲を提供します。このアンプは、レールツー レール性能と高い電圧ゲインを兼ね備えているため、レールツー レール入力アンプの中でも出色的な製品となっています。LMC646x は、同相範囲の限られたアンプを使用している回路に対して、優れたアップグレードとなります。

LMC646x は、3V および 5V での仕様を規定しており、低電圧の用途に最適です。 $(V_S = 3\text{V}$  時) アンプ 1 個あたりの静止消費電力が  $60\mu\text{W}$  であるため、バッテリ動作システムの寿命を延長できます。 $150\text{fA}$  の入力電流、 $0.25\text{mV}$  の低いオフセット電圧、 $85\text{dB}$  の CMRR により、バッテリ駆動システムで精度を維持します。

## 製品情報

部品番号	チャネル数	パッケージ <sup>(1)</sup>
LMC6462	デュアル	D (SOIC, 8)
		P (PDIP, 8)
LMC6464	クワッド	D (SOIC, 14)
		N (PDIP, 14)

(1) 詳細については、[セクション 10](#) を参照してください。



RES11A を使った差動アンプ



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長	1	7.1 アプリケーション情報	16
2 アプリケーション	1	7.2 代表的なアプリケーション	21
3 概要	1	7.3 レイアウト	24
4 ピン構成および機能	2	8 デバイスおよびドキュメントのサポート	26
5 仕様	4	8.1 デバイスサポート	26
5.1 絶対最大定格	4	8.2 ドキュメントのサポート	26
5.2 ESD 定格	4	8.3 ドキュメントの更新通知を受け取る方法	26
5.3 推奨動作条件	4	8.4 サポート・リソース	26
5.4 LMC6462 の熱に関する情報	5	8.5 商標	26
5.5 LMC6464 の熱に関する情報	5	8.6 静電気放電に関する注意事項	26
5.6 電気的特性: $V_S = \pm 2.25V$ または $V_S = 5V$	6	8.7 用語集	26
5.7 電気的特性: $V_S = \pm 1.5V$ または $V_S = 3V$	10	9 改訂履歴	26
6 代表的特性	11	10 メカニカル、パッケージ、および注文情報	28
7 アプリケーションと実装	16		

## 4 ピン構成および機能

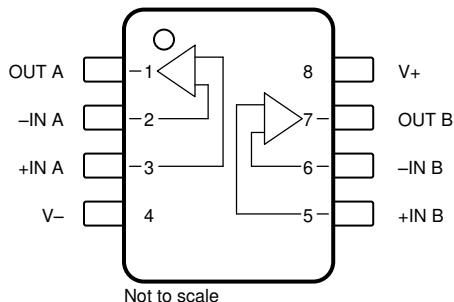


図 4-1. LMC6462 : D パッケージ、8 ピン SOIC および P パッケージ、8 ピン PDIP (上面図)

表 4-1. ピンの機能 : LMC6462

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャネル A
-IN B	6	入力	反転入力、チャネル B
+IN A	3	入力	非反転入力、チャネル A
+IN B	5	入力	非反転入力、チャネル B
OUT A	1	出力	出力チャネル A
OUT B	7	出力	出力チャネル B
V-	4	電源	負電源
V+	8	電源	正電源

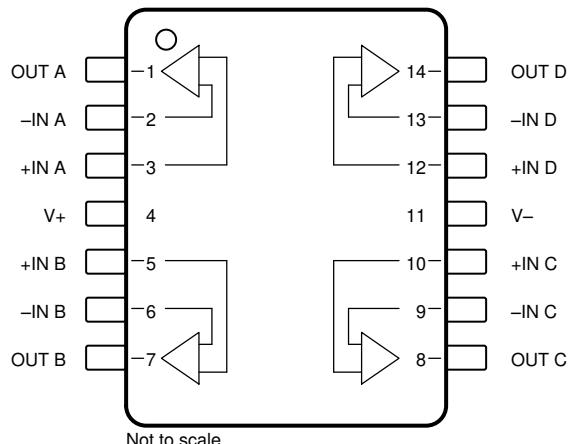


図 4-2. LMC6464 : D パッケージ、14 ピン SOIC、N パッケージ、14 ピン PDIP (上面図)

表 4-2. ピンの機能 : LMC6464

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャネル A
-IN B	6	入力	反転入力、チャネル B
-IN C	9	入力	反転入力、チャネル C
-IN D	13	入力	反転入力、チャネル D
+IN A	3	入力	非反転入力、チャネル A
+IN B	5	入力	非反転入力、チャネル B
+IN C	10	入力	非反転入力、チャネル C
+IN D	12	入力	非反転入力、チャネル D
OUT A	1	出力	出力チャネル A
OUT B	7	出力	出力チャネル B
OUT C	8	出力	出力チャネル C
OUT D	14	出力	出力チャネル D
V-	11	電源	負電源
V+	4	電源	正電源

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1) (2)</sup>

		最小値	最大値	単位
	差動入力電圧		±電源電圧	V
V <sub>S</sub>	電源電圧、V <sub>S</sub> = (V+) - (V-)		16	V
	入力 / 出力ピンの電圧	(V-) - 0.3	(V+) + 0.3	V
	入力ピンの電流 <sup>(3)</sup>		±5	mA
	出力ピンの電流 <sup>(4) (5)</sup>		±30	mA
	電源ピンの電流		40	mA
T <sub>J</sub>	接合部温度 <sup>(6)</sup>		150	°C
T <sub>stg</sub>	保存温度	-65	150	°C
	リード温度 (半田付け、10 秒)		260	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗示するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 軍用/航空宇宙用仕様のデバイスをお求めの場合は、供給状況および仕様について テキサス・インスツルメンツの販売特約店または営業所にお問い合わせください。
- (3) 入力ピン電流の制限は、入力電圧が絶対最大定格を超える場合にのみ必要です。
- (4) 単一電源と分割電源での両方の動作に適用されます。高い周囲温度で連続的に短絡動作させると、150°Cの最大許容接合部温度を超える可能性があります。長時間にわたって ±30mA を超える出力電流は、信頼性に悪影響を及ぼす可能性があります。
- (5) V<sub>+</sub> が 13V を上回っている場合は、出力を V<sub>+</sub> に短絡させないでください。短絡させると、信頼性が低下します。
- (6) 最大消費電力は T<sub>J(MAX)</sub>、θ<sub>JA</sub>、T<sub>A</sub> の関数となります。最大許容消費電力と周囲温度との関係式は、P<sub>D</sub> = (T<sub>J(MAX)</sub> - T<sub>A</sub>) / θ<sub>JA</sub> です。すべての数値は、プリント基板に直接ハンダ付けするパッケージに適用されます。

### 5.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000 V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V <sub>S</sub>	電源電圧、V <sub>S</sub> = (V+) - (V-)	3	15.5	15.5	V
T <sub>J</sub>	接合部温度	-40	85	85	°C

## 5.4 LMC6462 の熱に関する情報

熱評価基準 <sup>(1)</sup>		LMC6462		単位
		D (SOIC)	P (PDIP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	193	115	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	52.0	53.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	56.9	39.5	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	6.8	19.5	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	56.1	38.5	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース(底面)への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

## 5.5 LMC6464 の熱に関する情報

熱評価基準 <sup>(1)</sup>		LMC6464		単位
		D (SOIC)	NFF (PDIP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	126	81	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	34.6	31.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	34.3	26.0	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	4.7	9.9	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	33.7	25.4	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース(底面)への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

## 5.6 電気的特性 : $V_S = \pm 2.25V$ または $V_S = 5V$

$T_A = T_J = 25^\circ C$ 、 $V+ = 5V$ 、 $V- = 0V$ 、 $V_{CM} = V_{OUT} = V+ / 2$  および  $R_L > 1M\Omega$  c ( $V+ / 2$  に接続) (特に記述のない限り)

パラメータ	テスト条件		最小値	標準値	最大値	単位
<b>オフセット電圧</b>						
$V_{OS}$	入力オフセット電圧	LMC646xA		$\pm 0.25$	$\pm 0.50$	mV
			$T_J = -40^\circ C \sim +85^\circ C$		$\pm 1.2$	
		LMC646xB		$\pm 0.25$	$\pm 3$	
			$T_J = -40^\circ C \sim +85^\circ C$		$\pm 3.7$	
$dV_{OS}/dT$	入力オフセット電圧ドリフト		$T_J = -40^\circ C \sim +85^\circ C$		1	$\mu V/^\circ C$
$PSRR$	電源除去比	正の $5V \leq V+ \leq 15V$	LMC646xA	70	85	dB
			LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	67		
			LMC646xB	65	85	
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	62		
		負の $V+ = 0V, -15V \leq V- \leq -5V$	LMC646xA	70	85	
			LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	67		
			LMC646xB	65	85	
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	62		
<b>入力バイアス電流</b>						
$I_B$	入力バイアス電流 <sup>(1)</sup>			$\pm 0.15$		pA
		$T_J = -40^\circ C \sim +85^\circ C$			$\pm 10$	
$I_{OS}$	入力オフセット電流 <sup>(1)</sup>			$\pm 0.075$		pA
		$T_J = -40^\circ C \sim +85^\circ C$			$\pm 5$	
<b>ノイズ</b>						
$e_n$	入力電圧ノイズ密度	$f = 1kHz, V_{CM} = 1V$		80		$nV/\sqrt{Hz}$
$i_n$	入力電流ノイズ密度	$f = 1kHz$		30		$fA/\sqrt{Hz}$
<b>入力電圧</b>						
$V_{CM}$	同相電圧	正レールまで , $V+ = 5V, CMRR \geq 50dB$		5.25	5.30	V
			$T_J = -40^\circ C \sim +85^\circ C$	5.00		
		負レールまで , $V+ = 5V, CMRR \geq 50dB$		-0.20	-0.10	
			$T_J = -40^\circ C \sim +85^\circ C$	0.00		
		正レールまで , $V+ = 5V, CMRR \geq 50dB$		15.25	15.30	
			$T_J = -40^\circ C \sim +85^\circ C$	15.00		
		負レールまで , $V+ = 5V, CMRR \geq 50dB$		-0.20	-0.15	
			$T_J = -40^\circ C \sim +85^\circ C$	0.00		
$CMRR$	同相除去比	$V+ = 15V$ $0V \leq V_{CM} \leq 15V$	LMC646xA	70	85	dB
			LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	67		
			LMC646xB	65	85	
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	62		
			LMC646xA	70	85	
		$V+ = 5V$ $0V \leq V_{CM} \leq 5V$	LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	67		
			LMC646xB	65	85	
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	62		

## 5.6 電気的特性 : $V_S = \pm 2.25V$ または $V_S = 5V$ (続き)

$T_A = T_J = 25^\circ C$ 、 $V+ = 5V$ 、 $V- = 0V$ 、 $V_{CM} = V_{OUT} = V+ / 2$  および  $R_L > 1M\Omega$  c ( $V+ / 2$  に接続) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>入力インピーダンス</b>						
$R_{IN}$	入力抵抗				> 10	$M\Omega$
$C_{IN}$	同相入力キャパシタンス				3	$pF$
<b>開ループ ゲイン</b>						
$A_{OL}$	開ループ電圧ゲイン	ソース、 $V+ = 15V$ 、 $7.5V < V_O < 11.5V$ 、 $V_{CM} = 7.5V$ 、	$R_L = 100k\Omega \sim 7.5V$	3000		$V/mV$
			$R_L = 25k\Omega \sim 7.5V$	2500		
		シンク、 $V_+ = 15V$ 、 $3.5V < V_O < 7.5V$ 、 $V_{CM} = 7.5V$ 、	$R_L = 100k\Omega \sim 7.5V$	400		
			$R_L = 25k\Omega \sim 7.5V$	200		
<b>周波数応答</b>						
GBW	ゲイン帯域幅積				50	$kHz$
SR	スルーレート <sup>(2)</sup>	$V+ = 15V$ 、 $10V$ ステップ、 $G = 1$		15	28	$V/ms$
			$T_J = -40^\circ C \sim +85^\circ C$		8	
$G_m$	ゲイン マージン				15	$dB$
	クロストーク	デュアルおよびクワッド チャネル、 $V+ = 15V$ 、 $R_L = 100k\Omega \sim 7.5V$ 、 $f = 1kHz$ 、 $V_{OUT} = 12V_{PP}$			130	$dB$

## 5.6 電気的特性 : $V_S = \pm 2.25V$ または $V_S = 5V$ (続き)

$T_A = T_J = 25^\circ C$ 、 $V+ = 5V$ 、 $V- = 0V$ 、 $V_{CM} = V_{OUT} = V+ / 2$  および  $R_L > 1M\Omega$  c ( $V+ / 2$  に接続) (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
出力							
$V_O$	電圧出力スイング	正のレール $V+ = 5V$ 、 $R_L = 100k\Omega \sim V+ / 2$	LMC646xA	4.990	4.995		V
			LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	4.980			
			LMC646xB	4.950	4.995		
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	4.925			
		負のレール $V+ = 5V$ 、 $R_L = 100k\Omega \sim V+ / 2$	LMC646xA	0.005	0.010		
			LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	0.020			
			LMC646xB	0.005	0.050		
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	0.075			
		正のレール $V+ = 5V$ 、 $R_L = 25k\Omega \sim V+ / 2$	LMC646xA	4.975	4.990		
			LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	4.965			
			LMC646xB	4.950	4.990		
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	4.850			
		負レール $V+ = 5V$ 、 $R_L = 25k\Omega \sim V+ / 2$	LMC646xA	0.01	0.02		
			LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	0.035			
			LMC646xB	0.01	0.050		
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	0.150			
		正のレール $V+ = 15V$ 、 $R_L = 100k\Omega \sim V+ / 2$	LMC646xA	14.975	14.990		V
			LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	14.965			
			LMC646xB	14.950	14.990		
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	14.925			
		負のレール $V+ = 15V$ 、 $R_L = 100k\Omega \sim V+ / 2$	LMC646xA	0.01	0.025		
			LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	0.035			
			LMC646xB	0.01	0.050		
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	0.075			
		正レール $V+ = 15V$ 、 $R_L = 25k\Omega \sim V+ / 2$	LMC646xA	14.900	14.965		V
			LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	14.850			
			LMC646xB	14.850	14.965		
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	14.800			
		負レール $V+ = 15V$ 、 $R_L = 25k\Omega \sim V+ / 2$	LMC646xA	0.025	0.050		
			LMC646xA、 $T_J = -40^\circ C \sim +85^\circ C$	0.150			
			LMC646xB	0.025	0.100		
			LMC646xB、 $T_J = -40^\circ C \sim +85^\circ C$	0.200			

## 5.6 電気的特性 : $V_S = \pm 2.25V$ または $V_S = 5V$ (続き)

$T_A = T_J = 25^\circ C$ 、 $V+ = 5V$ 、 $V- = 0V$ 、 $V_{CM} = V_{OUT} = V+ / 2$  および  $R_L > 1M\Omega$  c ( $V+ / 2$  に接続) (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I <sub>SC</sub>	短絡電流	ソース $V_{OUT} = 0V$	$T_J = -40^\circ C \sim +85^\circ C$	19	27		mA
		シンク $V_{OUT} = 5V$	$T_J = -40^\circ C \sim +85^\circ C$	22	27		
		ソース $V+ = 15V$ 、 $V_{OUT} = 0V$	$T_J = -40^\circ C \sim +85^\circ C$	24	38		
		シンク $V+ = 15V$ 、 $V_{OUT} = 12V$ <sup>(3)</sup>	$T_J = -40^\circ C \sim +85^\circ C$	17	28	38	
				22			
電源							
I <sub>Q</sub>	静止時電流	$V_{OUT} = V+ / 2$	LMC6462	40	55		μA
			LMC6462、 $T_J = -40^\circ C \sim +85^\circ C$		70		
			LMC6464	80	110		
			LMC6464、 $T_J = -40^\circ C \sim +85^\circ C$		140		
			LMC6462	50	60		
		$V+ = 15V$ 、 $V_{OUT} = V+ / 2$	LMC6462、 $T_J = -40^\circ C \sim +85^\circ C$		70		
			LMC6464	90	120		
			LMC6464、 $T_J = -40^\circ C \sim +85^\circ C$		140		

- (1) 規定された限界値はデバイスの性能ではなく、テストの制限によるものです。実際のパフォーマンスは、標準値に反映されます。
- (2) 指定された数値は、正と負のスルーレートのうち、遅い方を示しています。
- (3)  $V+$  が  $13V$  を上回っている場合は、出力を  $V+$  に短絡させないでください。短絡させると、信頼性が低下します。

## 5.7 電気的特性 : $V_S = \pm 1.5V$ または $V_S = 3V$

$T_A = 25^\circ C$ 、 $V+ = 3V$ 、 $V- = 0V$ 、 $V_{CM} = V_{OUT} = V+ / 2$  および  $R_L > 1M\Omega$  c ( $V+ / 2$  に接続) (特に記述のない限り)

パラメータ	テスト条件		最小値	標準値	最大値	単位
<b>オフセット電圧</b>						
$V_{OS}$	入力オフセット電圧	LMC646xA		$\pm 0.9$	$\pm 2$	mV
			$T_A = -40^\circ C \sim +85^\circ C$		$\pm 2.7$	
		LMC646xB		$\pm 0.9$	$\pm 3$	
			$T_A = -40^\circ C \sim +85^\circ C$		$\pm 3.7$	
$dV_{OS}/dT$	入力オフセット電圧ドリフト	$T_A = -40^\circ C \sim +85^\circ C$		2		$\mu V/^\circ C$
PSRR	電源除去比	$3V \leq V+ \leq 15V$	60	80		dB
<b>入力バイアス電流</b>						
$I_B$	入力バイアス電流 <sup>(1)</sup>			$\pm 0.15$		pA
		$T_A = -40^\circ C \sim +85^\circ C$			$\pm 10$	
$I_{OS}$	入力オフセット電流 <sup>(1)</sup>			$\pm 0.075$		pA
		$T_A = -40^\circ C \sim +85^\circ C$			$\pm 5$	
<b>ノイズ</b>						
$e_n$	入力電圧ノイズ密度	$f = 1kHz, V_{CM} = 1V$		80		$nV/\sqrt{Hz}$
$i_n$	入力電流ノイズ密度	$f = 1kHz$		30		$fA/\sqrt{Hz}$
<b>入力電圧</b>						
$V_{CM}$	同相電圧範囲	正レールまで , $V+ = 5V$ 、 $CMRR \geq 50dB$	3	3		V
		負レールまで , $V+ = 5V$ 、 $CMRR \geq 50dB$		-0.1	0	
CMRR	同相除去比	$0V \leq V_{CM} \leq 3V$	60	74		dB
<b>周波数応答</b>						
GBW	ゲイン帯域幅積			50		kHz
SR	スルーレート <sup>(2)</sup>	$G = 1, 2V$ ステップ		23		V/ms
<b>出力</b>						
$V_O$	電圧出力スイング	正レール $R_L = 25k\Omega \sim V+/2 \sim$	2.95	2.9		V
		負レール $R_L = 25k\Omega \sim V+/2$		0.1	0.15	V
<b>電源</b>						
$I_Q$	静止時電流	$V_{OUT} = V+ / 2$	LMC6462	40	55	$\mu A$
			LMC6462, $T_A = -40^\circ C \sim +85^\circ C$		70	
			LMC6464	80	110	
			LMC6464, $T_A = -40^\circ C \sim +85^\circ C$		140	

(1) 規定された限界値はデバイスの性能ではなく、テストの制限によるものです。実際のパフォーマンスは、標準値に反映されます。

(2) 指定された数値は、正と負のスルーレートのうち、遅い方を示しています。

## 6 代表的特性

$V_S = 5V$ 、単一電源、 $T_A = 25^\circ C$  (特に記述のない限り)

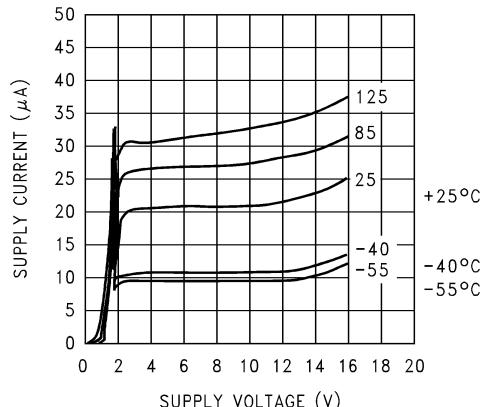


図 6-1. 電源電流と電源電圧との関係

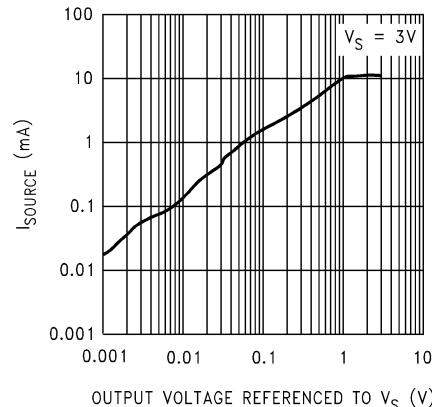


図 6-2. ソース電流と出力電圧との関係

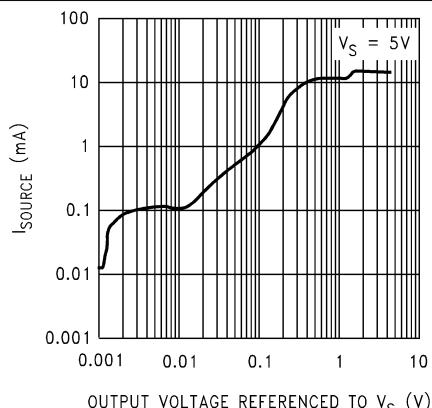


図 6-3. ソース電流と出力電圧との関係

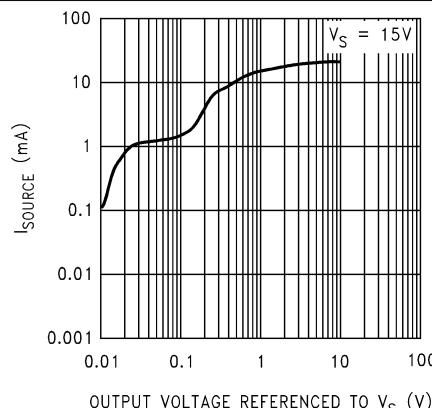


図 6-4. ソース電流と出力電圧との関係

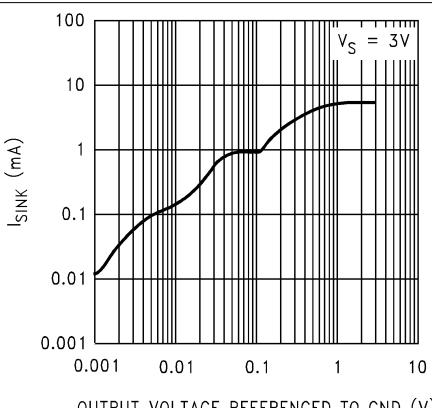


図 6-5. シンク電流と出力電圧との関係

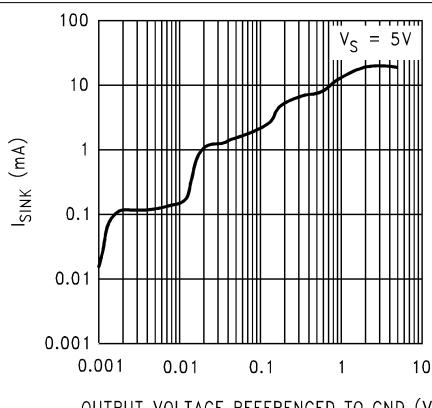


図 6-6. シンク電流と出力電圧との関係

## 6 代表的特性 (続き)

$V_S = 5V$ 、単一電源、 $T_A = 25^\circ C$  (特に記述のない限り)

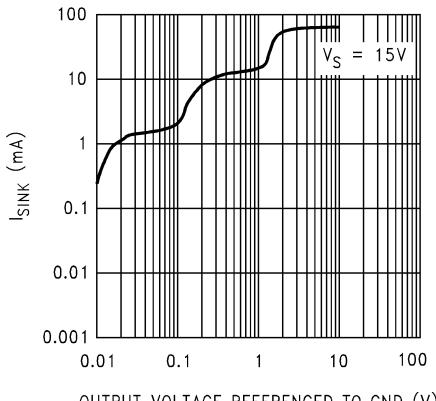


図 6-7. シンク電流と出力電圧との関係

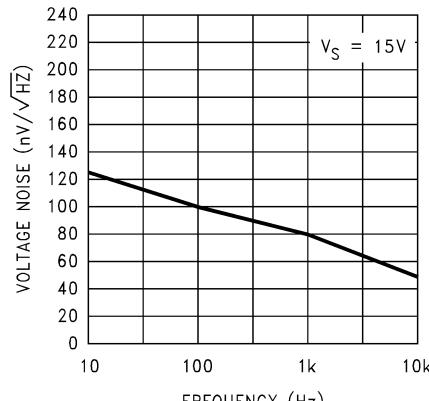


図 6-8. 入力電圧ノイズと周波数との関係

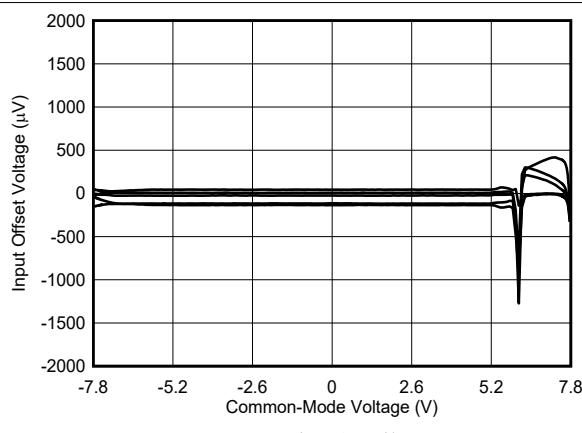


図 6-9. 入力オフセット電圧と同相電圧との関係

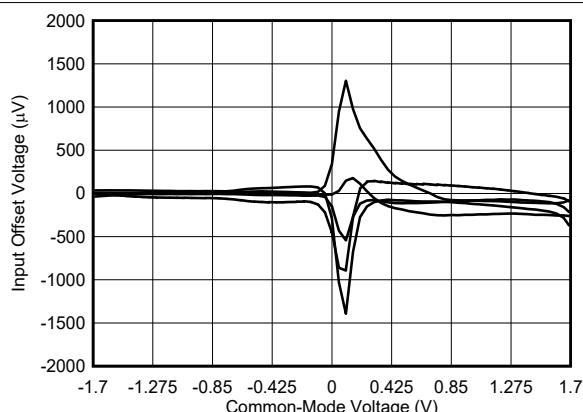


図 6-10. 入力オフセット電圧と同相電圧との関係

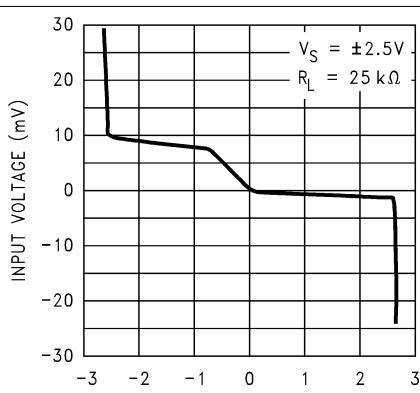


図 6-11. 入力電圧と出力電圧との関係

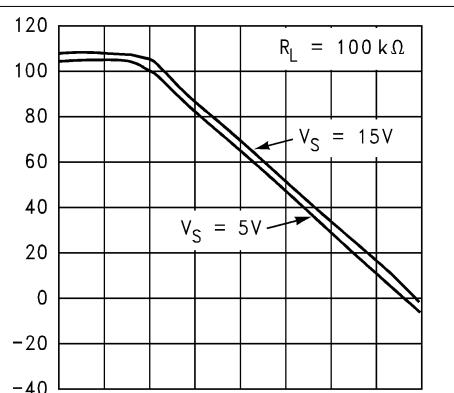


図 6-12. 開ループの周波数応答

## 6 代表的特性(続き)

$V_S = 5V$ 、単一電源、 $T_A = 25^\circ C$  (特に記述のない限り)

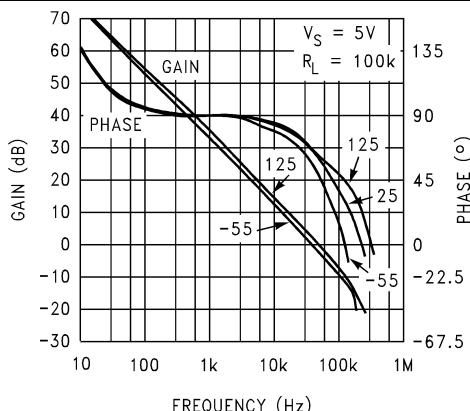


図 6-13. 開ループの周波数応答と温度との関係

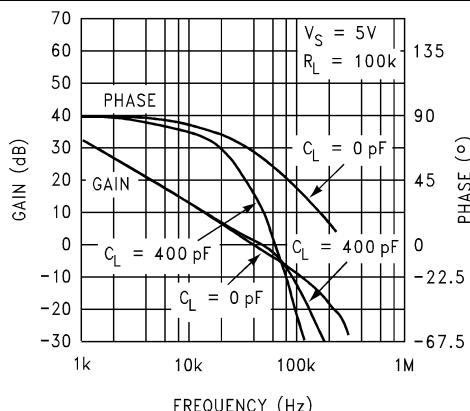


図 6-14. ゲインおよび位相と容量性負荷との関係

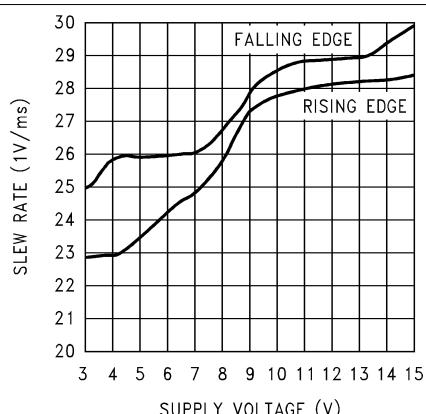


図 6-15. スルーレートと電源電圧との関係

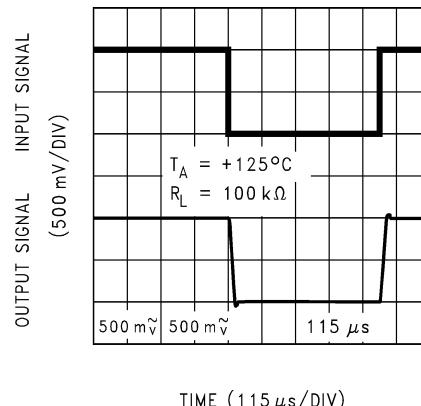


図 6-16. 非反転型の大信号パルス応答

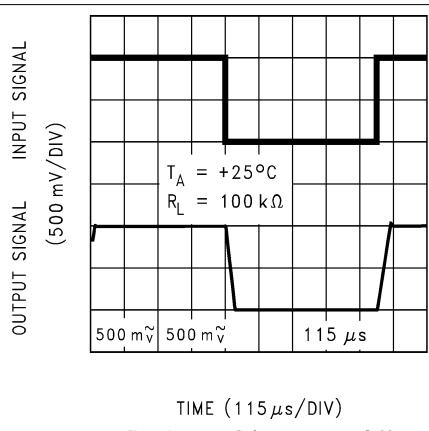


図 6-17. 非反転型の大信号パルス応答

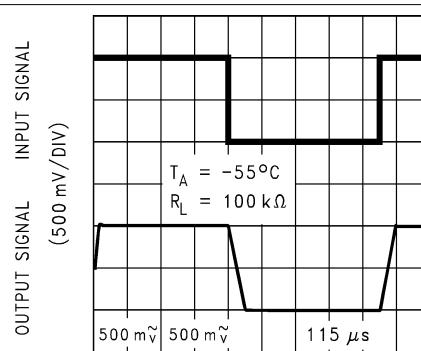
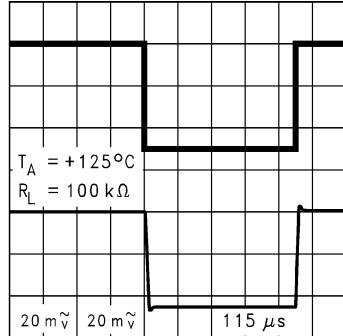


図 6-18. 非反転型の大信号パルス応答

## 6 代表的特性 (続き)

$V_S = 5V$ 、単一電源、 $T_A = 25^\circ C$  (特に記述のない限り)

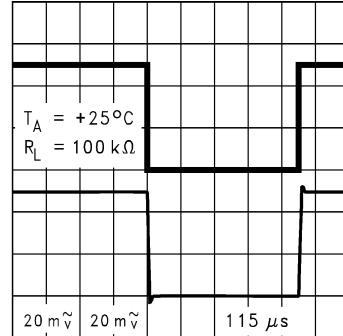
OUTPUT SIGNAL  
(20 mV/DIV)



TIME (115 μs/DIV)

図 6-19. 非反転型の小信号パルス応答

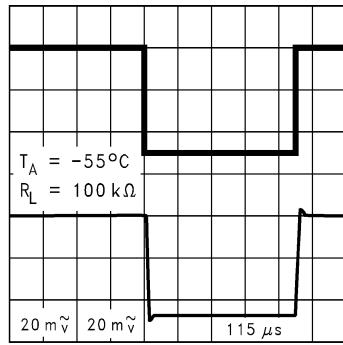
OUTPUT SIGNAL  
(20 mV/DIV)



TIME (115 μs/DIV)

図 6-20. 非反転型の小信号パルス応答

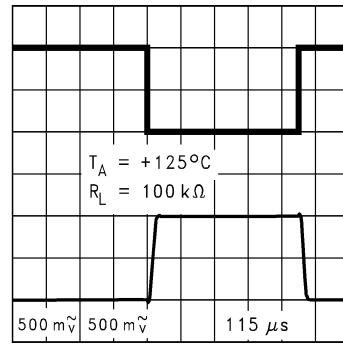
OUTPUT SIGNAL  
(20 mV/DIV)



TIME (115 μs/DIV)

図 6-21. 非反転型の小信号パルス応答

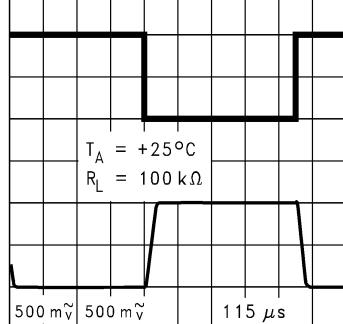
OUTPUT SIGNAL  
(500 mV/DIV)



TIME (115 μs/DIV)

図 6-22. 反転型の大信号パルス応答

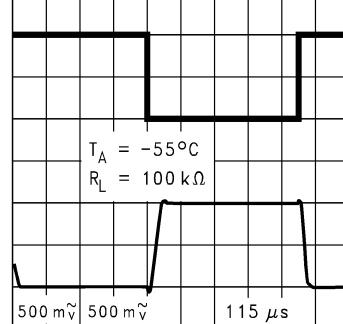
OUTPUT SIGNAL  
(500 mV/DIV)



TIME (115 μs/DIV)

図 6-23. 反転型の大信号パルス応答

OUTPUT SIGNAL  
(500 mV/DIV)



TIME (115 μs/DIV)

図 6-24. 反転型の大信号パルス応答

## 6 代表的特性 (続き)

$V_S = 5V$ 、単一電源、 $T_A = 25^\circ C$  (特に記述のない限り)

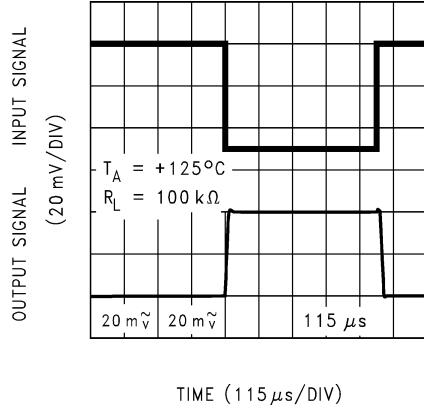


図 6-25. 反転型の小信号パルス応答

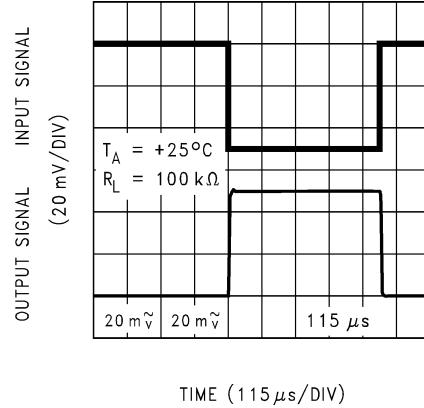


図 6-26. 反転型の小信号パルス応答

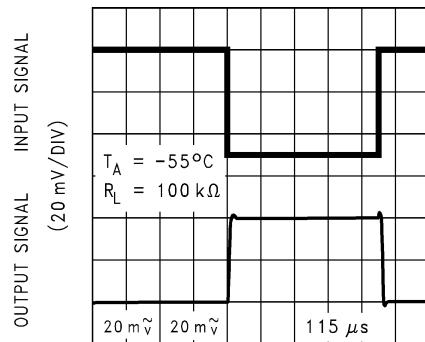


図 6-27. 反転型の小信号パルス応答

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

#### 7.1.1 入力同相電圧範囲

LMC646x は、レールツールレールの入力同相電圧範囲を持っています。正電源レール付近の同相電圧 ( $V_{CM}$ ) では、入力オフセット電圧、同相除去、電源除去などの一部の DC パラメータが劣化することがあります。LMC646x は、同相電圧が  $V_{CM} < (V+) - 2V$  に制限されているとき、最高の DC 精度を達成するように設計されています。図 7-1 は、入力電圧が両電源を超えて、出力に位相反転が発生しないことを示しています。

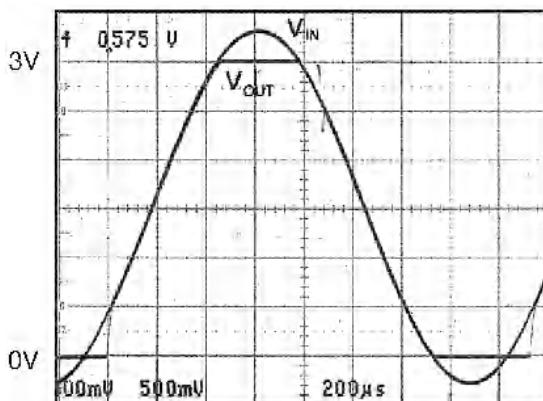


図 7-1. 入力電圧信号が LMC646x の電源電圧を超えて  
も出力の位相は反転しない

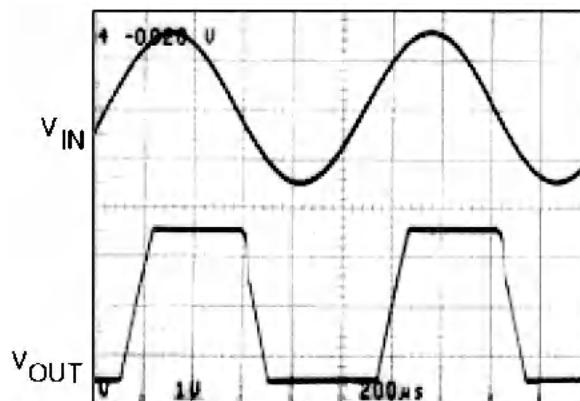


図 7-2. 3V 電源を大幅に超える  $\pm 7.5V$  の入力信号で  
も、図 7-3  $R_I$  の効果で位相反転は発生しない。

$V_+ = 3V$  での絶対最大入力電圧は、どちらかの電源レールを 300mV 超えた値です。図 7-2 に示すように、電圧がこの絶対最大定格を大幅に超えると、過剰な電流が入力ピンに流入または入力ピンから流出する原因となり、信頼性に影響を及ぼす可能性があります。入力電流は、図 7-3 に示すように、入力抵抗を用いることで  $\pm 5mA$  に外部で制限することができます。

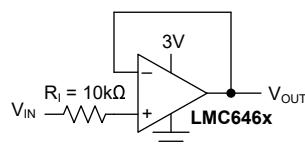


図 7-3. 電源電圧を超える入力電圧に対する入力電流保護

### 7.1.2 レール ツー レール出力

LMC646x の概算出力抵抗は、 $180\Omega$  ソース、 $V_S = 3V$  で  $130\Omega$  シンク、 $V_S = 5V$  で  $110\Omega$  ソースおよび  $83\Omega$  シンクです。最大出力スイングは、負荷の関数として、出力抵抗の計算値を使用して推定できます。

### 7.1.3 容量性負荷の許容誤差

LMC646x は通常、 $V_S = 5V$ 、ユニティゲインで  $200pF$  の負荷を発振なしで駆動できます。ユニティゲインフォロワは、容量性負荷に対して最も敏感な構成です。容量性負荷を直接接続すると、アンプの位相マージンが減少します。オペアンプの出力インピーダンスと容量性負荷の組み合わせにより、位相遅れが生じます。その結果、パルス応答または発振を十分に減衰できなくなります。

容量性負荷補償は、図 7-4 に示すように、抵抗性絶縁を使用して実現できます。負荷に抵抗成分が容量成分と並列に存在する場合、ア絶縁抵抗と抵抗負荷が出力側で電圧分圧回路を形成します。これにより出力に DC 誤差が生じます。

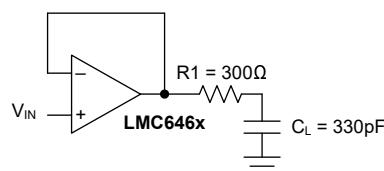


図 7-4. 300pF 容量性負荷の抵抗性絶縁

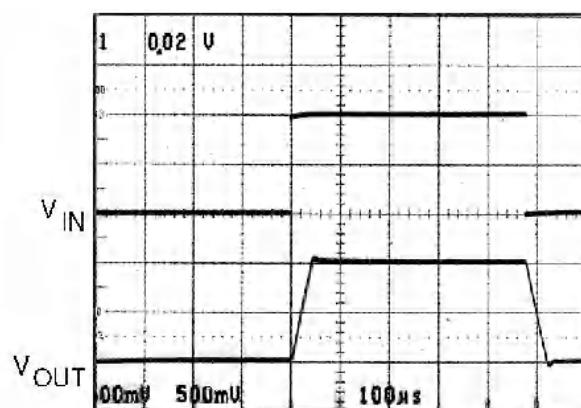


図 7-5. 図 7-4 に示す LMC6462 回路のパルス応答

図 7-5 は図 7-4 の LMC646x 回路に対するパルス応答を示しています。

図 7-6 に示す別の回路は、容量性負荷を間接的に駆動するためにも使用されます。この回路は図 7-4 に示された回路の改良版であり、図 7-6 は DC 精度に加えて AC 安定性も提供します。R1 と C1 は、出力信号の高周波成分をアンプの反転入力にフィードバックすることで位相マージンの損失を相殺するため、フィードバックループ全体の位相マージンが維持されます。R1 と C1 の値は、目的のパルス応答に合わせてシステム設計者が実験的に決定します。帰還ループ内のコンデンサの値を大きくすることで、駆動できる容量性負荷を増やすことができます。

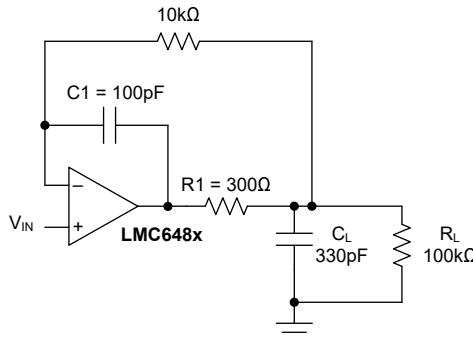


図 7-6. 300pF の容量性負荷および 100kΩ の抵抗性負荷に対応するよう補償された非反転型アンプ

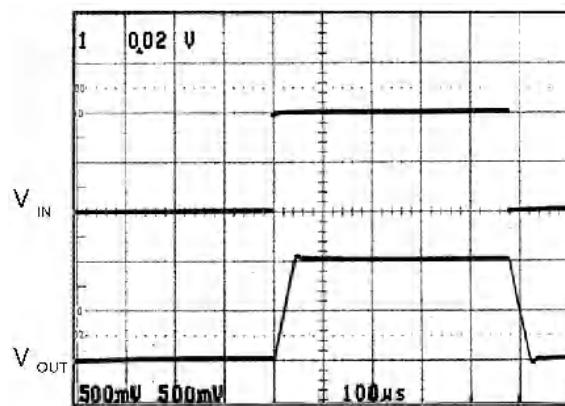


図 7-7. 図 7-6 の LMC6462 回路のパルス応答

図 7-6 に示す回路のパルス応答を、図 7-7 に示します

#### 7.1.4 入力容量の補償

LMC646x のように入力電流が非常に小さいアンプでは、帰還抵抗値を大きくするのが一般的です。帰還抵抗値を大きくすると、トランジスタ、フォトダイオード、回路基板の寄生成分による小さな入力容量と反応して、位相マージンが減少することがあります。

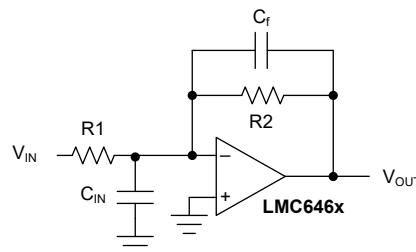


図 7-8. 入力容量の影響の相殺

入力容量の影響は、帰還コンデンサを追加することで補償できます。帰還コンデンサ (図 7-8 を参照)  $C_F$  は、最初次の式で推定されます。

$$\frac{1}{2\pi R_1 C_{IN}} \geq \frac{1}{2\pi R_2 C_F} \quad (1)$$

または

$$R_1 C_{IN} \leq R_2 C_F \quad (2)$$

通常これでは、大幅に過補償されます。

プリント基板の浮遊容量は、ブレッド基板の浮遊容量よりも大きいことも小さいこともあるため、実際の  $C_F$  の最適値はこれとは異なる場合があります。実際の回路の  $C_F$  値を確認してください。詳細については、LMC660 クワッド CMOS アンプのデータシートを参照してください。

### 7.1.5 オフセット電圧の調整

図 7-9 と図 7-10 に、オフセット電圧調整回路を示します。どちらの構成も  $V_S = \pm 5V$  で、消費電力を低減するために値の大きい抵抗とポテンショメータを使用しており、入力を基準とした調整範囲は通常  $\pm 2.5mV$  となります。

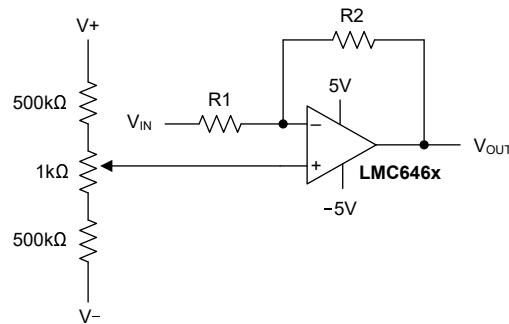


図 7-9. 反転構成のオフセット電圧調整

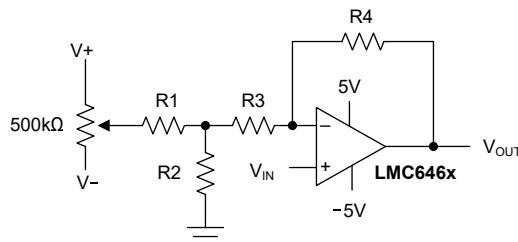


図 7-10. 非反転構成のオフセット電圧調整

### 7.1.6 計測回路

LMC646x は、計測回路の設計に必要な高い入力インピーダンス、広い同相範囲、高い CMRR を特長としています。LMC646x を使用して設計された計測回路は、ほとんどの計測アンプよりも広い範囲の同相信号を除去できます。このため、LMC646x を使用して設計された計測回路は、ノイズの多い産業環境において非常に優れた選択肢となります。これらの特長は、分析医療機器、磁界検出器、ガス検出器、シリコン ベースのトランジスタデューサなどのアプリケーションでもメリットがあります。

値の小さいポテンショメータを  $R_G$  と直列に使用して、図 7-11 の 3 オペアンプ計測回路の差動ゲインを設定します。値の大きいポテンショメータ 1 つの代わりにこの組み合わせを使用するのは、ゲイントリム精度を高め、振動による誤差を低減するためです。

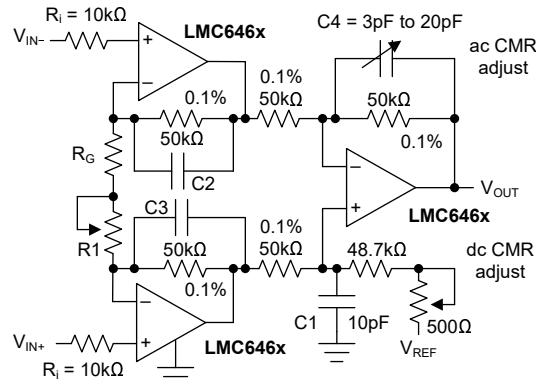


図 7-11. 低消費電力、3 オペアンプ計測アンプ

図 7-12 に、100 のゲイン用に設計された 2 オペアンプ計測アンプを示します。オフセット電圧、CMRR、ゲインについて、低感度のトリミングが行われています。低コストと低消費電力が、この 2 オペアンプ回路の主な利点です。

より周波数が高く、同相範囲が広いアプリケーションでは、3 オペアンプ計測アンプが最適です。

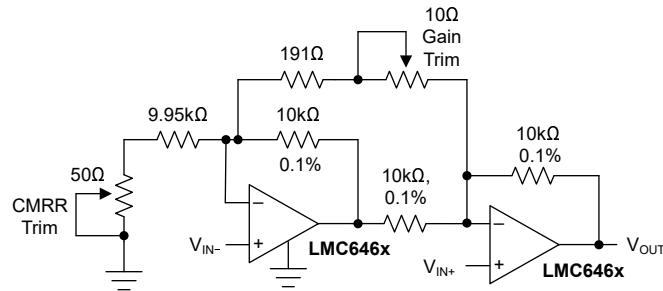


図 7-12. 低消費電力、2 オペアンプ計測アンプ

## 7.2 代表的なアプリケーション

### 7.2.1 トランステューサインターフェイス回路

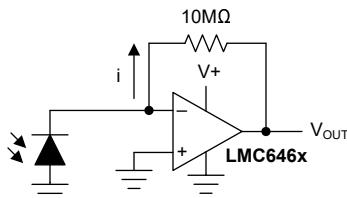


図 7-13. 光検出回路

フォトセルは、携帯型の光測定器に使用できます。LMC646x は、バッテリで動作し、非常に低い入力電流とオフセット電圧性能を備えているため、この回路に最適な選択肢です。

### 7.2.2 ウィンドウ コンパレータとしての LMC646x

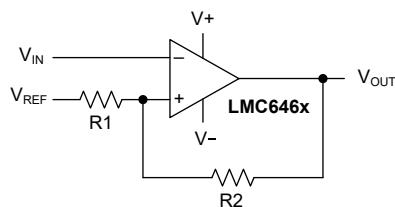


図 7-14. ヒステリシス付きのコンパレータ

図 7-14 に、LMC646x をコンパレータとして応用した例を示します。ヒステリシスは、2 つの抵抗の比によって決定されます。したがって、LMC646x は静止電流が重要なパラメータとなる用途において、マイクロパワー コンパレータとして使用することができます。

### 7.2.3 半波および全波整流器

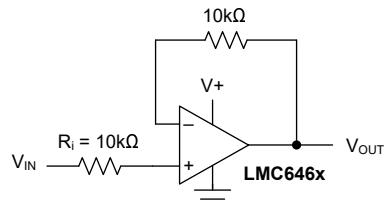


図 7-15. 半波整流器、入力電流保護 ( $R_i$ ) 付き

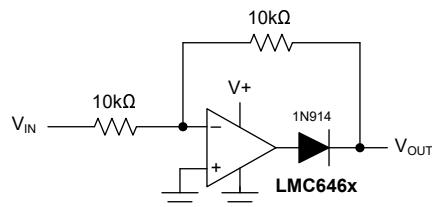


図 7-16. 全波整流器、入力電流保護 ( $R_i$ ) 付き

図 7-15 図 7-16において、 $R_i$  は、入力電圧が電源電圧を超えたときに発生するアンプへの電流を制限します。

### 7.2.4 高精度電流源

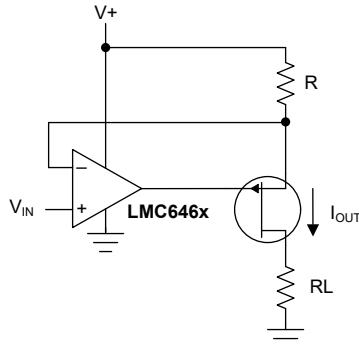


図 7-17. 高精度電流源

出力電流  $I_{OUT}$  は次の式で計算されます。

$$I_{OUT} = \frac{(V+) - (V_{IN})}{R} \quad (3)$$

### 7.2.5 発振器

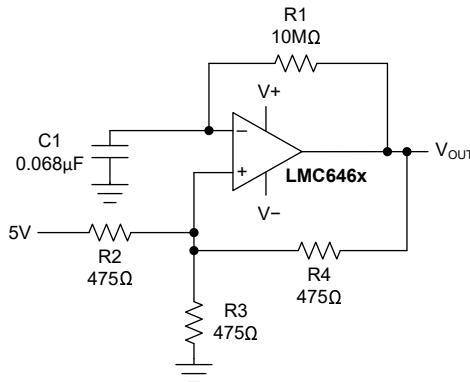


図 7-18. 1Hz 方形波発振器

単一電源 5V 動作の場合、この回路の出力は 0V から 5V までスイングします。 $R_2$ 、 $R_3$ 、 $R_4$  で設定された分圧器により、LMC646x の非反転入力は 1.67V(5V の 1/3)から 3.33V(5V の 2/3)に移動します。この電圧はスレッショルド電圧として動作します。

$R_1$  と  $C_1$  は回路の時定数を決定します。発振周波数  $f_{OSC}$  は、次のとおりです。

$$\frac{1}{2\Delta t} \quad (4)$$

ここで、

- $\Delta t$  = アンプ入力が 1.67V から 3.33V に移動する時間。

計算式は以下のとおりです。

$$1.67 = 5 \left( 1 - e^{-\frac{t_1}{\tau}} \right) \quad (5)$$

ここで、

- $\tau = RC = 0.68$  秒

- $t_1 = 0.27$  秒。

および

$$3.33 = 5 \left( 1 - e^{-\frac{t_2}{\tau}} \right) \quad (6)$$

ここで、

- $t_2 = 0.75$  秒

次に、

$$f_{OSC} = \frac{1}{2\Delta t} = \frac{1}{2(0.75 - 0.27)} \cong 1\text{Hz} \quad (7)$$

### 7.2.6 低周波数ヌル

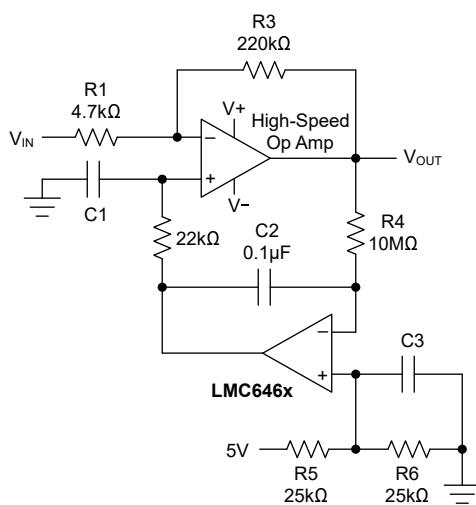


図 7-19. 低周波ヌル機能付き高ゲイン アンプ

出力オフセット電圧  $V_{OS\_OUT}$  は、アンプの固有入力オフセット電圧  $V_{OS}$  によって出力電圧に発生する誤差です。

$$V_{OS\_OUT} = V_{OS} \times \text{ゲイン}$$

上記の構成では、抵抗  $R_5$  と  $R_6$  によって、入力信号  $V_{IN}$  が対称となる公称電圧が決定されます。出力の直流レベルが LMC646x の入力オフセット電圧とバイアス電圧の合計となるため、低周波成分は無効な間、 $V_{IN}$  の高周波成分には影響がありません。これは、上段のアンプによる出力オフセット電圧が除去されることを意味します。

## 7.3 レイアウト

### 7.3.1 レイアウトのガイドライン

#### 7.3.1.1 高インピーダンス回路のための PCB レイアウト

一般的に、1000pA 未満のリーク電流で動作する必要のある回路には、プリント基板 (PCB) の特別なレイアウトが必要です。LMC646x の超低入力電流 (通常 150fA) を活かしたい場合には、優れたレイアウト設計が不可欠です。幸いなことに、低リーク電流を実現する手法は非常にシンプルです。まず、リーク電流が小さく許容範囲内であるように見えるとしても、PCB の表面リーク電流を無視しないでください。高湿度、ほこり、汚染の条件では、表面リーク電流が大きくなる可能性があります。

表面のリーク電流の影響を最小限に抑えるため、図 7-20 に示すように、LMC646x の入力と、アンプの入力に接続されているコンデンサ、ダイオード、導体、抵抗、リレー端子などの周囲を完全に取り囲む金属箔のリングを配置します。大きな効果を得るには、PCB の上面と底面の両方にガードリングを配置します。同じ電位の 2 点間にはリーク電流は流れないため、この PC 箔をアンプ入力と同電位の電圧に接続する必要があります。たとえば、 $10^{12}$  の PCB トレース - パッド間抵抗は、通常は非常に大きな抵抗と見なされますが、そのトレースが入力パッドに隣接する 5V バスである場合、5pA のリーク電流が発生する可能性があります。このリーク電流により、LMC646x の性能が通常の 250 分の 1 に低下する可能性があります。ただし、ガード リングが入力の 5mV 以内に保持されている場合、 $10^{11}\Omega$  の抵抗であっても、わずか 0.05pA のリーク電流しか発生しません。図 7-21～図 7-23 に、標準オペアンプ構成でのガードリングの一般的な接続を示します。

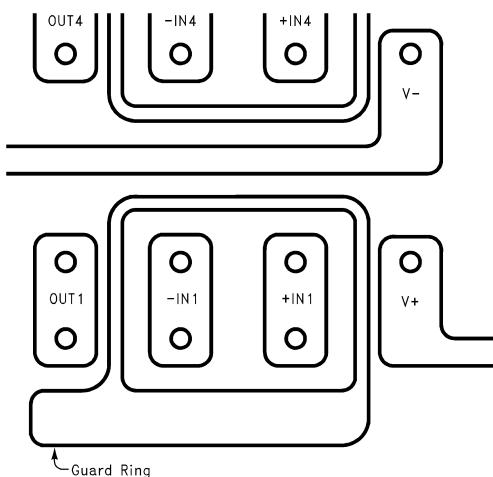


図 7-20. PC のガード リングの例基板レイアウト

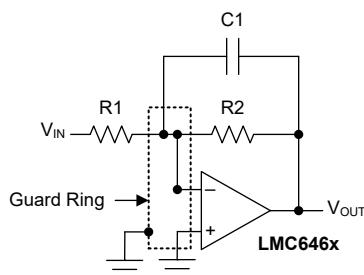


図 7-21. ガード リングの代表的な接続 - 反転アンプ

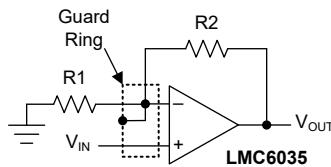


図 7-22. ガード リングの代表的な接続 - 非反転アンプ

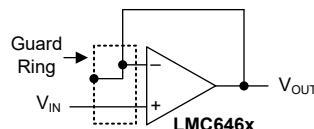
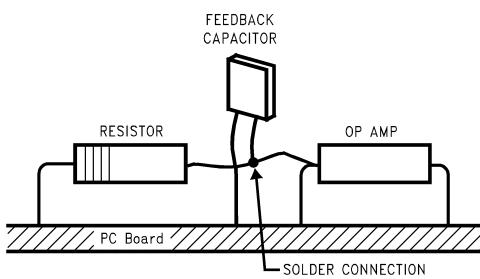


図 7-23. ガード リングの代表的な接続 - フォロワ

少数の回路のために PCB をレイアウトするのが実用的ではない場合、PCB 上にガード リングを配置するよりも別の手法を使用するほうが適切です。アンプの入力ピンを PCB に插入せず、ピンを空中で上に曲げ、空気のみを絶縁体として使用します。空気は優れた絶縁体です。この場合、PCB 構造の利点の一部が失われますが、ポイントツー ポイントの空中配線を使用する労力に見合った十分な利点が得られることがあります。図 7-24 を参照してください。



(入力ピンは PCB から持ち上げて部品に直接半田付けします。他のすべてのピンは PCB に接続されています。)

図 7-24. 空中配線

## 8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 8.1 デバイス サポート

#### 8.1.1 開発サポート

##### 8.1.1.1 PSpice® for TI

**PSpice® for TI** は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

### 8.2 ドキュメントのサポート

### 8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

### 8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

### 8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。



ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.7 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

<b>Changes from Revision D (March 2013) to Revision E (March 2025)</b>	<b>Page</b>
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
最初のページの図を更新.....	1
ピン構成および機能を追加.....	2
絶対最大定格の注 2 を削除.....	4
ESD 定格を追加.....	4

• 「熱に関する情報」を追加 .....	5
• 両方の「電気的特性」で、パラメータの名前と記号を更新 .....	6
• 以前の DC 電気的特性から注 1, 2, 3 を削除 .....	6
• 以前の AC 電気的特性から注 1, 2 を削除 .....	6
• 注 4 の条件を以前の DC 電気的特性から開ループ ゲインの試験条件に移動 .....	6
• 以前の AC 電気的特性の注 3 を更新し、条件をスルーレートの試験条件に移動 .....	6
• 電気的特性から位相マージンを削除 .....	6
• 注 3 の条件を、以前の AC 電気的特性からクロストークの試験条件に移動 .....	6
• 短絡電流( $V_+ = 15V$ 、シンク)の標準値を 75mA から 38mA に、最小値を 55mA から 28mA に変更 .....	6
• 短絡電流( $V_+ = 15V$ 、シンク, $T_J = -40^{\circ}C$ から $85^{\circ}C$ )の最小値を 45mA から 22mA に変更 .....	6
• 図 6-9 および図 6-10 を追加 .....	11
• 図 12 ~15 を削除 .....	11
• 「入力同相電圧範囲」の説明を更新 .....	16

Changes from Revision C (March 2013) to Revision D (March 2013)	Page
• ナショナル セミコンダクター データシートのレイアウトを TI 形式に変更 .....	23

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6462AIM/NOPB	Obsolete	Production	SOIC (D)   8	-	-	Call TI	Call TI	-40 to 85	LMC6462AIM
LMC6462AIMX/NOPB	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6462AIM
LMC6462AIMX/NOPB.A	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6462AIM
LMC6462AIMX/NOPB.B	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6462AIM
LMC6462AIN/NOPB	Obsolete	Production	PDIP (P)   8	-	-	Call TI	Call TI	-40 to 85	LMC6462AIN
LMC6462BIM/NOPB	Obsolete	Production	SOIC (D)   8	-	-	Call TI	Call TI	-40 to 85	LMC6462BIM
LMC6462BIMX/NOPB	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6462BIM
LMC6462BIMX/NOPB.A	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6462BIM
LMC6462BIMX/NOPB.B	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6462BIM
LMC6462BIN/NOPB	Obsolete	Production	PDIP (P)   8	-	-	Call TI	Call TI	-40 to 85	LMC6462BIN
LMC6464AIM/NOPB	Obsolete	Production	SOIC (D)   14	-	-	Call TI	Call TI	-40 to 85	LMC6464AIM
LMC6464AIMX/NOPB	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6464AIM
LMC6464AIMX/NOPB.A	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6464AIM
LMC6464AIMX/NOPB.B	Active	Production	SOIC (D)   14	2500   LARGE T&R	-	Call TI	Call TI	-40 to 85	
LMC6464BIM/NOPB	Obsolete	Production	SOIC (D)   14	-	-	Call TI	Call TI	-40 to 85	LMC6464BIM
LMC6464BIMX/NOPB	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6464BIM
LMC6464BIMX/NOPB.A	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6464BIM

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6464BIMX/NOPB.B	Active	Production	SOIC (D)   14	2500   LARGE T&R	-	Call TI	Call TI	-40 to 85	
LMC6464BIN/NOPB	Obsolete	Production	PDIP (N)   14	-	-	Call TI	Call TI	-40 to 85	LMC6464BIN

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

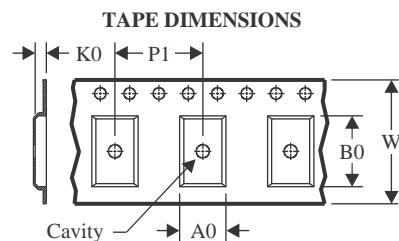
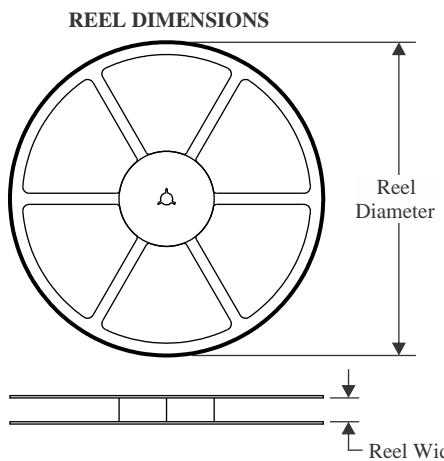
<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

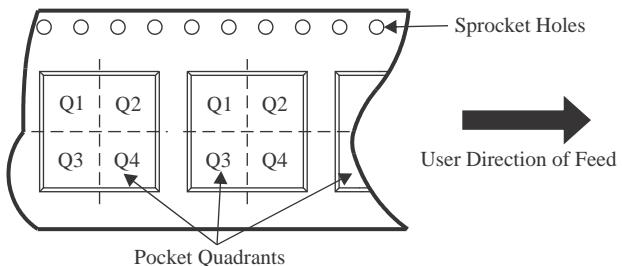
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

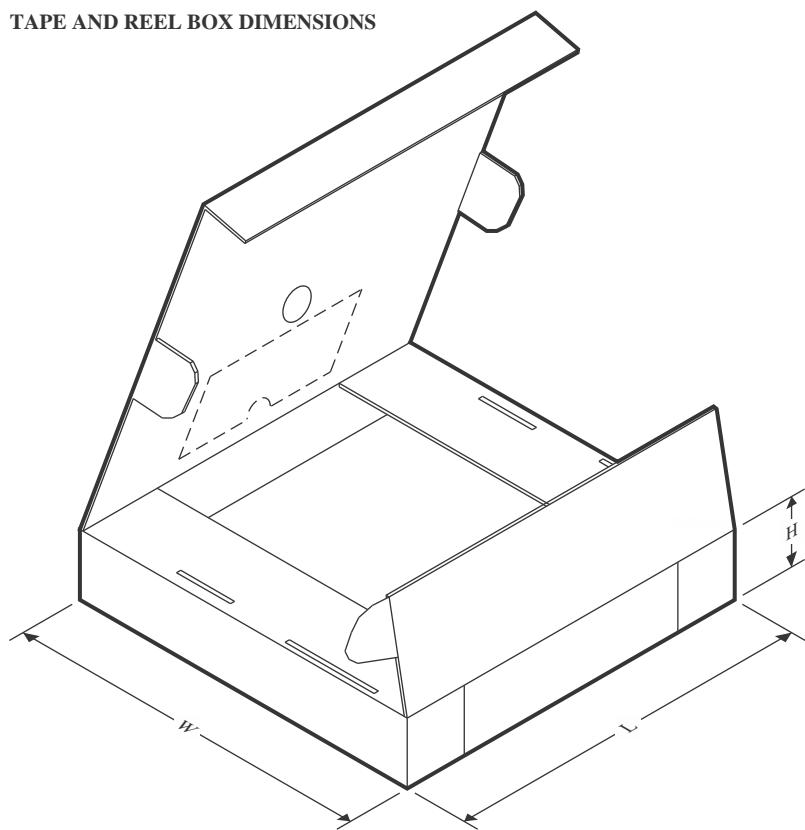
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC6462AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6462BIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6464AIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMC6464BIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

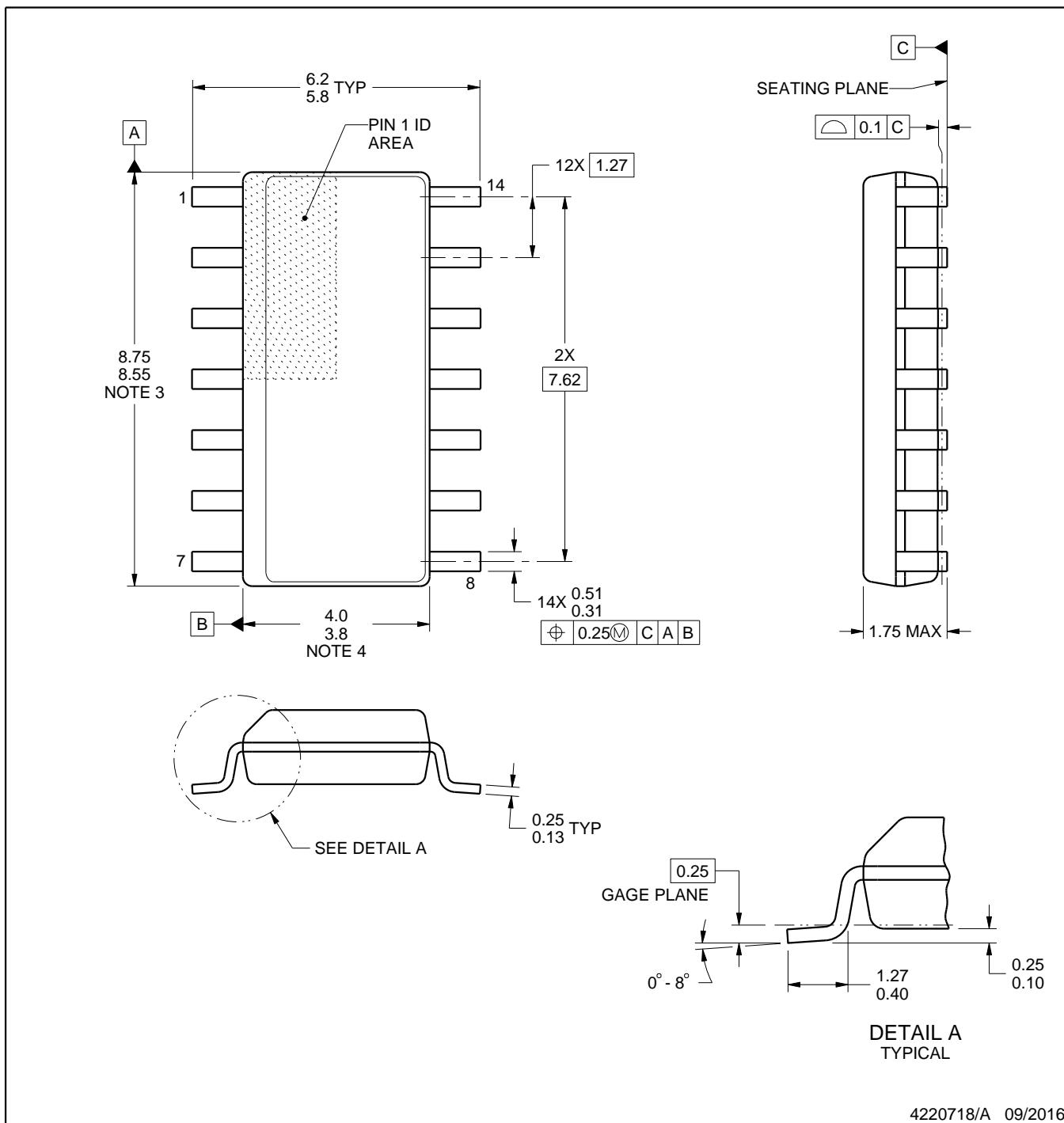
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC6462AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6462BIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6464AIMX/NOPB	SOIC	D	14	2500	356.0	356.0	35.0
LMC6464BIMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0

# PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

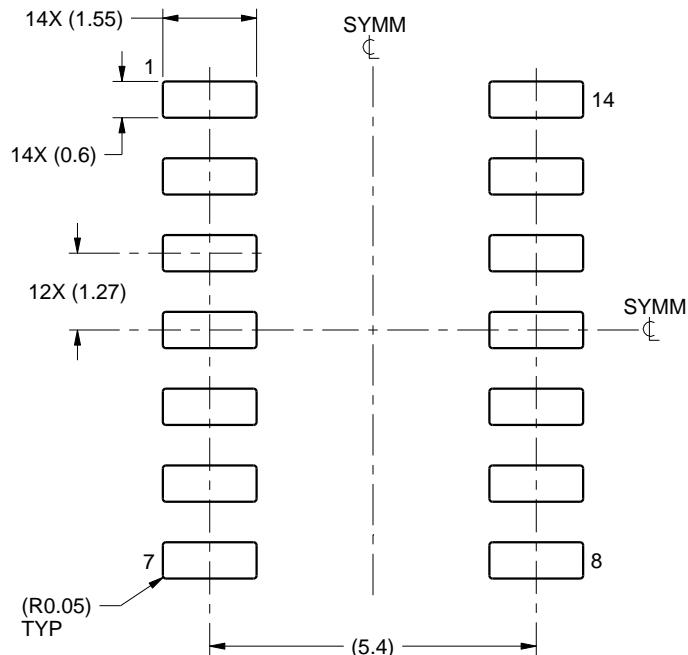
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

# EXAMPLE BOARD LAYOUT

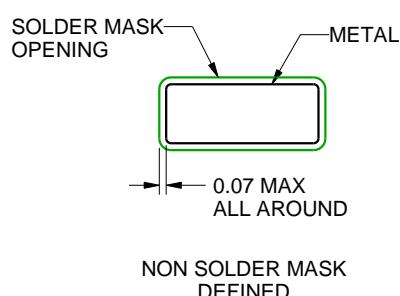
D0014A

SOIC - 1.75 mm max height

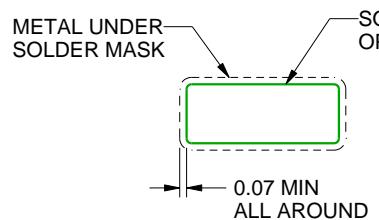
SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
SCALE:8X



NON SOLDER MASK  
DEFINED



SOLDER MASK  
DEFINED

SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

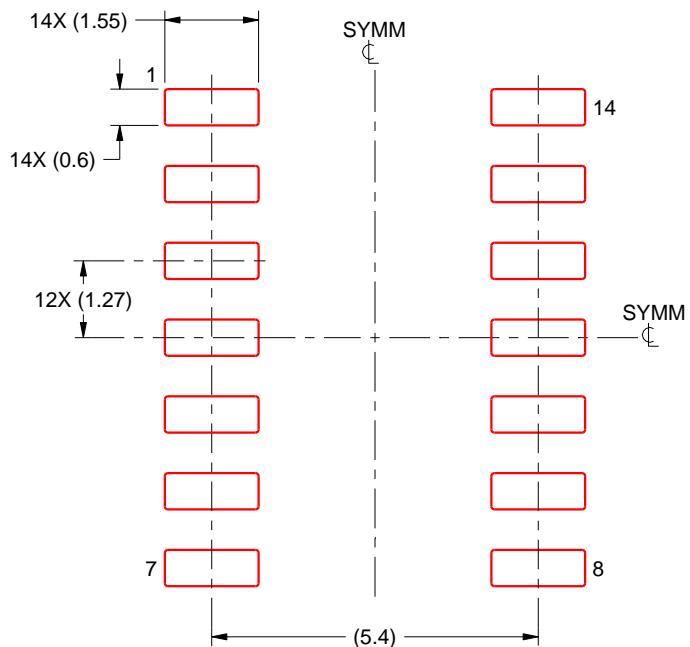
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

## EXAMPLE STENCIL DESIGN

**D0014A**

## **SOIC - 1.75 mm max height**

## SMALL OUTLINE INTEGRATED CIRCUIT



**SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X**

4220718/A 09/2016

NOTES: (continued)

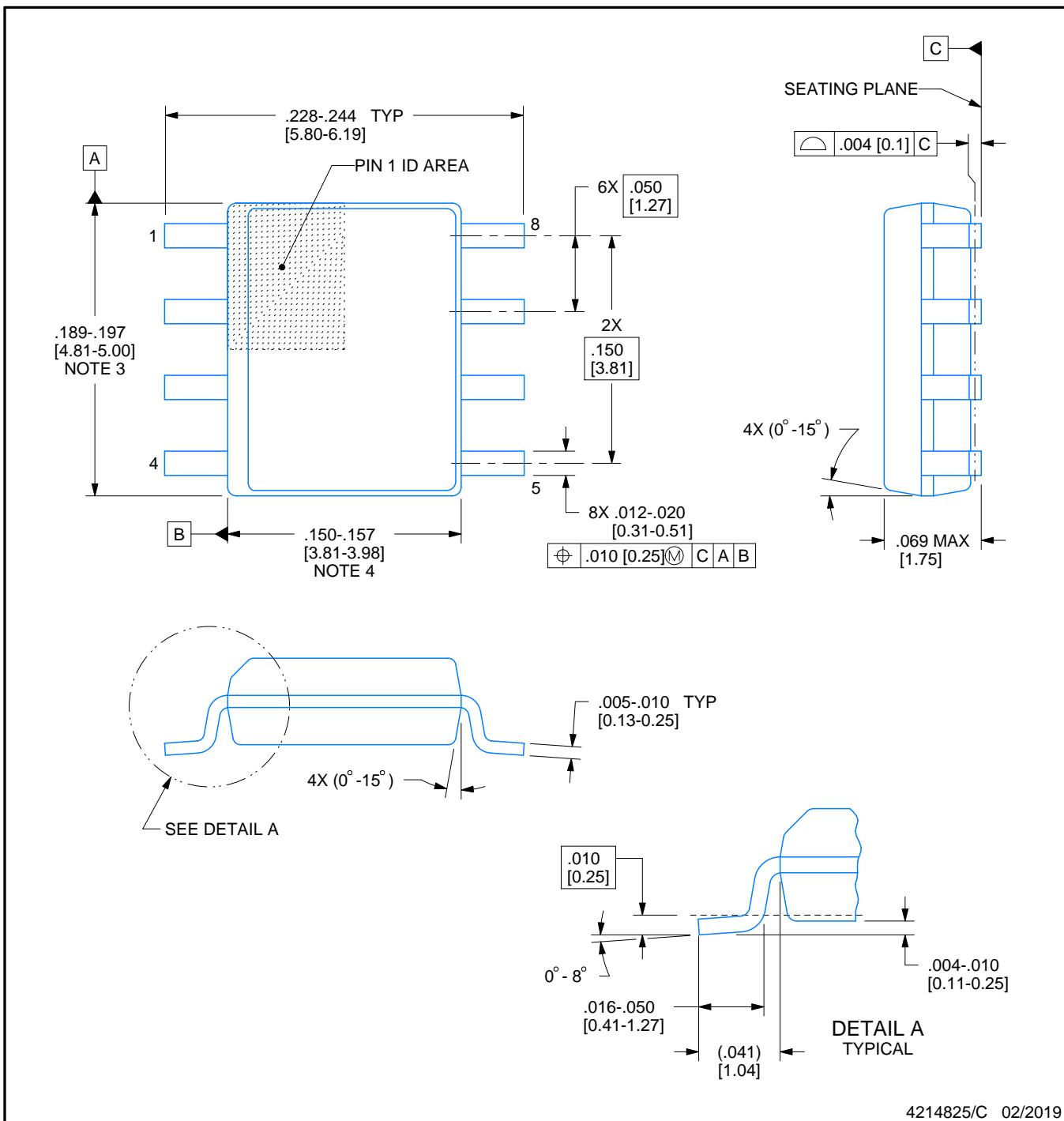
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
  9. Board assembly site may have different recommendations for stencil design.



# PACKAGE OUTLINE

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



### NOTES:

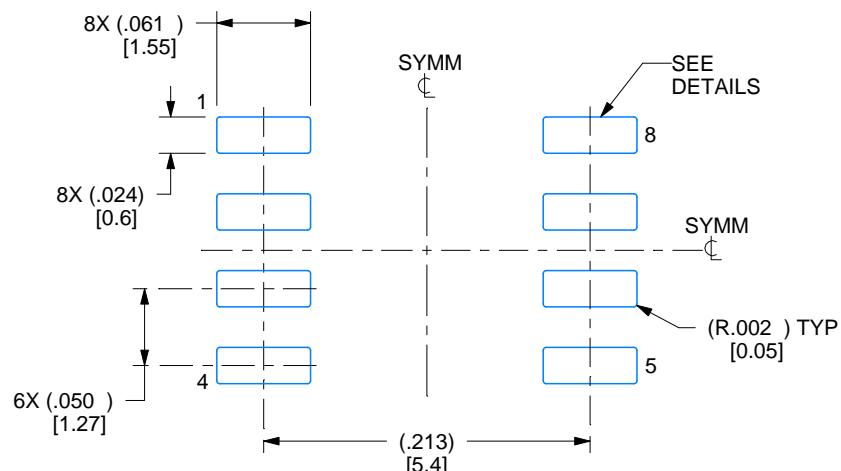
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

# EXAMPLE BOARD LAYOUT

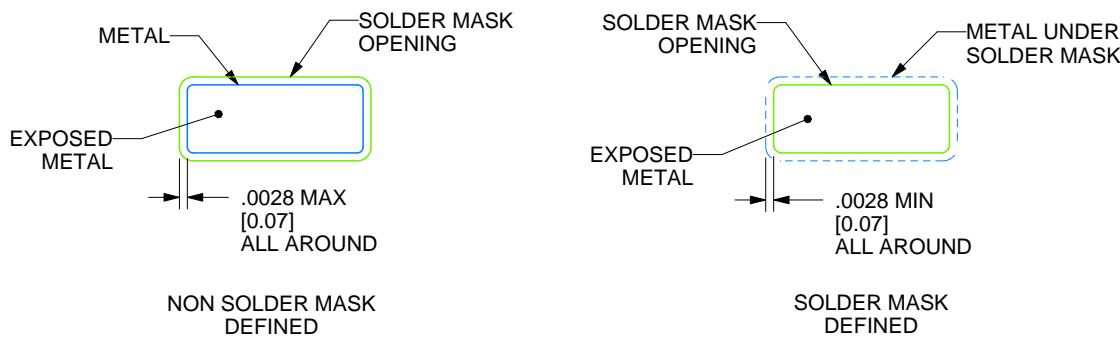
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

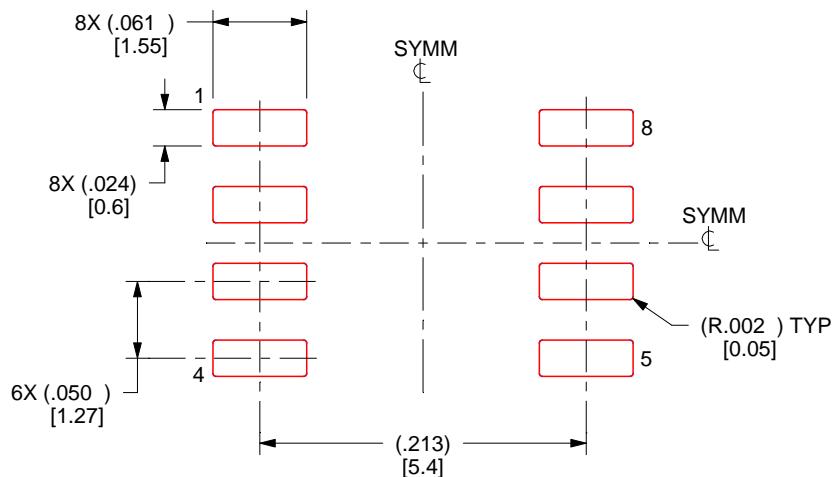
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

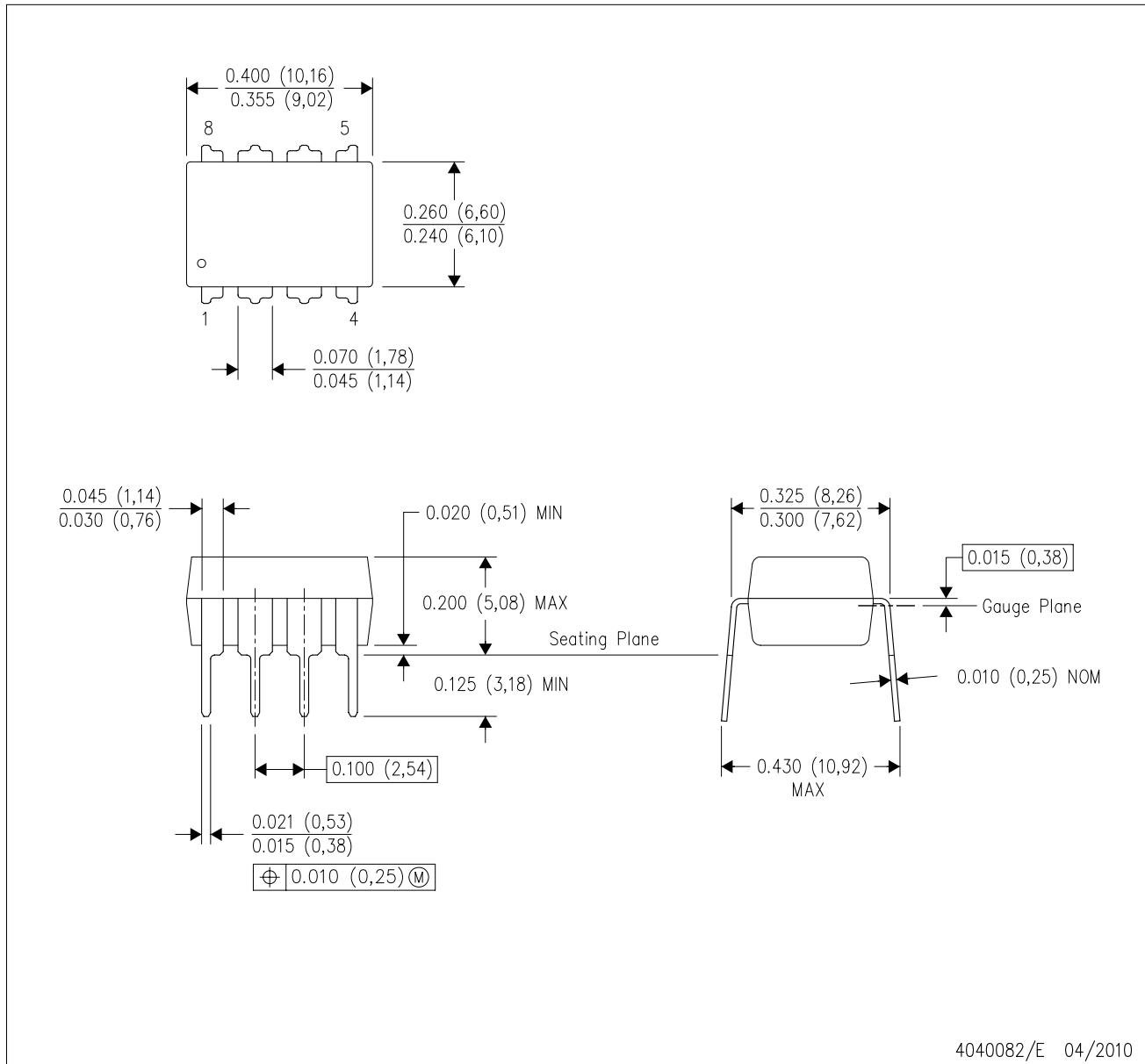
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



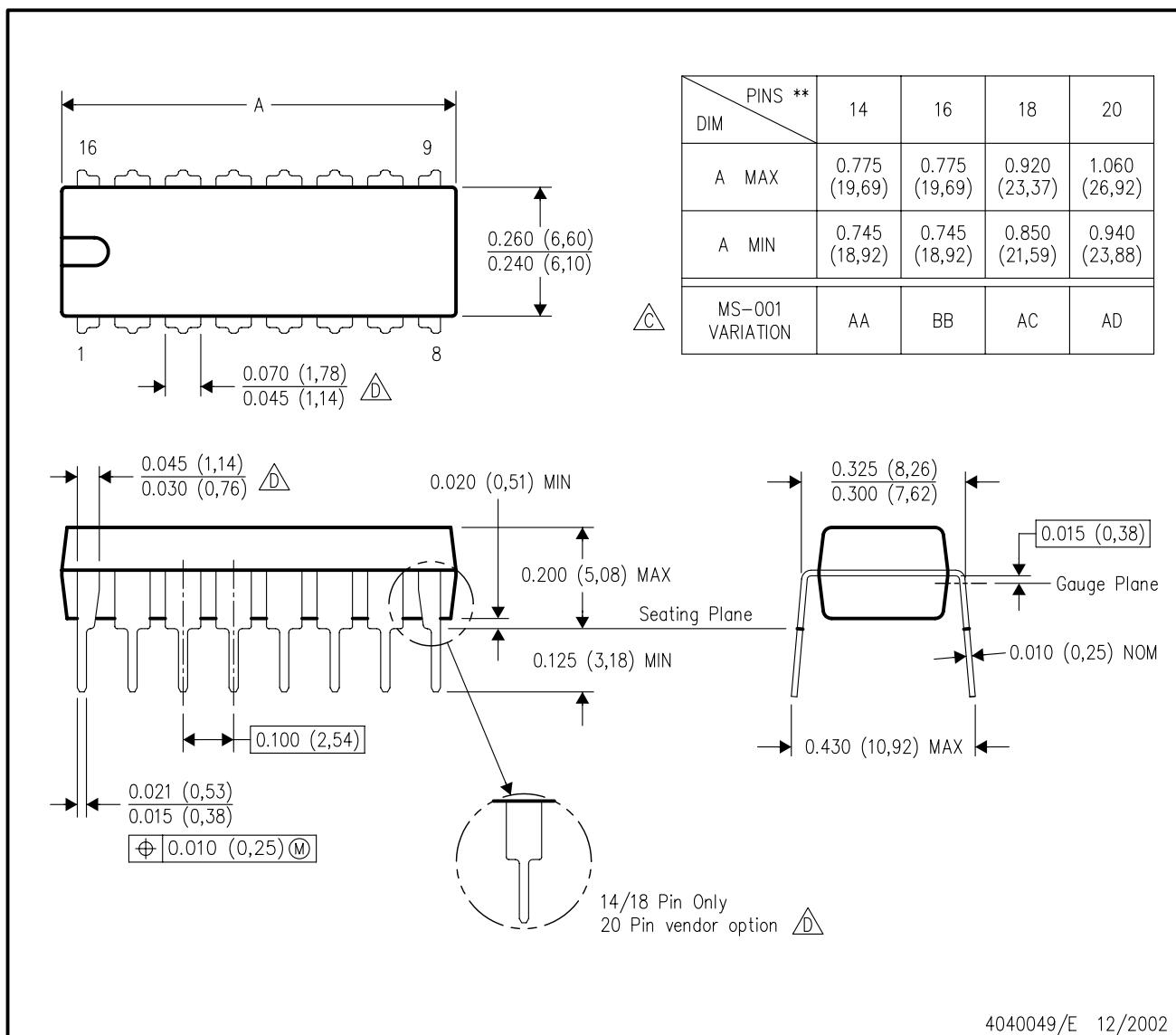
NOTES: A. All linear dimensions are in inches (millimeters).  
 B. This drawing is subject to change without notice.  
 C. Falls within JEDEC MS-001 variation BA.

4040082/E 04/2010

## N (R-PDIP-T\*\*)

16 PINS SHOWN

## PLASTIC DUAL-IN-LINE PACKAGE



NOTES: A. All linear dimensions are in inches (millimeters).  
B. This drawing is subject to change without notice.

△ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).

△ The 20 pin end lead shoulder width is a vendor option, either half or full width.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月