

LMC606x 高精度 CMOS、マイクロパワーオペアンプ

1 特長

- 特に記述のない限り標準値
- 低いオフセット電圧: 100 μ V
- 超低電源電流: 16 μ A/アンプ
- 電源電圧範囲: 4.5V ~ 15V
- 超低入力バイアス電流: 10fA
- 出力スイングは、電源レールから 10mV 以内、100k Ω 負荷
- 入力同相モードに V- を含む
- 高い電圧ゲイン: 140 dB
- ラッチアップ耐性の向上

2 アプリケーション

- 計装アンプ
- フォトダイオードおよび赤外線検出器のプリアンプ
- トランスデューサ アンプ
- ポータブル分析計測装置
- 医療用計測装置
- DA コンバータ (DAC)
- 圧電トランスデューサ用チャージアンプ

3 説明

LMC6061、LMC6062、LMC6064 (LMC606x) は、正確な単一電源動作が可能な高精度、低オフセット電圧のマイクロパワー動作オペアンプです。性能特性としては、きわめて小さい入力バイアス電流、高い電圧ゲイン、レールツーレールレールの出力段を備えており、入力同相電圧範囲にグラウンドが含まれます。これらの特長に加え、オペアンプの消費電力が低いことから、LMC606x はバッテリー電源アプリケーションに最適です。

LMC606x を使用する他のアプリケーションには、高精度の全波整流器、積分器、リファレンス、サンプル / ホールド回路、および真の計測アンプがあります。

このデバイスは、TI の高度なダブルポリシリコンゲート CMOS プロセスで製造されています。

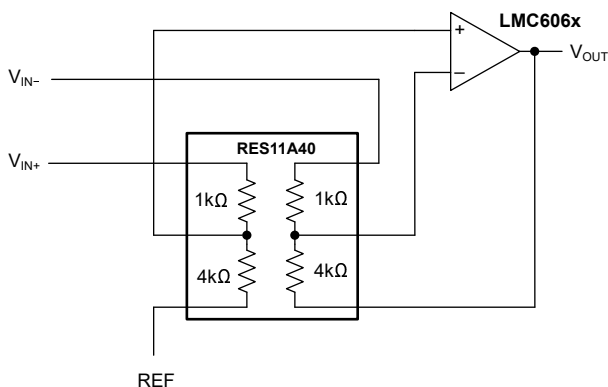
より高速度を必要とする設計については、LMC608x 高精度オペアンプを参照してください。

特許申請中

製品情報

部品番号	チャンネル数	パッケージ (1)
LMC6061	シングル	D (SOIC, 8)
LMC6062	デュアル	D (SOIC, 8)
		P (PDIP, 8)
LMC6064	クワッド	D (SOIC, 8)

(1) 詳細については、[セクション 9](#) を参照してください。



RES11A を使った差動アンプのアプリケーション



目次

1 特長.....	1	6 アプリケーションと実装.....	15
2 アプリケーション.....	1	6.1 アプリケーション情報.....	15
3 説明.....	1	6.2 代表的なアプリケーション.....	17
4 ピン構成および機能.....	2	6.3 レイアウト.....	18
5 仕様.....	5	7 デバイスおよびドキュメントのサポート.....	20
5.1 絶対最大定格.....	5	7.1 ドキュメントの更新通知を受け取る方法.....	20
5.2 ESD 定格.....	5	7.2 サポート・リソース.....	20
5.3 推奨動作条件.....	5	7.3 商標.....	20
5.4 熱に関する情報: LMC6061.....	6	7.4 静電気放電に関する注意事項.....	20
5.5 熱に関する情報: LMC6062.....	6	7.5 用語集.....	20
5.6 熱に関する情報: LMC6064.....	6	8 改訂履歴.....	20
5.7 電気的特性.....	7	9 メカニカル、パッケージ、および注文情報.....	21
5.8 代表的特性.....	11		

4 ピン構成および機能

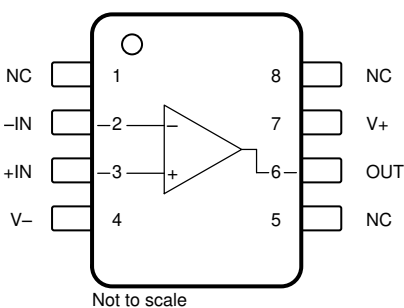


図 4-1. LMC6061 : D パッケージ、8 ピン SOIC (上面図)

表 4-1. ピンの機能 : LMC6061

ピン		タイプ	説明
名称	番号		
-IN	2	入力	反転入力
+IN	3	入力	非反転入力
NC	1、8、5	—	接続なし (フローティングのままでも可)
OUT	6	出力	出力
V-	4	電源	負 (最低) 電源
V+	7	電源	正 (最高) 電源

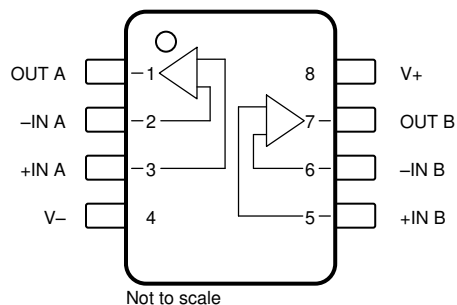


図 4-2. LMC6062 : D パッケージ、8 ピン SOIC および P パッケージ、8 ピン PDIP (上面図)

表 4-2. ピンの機能 : LMC6062

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャンネル A
-IN B	6	入力	反転入力、チャンネル B
+IN A	3	入力	非反転入力、チャンネル A
+IN B	5	入力	非反転入力、チャンネル B
OUT A	1	出力	出力チャンネル A
OUT B	7	出力	出力チャンネル B
V-	4	電源	負電源
V+	8	電源	正電源

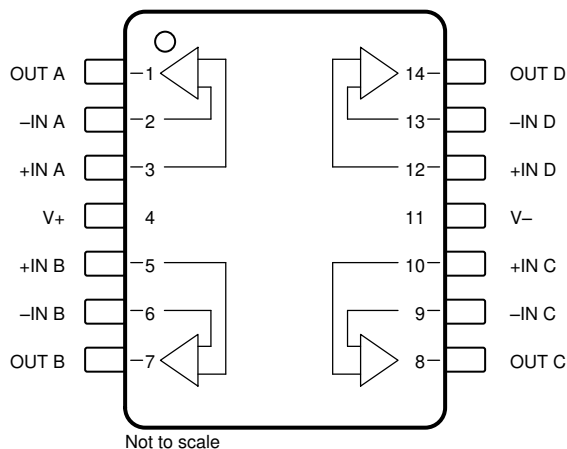


図 4-3. LMC6064 : D パッケージ、14 ピン SOIC (上面図)

表 4-3. ピンの機能 : LMC6064

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャンネル A
-IN B	6	入力	反転入力、チャンネル B
-IN C	9	入力	反転入力、チャンネル C
-IN D	13	入力	反転入力、チャンネル D
+IN A	3	入力	非反転入力、チャンネル A
+IN B	5	入力	非反転入力、チャンネル B
+IN C	10	入力	非反転入力、チャンネル C
+IN D	12	入力	非反転入力、チャンネル D
OUT A	1	出力	出力チャンネル A
OUT B	7	出力	出力チャンネル B
OUT C	8	出力	出力チャンネル C
OUT D	14	出力	出力チャンネル D
V-	11	電源	負電源
V+	4	電源	正電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
	差動入力電圧		±電源電圧	V
	入力 / 出力ピンの電圧	(V-) - 0.3	(V+) + 0.3	V
V _S	電源電圧、V _S = (V+) - (V-)		16	V
I _{SC}	出力短絡電流	V+ へ	(3) を参照	
		V- へ	(4) を参照	
	電流	入力ピン	±10	mA
		出力ピン	±30	
		電源ピン	40	
	消費電力		(5) を参照	
	リード温度 (半田付け、10 秒)		260	°C
T _J	接合部温度		150	°C
T _{stg}	保存温度	-65	150	°C

- (1) 絶対最大定格の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 防衛または航空宇宙仕様のデバイスをお求めの場合は、供給状況および仕様についてテキサス・インスツルメンツの営業所または販売代理店にお問い合わせください。
- (3) V+ が 13V を超える場合、出力を V+ に接続しないでください。信頼性に悪影響を及ぼす恐れがあります。
- (4) 単一電源と分割電源での両方の動作に適用されます。高い周囲温度で連続的に短絡動作させると、150°C の最大許容接合部温度を超える可能性があります。長時間にわたって ±30mA を超える出力電流は、信頼性に悪影響を及ぼす可能性があります。
- (5) 最大消費電力は T_{J(Max)}、θ_{JA}、T_A の関数となります。最大許容消費電力と周囲温度との関係式は、P_D = (T_{J(Max)} - T_A) / θ_{JA} です。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)	単一電源	4.5	36	V
		デュアル電源	±2.25	±18	
	規定温度	-40		125	°C
	消費電力		(1) を参照してください		

- (1) デバイスを高温で動作させるには、熱抵抗 θ_{JA} で P_D = (T_J - T_A) / θ_{JA} に基づいてデバイスの定格を下げる必要があります。

5.4 熱に関する情報 : LMC6061

熱評価基準 ⁽¹⁾		LMC6061	単位
		D (SOIC)	
		8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	193.0	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	57.9	°C/W
R _{θJB}	接合部から基板への熱抵抗	62.3	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	10.0	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	61.5	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 熱に関する情報 : LMC6062

熱評価基準 ⁽¹⁾		LMC6062		単位
		D (SOIC)	P (PDIP)	
		8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	193.0	115.0	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	52.0	59.2	°C/W
R _{θJB}	接合部から基板への熱抵抗	56.9	43.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	6.8	25.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	56.1	42.3	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.6 熱に関する情報 : LMC6064

熱評価基準 ⁽¹⁾		LMC6064	単位
		D (SOIC)	
		14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	126.0	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	34.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	34.3	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	4.7	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	33.7	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.7 電気的特性

$T_J = T_A = +25^{\circ}\text{C}$, $V_+ = 5\text{V}$, $V_- = 0\text{V}$, $V_{\text{CM}} = 1.5\text{V}$, $V_{\text{OUT}} = 2.5\text{V}$, および $R_L > 1\text{M}\Omega$ を $V_+ / 2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V _{OS}	入力オフセット電圧	LMC606xAI	T _A = −40°C〜+85°C	±100	±350	μV	
				±900			
		LMC606xI	T _A = −40°C〜+85°C	±100	±800		
				±1300			
dV _{OS} /dT	入力オフセット電圧ドリフト	T _A = −40°C〜+85°C			1	μV/°C	
PSRR	電源除去比	正の 5V ≤ V+ ≤ 15V, V _{OUT} = 2.5V、	LMC606xAI	75	85	dB	
			LMC606xAI T _A = −40°C から +85°C へ	72			
			LMC606xI	66	85		
			LMC606xI T _A = −40°C から +85°C へ	63			
		負の −10V ≤ V+ ≤ 0V	LMC606xAI	84	100		
			LMC606xAI T _A = −40°C から +85°C へ	81			
			LMC606xI	74	100		
			LMC606xI T _A = −40°C から +85°C へ	71			
入力バイアス電流							
I _B	入力バイアス電流				±10	fA	
		T _A = −40°C〜+85°C			±4	pA	
I _{OS}	入力オフセット電流				±5	fA	
		T _A = −40°C〜+85°C			±4	pA	
ノイズ							
e _n	入力電圧ノイズ密度	f = 1kHz			83	nV/√Hz	
i _n	入力電流ノイズ密度	f = 1kHz			12.5	fA/√Hz	
THD	全高調波歪み	f= 1kHz, G = −5V/V、R _L = 100kΩ、V _{OUT} = 2V _{pp} 、V _S = ±5V			0.01	%	
入力電圧							
V _{CM}	同相電圧	正のレールへ V+ = 15V および V+ = 5V、CMRR > 60dB	T _A = −40°C〜+85°C	(V+) − 1.9	(V+) − 2.3	V	
				(V+) − 2.5			
		負のレールへ V+ = 15V および V+ = 5V、CMRR > 60dB	T _A = −40°C〜+85°C	− 0.1	− 0.4		
				0			
CMRR	同相除去比	V+ = 15V、 0V ≤ V _{CM} ≤ 12V	LMC606xAI	75	85	dB	
			LMC606xAI、T _A = −40°C〜+85°C	72			
			LMC606xI	66	85		
			LMC606xI、T _A = −40°C〜+85°C	63			
入力インピーダンス							
R _{IN}	入力抵抗				>10	TΩ	

5.7 電気的特性 (続き)

$T_J = T_A = +25^\circ\text{C}$, $V_+ = 5\text{V}$, $V_- = 0\text{V}$, $V_{CM} = 1.5\text{V}$, $V_{OUT} = 2.5\text{V}$, および $R_L > 1\text{M}\Omega$ を $V_+ / 2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ ゲイン							
A _{OL}	開ループ電圧ゲイン	ソース、V ₊ = 15V、V _{CM} = 7.5V、 7.5V ≤ V _O ≤ 11.5V、R _L = 100kΩ	LMC606xAI	300	4000		V/mV
			LMC606xAI、T _A = −40°C〜 +85°C	200			
			LMC606xI	300	4000		
			LMC606xI、T _A = −40°C〜 +85°C	200			
		シンク、V ₊ = 15V、V _{CM} = 7.5V、 2.5V ≤ V _O ≤ 7.5V、R _L = 100kΩ	LMC606xAI	180	3000		
			LMC606xAI、T _A = −40°C〜 +85°C	100			
			LMC606xI	90	3000		
			LMC606xI、T _A = −40°C〜 +85°C	60			
		ソース、V ₊ = 15V、V _{CM} = 7.5V、 7.5V ≤ V _O ≤ 11.5V、R _L = 25kΩ	LMC606xAI	300	3000		
			LMC606xAI、T _A = −40°C〜 +85°C	150			
			LMC606xI	200	3000		
			LMC606xI、T _A = −40°C〜 +85°C	80			
		シンク、V _S = 15V、V _{CM} = 7.5V、 2.5V ≤ V _O ≤ 7.5V、R _L = 25kΩ	LMC606xAI	100	2000		
			LMC606xAI、T _A = −40°C〜 +85°C	50			
			LMC606xI	70	2000		
			LMC606xI、T _A = −40°C〜 +85°C	35			
周波数応答							
GBW	ゲイン帯域幅積			100			kHz
SR	スルー レート	V ₊ = 15V、10V ステップ、g = 1	LMC606xAI	20	35		V/ms
			LMC606xAI、−40°C ∼ +85°C	10			
			LMC606xI	15	35		
			LMC606xI、−40°C ∼ +85°C	7			
	クロストーク	デュアル／クワッドチャネル、V ₊ = 15V、R _L = 100kΩ、f = 100Hz、 V _{OUT} = 12V _{pp}		155			dB

5.7 電気的特性 (続き)

$T_J = T_A = +25^\circ\text{C}$, $V_+ = 5\text{V}$, $V_- = 0\text{V}$, $V_{CM} = 1.5\text{V}$, $V_{OUT} = 2.5\text{V}$, および $R_L > 1\text{M}\Omega$ を $V_+ / 2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位	
出力								
V _O	電圧出力シング	正のレール V+ = 5V、R _L = 100kΩ	LMC606xAI	4.990	4.995		V	
			LMC606xAI、T _A = −40°C ~ +85°C	4.980				
			LMC606xI	4.950	4.995			
			LMC606xI、T _A = −40°C ~ +85°C	4.925				
		負のレール V+ = 5V、R _L = 100kΩ	LMC606xAI		0.005	0.010		
			LMC606xAI、T _A = −40°C ~ +85°C			0.020		
			LMC606xI		0.005	0.050		
			LMC606xI、T _A = −40°C ~ +85°C			0.075		
		正のレール V+ = 5V、R _L = 25kΩ	LMC606xAI	4.975	4.990			
			LMC606xAI、T _A = −40°C ~ +85°C	4.965				
			LMC606xI	4.950	4.990			
			LMC606xI、T _A = −40°C ~ +85°C	4.850				
		負のレール V+ = 5V、R _L = 25kΩ	LMC606xAI		0.010	0.020		
			LMC606xAI、T _A = −40°C ~ +85°C			0.035		
			LMC606xI		0.010	0.050		
			LMC606xI、T _A = −40°C ~ +85°C			0.150		
		正のレール V+ = 15V、R _L = 100kΩ	LMC606xAI	14.975	14.990			
			LMC606xAI、T _A = −40°C ~ +85°C	14.965				
			LMC606xI	14.950	14.990			
			LMC606xI、T _A = −40°C ~ +85°C	14.925				
		負のレール V+ = 15V、R _L = 100kΩ	LMC606xAI		0.010	0.025		
			LMC606xAI、T _A = −40°C ~ +85°C			0.035		
			LMC606xI		0.010	0.050		
			LMC606xI、T _A = −40°C ~ +85°C			0.075		
		正のレール V+ = 15V、R _L = 25kΩ	LMC606xAI	14.90	14.965			
			LMC606xAI、T _A = −40°C ~ +85°C	14.850				
			LMC606xI	14.850	14.965			
			LMC606xI、T _A = −40°C ~ +85°C	14.800				
		負のレール V+ = 15V、R _L = 25kΩ	LMC606xAI		0.025	0.050		
			LMC606xAI、T _A = −40°C ~ +85°C			0.150		
			LMC606xI		0.025	0.100		
			LMC606xI、T _A = −40°C ~ +85°C			0.200		

5.7 電気的特性 (続き)

$T_J = T_A = +25^\circ\text{C}$, $V_+ = 5\text{V}$, $V_- = 0\text{V}$, $V_{CM} = 1.5\text{V}$, $V_{OUT} = 2.5\text{V}$, および $R_L > 1\text{M}\Omega$ を $V_+ / 2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I _{sc}	短絡電流	ソース V _{OUT} = 0V	LMC606xAI	16	22		mA
			LMC606xAI、T _A = −40°C ∼ +85°C	10			
			LMC606xI	13	22		
			LMC606xI、T _A = −40°C ∼ +85°C	8			
		シンク V _{OUT} = 5V	LMC606xAI	16	21		
			LMC606xAI、T _A = −40°C ∼ +85°C	8			
			LMC606xI	16	21		
			LMC606xI、T _A = −40°C ∼ +85°C	8			
		ソース V ₊ = 15V、V _{OUT} = 0V	LMC606xAI	15	25		
			LMC606xAI、T _A = −40°C ∼ +85°C	10			
			LMC606xI	15	25		
			LMC606xI、T _A = −40°C ∼ +85°C	10			
		シンク V ₊ = 15V、V _{OUT} = 13V ⁽¹⁾	LMC606xAI	20	26		
			LMC606xAI、T _A = −40°C ∼ +85°C	8			
			LMC606xI	20	26		
			LMC606xI、T _A = −40°C ∼ +85°C	8			
電源							
I _Q	アンプごとの静止電流	LMC6061AI、 V _{OUT} = 1.5V			20	24	μA
			T _A = −40°C ∼ +85°C				
		LMC6061I、 V _{OUT} = 1.5V			20	32	
			T _A = −40°C ∼ +85°C				
		LMC6062AI および LMC6064AI、 V _{OUT} = 1.5V			16	19	
			T _A = −40°C ∼ +85°C				
		LMC6062I および LMC6064I、 V _{OUT} = 1.5V			16	23	
			T _A = −40°C ∼ +85°C				
		LMC6061AI、 V _{OUT} = 7.5V、V ₊ = 15V			24	30	
			T _A = −40°C ∼ +85°C				
		LMC6061I、 V _{OUT} = 7.5V、V ₊ = 15V			24	40	
			T _A = −40°C ∼ +85°C				
		LMC6062AI および LMC6064A、 V _{OUT} = 7.5V、V ₊ = 15V			20	23.5	
			T _A = −40°C ∼ +85°C				
		LMC6062I および LMC6064I、 V _{OUT} = 7.5V、V ₊ = 15V			20	28.5	
			T _A = −40°C ∼ +85°C				

(1) V_+ が 13V を超える場合、出力を V_+ に接続しないでください。信頼性に悪影響を及ぼす恐れがあります。

5.8 代表的特性

$V_S = \pm 7.5V$ および $T_A = 25^\circ C$ (特に記述のない限り)

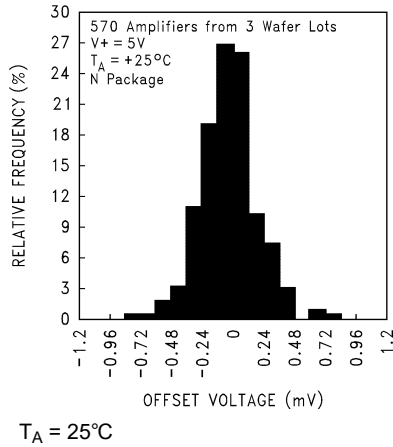


図 5-1. 入力オフセット電圧の分布

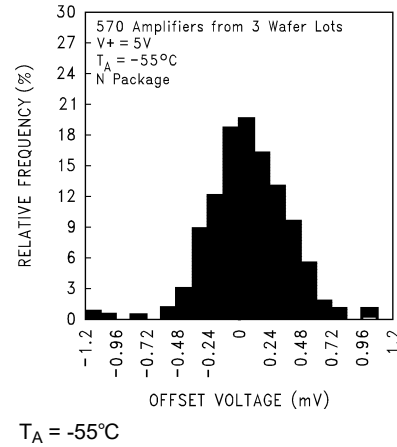


図 5-2. 入力オフセット電圧の分布

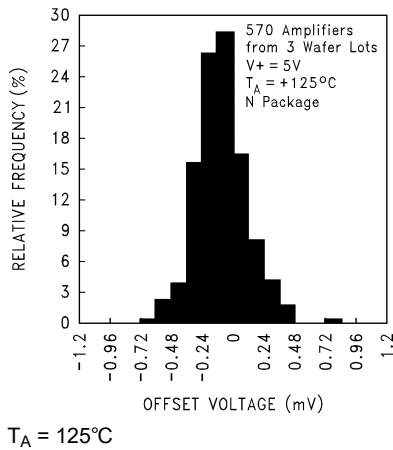


図 5-3. 入力オフセット電圧の分布

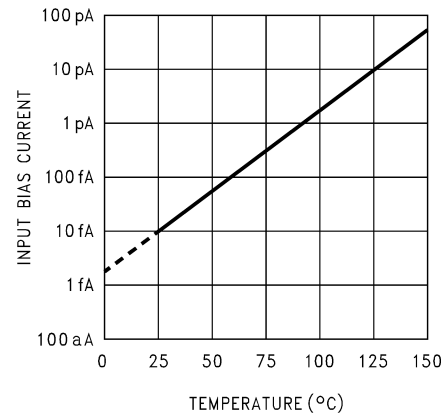


図 5-4. 入力バイアス電流と温度との関係

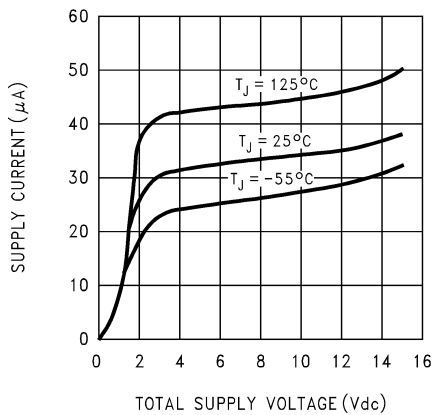


図 5-5. 電源電流と電源電圧との関係

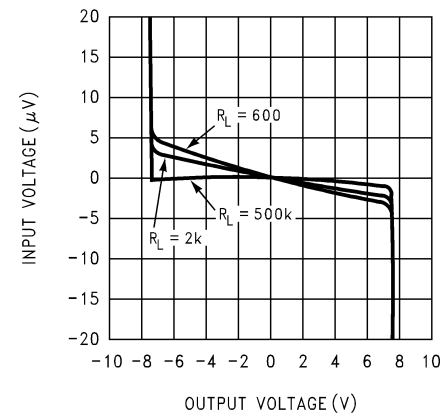


図 5-6. 入力電圧と出力電圧との関係

5.8 代表的特性 (続き)

$V_S = \pm 7.5V$ および $T_A = 25^\circ C$ (特に記述のない限り)

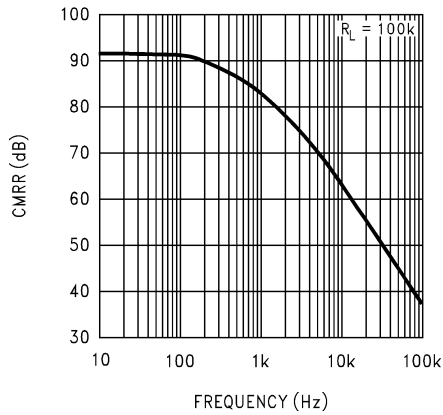


図 5-7. 同相除去比と周波数との関係

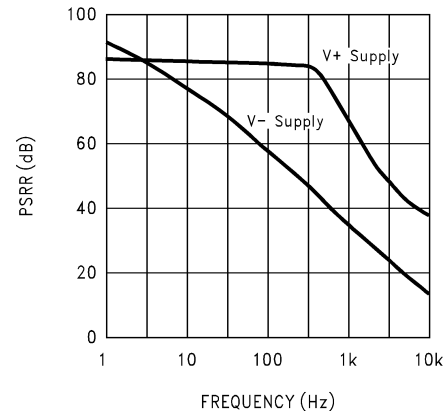


図 5-8. 電源除去比と周波数との関係

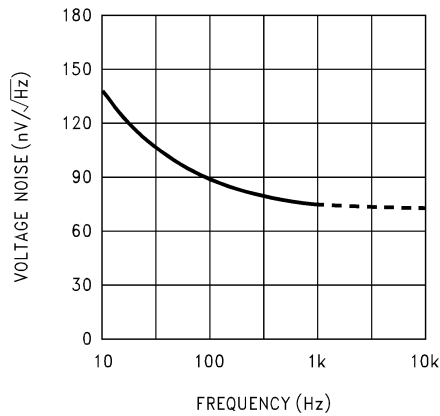


図 5-9. 入力電圧ノイズと周波数との関係

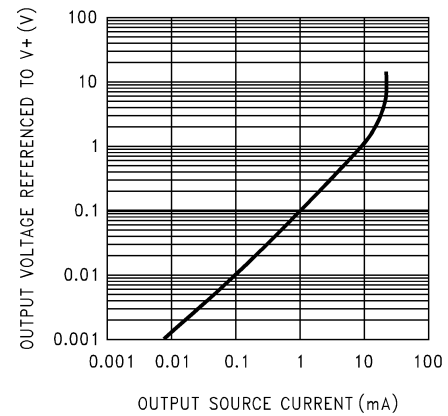


図 5-10. 出力特性ソース電流

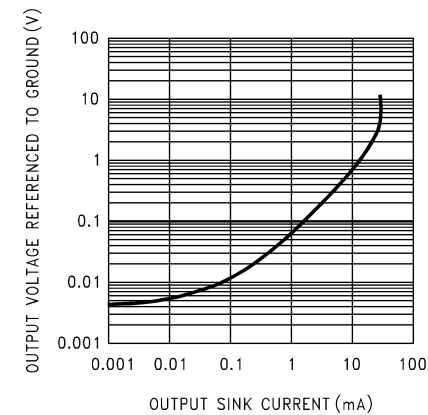
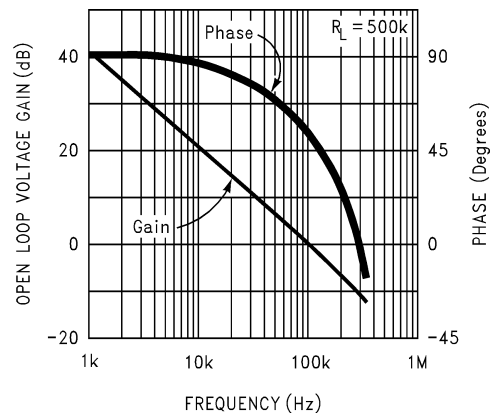


図 5-11. 出力特性シンク電流



$T_A = -55^\circ C \sim +125^\circ C$

図 5-12. ゲイン応答および位相応答と温度との関係

5.8 代表的特性 (続き)

$V_S = \pm 7.5V$ および $T_A = 25^\circ C$ (特に記述のない限り)

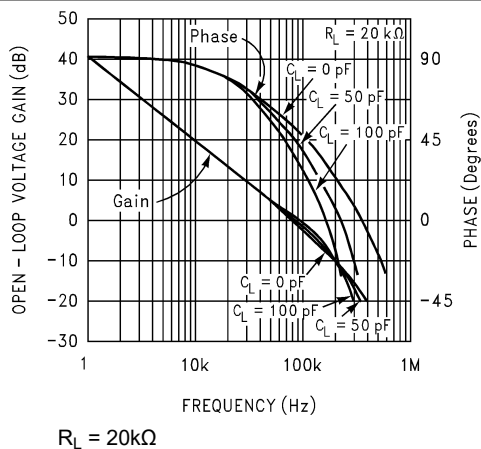


図 5-13. ゲイン応答および位相応答と容量性負荷との関係

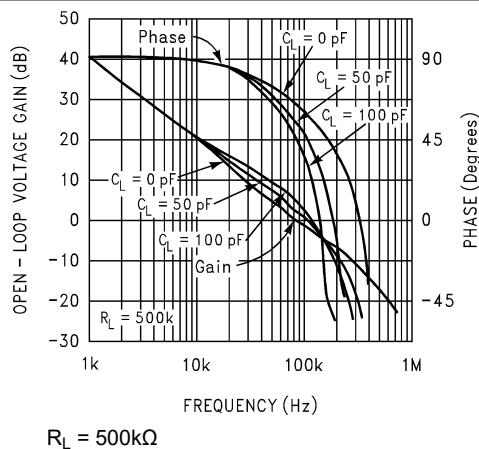


図 5-14. ゲイン応答および位相応答と容量性負荷との関係

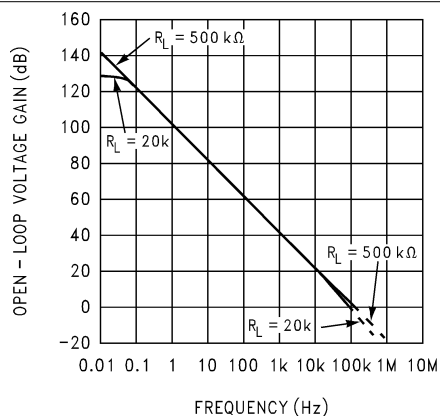


図 5-15. 開ループの周波数応答

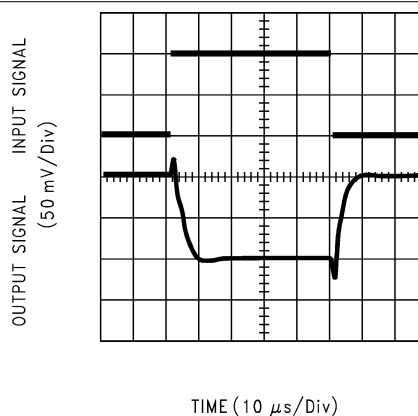


図 5-16. 反転型の小信号パルス応答

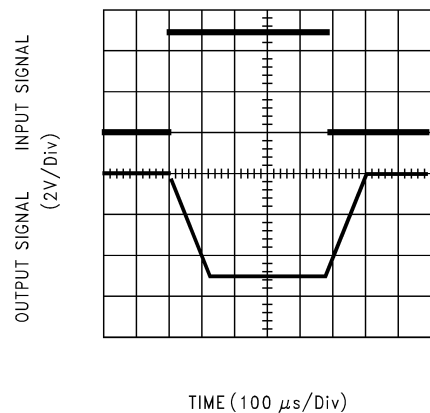


図 5-17. 反転型の大信号パルス応答

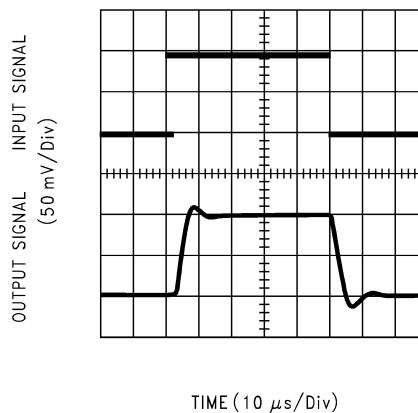


図 5-18. 非反転型の小信号パルス応答

5.8 代表的特性 (続き)

$V_S = \pm 7.5V$ および $T_A = 25^\circ C$ (特に記述のない限り)

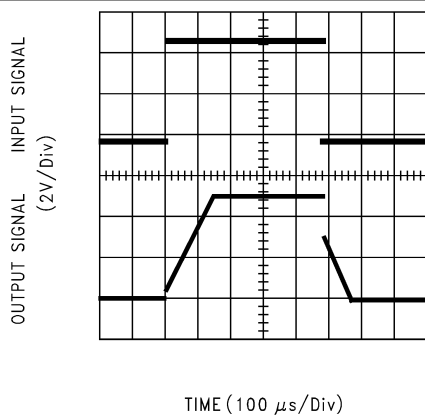


図 5-19. 非反転型の大信号パルス応答

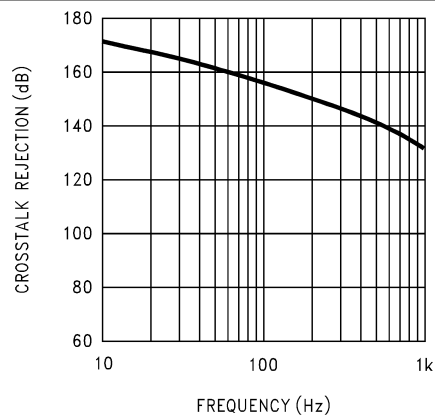
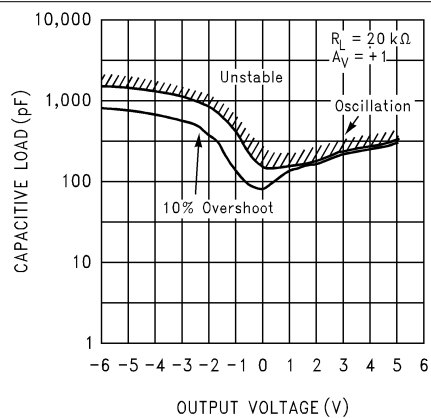
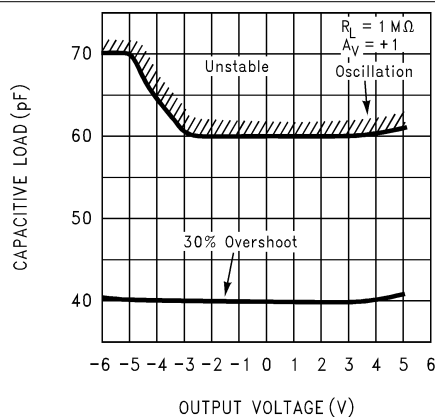


図 5-20. クロストーク除去と周波数との関係



$R_L = 20k\Omega$

図 5-21. 安定性と容量性負荷との関係



$R_L = 1M\Omega$

図 5-22. 安定性と容量性負荷との関係

6 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 アプリケーション情報

6.1.1 アンプトポロジ

LMC606x には、新しいオペアンプ設計トポロジが組み込まれており、大きな負荷を駆動してもレールツーレール出力スイングを実現します。従来型のマイクロパワーオペアンプに比べて、より広い範囲の動作条件で安定性を維持するために、特別な補償設計手法を採用しています。これらの特長により、LMC606x はこの超低消費電力クラスで通常見られる製品よりも設計が容易で、高速化を実現しています。

6.1.2 入力容量の補償

LMC606x などの入力電流が非常に小さいアンプでは、一般に大きな帰還抵抗値が使用されます。LMC606x は多様な動作条件で非常に安定していますが、大きな値の帰還抵抗を使用する場合、目的のパルス応答を実現するため、一定の注意事項を守るようにしてください。トランスデューサ、フォトダイオード、回路基板の寄生素子による入力容量の値が小さくても、帰還抵抗の値が大きいと、位相マージンが減少します。

高い入力インピーダンスが求められる場合、LMC606x をガードすることを推奨します。入力ラインをガードすることで、リークが減少するだけでなく、浮遊入力容量も減少します。[セクション 6.3.1.1](#) も参照してください。

入力容量の影響は、コンデンサを追加することで補償できます。コンデンサ C_F を帰還抵抗器の周囲に配置します ([図 6-1](#) を参照)。

$$\frac{1}{2\pi R1C_{IN}} \geq \frac{1}{2\pi R2C_F} \quad (1)$$

ここで、

$$R1C_{IN} \leq R2C_F \quad (2)$$

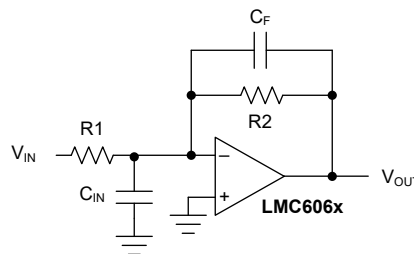


図 6-1. 入力容量の影響の相殺

C_{IN} の正確な値を知ることは困難であることが多いですが、目的のパルス応答が得られるように C_F を実験的に調整しても構いません。入力容量の補償の詳細については、[LMC660](#) および [LMC662](#) を参照してください。

6.1.3 容量性負荷の許容誤差

すべてのレール ツー レール出力シング オペアンプは、出力段で電圧ゲインを持っています。通常、この積分段には補償コンデンサが含まれます。ドミナントポールの周波数の位置は、アンプの抵抗性負荷の影響を受けます。容量性負荷と並列に、適切な抵抗性負荷を使用することで、容量性負荷駆動能力を最適化できます (セクション 5.8 を参照)。

容量性負荷を直接接続すると、多くのアンプでは位相マージンが減少します。帰還ループの極は、オペアンプの出力インピーダンスと容量性負荷の組み合わせによって形成されます。この極は、アンプのユニティ ゲイン クロスオーバー周波数で位相遅れを引き起こし、結果的に、振動性と減衰不足のどちらかのパルス応答をもたらします。図 6-2 は、少数の外付け部品を使用することで、オペアンプが簡単に容量性負荷を間接的に駆動できることを示しています。

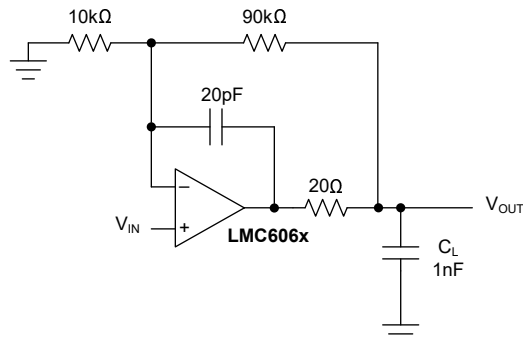


図 6-2. LMC606x 10 アンプの非反転ゲイン、容量性負荷を処理するために補償済み

図 6-2 回路において、R1 と C1 は、出力信号の高周波成分をアンプの反転入力にフィードバックすることで位相マージンの損失を相殺するため、フィードバックループ全体の位相マージンが維持されます。

V + (図 6-3) へのプルアップ抵抗を使用することで、容量性負荷駆動能力が向上します。一般に、10μA 以上のプルアップ抵抗を使用すると、容量性負荷の応答を大幅に改善できます。プルアップ抵抗の値は、目的の出力シングに対するアンプの電流シンク能力に基づいて決定する必要があります。アンプの開ループゲインは、プルアップ抵抗の影響も受ける可能性があります (セクション 5.7 を参照)。

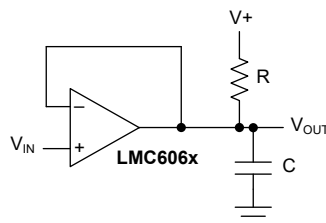


図 6-3. プルアップ抵抗による大容量負荷の補償

6.1.4 ラッチアップ

CMOS デバイスは、内部寄生シリコン制御整流器 (SCR) 効果によってラッチアップの影響を受けやすい傾向があります。入力および出力 (I/O) ピンは、SCR のゲートと似た外見をしています。SCR ゲートリードをトリガするのに必要な最小限の電流が存在します。LMC606x は、I/O ピンの 100mA サージ電流に耐えられるように設計されています。抵抗方式を使用して、I/O ピンに過剰な電流が供給されないように静電容量を分離しています。さらに、SCR と同様に、ラッチアップモードには最小保持電流が存在します。電源ピンへの電流を制限すると、ラッチアップ感受性も抑制されます。

6.2 代表的なアプリケーション

6.2.1 計装アンプ

LMC606x は、入力インピーダンスが非常に高く、消費電力が低いため、バッテリー駆動の計測アンプを必要とするアプリケーションに最適です。こうしたアプリケーションの例としては、ポータブル pH プロブ、分析医療機器、磁界検出器、ガス検出器、シリコンベースの圧力トランスデューサなどがあります。

図 6-4 は、差動入力抵抗および同相入力抵抗が大きい ($10^{14}\Omega$ 超) 計測アンプ、 $A_V = 100$ で 0.01% のゲイン精度、ブリッジのソース抵抗で $1k\Omega$ の不均衡によって CMRR に優れています。入力電流は $100fA$ 未満で、オフセットのドリフトは $2.5\mu V/^\circ C$ 未満です。R2 は CMRR を劣化させることなく、広い範囲に渡ってゲインを調整するシンプルな手段を実現します。R7 は、超高精度のマッチング抵抗を使用せずに、CMRR を最大化するために使用される初期トリムです。温度範囲全体にわたって CMRR を良好にするには、低ドリフトの抵抗を使用します。

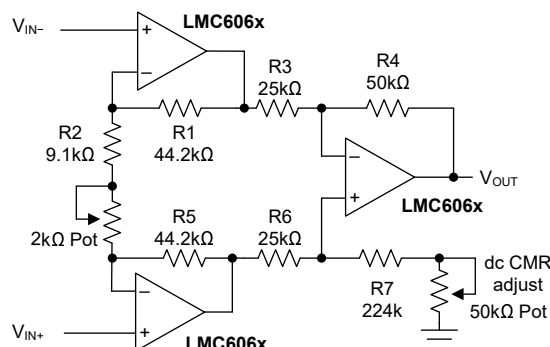


図 6-4. 計装アンプ

R1 = R5、R3 = R6、R4 = R7 の場合

$$\frac{V_{OUT}}{V_{IN}} = \frac{R4}{R3} \left(\frac{R2 + 2R1}{R2} \right) \quad (3)$$

および、図 6-4 (R2 = $9.1k\Omega$) に示されている回路の場合、 $A_V \approx 100$ 。 $V_{IN} = V_{IN+} - V_{IN-}$ に注意してください。

6.2.2 低リークのサンプル / ホールド

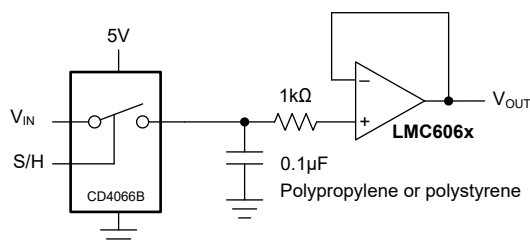


図 6-5. 低リークのサンプル / ホールド

6.2.3 1Hz 方形波発振器

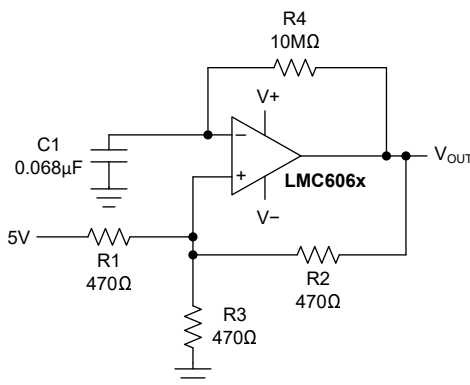


図 6-6. 1Hz 方形波発振器

6.3 レイアウト

6.3.1 レイアウトのガイドライン

6.3.1.1 高インピーダンス回路のためのプリント基板のレイアウト

一般に、1000pA 未満のリーク電流で動作するすべての回路には、特殊なプリント基板 (PCB) レイアウトが必要です。LMC606x はバイアス電流が非常に低く、通常は 10fA 未満です。その利点を活かすには、優れたレイアウトが不可欠です。幸いなことに、低リークを実現するために使用される技術は非常に簡単です。まず、リーク電流が許容範囲内で小さいように見える場合でも、PCB の表面リークを無視しないでください。湿度、ほこり、汚染の多い条件下では、表面リークが大きくなる可能性があります。

表面のリーク電流の影響を最小限に抑えるため、図 6-11 に示すように、LMC606x の入力と、オペアンプの入力部に接続されているコンデンサ、ダイオード、導体、抵抗、リレー端子などの周囲を完全に取り囲む金属箔のリングを配置します。大きな効果を得るには、PCB の上面と底面の両方にガードリングを配置します。次に、同じ電位の 2 点間にはリーク電流は流れないため、この金属箔をアンプ入力と同電位の電圧に接続します。たとえば、 $10^{12}\Omega$ の PCB トレース - パッド間抵抗値は、通常は非常に大きな抵抗値と見なされますが、そのトレースが入力パッドに隣接する 5V バスである場合、5pA のリークが発生する可能性があります。このリークは、LMC606x の本来のリーク電流値の 100 倍に相当します。ただし、ガードリングが入力の 5mV 以内に保持されている場合、 $10^{11}\Omega$ の抵抗であっても、わずか 0.05pA のリーク電流しか発生しません。図 6-7 から図 6-9 に、標準オペアンプ構成でのガードリングの一般的な接続を示します。

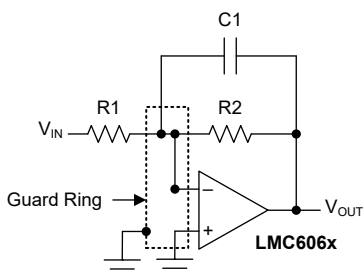


図 6-7. ガードリングの代表的な接続：反転アンプ

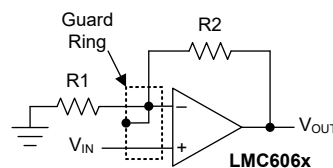


図 6-8. ガードリングの代表的な接続：非反転アンプ

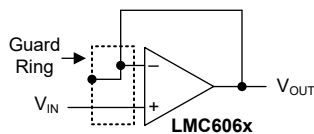
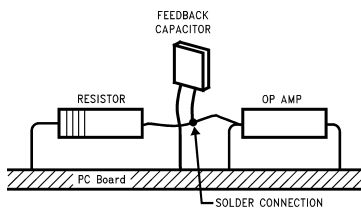


図 6-9. ガードリングの代表的な接続：電圧フォロワ

少数の回路だけのために PCB をレイアウトすることが現実的でない場合は、ガードリングよりも次の手法の方が優れています。アンプの入力ピンを PCB に挿入しないでください。代わりに、ピンを空中で曲げて空気だけを絶縁体として使用します。空気は優れた絶縁体です。この場合、PCB 構造の利点の一部が失われますが、ポイントツーポイントの空中配線を使用する労力に見合った十分な利点が得られることがあります。図 6-10 に、空中配線の例を示します。



注: 入力ピンは PCB から持ち上げて部品に直接半田付けします。その他のすべてのピンは PCB に接続します。

図 6-10. 空中配線

6.3.2 レイアウト例

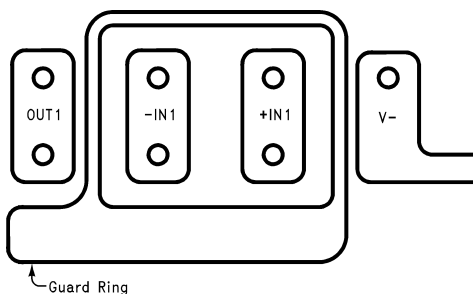


図 6-11. PCB レイアウトのガードリングの例

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (March 2013) to Revision E (March 2025)	Page
• データシートに LMC6061 と LMC6064 および関連する内容を追加.....	1
• LMC6061 および LMC6064 の PDIP の内容を削除.....	1
• アプリケーション回路を追加.....	1
• ピン構成および機能を追加.....	2
• ピン構成および機能中のピンの名前を更新.....	2
• ESD 定格を追加.....	5
• 「推奨動作条件」から注 1 および 2 を削除.....	5
• 「熱に関する情報」を追加.....	6
• 「AC と DC の電気的特性」を結合.....	7
• パラメータの名前と記号を更新.....	7
• DC の電気的特性から注 1、2、3 を削除.....	7
• 入力電流ノイズを 0.2fA/√Hz から 12.5fA/Hz に変更.....	7
• 注 4 の条件を「DC の電気的特性」から開ループ電圧ゲインテスト条件に移動.....	7
• LMC606xAI の $R_L = 100k\Omega$ (ソース) の開ループ・ゲインを 400V/mV から 300V/mV に変更.....	7

• LMC606xAI の $R_L = 100k\Omega$ (ソース、 $T_A = -40^\circ\text{C}$ から 85°C) の開ループゲインを 300V/mV から 200V/mV に変更	7
• LMC606xAI の $R_L = 25k\Omega$ (ソース) の開ループゲインを 400V/mV から 300V/mV に変更	7
• 「AC の電気的特性」から注 1、2、3 を削除	7
• 注 4 の条件を「AC の電気的特性」から開スルーレートテスト条件に移動	7
• 注 5 の条件を「AC の電気的特性」からクロストークテスト条件に移動	7
• 供給電流パラメータ名を、アンプごとの静止電流に変更	7
• 「アンプトポロジ」を更新	15

Changes from Revision C (March 2013) to Revision D (March 2013)

Page

• ナショナル セミコンダクター データシートのレイアウトをテキサス・インスツルメンツ形式に変更	17
--	----

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6061AIM/NOPB	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	LMC60 61AIM
LMC6061AIMX/NOPB	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 61AIM
LMC6061AIMX/NOPB.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 61AIM
LMC6061AIMX/NOPB.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 61AIM
LMC6061IM/NOPB	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	LMC60 61IM
LMC6061IMX/NOPB	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 61IM
LMC6061IMX/NOPB.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 61IM
LMC6061IMX/NOPB.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 61IM
LMC6062AIM/NOPB	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	LMC60 62AIM
LMC6062AIMX/NOPB	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 62AIM
LMC6062AIMX/NOPB.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 62AIM
LMC6062AIMX/NOPB.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 62AIM
LMC6062I MDC	Active	Production	DIESALE (Y) 0	288 OTHER	Yes	Call TI	Level-1-NA-UNLIM	-40 to 85	
LMC6062I-MDC.A	Active	Production	DIESALE (Y) 0	288 OTHER	Yes	Call TI	Level-1-NA-UNLIM	-40 to 85	
LMC6062IM/NOPB	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	LMC60 62IM
LMC6062IMX/NOPB	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 62IM
LMC6062IMX/NOPB.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 62IM

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6062IMX/NOPB.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 62IM
LMC6062IN/NOPB	Active	Production	PDIP (P) 8	40 TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC6062 IN
LMC6062IN/NOPB.A	Active	Production	PDIP (P) 8	40 TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC6062 IN
LMC6062IN/NOPB.B	Active	Production	PDIP (P) 8	40 TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC6062 IN
LMC6064AIM/NOPB	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-40 to 85	LMC6064 AIM
LMC6064AIMX/NOPB	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6064 AIM
LMC6064AIMX/NOPB.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6064 AIM
LMC6064AIMX/NOPB.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	-	Call TI	Call TI	-40 to 85	
LMC6064IM/NOPB	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-40 to 85	LMC6064IM
LMC6064IMX/NOPB	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6064IM
LMC6064IMX/NOPB.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6064IM
LMC6064IMX/NOPB.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	-	Call TI	Call TI	-40 to 85	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

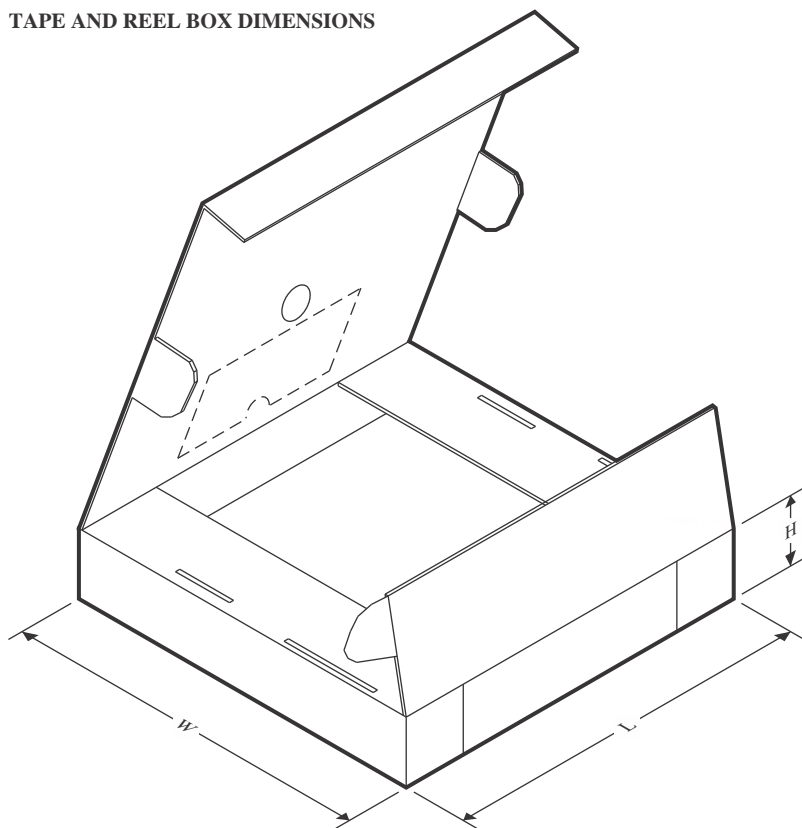
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC6061AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6061IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6062AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6062IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6064AIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMC6064IMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1

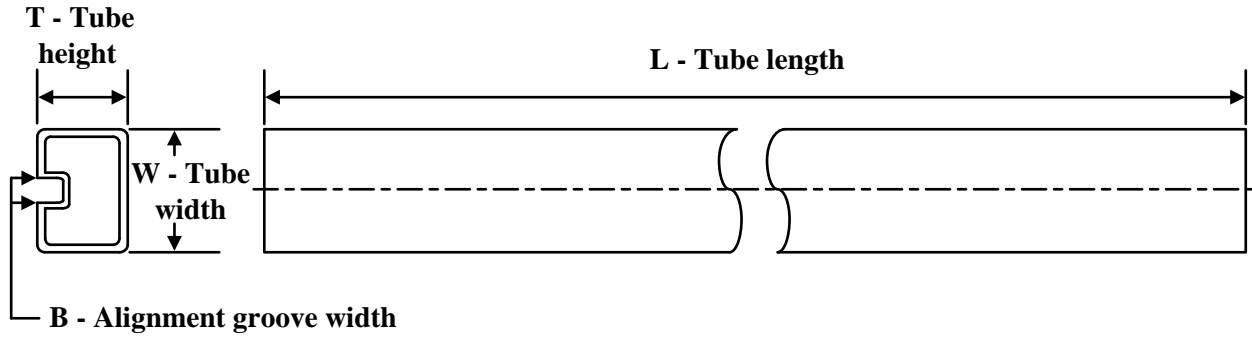
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

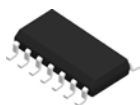
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC6061AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6061IMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6062AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6062IMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6064AIMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0
LMC6064IMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0

TUBE

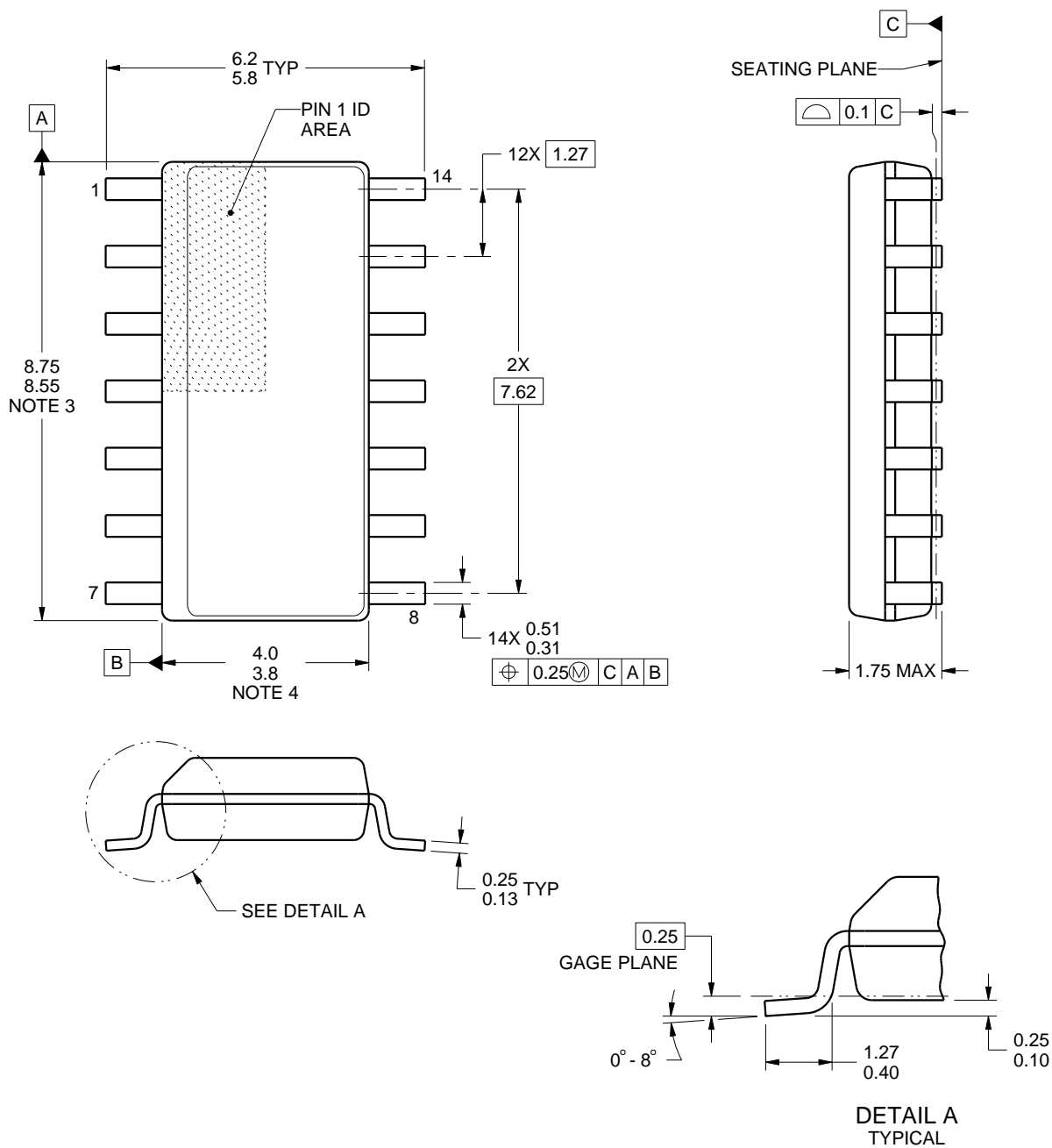


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
LMC6062IN/NOPB	P	PDIP	8	40	502	14	11938	4.32
LMC6062IN/NOPB.A	P	PDIP	8	40	502	14	11938	4.32
LMC6062IN/NOPB.B	P	PDIP	8	40	502	14	11938	4.32

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

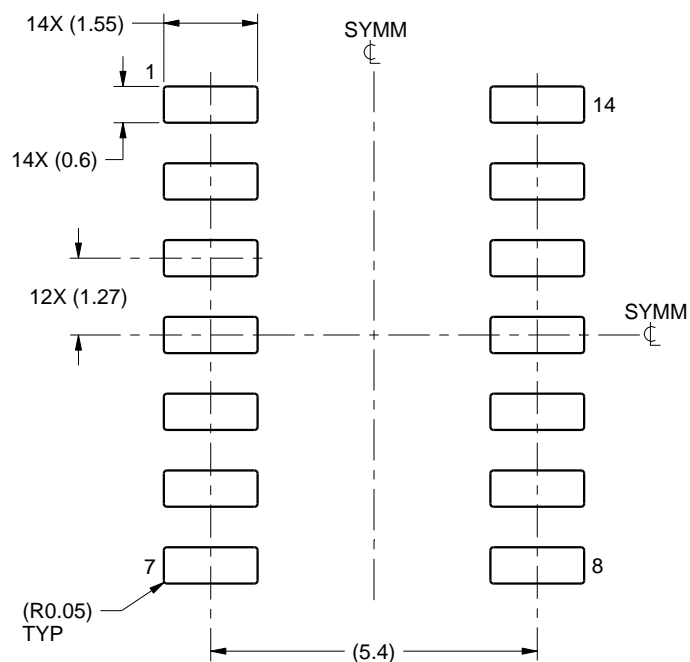
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

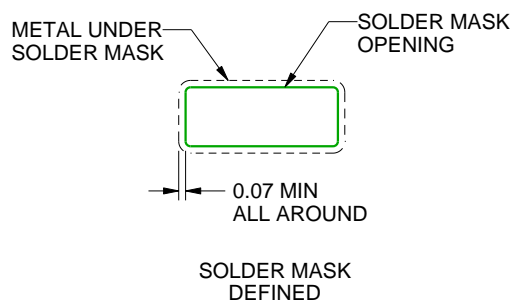
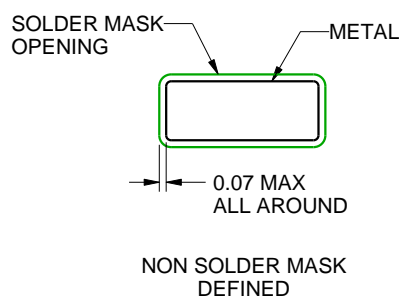
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

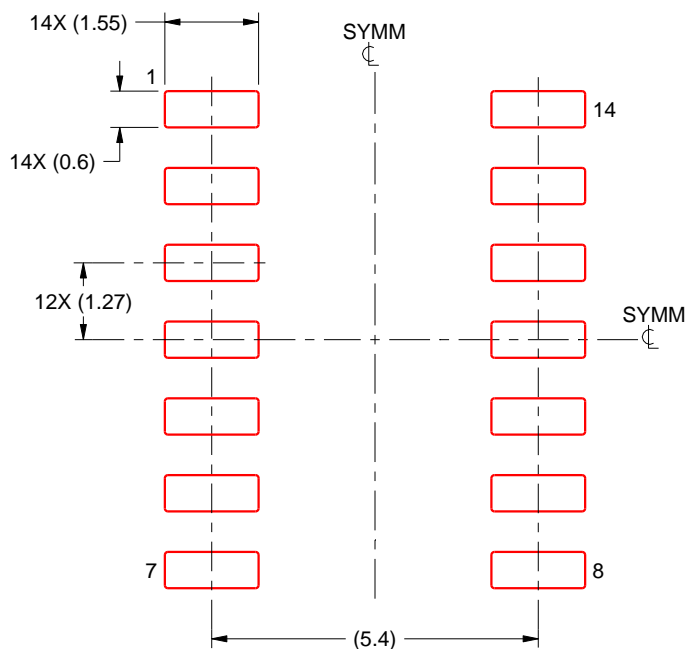
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

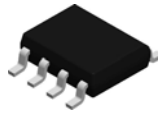


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

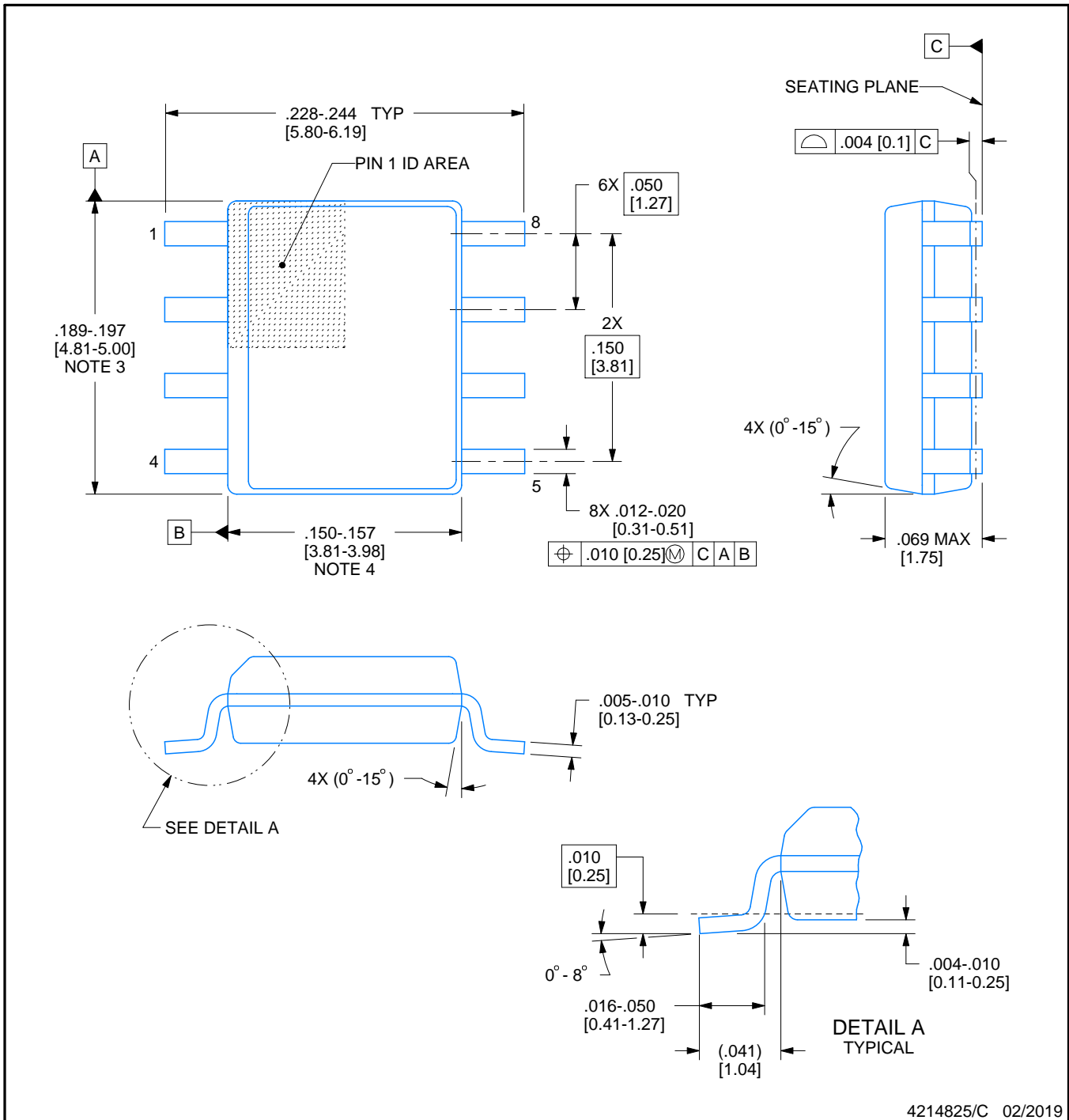


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

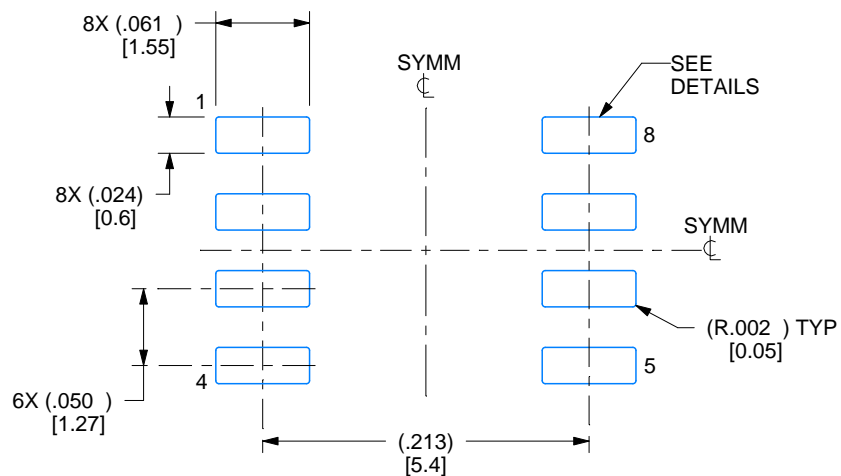
NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

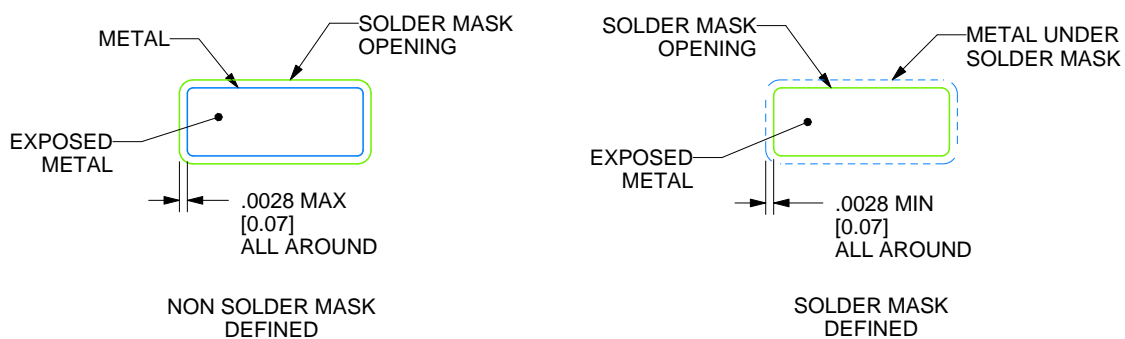
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

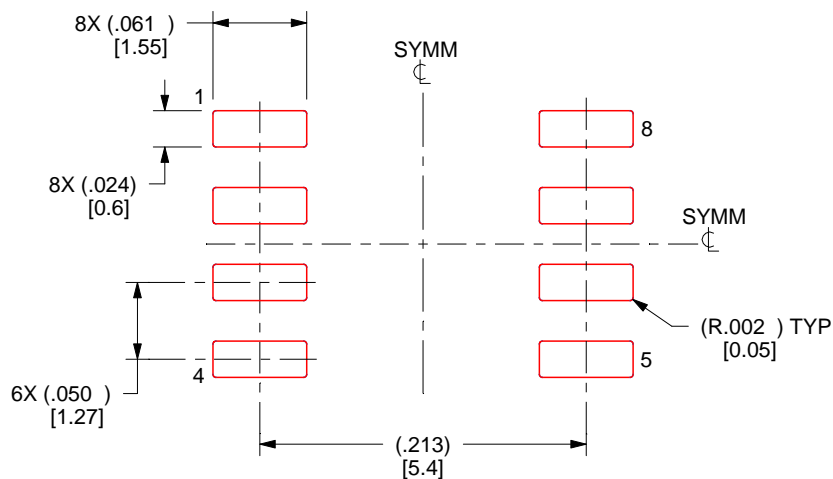
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

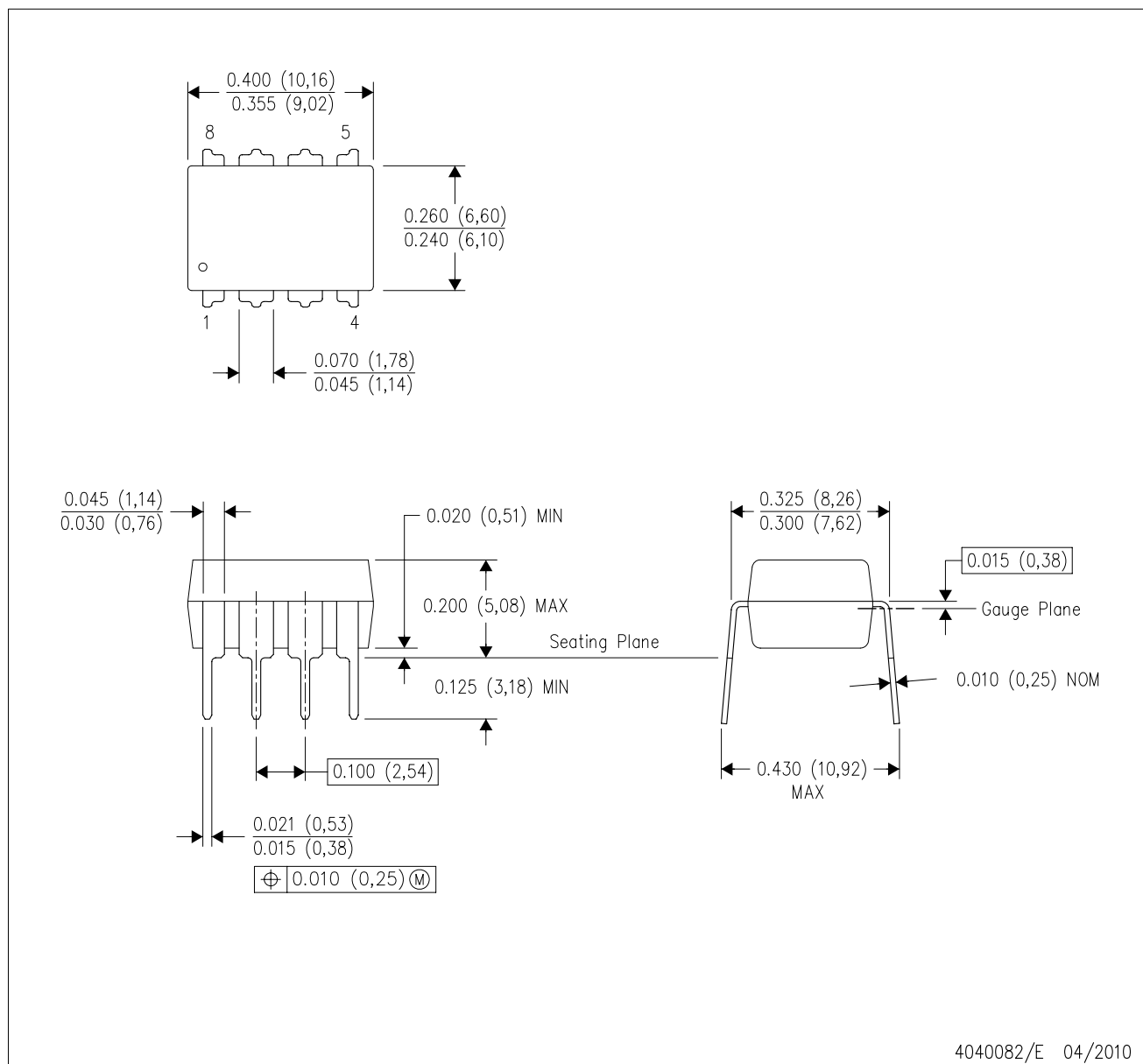
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月