LMC604x CMOS、デュアル、マイクロパワー オペ アンプ

1 特長

- 特に記述のない限り標準値
- 低い消費電流:10μA/amp
- 電源電圧範囲:4.5V～15V の単一電源電圧
- 超低入力電流:2fA
- レール ツー レールの出力スイング
- グランドを含む入力同相範囲

2 アプリケーション

- バッテリ監視と電源コンディショニング
- フォトダイオードおよび赤外線検出器のプリアンプ
- シリコンベースのトランスデューサ システム
- ポータブル分析装置
- pH プローブ バッファ アンプ
- 火災探知と煙探知の各システム
- 圧電トランスデューサ用チャージ アンプ

3 概要

超低消費電力と低い入力リーク電流は、LMC6041、LMC6042、さらに LMC6044(LMC604x)の特徴です。わずか 2FA(標準値)の入力電流を供給する LMC604x 単一電源で動作し、各電源レールまで出力スイングが拡張され、グランドを含む入力電圧範囲があります。

LMC604x は、超低消費電力を必要とするシステムで使用するよう設計されています。さらに、ラッチアップに対する感度が低い、高い出力駆動能力、およびグランドへの出力スイングが外付けのプルダウン抵抗を必要としないため、これらのオペアンプは単一電源のバッテリ駆動システムに最適です。

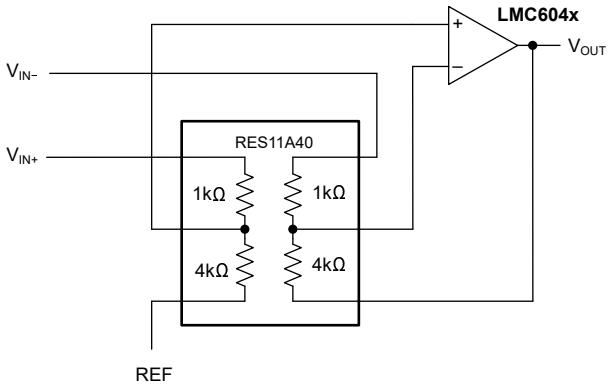
LMC604x のその他のアプリケーションには、バーコードリーダーアンプ、磁界検出器および電界検出器、携帯型電位計が含まれます。

このデバイスは、TI の高度なダブルポリ・シリコン・ゲート CMOS プロセスで製造されています。

製品情報

部品番号	チャネル数	パッケージ (1)
LMC6041	シングル	D (SOIC、8)
		P (PDIP、8)
LMC6042	デュアル	D (SOIC、8)
		P (PDIP、8)
LMC6044	クワッド	D (SOIC、14)
		N (PDIP、14)

(1) 詳細については、セクション 9 を参照してください。



RES11A を使った差動アンプのアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 概要 1
4 ピン構成および機能 3
5 仕様 5
5.1 絶対最大定格 5
5.2 ESD 定格 5
5.3 推奨動作条件 5
5.4 熱に関する情報：LMC6041 6
5.5 熱に関する情報：LMC6042 6
5.6 熱に関する情報：LMC6044 6
5.7 電気的特性 7
5.8 代表的特性 12
6 アプリケーションと実装 17
6.1 アプリケーション情報 17
6.2 代表的なアプリケーション 18
6.3 レイアウト 21
7 デバイスおよびドキュメントのサポート 23
7.1 ドキュメントの更新通知を受け取る方法 23
7.2 サポート・リソース 23
7.3 静電気放電に関する注意事項 23
7.4 用語集 23
8 改訂履歴 23
9 メカニカル、パッケージ、および注文情報 25

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

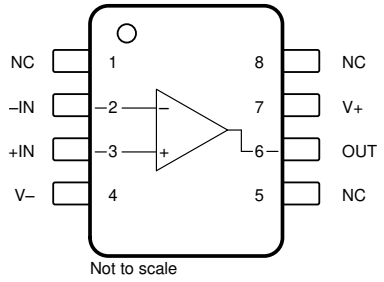


図 4-1. LMC6041：D パッケージ、8 ピン SOIC および P パッケージ、8 ピン PDIP (上面図)

表 4-1. ピンの機能：LMC6041

ピン		タイプ	説明
名称	番号		
–IN	2	入力	反転入力
+IN	3	入力	非反転入力
NC	1、5、8	_	接続なし。このピンは未接続のままにするか、フローティングにします。
OUT	6	出力	出力
V-	4	電源	負 (最低) 電源
V+	7	電源	正 (最高) 電源

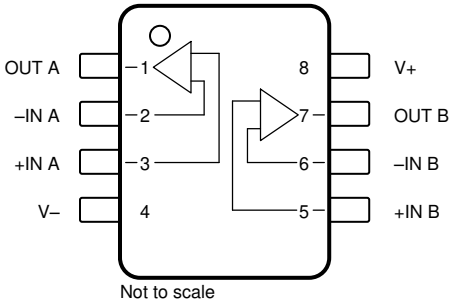


図 4-2. LMC6042：D パッケージ、8 ピン SOIC および P パッケージ、8 ピン PDIP (上面図)

表 4-2. ピンの機能：LMC6042

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャネル A
-IN B	6	入力	反転入力、チャネル B
+IN A	3	入力	非反転入力、チャネル A
+IN B	5	入力	非反転入力、チャネル B
OUT A	1	出力	出力チャネル A
OUT B	7	出力	出力チャネル B
V-	4	電源	負電源
V+	8	電源	正電源

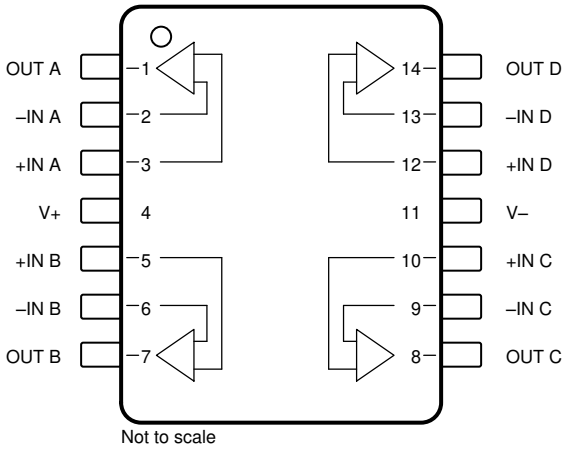


図 4-3. LMC6044：D パッケージ、14 ピン SOIC、N パッケージ、14 ピン PDIP (上面図)

表 4-3. ピンの機能：LMC6044

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャネル A
-IN B	6	入力	反転入力、チャネル B
–IN C	9	入力	反転入力、チャネル C
–IN D	13	入力	反転入力、チャネル D
+IN A	3	入力	非反転入力、チャネル A
+IN B	5	入力	非反転入力、チャネル B
+IN C	10	入力	非反転入力、チャネル C
+IN D	12	入力	非反転入力、チャネル D
OUT A	1	出力	出力チャネル A
OUT B	7	出力	出力チャネル B
OUT C	8	出力	出力チャネル C
OUT D	14	出力	出力チャネル D
V-	11	電源	負電源
V+	4	電源	正電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[(1)] [(2)]

			最小値	最大値	単位
	差動入力電圧			±電源電圧	
V_S	電源電圧、V_S = (V+) - (V-)			16	V
I_{SC}	出力短絡 [(5)]	V+ まで		[(3)] を参照	
		V– まで		[(4)] を参照	
	入力 / 出力ピンの電圧		(V-) - 0.3	(V+) + 0.3	V
	入力ピンの電流			±5	mA
	出力ピンの電流			±18	
	電源ピンの電流			35	
P_D	消費電力			[(5)] を参照	
	リード温度 (半田付け、10 秒)			260	℃
T_J	接合部温度 [(5)]			110	℃
T_{stg}	保存温度		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 防衛または航空宇宙仕様のデバイスをお求めの場合は、供給状況および仕様についてテキサス・インスツルメンツの営業所または販売代理店にお問い合わせください。
(3) V+ が 13V を超える場合は、出力を V+ に接続しないでください。信頼性に悪影響を及ぼす可能性があります。
(4) これは、単一電源動作にも適用されます。高い周囲温度で連続的に短絡動作させると、110℃の最大許容接合部温度を超える可能性があります。長時間にわたって ±30mA を超える出力電流は、信頼性に悪影響を及ぼす可能性があります。
(5) 最大消費電力は $T_{J(Max)}$、θ_{JA}、T_A の関数となります。最大許容消費電力と周囲温度との関係式は、$P_D = (T_{J(Max)} - T_A) / \theta_{JA}$ です。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	±500	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_S	電源電圧、V_S = (V+) - (V-)	単一電源	4.5		15.5	V
		デュアル電源	±2.25		±7.75	
P_D	消費電力				[(1)] を参照	
	規定温度		-40		+85	℃

(1) より高い温度でデバイスを動作させるには、熱抵抗 θ_{JA} で $P_D = (T_J - T_A)/\theta_{JA}$ を計算します。

5.4 熱に関する情報：LMC6041

熱評価基準[1]		LMC6041		単位
		D (SOIC)	P (PDIP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	165.0	101.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	57.9	52.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	62.3	38.4	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	10.0	18.5	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	61.5	37.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。

5.5 熱に関する情報：LMC6042

熱評価基準[1]		LMC6042		単位
		D (SOIC)	P (PDIP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	165.0	101.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	52.0	52.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	56.9	38.4	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	6.8	18.5	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	56.1	37.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。

5.6 熱に関する情報：LMC6044

熱評価基準[1]		LMC6044		単位
		D (SOIC)	N (PDIP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	115.0	85.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	34.6	28.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	34.3	32.8	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	4.7	15.9	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	33.7	32.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性

$T_J = T_A = 25°C$、V+ = 5V、V– = 0V、$V_{CM} = 1.5V$、$V_{OUT} = V_S / 2$, and $R_L = 1M\Omega$ で $V_S / 2$ に接続した場合（特段の記載がない限り）

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	LMC604xAI			±1	±3	mV
			T_A = –40℃～+85℃			±3.3	
		LMC604xI			±1	±6	
			T_A = –40℃～+85℃			±6.3	
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40℃～+85℃			1.3		μV/℃
PSRR	電源除去比	正電源の 5V≤V+ ≤15V、V_{OUT} = 2.5V	LMC604xAI	68	75		dB
			LMC604xAI、T_A = -40℃～+85℃	66			
			LMC604xI	62	75		
			LMC604xI、T_A = -40℃～+85℃	60			
		負電源の 0V≤V–≤–10V、V_{OUT} = 2.5V	LMC604xAI	84	94		
			LMC604xAI、T_A = -40℃～+85℃	83			
			LMC604xI	74	94		
			LMC604xI、T_A = -40℃～+85℃	73			
入力バイアス電流							
I_B	入力バイアス電流				±2		fA
		T_A = –40℃～+85℃				±4	pA
I_{OS}	入力オフセット電流				±1		fA
		T_A = –40℃～+85℃				±2	pA
ノイズ							
e_n	入力電圧ノイズ密度	f = 1kHz			83		nV/√Hz
i_n	入力電流ノイズ密度	f = 1kHz			12.5		fA/√Hz
THD	全高調波歪	f = 1kHz、ゲイン= -5V/V、R_L = 100kΩ、$V_{OUT} = 12V_{pp}$、V+ = 15V			1		%
入力電圧							
V_{CM}	同相電圧	正レールまで、V+ = 5V と 15V、CMRR≥50dB		(V+) – 2.3	(V+) – 1.9		V
			LMC604xAI、T_A = -40℃～+85℃	(V+) – 2.5			
			LMC604xI、T_A = -40℃～+85℃	(V+) – 2.4			
		負レールまで、V+ = 5V と 15V、CMRR≥50dB			– 0.4	– 0.1	
			T_A = –40℃～+85℃			0	
CMRR	同相除去比	V+ = 15V、0V≤V_{CM}≤12V	LMC604xAI	68	75		dB
			LMC604xAI、T_A = -40℃～+85℃	66			
			LMC604xI	62	75		
			LMC604xI、T_A = -40℃～+85℃	60			
入力インピーダンス							
R_{IN}	入力抵抗				>10		TΩ

5.7 電気的特性 (続き)

$T_J = T_A = 25°C$、V+ = 5V、V– = 0V、V_{CM} = 1.5V、$V_{OUT} = V_S / 2$, and R_L = 1MΩ で $V_S / 2$ に接続した場合（特段の記載がない限り）

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	ソース、V+ = 15V、7.5V≤V_O≤11.5V、R_L = 100kΩ を V+/2 に接続	LMC604xAI	300	1000		V/mV
			LMC604xAI、T_A =–40℃～+85℃	200			
			LMC604xI	300	1000		
			LMC604xI、T_A = -40℃～+85℃	200			
		シンク、V+= 15V、2.5V≤V_O≤7.5V、R_L = 100kΩ を V+/2 に接続	LMC604xAI	180	500		
			LMC604xAI、T_A = -40℃～+85℃	120			
			LMC604xI	90	500		
			LMC604xI、T_A = -40℃～+85℃	70			
		ソース、V+ = 15V、7.5V≤V_O≤11.5V、R_L = 25kΩ を V+/2 に接続	LMC604xAI	200	1000		
			LMC604xAI、T_A = -40℃～+85℃	160			
			LMC604xI	100	1000		
			LMC604xI、T_A = -40℃～+85℃	80			
		シンク、V+ = 15V、2.5V≤V_O≤7.5V、R_L = 25kΩ を V+/2 に接続	LMC604xAI	100	250		
			LMC604xAI、T_A = -40℃～+85℃	60			
			LMC604xI	50	250		
			LMC604xI、T_A = -40℃～+85℃	40			
周波数応答							
GBW	ゲイン帯域幅積	LMC6041			75		kHz
		LMC6042、LMC6044			100		
SR	スルーレート(1)	V+ = 15V、10V ステップ、ゲイン= 1	LMC604xAI	0.015	0.02		V/µs
			LMC604xAI、T_A = -40℃～+85℃	0.010			
			LMC604xI	0.010	0.02		
			LMC604xI、T_A = -40℃～+85℃	0.007			
	クロストーク	デュアルおよびクワッド・チャネル、V+ = 15V、R_L = 100kΩ、f = 100Hz、V_{OUT} = 12V_{pp}			115		dB

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性 (続き)

$T_J = T_A = 25°C$、V+ = 5V、V– = 0V、$V_{CM} = 1.5V$、$V_{OUT} = V_S / 2$, and $R_L = 1M\Omega$ で $V_S / 2$ に接続した場合（特段の記載がない限り）

パラメータ		テスト条件		最小値	標準値	最大値	単位
出力							
V_O	電圧出力スイング	ポジティブレール V+ = 5V、R_L = 100kΩ ～ V+ / 2	LMC604xAI	4.970	4.987		V
			LMC604xAI、 T_A = -40℃～+85℃	4.950			
			LMC604xI	4.940	4.987		
			LMC604xI、 T_A = -40℃～+85℃	4.910			
		ネガティブレール V+ = 5V、R_L = 100kΩ ～ V+ / 2	LMC604xAI		0.004	0.030	
			LMC604xAI、 T_A = -40℃～+85℃			0.050	
			LMC604xI		0.004	0.060	
			LMC604xI、 T_A = -40℃～+85℃			0.090	
		ポジティブレール V+ = 5V、R_L = 25kΩ ～ V+ / 2	LMC604xAI	4.920	4.980		
			LMC604xAI、 T_A = -40℃～+85℃	4.870			
			LMC604xI	4.870	4.980		
			LMC604xI、 T_A = -40℃～+85℃	4.820			
		ネガティブレール V+ = 5V、R_L = 25kΩ ～ V+ / 2	LMC604xAI		0.010	0.080	
			LMC604xAI、 T_A = -40℃～+85℃			0.130	
			LMC604xI		0.010	0.130	
			LMC604xI、 T_A = -40℃～+85℃			0.180	
		ポジティブレール V+ = 15V、R_L = 100kΩ ～ V+ / 2	LMC604xAI	14.920	14.970		
			LMC604xAI、 T_A = -40℃～+85℃	14.880			
			LMC604xI	14.880	14.970		
			LMC604xI、 T_A = -40℃～+85℃	14.820			
		ネガティブレール V+ = 15V、R_L = 100kΩ ～ V+ / 2	LMC604xAI		0.007	0.030	
			LMC604xAI、 T_A = -40℃～+85℃			0.050	
			LMC604xI		0.007	0.060	
			LMC604xI、 T_A = -40℃～+85℃			0.090	
		ポジティブレール V+ = 15V、R_L = 25kΩ ～ V+ / 2	LMC604xAI	14.900	14.950		
			LMC604xAI、 T_A = -40℃～+85℃	14.850			
			LMC604xI	14.850	14.950		
			LMC604xI、 T_A = -40℃～+85℃	14.800			
		ネガティブレール V+ = 15V、R_L = 25kΩ ～ V+ / 2	LMC604xAI		0.022	0.100	
			LMC604xAI、 T_A = -40℃～+85℃			0.150	
			LMC604xI		0.022	0.150	
			LMC604xI、 T_A = -40℃～+85℃			0.200	

5.7 電気的特性 (続き)

$T_J = T_A = 25°C$、V+ = 5V、V– = 0V、$V_{CM} = 1.5V$、$V_{OUT} = V_S / 2$, and $R_L = 1M\Omega$ で $V_S / 2$ に接続した場合（特段の記載がない限り）

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{SC}	短絡電流	ソース V+ = 5V、V_{OUT} = 0V	LMC604xAI	16	22		mA
			LMC604xAI、 T_A = -40℃～+85℃	10			
			LMC604xI	13	22		
			LMC604xI、 T_A = -40℃～+85℃	8			
		シンク V+ = 5V、V_{OUT} = 0V	LMC604xAI	16	21		
			LMC604xAI、 T_A = -40℃～+85℃	8			
			LMC604xI	13	21		
			LMC604xI、 T_A = -40℃～+85℃	8			
		ソース V+ = 15V、V_{OUT} = 0V	LMC604xAI	15	40		
			LMC604xAI、 T_A = -40℃～+85℃	10			
			LMC604xI	15	40		
			LMC604xI、 T_A = -40℃～+85℃	10			
		シンク V+ = 15V、, V_{OUT} = 0V	LMC604xAI	24	39		
			LMC604xAI、 T_A = -40℃～+85℃	8			
			LMC604xI	21	39		
			LMC604xI、 T_A = -40℃～+85℃	8			

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性 (続き)

$T_J = T_A = 25°C$、V+ = 5V、V– = 0V、$V_{CM} = 1.5V$、$V_{OUT} = V_S / 2$, and $R_L = 1M\Omega$ で $V_S / 2$ に接続した場合（特段の記載がない限り）

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源							
I_Q	静止電流(合計)	V+ = 5V	LMC6041AI		14	20	μA
			LMC6041AI、T_A = -40℃～+85℃			24	
			LMC6041I		14	26	
			LMC6041I、T_A = -40℃～+85℃			30	
			LMC6042AI		20	34	
			LMC6042AI、T_A = -40℃～+85℃			39	
			LMC6042I		20	45	
			LMC6042I、T_A = -40℃～+85℃			50	
			LMC6044AI		40	65	
			LMC6044AI、T_A = -40℃～+85℃			72	
			LMC6044I		40	75	
			LMC6044I、T_A = -40℃～+85℃			82	
		V+ = 15V	LMC6041AI		18	26	
			LMC6041AI、T_A = -40℃～+85℃			31	
			LMC6041I		18	34	
			LMC6041I、T_A = -40℃～+85℃			39	
			LMC6042AI		26	44	
			LMC6042AI、T_A = -40℃～+85℃			51	
			LMC6042I		26	56	
			LMC6042I、T_A = -40℃～+85℃			65	
			LMC6044AI		52	85	
			LMC6044AI、T_A = -40℃～+85℃			94	
			LMC6044I		52	98	
			LMC6044I、T_A = -40℃～+85℃			107	

(1) 指定された数値は、正と負のスルーレートのうち、遅い方を示しています。

5.8 代表的特性

V_S = +7.5V、T_A = 25℃ (特に記述のない限り)

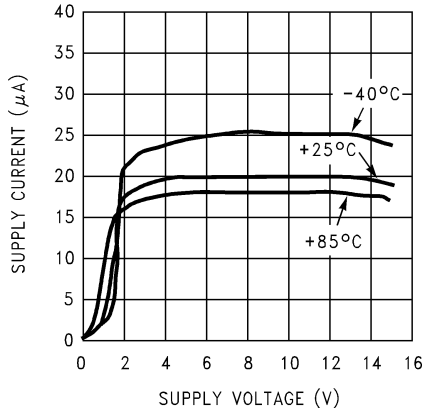


図 5-1. 電源電流と電源電圧との関係

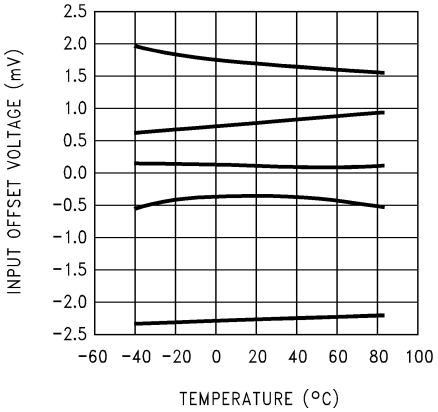


図 5-2. オフセット電圧と温度との関係

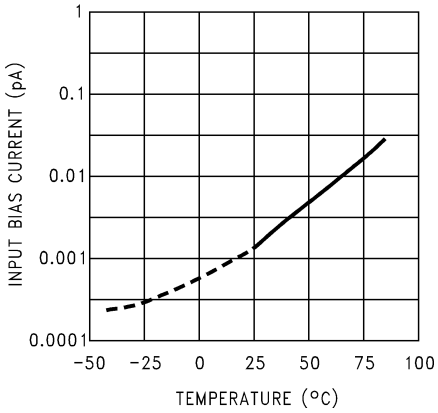


図 5-3. 入力バイアス電流と温度との関係

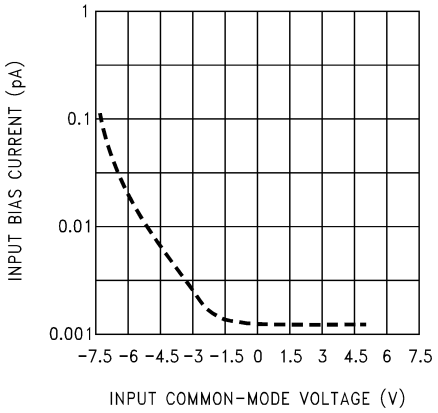


図 5-4. 入力バイアス電流と入力同相電圧との関係

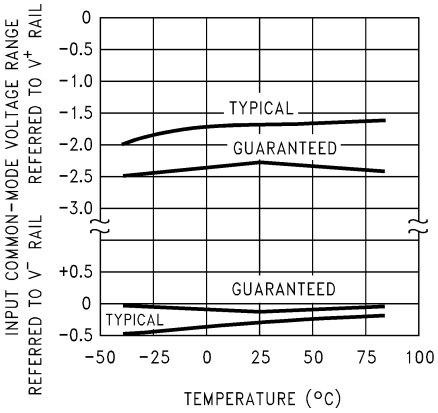


図 5-5. 入力バイアス電流の電圧範囲と温度との関係

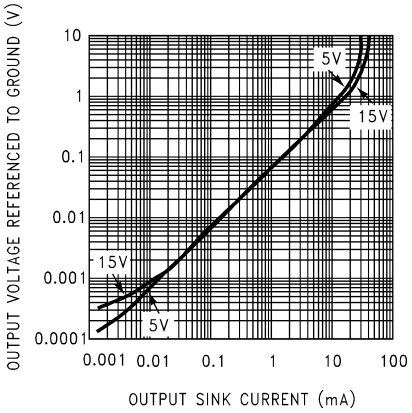


図 5-6. 出力特性の電流シンク

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

V_S = +7.5V、T_A = 25℃ (特に記述のない限り)

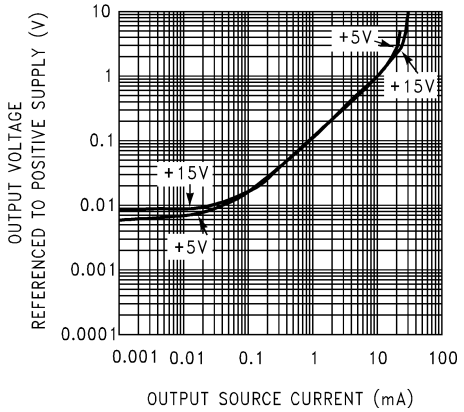


図 5-7. 出力特性の電流ソース

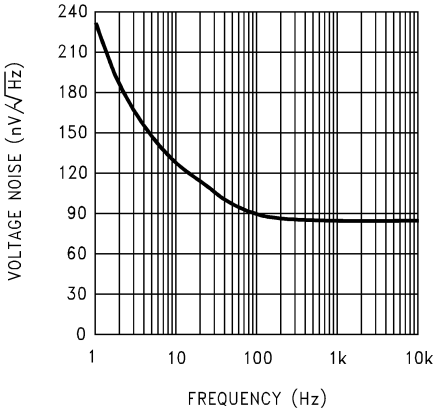


図 5-8. 入力電圧ノイズと周波数との関係

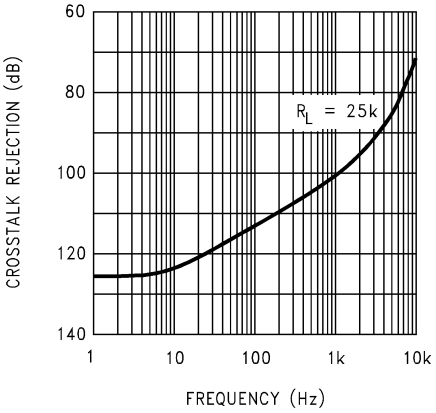


図 5-9. クロストーク除去と周波数との関係

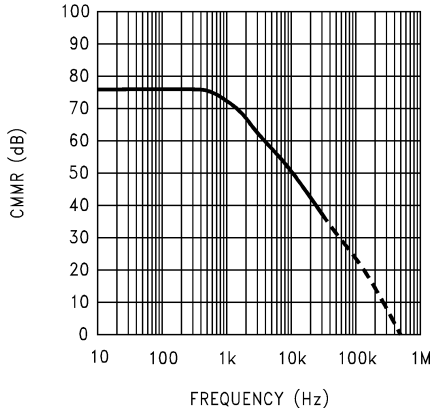


図 5-10. CMRR と周波数との関係

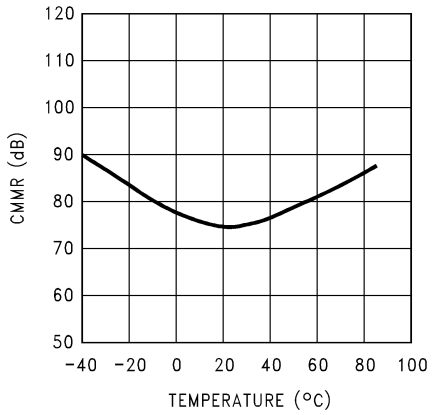


図 5-11. CMRR と温度との関係

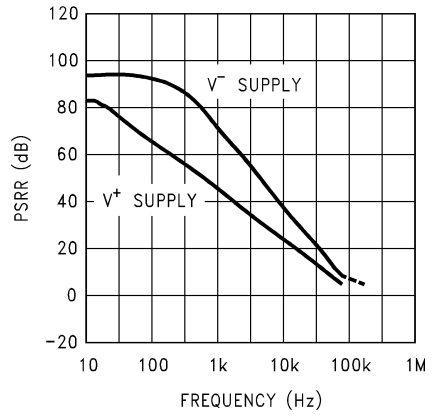


図 5-12. 電源除去比と周波数との関係

5.8 代表的特性 (続き)

V_S = +7.5V、T_A = 25℃ (特に記述のない限り)

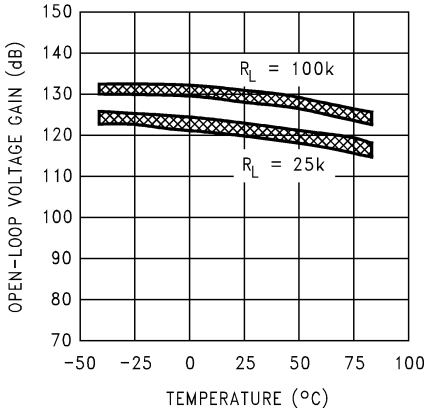


図 5-13. 開ループの電圧ゲインと温度との関係

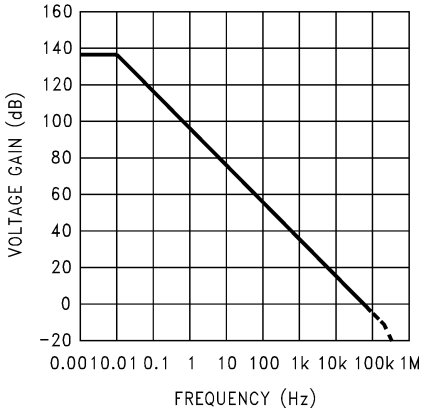


図 5-14. 開ループの周波数応答

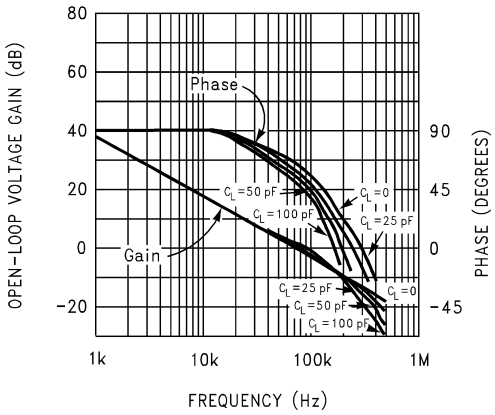


図 5-15. ゲイン応答および位相応答と負荷容量との関係

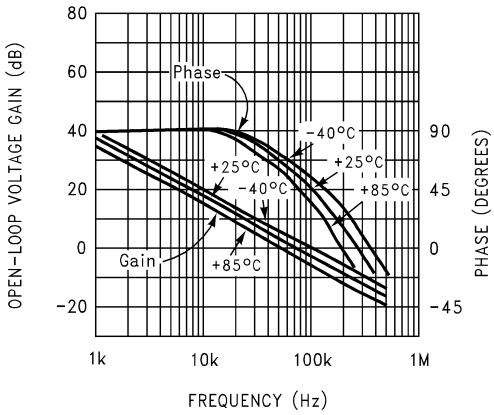


図 5-16. ゲイン応答および位相応答と温度との関係

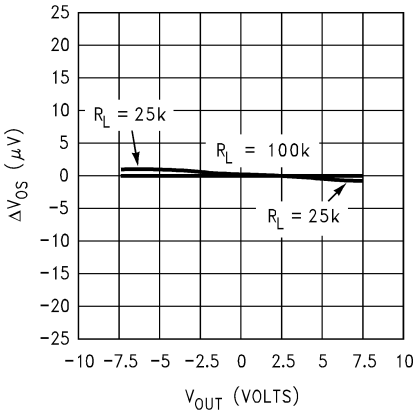


図 5-17. ゲイン誤差 (V_{OS} と V_{OUT} との関係)

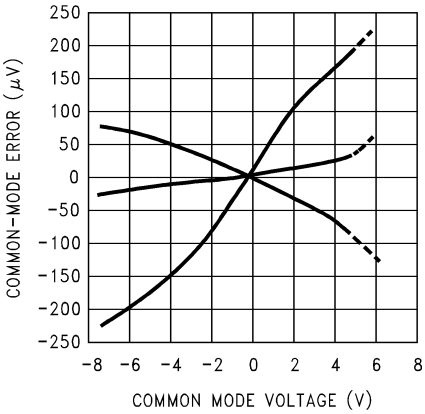


図 5-18. 3 つの代表的なユニットの同相誤差と同相電圧の関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

V_S = +7.5V、T_A = 25℃ (特に記述のない限り)

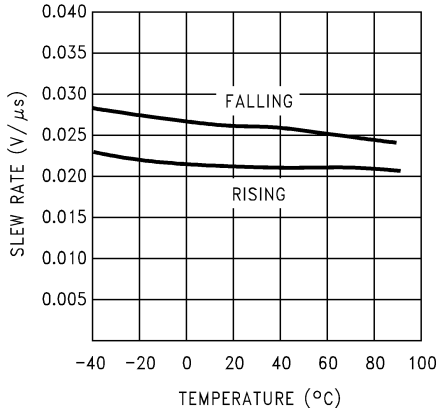


図 5-19. 非反転型スルーレートと温度との関係

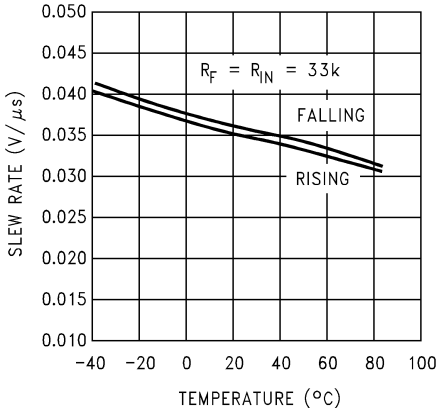


図 5-20. 反転型スルーレートと温度との関係

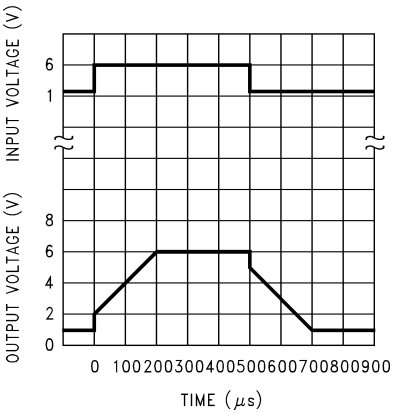


図 5-21. 非反転型の大信号パルス応答 (A_V =+1)

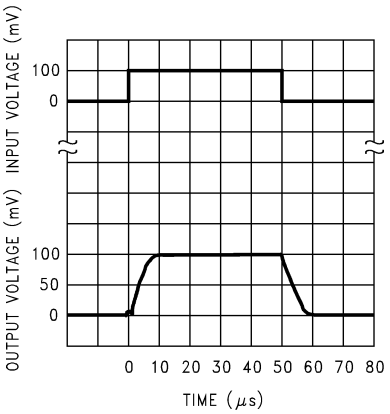


図 5-22. 非反転型の小信号パルス応答

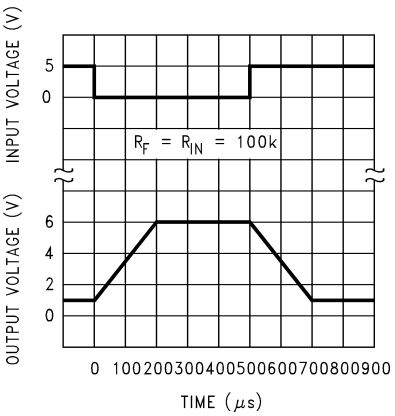


図 5-23. 反転型の大信号パルス応答

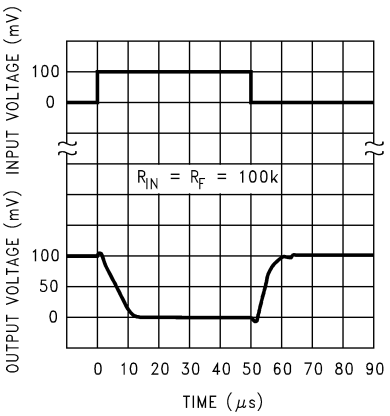


図 5-24. 反転型の小信号パルス応答

5.8 代表的特性 (続き)

V_S = +7.5V、T_A = 25℃ (特に記述のない限り)

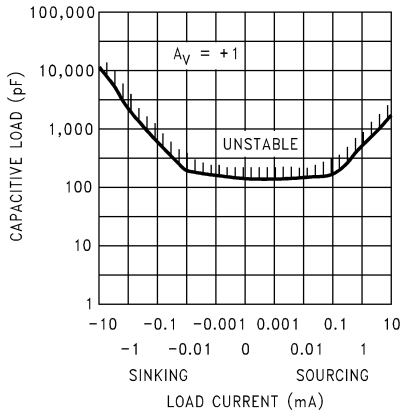


図 5-25. 安定性と容量性負荷との関係

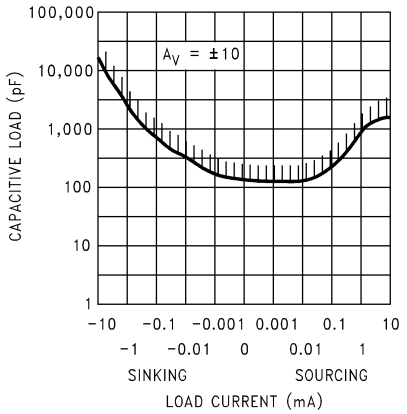


図 5-26. 安定性と容量性負荷との関係

Copyright © 2025 Texas Instruments Incorporated

6 アプリケーションと実装

6.1 アプリケーション情報

6.1.1 アンプ トポロジ

LMC604x は新しいオペ アンプ設計トポロジを採用しており、大きな負荷を駆動している場合でもレール ツー レール出力スイングを実現します。特殊な補償設計技術が取り入れられており、従来のマイクロパワー オペ アンプよりも広い動作条件範囲にわたって安定性を維持します。これらの特長により、LMC604x はこの超低消費電力クラスの製品の中でも、設計しやすく、かつ高い動作速度を提供します。

6.1.2 入力容量の補償

LMC604x など、入力電流が非常に小さいアンプでは、一般に大きな帰還抵抗値が使用されます。

LMC604x は広い動作条件範囲にわたって非常に安定していますが、大きな帰還抵抗を使用する場合に望ましいパルス応答を得るためには、いくつかの注意が必要です。入力容量 (トランスデューサ、フォトダイオード、回路基板の寄生素子による) の値が小さくても、帰還抵抗の値が大きいと、位相マージンが減少します。

高い入力インピーダンスが要求される場合は、LMC604x の入力をガードします。入力ラインをガードすることで、リークが減少するだけでなく、浮遊入力容量も減少します (セクション 6.3.1.1 を参照)。

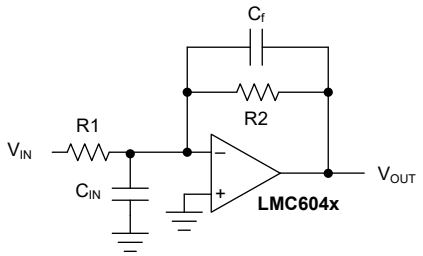


図 6-1. 入力容量の影響の相殺

コンデンサを追加して、入力容量の影響を補償します。帰還抵抗の周囲にキャパシタ C_F を配置します (図 6-1 を参照)

$$\frac{1}{2\pi R1 C_{IN}} \geq \frac{1}{2\pi R2 C_F} \tag{1}$$

ここで、

$$R1 C_{IN} \leq R2 C_F \tag{2}$$

C_{IN} の正確な値を知ることはしばしば困難であるため、目的のパルス応答が得られるように C_F を実験的に調整しても構いません。入力容量の補償の詳細については、LMC660 と LMC662 を参照してください。

6.1.3 容量性負荷の許容誤差

容量性負荷を直接接続すると、多くのアンプでは位相マージンが減少します。帰還ループの極は、オペアンプの出力インピーダンスと容量性負荷の組み合わせによって形成されます。この極は、アンプのユニティ ゲイン クロスオーバー周波数で位相遅れを引き起こし、結果的に、振動性と減衰不足のどちらかのパルス応答をもたらします。少数の外付け部品を使用することで、オペアンプは簡単に容量性負荷を間接的に駆動できます 。図 6-2 に例を示します。

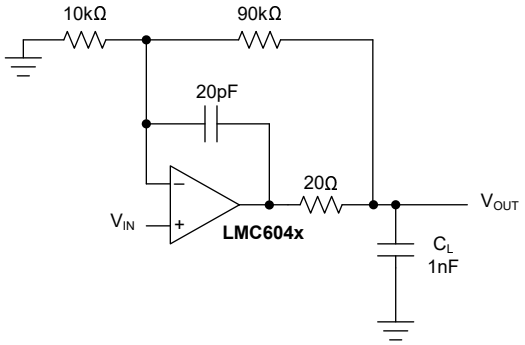


図 6-2. LMC604x 非反転ゲイン 10 アンプ、容量性負荷を駆動するために補償済み

図 6-2 の回路において、R1 と C1 は、出力信号の高周波成分をアンプの反転入力にフィードバックすることで位相マージンの損失を打ち消す役割を果たし、フィードバック ループ全体の位相マージンが維持されます。

V^+（図 6-3）へのプルアップ抵抗を使用することで、容量性負荷駆動能力が向上します。一般には、10μA 以上の導電性プルアップ抵抗により、容量性負荷の応答が大幅に改善されます。プルアップ抵抗の値は、希望の出力スイングに対するアンプの電流シンク能力に基づいて決定する必要があります。アンプの開ループ ゲインは、プルアップ抵抗の影響も受ける可能性があります（セクション 5.7 を参照）。

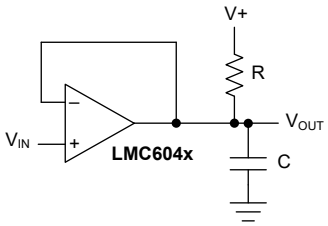


図 6-3. プルアップ抵抗による大きな容量性負荷の補償

6.2 代表的なアプリケーション

6.2.1 計装アンプ

LMC604x の極めて高い入力インピーダンスと低消費電力により、これらのオペアンプはバッテリ駆動の計測アンプを必要とするアプリケーションに最適です。こうしたアプリケーションの例としては、ポータブル pH プローブ、分析医療機器、磁界検出器、ガス検出器、シリコンベースの圧力トランスデューサなどがあります。

図 6-4 の回路は、同相入力範囲が比較的小さく差動ゲインが 10~1000 の範囲内であるアプリケーションに推奨されます。この 2 オペアンプ計測アンプは、ゲインと同相除去トリムを独立して調整し、合計静止消費電流は 20μA 未満です。極めて高い入力インピーダンスを維持するには、グランドリングを使用します。また、プリント回路基板（PCB）レイアウトをシステム全体の設計の重要な一部と考えてください。（「高インピーダンスのためのプリント回路基板のレイアウト」を参照）。図 6-4 は、入力電圧が同相入力 V_{CM} に差動入力 V_D を加算した値で表されることを示しています。

Copyright © 2025 Texas Instruments Incorporated

入力の同相成分を除去するには、R1/R2 の比を R3/R4 と等しくします。つまり、

$$\frac{R3}{R4} = \frac{R2}{R1} \tag{3}$$

計測アンプのゲイン方程式は、次のように表されます。

$$V_{OUT} = \frac{R4}{R3}\left(1 + \frac{R3}{R4} + \frac{R2 + R3}{R_0}\right) \tag{4}$$

推奨される設計ガイドラインは、R1 から R4 までの値の差を最小化することです。これを最小限に抑えると、抵抗の温度係数、アンプのゲイン、CMRR は全温度範囲で改善されます。RN = R1 = R2 = R3 = R4 の場合、ゲイン計算式は次のように単純化されます。

$$V_{OUT} = 2V_D\left(1 + \frac{R_N}{R_0}\right) \tag{5}$$

LMC604x の *ゼロイン*、*ゼロアウト*性能、および出力スイングレールツーレールの結果として、ダイナミックレンジは入力同相範囲 0V~V_S−2.3V のみに制限されます（室温での最悪ケース）。LMC604x のこの特長により、これらのオペアンプは低消費電力の計測システムに最適です。

図 6-5 はゲイン 100 用に設計された包括的な計測アンプを示します。CMRR とゲインの低感度トリミングについて規定されています。

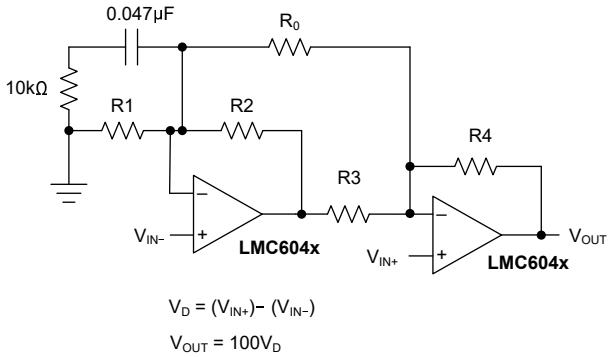


図 6-4. 2 オペアンプの計測アンプ

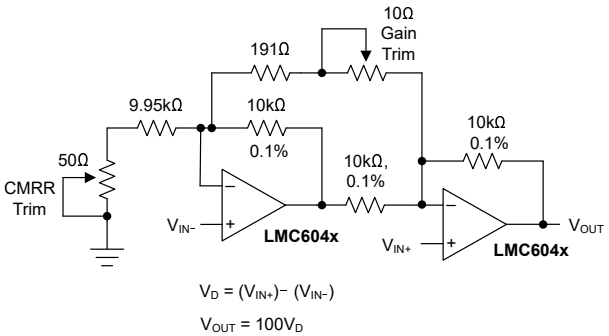


図 6-5. 低消費電力、2 オペアンプ計測アンプ

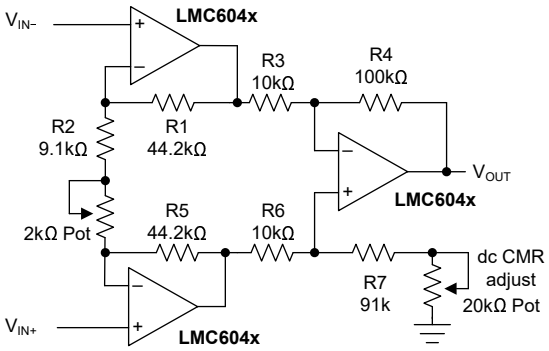


図 6-6. 計装アンプ

6.2.2 低リークのサンプル / ホールド

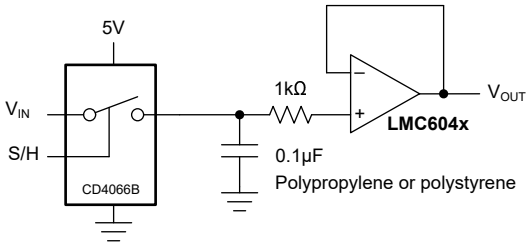


図 6-7. 低リークのサンプル / ホールド

6.2.3 方形波ジェネレータ

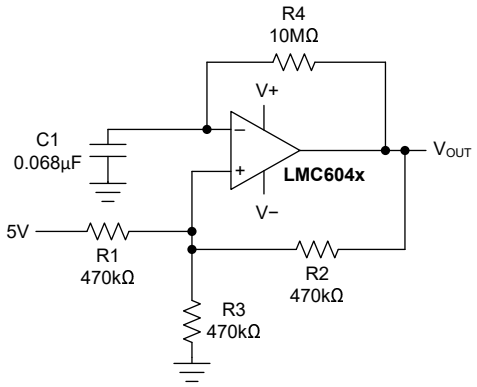


図 6-8. 1Hz 方形波発振器

6.2.4 AC 結合パワー アンプ

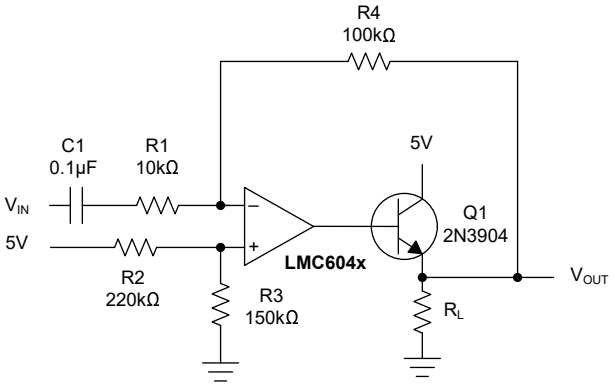


図 6-9. AC 結合パワー アンプ

Copyright © 2025 Texas Instruments Incorporated

6.3 レイアウト

6.3.1 レイアウトのガイドライン

6.3.1.1 高インピーダンス回路のためのプリント基板のレイアウト

一般的に、1000pA 未満のリーク電流で動作する必要のある回路には、プリント基板 (PCB) の特別なレイアウトが必要です。LMC604x は入力電流が非常に低く、通常は 150fA 未満です。その利点を活かすには、優れたレイアウトが不可欠です。幸いなことに、低リークを実現するための技術は非常に簡単です。まず、リーク電流が小さく許容範囲内であるように見えるとしても、PCB の表面リーク電流を無視しないでください。高湿度、ほこり、汚染の条件では、表面リーク電流が大きくなる可能性があります。

表面のリーク電流の影響を最小限に抑えるため、LMC604x の入力と、アンプの入力に接続されているコンデンサ、ダイオード、導体、抵抗、リレー端子などの周囲を完全に取り囲む金属箔のリングを配置します (図 6-14 も参照)。大きな効果を得るには、PCB の上面と底面の両方にガード リングを配置します。その後、そのホイルをアンプの入力と同じ電位の電圧に接続します。同じ電位の 2 点間では漏れ電流が流れないためです。たとえば、$10^{12}\Omega$ の PCB トレース - パッド間抵抗値は、通常は非常に大きな抵抗値と見なされますが、そのトレースが入力パッドに隣接する 5V バスである場合、5pA のリークが発生する可能性があります。このリーク電流により、LMC604x の性能が通常の 250 分の 1 に低下する可能性があります。ただし、ガード リングが入力の 5mV 以内に保持されている場合、$10^{11}\Omega$ の抵抗であっても、わずか 0.05pA のリーク電流しか発生しません。図 6-10～図 6-12 に、標準オペアンプ構成でのガードリングの一般的な接続を示します。

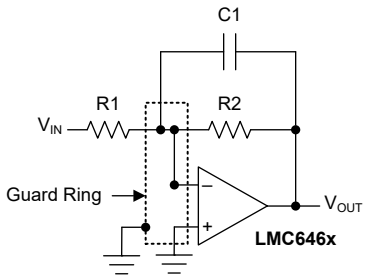


図 6-10. ガード リングの代表的な接続：反転アンプ

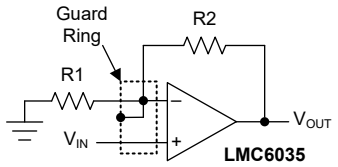


図 6-11. ガード リングの代表的な接続：非反転アンプ

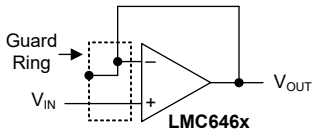
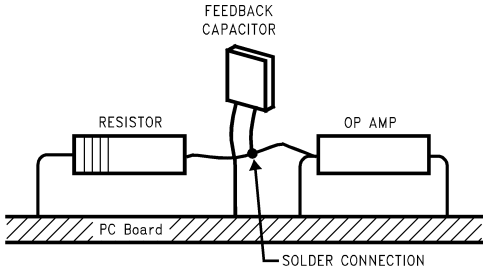


図 6-12. ガード リングの代表的な接続：電圧フォロワ

わずかな回路のために PCB レイアウトを行うのが現実的でない場合、次の手法はガード リングよりも優れた方法です。アンプの入力ピンを PCB にまったく挿入しないでください。代わりに、ピンを空中に曲げて浮かせ、絶縁体として空気だけを使用してください。空気は非常に優れた絶縁体です。この場合、PCB 構造の利点の一部が失われますが、ポイント ツー ポイントの空中配線を使用する労力に見合った十分な利点が得られることがあります。図 6-13 に、空中配線の例を示します。



注: 入力ピンは PCB から持ち上げて部品に直接半田付けします。その他のすべてのピンは PCB に接続されています。

図 6-13. 空中配線

6.3.2 レイアウト例

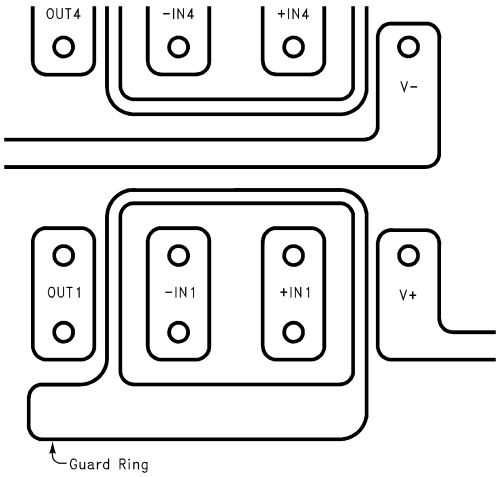


図 6-14. PCB レイアウトのガード リングの例

Copyright © 2025 Texas Instruments Incorporated

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.3 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.4 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (March 2013) to Revision F (March 2025) **Page**

- このデータシートに LMC6041 と LMC6044 を追加（以前は SNOS610E および SNOS612D に記載）.....1
- *ピン構成および機能*を追加.....3
- ESD 定格を追加.....5
- 「熱に関する情報」を追加 6
- パラメータの名前と記号を更新.....7
- DC *電気的特性*から脚注 1 および 2 を削除.....7
- 入力電流ノイズを 0.2fA/√Hz から 12.5fA/√Hz に変更.....7
- 全高調波歪を 0.01%から 1%に変更.....7
- 脚注 3 を「DC *電気的特性*」から開ループ電圧ゲインテスト条件に移動.....7
- LMC604xAI の R_L = 100kΩ（ソース）の開ループ・ゲインの最小値を 400V/mV から 300V/mV に変更.....7
- LMC604xAI の R_L = 100kΩ（ソース、T_A =–40°C~+85°C）の開ループ・ゲインの最小値を 300V/mV から 200V/mV に変更.....7
- AC *電気的特性*から脚注 1 および 2 を削除.....7
- 脚注 3 のテスト条件を「AC *電気的特性*」からスルーレートのテスト条件に移動.....7
- 位相マージンを削除.....7

- 脚注 4 を「AC *電気的特性*」からクロストークテスト条件に移動.....7
- *アンプ トポロジ*を更新.....17

Changes from Revision D (March 2013) to Revision E (March 2013) **Page**

- ナショナル セミコンダクター データシートのレイアウトをテキサス・インスツルメンツ形式に変更.....20

Copyright © 2025 Texas Instruments Incorporated

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6041AIM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC60 41AIM
LMC6041AIMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 41AIM
LMC6041AIMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 41AIM
LMC6041AIMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 41AIM
LMC6041IM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC60 41IM
LMC6041IMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 41IM
LMC6041IMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 41IM
LMC6041IMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 41IM
LMC6041IN/NOPB	Obsolete	Production	PDIP (P) | 8	-	-	Call TI	Call TI	-40 to 85	LMC60 41IN
LMC6042AIJ	Active	Production	CDIP (NAB) | 8	40 | TUBE	No	SNPB	Level-1-NA-UNLIM	-	LMC6042AIJ
LMC6042AIJ.A	Active	Production	CDIP (NAB) | 8	40 | TUBE	No	SNPB	Level-1-NA-UNLIM	See LMC6042AIJ	LMC6042AIJ
LMC6042AIM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC60 42AIM
LMC6042AIMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 42AIM
LMC6042AIMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 42AIM
LMC6042AIMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 42AIM
LMC6042AIN/NOPB	Obsolete	Production	PDIP (P) | 8	-	-	Call TI	Call TI	-40 to 85	LMC60 42AIN
LMC6042IM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC60 42IM

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6042IMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 42IM
LMC6042IMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 42IM
LMC6042IMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC60 42IM
LMC6044-MDC	Active	Production	DIESALE (Y) | 0	100 | TUBE	Yes	Call TI	Level-1-NA-UNLIM	-40 to 85	
LMC6044-MDC.A	Active	Production	DIESALE (Y) | 0	100 | TUBE	Yes	Call TI	Level-1-NA-UNLIM	-40 to 85	
LMC6044AIM/NOPB	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	LMC6044 AIM
LMC6044AIMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6044 AIM
LMC6044AIMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6044 AIM
LMC6044AIMX/NOPB.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 85	
LMC6044IMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6044IM
LMC6044IMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMC6044IM
LMC6044IMX/NOPB.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 85	
LMC6044IN/NOPB	Obsolete	Production	PDIP (N) | 14	-	-	Call TI	Call TI	-40 to 85	LMC6044IN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

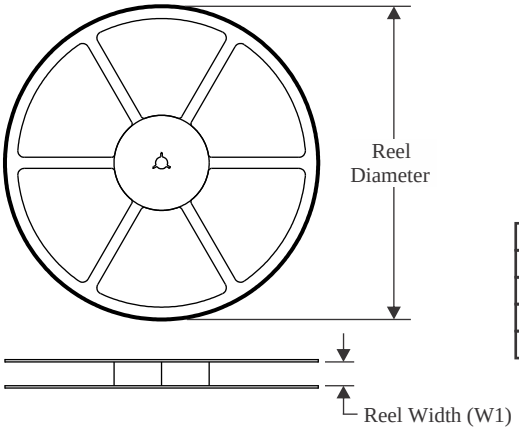
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

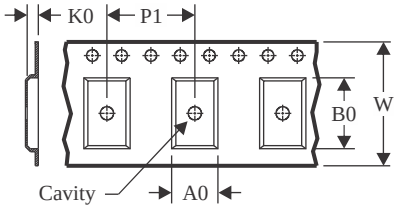
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

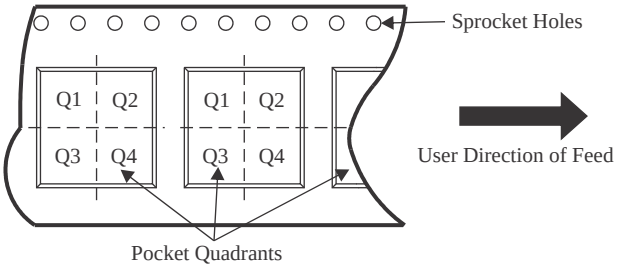


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

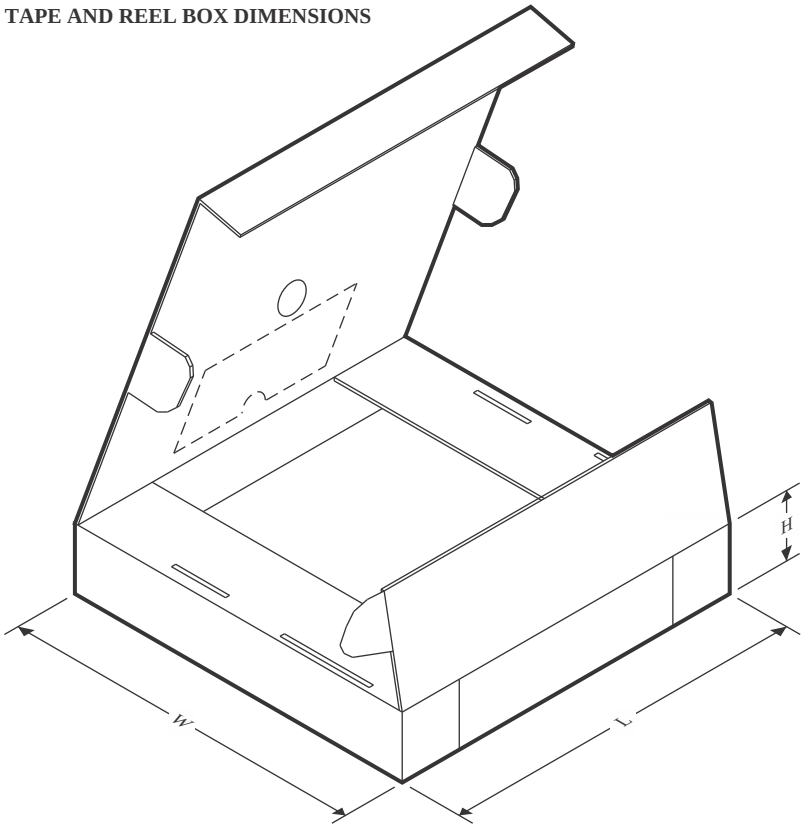
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC6041AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6041IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6042AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6042IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6044AIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMC6044IMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1

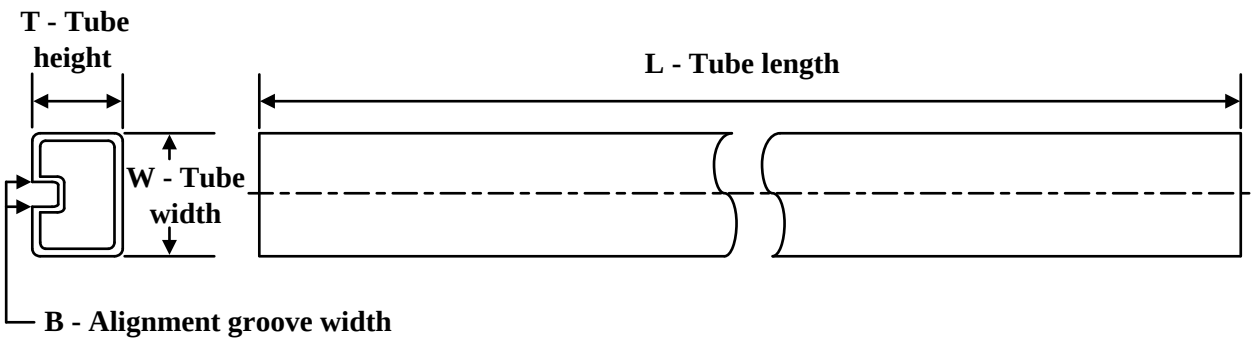
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

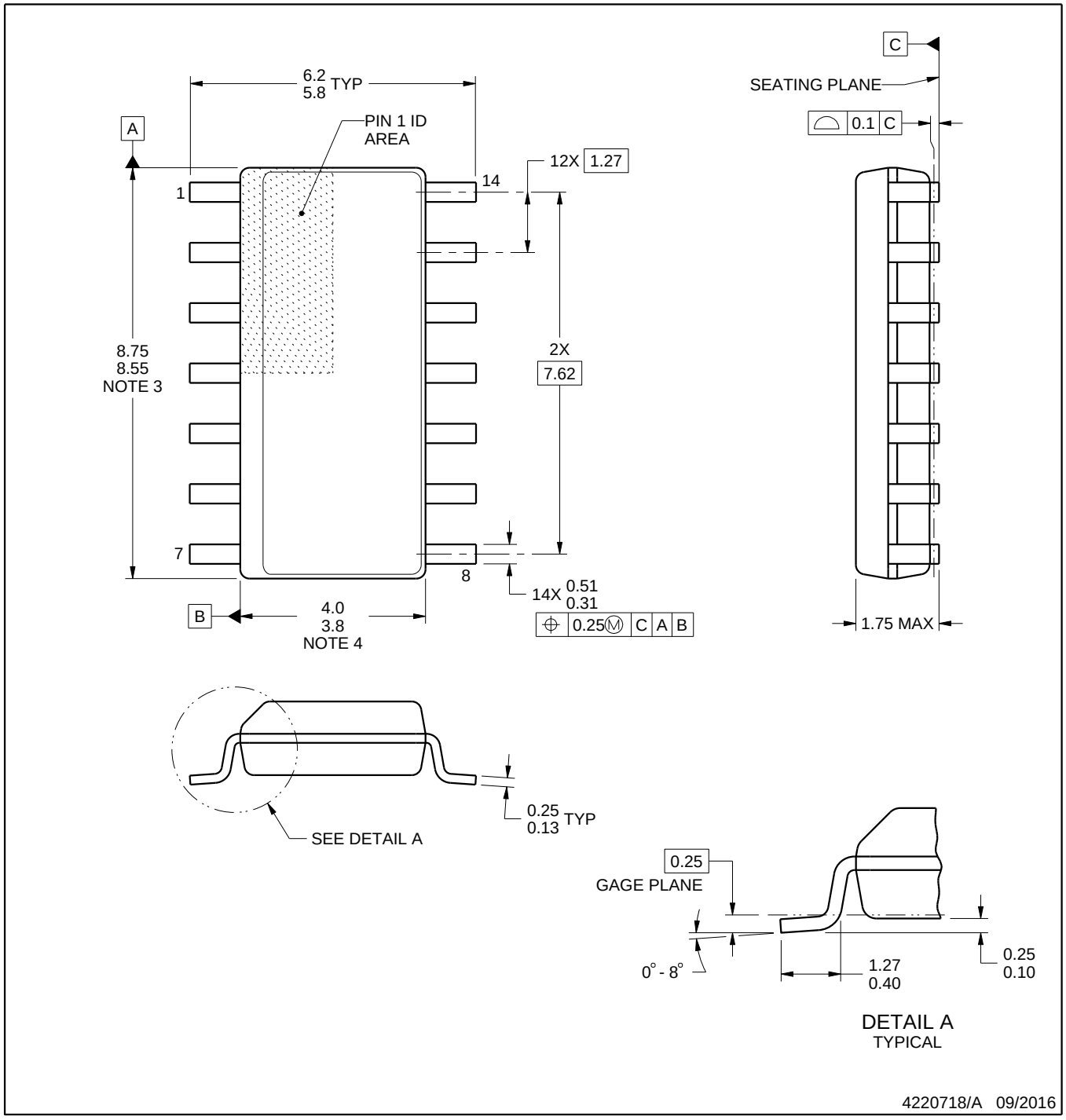
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC6041AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6041IMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6042AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6042IMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6044AIMX/NOPB	SOIC	D	14	2500	356.0	356.0	35.0
LMC6044IMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0

TUBE



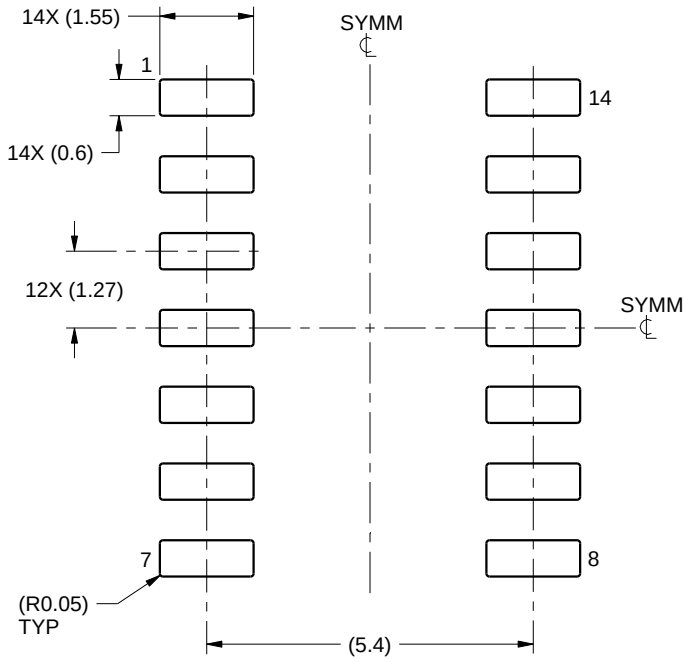
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMC6042AIJ	NAB	CDIP	8	40	502	14	11938	4.32
LMC6042AIJ.A	NAB	CDIP	8	40	502	14	11938	4.32

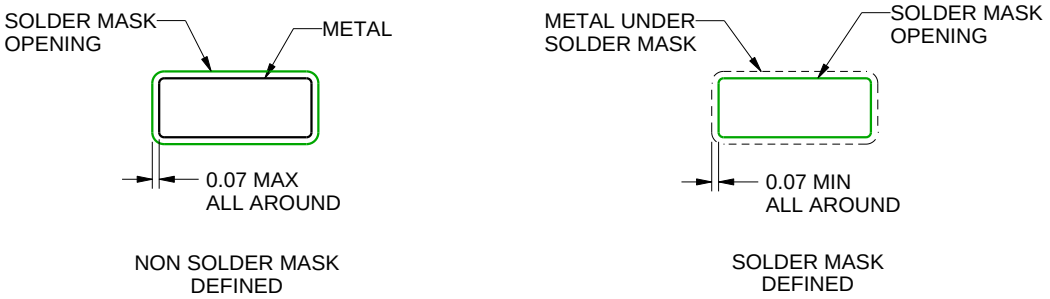


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

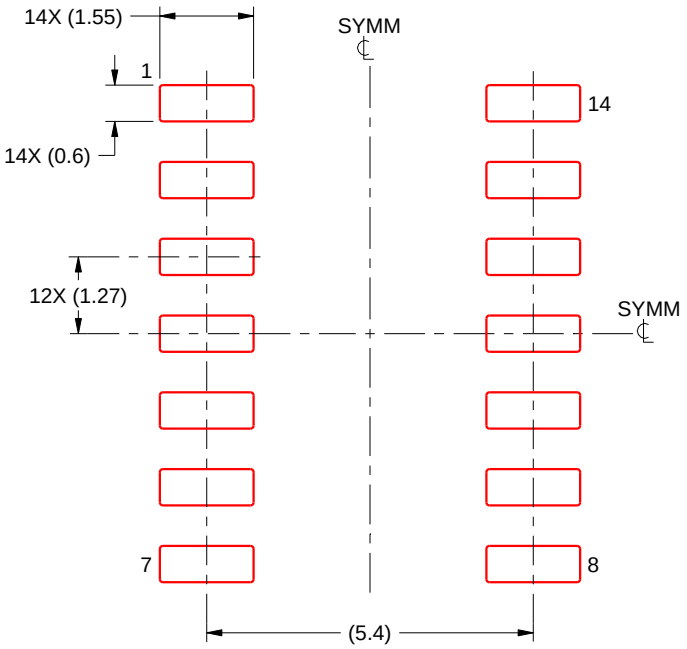


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



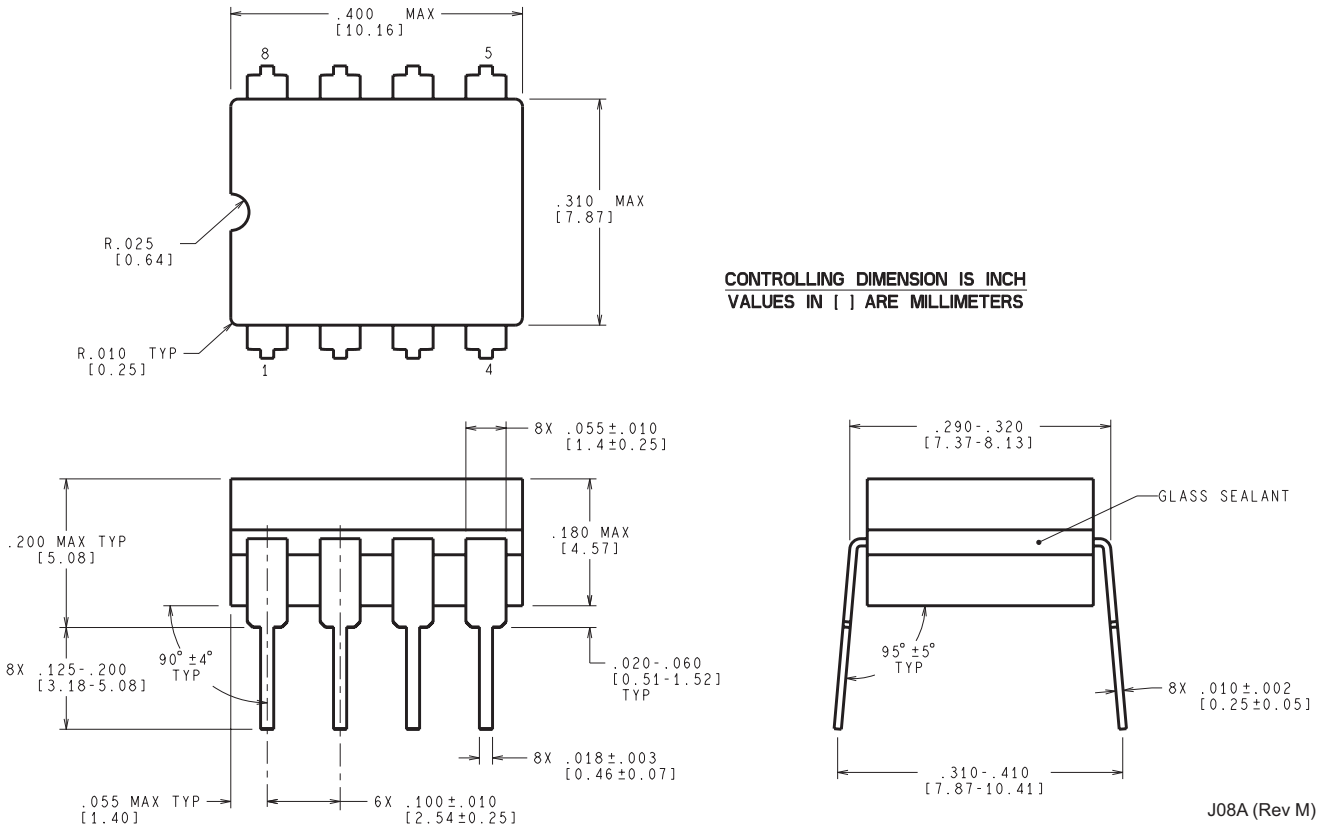
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

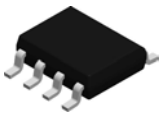
4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

NAB0008A


.400 MAX
[10.16]
8
5
.310 MAX
[7.87]
R.025
[0.64]
R.010 TYP
[0.25]
1
4
CONTROLLING DIMENSION IS INCH
VALUES IN [ ] ARE MILLIMETERS
8X .055±.010
[1.4±0.25]
.200 MAX TYP
[5.08]
.180 MAX
[4.57]
90° ±4°
TYP
8X .125-.200
[3.18-5.08]
.020-.060
[0.51-1.52]
TYP
8X .018±.003
[0.46±0.07]
.055 MAX TYP
[1.40]
6X .100±.010
[2.54±0.25]
.290-.320
[7.37-8.13]
GLASS SEALANT
95° ±5°
TYP
8X .010±.002
[0.25±0.05]
.310-.410
[7.87-10.41]
J08A (Rev M)

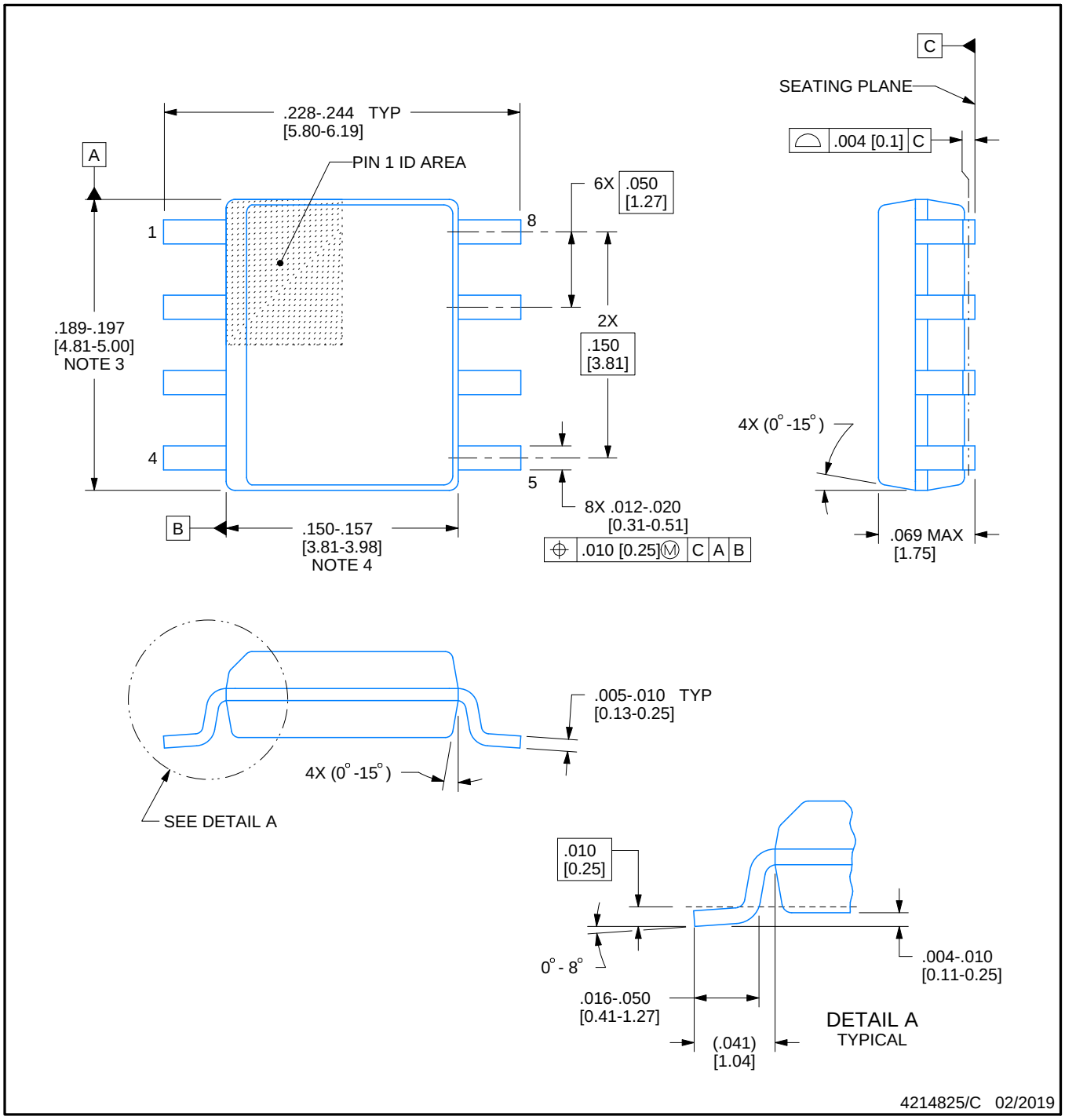


PACKAGE OUTLINE

D0008A

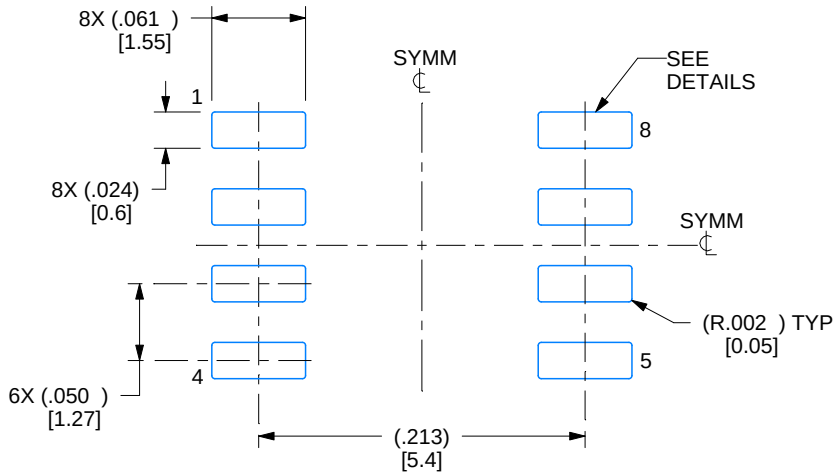
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

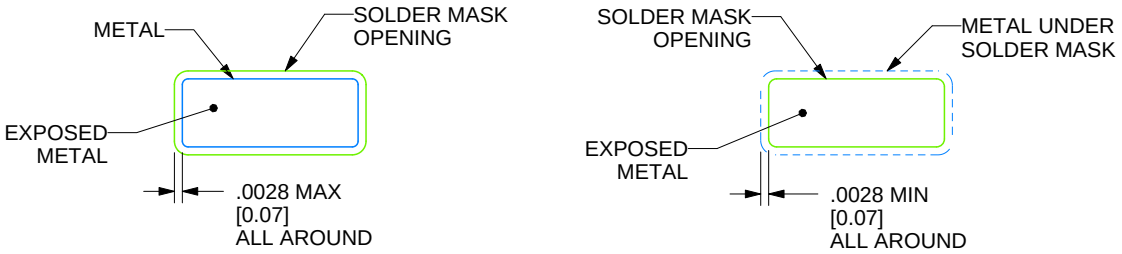


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

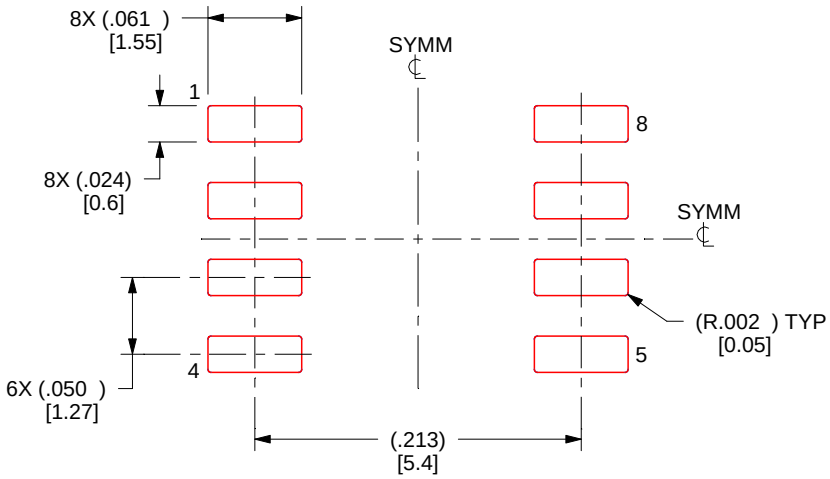


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



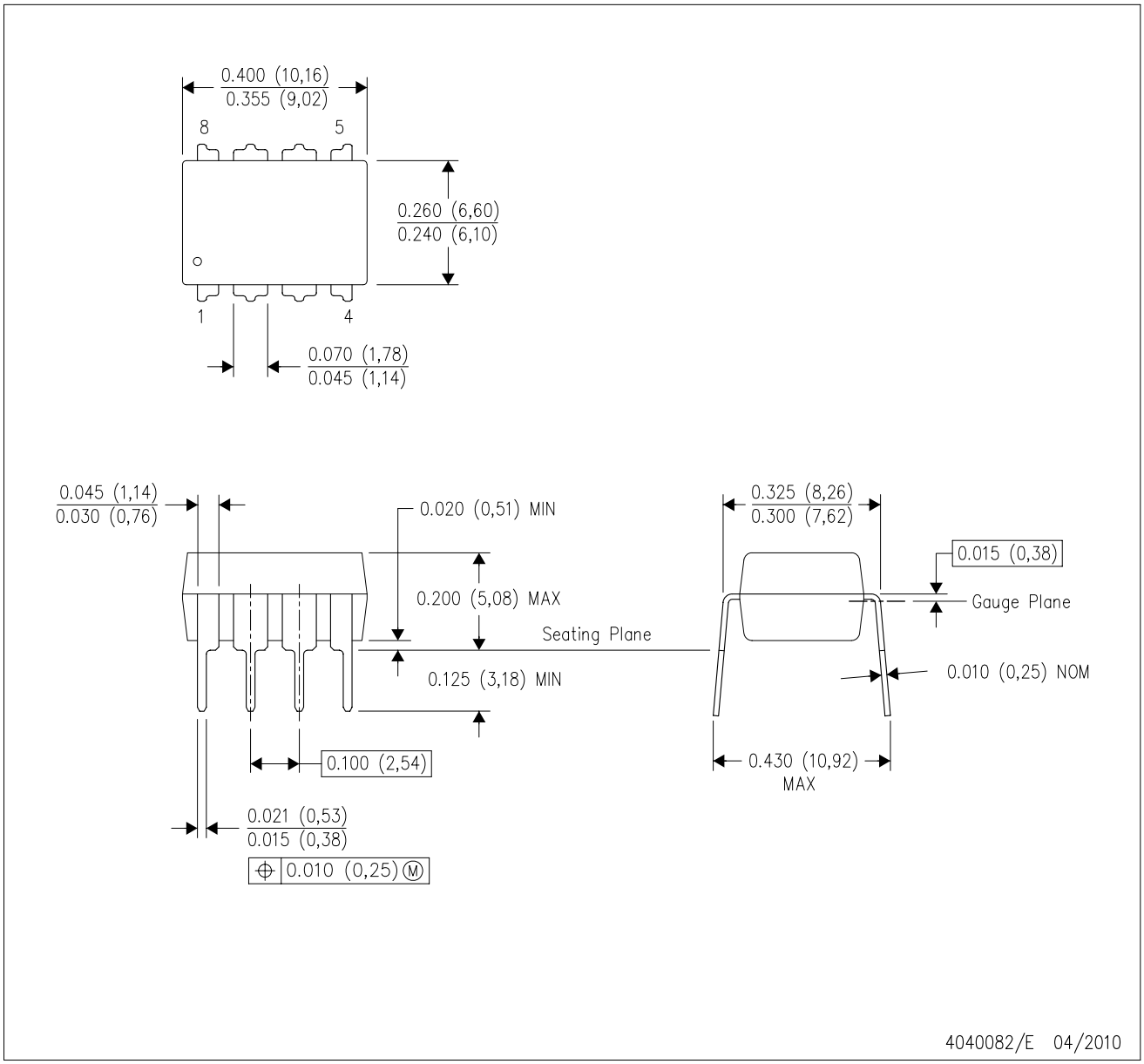
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

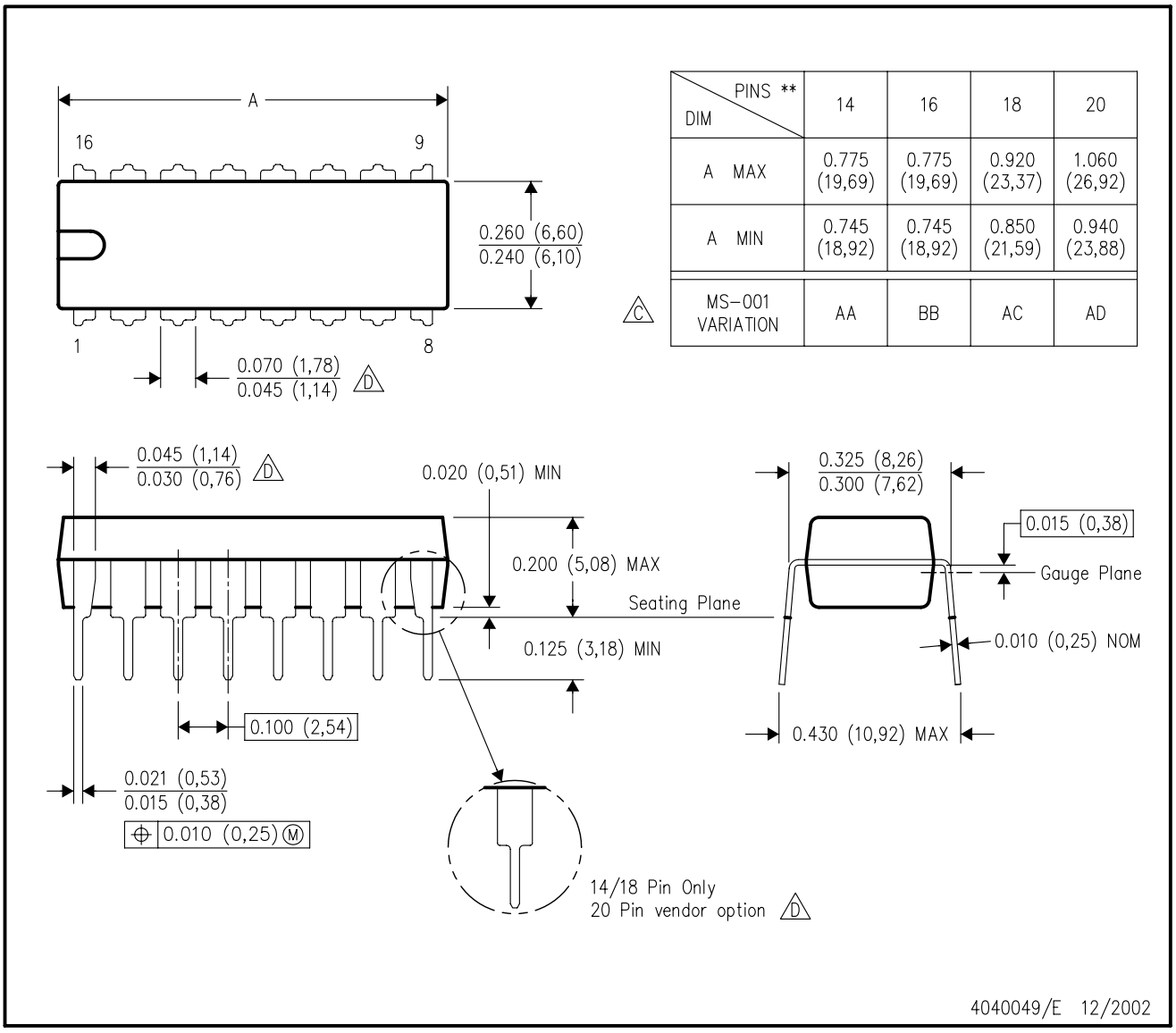
P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

N (R–PDIP–T**) PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月