

サーキット・ブレーカ、低電圧および過電圧保護機能付き、フォルト出力付き LM749x0-Q1 車載用理想ダイオード

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - デバイス温度グレード 1:
動作時周囲温度範囲 -40°C ~ +125°C
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 3V ~ 65V の入力電圧範囲
- LM74910H-Q1 の絶対最大定格: 74V
- 最低 -65V までの逆入力保護
- 共通ドレイン構成で外付けのバック ツー バック N チャネル MOSFET を駆動
- アノードからカソードへ 10.5mV の順方向電圧降下レギュレーションを行う理想ダイオード動作
- 低いスレッシュホールド (-10.5mV) と高速ターンオフ応答 (0.5μs) の逆電流検出
- 20mA のピーク ゲート (DGATE) ターンオン電流
- 2.6A のピーク DGATE ターンオフ電流
- 可変過電流および短絡保護
- 精度 2% のアナログ電流モニタ出力 (LM74910H-Q1)
- 可変過電圧および低電圧保護
- LM74910H-Q1 の SLEEP モード OCP 再試行
- 低シャットダウン電流 (EN = LOW): 2.5μA
- 電流が 6μA の SLEEP モード (EN = High, SLEEP = Low)
- 適切な TVS ダイオードにより車載用 ISO7637 過渡要件に適合
- 省スペースの 24 ピン VQFN パッケージで供給

2 アプリケーション

- 車載用バッテリー保護
 - ADAS ドメイン・コントローラ
 - インフォテインメントおよびクラスタ
 - 車載オーディオ: 外部アンプ
- 冗長化電源用のアクティブ OR

3 説明

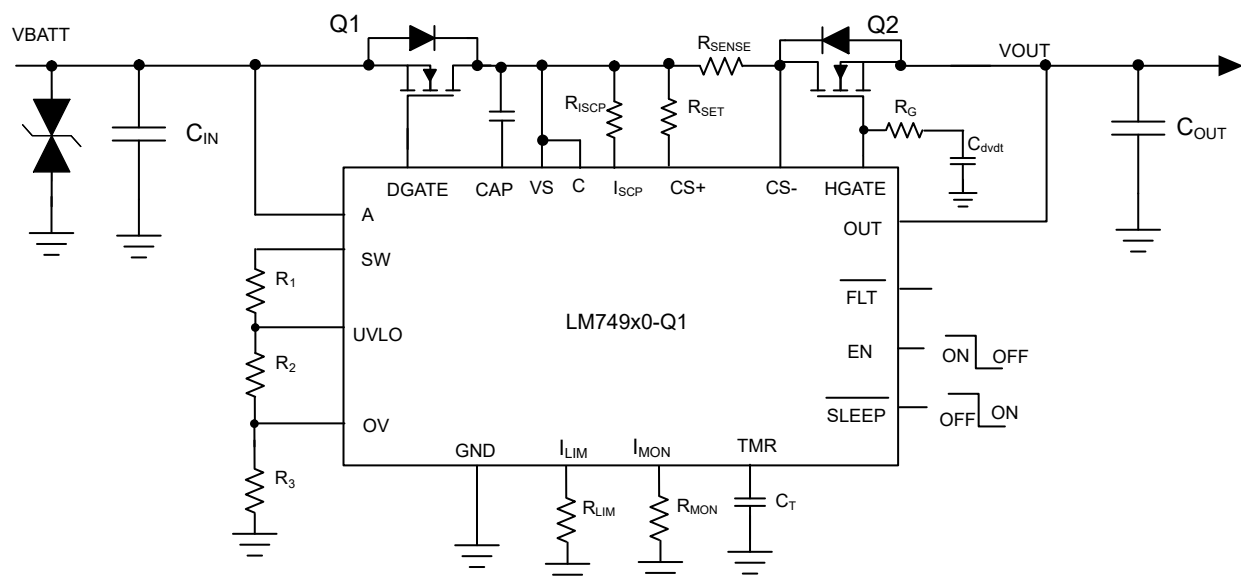
LM749x0-Q1 理想ダイオード コントローラは外付けのバック ツー バック N チャネル MOSFET を駆動および制御して、電力バスの ON/OFF 制御と過電流および過電圧保護を備えた理想ダイオード整流器をエミュレートします。入力電源電圧範囲が 3V ~ 65V と広いため、12V および 24V 車載用バッテリー駆動 ECU を保護および制御できます。このデバイスは、最低 -65V の負の電源電圧に耐えられ、負荷を保護できます。内蔵の理想ダイオード コントローラ (DGATE) は第 1 の MOSFET を駆動し、逆電流保護および出力電圧保持用のショットキー ダイオードを置き換えることができます。電力バスの第 2 の MOSFET により、過電流および過電圧が発生した場合に、HGATE 制御を使用して負荷の切断 (オン / オフ制御) が可能です。このデバイスには電流センス アンプが内蔵されており、可変過電流と短絡のスレッシュホールドにより高精度の電流監視を実現します。このデバイスには可変過電圧カットオフ保護機能があります。このデバイスにはスリープ モードが搭載されており、非常に低い静止電流消費 (6μA) を実現すると同時に、車両が駐車状態のときは常時オンの負荷にリフレッシュ電流を供給します。LM749x0-Q1 の最高電圧定格は 65V です。

パッケージ情報

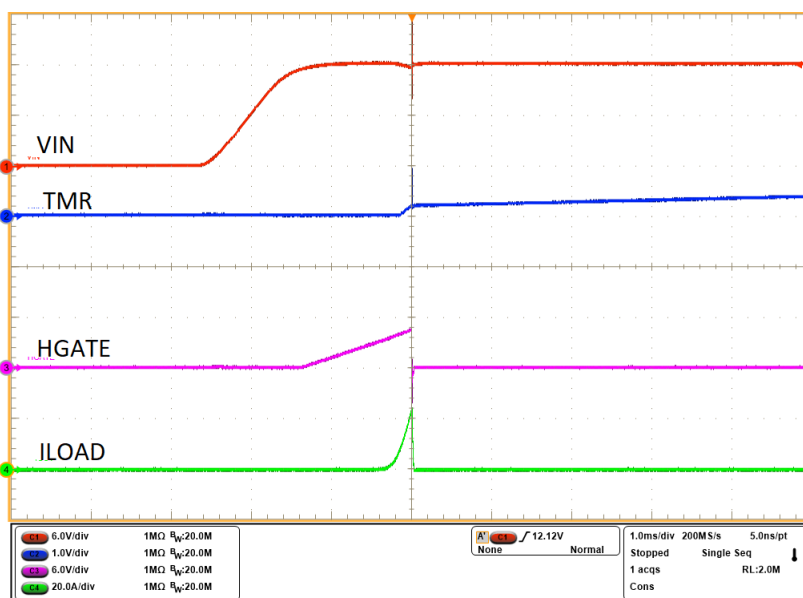
部品番号	パッケージ (1)	本体サイズ (公称)
LM74900-Q1	RGE (VQFN 24)	4.00mm × 4.00mm
LM74910-Q1		
LM74910H-Q1		

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。





代表的なアプリケーションの図



過電流保護機能付きデバイスのスタートアップ

目次

1 特長	1	8.4 デバイスの機能モード	25
2 アプリケーション	1	9 アプリケーションと実装	27
3 説明	1	9.1 アプリケーション情報.....	27
4 デバイス比較表	4	9.2 代表的な 12V バッテリ逆接続保護アプリケーション.....	27
5 ピン構成および機能	4	9.3 LM749x0-Q1 を使用した車載入力逆接続バッテリ 保護トポロジへの対応.....	39
6 仕様	6	9.4 電源に関する推奨事項.....	39
6.1 絶対最大定格.....	6	9.5 レイアウト.....	40
6.2 ESD 定格.....	7	10 デバイスおよびドキュメントのサポート	42
6.3 推奨動作条件.....	7	10.1 サード・パーティ製品に関する免責事項.....	42
6.4 熱に関する情報.....	7	10.2 ドキュメントの更新通知を受け取る方法.....	42
6.5 電気的特性.....	7	10.3 サポート・リソース.....	42
6.6 スイッチング特性.....	10	10.4 商標.....	42
6.7 代表的特性.....	12	10.5 静電気放電に関する注意事項.....	42
7 パラメータ測定情報	16	10.6 用語集.....	42
8 詳細説明	17	11 改訂履歴	42
8.1 概要.....	17	12 メカニカル、パッケージ、および注文情報	43
8.2 機能ブロック図.....	18		
8.3 機能説明.....	18		

4 デバイス比較表

パラメータ	LM74900-Q1	LM74910-Q1	LM74910H-Q1
チャージポンプの強度	2.7mA	4.2mA	4.2mA
入力絶対最大電圧	70V	70V	74V
電流モニタ出力精度	±12.5% (V _{SENSE} = 20mV)	±12.5% (V _{SENSE} = 20mV)	±2% (V _{SENSE} = 30mV)
SLEEP モード過電流応答	ラッチオフ	ラッチオフ	自動再試行

5 ピン構成および機能

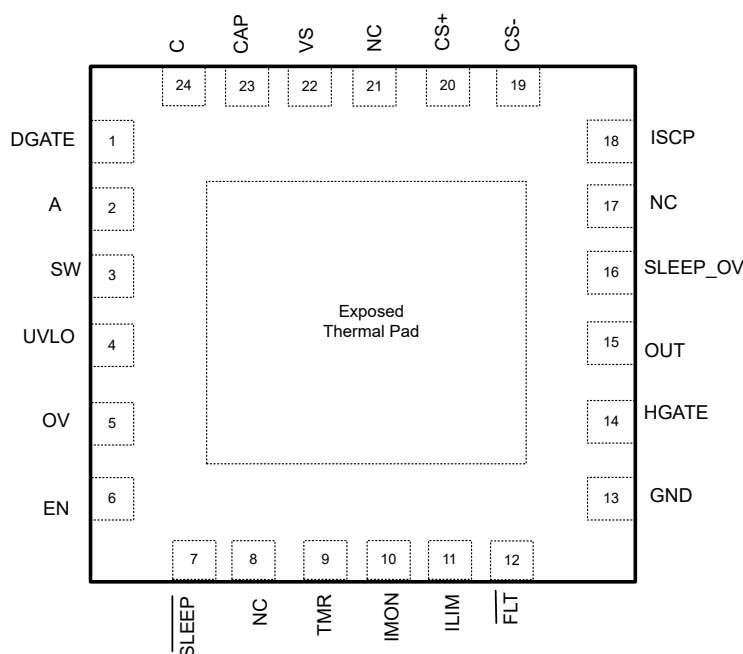


図 5-1. RGE パッケージ、24 ピン VQFN (透過上面図)

表 5-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
DGATE	1	O	ダイオードコントローラのゲートドライブ出力。外部 MOSFET の GATE に接続します。
A	2	I	理想ダイオードのアノード。外部 MOSFET のソースに接続します。
SW	3	I	電圧センシング接続解除スイッチ端子。VSNS と SW はスイッチを介して内部接続されています。SW をバッテリーセンシングまたは OV 抵抗ラダーネットワークの上側接続として使用します。EN が Low になると、スイッチがオフになり、バッテリーラインからの抵抗ラダーの接続が切断され、リーク電流が遮断されます。VSNS と SW 間の内部切断スイッチを使用しない場合は、それらを互いに短絡して VS ピンに接続します。
UVLO	4	I	可変低電圧スレッシュホールド入力。SW から GND への UVLO 端子間の抵抗ラダーを接続します。UVLO の電圧が低電圧カットオフ スレッシュホールドを下回ると、HGATE が Low になり、HSFET をオフにします。センス電圧が UVLO 立ち下がりスレッシュホールドを上回ると、HGATE がオンになります。
OV	5	I	可変過電圧スレッシュホールド入力。SW から OV 端子間に抵抗ラダーを接続します。OVP の電圧が過電圧カットオフ スレッシュホールドを超えると、HGATE が Low になり、HSFET がオフになります。センス電圧が OVP 立ち下がりスレッシュホールドを下回ると、HGATE がオンになります。

表 5-1. ピンの機能 (続き)

ピン		種類 ⁽¹⁾	説明
名称	番号		
EN	6	I	EN 入力。常時オン動作の場合は VS ピンに接続します。マイコン I/O を通じて、外部から駆動できます。このピンを $V_{(ENF)}$ 未満にプルすると、デバイスは低 IQ シャットダウン モードに移行します。
SLEEP	7	I	アクティブ Low の SLEEP モード入力。マイコンから駆動できます。Low にプルされると、デバイスは低消費電力状態に移行し、チャージ ポンプとゲート駆動がオフになります。内部バイパス スイッチにより出力電圧が供給され、電流量は制限されます。
NC	8	—	接続なし。
TMR	9	I	故障タイマ入力。TMR ピンと GND の間のコンデンサにより、故障警告、故障ターンオフ (FLT)、再試行の各期間の時間が設定されます。オープンのままにするのが最も速い設定です。過電流保護を無効化するには、TMR を GND に接続します。
IMON	10	O	アナログ電流モニタ出力。このピンは、外部の電流センス抵抗 R_{SNS} を介して、電流のスケールダウン比をソースします。このピンと GND との間の抵抗は、電流をそれに比例した電圧に変換します。使用しない場合は、フローティングのままにします。
ILIM	11	I	過電流検出設定。ILIM と GND の間に抵抗を接続することによって、過電流コンパレータ スレッショルドを設定します。過電流保護機能が不要な場合は、ILIM を GND に接続します。
FLT	12	O	オープンドレイン立ち下がり出力。UVLO、OV、OCP、または SCP イベントの場合、FLT ピンは Low になります。
GND	13	G	システム グランド プレーンに接続します。
HGATE	14	O	HSFET のゲートドライバ出力。外部 FET の GATE に接続します。
OUT	15	I	出力レール (外部 MOSFET ソース) に接続します。
SLEEP_OV	16	I	SLEEP モード過電圧保護ピン。過電圧カットオフ機能の場合、このピンを VS に接続します。過電圧クランプ機能の場合、OUT に接続します。
NC	17	—	接続なし。
ISCP	18	I	短絡検出スレッショルド設定。 短絡保護が不要な場合は、ISCP をフローティングのままに接続します。ISCP が CS+ に接続されると、デバイスは内部固定スレッショルドを 20mV に設定します。
CS–	19	I	電流センスの負入力。
CS+	20	I	電流センスの正入力。CS+ と外部電流センス抵抗の間に 50 ~ 100mΩ の抵抗を接続します。
NC	21	—	接続なし。
VS	22	P	IC の入力電源。VS を共通ドレインのバック ツー バック MOSFET 構成の中間点に接続します。VS ピンと GND ピンとの間に 100nF のコンデンサを接続します。
CAP	23	O	チャージ ポンプ出力。CAP ピンと VS ピンとの間に 100nF のコンデンサを接続します。
C	24	I	理想ダイオードのカソード。外部 MOSFET のドレインに接続します。
RTN	サーマル パッド	—	露出したパッドはフローティングにします。GND プレーンには接続しないでください。

(1) I: 入力、O: 出力、I/O: 入力または出力、P: 電源、G = グランド

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
入力ピン:	A ~ GND 間 (LM74900-Q1, LM74910-Q1)	-65	70	V
	A ~ GND 間 (LM74910H-Q1)	-65	74	V
	VS, CS+, CS-, ISCP, OUT, SLEEP_OV ~ GND 間 (LM74900-Q1, LM74910-Q1)	-1	70	
	VS, CS+, CS-, ISCP, OUT, SLEEP_OV ~ GND 間 (LM74910H-Q1)	-1	74	
	SW, C, EN, $\overline{\text{SLEEP}}$, FLT, UVLO, OV ~ GND 間, $V_{(A)} > 0V$ (LM74900-Q1, LM74910-Q1)	-0.3	70	
	SW, C, EN, $\overline{\text{SLEEP}}$, FLT, UVLO, OV ~ GND 間, $V_{(A)} > 0V$ (LM74910H-Q1)	-0.3	74	
	SW, C, EN, $\overline{\text{SLEEP}}$, FLT, UVLO, OV ~ GND 間, $V_{(A)} \leq 0V$ (LM74900-Q1, LM74910-Q1)	$V_{(A)}$	$(70 + V_{(A)})$	
	SW, C, EN, $\overline{\text{SLEEP}}$, FLT, UVLO, OV ~ GND 間, $V_{(A)} \leq 0V$ (LM74910H-Q1)	$V_{(A)}$	$(74 + V_{(A)})$	
	RTN から GND へ	-65	0.3	mA
	I_{SW} , I_{FLT}	-1	10	
	TMR, ILIM	-0.3	5.5	
	I_{EN} , I_{UVLO} , I_{OV} $V_{(A)} > 0V$	-1		
	I_{EN} , I_{UVLO} , I_{OV} $V_{(A)} \leq 0V$	内部的に制限		
入力ピン:	ISCP, CS+ ~ CS- 間	-0.3	0.3	V
出力ピン	OUT から VS へ	-65	5	V
	CAP から VS へ	-0.3	15	
	CAP ~ A 間 (LM74900-Q1, LM74910-Q1)	-0.3	85	
	CAP ~ A 間 (LM74910H-Q1)	-0.3	88	
	DGATE から A へ	-0.3	15	
	FLT ~ GND 間 (LM74900-Q1, LM74910-Q1)	-0.3	70	
	FLT ~ GND 間 (LM74910H-Q1)	-0.3	74	
	IMON	-1	5.5	
	HGATE から OUT へ	-0.3	15	
出力ピン ~ 入力ピン間	C ~ A (LM74900-Q1, LM74910-Q1)	-5	85	
	C ~ A (LM74910H-Q1)	-5	88	
動作時の接合部温度、 T_j ⁽²⁾		-40	150	°C
保管温度、 T_{stg}		-40	150	

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750	
		角のピン その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	公称値	最大値	単位
入力ピン:	A から GND へ	-60		65	V
	VS、SW、CS+、CS-、ISCP から GND へ	0		65	V
	EN、UVLO、OV、SLEEP から GND へ	0		65	V
出力ピン	FLT から GND へ	0		65	V
出力ピン	IMON ~ GND	0		5	V
外部容量	CAP から A へ、VS から GND へ、A から GND へ	0.1			μF
外部 MOSFET の最大 VGS 定格	DGATE を A へ、HGATE を OUT へ	15			V
Tj	動作時接合部温度 ⁽²⁾	-40		150	°C

- (1) 推奨動作条件は、デバイスが機能すると想定されている条件を示します。仕様およびテスト条件については、「電気的特性」を参照してください。
 (2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		LM749x0-Q1	単位
		RGE (VQFN)	
		24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	44	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	38.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	21.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	21.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	5.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $T_J = 25^{\circ}\text{C}$ 、 $V_{(A)} = V_{(OUT)} = V_{(VS)} = 12\text{V}$ 、 $C_{(CAP)} = 0.1\mu\text{F}$ 、 $V_{(EN)}$ 、 $V_{(SLEEP)} = 2\text{V}$ の標準値、自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧						
$V_{(VS)}$	動作時入力電圧		3		65	V
$V_{(VS_PORR)}$	VS POR スレッシュホールド、立ち上がり		2.4	2.6	2.9	V
$V_{(VS_PORF)}$	VS POR スレッシュホールド、立ち下がり		2.2	2.4	2.7	V

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, $T_J = 25^{\circ}\text{C}$, $V_{(A)} = V_{(OUT)} = V_{(VS)} = 12\text{V}$, $C_{(CAP)} = 0.1\mu\text{F}$, $V_{(EN)}$, $V_{(SLEEP)} = 2\text{V}$ の標準値、自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _(SHDN)	SHDN 電流、I _(GND)	V _(EN) = 0V		2.5	5	μA
I _(SLEEP)	SLEEP モード電流、I _(GND)	V _(EN) = 2V、V _(SLEEP) = 0V		5.5	10	μA
I _(Q)	システム全体の静止電流、I _(GND)	V _(EN) = 2V (LM74900-Q1、LM74910-Q1)		630	750	μA
		V _(EN) = 2V (LM74910H-Q1)		675	810	μA
		V _(A) = V _(VS) = 24V、V _(EN) = 2V (LM74900-Q1、LM74910-Q1)		635	750	μA
		V _(A) = V _(VS) = 24V、V _(EN) = 2V (LM74910H-Q1)		675	810	μA
I _(REV)	逆極性時の I _(A) リーク電流、	0V ≤ V _(A) ≤ − 65V	-100	-35		μA
	逆極性時の I _(OUT) リーク電流		-1	-0.3		μA
イネーブル						
V _(ENF)	イネーブル立ち上がりスレッシュョルド電圧		0.6	0.8	1.05	V
V _(ENF)	低 I _q シャットダウンのイネーブル スレッシュョルド電圧、立ち下がり		0.41	0.7	0.98	V
I _(EN)		0V ≤ V _(EN) ≤ 65V		55	200	nA
低電圧誤動作防止コンパレータ (SW、UVLO)						
V _(UVLOR)	UVLO スレッシュョルド電圧、立ち上がり		0.585	0.6	0.63	V
V _(UVLOF)	UVLO スレッシュョルド電圧、立ち下がり		0.533	0.55	0.573	V
I _(UVLO)		0V ≤ V _(UVLO) ≤ 5V		50	200	nA
過電圧保護およびバッテリー センシング (SW、OV) 入力						
R _(SW)	バッテリー センシング接続解除スイッチの抵抗	3V ≤ V _(A) ≤ 65V	10	22.5	46	Ω
V _(OVR)	過電圧スレッシュョルド入力、立ち上がり		0.585	0.6	0.63	V
V _(OVF)	過電圧スレッシュョルド入力、立ち下がり		0.533	0.55	0.573	V
I _(OV)	OV の入力リーク電流	0V ≤ V _(OV) ≤ 5V		50	200	nA
電流検出アンプ						
V _(OFFSET)	入力換算オフセット (V _{SNS} から V _{IMON} へのスケーリング)	R _{SET} = 50Ω、R _{IMON} = 5kΩ、10kΩ (V _{SNS} = 6mV ~ 30mV に対応) ゲインはそれぞれ 45 および 90。(LM74900-Q1、LM74910-Q1)	-2.1		2.1	mV
V _(GE_SET)	V _{SNS} から V _{IMON} へのスケーリング	R _{SET} = 50Ω、R _{IMON} = 5kΩ (V _{SNS} = 6mV ~ 30mV に対応)	82	90	97	
V _(SNS_TH)	OCP コンパレータ スレッシュョルド、立ち上がり (ILIM)		1.08	1.22	1.32	
V _(SNS_TH)	OCP コンパレータ スレッシュョルド、立ち下がり (ILIM)		1.02	1.15	1.25	V
I _{SCP}	SCP 入力バイアス電流	V _{ISCP} = 12V (LM74900-Q1、LM74910-Q1)	9.5	10.5	12	μA
		V _{ISCP} = 12V (LM74910H-Q1)	9.3	10.5	12	μA
V _(SNS_SCP)	SCP スレッシュョルド	R _(ISCP) = 0Ω (I _{SCP} を VS に接続) (LM74900-Q1、LM74910-Q1)	17.86	20	22.77	mV
		R _(ISCP) = 0Ω (I _{SCP} を VS に接続) (LM74910H-Q1)	17.86	20	23	mV
		R _(ISCP) = 1kΩ (外部)		31		mV

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $T_J = 25^{\circ}\text{C}$ 、 $V_{(A)} = V_{(OUT)} = V_{(VS)} = 12\text{V}$ 、 $C_{(CAP)} = 0.1\mu\text{F}$ 、 $V_{(EN)}$ 、 $V_{(SLEEP)} = 2\text{V}$ の標準値、自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{MON_ACC}	電流モニタ出力精度	V _{SENSE} = 20mV (LM74900-Q1、LM74910-Q1)	-12.5		12.5	%
		V _{SENSE} = 10mV (LM74910H-Q1)	-6		6	%
		V _{SENSE} = 20mV (LM74910H-Q1)	-3		3	%
		V _{SENSE} = 30mV (LM74910H-Q1)	-2		2	%
フォルト						
R(FLT)	FLT_I プルダウン抵抗	(LM74900-Q1、LM74910-Q1)	11	25	60	Ω
		(LM74910H-Q1)	9.46	25	60	Ω
I_FLT	FLT の入力リーク電流	0V ≤ V _(FLT) ≤ 20V	-100		400	nA
遅延タイム (TMR)						
I _(TMR_SRC_CB)	TMR ソース電流		65	85	97	μA
I _(TMR_SRC_FLT)	TMR ソース電流		1.94	2.7	3.4	μA
I _(TMR_SNK)	TMR シンク電流	(LM74900-Q1、LM74910-Q1)	2	2.7	3.15	μA
		(LM74910H-Q1)	2	2.7	3.66	μA
V _(TMR_OC)	IWRN シャットオフの TMR ピンの電圧		1.1	1.2	1.4	V
V _(TMR_FLT)	IFLT トリガの TMR ピンの電圧		1.04	1.1	1.2	V
V _(TMR_LOW)	AR カウンタ立ち下がリスレッシュホールドの TMR ピンの電圧		0.1	0.2	0.3	V
N _(A_R_Count)	自動再試行サイクル数			32		
チャージ ポンプ (CAP)						
I _(CAP)	チャージ ポンプのソース電流 (チャージ ポンプがオン)	V _(CAP) – V _(A) = 7V、6V ≤ V _(S) ≤ 65V	1.3	2.7		mA
		V _(CAP) – V _(A) = 7V、VS= 65V、LM74910-Q1 のみ	2.5	4.2		mA
VCAP – VS	チャージ ポンプのターン オン電圧		11	12.2	13.2	V
	チャージ ポンプのターン オフ電圧		11.9	13.2	14.1	V
V _(CAP UVLO)	チャージ ポンプ UVLO 電圧スレッシュホールド、立ち上がり		5.4	6.6	7.9	V
	チャージ ポンプ UVLO 電圧スレッシュホールド、立ち下がり		4.4	5.5	6.6	V
理想ダイオード (A、C、DGATE)						
V _(A_PORR)	V _(A) POR スレッシュホールド、立ち上がり		2.2	2.45	2.7	V
V _(A_PORF)	V _(A) POR スレッシュホールド、立ち下がり		2	2.25	2.45	V
V _(AC_REG)	レギュレートされた順方向 V _(A) –V _(C) スレッシュホールド		3.6	10.5	13.4	mV
V _(AC_REV)	高速逆電流ブロックの V _(A) – V _(C) スレッシュホールド		-16	-10.5	-5	mV
V _(AC_FWD)	逆方向から順方向への遷移時の V _(A) – V _(C) スレッシュホールド		150	177	200	mV
V _{(DGATE) – V_(A)}	ゲート駆動電圧	3V < V _(S) < 5V	7			V
		5V < V _(S) < 65V	9.2	11.5	14	V

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $T_J = 25^{\circ}\text{C}$ 、 $V_{(A)} = V_{(OUT)} = V_{(VS)} = 12\text{V}$ 、 $C_{(CAP)} = 0.1\mu\text{F}$ 、 $V_{(EN)}$ 、 $V_{(SLEEP)} = 2\text{V}$ の標準値、自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{(DGATE)}$	ピーク ゲート ソース電流	$V_{(A)} - V_{(C)} = 100\text{mV}$ 、 $V_{(DGATE)} - V_{(A)} = 1\text{V}$		18.5		mA
	ピーク ゲート シンク電流	$V_{(A)} - V_{(C)} = -12\text{mV}$ 、 $V_{(DGATE)} - V_{(A)} = 11\text{V}$		2670		mA
	レギュレーション シンク電流	$V_{(A)} - V_{(C)} = 0\text{V}$ 、 $V_{(DGATE)} - V_{(A)} = 11\text{V}$	5	13.5		μA
$I_{(C)}$	カソードリーク電流	$V_{(A)} = -14\text{V}$ 、 $V_{(C)} = 12\text{V}$	4	9	32	μA
ハイサイド コントローラ (HGATE、OUT)						
$V_{(HGATE)} - V_{(OUT)}$	ゲート駆動電圧	$3\text{V} < V_{(S)} < 5\text{V}$	7			V
		$5\text{V} < V_{(S)} < 65\text{V}$	10	11.1	14.5	V
$I_{(HGATE)}$	ソース電流		39	55	75	μA
	シンク電流	$V_{(OV)} > V_{(OVR)}$	128	180		mA
スリープ モード						
$V_{(SLEEP)}$	SLEEP の上側スレッショルド電圧			0.85	1.05	V
$V_{(SLEEPF)}$	低 IQ シャットダウンの SLEEP スレッショルド電圧、立ち下がり		0.41	0.7		V
$I_{(SLEEP)}$	SLEEP 入力リーク電流			100	160	nA
過電圧スレッショルド	SLEEP モード過電圧立ち上がりスレッショルド	$\overline{\text{SLEEP}} = \text{Low}$ 、 $\text{EN} = \text{High}$	19.3	21.3	23	V
過電圧スレッショルド	SLEEP モード過電圧スレッショルド	$\overline{\text{SLEEP}} = \text{Low}$ 、 $\text{EN} = \text{High}$	18.4	21	22.2	V
過電流スレッショルド	SLEEP モード過電流スレッショルド (デバイスのラッチオフ)		150	250	310	mA
$T_{(TSD)}$	SLEEP モード TSD スレッショルド、立ち上がり	$\overline{\text{SLEEP}} = \text{Low}$ 、 $\text{EN} = \text{High}$		155		$^{\circ}\text{C}$
$T_{(TSDhyst)}$	TSD ヒステリシス	$\overline{\text{SLEEP}} = \text{Low}$ 、 $\text{EN} = \text{High}$		10		$^{\circ}\text{C}$

6.6 スイッチング特性

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、標準値は、 $T_J = 25^{\circ}\text{C}$ 、 $V_{(A)} = V_{(OUT)} = V_{(VS)} = 12\text{V}$ 、 $C_{(CAP)} = 0.1\mu\text{F}$ 、 $V_{(EN)}$ 、 $V_{(SLEEP)} = 2\text{V}$ 、自由気流での動作温度範囲内での値 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{\text{DGATE_OFF(dly)}}$	逆電圧検出中の DGATE ターンオフ遅延	$V_{(A)} - V_{(C)} = +30\text{mV} \sim -100\text{mV} \sim V_{(DGATE-A)} < 1\text{V}$ 、 $C_{(DGATE-A)} = 10\text{nF}$		0.5	0.95	μs
$t_{\text{DGATE_ON(dly)}}$	順方向電圧検出時の DGATE ターンオン遅延	$V_{(A)} - V_{(C)} = -20\text{mV} \sim +700\text{mV} \sim V_{(DGATE-A)} > 5\text{V}$ 、 $C_{(DGATE-A)} = 10\text{nF}$ 、LM74900-Q1 のみ		2	3.8	μs
$t_{\text{DGATE_ON(dly)}}$	順方向電圧検出時の DGATE ターンオン遅延	$V_{(A)} - V_{(C)} = -20\text{mV} \sim +700\text{mV} \sim V_{(DGATE-A)} > 5\text{V}$ 、 $C_{(DGATE-A)} = 10\text{nF}$ 、LM74910-Q1 のみ		0.75	1.6	μs
$t_{\text{EN(dly)_DGATE}}$	EN 中の DGATE ターンオン遅延	$\text{EN} \uparrow \sim V_{(DGATE-A)} > 5\text{V}$ 、 $C_{(DGATE-A)} = 10\text{nF}$		180	270	μs
$t_{\text{UVLO_OFF(deg)_HGATE}}$	UVLO 中の HGATE ターンオフ グリッチ除去	$\text{UVLO} \downarrow \sim \text{HGATE} \downarrow$		5	7	μs
$t_{\text{UVLO_ON(deg)_HGATE}}$	UVLO 中の HGATE ターンオン グリッチ除去	$\text{UVLO} \uparrow \sim \text{HGATE} \uparrow$		8.5		μs

6.6 スイッチング特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、標準値は、 $T_J = 25^{\circ}\text{C}$ 、 $V_{(A)} = V_{(OUT)} = V_{(VS)} = 12\text{V}$ 、 $C_{(CAP)} = 0.1\mu\text{F}$ 、 $V_{(EN)}$ 、 $V_{(SLEEP)} = 2\text{V}$ 、自由気流での動作温度範囲内での値 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{\text{OVP_OFF(deg_HGATE)}}$	OV 中の HGATE ターンオフ グリッチ除去	OV $\uparrow \sim$ HGATE \downarrow		4	7	μs
$t_{\text{OVP_ON(deg_HGATE)}}$	OV 中の HGATE ターンオン グリッチ除去	OV $\downarrow \sim$ HGATE \uparrow		9		μs
$t_{\text{SCP_DLY}}$	短絡保護のターンオフ遅延	$(V_{\text{ISCP}} - V_{\text{CS-}}) = 0\text{mV} \sim 100\text{mV}$ HGATE \downarrow 、 $C_{\text{GS}} = 4.7\text{nF}$		3	5.5	μs
$t_{\text{OCP_TMR_DLY}}$	過電流保護ターンオフ遅延	$(V_{\text{CS+}} - V_{\text{CS-}}) \uparrow$ HGATE \downarrow 、 $C_{\text{TMR}} = 50\text{pF}$		35		μs
	過電流保護ターンオフ遅延	$(V_{\text{CS+}} - V_{\text{CS-}}) \uparrow$ HGATE \downarrow 、 $C_{\text{TMR}} = 10\text{nF}$		190		μs
$t_{\text{AUTO_RETRY_DLY}}$	過電流 / 短絡保護の自動再試行遅延	$(V_{\text{CS+}} - V_{\text{CS-}}) \downarrow$ HGATE \uparrow 、 $C_{\text{TMR}} = 50\text{pF}$		1.5		ms
	過電流 / 短絡保護の自動再試行遅延	$(V_{\text{CS+}} - V_{\text{CS-}}) \downarrow$ HGATE \uparrow 、 $C_{\text{TMR}} = 10\text{nF}$		230		ms
$t_{\text{FLT_ASSERT}}$	フォルト アサート遅延	$(V_{\text{CS+}} - V_{\text{CS-}}) \uparrow$ $\overline{\text{FLT}}$ \downarrow 、 $C_{\text{TMR}} = 50\text{pF}$		35		μs
	フォルト アサート遅延	OV $\uparrow \sim \overline{\text{FLT}}$ \downarrow		3		μs
$t_{\text{FLT_DE-ASSERT}}$	フォルト デアサート遅延			4		μs
$t_{\text{SLEEP_OCP_LATCH}}$	SLEEP OCP ラッチ遅延			3.5	7.5	μs
$t_{\text{SLEEP_MODE}}$	スリープ モード エントリ遅延	$\overline{\text{SLEEP}} = \text{Low}$ 、 $\text{EN} = \text{High}$		95		μs
t_{OVCLAMP}	OV クランプの応答遅延			3.5		μs

6.7 代表的特性

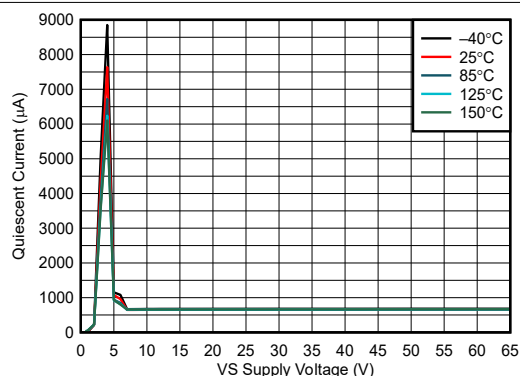


図 6-1. 動作時静止電流と電源電圧との関係

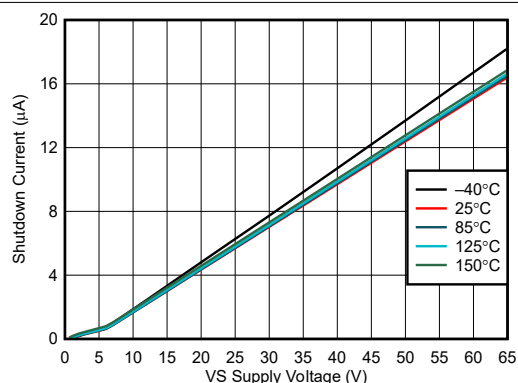


図 6-2. シャットダウン電流と電源電圧との関係

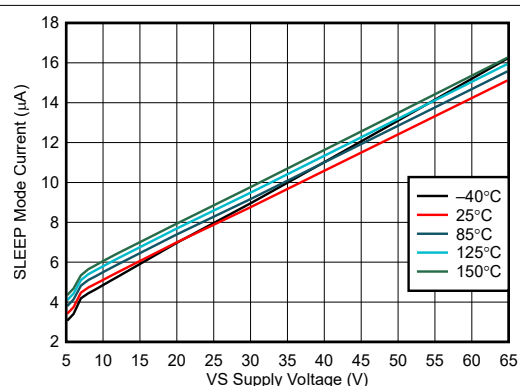


図 6-3. SLEEP モード電流と電源電圧との関係

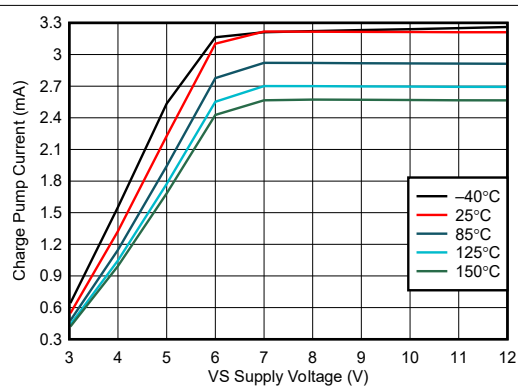


図 6-4. CAP – VS ≥ 6V 時のチャージ ポンプ電流と電源電圧との関係 (LM74900-Q1)

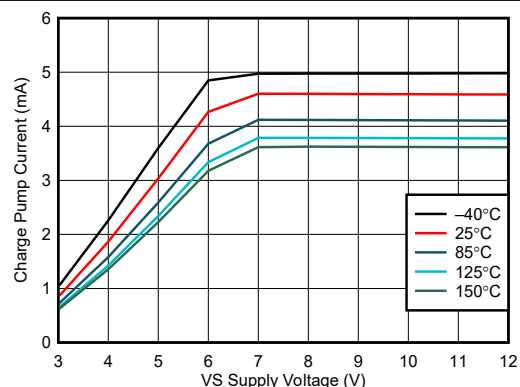


図 6-5. CAP – VS ≥ 6V 時のチャージ ポンプ電流と電源電圧との関係 (LM74910-Q1)

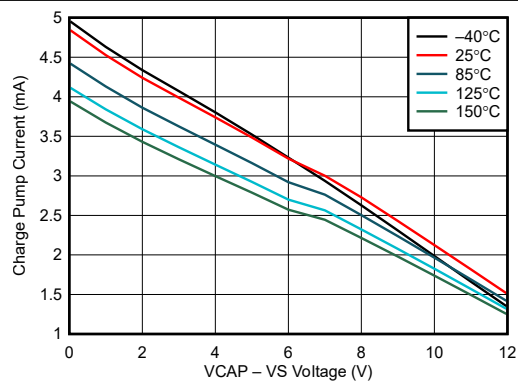


図 6-6. VS ≥ 12V 時のチャージ ポンプの V-I 特性 (LM74900-Q1)

6.7 代表的特性 (続き)

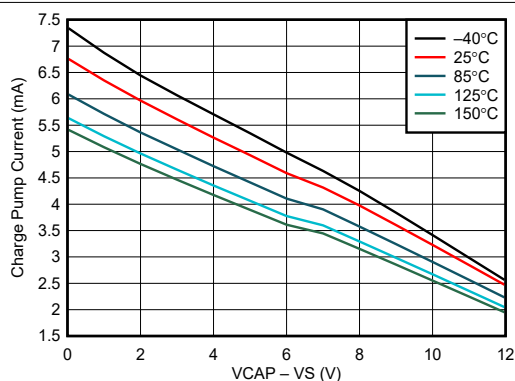


図 6-7. VS ≥ 12V 時のチャージポンプの V-I 特性 (LM74910-Q1)

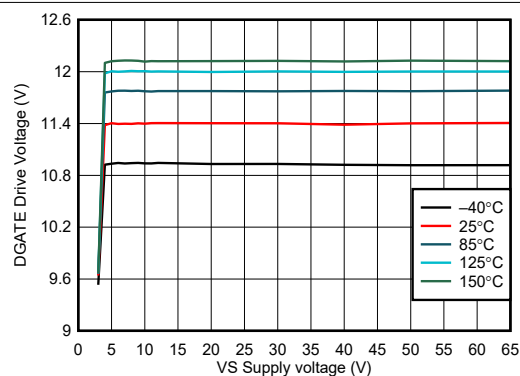


図 6-8. DGATE 駆動電圧と電源電圧との関係

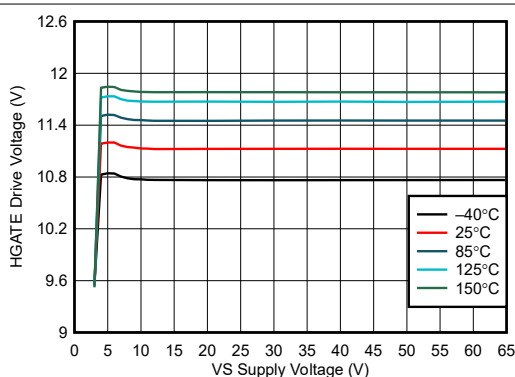


図 6-9. HGATE 駆動電圧と電源電圧との関係

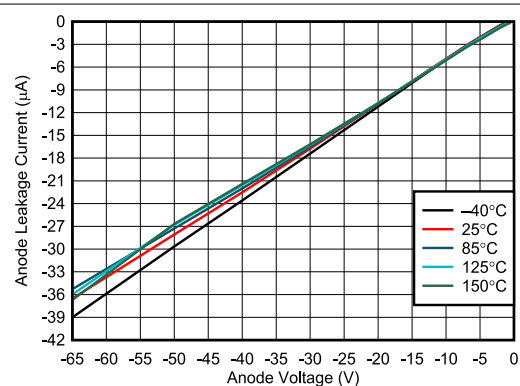


図 6-10. アノードリーク電流と逆アノード電圧との関係

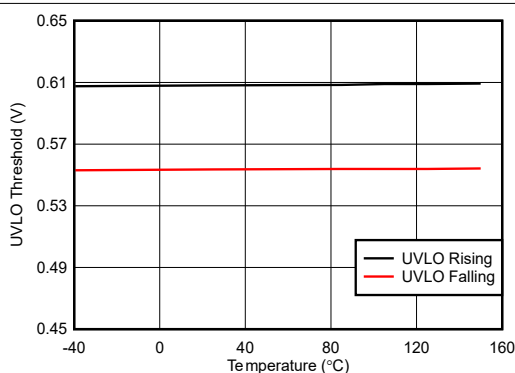


図 6-11. UVLO スレッシュホールドと温度との関係

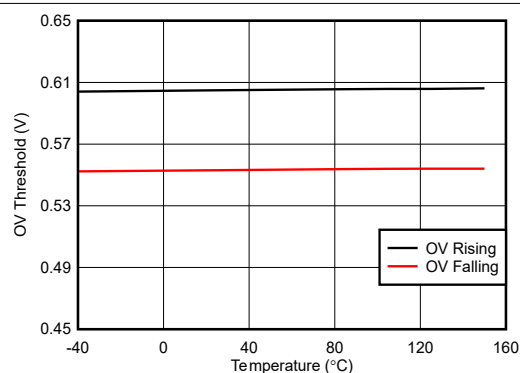


図 6-12. OVP スレッシュホールドと温度との関係

6.7 代表的特性 (続き)

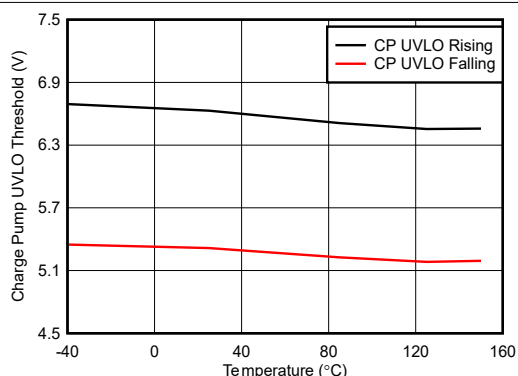


図 6-13. チャージ ポンプ UVLO スレッシュホールドと温度との関係

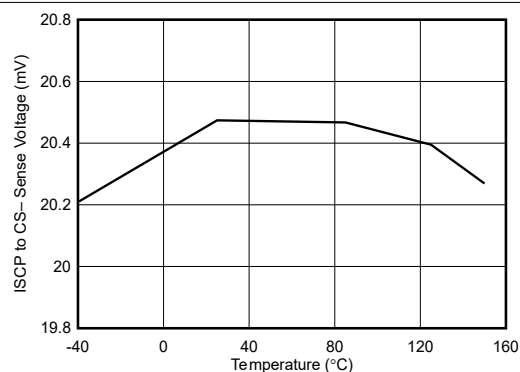


図 6-14. ISCP と CS- 間のスレッシュホールドと温度との関係

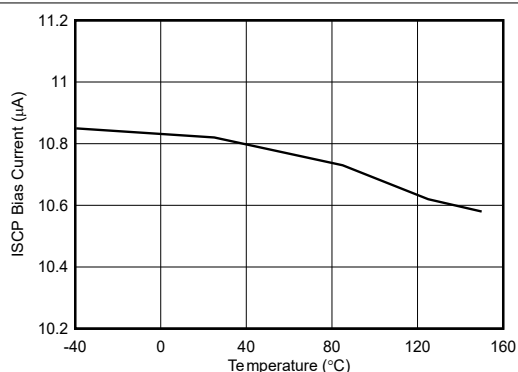


図 6-15. ISCP バイアス電流と温度との関係

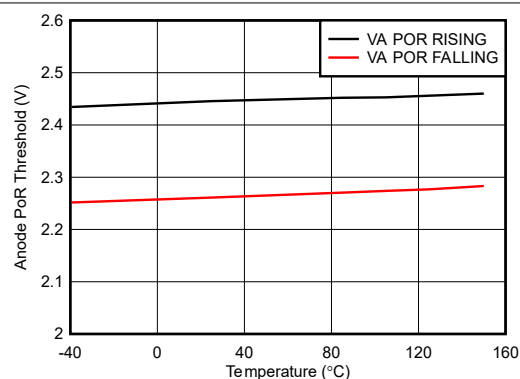


図 6-16. VA POR スレッシュホールドと温度との関係

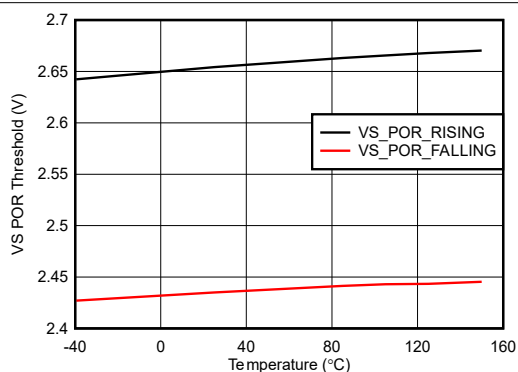


図 6-17. VS POR スレッシュホールドと温度との関係

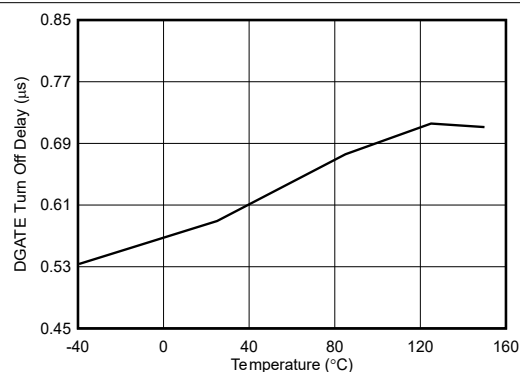


図 6-18. DGATE ターンオフ遅延

6.7 代表的特性 (続き)

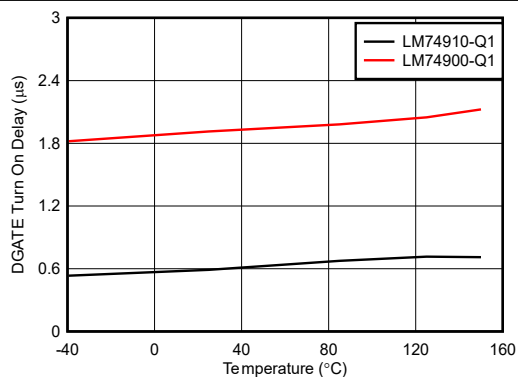


図 6-19. 順方向導通中の DGATE ターンオン遅延

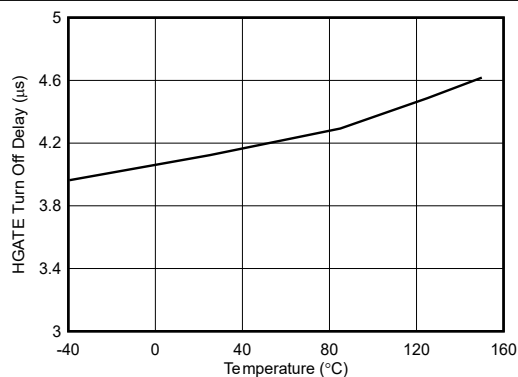


図 6-20. OV 中の HGATE ターンオフ遅延

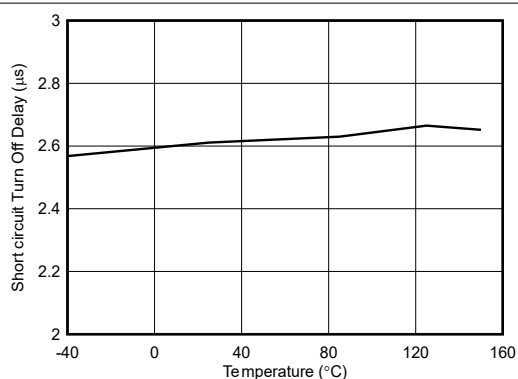


図 6-21. SCP 中の HGATE ターンオフ遅延

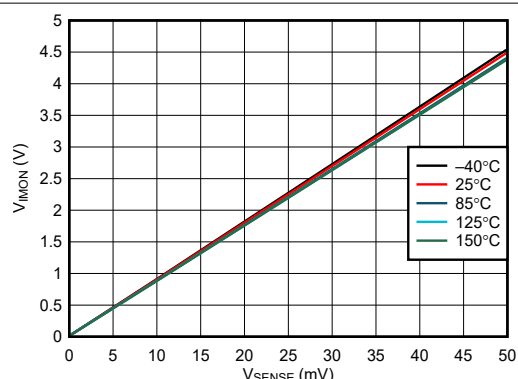


図 6-22. 電流モニタ出力とセンス電圧との関係 ($R_{IMON} = 5k\Omega$, $R_{SET} = 50\Omega$)

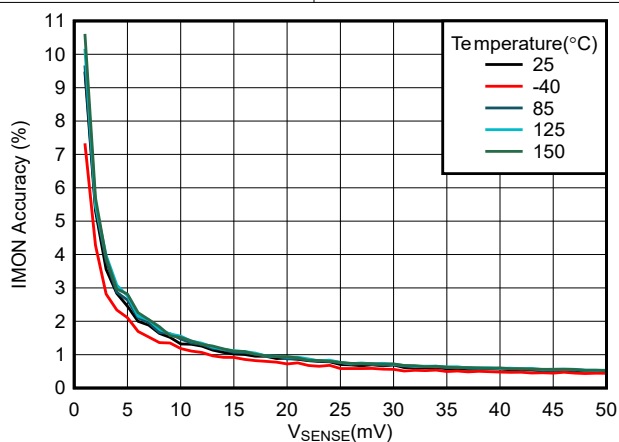


図 6-23. LM74910H-Q1、IMON 精度 (%) と V_{SENSE} (mV) との関係

7 パラメータ測定情報

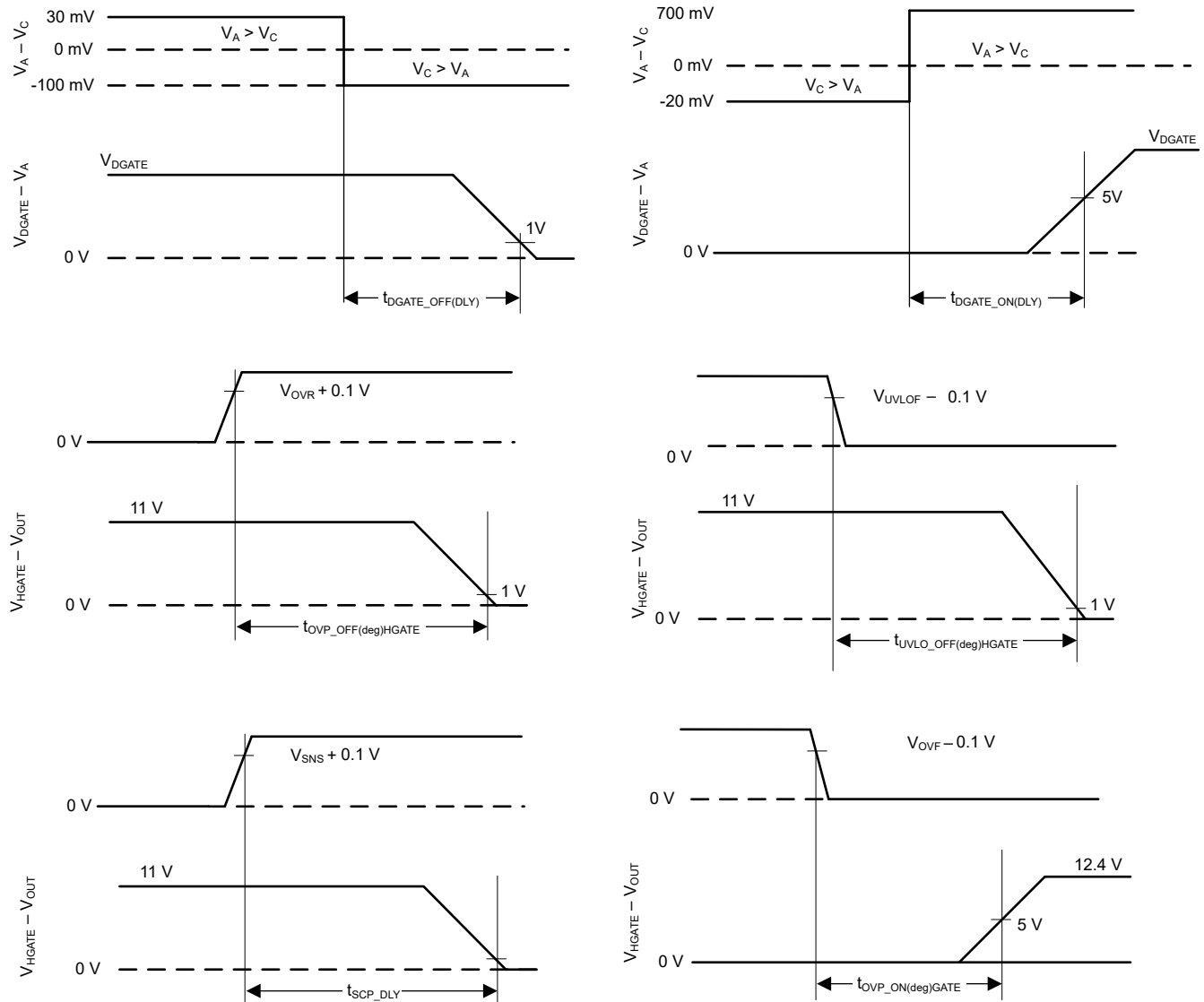


図 7-1. タイミング波形

8 詳細説明

8.1 概要

LM749x0-Q1 理想ダイオード コントローラ ファミリーは、双方向の外部 N チャネル MOSFET を駆動し、サーキット ブレーカ、低電圧、過電圧保護機能により、低損失のパワー パス保護を実現します。

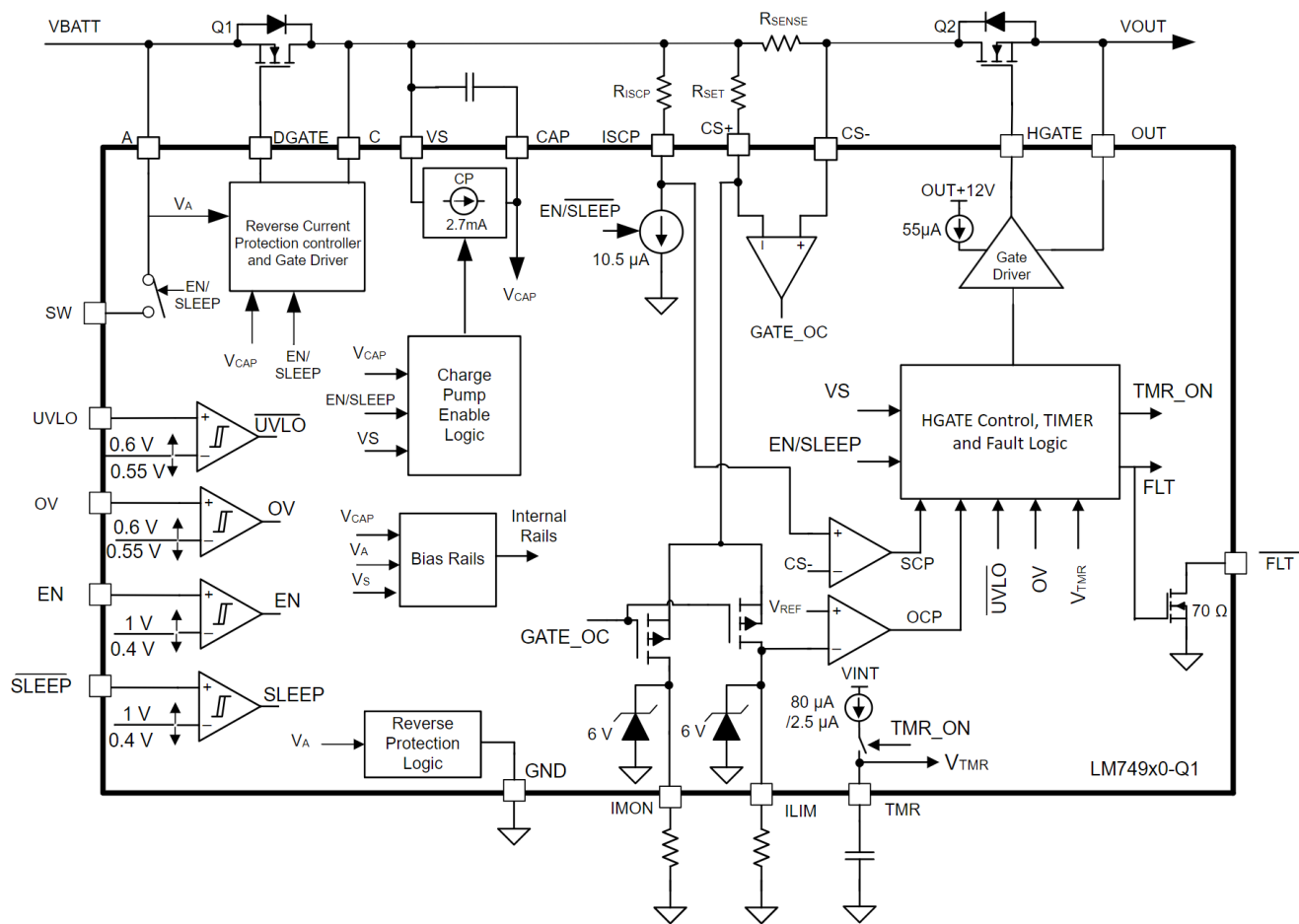
入力電源電圧範囲が 3V~65V と広いため、12V および 24V 車載用バッテリー駆動 ECU を保護および制御できます。このデバイスは、最低 -65V の負の電源電圧に耐えられ、負荷を保護できます。内蔵の理想ダイオード コントローラ (DGATE) は第 1 の MOSFET を駆動し、逆電流保護および出力電圧保持用のショットキー ダイオードを置き換えることができます。電力パスの第 2 の MOSFET により、HGATE 制御を使用した負荷の切断 (オン / オフ制御) と過電圧保護が可能です。このデバイスには可変過電圧カットオフ保護機能があります。共通ドレイン構成のパワー MOSFET の場合、もう 1 つの理想ダイオードを使用した OR 接続設計のために中間点を利用できます。LM749x0-Q1 の最高電圧定格は 65V です。

本デバイスは、エネルギー管理システムを可能にする高精度電流検出出力 (IMON) を備えており、精度の標準値は $\pm 10\%$ です。本デバイスはサーキットブレーカ機能 (TMR) および故障 (FLT) 出力を備えた 2 レベルの過電流保護機能を内蔵しており、スレッシュホールドと応答時間を完全に調整できます。自動リトライおよびラッチオフ フォルト動作は設定可能です。

このデバイスは可変過電圧および低電圧保護機能を備えており、電圧過渡事象が発生した場合に堅牢な負荷切断を行うことができます。

LM749x0-Q1 には、EN および $\overline{\text{SLEEP}}$ ピンのステータスに基づいて 2 種類の低消費電力モードがあります。SLEEP モード ($\overline{\text{SLEEP}} = \text{Low}$ 、 $\text{EN} = \text{High}$) では、デバイスは外部 MOSFET ゲートドライブと内部チャージ ポンプの両方をオフにすることによってわずか 6 μA の電流しか消費しませんが、同時に内部バイパス パスを備えているため、電流容量が制限されている状態で常時オンの負荷に電力を供給できます。イネーブル ピンが Low のとき、デバイスは負荷を完全に切断して超低消費電力モードに移行し、消費電流は標準値 2.87 μA です。LM749x0-Q1 は、電圧定格が高いため、車載用 ISO7637 保護のシステム設計の簡素化に利用できます。LM749x0-Q1 は、OR 接続および優先度付きパワー マルチプレクサ アプリケーションにも適しています。

8.2 機能ブロック図



8.3 機能説明

8.3.1 チャージポンプ

チャージポンプは、外部の N チャンネル MOSFET の駆動に必要な電圧を供給します。CAP ピンと VS ピンの間に外付けチャージポンプコンデンサを配置して、外部 MOSFET をオンにするための電力を供給します。チャージポンプが外部コンデンサに電流を供給するには、EN および SLEEP ピンの電圧が、指定された入力 High スレッショルドよりも高い必要があります。イネーブルにすると、チャージポンプは標準値 2.7mA の充電電流を供給します。EN または SLEEP ピンが Low にプルされると、チャージポンプはディスエーブルのままです。外部 MOSFET を規定のスレッショルド電圧よりも高く駆動できるように、内部ゲートドライバがイネーブルになる前に、CAP から VS への電圧が低電圧誤動作防止スレッショルド (標準 6.6V) よりも高くなっている必要があります。ゲートドライバの初期イネーブル遅延を計算するには、式 1 を使用します。

$$T_{(DRV_EN)} = 175 \mu s + \frac{C_{(CAP)} \times V_{(CAP_UVLOR)}}{2.7 \text{ mA}} \quad (1)$$

ここで、

- $C_{(CAP)}$ は、VS ピンと CAP ピンの間に接続されているチャージポンプ容量です
- $V_{(CAP_UVLOR)} = 6.6V$ (標準値)

ゲートドライブのチャタリングを除去するには、VCAP 低電圧誤動作防止に約 1V のヒステリシスを加えます。チャージポンプは、CAP から VS への電圧が通常 13.2V に達するまでイネーブルに維持されます。この時点でチャージポンプは

ディセーブルされ、VS ピンに流れる電流が減少します。CAP から VS への電圧が標準 12.2V を下回るまで、チャージポンプはディセーブルのまま維持され、その時点でチャージポンプがイネーブルになります。図 8-1 に示すように、CAP と VS の間の電圧は 12.2V~13.2V の間で充電および放電を継続します。チャージポンプをイネーブル / ディセーブルすることによって、LM749x0-Q1 の動作時静止電流が減少します。チャージポンプがディセーブルになると、15μA の電流をシンクします。

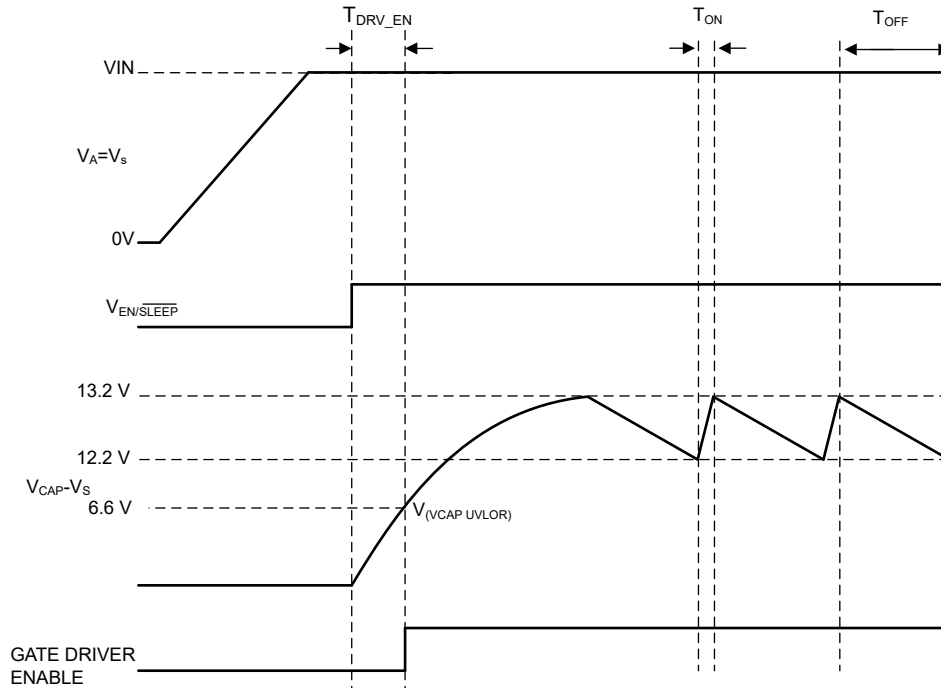


図 8-1. チャージ ポンプ動作

8.3.2 デュアル ゲート制御 (DMATE、HGATE)

LM749x0-Q1 は、2 つの独立したゲート制御およびドライバ出力、DGATE および HGATE を備えており、双方向 N チャネル MOSFET を駆動します。

8.3.2.1 バッテリ逆接続保護 (A、C、DGATE)

A、C、DGATE は理想ダイオード段で構成されています。外部 MOSFET のソースを A に、ドレインを C に、ゲートを DGATE に接続します。LM749x0-Q1 には、最低 -65V までの逆入力保護機能が内蔵されています。

DGATE ドライバをイネーブルにする前に、以下の条件を満たす必要があります。

- EN および SLEEP ピンの電圧は、指定された入力 High 電圧よりも高い必要があります。
- CAP から VS への電圧は、低電圧誤動作防止電圧よりも高い必要があります。
- A ピンの電圧は、VA POR 立ち上がりスレッショルドよりも高い必要があります。
- VS ピンの電圧は Vs POR 立ち上がりスレッショルドよりも高い必要があります。

上記の条件が満たされない場合、DGATE ピンは A ピンに内部的に接続され、外部 MOSFET が確実にディセーブルされます。

LM749x0-Q1 では、MOSFET の両端での電圧降下が A ピンと C ピンの間で継続的に監視され、DGATE から A への電圧は、順方向電圧降下を 10.5mV (標準値) でレギュレートするために必要に応じて調整されます。この閉ループレギュレーション方式により、逆電流発生時に MOSFET を穏やかにオフにでき、DC 逆電流を確実にゼロにします。この方式により、低速の入力電圧降下テスト中も堅牢な性能が保証されます。リニア レギュレーション アンプ方式に加えて、LM749x0-Q1 には高速の逆電圧コンパレータも内蔵されています。A と C の両端間の電圧降下が $V_{(AC_REV)}$ スレッショ

ルドに達すると、DGATE は 0.5μs (標準値) 以内で Low になります。この高速逆電圧コンパレータ方式により、入力マイクロ短絡などの高速入力電圧降下テスト時に堅牢な性能が保証されます。A と C の両端間の電圧が 2.8μs (標準値) 以内に V_(AC_FWD) スレッシュホールドに達すると、外部 MOSFET が再びオンになります。

8.3.2.2 負荷切断スイッチ制御 (HGATE、OUT)

HGATE および OUT は、負荷切断スイッチ制御段で構成されています。外部 MOSFET のソースを OUT に、ゲートを HGATE に接続します。

HGATE ドライバをイネーブルにする前に、以下の条件を満たす必要があります。

- EN および SLEEP ピンの電圧は、指定された入力 High 電圧よりも高い必要があります。
- CAP から VS への電圧は、低電圧誤動作防止電圧よりも高い必要があります。
- VS ピンの電圧は、Vs POR 立ち上がりスレッシュホールドよりも高い必要があります。

上記の条件が満たされない場合、HGATE ピンは OUT ピンに内部的に接続され、外部 MOSFET が確実にディセーブルされます。

突入電流制限を行うには、図 8-2 に示すように C_{dVdT} コンデンサと R₁ を接続します。

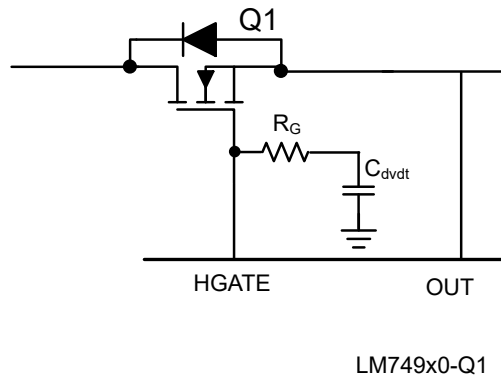


図 8-2. 突入電流制限

C_{dVdT} コンデンサは、突入電流を制限するため、電源投入時の HGATE 電圧の上昇を遅くするために必要です。C_{dVdT} 容量値を計算するには、式 2 を使用します。

$$C_{(dVdT)} = C_{OUT} \times \frac{I_{(HGATE_DRV)}}{I_{INRUSH}} \quad (2)$$

I_{HATE_DRV} が 55μA (標準値) の場合、I_{INRUSH} は突入電流、C_{OUT} は出力負荷容量です。C_{dVdT} コンデンサと直列に追加の抵抗 R₁ を使用すると、ターンオフ時間が短縮されます。

8.3.3 過電流保護 (CS+, CS-, ILIM, IMON, TMR)

LM749x0-Q1 には 2 レベルの過電流保護機能があります。デバイスは、CS+ および CS- を介して外部電流センス抵抗の両端の電圧を検出します。

8.3.3.1 パルス過負荷保護機能、サーキット ブレーカ

LM749x0-Q1 は、I_{LIM} ピンと GND の間に接続された抵抗 (R_{LIM}) によって過電流スレッシュホールドの設定をプログラムできます。

$$R_{(ILIM)} = \frac{12 \times R_{SET}}{R_{SENSE} \times I_{LIM}} \quad (3)$$

ここで、

- R_{SET} は、 $CS+$ と VS の間に接続された抵抗
- R_{SNS} は、電流センス抵抗
- I_{LIM} は、過電流レベル

C_{TMR} は、サーキット ブレーカと自動再試行時間をプログラムします。 $CS+$ と $CS-$ の両端の電圧が設定点を超えると、 C_{TMR} は $85\mu A$ のプルアップ電流で充電を開始します。 C_{TMR} が V_{TMR_FLT} まで充電されると、 \overline{FLT} は Low にアサートされ、即時 FET ターンオフが警告されます。 C_{TMR} が V_{TMR_OC} まで充電されると、 $HGATE$ は OUT にプルされ、HFET をオフにします。このイベントの後、自動再試行動作が開始します。 C_{TMR} コンデンサは、 $2.7\mu A$ のプルダウン電流で放電を開始します。電圧が V_{TMR_Low} レベルに達すると、コンデンサは $2.7\mu A$ のプルアップで再充電を開始します。 C_{TMR} の 32 回の充電 / 放電サイクルの後、FET は再度オンになり、デアサート遅延後に \overline{FLT} はデアサートされます。

$$T_{(OC)} = 1.2 \times \frac{C_{TMR}}{82.3 \mu A} \quad (4)$$

ここで、

- t_{OC} は、FET をオフにするための遅延
- C_{TMR} は、TMR ピンと GND との間の容量

自動再試行時間は次式のように計算できます

$$T_{RETRY} = 22.7 \times 10^6 \times C_{TMR} \quad (5)$$

過電流パルス幅が T_{OC} を下回ると、FET はオン状態を維持し、 C_{TMR} が内部プルダウン スイッチを使用して放電されます。

使用しない場合、 $ILIM$ をグラウンドに接続し、TMR をフローティングのままにできます。

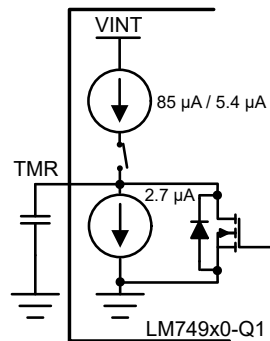


図 8-3. LM749x0 自動再試行タイマ機能

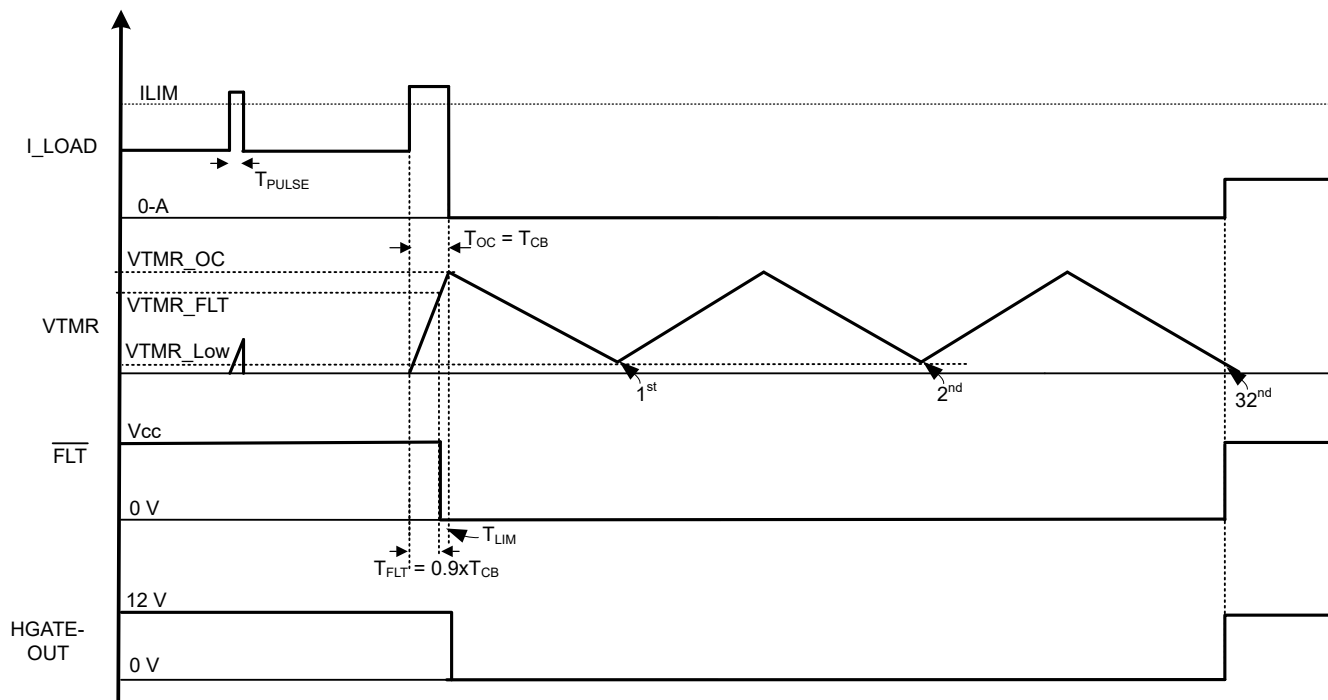


図 8-4. 自動再試行付き過電流保護のタイミング図

過電流パルス幅が T_{OC} を下回ると、HFET はオン状態を維持し、 C_{TMR} が内部プルダウン スイッチを使用して放電されます。

8.3.3.2 ラッチオフ付き過電流保護

図に示すように C_{TMR} の両端に約 $100\text{k}\Omega$ の抵抗を接続すると、過電流ラッチオフ機能を実現できます。この抵抗を使用すると、充電サイクル中に C_{TMR} の両端の電圧が V_{TMR_OC} 未満のレベルにクランプされ、ラッチオフ動作が発生します。

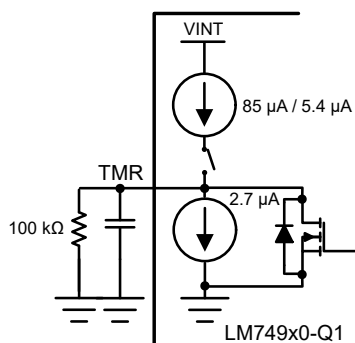


図 8-5. ラッチ付きの LM749x0 の過電流保護

ラッチをリセットするには、EN を (ENF より下に) トグルするか、 V_s を V_{SPORF} より低い電圧にパワー サイクルします。Low エッジでは、タイマ カウンタがリセットされ、 C_{TMR} が放電されます。

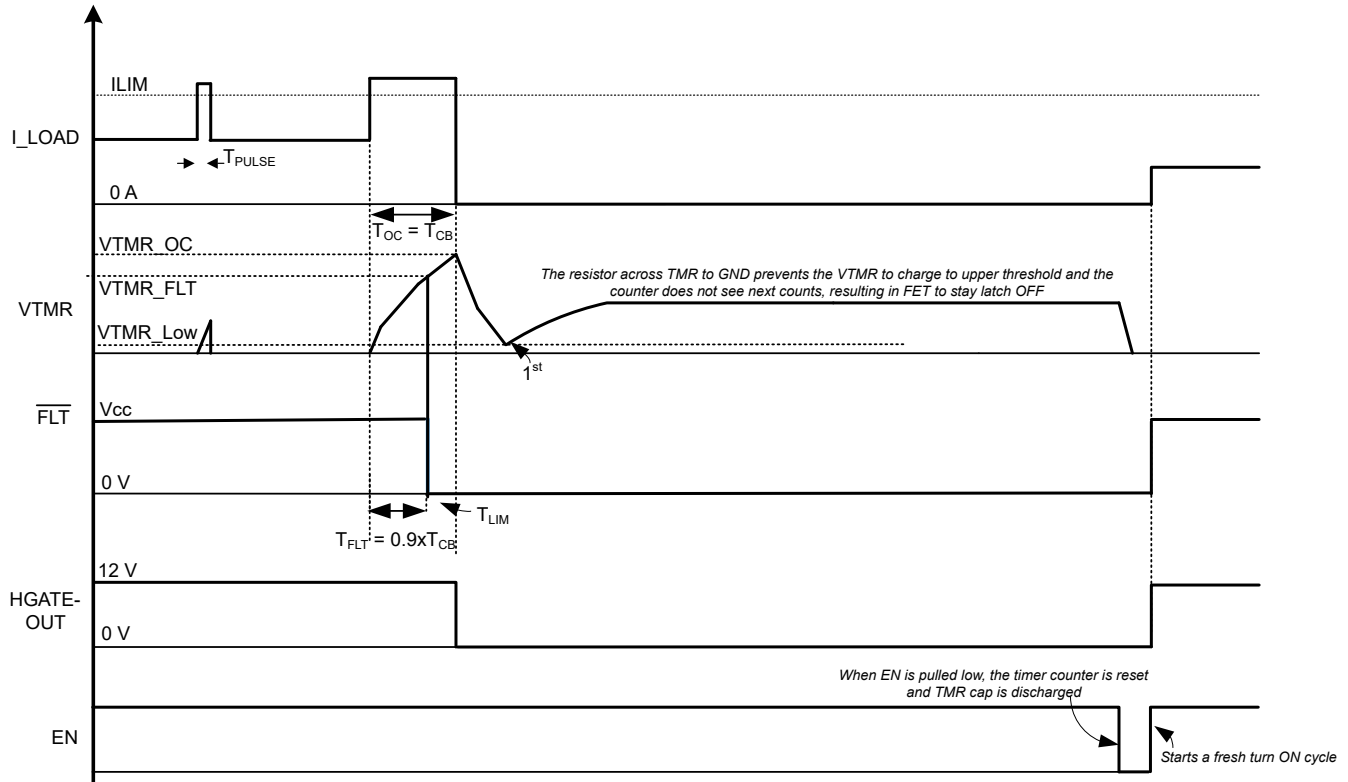


図 8-6. ラッチ付き過電流保護のタイミング図

8.3.3.3 短絡保護 (ISCP)

LM749x0-Q1 は、短絡保護機能により、短絡イベントに対して高速に応答します。CS+ と CS- の両端の電圧が ISCP 設定点である 20mV (標準値、デフォルト スレッシュホールド) を超えると、HGATE は 5μs 内で OUT にプルされ、HFET を保護します。 $\overline{\text{FLT}}$ は同時に Low にアサートします。このイベントの後、サーキット ブレーカ動作時の FET OFF イベント後の動作と同様に、 C_{TMR} の充電および放電サイクルが開始されます。

ISCP ピンから共通ドレイン ポイントまでの外付け直列抵抗 (R_{ISCP}) を使用して、短絡保護スレッシュホールドを高めることができます。短絡保護スレッシュホールドのシフトは、式 6 を使用して計算できます。

$$V_{\text{SNS_SCP}} = (10.5 \mu\text{A} \times R_{\text{ISCP}}) + 20 \text{ mV} \quad (6)$$

図 8-7 に示すように、 R_{SCP} と C_{SCP} からなる追加のグリッチ除去フィルタを ISCP ピンと CS- ピンの間に追加することによって、入力マイクロ カット (LV124, E-10)、AC 重量 (LV124, E-06)、または ISO7637-2 パルス 2A などの高速な車載過渡事象が発生した場合の誤った短絡トリガを回避できます。

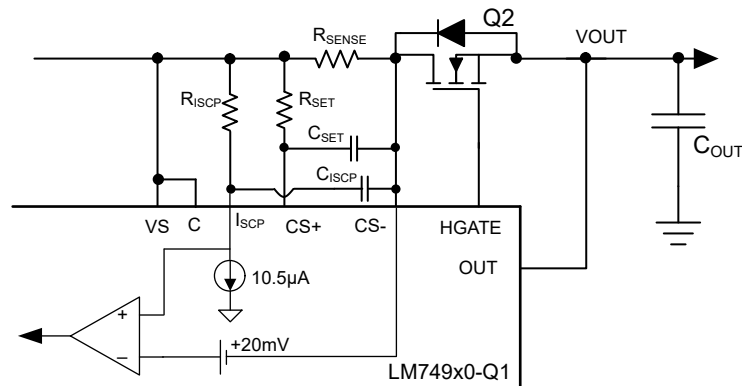


図 8-7. グリッチ除去フィルタによる短絡保護

サーキット ブレーカのセクションで説明されているのと同様の方法で、ラッチオフを実現することもできます。

8.3.3.4 アナログ電流モニタ出力 (IMON)

LM749x0-Q1 には、ゲインが調整可能なアナログ負荷電流モニタ出力 (IMON) 機能が備わっています。IMON ピンとグランドとの間に接続する抵抗により、式 7 で与えられる電流モニタ出力電圧が設定されます。

$$V_{IMON} = \frac{0.9 \times V_{SENSE} \times R_{IMON}}{R_{SET}} \quad (7)$$

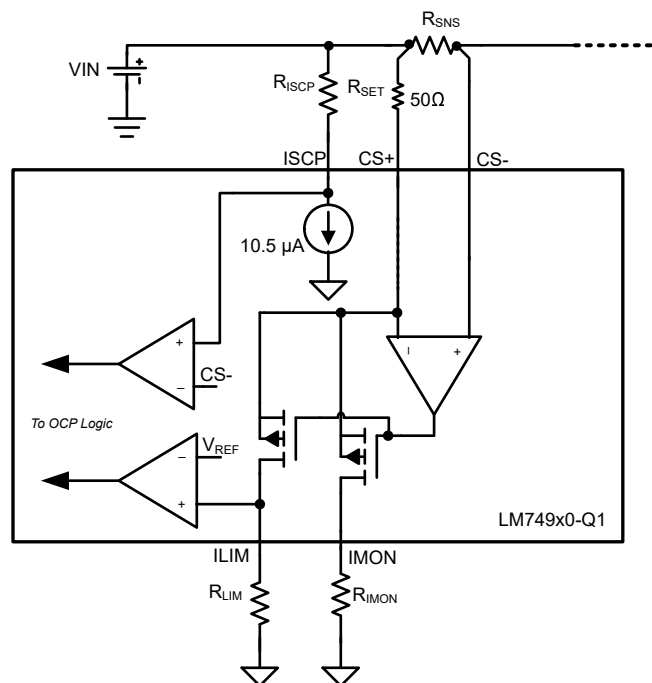


図 8-8. アナログ電流監視

8.3.4 低電圧保護、過電圧保護、バッテリー電圧センシング (UVLO、OV、SW)

過電圧スレッショルドのプログラミングには、図 8-9 に示すように抵抗ラダーを接続します。

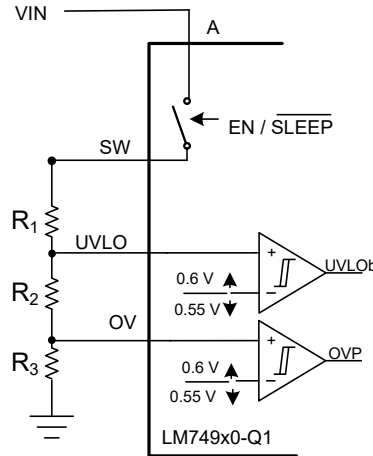


図 8-9. 過電圧スレッシュホールドのプログラミングとバッテリー センシング

A ピンと SW ピンの間には切断スイッチが内蔵されています。EN ピンまたは $\overline{\text{SLEEP}}$ ピンが Low になると、このスイッチはオフになります。これにより、システムのシャットダウン状態 (IGN_OFF 状態) 時に分圧抵抗回路を流れるリーク電流を低減できます。

低電圧機能が不要な場合は、UVLO ピンを EN ピンまたは VS ピンに接続することを推奨します。過電圧保護機能を使用しない場合は、OV ピンを接地することを推奨します。

8.4 デバイスの機能モード

8.4.1 超低静止電流 (IQ) シャットダウン (EN)

イネーブル ピンにより、外部信号を使用してゲートドライバをイネーブルまたはディセーブルできます。EN ピンの電圧が立ち上がりスレッシュホールドより高い場合、ゲートドライバとチャージ ポンプは「[チャージ ポンプ](#)」に記載されているように動作します。EN ピンの電圧が入力 Low スレッシュホールド $V_{(ENF)}$ よりも低い場合、チャージ ポンプと両方のゲートドライバ (DGATE および HGATE) がディセーブルされ、LM749x0-Q1 はシャットダウン モードになり、消費電流が $3\mu\text{A}$ と非常に低くなります。EN ピンは最大 65 V の電圧に耐えることができます。常時オン動作の場合は、EN ピンを VS に接続します。

8.4.2 低静止電流 (IQ) SLEEP モード ($\overline{\text{SLEEP}}$)

LM749x0-Q1 は、低静止電流 (IQ) の SLEEP モード動作をサポートしています。このモードは、 $\overline{\text{SLEEP}}$ ピンを Low (EN = High) にプルすることによってイネーブルできます。SLEEP モードでは、デバイスは内部チャージ ポンプと SW スイッチをオフにし、DGATE および HGATE 駆動をディセーブルにすることによって、標準値 $6\mu\text{A}$ の低消費電流を実現します。ただし、同時にデバイスは、標準オン抵抗 7Ω の内部低消費電力 MOSFET を経由して OUT ピンに接続された常時オンの負荷を起動します。このモードでは、デバイスは 100mA のピーク負荷電流をサポートできます。負荷が大きくなると、内部 MOSFET の両端での電圧降下が大きくなります。このデバイスは、標準 250mA の過電流スレッシュホールドにより、スリープ モード中の過電流保護を提供します。LM74900-Q1 および LM74910H-Q1 では、スリープ モード中に過電流が発生した場合、デバイスは内部 MOSFET スイッチを切断し、デバイスをラッチオフすることによって内部 FET を保護します。

LM74910H-Q1 の場合、SLEEP モードの過電流イベントによって、64 タイマ サイクルにわたって通常動作モードへの遷移がトリガされ、この期間中にデバイスは静止電流 $I_{(Q)}$ を消費します。デバイスが 64 タイマ サイクルにわたって通常モードに移行すると、チャージ ポンプ、DGATE、HGATE がイネーブルになり、負荷電流が外部 FET を流れます。64 タイマ サイクルが終了すると、デバイスは通常モードから SLEEP モードに戻ります。この自動再試行機能により、LM74910H-Q1 デバイスは SLEEP モードに移行して、デバイスをラッチオフすることなく、SLEEP 過電流スレッシュホールドを超える過渡負荷電流を通すことができます。

追加の保護層として、SLEEP モードでデバイスが過熱した場合に備えて、SLEEP モードではサーマル シャットダウンとラッチオフ機能も備えています。本デバイスをラッチ モードから解除するには、ユーザーは SLEEP ピンまたは EN ピンを切り替える必要があります。

SLEEP モードでは、LM749x0-Q1 は入力過電圧イベントに対する保護を行います。デバイスは、過電圧カットオフ (SLEEP_OV を C に接続) または過電圧クランプ モード (SLEEP_OV を VOUT に接続) に構成でき、デフォルトの過電圧スレッシュホールドは標準値で 21V です。

SLEEP モード機能が不要な場合は、 $\overline{\text{SLEEP}}$ ピンを EN に接続する必要があります。使用しない場合、SLEEP_OV ピンをフローティングのままにできます。

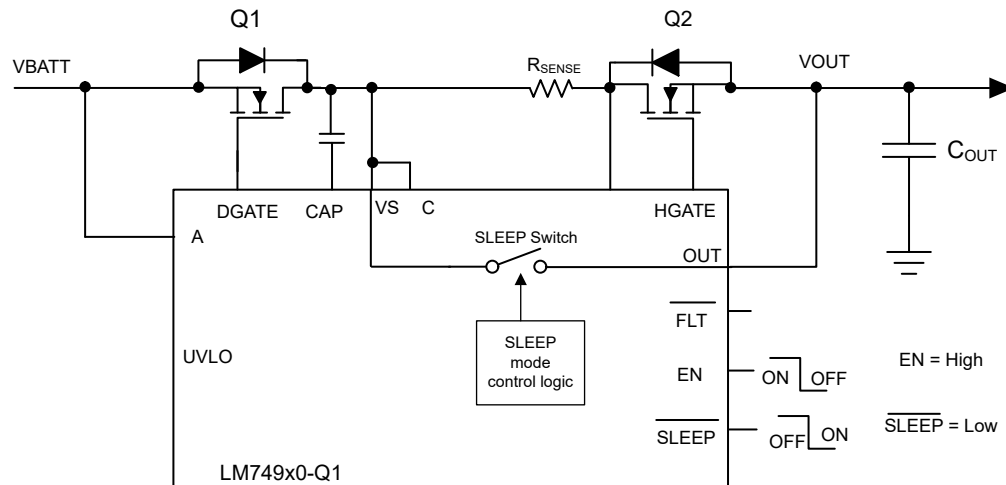


図 8-10. LM749x0-Q1 の SLEEP モード動作

図 8-11 に示すように、SLEEP_OV ピンと OUT/C の間に外部ツェナー ダイオードを追加することで、SLEEP モードでより高い過電圧スレッシュホールドを実現できます。この機能は、24V または 48V 電源システムの過電圧スレッシュホールドを構成するときに役立ちます。

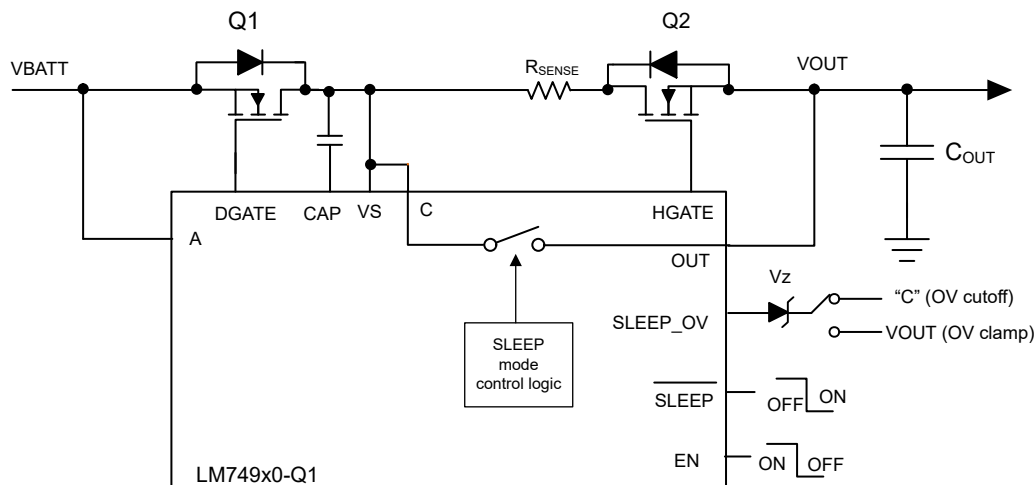


図 8-11. 外部ツェナー ダイオードによる SLEEP_OV スレッシュホールドの増加

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

LM749x0-Q1 は 2 つの N チャネル パワー MOSFET を制御し、DGATE を使用してダイオード MOSFET を制御して理想ダイオードをエミュレートします。また、HGATE を使用して 2 番目の MOSFET を制御し、ディスエーブル時や過電流、過電圧、低電圧イベント時にパワー パスをカットオフします。HGATE 制御の MOSFET を使用して、過電圧または負荷ダンパ状態で出力をクランプできます。LM749x0-Q1 は、EN または SLEEP を使用して低静止電流モードに移行でき、ここで DGATE と HGATE の両方がオフになります。

このデバイスには、独立した電源入力ピン (VS) があります。チャージポンプは、この電源入力から生成されます。独立した電源入力供給と独立したゲート制御アーキテクチャにより、LM749x0-Q1 デバイスは共通ドレイントポロジで双方向接続された MOSFET を駆動するため、電源 OR 接続や電源優先マルチプレクサ アプリケーションなど、さまざまなシステムアーキテクチャが可能になります。これらのさまざまなトポロジを使用することで、システム設計者はさまざまなシステム設計要件を満たすフロントエンド電源システムを設計できます。

9.2 代表的な 12V バッテリ逆接続保護アプリケーション

LM749x0-Q1 の代表的なアプリケーション回路を、過電圧保護付きで逆バッテリー保護を行うコモンドレイントポロジで構成して図 9-1 に示します。

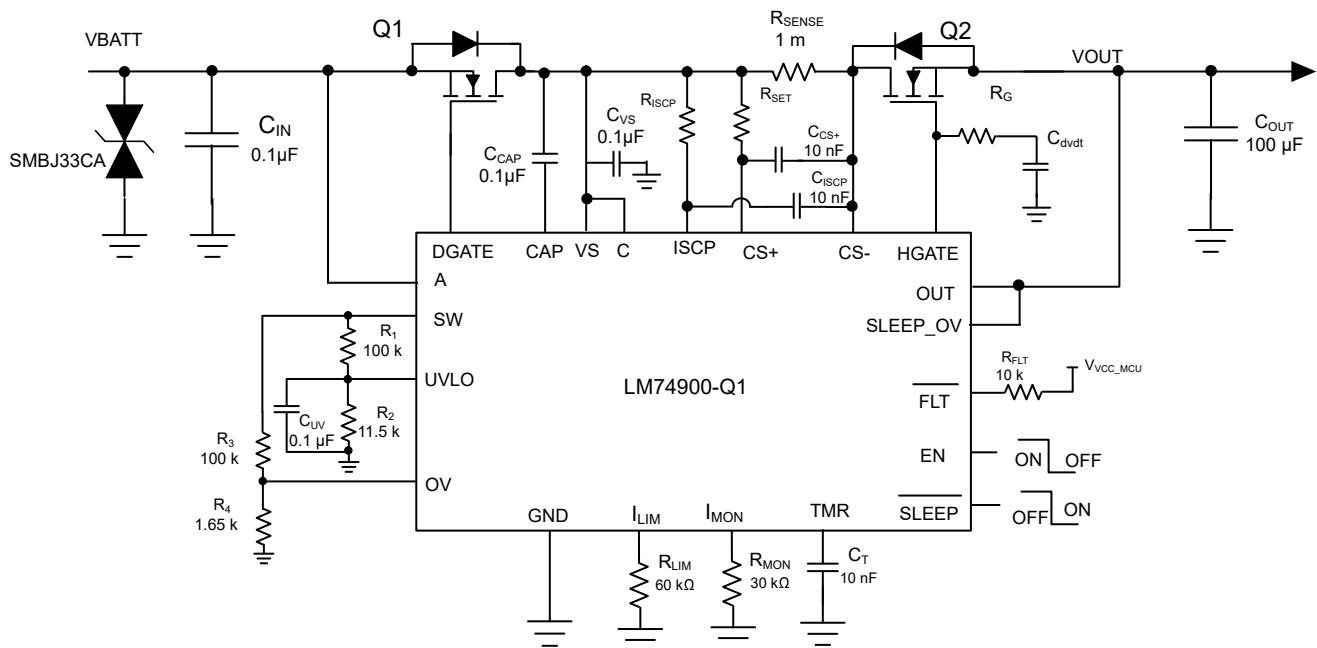


図 9-1. 代表的なアプリケーション回路 - 12V のバッテリー逆接続保護、過電流保護、過電圧保護

9.2.1 12V バッテリ保護の設計要件

システム設計要件を表 9-1 に示します。

表 9-1. 設計パラメータ - 12V のバッテリー逆接続保護、過電流保護、過電圧保護

設計パラメータ	数値の例
動作時入力電圧範囲	12V バッテリ、公称 12V (3.2V のコールド クランク、35V のロード ダンプ)
出力電力	50W
出力電流範囲	公称 4A、最大 5A
入力容量	0.1μF (最小値)
出力容量	最小 0.1μF (E-10 機能クラス A パフォーマンスのオプション 100μF)
短絡電流制限	20A
過電流制限	10A
過電圧カットオフ	37.0V、出力カットオフ > 37.0V
車載過渡耐性準拠	ISO 7637-2、ISO 16750-2、および LV124

9.2.2 車載バッテリー逆接続保護

LM749x0-Q1 は、2 つの独立したゲート制御およびドライバ出力、DGATE および HGATE を備えており、双方向 N チャネル MOSFET を駆動します。このため、LM749x0-Q1 は ISO 7637-2 および ISO 16750-2 規格や他の車載 OEM 規格に準拠した各種車載過渡テストにおいて、堅牢なシステム保護とともに包括的な耐性を実現できます。詳細については、『[車載用 EMC 準拠、理想ダイオード コントローラによるバッテリー逆接続保護](#)』の記事を参照してください。

LM749x0-Q1 のゲート駆動出力 DGATE は MOSFET Q1 を制御し、バッテリー逆接続保護と真の逆電流ブロック機能を実現します。HGATE は、入力過電圧状態時にパワー パスをオフにするように MOSFET Q2 を制御します。SW ピンとの間に接続された抵抗ネットワーク R1、R2 および R3、R4 を使用して、低電圧保護および過電圧保護を設定できます。双方向 TVS D1 は、12V バッテリの車載用過渡入力電圧を、正と負の両方の過渡電圧として、MOSFET Q1 および LM749x0-Q1 にとって安全な電圧レベルにクランプします。

LM749x0-Q1 は、高速な逆電流ブロック応答と迅速な逆回復により、ISO 16750-2 および LV124 E-06 で規定されている AC 重畳入力時に MOSFET Q1 をオン / オフし、AC 入力を DC バッテリ電圧に重畳してアクティブ整流できます。LM749x0-Q1 の高速な逆電流ブロック応答により、ISO 7637-2 で規定されている -150V 2ms パルス 1 などの負の過渡入力や、LV124 E-10 テストなどの入力マイクロ短絡状態時に MOSFET Q1 をオフにできます。

9.2.2.1 入力過渡保護 : ISO 7637-2 パルス 1

ISO 7637-2 パルス 1 は、バッテリーが接続されていない時に誘導性負荷と並列に接続された電子モジュールの負の過渡耐性を規定しています。ISO 7637-2 に規定されている標準的なパルス 1 はバッテリーの切断から始まり、電源電圧が 0V に低下してから -150V 2ms が、スルーレート 1μs でソース インピーダンス 10Ω により電源入力に印加されます。LM749x0-Q1 は逆電流をブロックし、出力電圧が負にスイングしないようにします。これにより、負の過渡電圧により残りの電子回路が損傷しないようにします。LM749x0-Q1 の高速逆極性コンパレータにより、MOSFET Q1 は 0.5μs 以内に迅速にオフになります。単一の双方向 TVS は、負の過渡パルスをカソード - アノード間の動作時最大電圧である 85V 内にクランプするため入力時に必要で、MOSFET Q1 のドレイン - ソース間ブレイクダウン電圧定格に違反していません。

[図 9-2](#) に、LM749x0-Q1 の ISO 7637-2 パルス 1 の性能を示します。

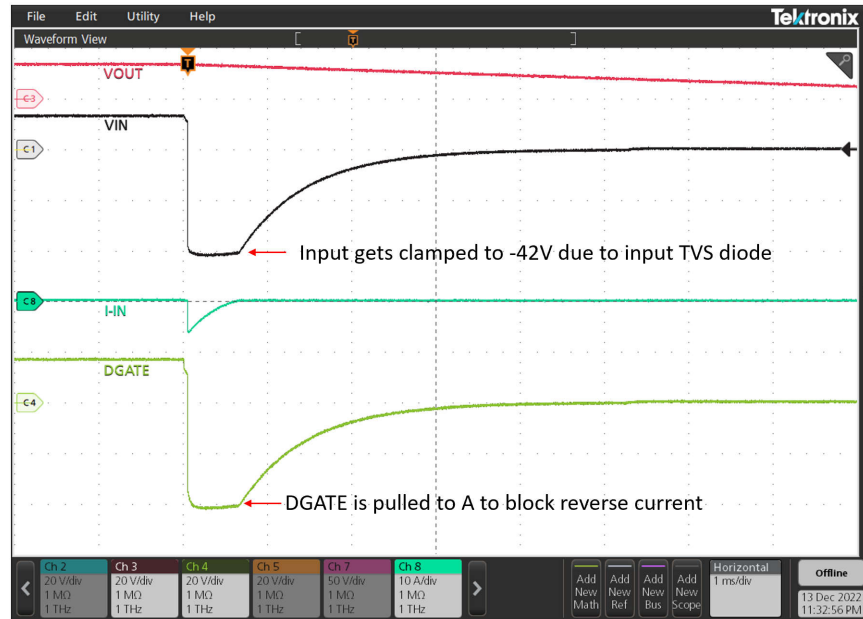


図 9-2. ISO 7637-2 パルス 1

9.2.2.2 AC 重畳入力の整流 : ISO 16750-2 および LV124 E-06

オルタネータは、車載電気システムに電力を供給し、車両の通常動作時間中にバッテリーを充電するために使用されます。整流されたオルタネータ出力には、エンジン回転数の変動、フィールド スイッチングオン / オフによるレギュレータのデューティ サイクル、および電気負荷の変動といったさまざまな理由で、残留 AC リップル電圧が DC バッテリー電圧に重畳されています。12V のバッテリー電源では、オルタネータの回転子のフィールド電流を制御することにより、電圧レギュレータによってオルタネータの出力電圧が 14.5V ~ 12.5V の範囲内にレギュレートされます。すべての電子モジュールは、DC バッテリー電圧に AC リップルを重畳した状態で適切に動作することをテスト済みです。ISO 16750-2 および LV124 E-06 に規定されている AC 重畳テストでは、15Hz ~ 30kHz で掃引された 13.5V DC バッテリー電圧で 2V ピークツーピークの AC リップルが必要です。LM74900-Q1 は、MOSFET Q1 を素早くオフにして逆電流をカットオフし、順方向導通中に MOSFET Q1 を素早くオンにすることで、AC 重畳電圧を整流します。LM749x0-Q1 による 2V ピークツーピーク 30kHz AC 入力のアクティブ整流を図 10-3 に示します。LM74910-Q1 は DGATE 強度が高く、図 9-4 に示すように、200kHz の AC 重畳周波数でアクティブ整流を実現できます。MOSFET の高速なターンオフと迅速なターンオンにより、MOSFET Q1 の消費電力が低減され、アクティブ整流によって出力ホールドアップ コンデンサの ESR の消費電力が半分に低減されます。

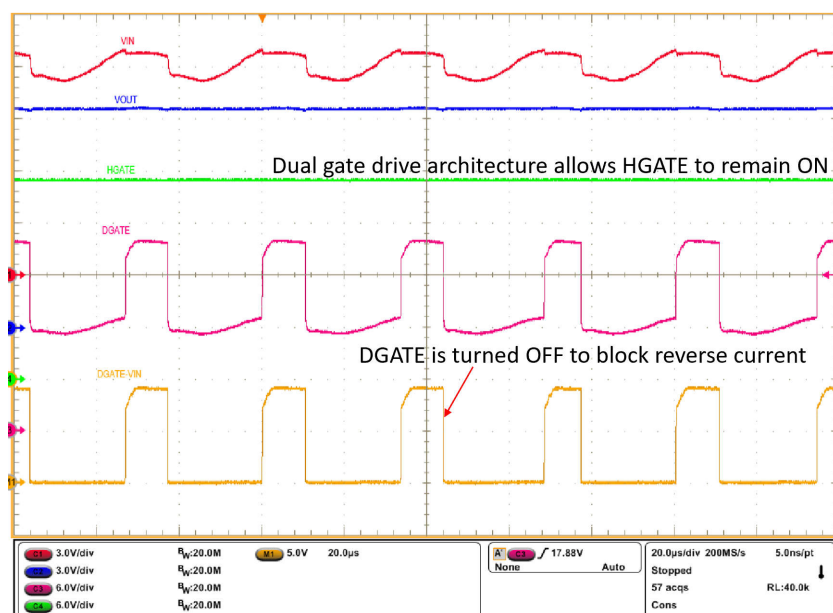


図 9-3. AC 重畳テスト - 2V ピーク ツー ピーク 30kHz

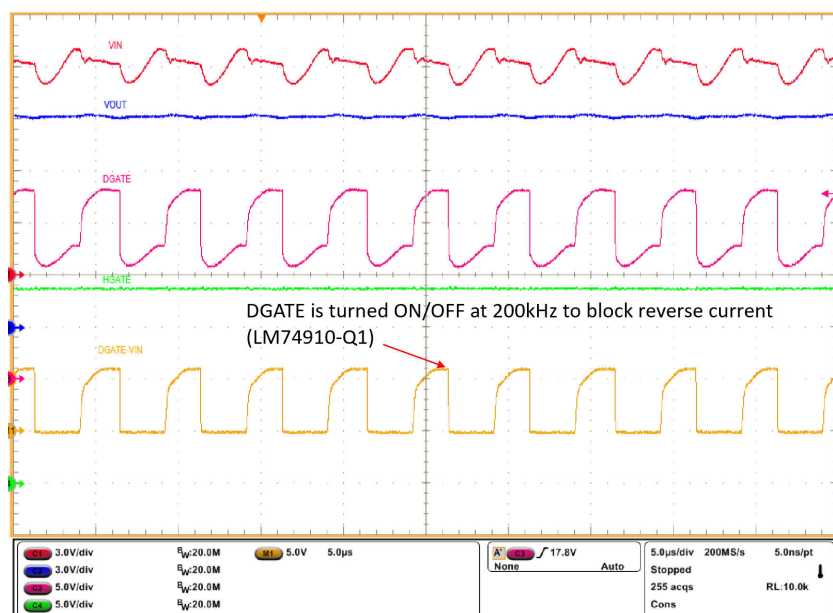


図 9-4. AC 重畳テスト - 2V ピーク ツー ピーク 200kHz (LM74910-Q1)

9.2.2.3 入力マイクロ短絡保護 : LV124 E-10

LV124 規格で規定されている E-10 テストは、接点の問題またはリレー バウンスによる電源入力の高周波短絡に対する電子モジュールの耐性をチェックします。このテスト (ケース 2) では、わずか $10\mu\text{s}$ ～数 ms の間、入力にマイクロ短絡を印加します。機能パス ステータス A を取得するには、電子モジュールが E-10 テスト (ケース 2) 中に $100\mu\text{s}$ の持続時間で中断なく動作することが求められます。LM749x0-Q1 の DGATE および HGATE のデュアル ゲート駆動アーキテクチャにより、シングル ゲート駆動コントローラに比べて出力のホールドアップ容量が最適な機能パス ステータス A を実現できます。入力のマイクロ短絡が $100\mu\text{s}$ に印加されると、LM749x0-Q1 は DGATE を $0.5\mu\text{s}$ 以内にアノード (MOSFET のソース) に短絡することによって MOSFET Q1 を迅速にオフにして出力の放電を防止します。また、HGATE は MOSFET Q2 をオンに維持し、入力短絡が解消した後に迅速に回復できるようにします。

E10 入力電源切断テスト ケース 2 中の LM749x0-Q1 の性能を図 10-4 に示します。入力短絡が解消した後、入力電圧は回復し、VAC 電圧が順方向ターンオン スレッショルド (V_{AC_FWD}) を超えると、MOSFET Q1 は迅速にオンに戻ります。デュアル ゲートドライブ トポロジにより、テスト中 MOSFET Q2 をオンに維持できるため、入力電力をより高速に復元できる点に注意してください。持続時間全体にわたって出力電圧が変動しないため、機能ステータス A を実現します。

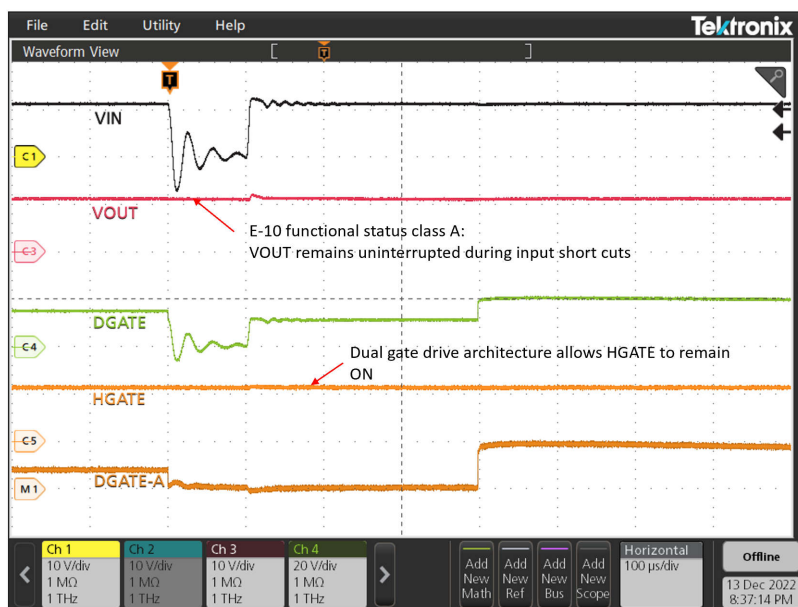


図 9-5. 入カマイクロ短絡 - LV124 E10 TC 2 100μs

9.2.3 詳細な設計手順

9.2.3.1 設計上の考慮事項

表 9-1 に、過電圧カットオフ機能を備えた車載バッテリー逆接続保護回路を設計する際に知っておく必要のある設計パラメータをまとめています。電源投入時には、MOSFET が SOA 内で適切に動作するように、MOSFET Q2 を流れる突入電流を制限する必要があります。PCB の最大負荷電流、最大周囲温度、熱特性によって MOSFET Q2 の $R_{DS(on)}$ が決まり、最大動作電圧によって MOSFET Q2 の電圧定格が決まります。MOSFET Q1 の選択は、主に最大動作負荷電流、最大周囲温度、AC 重畳電圧リップルの最大周波数、ISO 7637-2 のパルス 1 の要件により決まります。過電圧スレッシュホールドは、バッテリー逆接続保護回路の後段にあるダウンストリーム DC / DC コンバータまたは他の部品の定格に基づいて決まります。MOSFET Q1、Q2、LM749x0-Q1 の安全な動作レベルに入力過渡電圧をクランプするには、1 つの双方向 TVS または 2 つの逆並列単方向 TVS が必要です。

9.2.3.2 チャージポンプ容量 VCAP

チャージポンプ VCAP に必要な最小容量は、MOSFET Q1、 $C_{ISS(MOSFET_Q1)}$ の入力容量、および Q2 $C_{ISS(MOSFET_Q2)}$ の入力容量に基づきます。

チャージポンプ VCAP: 0.1μF 以上が必要です。推奨値は $VCAP (\mu F) \geq 10 \times (C_{ISS(MOSFET_Q1)} + C_{ISS(MOSFET_Q2)}) (\mu F)$

9.2.3.3 入力および出力容量

最小入力容量 C_{IN} は 0.1μF、出力容量 C_{OUT} は 0.1μF をお勧めします。

9.2.3.4 ホールドアップ容量

通常、出力にバルクコンデンサを配置するのは、電源切断時の連続動作や入力側のマイクロ短絡、モジュールが停止する前にメモリダンプを実行するためのホールドアップ要件、フィルタリング要件など、さまざまな理由があります。この設計は、LV124 E10 テストケース 2 で 100μs の入力中断が発生している間に、機能ステータス「A」を満たすために、バルクコンデンサの最小要件を考慮しています。機能パスステータス A を実現するため、LM74900-Q1 の出力で許容される電圧ドループは、ダウンストリームの DC / DC コンバータの UVLO 設定に基づいています。この設計では、100μs について 12V から 6.5V へ出力電圧の降下を考慮し (5V 出力のダウンストリームコンバータを想定)、必要な最小ホールドアップ容量は次式で計算されます

$$C_{HOLD_UP_MIN} = \frac{I_{LOAD} \times 100 \mu s}{\Delta V_{OUT}} \quad (8)$$

100μs で 5.5V の電圧降下を実現するために必要な最小ホールドアップ容量は、100μF です。すべての設計でホールドアップ容量が必要とされるわけではないため、代表的なアプリケーション回路ではホールドアップコンデンサがオプションとして示されていることに注意してください。

9.2.3.5 電流センス抵抗、 R_{SNS} の選択

LM749x0-Q1 には短絡検出コンパレータが内蔵されており、デフォルトの検出スレッシュホールドは 20mV です。このアプリケーションでは、短絡制限を 20A に設定しています。短絡コンパレータに基づく検出抵抗値は、式 9 で計算できます。

$$R_{SENSE} = \frac{V_{SENSE}}{I_{SCP}} \quad (9)$$

短絡保護制限を 20A に設定するため、許容誤差 1% の 1mΩ 抵抗を選択します。

9.2.3.6 スケーリング抵抗 (R_{SET}) と短絡保護設定抵抗 (R_{SCP}) の選択

R_{SET} は、VS ピンと CS+ ピンの間に接続される抵抗です。この抵抗は、過電流保護スレッシュホールド電圧をスケールリングし、 R_{ILIM} および R_{IMON} を調整して、過電流保護スレッシュホールドおよび電流監視出力を決定します。 R_{SET} の推奨範囲は 50Ω ~ 100Ω です。この設計例では、 R_{SET} に 50Ω、1% を選択しています。

LM749x0-Q1 のデフォルトの短絡スレッシュホールドである 20mV は、式 10 で与えられるように、より高い値にシフトできます。

$$V_{SNS_SCP} = (10.5 \mu A \times R_{ISCP}) + 20 \text{ mV} \quad (10)$$

このアプリケーションでは、ISCP ピンを共通ドレイン ポイントに直接短絡します。ユーザーは、RSCP 抵抗の適切な値を設定して、短絡保護電流制限を調整できる柔軟性を備えており、さまざまな電流センス抵抗値を柔軟に選択できます。

図 9-1 に示すように、RSCP と CSCP からなる追加のグリッチ除去フィルタ (オプション) を ISCP ピンから CS- ピンに追加することによって、入力マイクロ カット (LV124, E-10)、AC 重畳 (LV124, E-06)、または ISO7637-2 パルス 2A などの高速な車載過渡事象が発生した場合の誤った短絡トリガを回避できます。

9.2.3.7 過電流制限 (ILIM)、サーキット ブレーカ タイマ (TMR)、電流監視出力 (IMON) の選択

過電流保護スレッシュホールドのプログラミング - R_{ILIM} の選択

R_{ILIM} は過電流保護 (サーキット ブレーカ検出) スレッシュホールドを設定します。その値は、式 11 を使用して計算できます。

$$R_{(ILIM)} = \frac{12 \times R_{SET}}{R_{SENSE} \times I_{LIM}} \quad (11)$$

10A を過電流保護スレッシュホールドに設定する場合、R_{ILIM} の値は 60kΩ と計算されます。使用可能な最も近い標準値を選択します: 60kΩ、1%

サーキット ブレーカ時間のプログラミング - C_{TMR} の選択

説明の設計例では、1ms の持続時間にわたって過電流過渡が許容されます。このブランキング間隔 T_{OC} (またはサーキット ブレーカ間隔、T_{CB}) を設定するには、TMR ピンとグランドの間に適切なコンデンサ C_{TMR} を選択します。TOC に 1ms を設定する CTMR の値は、式 12 を用いて計算できます。

$$T_{(OC)} = 1.2 \times \frac{C_{TMR}}{82.3 \mu A} \quad (12)$$

使用可能な最も近い標準値を選択します: 68nF、10%

電流監視出力のプログラミング - R_{IMON} の選択

IMON ピン V_{IMON} の電圧は出力負荷電流に比例します。これを下流システムの ADC に接続して、システムの動作条件と状態を監視できます。R_{IMON} は、最大負荷電流と使用する ADC の入力電圧範囲に基づいて選択する必要があります。R_{IMON} は、式 13 で設定します。

$$V_{IMON} = \frac{0.9 \times V_{SENSE} \times R_{IMON}}{R_{SET}} \quad (13)$$

このアプリケーション例では、5A の全負荷電流に対し V_{IMON} を 2.7V に選択しています。30.1kΩ、1% の R_{IMON} 値が選択されています。

9.2.3.8 過電圧保護とバッテリー監視

SW ピンとグランドの間に接続された抵抗 R₁ および R₂ と R₃ および R₄ を使用して、低電圧と過電圧スレッシュホールドをプログラミングします。低電圧スレッシュホールド (V_{UVLO} から 5.5V) と過電圧スレッシュホールド (V_{OV} から 37.0V) を設定するために必要な抵抗値は、次式を解くことによって計算できます

$$V_{UVLOF} = \frac{R_2 \times V_{UVSET}}{(R_1 + R_2)} \quad (14)$$

$$V_{OVR} = \frac{R_4 \times V_{OVSET}}{(R_3 + R_4)} \quad (15)$$

抵抗 R_1 、 R_2 、 R_3 を経由してバッテリーから引き込まれる入力電流を最小限に抑えるため、より大きな抵抗値の使用を推奨します。値の大きい抵抗を使用すると、計算に誤差が追加されます。これは、値の大きい抵抗を流れる電流が、OV ピンへのリーク電流と同等になるためです。OV ピンへの最大リーク電流は $1\mu A$ であり、合計ラダー抵抗を $120k\Omega$ 未満になるよう選択すると、抵抗を流れる電流が確実に OV ピンを流れるリークの 100 倍になるようにできます。

デバイスの電気的特性に基づき、 V_{UVLOF} は $0.55V$ です。 R_1 は $100k\Omega$ を選択します。式 14 を解くと、 $R_2 = 11.5k\Omega$ が得られます。 R_3 に $100k\Omega$ 、 V_{OVR} に $0.6V$ を選択して式 15 を解くと、計算された抵抗値に最も近い標準 1% の抵抗値として $R_4 = 1.65k\Omega$ が得られます。

オプションのコンデンサ C_{UV} を UVLO 抵抗ラダーの R_2 と並列に配置することで、バッテリーラインの高速低電圧過渡をフィルタして UVLO トリガの誤検出を防止できます。

このアプリケーション例では、過電圧および低電圧スレッシュホールドをプログラムするため、別の抵抗ラダーを選択しています。ただし、図 8-9 に示すように、SW ピンとグラウンドの間に一般的な抵抗ラダーを使用することもできます。

9.2.4 MOSFET の選択：ブロッキング MOSFET Q1

ブロッキング MOSFET Q1 の選択に重要な電気的パラメータは、最大連続ドレイン電流 I_D 、最大ドレイン - ソース間電圧 $V_{DS(MAX)}$ 、最大ドレイン - ソース間電圧 $V_{GS(MAX)}$ 、ボディ ダイオードを流れる最大ソース電流、ドレイン - ソース間オン抵抗 $R_{DS(ON)}$ です。

最大連続ドレイン電流 I_D 定格は、最大連続負荷電流を超える必要があります。

最大ドレイン - ソース間電圧 $V_{DS(MAX)}$ は、このアプリケーションで見られる最大の差動電圧に耐えるのに十分な高さが必要です。これには、すべての車載用過渡事象と予測される障害条件が含まれます。 V_{DS} 電圧定格 $60V$ の MOSFET および単一の双方向 TVS を使用するか、最大定格 $40V$ の V_{DS} および入力に逆並列接続された 2 つの単方向 TVS を使用することをお勧めします。

LM74900-Q1 が駆動できる最大 V_{GS} は $14V$ であるため、 V_{GS} の最小定格が $15V$ の MOSFET を選択する必要があります。 V_{GS} 定格が $15V$ 未満の MOSFET を選択した場合、ツェナー ダイオードを使用して V_{GS} を安全なレベルにクランプできますが、これにより I_Q 電流が増加します。

MOSFET の導通損失を低減するために、可能な限り低い $R_{DS(ON)}$ が好ましいですが、低い $R_{DS(ON)}$ に基づいて MOSFET を選択することは必ずしも有益ではない場合があります。 $R_{DS(ON)}$ が大きいと、逆電流が低い時に、LM74900-Q1 の逆方向コンパレータに電圧上昇に関する情報が提供されます。 $R_{DS(ON)}$ を大きくすると、逆電流検出が改善されます。最大電流時に順方向電圧降下が $50mV$ 未満の MOSFET を選択することが、適切な出発点です。

バッテリー電源電圧に AC 重畳リップルをアクティブ整流するには、必要な AC リップル周波数を満たすように Q1 のゲート - ソース間電荷 Q_{GS} を選択する必要があります。各サイクルのアクティブ整流における最大ゲート - ソース間電荷 Q_{GS} ($4.5V V_{GS}$ 時) は以下ようになります。

$$Q_{GS_MAX} = \frac{1.3mA}{F_{AC_RIPPLE}} \quad (16)$$

ここで、 $1.3mA$ は $7V V_{DGATE}-V_A$ での最小チャージポンプ電流、 F_{AC_RIPPLE} はバッテリーに重畳される AC リップルの周波数、 Q_{GS_MAX} はメーカーのデータシートに規定された $6V V_{GS}$ での Q_{GS} 値です。 $F_{AC_RIPPLE} = 30KHz$ でのアクティブ整流の場合、 $Q_{GS_MAX} = 43nC$ です。

設計要件に基づき、BUK7Y4R8-60E MOSFET を選択します。定格は以下のとおりです。

- $60V V_{DS(MAX)}$ および $\pm 20V V_{GS(MAX)}$
- $R_{DS(ON)}$: $5V V_{GS}$ での標準値 $5.0m\Omega$ 、 $10V V_{GS}$ での定格 $2.9m\Omega$

- MOSFET の Q_{GS} : 17.4nC

接合部温度 (T_J) を適切に制御するには、MOSFET の予想最大消費電力と比較して MOSFET の熱抵抗を考慮する必要があります。

9.2.5 MOSFET の選択: ホットスワップ MOSFET Q2

MOSFET Q2 の V_{DS} 定格は、最大システム電圧と入力過渡電圧を処理するのに十分な値である必要があります。この 12V 設計では、過渡過電圧イベントが抑制された負荷ダンプ 35V 400ms、および 50 μ s の ISO 7637-2 パルス 2A 50V 中に発生します。さらに、ISO 7637-2 パルス 3B は 100V 100ns の非常に高速な反復パルスであり、通常は入力と出力のセラミック コンデンサに吸収されます。12V バッテリの最大電圧は 40V 未満に制限され、推奨される最小入力容量は 0.1 μ F です。50V ISO 7637-2 パルス 2A は入力および出力コンデンサにも吸収され、入力および出力に十分な容量を配置することによって、その振幅を 40V ピークに低減できます。ただし、この 12V 設計では、最大システム電圧は 50V であり、60V V_{DS} 定格の MOSFET が選択されています。

MOSFET Q2 の V_{GS} 定格は、その最大 HGATE OUT 電圧 15V を上回っている必要があります。

12V バッテリへの入力ホット プラグ時に MOSFET に流れる突入電流は、出力容量によって決まります。HGATE、 C_{DVDT} の外付けコンデンサを使用して、入力ホットプラグ時またはスタートアップ時の突入電流を制限します。式 2 で決定される突入電流の値は、MOSFET Q2 がその安全動作領域 (SOA) 内で適切に動作するように選択する必要があります。突入電流を 0.5A に制限するため、 C_{DVDT} の値として 10.0nF を選択します。

突入電流の持続時間は、式 17 で計算できます。

$$T_{INRUSH} = \frac{V_{IN} \times C_{OUT}}{I_{INRUSH}} \quad (17)$$

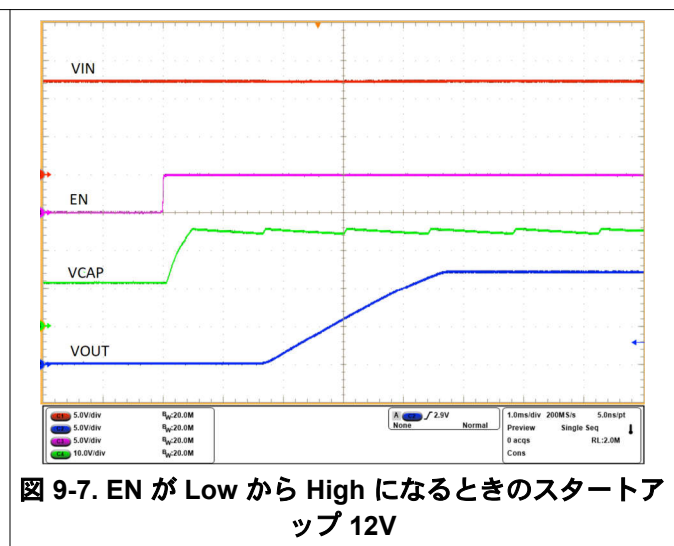
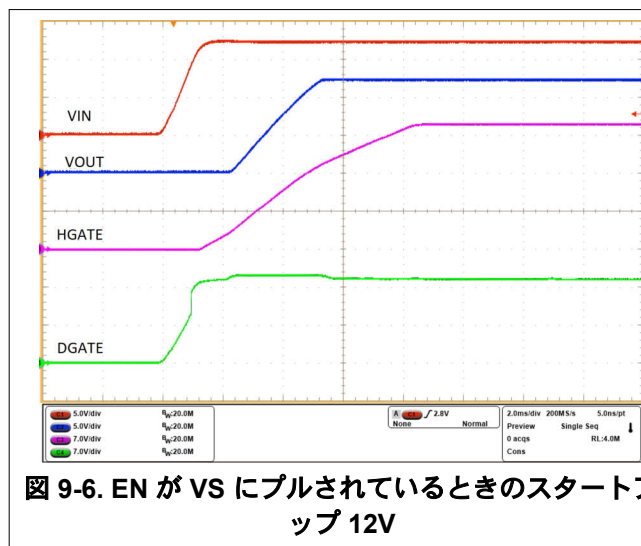
突入電流の持続時間の計算値は、0.5A の突入電流の場合で 2.5ms です。

Q2 では、60V V_{DS} と $\pm 20V$ V_{GS} 定格を持つ MOSFET BUK7Y4R8-60E が選択されています。突入電流時の消費電力は、MOSFET の安全動作領域 (SOA) 内に十分収まっています。

9.2.6 TVS の選択

入力過渡クランプと保護のため、SMBJ33CA などの 600W SMBJ TVS をお勧めします。12V バッテリ システム用の TVS 選択の詳細については、12V バッテリ システム用の TVS の選択のセクションを参照してください。

9.2.7 アプリケーション曲線



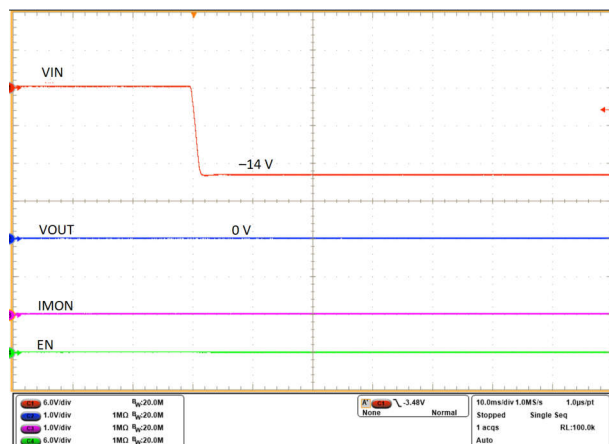


図 9-8. 逆入力電圧 -14V

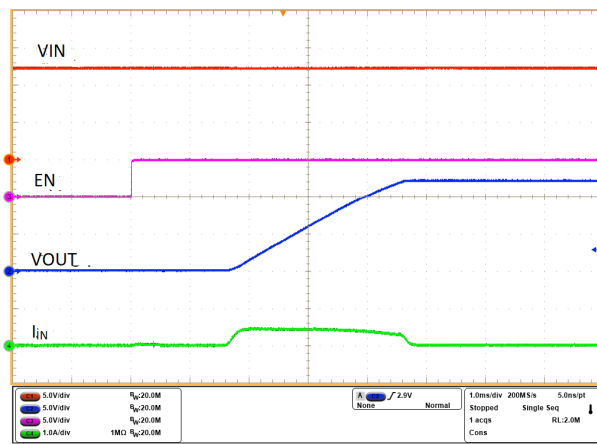


図 9-9. 無負荷時の出力における突入電流

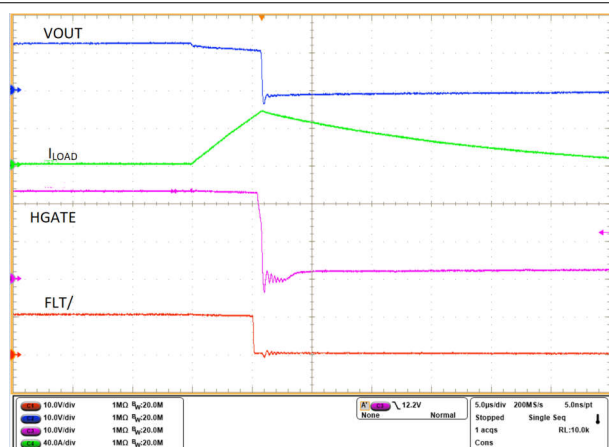


図 9-10. 出力短絡保護 (オンザフライ)

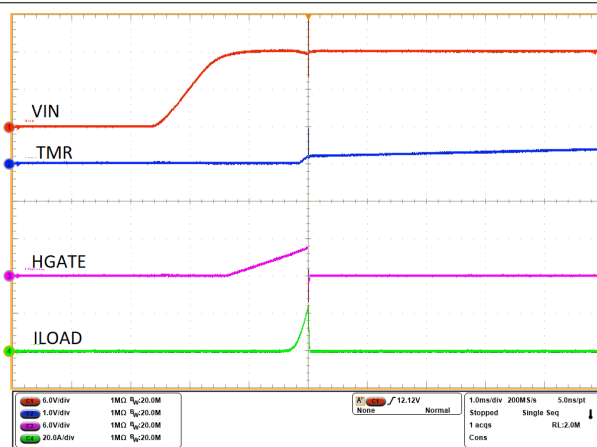


図 9-11. 出力短絡時のデバイス スタートアップ (タイマ期間 1ms)

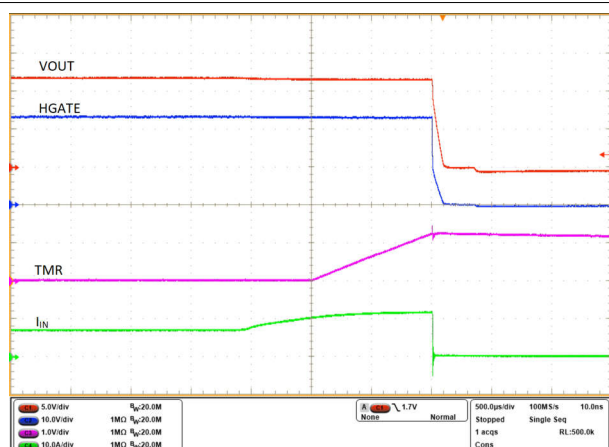


図 9-12. 出力過電流保護 (タイマ期間 1ms)

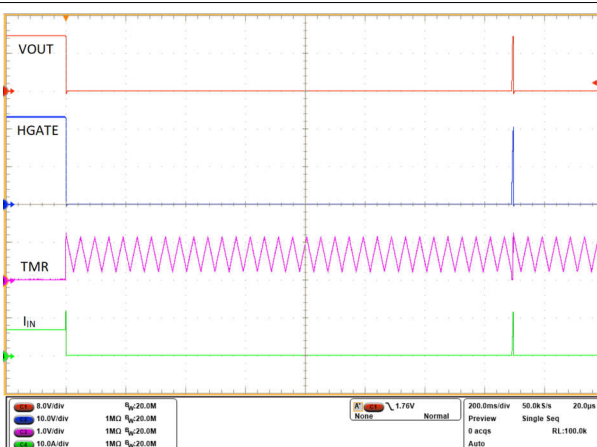


図 9-13. 出力過電流保護 (タイマ期間 1ms) : 自動リトライ

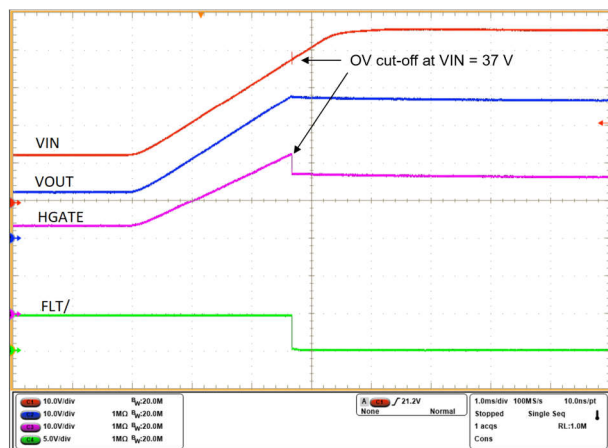


圖 9-14. 過電壓保護

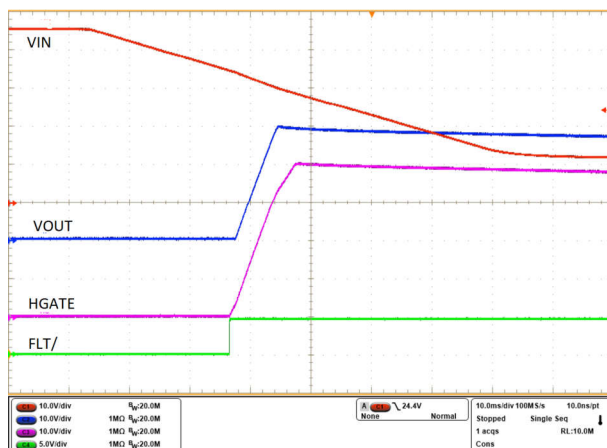


圖 9-15. 過電壓復歸

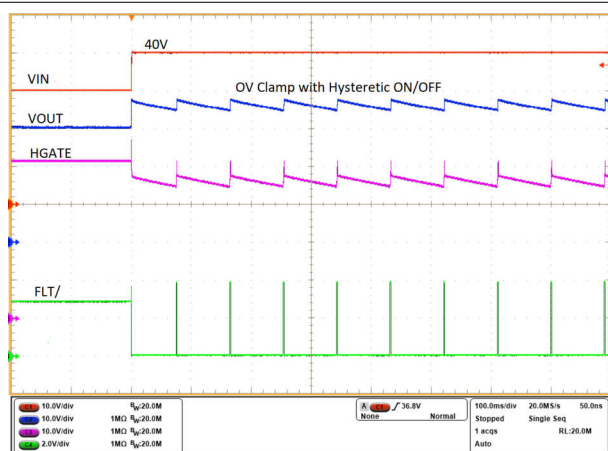


図 9-16. 過電圧クランプ応答 (VOUT を基準とする OV 抵抗ラダー)

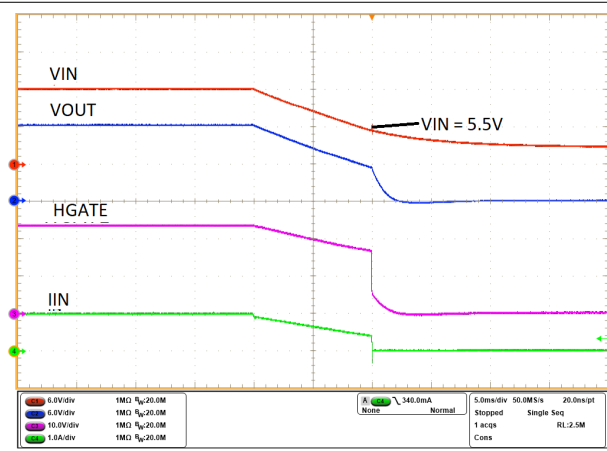


圖 9-17. 低電壓誤動作防止 (UVLO) 保護 ($V_{IN_UVLO} = 5.5V$)

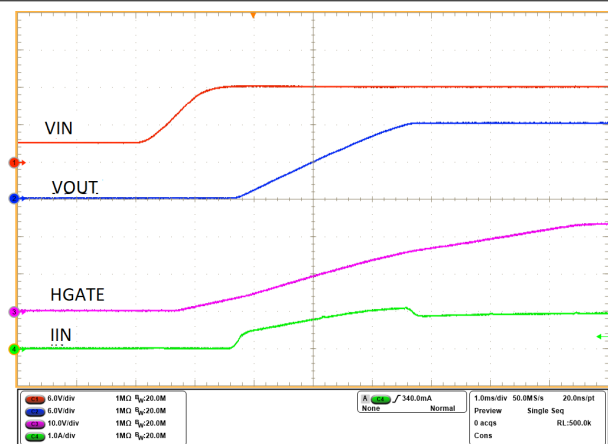


圖 9-18. 低電壓誤動作防止 (UVLO) 回復

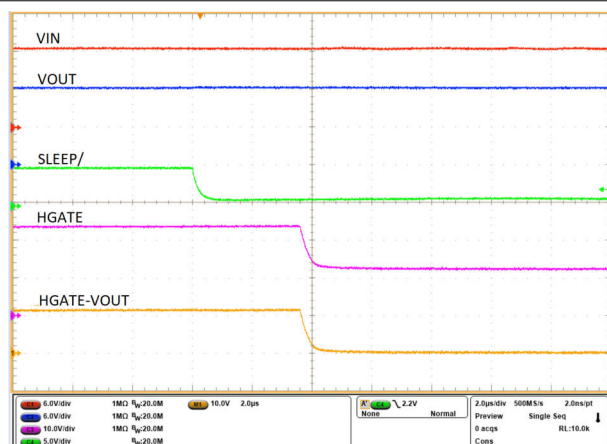


図 9-19. SLEEP モード 開始 (SLEEP = Low、EN = High)

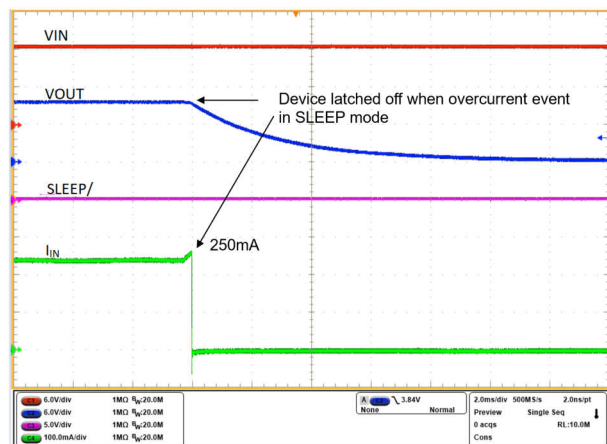


図 9-20. LM74900-Q1、LM74910-Q1 SLEEP モード 過電流保護 (250mA 標準値)

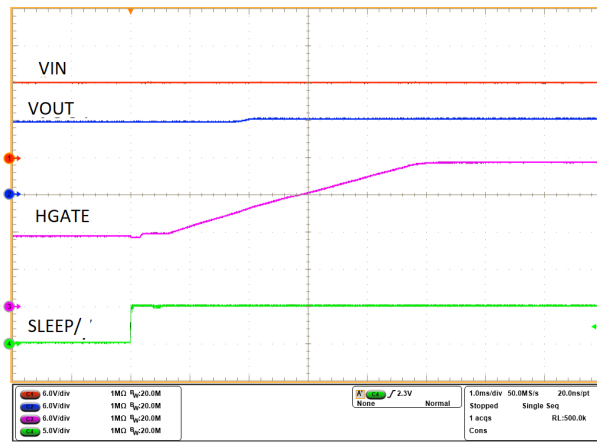


図 9-21. SLEEP モード終了 (SLEEP = High、EN = High)

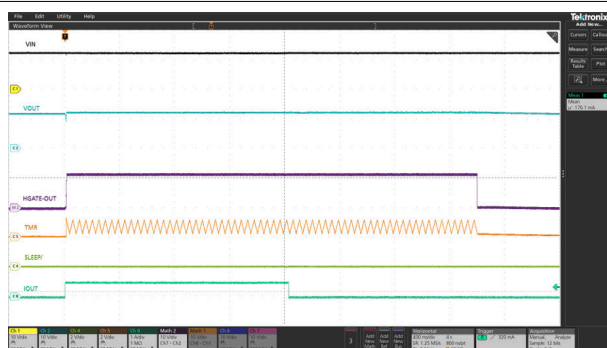


図 9-22. LM74910H-Q1 SLEEP モード 500mA の短い過渡負荷ステップ

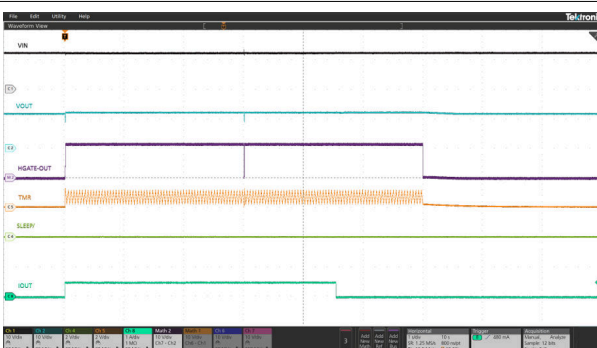


図 9-23. LM74910H-Q1 SLEEP モード 500mA の長い過渡負荷ステップ

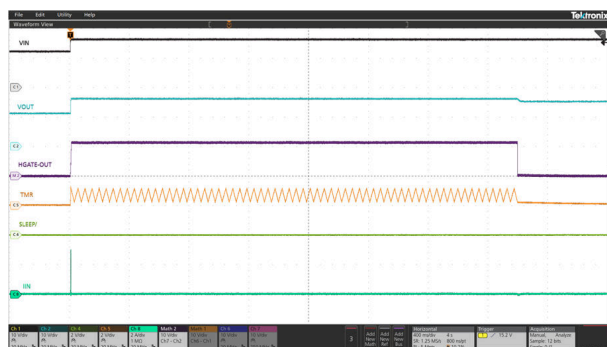


図 9-24. LM74910H-Q1 SLEEP モード入力電圧ステップ ($V_{IN} = 12V-16V$ 、 $C_{OUT} = 1.1mF$)

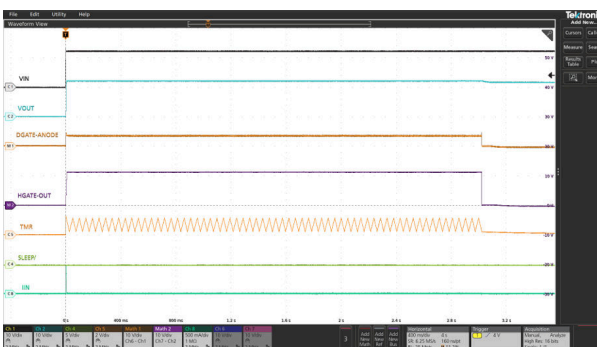


図 9-25. LM74910H-Q1 デバイスの SLEEP モードへの起動

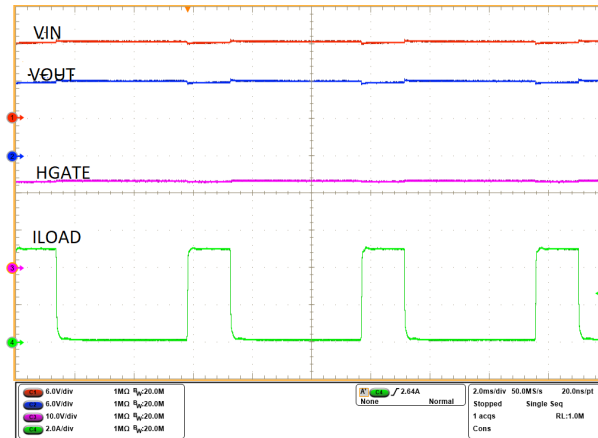


図 9-26. 負荷過渡応答 100mA ~ 5A

9.3 LM749x0-Q1 を使用した車載入力逆接続バッテリー保護トポロジへの対応

LM749x0-Q1 デュアル ゲートドライブ アーキテクチャは、理想ダイオード FET のみ、ハイサイド スイッチ コントローラのみ、負荷切断機能付きの デュアル OR 接続、優先パワー多重化など、各種の MOSFET 制御トポロジに対応できます。これにより、システム設計者は LM749x0-Q1 をプラグ アンド プレース部品として使用し、一般的なコントローラを使用してさまざまな車載フロントエンド保護ソリューションに適合させることができます。LM749x0-Q1 を使用して対処できる各種車載バッテリー逆接続保護トポロジの概要の詳細については、『[LM749x0-Q1 を使用した車載バッテリー逆接続バッテリー保護トポロジへの対応](#)』を参照してください。

9.4 電源に関する推奨事項

9.4.1 過渡保護

過電圧カットオフ、逆電流ブロック、過電流カットオフ、EN による電流フローの中断などの条件中に外部 MOSFET がオフになると、入力ライン インダクタンスによって入力に正の電圧スパイクが発生し、出力インダクタンスによって出力に負の電圧スパイクが発生します。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何らかの策を講じない場合は、こうした過渡現象によって、デバイスの [絶対最大定格](#) を超える可能性があります。

過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑える。
- PCB には、大きい GND プレーンを使用する。
- 出力と GND の間にショットキー ダイオードを配置して、負のスパイクを吸収する。
- 低値のセラミック コンデンサ (約 0.1μF までの C_(IN)) を使用して、エネルギーを吸収し、過渡現象を減衰させる。

入力容量の近似値は、[式 8](#) を使用して推定できます。

$$V_{\text{spike(Absolute)}} = V_{(\text{IN})} + I_{(\text{Load})} \times \sqrt{\frac{L_{(\text{IN})}}{C_{(\text{IN})}}} \quad (18)$$

ここで、

- V_(IN) は公称電源電圧
- I_(LOAD) は負荷電流
- L_(IN) はソースから見た実効インダクタンスに等しい値
- C_(IN) は入力に存在する容量

一部のアプリケーションでは、過渡状態においてデバイスの**絶対最大定格**を超えないように、過渡電圧サプレッサ (TVS) を追加する必要があります。これらの過渡は、車載用 ISO7637 パルスなどの EMC テスト中に発生する可能性があります。

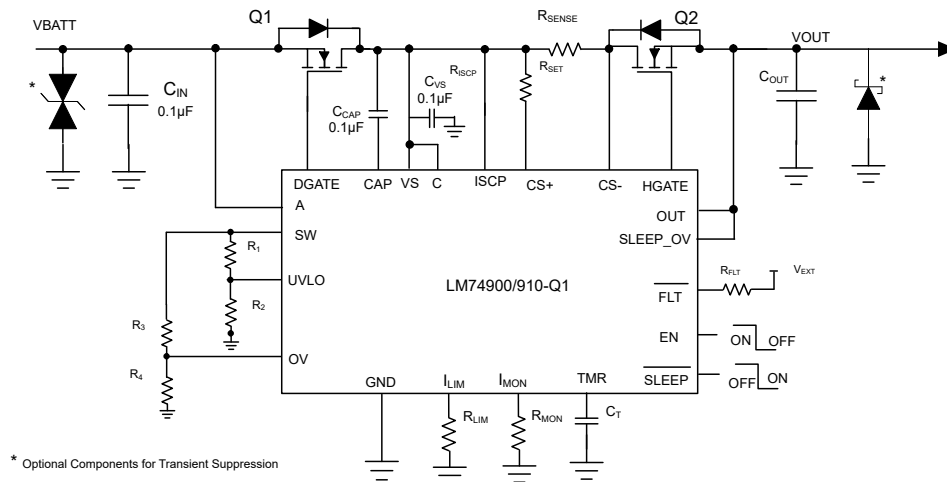


図 9-27. 代表的なアプリケーションの図

9.4.2 12V バッテリー システム用の TVS の選択

TVS を選択する際に重要な仕様は、ブレイクダウン電圧とクランプ電圧です。正の過渡現象に対する TVS のブレイクダウン電圧は、24V のジャンプ スタート電圧および 35V の抑制負荷ダンプ電圧より高く、LM749x0-Q1 の最大定格 (65V) 未満である必要があります。負の過渡現象に対する TVS のブレイクダウン電圧は、逆接続されたバッテリーに長時間さらされて TVS- が損傷しないように、最大逆バッテリー電圧 -16V より低くする必要があります。

クランプ電圧は、大電流パルス状態で TVS ダイオードがクランプする電圧であり、この電圧はブレイクダウン電圧よりもはるかに高くなります。ISO 7637-2 パルス 1 の場合、ジェネレータ インピーダンスが 10Ω で、入力電圧は最大 -150V に上昇します。この動作は TVS- を 15A が流れることに相当し、TVS の両端の電圧はクランプ電圧に近い値になります。

次の基準は、LM749x0-Q1 のカソード - アノード間電圧の絶対最大定格 (85V) と、MOSFET の最大定格 VDS を超えないことです。この設計例では、60V 定格の MOSFET が選択されており、カソード - アノード間電圧の最大制限は 60V です。

ISO 7637-2 パルス 1 の間、LM749x0-Q1 のアノードは ISO パルスによってプルダウンされ、TVS- によってクランプされます。MOSFET Q1 は迅速にオフになり、逆電流によるバルク出力コンデンサの放電を防止します。MOSFET がオフになると、確認されるカソード - アノード間電圧は (TVS クランプ電圧 + 出力コンデンサ電圧) と等しくなります。出力コンデンサの最大電圧が 16V (最大バッテリー電圧) の場合、TVS- のクランプ電圧は (60V - 16V) = 44V を超えないようにする必要があります。

SMBJ33CA TVS ダイオードは、12V バッテリー保護アプリケーションに使用できます。36.7V のブレイクダウン電圧は、正側でジャンプ スタートと負荷ダンプの要件、負側で 16V の逆バッテリー接続の要件を満たしています。ISO 7637-2 パルス 1 テスト中、示されているように SMBJ33CA は -44V で 12A のピークサージ電流をクランプし、44V 以下のクランプ電圧を満たしています。SMBJ シリーズの TVS は、最大 600W のピークパルス電力レベルを定格とし、ISO 7637-2 パルスに十分です。

9.5 レイアウト

9.5.1 レイアウトのガイドライン

- 理想ダイオード段については、LM749x0-Q1 の A ピン、DGATE ピン、C ピンを MOSFET の SOURCE ピン、GATE ピン、DRAIN ピンの近くに接続します。
- 負荷切断段に対しては、LM749x0-Q1 の HGATE ピンと OUT ピンを MOSFET の GATE ピンと SOURCE ピンの近くに接続します。

- このソリューションの大電流パスは MOSFET を流れるため、抵抗性損失を最小限に抑えるため、MOSFET のソースとドレインに太く短い配線を使用することが重要です。
- CS+ および CS- ピンを外部電流センス抵抗に接続するには、ケルビン接続に従います。
- LM749x0-Q1 の DGATE ピンは、短い配線で MOSFET GATE に接続する必要があります。
- 過渡抑制部品は、LM749x0-Q1 の近くに配置します。
- デカップリング コンデンサ C_{VS} は、VS ピンとチップ GND の近くに配置します。
- 容量値への熱効果を低減するため、CAP ピンと VS ピンの間のチャージ ポンプ コンデンサは MOSFET から離して配置する必要があります。

9.5.2 レイアウト例

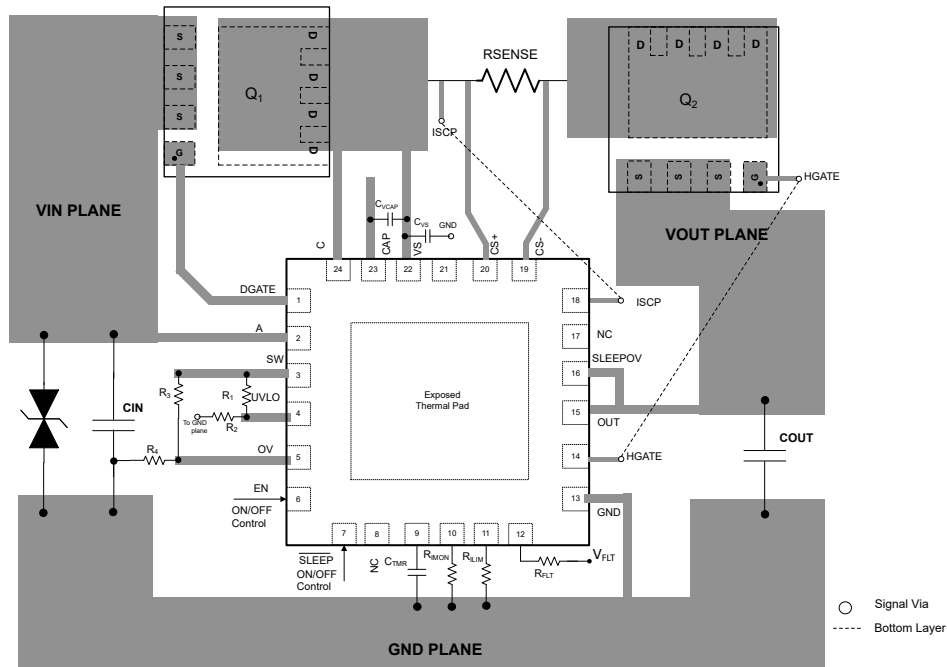


図 9-28. レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (July 2023) to Revision C (August 2025)	Page
• LM74910H-Q1 の機能を追加.....	1
• 「パッケージ情報」の表に LM74910H-Q1 を追加.....	1
• 「ピン機能」の CS+ の説明に抵抗値を追加.....	4
• 「絶対最大定格」の表に LM74910H-Q1 の仕様を追加.....	6
• 「電気的特性」の表に LM74910H-Q1 の仕様を追加.....	7
• LM74910H-Q1 の IMON 精度の図を追加.....	12
• 「デバイスの機能モード」のセクションを追加.....	25
• LM74910H-Q1 のスリープ モード動作を追加.....	25
• LM74910H-Q1 のスリープ モード動作波形を追加.....	35

Changes from Revision A (June 2023) to Revision B (July 2023)	Page
• 「パッケージ情報」の表から LM74900-Q1 のプレビューの注を削除.....	1
• 全体を通して細かい編集上の変更を追加.....	1
• 機能ブロック図を更新.....	18
• 「V _{AC(REV)} 」を「V _(AC_REV) 」に変更.....	19

Changes from Revision * (December 2022) to Revision A (June 2023)	Page
• ドキュメントのステータスを事前情報から量産データに変更.....	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM74900QRGERQ1	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LM 74900Q
LM74900QRGERQ1.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LM 74900Q
LM74910HQRGERQ1	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LM 7910HQ
LM74910QRGERQ1	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LM 74910Q
LM74910QRGERQ1.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LM 74910Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM74900QRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
LM74910HQRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
LM74910QRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM74900QRGERQ1	VQFN	RGE	24	3000	367.0	367.0	35.0
LM74910HQRGERQ1	VQFN	RGE	24	3000	367.0	367.0	35.0
LM74910QRGERQ1	VQFN	RGE	24	3000	367.0	367.0	35.0

RGE 24

GENERIC PACKAGE VIEW

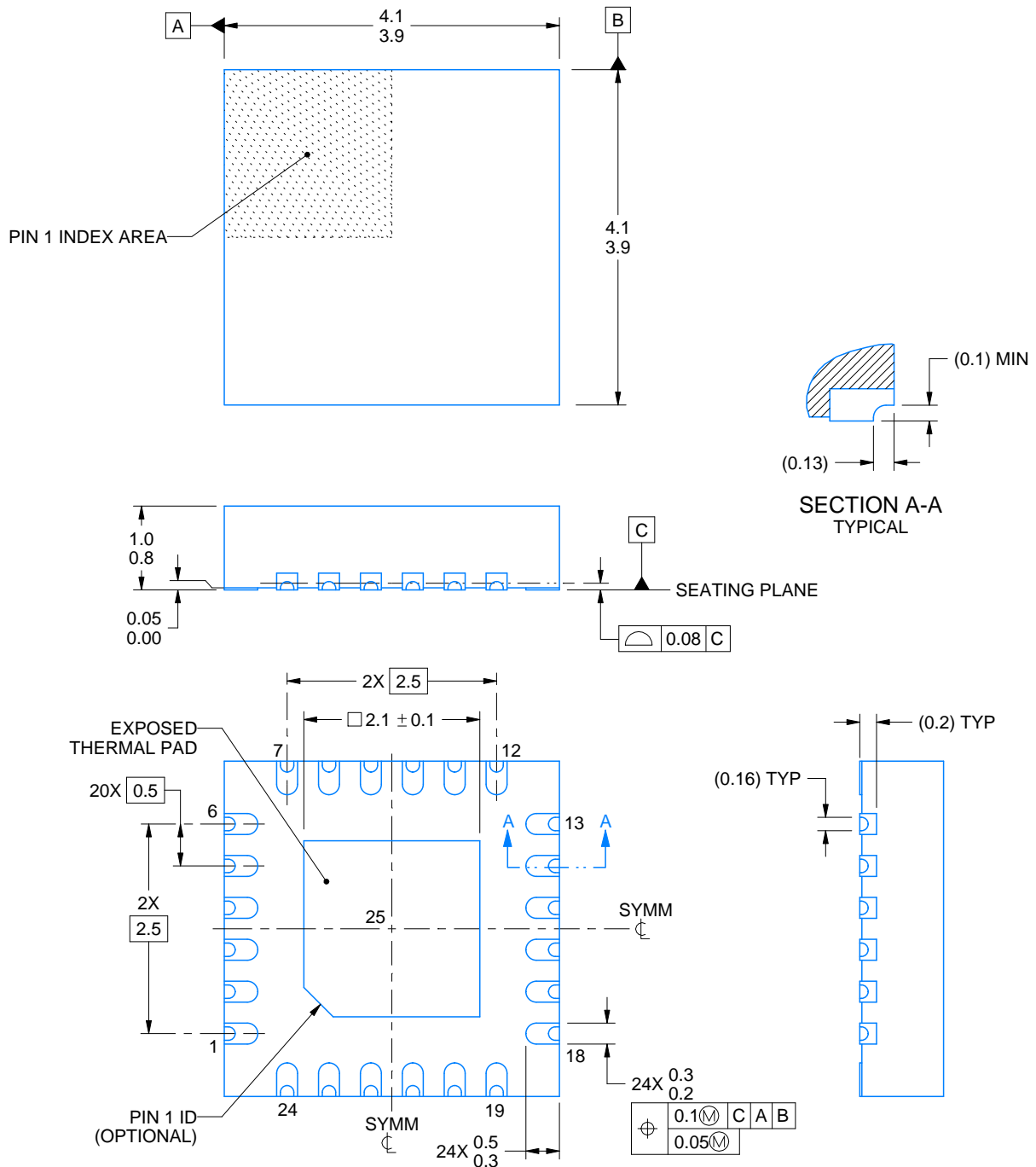
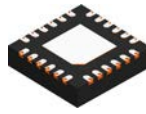
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H



4228214/A 11/2021

NOTES:

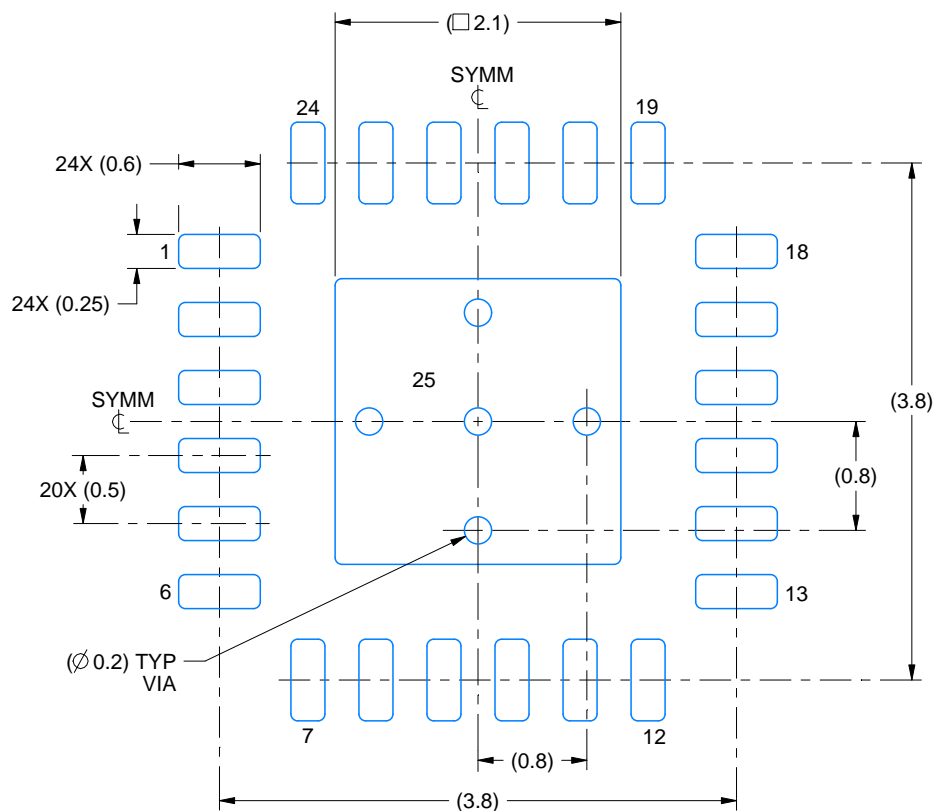
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

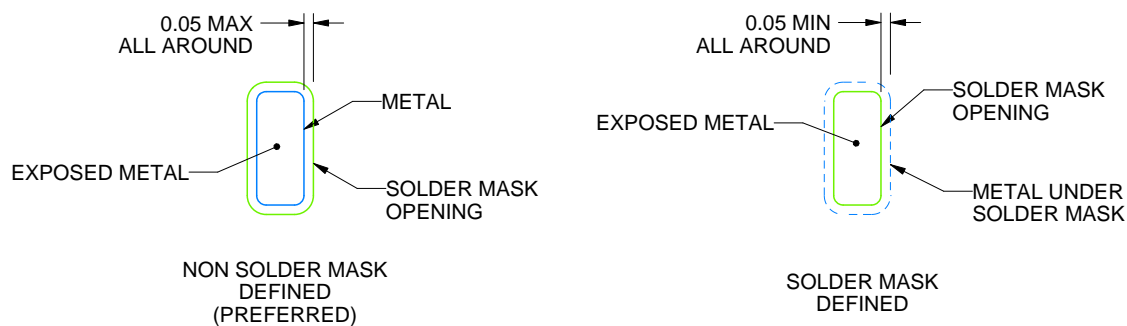
RGE0024T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4228214/A 11/2021

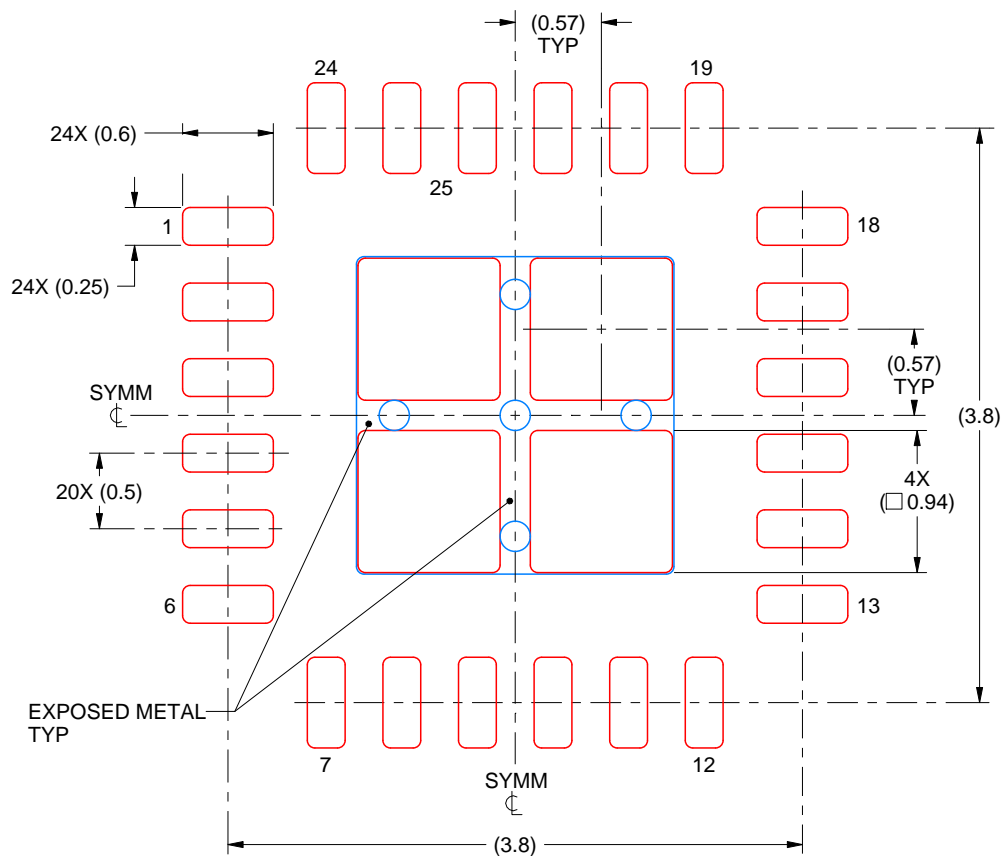
NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RGE0024T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.1 mm THICK STENCIL

THERMAL PAD 25:
77% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月