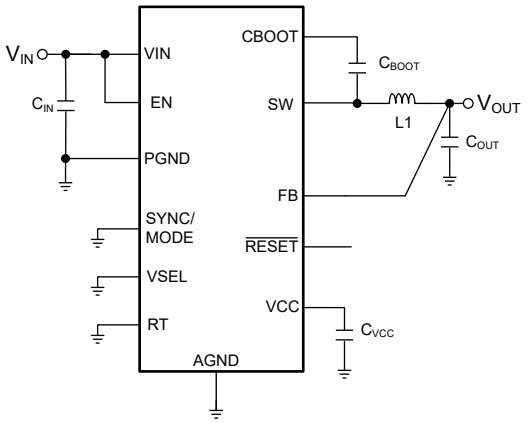
LM63635-Q1 3.5V ～ 36V、 3.25A、 車載用降圧型電圧コンバータ

1 特長

- 車載アプリケーション向けに AEC-Q100 認定済み
  - デバイス温度グレード 1:–40℃～+125℃の動作時周囲温度
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 車載用システムの要件をサポート
  - 入力電圧範囲:3.5V～36V
  - 短い最小オン時間:50ns
  - 優れた電磁干渉 (EMI) 性能
  - 疑似ランダム拡散スペクトラム
  - CISPR 25 と互換
  - 低い動作時静止電流:23μA
  - 接合部温度範囲:-40°C～+150°C
- 多様な設計に対応する柔軟性
  - ピンで選択可能な V_{OUT}:3.3V、5V、可変 (1V～20V)
  - 出力電流:3.25A
  - ピンで選択可能な周波数:400kHz、2.1MHz、可変 (250kHz～2200kHz)
  - FPWM、自動、同期モードをピンで選択可能
  - 次の製品とピン互換:
    LM63610-Q1、LM63615-Q1、LM63625-Q1
  - TSSOP:高放熱パッケージ
- 小型デザイン サイズ
  - 最小 14mm × 14mm の WSON パッケージで 3.25A、2.2MHz
  - 高集積設計
  - 少ない部品点数



概略回路図

2 アプリケーション

- 車載用インフォテインメントおよびクラスタ
- 車載用ボディ・エレクトロニクス / ライティング
- 車載用 ADAS

3 説明

LM63635-Q1 レギュレータは、堅牢な車載アプリケーション向けに設計された、使いやすい同期整流降圧型 DC/DC コンバータです。LM63635-Q1 は、WSON パッケージでは最大 36V、HTSSOP パッケージでは 32V の入力から、最大 3.25A の負荷電流を駆動できます。このコンバータは、高い軽負荷時効率と出力精度を小さなデザイン サイズで実現しています。RESET フラグや高精度イネーブルなどの機能を使用すると、幅広いアプリケーションに対して柔軟で使いやすいソリューションを実現できます。軽負荷時には自動的に周波数フォールドバック モードになるため、負荷を厳密に制御しながら効率を上げることができます。高度な統合により、多くの外付け部品が不要で、PCB レイアウトが単純になるようにピン配置が設計されています。保護機能として、サーマル シャットダウン、入力低電圧誤動作防止、サイクル単位の電流制限、ヒカップ短絡保護機能が搭載されています。LM63635-Q1 は、PowerPAD™ 付き HTSSOP 16 ピン パワー パッケージと WSON 12 ピンのパワー パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LM63635-Q1	PWP (HTSSOP、16)	6.40mm × 5.00mm
	DRR (WSON、12)	3.00mm × 3.00mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます

代表的な設計例：I_{OUT} = 3.25A、f_{SW} = 2200kHz

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 デバイス比較表.... 3
5 ピン構成および機能.... 4
6 仕様.... 6
6.1 絶対最大定格.... 6
6.2 ESD 定格.... 6
6.3 推奨動作条件.... 6
6.4 熱に関する情報.... 7
6.5 電気的特性.... 8
6.6 タイミング要件.... 10
6.7 スイッチング特性.... 11
6.8 システム特性.... 12
6.9 代表的特性.... 13
7 詳細説明.... 14
7.1 概要.... 14
7.2 機能ブロック図.... 14
7.3 機能説明.... 14
7.4 デバイスの機能モード.... 19
8 アプリケーションと実装.... 24
8.1 アプリケーション情報.... 24
8.2 代表的なアプリケーション.... 24
8.3 設計のベスト プラクティス.... 36
8.4 電源に関する推奨事項.... 37
8.5 レイアウト.... 37
9 デバイスおよびドキュメントのサポート.... 43
9.1 デバイス サポート.... 43
9.2 ドキュメントのサポート.... 43
9.3 ドキュメントの更新通知を受け取る方法.... 43
9.4 サポート・リソース.... 43
9.5 商標.... 44
9.6 静電気放電に関する注意事項.... 44
9.7 用語集.... 44
10 改訂履歴.... 44
11 メカニカル、パッケージ、および注文情報.... 44

Copyright © 2025 Texas Instruments Incorporated

4 デバイス比較表

注文番号[(1)]	パッケージ	F_{SW}	V_{OUT}	パッケージ サイズ (公称)
LM63635DQPWPRQ1	PWP0016D (HTSSOP)	RT 抵抗 RT = GND で可変、F_{SW} = 2.1MHz RT = VCC、F_{SW} = 400kHz	V_{SEL} = VCC、V_{OUT} = 5V V_{SEL} = GND、V_{OUT} = 3.3V V_{SEL} = R_{SEL_ADJ}、V_{OUT} = 外部 FB 抵抗で可変	6.40mm × 5.00mm
LM63635DQDRRRQ1	DRR012 (WSON)			3.00mm × 3.00mm
LM63635CAQDRRRQ1		固定 2.1MHz	外部 FB 抵抗で V_{OUT} を調整可能	

(1) デバイスの発注用製品型番の詳細については、*デバイスの命名規則*を参照してください。

5 ピン構成および機能

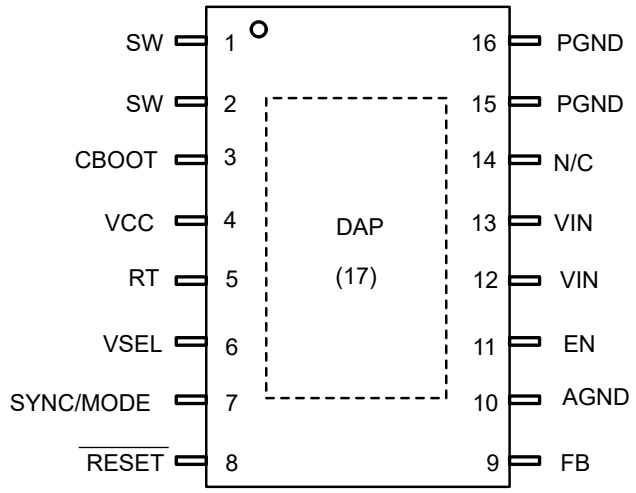


図 5-1. 16 ピン HTSSOP、PowerPAD™ 集積回路パッケージ、 PWP — LM636x5D （上面図）

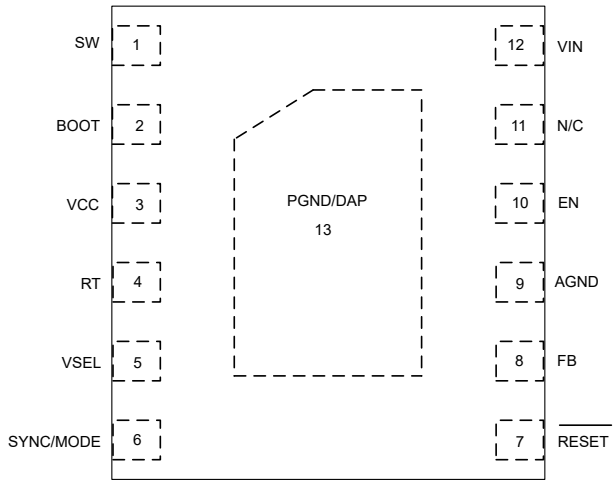


図 5-2. 12 ピン WSON、PowerPAD™ 集積回路パッケージ、 DRR — LM63635D (上面図)

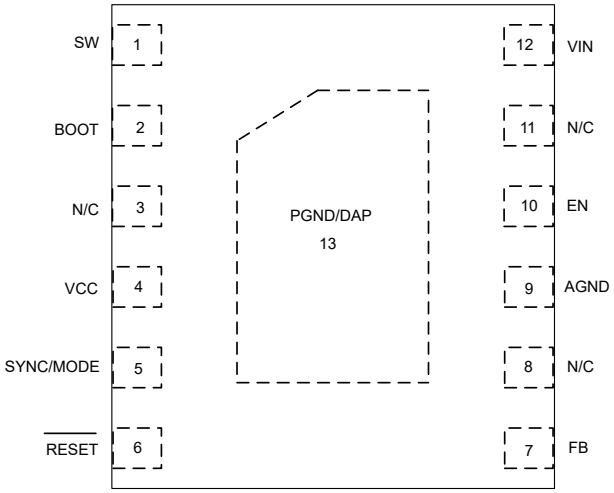


図 5-3. 12 ピン WSON、PowerPAD™ 集積回路パッケージ、 DRR — LM63635C (上面図)

表 5-1. ピンの機能

ピン					説明
TSSOP LM63635D	WSON LM63635D	WSON LM63635C	名称	タイプ	
1、2	1	1	SW	P	レギュレータのスイッチ ノード。パワー インダクタに接続します。
3	2	2	CBOOT	P	内部ハイサイド ドライバのブートストラップ電源電圧。このピンと SW ピンとの間に高品質の 220nF コンデンサを接続します。
4	3	4	VCC	A	内部 5V LDO 出力。内部制御回路への電源として使用されます。外部負荷に接続しないでください。レギュレータ機能のロジック電源として使用できます。このピンと PGND との間に高品質の 1μF コンデンサを接続します。
5	4	—	RT	A	周波数プログラミング入力。400kHz の場合は VCC に、2.1MHz の場合は AGND に接続するか、R_T タイミング抵抗に接続します。詳しくは、セクション 7.3.3 を参照してください。フローティングにはしないでください。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン					説明
TSSOP LM63635D	WSON LM63635D	WSON LM63635C	名称	タイプ	
6	5	—	VSEL	A	出力電圧選択出力:5V 出力の場合は VCC に、3.3V 出力の場合は AGND に接続。出力可変の場合は 10kΩ に接続します。詳しくは、セクション 7.3.2 を参照してください。フローティングにはしないでください。
7	6	5	同期 / モード	A	モード選択および同期入力。FPWM モードの場合は VCC に接続、自動モードの場合は AGND に接続、この入力へ外部同期クロックを供給します。
8	7	6	$\overline{\text{RESET}}$	A	オープンドレインのパワー グッド フラグ出力。電流制限抵抗を介して、このピンを適切な電圧源に接続します。High = パワー OK、Low = フォルト。EN = Low のとき、このフラグは low にプルされます。使用しない場合は、フローティングにできます。
9	8	7	FB	A	レギュレータへの帰還入力。5V または 3.3V 固定オプションの場合は出力コンデンサに接続するか、ADJ オプションの場合は帰還分圧器のタップ ポイントに接続します。フローティング状態にすることも、グランドに接続することもしないでください。
10	9	9	AGND	G	レギュレータとシステム用のアナログ グランド。内部リファレンスおよびロジック用のグランド リファレンスです。すべての電気的パラメータは、このピンを基準に測定されます。PCB 上のシステム グランドに接続。
11	10	10	EN	A	レギュレータへのイネーブル入力。High = オン、Low = オフ。VIN に直接接続できます。フローティングにはしないでください。
12、13	12	12	VIN	P	レギュレータへの入力電源。高品質のバイパス コンデンサをこのピンと PGND に直接接続します。
14	11	3、8、11	NC	—	デバイスに内部接続されていません
15、16	13	13	PGND	G	電源グランド ピン。システム グランドと AGND に接続します。短く幅の広いトレースを使用してバイパス コンデンサに接続します。
17	13	13	DAP	G	電気グランドとヒートシンクの接続。システム グランド プレーンに直接半田付けします。
A = アナログ、P = 電源、G = グランド					

6 仕様

6.1 絶対最大定格

接合部の推奨温度範囲において [(1)]

パラメータ		最小値	最大値	単位
	VIN から PGND へ (HTSSOP パッケージ)	-0.3	38	V
	VIN から PGND へ (WSON パッケージ)	-0.3	42	V
	EN から AGND へ (HTSSOP パッケージ)	-0.3	38	V
	EN から AGND へ (WSON パッケージ)	-0.3	42	V
	AGND に対する SYNC/MODE	-0.3	6	V
	VSEL と RT から AGND への接続	-0.3	5.5	V
	AGND に対する $\overline{\text{RESET}}$	-0.3	16	V
	FB から AGND へ (固定 VOUT モード)	-0.3	16	V
	FB から AGND へ (可変 VOUT モード)	-0.3	5.5	V
	AGND～PGND	-0.3	0.3	V
	10ns 未満の過渡電圧に対する SW から PGND (HTSSOP パッケージ)	-6	38	V
	10ns 未満の過渡電圧に対する SW から PGND (WSON パッケージ)	-6	42	V
	BOOT から SW へ	-0.3	5.5	V
	VCC から AGND へ	-0.3	5.5	V
温度	接合部温度、T_J	-40	150	°C
温度	保管温度、T_{stg}	-65	150	°C

(1) 「*絶対最大定格*」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠[(1)]	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±750	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

接合部の推奨温度範囲である -40℃ ～ 150°C において (特に記述のない限り) [(1)]

	最小値	最大値	単位
VIN から PGND へ (WSON パッケージ)	3.5	36	V
VIN から PGND へ (HTSSOP パッケージ)	3.5	32	V
EN (WSON パッケージ)	0	36	V
EN (HTSSOP パッケージ)	0	32	V
SYNC/MODE、VSEL、RT から AGND へ	0	5	V
$\overline{\text{RESET}}$	0	5	V
V_{OUT} [(2)]	1	20	V
V_{CC}	2.7	5.25	V
I_{OUT}、LM63635	0	3.25	A

(1) 推奨される動作条件は、デバイスが機能することが想定されている条件を示します。指定された仕様については「*電気的特性*」を参照してください。

Copyright © 2025 Texas Instruments Incorporated

(2) いかなる条件下でも、出力電圧は 0V を下回ってはなりません。

6.4 熱に関する情報

熱評価基準 (1)		LM63635-Q1 DRR0012 (WSON) 12 ピン	LM63635-Q1 HTSSOP (PWP) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗 (2)	47.4	43.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	44.6	35.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	20.7	18.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.7	0.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	20.7	18.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	6.3	4.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) この表に示す $R_{\theta JA}$ の値は他のパッケージとの比較にのみ有効であり、設計目的に使用することはできません。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。この値は、実際のアプリケーションで得られた性能を表すものではありません。設計情報については、「最大周囲温度」セクションを参照してください。

6.5 電気的特性

特に記述のない限り、各制限値は接合部温度 (T_J) 範囲 (-40℃～+150℃) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 13.5V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VIN ピン)						
V_{IN}	最小動作入力電圧				3.5	V
I_Q	非スイッチング入力電流 (VIN ピンで測定) (2)	V_{EN} = 3.3V、V_{FB} = 1.2× レギュレーション ポイント		23	40	µA
I_{SD}	シャットダウン時の静止電流 (VIN ピンで測定)	V_{EN} = 0V		5.3	10	µA
V_{UVLO_R}	最小動作電圧スレッショルド	立ち上がり V_{IN}、I_{VCC} = 0A			3.5	V
V_{UVLO_F}	最小動作電圧スレッショルド	立ち下がり V_{IN}、I_{VCC} = 0A	2.6		3	V
I_{POR}	OVP がトリガされたときの SW のプルダウン電流	V_{EN} = 0V V_{SW} = 5V	0.5	1.5	2.5	mA
イネーブル (EN ピン)						
$V_{EN\text{-}VCC}$	VCC イネーブル電圧	V_{EN} 立ち上がり		0.85		V
$V_{EN\text{-}H}$	VOUT の高精度イネーブル high レベル	V_{EN} 立ち上がり	1.425	1.5	1.575	V
$V_{EN\text{-}L}$	VOUT の高精度イネーブル low レベル	V_{EN} 立ち下がり	0.9	0.94		V
$I_{LKG\text{-}EN}$	イネーブル入力リーク電流	V_{EN} = 13.5V	-100	0.2	300	nA
出力電圧選択 (VSEL ピン)						
$R_{SEL\text{-}ADJ}$	スタートアップ時に有効な可変出力電圧を選択するための抵抗範囲		8		50	kΩ
内部 LDO						
V_{CC}	内部 VCC 電圧	6V ≤ V_{IN} ≤ の最大動作 V_{IN}	4.75	5	5.25	V
V_{CCM}	VCC クランプ電圧	1mA は VCC に供給されます	5.25	5.55	5.8	V
電圧リファレンス (FB ピン)						
V_{FB_ADJ}	帰還電圧	V_{IN} = 3.5V ～ 最大動作 V_{IN}	0.985	1	1.015	V
V_{FB_5V}	帰還電圧	V_{IN} = 5.5V ～ 最大動作 V_{IN}	4.925	5	5.075	V
V_{FB_3p3V}	帰還電圧	V_{IN} = 3.8V ～ 最大動作 V_{IN}	3.25	3.3	3.35	V
I_{FB_ADJ}	FB ピンでの入力リーク電流	FB = 1V		0.2	100	nA
I_{FB_5V}	FB ピンでの入力リーク電流	FB = 5V		2.89	3.4	µA
I_{FB_3p3V}	FB ピンでの入力リーク電流	FB = 3.3V		1.67	2	µA
電流制限						
I_{SC}	短絡ハイサイド電流制限	デューティ サイクルを 0% に近付ける	3.9	4.4	5.4	A
$I_{LS\text{-}LIM}$	ローサイド電流制限	LS FET のバレー電流制限	3.2	3.7	4.4	A
$I_{PEAK\text{-}MIN}$	最小ピーク インダクタ電流	AUTO モード		0.62	1.25	A
$I_{L\text{-}NEG}$	負の電流制限	FPWM モード	-3.1	-2.2	-1.9	A
V_{HICCUP}	FB ピンのヒカップ スレッショルド		37	42	47	%
POWER GOOD ($\overline{RESET}$ ピン)						
$V_{\overline{RESET}\text{-}HIGH}$	$\overline{RESET}$ の上側スレッショルド - 立ち上がり	% of FB voltage	110	112	115	%
$V_{\overline{RESET}\text{-}LOW}$	$\overline{RESET}$ の下側スレッショルド - 立ち下がり	% of FB voltage	91	93	95	%
$V_{\overline{RESET}\text{-}HYS}$	$\overline{RESET}$ ヒステリシス	% of FB voltage	1.1	1.8	2.5	%

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

特に記述のない限り、各制限値は接合部温度 (T_J) 範囲 (-40℃～+150℃) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 13.5V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\overline{RESET}_VALID}$	有効な PG 機能の最小入力電圧	外部 5V へ 10kΩ プルアップして $V_{\overline{RESET}}$ < 0.4V のときに測定	0.7	1.04	1.25	V
$R_{\overline{RESET}}$	$\overline{RESET}$ ON 抵抗	V_{EN} = 5V、1mA のプルアップ電流		60	150	Ω
$R_{\overline{RESET}}$	$\overline{RESET}$ ON 抵抗	V_{EN} = 0V、1mA のプルアップ電流		40	125	Ω
発振器 (SYNC/MODE ピン)						
$V_{SYNC-HIGH}$	同期入力とモード high レベル スレッショルド			1.5	1.8	V
$V_{SYNC-HYS}$	同期入力ヒステリシス			0.355		V
$V_{SYNC-LOW}$	同期入力とモード low レベル スレッショルド		0.8	1.15		V
R_{SYNC}	MODE ピンのプルダウン			100		kΩ
MOSFETS						
$R_{DS-ON-HS}$	ハイサイド MOSFET オン抵抗	負荷 = 1A		93		mΩ
$R_{DS-ON-LS}$	ローサイド MOSFET オン抵抗	負荷 = 1A		61		mΩ
$V_{CBOOT-UVLO}$	C_{BOOT}–SW UVLO スレッショルド (3)			2.13		V

(1) 最小および最大の制限値は 25℃で 100% 製造テスト済みです。全動作温度範囲における制限値は、統計的品質管理 (SQC) 手法を使って相関により検証しています。これらの制限値を使って、平均出検品質限界 (AOQL) を計算しています。
(2) 非スイッチング静止入力電流は、開ループ内でデバイスが使用する電流です。指定された値は、レギュレーション中にシステムに流れ込む入力電流の合計を示すものではありません。
(3) C_{BOOT} コンデンサの両端の電圧がこの電圧を下回ると、ローサイド MOSFET が ON になり、ブートコンデンサを再充電します

6.6 タイミング要件

特に記述のない限り、各制限値は接合部温度 (T_J) 範囲 (-40℃～+150℃) にわたって適用されます。 最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。 標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。 特に記述のない限り、次の条件が適用されます。V_{IN} = 13.5V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電流制限およびヒカップ						
N_{OC}	ヒカップがトリップされる前のスイッチング電流制限連続イベントの数			128		サイクル
t_{OC}	過電流ヒカップ再試行遅延時間		70	104	140	ms
t_{OC_active}	ソフト スタート完了タイマ後、ヒカップ電流保護がイネーブルになるまでの時間		11	16	22	ms
ソフトスタート						
t_{SS}	内部ソフトスタート時間		1	1.6	2.2	ms
t_{SS_DONE}	ソフト スタート完了タイマ		5	8	11	ms
パワー グッド (RESET ピン) と過電圧保護						
t_{dg}	$\overline{RESET}$ エッジ グリッチ除去遅延		10	17	30	µs
$t_{RISE-DELAY}$	$\overline{RESET}$ アクティブ時間	$\overline{RESET}$ をリリースする前に、時間 FB が有効である必要がある。	2	3	5	ms
発振器 (SYNC/MODE ピン)						
$t_{ON_OFF-SYNC}$	同期入力のオン時間とオフ時間		100			ns

(1) 最小および最大制限値は 25℃で全数テストされます。全動作温度範囲における制限値は、統計的品質管理 (SQC) 法を使用した相関により検証されています。これらの制限値を使って、平均出検品質限界 (AOQL) を計算しています。

Copyright © 2025 Texas Instruments Incorporated

6.7 スイッチング特性

特に記述のない限り、各制限値は接合部温度 (T_J) 範囲 (-40℃～+150℃) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 13.5V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
PWM 制限値 (SW ピン)						
t_{ON-MIN}	最小スイッチ オン時間	V_{IN} = 12V、I_{SW} = 1A		50	75	ns
$t_{OFF-MIN}$	最小スイッチ オフ時間	V_{IN} = 5V		50	100	ns
t_{ON-MAX}	最大スイッチ オン時間	ドロップアウト時の HS タイムアウト	5.4	7	10	µs
OSCILLATOR (RT と SYNC ピン)						
f_{OSC}	内部発振器の周波数	RT = GND	1.85	2.1	2.35	MHz
f_{OSC}	内部発振器の周波数	RT = VCC	360	400	440	kHz
f_{ADJ1}		RT = 66.5kΩ、1%		240		kHz
f_{ADJ2}		RT = 7.15kΩ、1%		2.2		MHz
f_{SYNC}	同期周波数範囲		250		2200	kHz
スペクトラム拡散						
$f_{PSS(2)}$	スペクトラム拡散疑似ランダム パターン周波数	f_{OSC} = 2.1MHz		0.98		Hz
f_{SPREAD}	スペクトラム拡散を有効にした場合の内部発振器の拡散		-5		5	%

(1) 最小および最大制限値は 25℃で全数テストされます。全動作温度範囲における制限値は、統計的品質管理 (SQC) 法を使用した相関により検証されています。これらの制限値を使って、平均出検品質限界 (AOQL) を計算しています。

6.8 システム特性

以下の仕様は、標準的なアプリケーション回路にのみ適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、T_J = 25℃ にのみ適用されます。T_J = -40℃～150℃ の温度範囲での標準的な部品の場合、最小 (MIN) および最大 (MAX) 列の仕様が適用されます。これらの仕様は、製造試験では保証されていません。

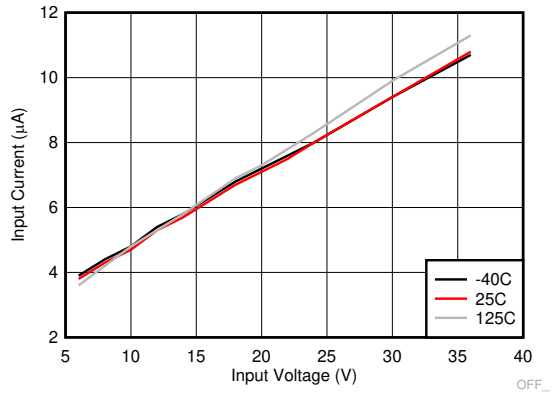
パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VIN ピン)						
I_{SUPPLY}	レギュレーション時の入力電源電流	V_{IN} = 12V、V_{OUT} = 3.3V、I_{OUT} = 0A、R_{FBT} = 1MΩ		23		μA
V_{DROP}	ドロップアウト電圧、(V_{IN} - V_{OUT})	V_{OUT} = 5V、I_{OUT} = 1A、f_{SW} = 1850kHz		0.95		V
V_{DROP}	ドロップアウト電圧、(V_{IN} - V_{OUT})	V_{OUT} = 5V、I_{OUT} = 1A、V_{OUT} - レギュレーションの 1%、F_{SW} = 140kHz		150		mV
D_{MAX}	最大スイッチ デューティ サイクル (2)	V_{IN} = V_{OUT} = 12V、I_{OUT} = 1A		98		%
電圧リファレンス (FB ピン)						
V_{OUT} (1)	V_{OUT} = 5V	V_{IN} = 7V ～ 30V、I_{OUT} = 1A から全負荷へ、CCM	-1.5		1.5	%
	V_{OUT} = 5V	V_{IN} = 7V ～ 30V、I_{OUT} = 0A ～ 全負荷、AUTO モード	-1.5		2.5	%
V_{OUT} (1)	V_{OUT} = 3.3V	V_{IN} = 3.8V ～ 30V、I_{OUT} = 1A から全負荷へ、CCM	-1.5		1.5	%
	V_{OUT} = 3.3V	V_{IN} = 3.8 ～ 30V、I_{OUT} = 0A ～ 全負荷、AUTO モード	-1.5		2.5	%
t_{SYNC-L}	同期クロックが low に維持されてから PFM エントリに維持されるまでの遅延			100		ns
t_{SYNC-H}	同期クロックが High に維持されてからデフォルト周波数に維持されるまでの遅延			100		ns
サーマル シャットダウン						
T_{SD}	サーマル シャットダウン温度	シャットダウン温度	155	163	175	°C
T_{SDR}	サーマル シャットダウン温度	復帰温度		150		°C

(1) 偏差は、V_{IN} = 13.5V、I_{OUT} = 1A を基準にします
(2) ドロップアウト時にはスイッチング周波数が低下し、実効デューティ サイクルが増加します。最小周波数は、約 f_{MIN} = 1 / (t_{ON-MAX} + $T_{OFF-MIN}$) でクランプされます。D_{MAX} = t_{ON-MAX} / (t_{ON-MAX} + $t_{OFF-MIN}$)。

Copyright © 2025 Texas Instruments Incorporated

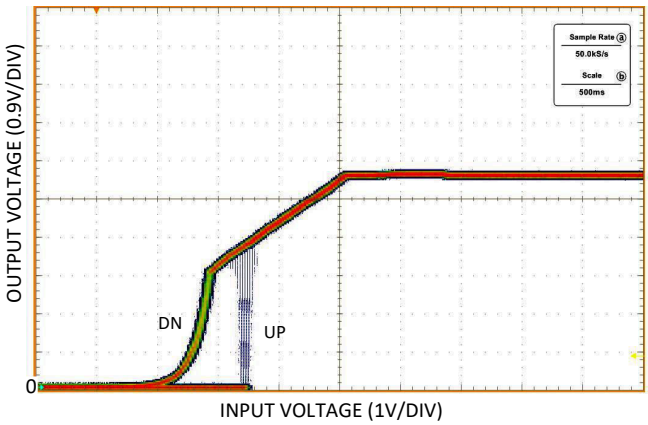
6.9 代表的特性

特記のない限り、次の条件が適用されます。T_A = 25°C、V_{IN} = 13.5V



EN = 0V

図 6-1. シャットダウン モードでの入力電源電流



I_{OUT} = 1mA　　図 8-26 を参照

図 6-2. UVLO スレッショルド

7 詳細説明

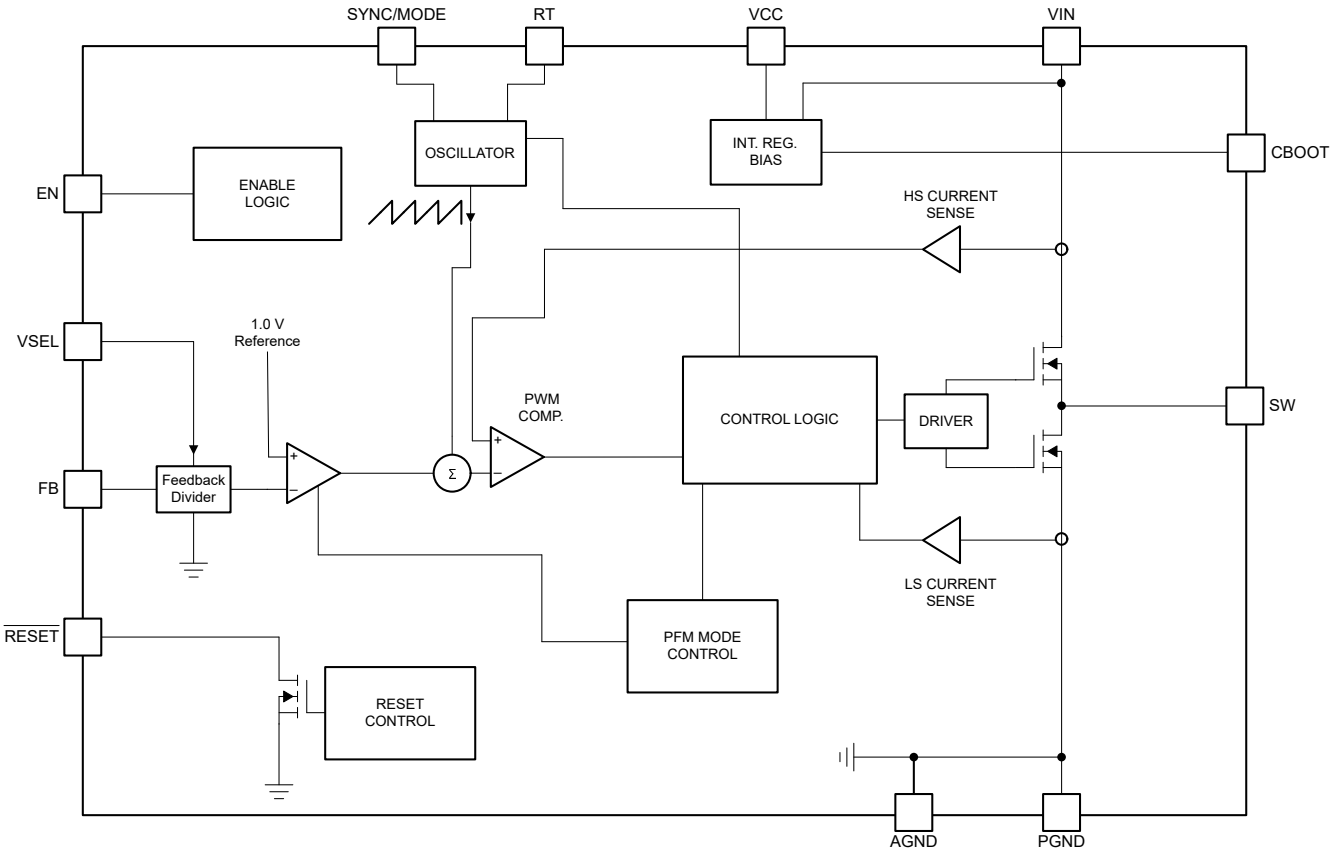
7.1 概要

LM63635-Q1 は、さまざまな車載用アプリケーション向けに設計された同期整流ピーク電流モード降圧レギュレータです。このレギュレータは、負荷に応じて PFM モードと PWM モードを自動的に切り替えます。負荷が大きい場合、このデバイスは PWM モードで一定のスイッチング周波数で動作します。軽負荷時には、ダイオード エミュレーションによる PFM モードに変更され、DCM が可能になります。これにより、入力供給電流が低減され、高い効率が維持されます。このデバイスには、以下の特長があります。

- 可変スイッチング周波数:
- 強制 PWM モード (FPWM)
- 周波数同期
- 選択可能な出力電圧

$\overline{\text{RESET}}$ 出力により、システムのシーケンシングが簡単になります。また、補償機能を内蔵しているため、設計時間を短縮でき、外部補償式のレギュレータに比べて必要な外付け部品が少なくて済みます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 同期/モード選択

LM63635-Q1 は、SYNC/MODE 入力で選択できる動作モードを備えています。表 7-1 は、選択のプログラミングを示しています。モード変更は、デバイスの電源を投入した後で、いつでも *実行中* に実行できます。この入力をフローティングにすることはお勧めしませんが、フローティングのままにすると、内部 100kΩ によって入力がグランドにプルされます。この内部抵抗の値と、この入力のロジック スレッショルドについては、*「電気的特性」* を参照してください。動作モードの詳細については、セクション 7.4 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

表 7-1. モード選択の設定

SYNC/MODE 入力	モード
VCC	FPWM
AGND	自動
同期クロック	FPWM。外部クロックへ同期
フローティング (推奨しません)	自動

7.3.2 出力電圧の選択

LM63635D-Q1 の出力電圧は、VSEL 入力の条件によって設定されます。この入力の条件は、デバイスが最初にイネーブルになったときにテストされます。コンバータが実行された後は、電圧の選択は固定され、次のパワー オン サイクルまで変更できません。表 7-2 は、選択のプログラミングを示しています。LM63635D-Q1 には、FB 入力に接続された内蔵分圧器が内蔵されています。このコンバータは、選択したとおり、FB 入力の電圧を 5V、3.3V、1V に安定化します。ADJ モードでは、FB 入力の電圧は 1V にレギュレートされ、内部分圧器はディセーブルになります。この場合、外付け分圧器を使用して、推奨動作範囲内の任意の場所に出力電圧を設定します。ADJ モードは、10kΩ を VSEL 入力からグランドに接続することでプログラムされます。推奨しませんが、この入力をフローティングのままにすると、デバイスは ADJ モードに移行します。FB 分圧抵抗の選択の詳細については、セクション 8.2.2.2 を参照してください。

LM63635C-Q1 バリアントの場合、出力電圧は外付けの帰還抵抗により設定され、VSEL ピンはありません。FB 電圧および FB ピンへの入力電流の精度の保証されている仕様については、セクション 6 を参照してください。

5V および 3.3V モード用に内蔵分圧器を提供することで、外部部品を節約し、基板面積と部品コストの両方を低減できます。内部分圧器の値が比較的大きいため、出力の負荷が減少し、コンバータの軽負荷効率が向上しやすくなります。さらに、分圧器がデバイス内にあるため、外部で発生したノイズを拾う可能性は低くなります。

表 7-2. 出力電圧設定

VSEL 入力	出力電圧
VCC	5V
AGND	3.3V
10kΩ から AGND へ	ADJ
フローティング (推奨しません)	ADJ

7.3.3 スイッチング周波数の選択

スイッチング周波数は、RT 入力の条件によって設定されます。この入力の条件は、デバイスが最初にイネーブルになったときにテストされます。コンバータが実行された後は、スイッチング周波数の選択は固定され、次のパワー オン サイクルまで変更できません。表 7-3 は、選択のプログラミングを示しています。可変周波数モードでは、R_T の値を適切に選択することで、スイッチング周波数を 250kHz ～2200kHz の範囲で設定できます。図 7-1 の曲線は、目的のスイッチング周波数を設定するために R_T に必要な抵抗値を示しています。この入力をフローティングにすることはお勧めしません。この状況では、出力電圧が生成されず、スイッチング動作は停止します。

$$R_T = \frac{15770}{f_{SW}} \tag{1}$$

ここで、

- R_T = RT タイミング抵抗の値 (kΩ)
- f_{SW} = スイッチング周波数 (kHz)

表 7-3. スイッチング周波数の設定

RT 入力	スイッチング周波数
VCC	400kHz
AGND	2100kHz
R_T から AGND へ	R_T の値に応じて調整可能
フローティング (推奨しません)	スイッチングなし

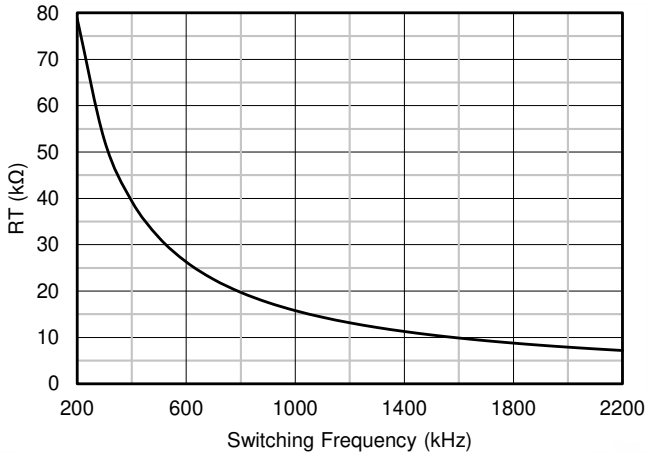


図 7-1. スイッチング周波数と R_T との関係

7.3.3.1 スペクトラム拡散オプション

LM63635-Q1 は、拡散スペクトラム クロック ディザリング機能を備えています。この機能は、疑似ランダム パターンを使用して、内部クロック周波数をディザリングします。このパターンは 0.98Hz のレートで繰り返され、変調の深さは ±5% です。

スペクトラム拡散の目的は、一定の周波数で動作する代わりに、特定の周波数のピーク放射をより広い範囲の周波数に拡散することで、ピーク放射を除去することです。LM63635-Q1 デバイスが含まれるほとんどのシステムでは、スイッチング周波数の最初の数個の高調波からの低い周波数の伝導エミッションは、簡単にフィルタで除去できます。設計でより難しいことは、FM 帯域に妨害を与えるより高い高調波での放射の低減です。これらの高調波はしばしば、スイッチ ノードの周囲の電界によって環境と結合します。LM63635-Q1 デバイスは、周波数の ±5% 拡散を使用しており、FM 帯域全体にエネルギーをスムーズに拡散しますが、スイッチング周波数以下の低調波放射を制限するのに十分小さいです。

7.3.4 イネーブルおよびスタートアップ

起動とシャットダウンは、EN 入力により制御されます。この入力には高精度のスレッショルドが搭載されており、外付け分割電圧を使用して可変の入力 UVLO を行えます (セクション 8.2.2.8 を参照)。V_{EN-VCC} を超える電圧を印加すると、デバイスはスタンバイモードに移行し、内部 VCC に電力を供給しますが、出力電圧は生成しません。EN 電圧を V_{EN_H} に上げると、本デバイスが完全にイネーブルされ、起動モードに移行し、ソフト スタート期間を開始できます。EN 入力が V_{EN-L} を下回ると、レギュレータは動作を停止し、スタンバイ モードに移行します。EN 電圧が V_{EN-VCC} をさらに下回ると、デバイスは完全にシャットダウンされます。図 7-2 にこの動作をに示します。この機能が必要ない場合は、EN 入力を VIN に直接接続できます。この入力をフローティングにすることはできません。各種の EN スレッショルドの値については、セクション 6 を参照してください。

LM63635-Q1 は、レギュレータの起動中の出力電圧のオーバーシュートと大きな突入電流を防止するため、基準電圧を使ったソフト スタートを採用しています。図 7-3 に、標準的な起動波形と標準的なタイミングを示します。EN が high になった後、ソフト スタート期間が開始するまでに約 1ms の遅延が生じます。出力電圧は上昇を開始し、約 1.5ms (t_{ss}) で最終値に達します。約 3ms ($t_{rise-delay}$) の遅延の後、$\overline{RESET}$ フラグが high になります。起動中、$t_{ss-done}$ 時間が経過するまで、本デバイスは FPWM モードに移行できません。この時間は、EN の立ち上がりエッジから測定されます。

Copyright © 2025 Texas Instruments Incorporated

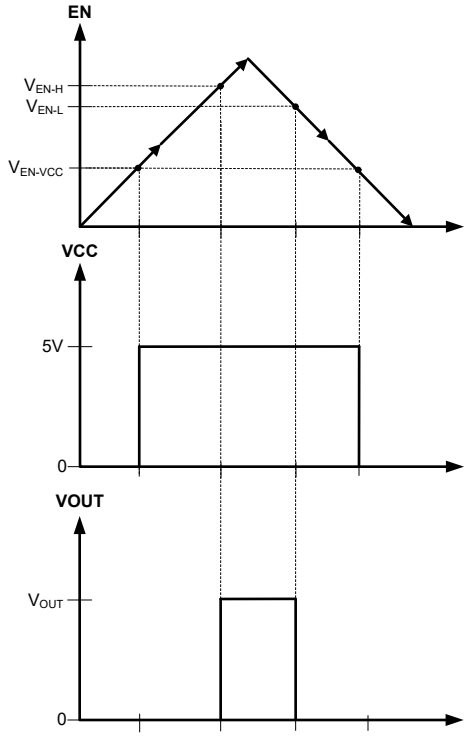


図 7-2. 高精度イネーブルの動作

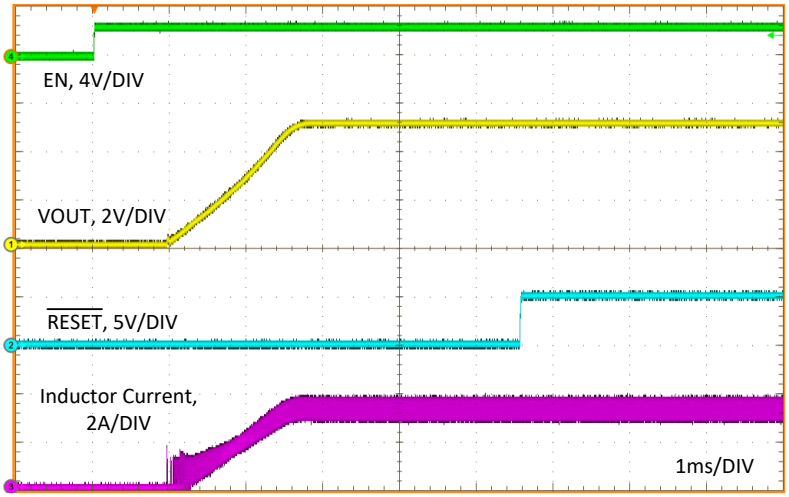


図 7-3. 標準的なスタートアップ動作 V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 3.25A

7.3.5 $\overline{RESET}$ フラグ出力

LM63635-Q1 デバイスの $\overline{RESET}$ フラグ機能 ($\overline{RESET}$ 出力ピン) を使用すると、出力電圧が規定範囲外になったときにシステム マイクロ プロセッサをリセットできます。通常の起動中だけでなく、フォルト条件 (電流制限、サーマル シャットダウンなど) の際も、このオープン ドレイン出力は Low に維持されます。グリッチ フィルタは、出力電圧の短時間の変動 (ラインおよび負荷過渡時など) に対するフラグの誤動作を防止します。t_{dg} よりも短い出力電圧変動では、$\overline{RESET}$ フラグは立ちません。FB 電圧がレギュレーション値に戻ると、$t_{rise\text{-}delay}$ の遅延の後に $\overline{RESET}$ フラグが high になります。$\overline{RESET}$ 操作については、図 7-4 および 図 7-5 を参照するとよく理解できます。

$\overline{\text{RESET}}$ 出力はオープン ドレインの NMOS で構成されており、外付けプルアップ抵抗を適切なロジック電源へ接続する必要があります。パワー グッド出力は、必要に応じて適切な抵抗を介して VCC または V_{OUT} にプルアップすることもできます。10kΩ から 100kΩ までの範囲でプルアップ抵抗値が妥当です。この機能が不要な場合は、$\overline{\text{RESET}}$ ピンをフローティングのままにすることができます。EN が Low にプルされると、フラグ出力も Low に強制されます。EN が low の場合、入力電圧が 1.2V 以上 (標準値) である限り、$\overline{\text{RESET}}$ は有効です。$\overline{\text{RESET}}$ フラグ ピンへ流れ込む電流は、5mA D.C. 未満に制限します。最大電流は、デバイスがイネーブルのときは約 50mA、デバイスがディセーブルのときは約 65mA に内部的に制限されます。内部電流制限により、この出力に接続されているフィルタ コンデンサの放電時に発生する可能性のある過渡電流からデバイスが保護されます。

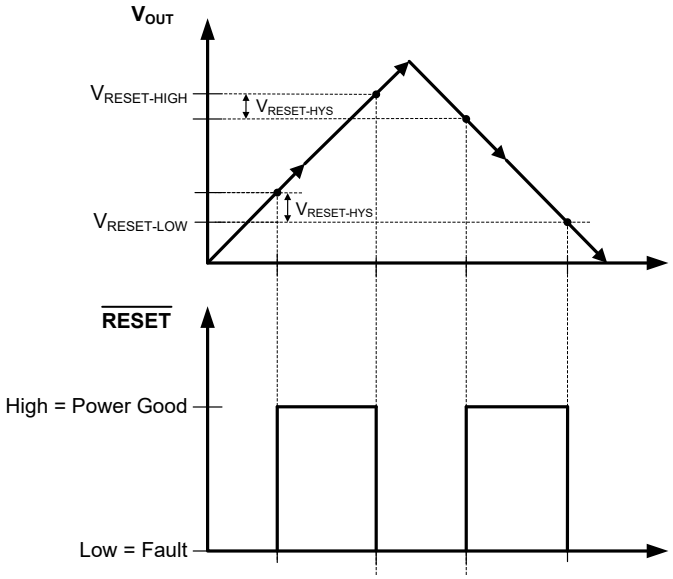


図 7-4. スタティック $\overline{\text{RESET}}$ 動作

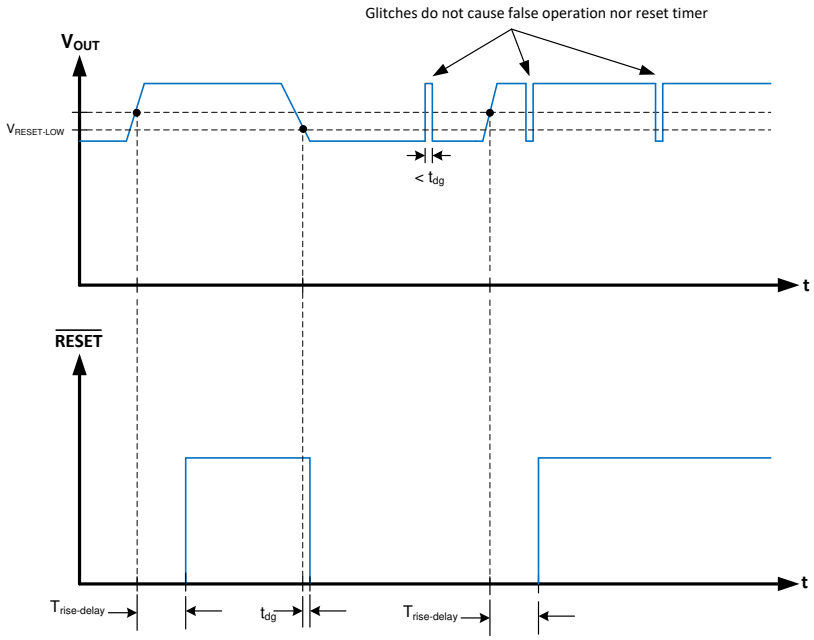


図 7-5. $\overline{\text{RESET}}$ のタイミング動作

Copyright © 2025 Texas Instruments Incorporated

7.3.6 低電圧誤動作防止、サーマル シャットダウン、出力放電

LM63635-Q1 は、内部 LDO (VCC ピン) の出力に低電圧誤動作防止機能を内蔵しています。V_{IN} が約 V_{POR-R} に達すると、デバイスは EN 信号を受信して起動する準備が整います。V_{IN} が V_{POR-F} を下回ると、EN の状態に関係なくデバイスはシャットダウンします。これらの遷移中に LDO はドロップアウト状態にあるため、上記の値は遷移中の VCC 電圧レベルを大まかに表します。セクション 8.2.2.8 に示すように、拡張入力電圧 UVLO は実現することもできます。

サーマル シャットダウン機能は、過度の接合部温度からレギュレータを保護するために搭載されています。接合部温度が約 163°C に達すると、デバイスはシャットダウンします。温度が約 150°C まで低下すると再起動します。

LM63635-Q1 は、SW ピンからグランドに接続された出力電圧放電 FET を備えています。この FET は、EN 入力が V_{EN-L} を下回ったとき、または出力電圧が $V_{RESET-HIGH}$ を超えたときにアクティブになります。このようにして、パワー インダクタを通じて出力コンデンサを放電できます。出力電圧が約 5V を超えると、放電電流は I_{POR} または約 1.4mA でほぼ一定になります。この電圧を下回ると、FET の特性は 2.5kΩ の値にほぼ抵抗性に見えます。

7.4 デバイスの機能モード

7.4.1 概要

代表的な使用方法では、デバイスは自動モードになります (SYNC/MODE ピン = グランド)。AUTO モードでは、負荷の変化に応じて、デバイスは PWM と PFM を切り替えます。軽負荷時には、レギュレータは PFM で動作し、スイッチング周波数が変化して出力電圧を制御します。負荷が大きくなると、モードは PWM に切り替わり、RT ピンの状態でスイッチング周波数が設定されます (セクション 7.3.3 を参照)。

PWM モードでは、電流モード、周波数コンバータとして動作し、PWM を使って出力電圧を安定化します。このモードで動作しているときには、一定の周波数でスイッチングし、デューティ サイクルを変調して負荷への電力を制御することにより、出力電圧を安定化します。これにより、優れたラインおよび負荷レギュレーションと、低い出力電圧リップルを実現します。

PFM モードでは、1 つ以上のパルスがバーストすると下限側 MOSFET がオンになり、負荷にエネルギーを供給します。バースト期間は、$I_{PEAK-MIN}$ に達するまでに要する時間に依存します。このバーストの周期を調整して出力を安定化するとともに、ダイオード エミュレーションを使って効率を最大化します (*用語集* を参照)。このモードでは、少しの負荷で出力電圧を制御するために必要な入力消費電流の総量を削減することにより、軽負荷の効率を高めることができます。出力電圧リップルの増大およびスイッチング周波数の変動とのトレードオフにより、軽負荷時に非常に良好な効率を実現します。また、軽負荷時には出力電圧がわずかに上昇します。PFM モードでの負荷による出力電圧の変動については、セクション 8.2.3 を参照してください。図 7-6 と 図 7-7 に、PFM と PWM それぞれの代表的なノード波形を示します。

スイッチング周波数が RT ピンで設定された条件に適合しない、次の 4 つのケースがあります:

- 軽負荷動作 (AUTO モード)
- ドロップアウト
- 最小オン時間動作
- 電流制限

いずれの場合も、*フォールドバック*し、スイッチング周波数は RT ピンでプログラムされた周波数よりも低くなります。これらの条件下では、定義により、電流制限動作を除き、出力電圧は安定化したままになります。

本デバイスが強制 PWM モード (FPWM) に移行した場合、あらゆる負荷条件について、RT ピンでのプログラムに従ってスイッチング周波数は一定に維持されます。このモードでは実質的に、軽負荷 PFM 周波数フォールドバック モードをオフにします (セクション 7.4.2 を参照)。詳細は セクション 7.3.1 および セクション 7.4.2.1 を参照してください。

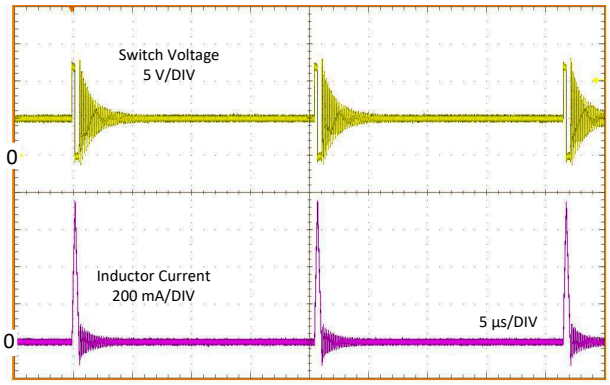


図 7-6. 標準的な PFM スイッチング波形 V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 10mA

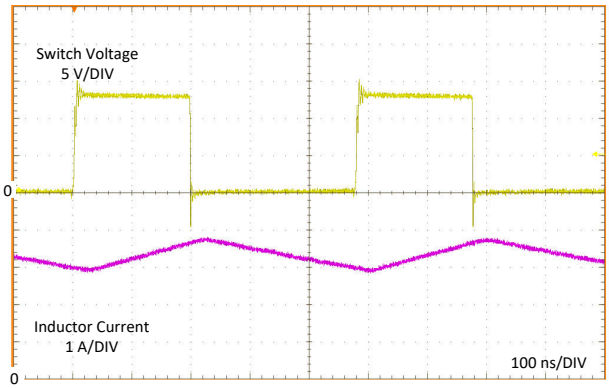


図 7-7. スペクトラム拡散なしの標準的な PWM スイッチング波形 V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 3.25A、f_{SW} = 2100kHz

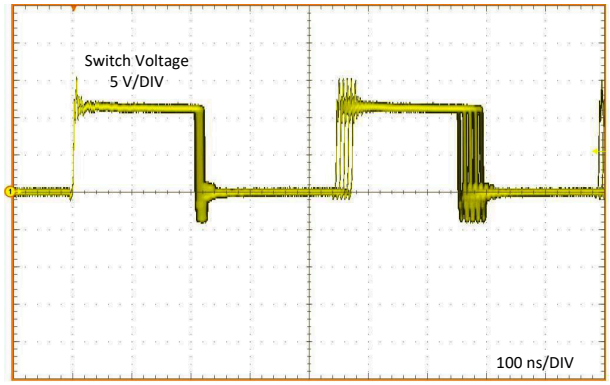


図 7-8. 拡散スペクトルを用いた標準的な PWM スイッチング波形 V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 2.5A、f_{SW} = 2100kHz

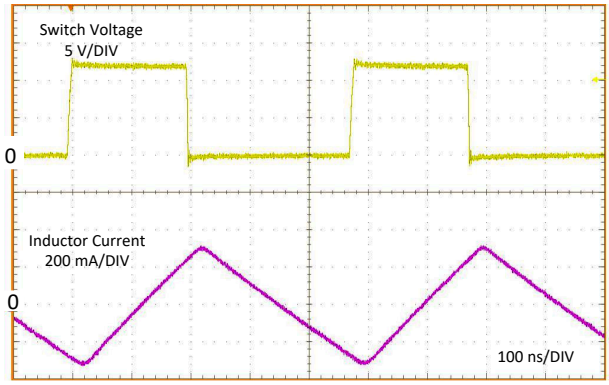


図 7-9. 標準的な PWM スイッチング波形 FPWM V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 0A、f_{SW} = 2100kHz

7.4.2 軽負荷動作

軽負荷動作時は、デバイスは DEM で PFM モードになります。これにより、負荷電流が小さい場合にも高い効率が得られます。実際のスイッチング周波数と出力電圧リップルは、入力電圧、出力電圧、負荷によって変わります。デバイスが PFM を出入りするときの出力電流については、セクション 8.2.3 を参照してください。モード変更のときの出力電流は、入力電圧、インダクタ値、プログラムされるスイッチング周波数に依存します。これらの曲線は、表 8-3 に示す BOM に適用されます。プログラムされたスイッチング周波数が高いほど、モード変化が発生する負荷が大きくなります。特定の条件についてスイッチング周波数を把握する必要があるアプリケーションでは、設計を最終的に確定する前に、PFM と PWM の間の遷移を注意深くテストする必要があります。または、モードを FPWM に設定することもできます。

7.4.2.1 SYNC/FPWM 動作

強制 PWM モード (FPWM) を使用して、自動モードをオフにし、小さな負荷でも RT ピンでプログラムされた周波数で本デバイスを強制的に切り替えることができます。この方式には、軽負荷時に効率が低下するという欠点があります。

SYNC/MODE 入力に有効なクロック信号が存在すると、スイッチング周波数は外部クロックにロックされます。本デバイスのモードは FPWM でもあります。このモードは、システムによって動的に変更できます。同期/モード機能の変更の代表的な例については、図 7-10 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

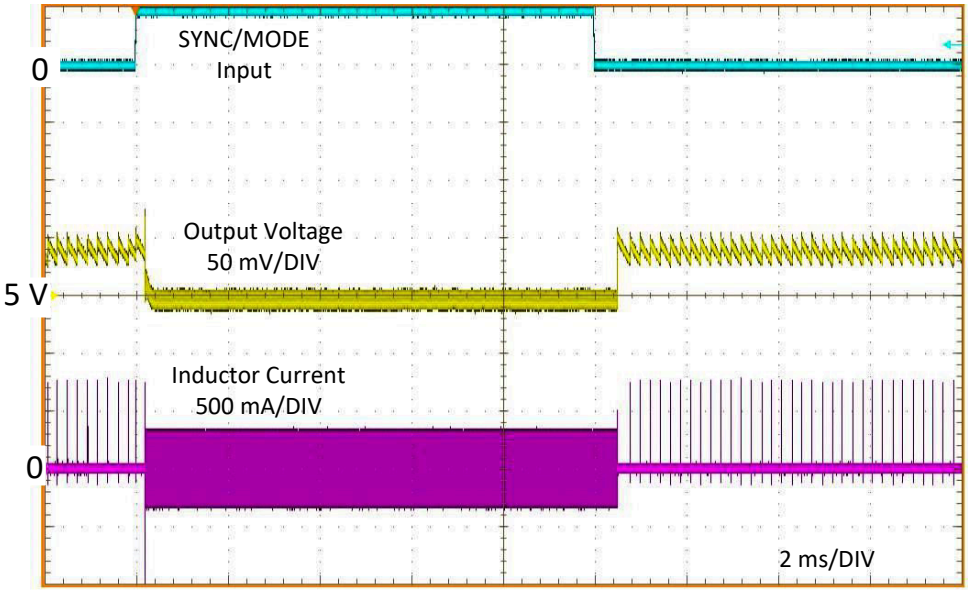


図 7-10. FPWM から AUTO モードへの典型的な遷移 V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 1mA

7.4.3 ドロップアウト動作

降圧レギュレータのドロップアウト性能は、パワー MOSFET の $_{DSON}$、インダクタの DC 抵抗、コントローラが実現できる最大デューティ サイクルの影響を受けます。入力電圧レベルが出力電圧に近づくと、ハイサイド MOSFET のオフ時間が最小値 (セクション 6 を参照) に近づき始めます。このポイントを超えると、スイッチングが不安定になり、出力電圧が規定値から外れる可能性があります。この問題を回避するため、LM63635-Q1 は、スイッチング周波数を自動的に低下させて有効なデューティ サイクルを増加させ、安定化を維持します。2 つの定義がありこのデータシートでは、*ドロップアウト* 電圧ます。どちらの定義も、ドロップアウト電圧は、特定の条件下での入力電圧と出力電圧の差です。最初の定義では、スイッチング周波数が 1850kHz まで低下したときに、その差が測定されます (明らかに、公称スイッチング周波数が 1850kHz を上回る場合にこのことが当てはまります) 。この条件では、出力電圧はレギュレーション範囲内です。2 番目の定義では、出力電圧が公称レギュレーション値の 1% 低下したとき、この差が求められます。この状況では、スイッチング周波数は約 130kHz の下限に達しています。これらの特性の詳細については、セクション 8.2.3 を参照してください。標準的な全体的ドロップアウト特性については、図 7-11 を参照してください。

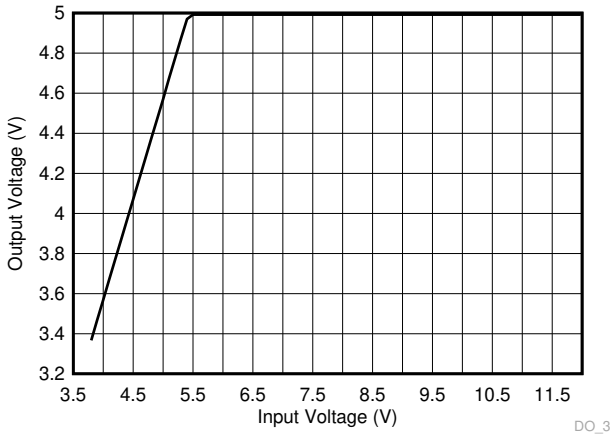


図 7-11. 全体的なドロップアウト特性 V_{OUT} = 5V、I_{OUT} = 3.25A

7.4.4 最小オン時間動作

すべてのスイッチング レギュレータには、制御回路に関連する固有の遅延とブランキング時間によって決まる、制御可能なオン時間の最小値があります。これにより、スイッチのデューティ サイクルには最小値があるので、変換比にも最小値があります。この制約は、入力電圧が高く出力電圧が低いときに発生します。制御可能な最小デューティ サイクルを延長できるように、LM63635-Q1 は最小オン時間制限に達するとスイッチング周波数を自動的に低下させます。このようにして、コンバータは、最大入力電圧におけるプログラム可能な最小出力電圧を安定化できます。周波数フォールドバックが発生する前に、指定の出力電圧に対するおおよその入力電圧の概算を見つけるには、式 2 を使用します。t_{ON} および f_{SW} の値は、セクション 6 に示されています。入力電圧が高くなると、出力電圧を安定化させるためにスイッチ オン時間 (デューティ サイクル) が短くなります。オン時間が制限値に達すると、スイッチング周波数は低下しますが、オン時間は固定されたままです。この関係は、セクション 8.2.3 の f_{SW} 対 V_{IN} 曲線で強調されています。

$$V_{IN} \leq \frac{V_{OUT}}{t_{ON} \times f_{SW}} \tag{2}$$

7.4.5 電流制限と短絡保護動作

LM63635-Q1 にはピークおよびバレー インダクタ電流制限が組み込まれており、過負荷や短絡からデバイスを保護し、最大出力電流を制限します。バレー電流制限は、出力短絡時のインダクタ電流暴走を防止します。また、ピーク制限とバレー制限は連携して、コンバータの最大出力電流を制限します。また、短絡が持続する場合には、ヒカップ モードも組み込まれます。最後に、ローサイド パワー MOSFET にゼロ電流検出器を使用して、軽負荷時に DEM を実装します (*用語集* を参照)。この制限の公称値は約 0A です。

デバイスが過負荷になると、次のクロック サイクルよりも前に、インダクタ電流のバレーが $I_{LS\text{-}LIMIT}$ を下回ることのできない点に達します。このイベントが発生すると、バレー電流制限制御がそのサイクルをスキップし、スイッチング周波数が低下します。さらに過負荷が発生すると、スイッチング周波数は低下を続けますが、出力電圧は安定化された状態に維持されます。過負荷が大きくなると、下限側電流制限 I_{SC} に達するまで、インダクタの電流リップルとピーク電流の両方が増加します。この制限値がアクティブになると、スイッチのデューティ サイクルが減少し、出力電圧が規定値から外れます。これは、コンバータからの最大出力電流を表し、式 3 で求められます。出力電流は約 I_{OMAX} で維持されながら、デバイスが過負荷に深く移行するにつれて、出力電圧とスイッチング周波数は引き続き低下します。インダクタのリップル電流が大きい場合、ローサイド制限に達する前にハイサイド電流制限がトリップされる可能性があります。この場合、式 4 に最大出力電流の概算値を示します。

$$I_{OMAX} \approx \frac{I_{SC} + I_{LS-LIMIT}}{2} \tag{3}$$

$$I_{OMAX} \approx I_{SC} - \frac{(V_{IN} - V_{OUT})}{2 \times L \times f_{SW}} \times \frac{V_{OUT}}{V_{IN}} \tag{4}$$

重度の過負荷または短絡により FB 電圧が V_{HICCUP} を下回ると、変換は「hiccup」モードに移行します。V_{HICCUP} は、プログラムされた公称出力電圧の約 40% を表します。このモードでは、本デバイスは t_{OC} または約 100ms の間スイッチングを停止し、その後、ソフト スタートを使って通常の再起動を行います。短絡状態が続く場合、デバイスは t_{OC_active} よりも少し長い時間、つまり約 23ms 間電流制限で動作し、その後再びシャットダウンします。短絡状態が持続する限り、このサイクルが繰り返されます (図 7-12 に示すように)。この動作モードでは、出力で持続的な短絡状態が発生したときのデバイスの温度上昇が減少します。このモードの出力電流は、I_{OMAX} の約 20% です。出力短絡が解消し、t_{OC} 遅延が経過すると、図 7-13 に示すように、出力電圧は通常どおりに回復します。

全体的な出力電圧対出力電流特性については、図 7-14 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

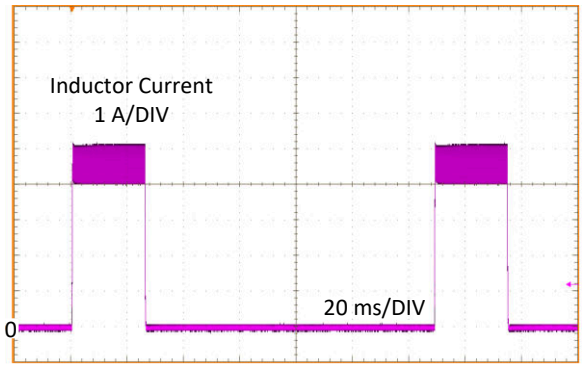


図 7-12. 短絡モードでのインダクタ電流バースト

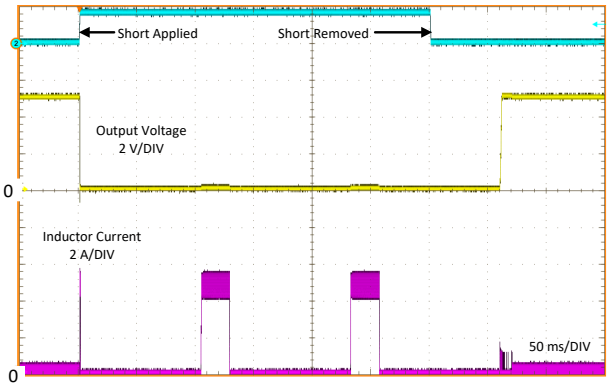


図 7-13. 短絡過渡と回復

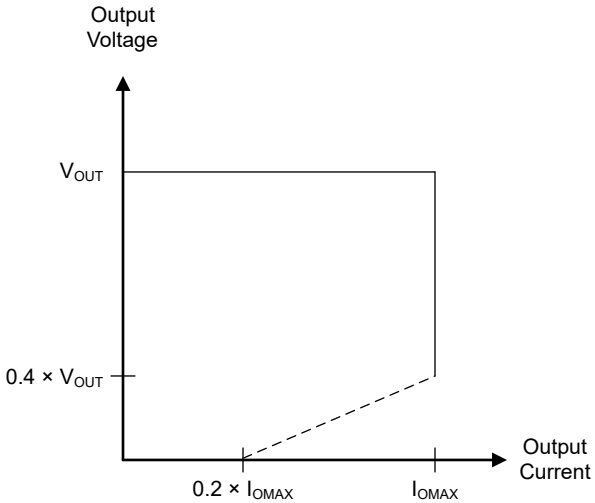


図 7-14. 電流制限内の出力電圧と出力電流との関係

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LM63635-Q1 降圧 DC/DC コンバータは、3.25A の最大出力電流で、高い DC 電圧を低い DC 電圧に変換するために使われることが一般的です。LM63635D-Q1 の部品を選択する際には、次の設計手順を使用します。

注

このデータシートでは、静電容量の *実効* 値は、定格値や銘板値ではなく、D.C. バイアスおよび温度における実際の容量として定義されます。X5R 以上の誘電体を使用した、高品質で低 ESR のセラミック コンデンサを全体にわたって使用してください。値の大きいセラミック コンデンサは、すべて、通常の許容誤差と温度効果に加えて、電圧係数が大きくなります。D.C. バイアスを印加すると、静電容量は大幅に低下します。この点については、ケース サイズが大きく、より高い電圧定格のものが望ましいです。これらの影響を軽減するために、複数のコンデンサを並列に使用すれば、最小実効静電容量を必要な値まで大きくすることができます。この対策により、個別のコンデンサの RMS 電流要件も緩和されます。実効静電容量の最小値を確実に実現するために、コンデンサ バンクのバイアスおよび温度変動を慎重に検討する必要があります。

8.2 代表的なアプリケーション

以下の図には、LM63635D-Q1 の代表的なアプリケーション回路を示します。本デバイスは、幅広い外付け部品とシステム パラメータで機能するように設計されています。しかし内部補償は、特定の範囲の外付けインダクタンスおよび出力容量に対して最適化されています。クイック スタート ガイドとして、一般的なコンポーネントの値については、以下の表を参照してください。

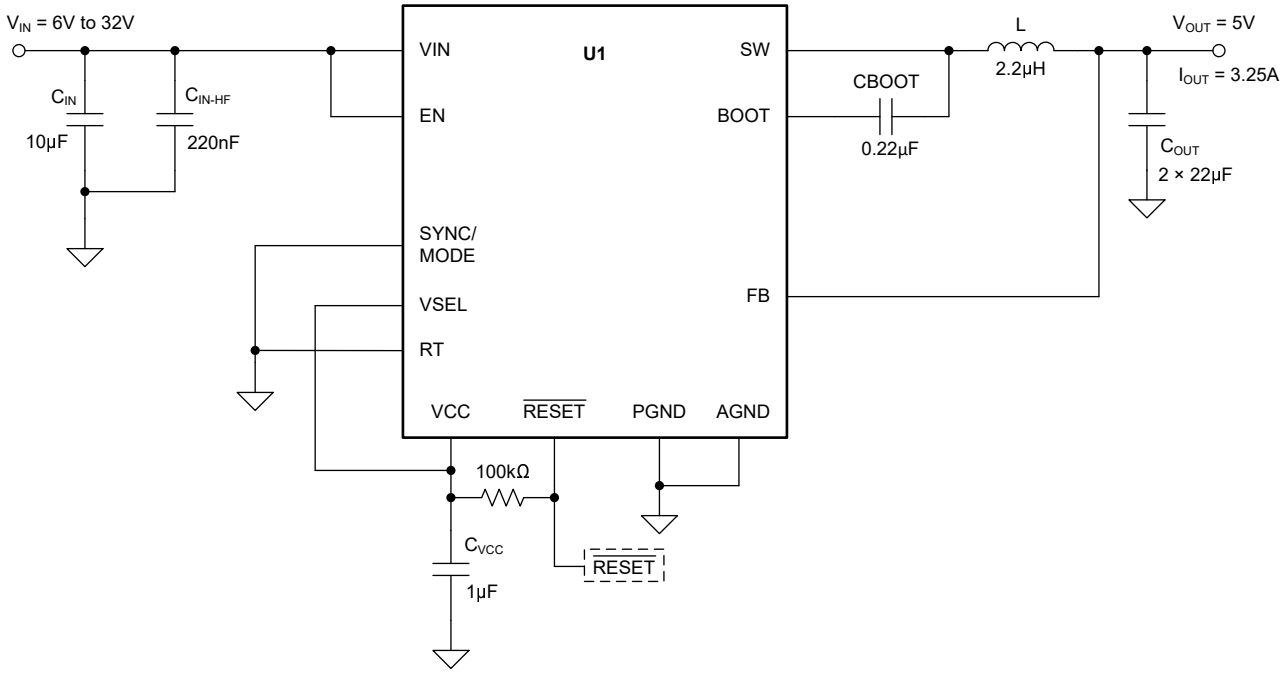


図 8-1. アプリケーション回路例、V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 3.25A、f_{SW} = 2.1MHz

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 3.25A の出力電流における外付け部品の標準値

f_{SW} (kHz)	V_{OUT}	L (µH)[1]	標準[2] C_{OUT}	最小[2] C_{OUT}	VSEL	RT	C_{IN}	C_{BOOT}	C_{VCC}
400	3.3	10	3 × 22µF	2 × 22µF	AGND	VCC	10µF + 220nF	220nF	1µF
2100	3.3	2.2	2 × 22µF	1 × 22µF + 1 × 10µF	AGND	AGND	10µF + 220nF	220nF	1µF
400	5	10	3 × 22µF	2 × 22µF	VCC	VCC	10µF + 220nF	220nF	1µF
2100	5	2.2	2 × 22µF	1 × 22µF + 1 × 10µF	VCC	AGND	10µF + 220nF	220nF	1µF

(1) 「セクション 8.2.2.3」を参照してください。
(2) 「セクション 8.2.2.4」を参照してください。

8.2.1 設計要件

表 8-2 に、詳細設計手順のパラメータを示します。

表 8-2. 詳細設計パラメータ

設計パラメータ	数値の例
入力電圧	12V (6V ～ 32V)
出力電圧	5V
最大出力電流	0A～3.25A
スイッチング周波数	2.1MHz

8.2.2 詳細な設計手順

以下の設計手順は、図 8-1 と 表 8-2 に適用されます。

8.2.2.1 スイッチング周波数の選択

スイッチング周波数の選択は、変換効率とソリューション全体のサイズとのトレードオフとなります。スイッチング周波数を低くすると、スイッチング損失は減少し、一般的にシステム効率が高くなります。一方、スイッチング周波数を高くすると、より小型のインダクタや出力コンデンサを使用できるようになるため、よりコンパクトな設計が可能となります。LM63635-Q1 のスイッチング周波数を設定するには、いくつかの方法があります。LM63635D-Q1 の場合、RT ピンまたは SYNC ピンのどちらかを使用してスイッチング周波数を設定できます。
LM63635C-Q1 の場合、内部 (デフォルト) 周波数は 2.1MHz に設定するか、SYNC ピンを介して外部で設定できます。SYNC ピンを使用している場合は、動作中に SYNC 信号をアサートまたはデアサートして、出力電圧が変動しないようにしてください。このアプリケーション例では、スイッチング周波数 (F_{sw}) として 2100kHz を選択しています。

8.2.2.2 出力電圧の設定

LM63635D-Q1 の出力電圧は、VSEL 入力の条件によって設定されます。この例では 5V の出力が必要なため、VSEL 入力を VCC に接続し、FB 入力を出力コンデンサに直接接続します。

目的の出力電圧が 5V または 3.3V 以外である場合、または LM63635C-Q1 を使用する場合は、外部フィードバック分割器が必要です。図 8-2 に示すように、分圧回路は R_{FBT} と R_{FBB} で構成され、出力電圧とコンバータの間のループを閉じています。この場合、VSEL 入力とグランドの間に 10kΩ 抵抗を接続します。コンバータは、FB ピン電圧を内部基準電圧と同じ電圧に保持することで、出力電圧 1V をレギュレートします。分圧器の抵抗値は、ノイズの過剰な混入と出力の過剰な負荷との折り合いを付けることで決定します。抵抗値を小さくすると、ノイズの影響は小さくなりますが、軽負荷時の効率も低下します。R_{FBT} の推奨値は 100kΩ (最大値は 1MΩ) です。R_{FBT} に 1MΩ を選択する場合、この抵抗の両端にフィードフォワード コンデンサを接続し、十分なループ位相マージンを確保する必要があります (セクション 8.2.2.2.1 を参照)。R_{FBT} を選択した後、式 5 を使用して R_{FBB} を選択します。V_{REF} は 公称 1V です。

$$R_{FBB} = \frac{R_{FBT}}{\left[\frac{V_{OUT}}{V_{REF}} - 1\right]} \tag{5}$$

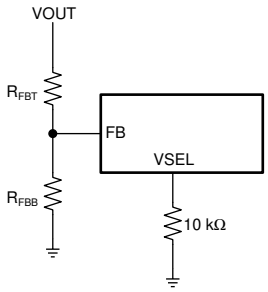


図 8-2. 可変出力電圧設定用フィードバック分割器

8.2.2.2.1 C_{FF} の選択

場合によっては、R_{FBT} の両端にフィードフォワード コンデンサを接続して、負荷過渡応答やループ位相マージンを改善できます。これは 100kΩ より大きい R_{FBT} を使用する場合に特に有効です。R_{FBT} の値が大きいと、FB ピンの寄生容量との組み合わせにより、小さな信号極が形成されてループの安定性に影響を与える可能性があります。C_{FF} は、この影響を緩和するのに役立ちます。式 6 を使用して、C_{FF} の値を推定できます。式 6 で求めた値を出発点として、より小さい値の C_{FF} コンデンサを使って利点が得られるかどうかを判定します。『内部的に補正される、フィードフォワード コンデンサを持つ DC/DC コンバータの過渡応答の最適化』アプリケーション レポートは、フィードフォワード コンデンサの実験に役立ちます。

$$C_{FF} < \frac{V_{OUT} \times C_{OUT}}{120 \times R_{FBT} \times \sqrt{\frac{V_{REF}}{V_{OUT}}}} \tag{6}$$

8.2.2.3 インダクタの選択

インダクタを選択するためのパラメータはインダクタンスと飽和電流です。目的のピーク ツー ピーク インダクタ リップル電流がデバイスの最大出力電流定格の 20%～40% の範囲に収まるように、インダクタを選択します。経験上、インダクタのリップル電流の最適な値は最大負荷電流の 30% であることがわかっています。リップル電流の値が大きいと、電流制限に達する前に最大出力電流が制限される場合があります。このトレードオフは、式 3 に示す電流制限と セクション 6 規定されている電流制限を活用して検討します。リップル電流の値が小さいと、電流モードコントローラの SNR が低下し、デューティサイクルのジッタが増加する可能性があります。インダクタとスイッチング周波数の許容誤差は、どちらもリップル電流の選択、したがってインダクタの値に影響を及ぼします。このデバイスで利用可能な最大負荷よりもはるかに小さな最大負荷のアプリケーションの場合でも、リップル電流の計算にはデバイスの最大電流を使用してください。インダクタのリップル電流と最大出力電流の比は、次の式では K で表されます。式 7 を使用して、インダクタンスの値を決定することができます。この例では K = 0.2 を選択しており、L = 2.1μH インダクタンスを求めました。標準値である 2.2μH を選択しました。これにより、新しい K = 0.19 が得られます。

$$L = \frac{(V_{IN} - V_{OUT})}{f_{SW} \times K \times I_{OUTmax}} \times \frac{V_{OUT}}{V_{IN}} \tag{7}$$

理想的には、インダクタの飽和電流定格は、ハイサイド スイッチの電流制限値 I_{SC} 以上にする必要があります (セクション 6 を参照) 。この大きさであれば、出力の短絡時にもインダクタが飽和しないようになります。インダクタのコア材が飽和すると、インダクタンスは非常に小さい値に低下し、インダクタ電流は急増します。バレー電流制限値 (I_{LIMIT}) は、電流が暴走しづらいように設計されているとはいえ、インダクタが飽和することで電流値が急増する可能性があります。これは部品の損傷につながる可能性があります。したがって、インダクタを飽和させないようにしてください。フェライト コア材を採用したインダクタは飽和特性が非常に急峻ですが、コア損失は通常、圧粉コアよりも小さいです。圧粉コアは穏やかな飽和特性を示すため、インダクタの電流定格をある程度緩和できます。しかし、約 1MHz を上回る周波数では、コア損失が増加します。いずれにしても、インダクタの飽和電流が、全負荷時のピーク インダクタ電流の最大値よりも小さくならないようにする必要があります。

Copyright © 2025 Texas Instruments Incorporated

分数調波発振を防止するため、式 8 で与えられる値よりインダクタンス値を小さくしないようにします。最大インダクタンスは、電流モード制御を正しく行うために必要な最小電流リップルによって制限されます。目安として、インダクタの最小リップル電流は、公称条件でのデバイスの最大定格電流の約 10% 以上とする必要があります。

$$L_{MIN} \geq M \times \frac{V_{OUT}}{f_{SW}} \tag{8}$$

ここで、

- M = 0.37 (3.25A デバイス)

8.2.2.4 出力コンデンサの選択

出力コンデンサの値、および ESR により、出力電圧リップルと負荷過渡性能が決まります。出力コンデンサ バンクは通常、出力電圧リップルではなく負荷過渡要件によって制限されます。式 9 を使って、合計出力容量の下限と、指定された負荷過渡を満たすのに必要な ESR の上限を推定します。

$$C_{OUT} \geq \frac{\Delta I_{OUT}}{f_{SW} \times \Delta V_{OUT} \times K} \times \left[(1 - D) \times (1 + K) + \frac{K^2}{12} \times (2 - D)\right] \tag{9}$$

$$ESR \leq \frac{(2 + K) \times \Delta V_{OUT}}{2 \times \Delta I_{OUT} \times \left[1 + K + \frac{K^2}{12} \times \left(1 + \frac{1}{(1 - D)}\right)\right]}$$

$$D = \frac{V_{OUT}}{V_{IN}}$$

ここで、

- ΔV_{OUT} = 出力電圧過渡
- ΔI_{OUT} = 出力電流過渡
- セクション 8.2.2.3 に示す K = のリップル係数

出力コンデンサと ESR を計算した後、式 10 を使用してピークツーピーク出力電圧リップル V_r を確認します。

$$V_r \cong \Delta I_L \times \sqrt{ESR^2 + \frac{1}{(8 \times f_{SW} \times C_{OUT})^2}} \tag{10}$$

出力コンデンサと ESR は、負荷過渡と出力リップルの両方の要件を満たすように調整できます。

この例では、ΔI_{OUT} = 3.25A の出力電流ステップに対して、ΔV_{OUT} ≤ 200mV が必要です。式 9 は最小値 28µF、最大 ESR 0.056Ω を示します。許容誤差 20%、バイアス ディレーティング 10% と仮定すると、ユーザーは 39µF という最小容量に到達します。これは、1210 ケース サイズの 2×22µF、16V、セラミック コンデンサのバンクで実現できます。負荷過渡応答を向上させるためには、より大きなコンデンサ値を使用できます。セラミック コンデンサは、最小 ESR 要件を簡単に満たすことができます。場合によっては、セラミックと並列にアルミ電解コンデンサを配置して、必要な容量値を得ることができます。アルミニウムコンデンサとセラミックコンデンサを混合して使用する場合は、セラミックの最小推奨値を使用し、必要に応じてアルミニウム電解コンデンサを追加してください。

一般に、3.3V 以下の出力電圧には 10V 以上のコンデンサ定格を使用し、5V 以上の出力電圧には 16V 以上のコンデンサを使用します。

表 8-1 に示す推奨事項に、特定の条件における出力キャパシタンスの標準値を示します。これらの値は、定格または銘板の数字です。最小値を使用する場合は、入力電圧、出力電流、周囲温度を含め、想定されるすべてのアプリケーション条件でこの設計をテストする必要があります。このテストには、ボード線図と負荷過渡の評価の両方が含まれている必要があります。総出力容量の最大値は、設計値の約 10 倍、または 1000µF のいずれか小さい方に制限する必要があります。出力容量の値が大きいと、レギュレータのスタートアップ動作やループの安定性に悪影響を及ぼす可能性があります。ここに記載した値よりも大きい値を使用する必要がある場合、全負荷でのスタートアップおよびループ安定性を慎重に検討する必要があります。

実際には、過渡応答とループ位相マージンに最も影響を与えるのは出力コンデンサです。負荷過渡テストおよびボード線図は、特定の設計を検証する最善の方法であり、アプリケーションを量産に移行する前に必ず完了する必要があります。必要な出力容量に加えて、出力に小さなセラミック コンデンサを配置すると、高周波ノイズを低減するのに役立ちます。小さいケース サイズで 1nF～100nF の範囲のセラミック コンデンサは、インダクタや基板の寄生成分に起因する出力のスパイクを低減するのに役立ちます。

8.2.2.5 入力コンデンサの選択

セラミック入力コンデンサは、レギュレータに低インピーダンス ソースを供給するだけでなく、リップル電流を供給して、他の回路からスイッチング ノイズを絶縁します。入力には、LM63635-Q1 の最小 4.7µF のセラミック容量が必要 VIN と PGND の間に直接接続されたです。これは、少なくともアプリケーションが必要とする最大入力電圧を定格とする必要があり、可能であれば、最大入力電圧の 2 倍が推奨されます。この容量を増やすことで、入力電圧リップルを低減し、負荷過渡時の入力電圧を維持できます。出力電流が大きくなると、より大きな入力容量が必要になります。また、小さいケース サイズで 220nF のセラミック コンデンサを入力に使用し、レギュレータのできるだけ近くに配置する必要があります。通常、VIN ピンと PGND ピンから 1 mm 以内です。これにより、デバイス内部に制御回路のための高周波バイパスができます。この例では、10µF、50V、X7R (またはそれ以上) のセラミック コンデンサを選択しています。4.7µF のコンデンサ 2 個も使用できます。また、220nF のコンデンサは、X7R 誘電体を使用した 50V 定格品とし、できれば 0603 などの小型のケース サイズも推奨されます。

多くの場合、入力に、セラミックと並列に電解コンデンサを配置することが望ましいです。これは、長い配線またはパターンを使って入力電源をレギュレータに接続する場合に特に当てはまります。このコンデンサに中程度の ESR を持つコンデンサを使うことは、長い電源配線によって生じる入力電源のリンギングを減衰させるのに有効です。この追加コンデンサの使用は、インピーダンスの非常に高い入力電源によって生じる電圧低下の防止にも有効です。

入力スイッチング電流のほとんどは、セラミック入力コンデンサを流れます。式 11 を使用して、おおよその RMS 電流を計算します。この値は、メーカーの最大定格に照らしてチェックする必要があります。

$$I_{RMS} \cong \frac{I_{OUT}}{2} \tag{11}$$

入力コンデンサは、di/dt の大きい電流ループの一部です。大きい di/dt 電流と、IC と入力コンデンサの間の過剰な寄生インダクタンスの組み合わせにより、IC の SW ノードで過剰な電圧リンギングが発生する可能性があります。ボード上の入力コンデンサの配置は、高 di/dt ループ内の寄生インダクタンスを最小化し、それに従って各スイッチングにおける SW ノードのリンギングを最小化するうえで非常に重要です。

レギュレータの最大動作電圧を目標とする設計の場合は、SW ノードのリンギングがデバイスの絶対最大定格を超えないようにしてください。SW ノードのリンギングは、入力コンデンサが IC を基準として適切に配置されているかどうかに関係します。入力コンデンサの適切な配置については、図 8-31 、図 8-32 および 図 8-33 の PCB レイアウト例を参照してください。

8.2.2.6 C_{BOOT}

LM63635-Q1 では、BOOT ピンと SW ピンの間にブートストラップ コンデンサを接続する必要があります。このコンデンサは、パワー MOSFET のゲート ドライバに電力を供給するために使用するエネルギーを蓄積します。16V 以上の 220nF 高品質セラミック コンデンサが必要です。

8.2.2.7 VCC

VCC ピンは、レギュレータの制御回路に電力を供給するために使用される内部 LDO の出力です。この出力を適切に動作させるには、VCC と PGND との間に 1µF、16V のセラミックコンデンサを接続する必要があります。一般に、この出力に負荷として外部回路を接続できません。ただし、この出力は、$\overline{\text{RESET}}$ 機能のプルアップに電力を供給するため、およびデバイスの各種制御入力のロジック電源として使用できます。$\overline{\text{RESET}}$ フラグのプルアップ抵抗には、100kΩ の値が適しています。VCC の公称出力電圧は 5V です。

Copyright © 2025 Texas Instruments Incorporated

8.2.2.8 外部 UVLO

場合によっては、本デバイスが内部的に備えているものとは異なる入力 UVLO レベルが必要とされることがあります。このニーズは、図 8-3 に示す回路を使うことで実現できます。本デバイスがオンする入力電圧を V_{ON}、オフする入力電圧を V_{OFF} と表します。最初に、R_{ENB} の値を 10kΩ から 100kΩ までの範囲で選択します。次に 式 12 を使って R_{ENT} と V_{OFF} を計算します。

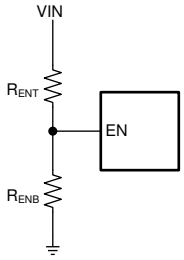


図 8-3. 外部 UVLO アプリケーション用のセットアップ

$$R_{ENT} = R_{ENB} \times \left(\frac{V_{ON}}{V_{EN-H}} - 1\right) \qquad (12)$$
$$V_{OFF} = V_{EN-L} \times \left(\frac{V_{ON}}{V_{EN-H}}\right)$$

ここで、

- $V_{ON} = V_{IN}$ のターンオン電圧
- $V_{OFF} = V_{IN}$ のターンオフ電圧

8.2.2.9 最大周囲温度

他の電源変換デバイスと同様に、LM63635-Q1 は動作時に内部で電力を消費します。この消費電力の影響により、コンバータの内部温度が周囲温度よりも高くなります。内部ダイ温度 (T_J) は、周囲温度、電力損失、デバイスと PCB の組み合わせの実効熱抵抗 $R_{\theta JA}$ の関数です。LM63635-Q1 の最大内部ダイ温度は 150°C に制限する必要があります。これにより、デバイスの最大電力損失(つまり負荷電流)が制限されます。式 13 に、重要なパラメータ間の関係を示します。周囲温度 (T_A) が高いほど、また $R_{\theta JA}$ 値が大きいほど、利用可能な最大出力電流は減少します。コンバータの効率は、このデータシートに示す曲線を使用して推定できます。これらの曲線にはインダクタ内の電力損失が含まれていることに注意してください。いずれかの曲線に目的の動作条件が見つからない場合は、補間によって効率を推定できます。または、目的のアプリケーション要件に合わせて EVM を調整し、効率を直接測定することもできます。$R_{\theta JA}$ の正確な値を推定するのは、より困難です。*半導体および IC パッケージの熱メトリクス アプリケーション レポート* に記載されているように、*放熱性能* 表に示されている $R_{\theta JA}$ の値は設計目的には有効ではなく、アプリケーションの熱性能を推定するために使用してはなりません。この表に報告されている値は、実際のアプリケーションではめったに見られない特定の一連の条件で測定されたものです。$R_{\theta JC(bott)}$と Ψ_{JT} のデータは、放熱性能を判定する際に役立ちます。詳細とリソースについては、*このセクションの末尾にある『半導体および IC パッケージの熱評価基準』アプリケーション ノート*を参照してください。

$$I_{OUTmax} = \frac{(T_J - T_A)}{R_{\theta JA}} \times \frac{\eta}{(1-\eta)} \times \frac{1}{V_{OUT}} \qquad (13)$$

ここで、

- η = 効率

実効 $R_{\theta JA}$ は重要なパラメータであり、以下のような多くの要因に依存します。

- 消費電力
- 空気温度 / フロー
- PCB 面積
- 銅箔ヒートシンク面積

- パッケージの下にあるサーマル ビアの数
- 隣接する部品の配置

HTSSOP および DRR0012 パッケージの使用、ダイ アタッチ パドル、または「サーマル パッド」(DAP) を使用して、PCB のヒートシンク銅に半田付けする場所を提供します。これはレギュレータ接合部から放熱器への優れた熱伝導経路となり、PCB の放熱用銅面に適切にはんだ付けする必要があります。$R_{\theta JA}$ と銅基板面積の関係を示す典型的な例については、図 8-4 および 図 8-5 を参照してください。を参照してください。グラフに示す銅箔面積は、各層に対するものです。トップ層とボトム層は各 2oz 銅、内層は 1oz 銅です。 図 8-6 に、最大出力電流対周囲温度の典型的な曲線をに示します。このデータは、$R_{\theta JA}$ が約 22°C/W のデバイスと PCB の組み合わせで取得しました。これらのグラフのデータはあくまで参考用であり、実際の性能は前述のすべての要因に依存します。

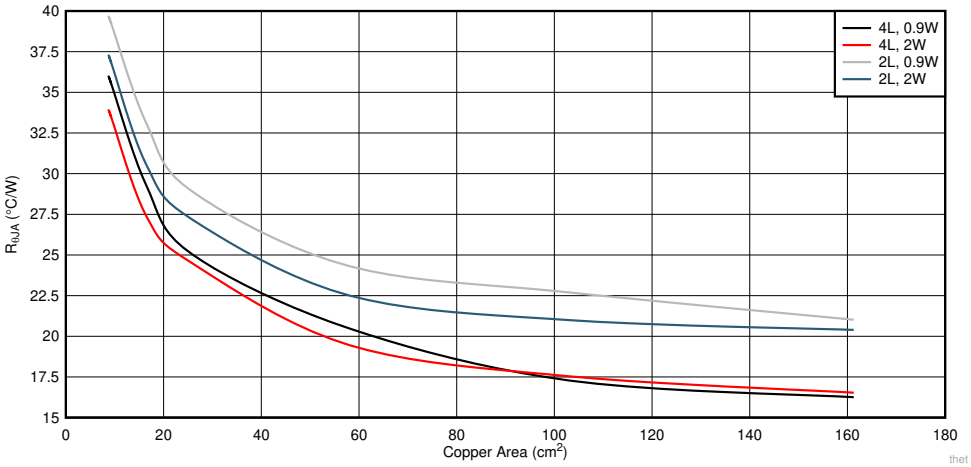


図 8-4. HTSSOP パッケージの典型的な $R_{\theta JA}$ 対銅面積

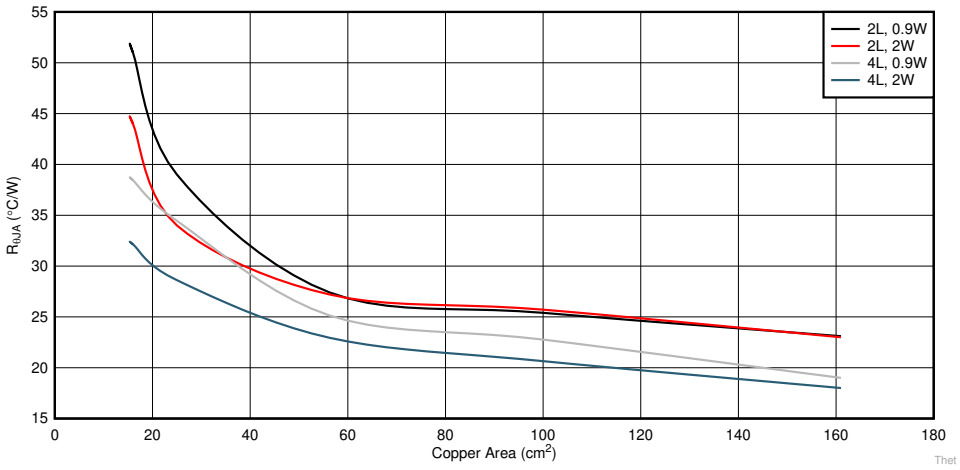


図 8-5. WSON パッケージの典型的な $R_{\theta JA}$ 対銅面積

Copyright © 2025 Texas Instruments Incorporated

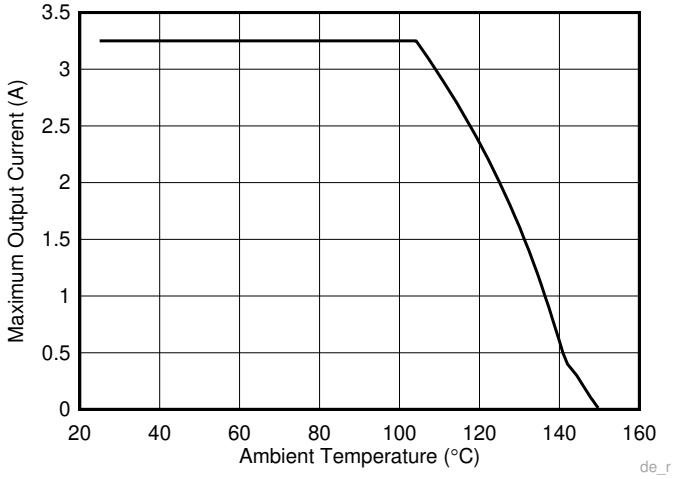


図 8-6. 最大出力電流と周囲温度との関係、V_{IN} = 12V、V_{OUT} = 5V、f_{SW} = 400kHz、$R_{\theta JA}$ = 22°C/W

最適な熱 PCB 設計と特定のアプリケーション環境における $R_{\theta JA}$ 推定のガイドとして、以下のリソースを利用できます:

- *『AN-2020 過去ではなく、現在の識見による熱設計』アプリケーション ノート*
- *『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション ノート*
- *『半導体および IC パッケージの熱評価基準』アプリケーション レポート*
- *『LM43603 および LM43602 によるシンプルな熱設計』アプリケーション レポート*
- *『新しい熱評価基準の解説』アプリケーション レポート*

8.2.2.10 フル機能設計の例

以下の図の回路図は、LM63635D-Q1 のすべての機能を使用する代表的なアプリケーションを示しています。この例では、24V の入力電圧から 3.25A の 12V 出力を提供します。部品は、セクション 8.2.2 に記載されている式と手順を使用して計算されます。

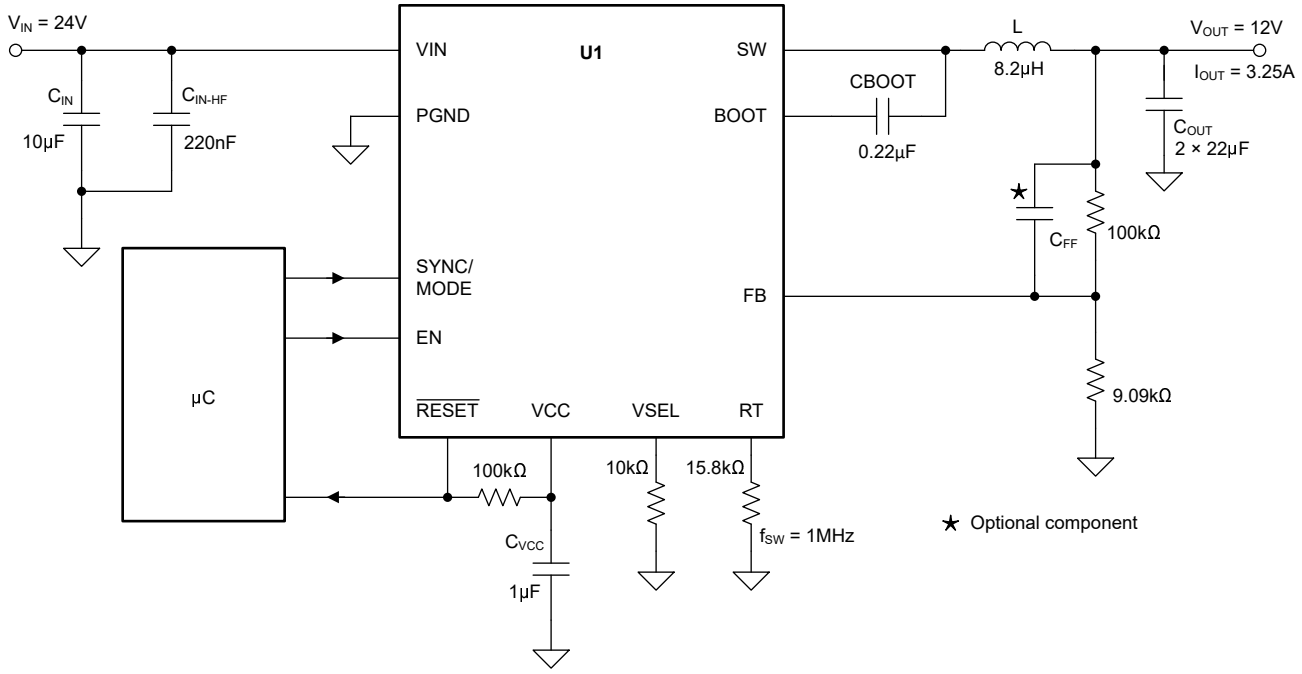
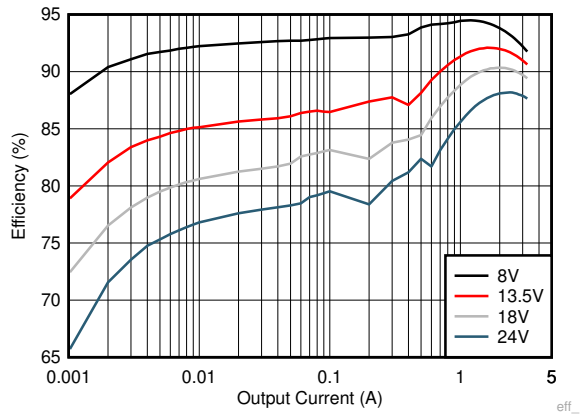


図 8-7. フル機能の設計例 V_{IN} = 24V、V_{OUT} = 12V、I_{OUT} = 3.25A、f_{SW} = 1MHz

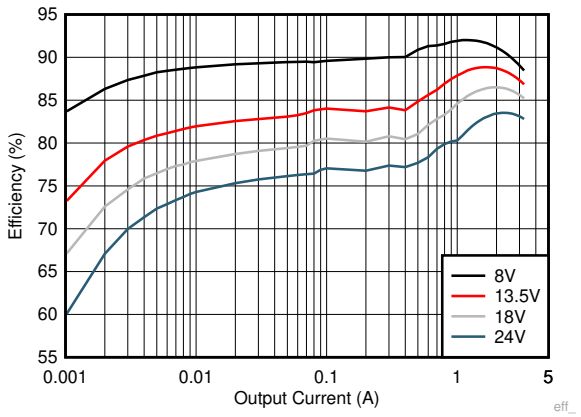
8.2.3 アプリケーション曲線

特に記述のない限り、次の条件が適用されます。V_{IN} = 13.5V、T_A = 25℃。表 8-3 は、図 8-26 からの適切な BOM を含む回路を示しています。



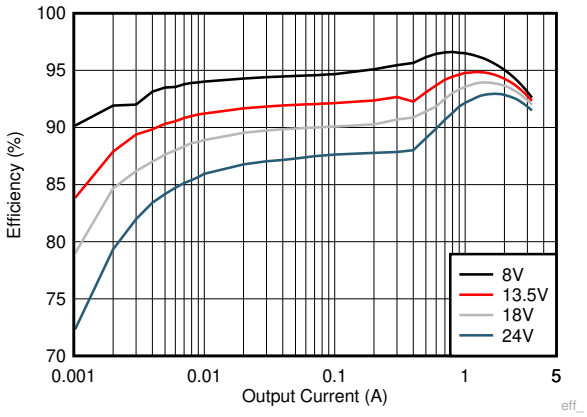
V_{OUT} = 5V　　f_{SW} = 2100kHz (AUTO)

図 8-8. 効率



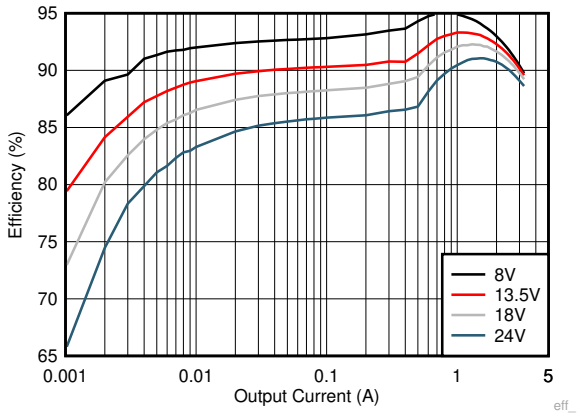
V_{OUT} = 3.3V　　f_{SW} = 2100kHz (AUTO)

図 8-9. 効率



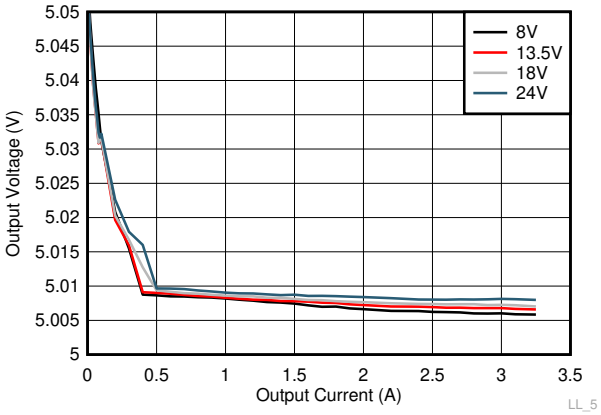
V_{OUT} = 5V　　f_{SW} = 400kHz (AUTO)

図 8-10. 効率



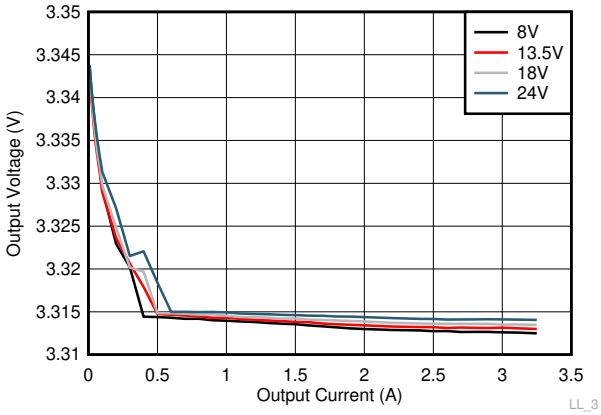
V_{OUT} = 3.3V　　f_{SW} = 400kHz (AUTO)

図 8-11. 効率



V_{OUT} = 5V　　f_{SW} = 2100kHz (AUTO)

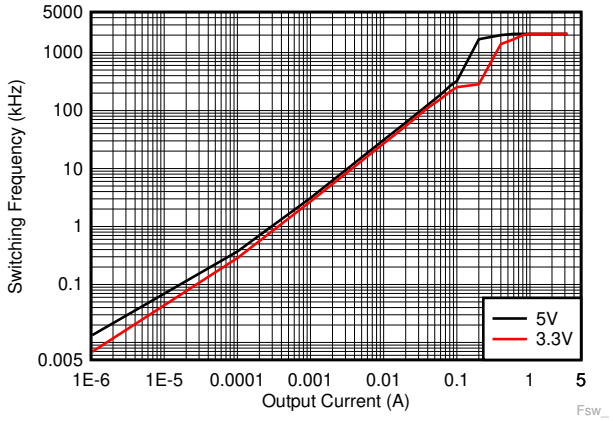
図 8-12. ラインおよびロード レギュレーション



V_{OUT} = 3.3V　　f_{SW} = 2100kHz (AUTO)

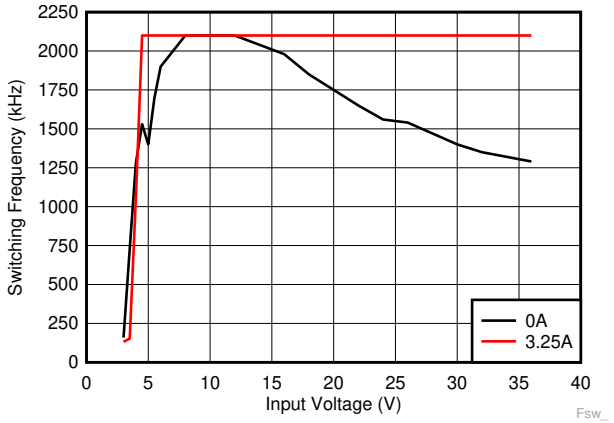
図 8-13. ラインおよびロード レギュレーション

Copyright © 2025 Texas Instruments Incorporated



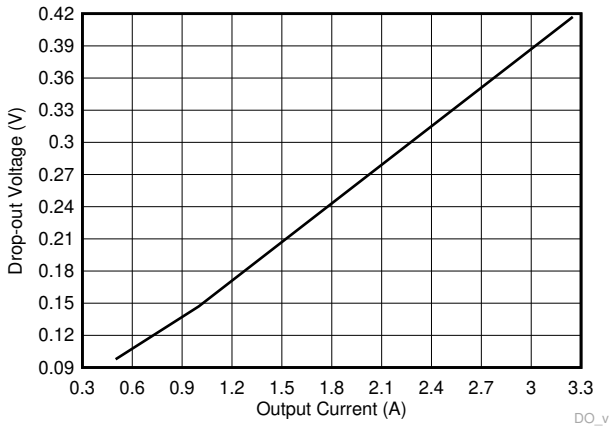
V_{IN} = 13.5V　　f_{SW} = 2100kHz (AUTO)

図 8-14. スイッチング周波数と出力電流との関係



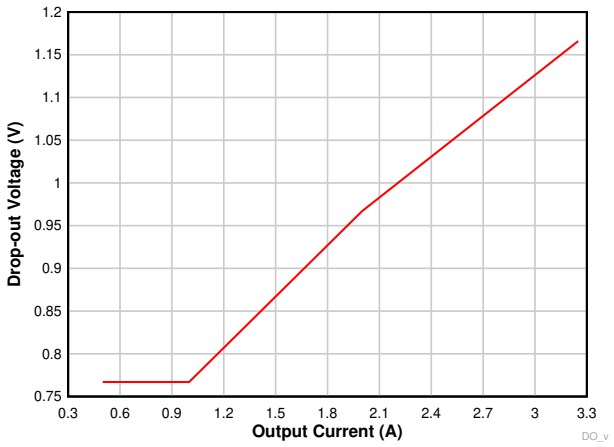
V_{OUT} = 3.3V　　f_{SW} = 2100kHz (FPWM)

図 8-15. スイッチング周波数と入力電圧との関係



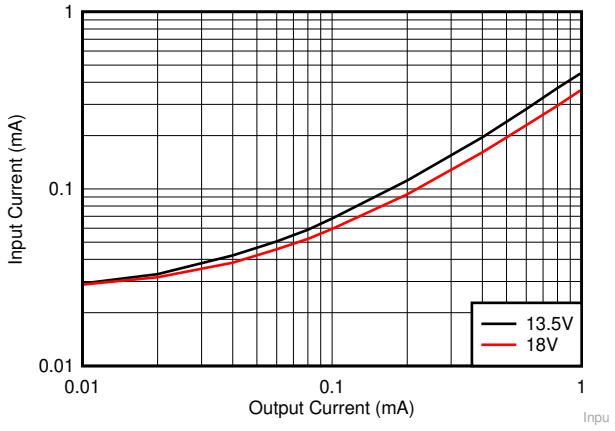
V_{OUT} = 5V

図 8-16. ドロップアウト電圧と出力電流との関係 (-1% の電圧降下)



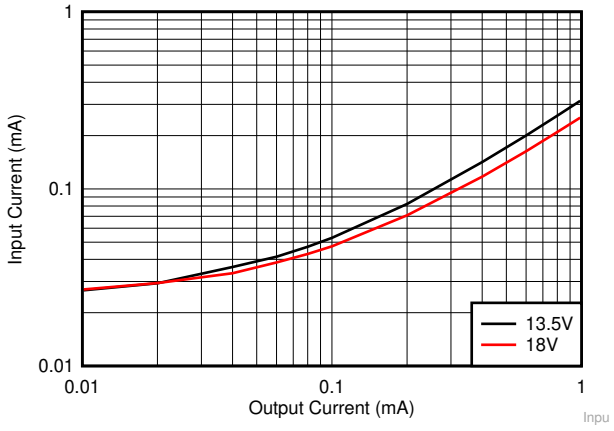
V_{OUT} = 5V

図 8-17. 1.85MHz までのドロップアウト電圧と出力電流との関係



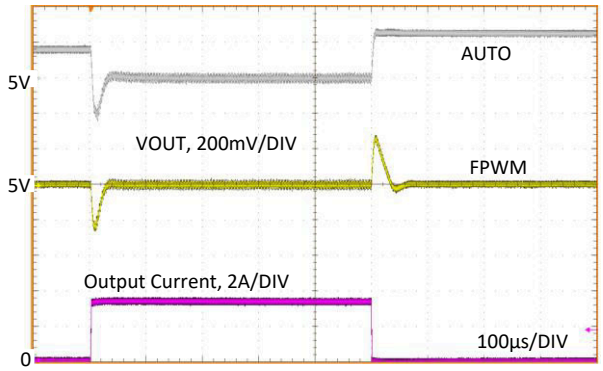
V_{OUT} = 5V

図 8-18. 入力電源電流と出力電流との関係



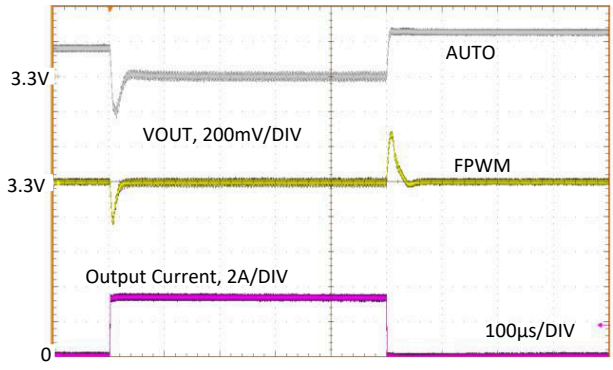
V_{OUT} = 3.3V

図 8-19. 入力電源電流と出力電流との関係



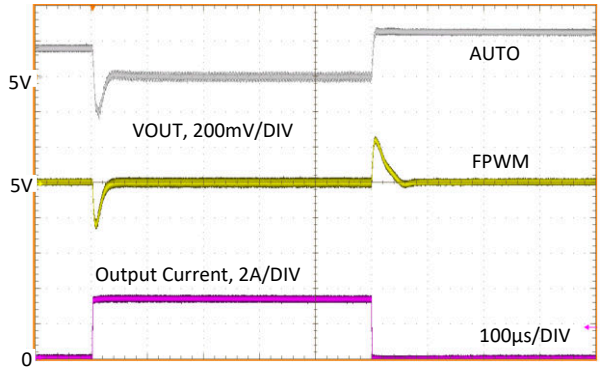
0A ～ 3.25A、2µs　　V_{OUT} = 5V　　f_{SW} = 400kHz

図 8-20. 負荷過渡



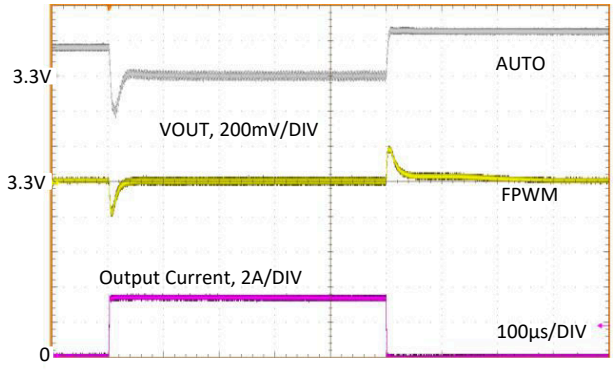
0A ～ 3.25A、2µs　　V_{OUT} = 3.3V　　f_{SW} = 400kHz

図 8-21. 負荷過渡



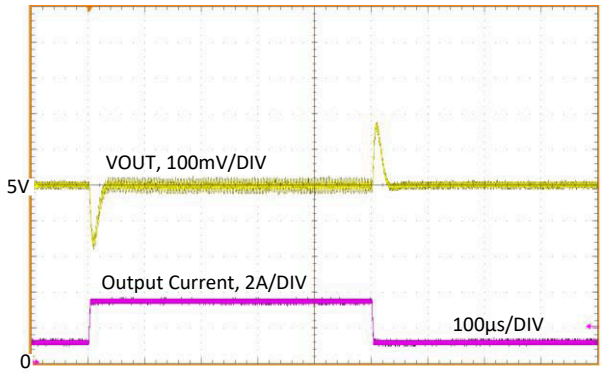
0A ～ 3.25A、2µs　　V_{OUT} = 5V　　f_{SW} = 2100kHz

図 8-22. 負荷過渡



0A ～ 3.25A、2µs　　V_{OUT} = 3.3V　　f_{SW} = 2100kHz

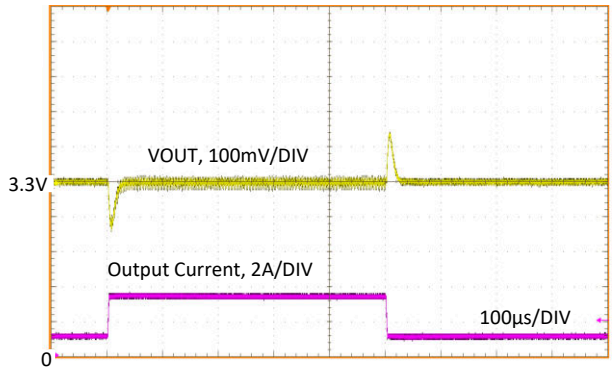
図 8-23. 負荷過渡



V_{OUT} = 5V
自動

f_{SW} = 400kHz
1A ～ 3.25A、2µs

図 8-24. 負荷過渡



V_{OUT} = 3.3V
自動

f_{SW} = 400kHz
1A ～ 3.25A、2µs

図 8-25. 負荷過渡

Copyright © 2025 Texas Instruments Incorporated

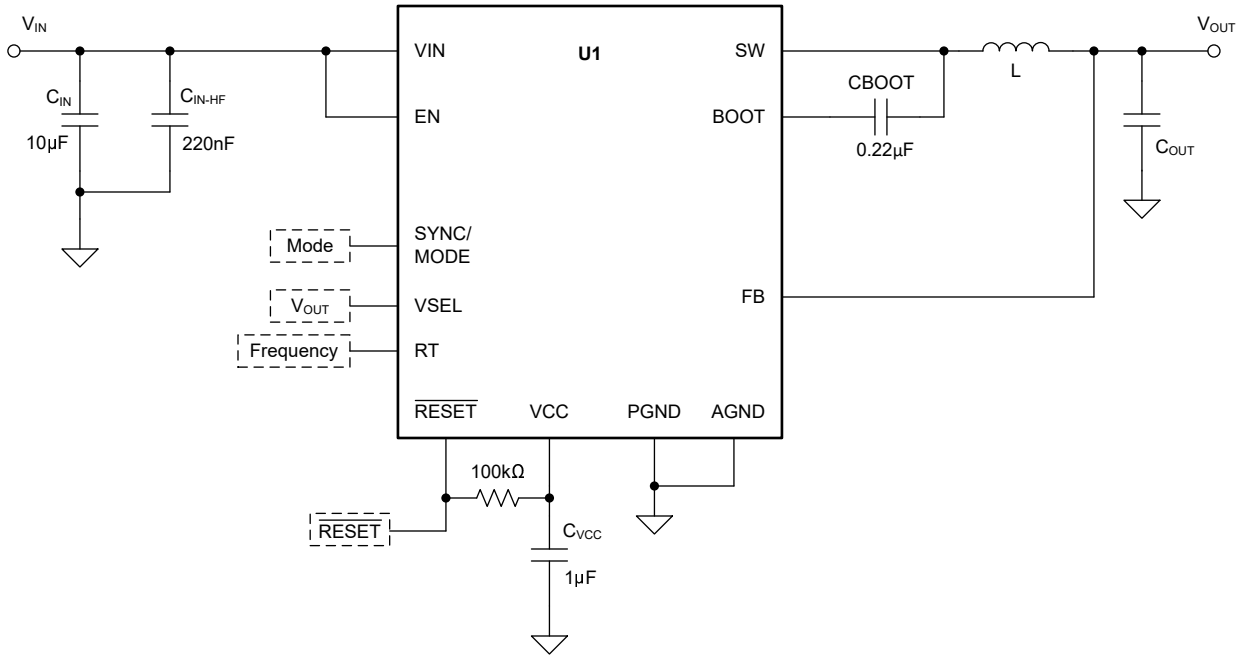


図 8-26. 代表的なアプリケーションの特性曲線で使われた回路

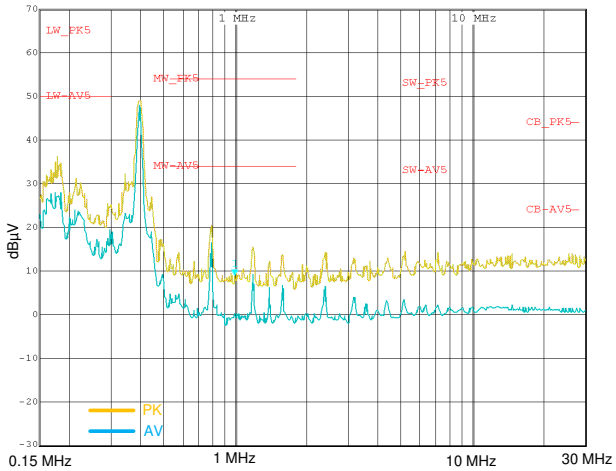
表 8-3. 代表的なアプリケーションの特性曲線で使われた BOM

V_{OUT} (1)	FREQUENCY	出力電流	C_{OUT}	L	U1
3.3V	400kHz	3.25A	3 × 22µF	6.8µH、22mΩ	LM63635D
3.3V	2100kHz	3.25A	3 × 22µF	1.5µH、10mΩ	LM63635D
5V	400kHz	3.25A	3 × 22µF	6.8µH、22mΩ	LM63635D
5V	2100kHz	3.25A	3 × 22µF	1.5µH、10mΩ	LM63635D

(1) この表の値は、特定の性能基準を強化するために選択されたものであり、標準的な値を表すことはできません。

8.2.4 EMI 性能曲線

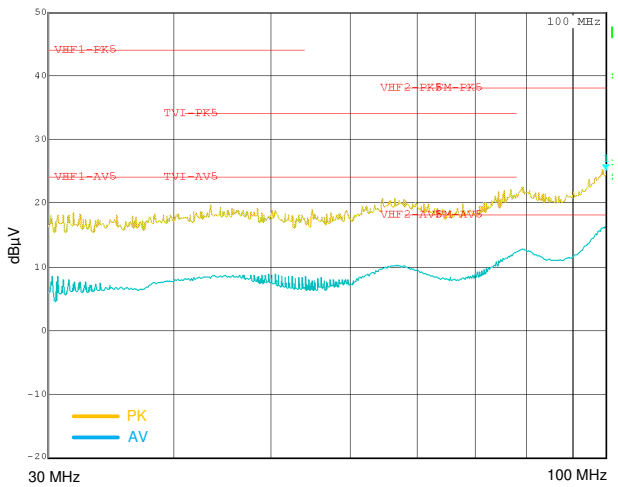
EMI の結果は、PCB レイアウトとテストの設定に大きく依存します。ここに示す結果は、一般的なものであり、情報提供のみを目的としています。図 8-29 に、使用する EMI フィルタを示します。ここに示す限界線は CISPR25 Class 5 を参照しています。



V_{OUT} = 5V
ディザ

f_{SW} = 400kHz
I_{OUT} = 3.25A

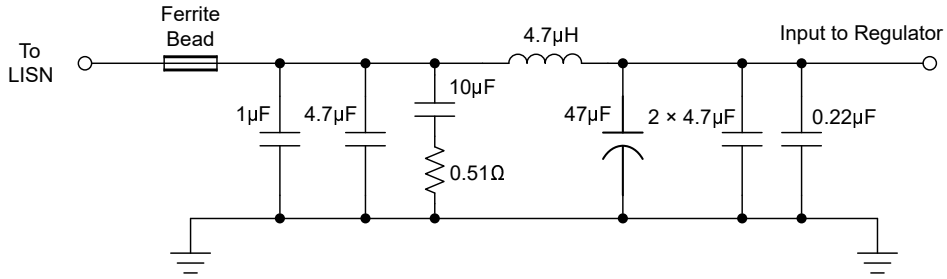
図 8-27. 150kHz ～ 30MHz の伝導型 EMI (代表値)



V_{OUT} = 5V
ディザ

f_{SW} = 400kHz
I_{OUT} = 3.25A

図 8-28. 30MHz ～ 108MHz の伝導型 EMI (代表値)



A. *EMI 性能曲線* に記載されている EMI 測定にのみ使用する入力フィルタ。

図 8-29. 標準入力 EMI フィルタ

8.3 設計のベスト プラクティス

- *絶対最大定格* を超過してはなりません。
- *推奨動作条件* を超過してはなりません。
- *ESD 定格* を超過してはなりません。
- EN 入力をフローティングにしないでください。
- 出力電圧が入力電圧を超えないように、またグランドを下回らないようにしてください。
- *熱に関する情報* 記載されている $R_{\theta JA}$ の値をアプリケーションの設計に使用しないでください。セクション 8.2.2.9 を参照してください。
- 設計を量産用に確定する前に、このデータシートに記載されているすべてのガイドラインと推奨事項に従ってください。テキサス・インスツルメンツのアプリケーション エンジニアが、設計および PCB レイアウトの評価をサポートして、プロジェクトの成功を支援します。
- 220nF のコンデンサを使用して、デバイスの VIN および PGND ピンに直接接続します。詳しくは、セクション 8.2.2.5 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.4 電源に関する推奨事項

入力電源の特性は、このデータシートの セクション 6 に記載されている制限と互換性がある必要があります。また、入力電源は、負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流は、式 14 を使って見積もることができます。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \tag{14}$$

ここで、

- η は効率です。

レギュレータを長いワイヤや PCB パターンで入力電源に接続している場合は、良好な性能を実現するために特別な注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、レギュレータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスは、低 ESR セラミック入力コンデンサとの組み合わせによって不足減衰共振回路を形成し、レギュレータへの入力での過電圧過渡の原因となる可能性があります。寄生抵抗は、出力に負荷過渡が加わった際に、VIN ピンの電圧が低下する原因となる可能性があります。アプリケーションが最小入力電圧に近い値で動作している場合、この低下によってレギュレータが瞬間的にシャットダウンし、リセットされる可能性があります。この種の問題を解決する最善策は、入力電源からレギュレータまでの距離を短くして、セラミック入力コンデンサと並列にアルミニウムまたはタンタルの入力コンデンサを使用することです。この種のコンデンサの ESR は比較的低いため、入力共振回路の減衰およびオーバーシュートの低減に役立ちます。通常、20μF～100μF の範囲の値は入力のダンピングに十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。

TI は入力電源は、出力電圧を 0.3V 以上下回ることはできないことを推奨します。このような状況では、出力コンデンサはハイサイド・パワー MOSFET のボディ・ダイオードを通して放電されます。結果として得られる電流は予測不能な動作を引き起こし、極端な場合にはデバイスの損傷が発生する可能性があります。アプリケーションでこの可能性がある場合は、VIN から VOUT へのショットキー ダイオードを使用して、レギュレータの周囲にこの電流を供給します。

場合によっては、コンバータの入力に過渡電圧サプレッサ (TVS) が使われています。この素子の種類には、スナップバック特性を持つもの (サイリスタ型) があります。このタイプの特性を持つデバイスの使用は推奨しません。このタイプの TVS が作動すると、クランプ電圧は非常に低い値に低下します。この電圧がレギュレータの出力電圧よりも低い場合、前述の通り、出力コンデンサはデバイスを通して放電します。

システムに関するその他の考慮事項として、レギュレータの前に入力フィルタが使われる場合があります。入力フィルタは、注意深く設計しないと、不安定性につながる可能性があり、上述の現象の一因ともなり得ます。*AN-2162『DC/DC コンバータ向け伝導 EMI の簡単な成功事例』ユーザー ガイド* では、スイッチング レギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

DC/DC コンバータの PCB レイアウトは、最適な設計性能を実現するために重要です。PCB レイアウトが不適切な場合、適正な回路図設計の動作の妨げとなる可能性があります。コンバータが適切にレギュレートしている場合でも、PCB レイアウトが不適切では、堅牢な設計と量産できない設計という違いが生じる可能性があります。さらに、レギュレータの EMI 性能は、PCB レイアウトに大きく依存します。降圧コンバータにおける PCB の最も重要な機能は、入力コンデンサと電源グランドによって形成されるループです (図 8-30 を参照)。このループには、パターンのインダクタンスに応答して大きな過渡電圧を発生させる可能性がある大きな過渡電流が流れます。これらの望ましくない過渡電圧は、コンバータの正常な動作を妨げます。このことから、寄生インダクタンスを低減するため、このループ内のパターンは広く短くする必要があり、ループの面積はできる限り小さくする必要があります。 図 8-31 および 図 8-32 は、LM63635-Q1 の重要なコンポーネントの推奨レイアウトを示します。

1. *入力コンデンサは、VIN および PGND ピンにできる限り近づけて配置してください。*VIN および PGND ピンは隣接しているため、入力コンデンサを簡単に配置できます。この領域の熱リリーフは推奨されません。
2. *VCC のバイパス コンデンサは、VCC ピンの近くに配置します。*このコンデンサは、本デバイスの近くに配置し、短く広いパターンで VCC および PGND ピンに配線する必要があります。この領域の熱リリーフは推奨されません。

3. *C_{BOOT} コンデンサには広いパターンを使用します。* C_{BOOT} コンデンサは、デバイスのできる限り近くに、BOOT および SW ピンに短くて幅の広いパターンで配置します。この領域の熱リリーフは推奨されません。
4. *帰還分圧器は、本デバイスの FB ピンのできるだけ近くに配置します。* 外付け帰還分圧器を ADJ オプションで使用する場合、R_{FBB}、R_{FBT}、C_{FF} をデバイスの近くに配置します。FB および AGND への接続は、短くする必要があり、かつ本デバイスのそれらのピンに近付ける必要があります。V_{OUT} への接続は、多少長くなってもかまいません。ただし、この後者のパターンは、レギュレータの帰還経路に静電容量結合する可能性があるすべてのノイズ源 (SW ノードなど) の近くには配線しないでください。
5. *内層の 1 つを使って、少なくとも 1 つのグランド プレーンを配置します。* このプレーンは、ノイズ シールドと放熱経路として機能します。
6. *サーマル パッドをグランド プレーンに接続します。* サーマル パッド (DAP) 接続は、PCB のグランド プレーンに半田付けできます。このパッドはヒートシンク接続およびレギュレータの電気的グランド接続として機能します。この半田接続の完全性は、アプリケーションの総合的な実効 $R_{\theta JA}$ に直接影響します。この領域の熱リリーフは推奨されません。
7. *VIN、VOUT、SW、および PGND には広いパターンを使います。* コンバータの入力または出力経路でのすべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広くかつ真っすぐにする必要があります。この領域の熱リリーフは推奨されません。
8. *適切なヒートシンクのために十分な PCB 領域を確保します。* *セクション 8.2.2.9* で述べたように、最大負荷電流と周囲温度に応じて、$R_{\theta JA}$ を低く抑えるには十分な銅面積を使用する必要があります。PCB の上層と下層は 2 オンス銅箔とし、最低でも 1 オンス以上とする必要があります。ヒートシンク ビアの配列を使用して、サーマル パッド (DAP) を PCB 下面のグランド プレーンに接続します。PCB 設計に複数の銅層を使用している場合は (推奨設計)、これらのサーマル ビアも内部層の熱拡散グランド プレーンに接続することができます。
9. *スイッチングする領域は小さく保ちます。* SW ピンをインダクタに接続する銅箔領域は、できるだけ短くかつ広くします。同時に、放射 EMI を低減するため、このノードの総面積を最小化する必要があります。

その他の重要なガイドラインについては、以下の PCB レイアウト資料を参照してください。

- *スイッチング電源レイアウトのガイドラインアプリケーション レポート*
- *Simple Switcher PCB レイアウト ガイドラインアプリケーション レポート*
- *『独自電源の構築 - レイアウトの考慮事項』セミナー*
- *LM4360x および LM4600x による低放射 EMI レイアウトの簡素化アプリケーション レポート*

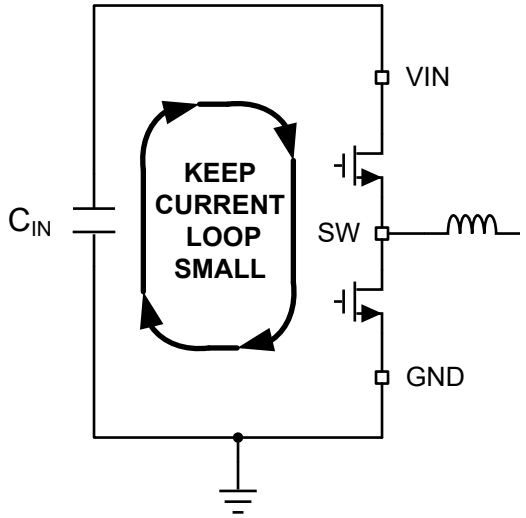


図 8-30. 高速エッジを持つ電流ループ

8.5.1.1 グランドと熱に関する考慮事項

前述のように、テキサス・インスツルメンツでは、中間層の 1 つをソリッド グランド プレーンとして使用することを推奨しています。グランド プレーンは、ノイズの影響を受けやすい回路とパターンにシールドを提供します。また、制御回路に対し

Copyright © 2025 Texas Instruments Incorporated

て、低ノイズのリファレンス電位も提供します。バイパス コンデンサの隣にあるビアを使用して、AGND および PGND ピンをグランド プレーンに接続します。PGND ピンは、ローサイド MOSFET スイッチのソースに直接接続し、入力および出力コンデンサのグランドにも直接接続します。PGND にはスイッチング周波数におけるノイズが含まれており、負荷変動により戻ってくる場合があります。PGND パターンは、VIN および SW パターンと同様に、グランド プレーンの片方に固定する必要があります。グランド プレーンのもう片方はノイズが非常に少ないため、ノイズの影響を受けやすい配線に使用します。

テキサス・インスツルメンツは、プライマリ サーマル パスとして デバイスのサーマル パッド (DAP) を使用して十分なデバイス ヒートシンクを用意することを推奨しています。DAP をシステムのグランド プレーンのヒートシンクに接続するには、10mil サーマル ビアの 4 × 3 以上の配列を使用します。ビアは、DAP の下に均等に配置する必要があります。システムのグランド プレーンでは、効率の高い放熱のために、レイヤの上下に出来る限り多くの銅を使用します。4 つの層の銅厚が上からそれぞれ 2 オンス、1 オンス、1 オンス、2 オンスとなっている 4 層基板を使用します。十分な厚さの銅箔と適切なレイアウトを備えた 4 層基板は、低インピーダンスの電流導通、適切なシールド効果、低熱抵抗を実現します。

8.5.2 レイアウト例

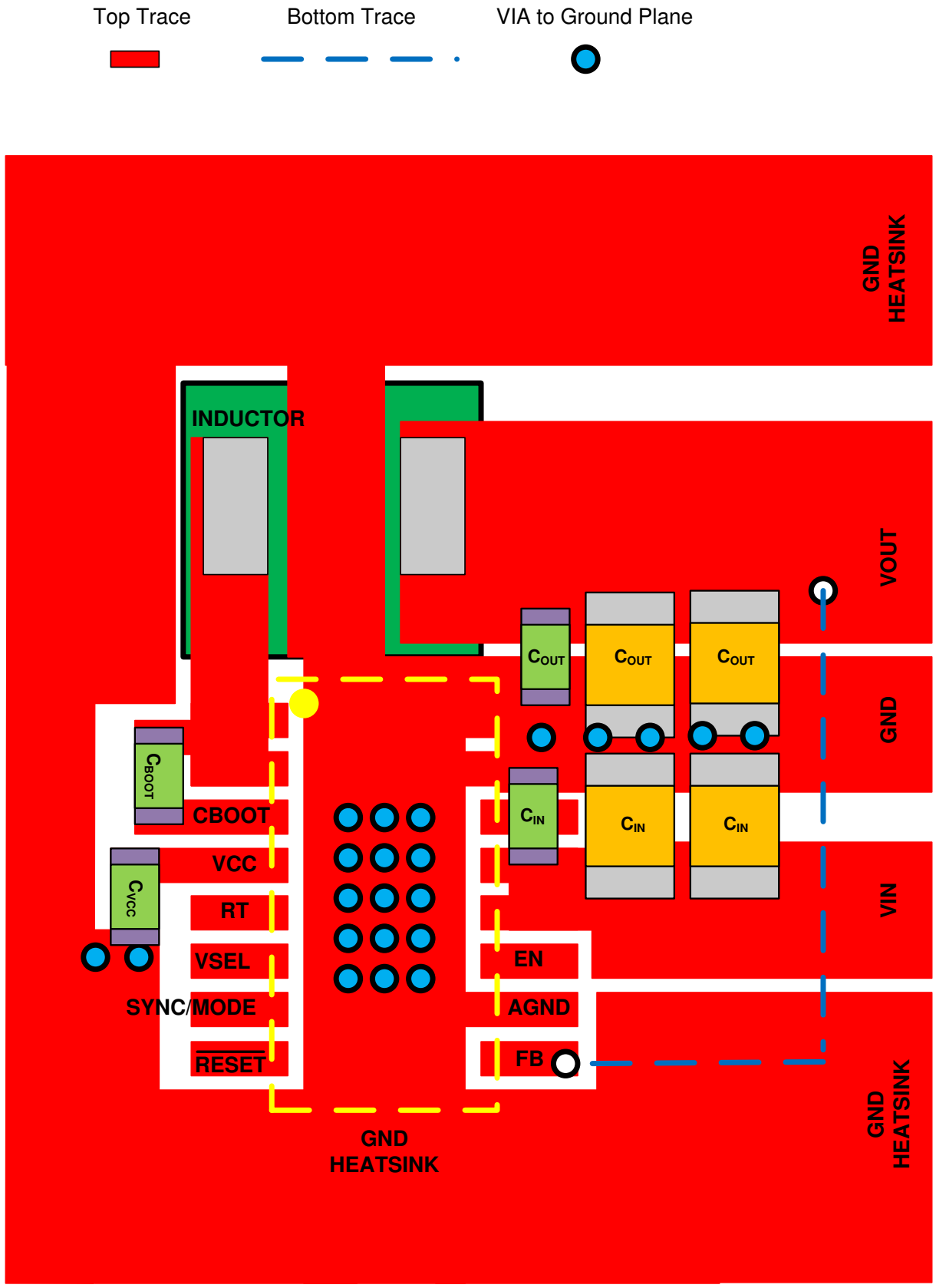


図 8-31. HTSSOP パッケージのレイアウト例

Copyright © 2025 Texas Instruments Incorporated

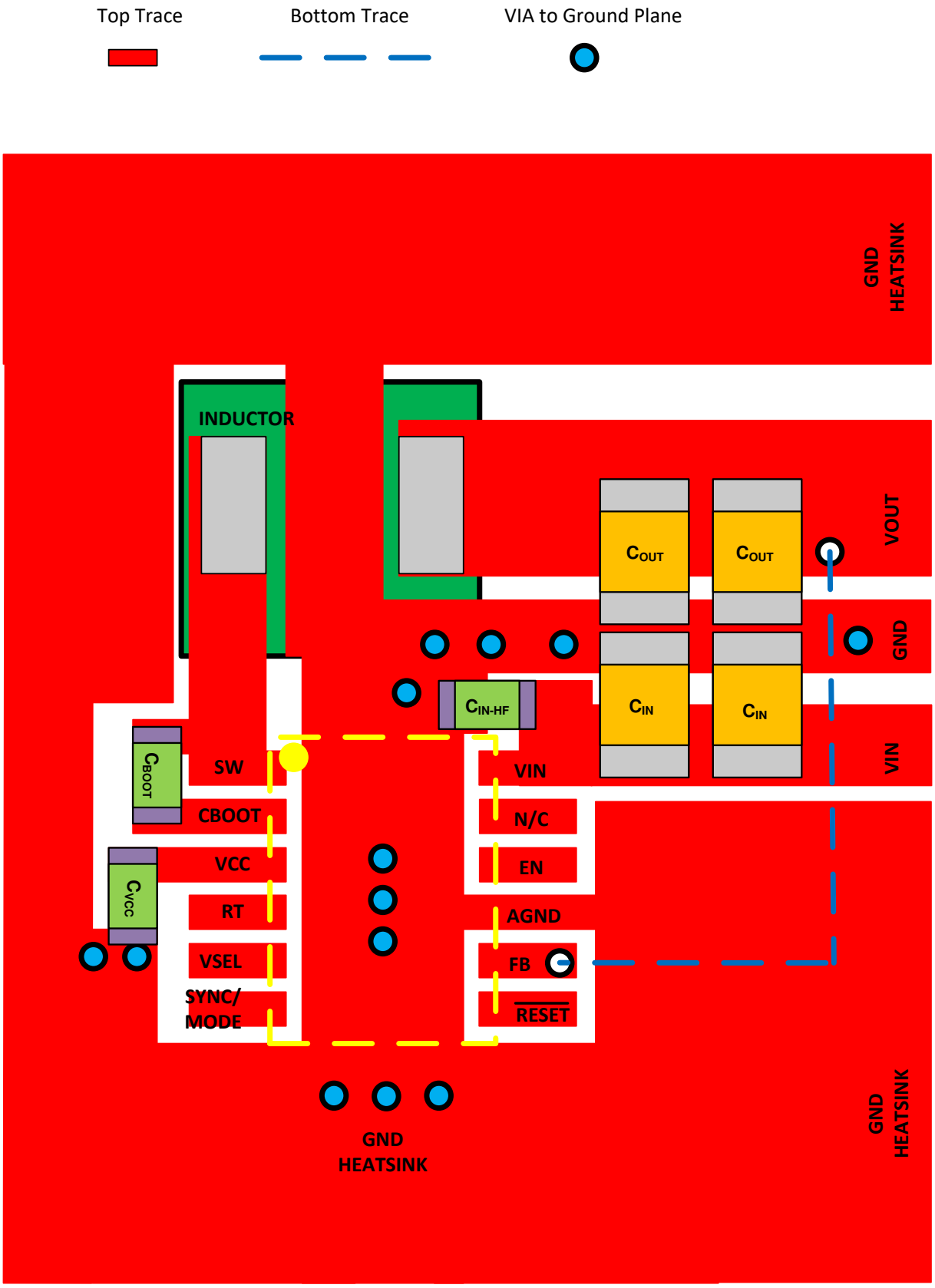


図 8-32. WSON パッケージのレイアウト例

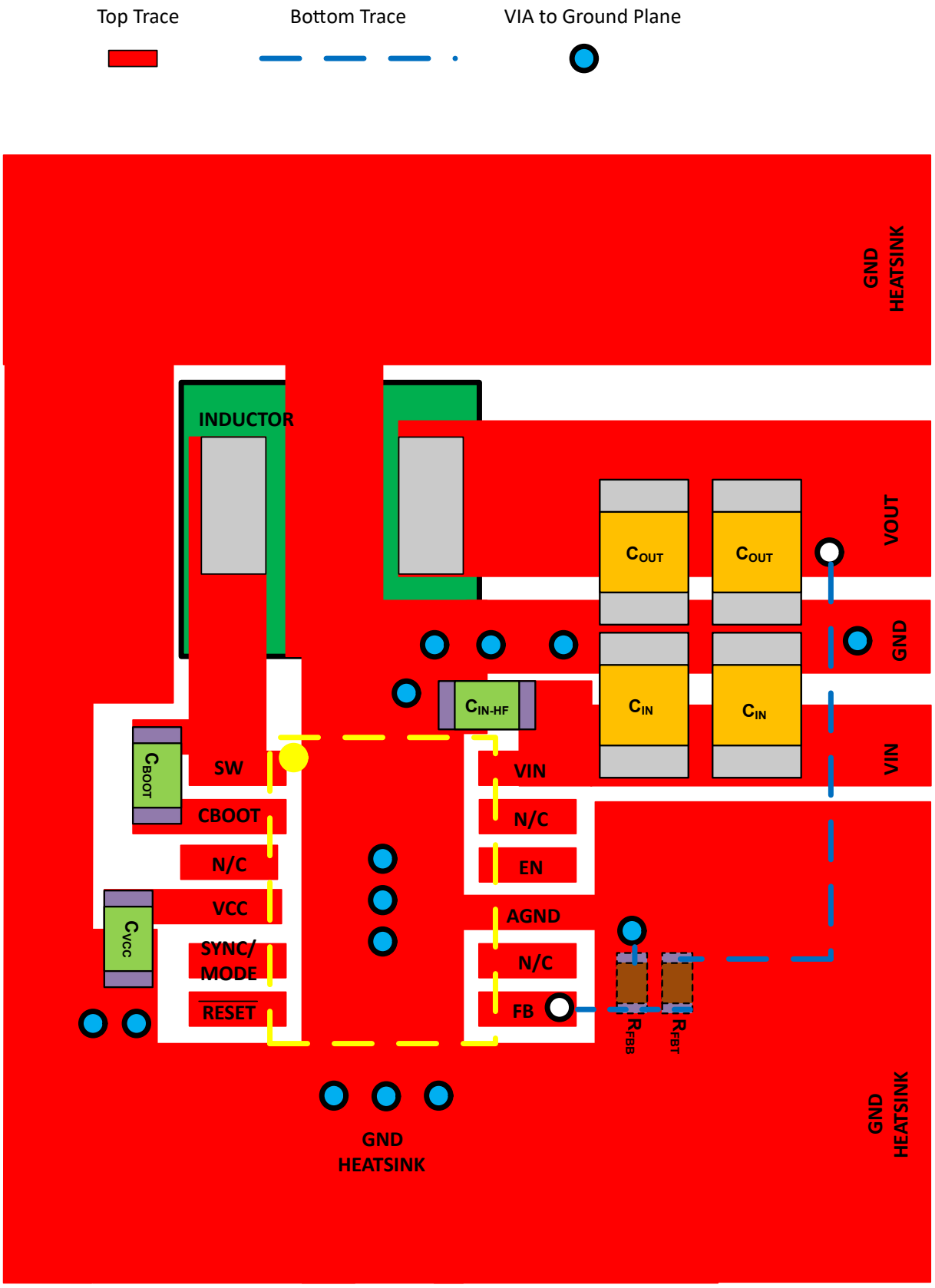


図 8-33. WSON パッケージ 2 番目のポイントのレイアウト例

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 デバイスの命名規則

以下の図に、LM63635-Q1 のデバイス命名規則を示します。各バリエーションの提供状況については、*「デバイス比較表」*を参照してください。他のオプションの詳細と提供状況については、テキサス インスツルメンツの販売代理店またはテキサス インスツルメンツの E2E サポート フォーラム にお問い合わせください。

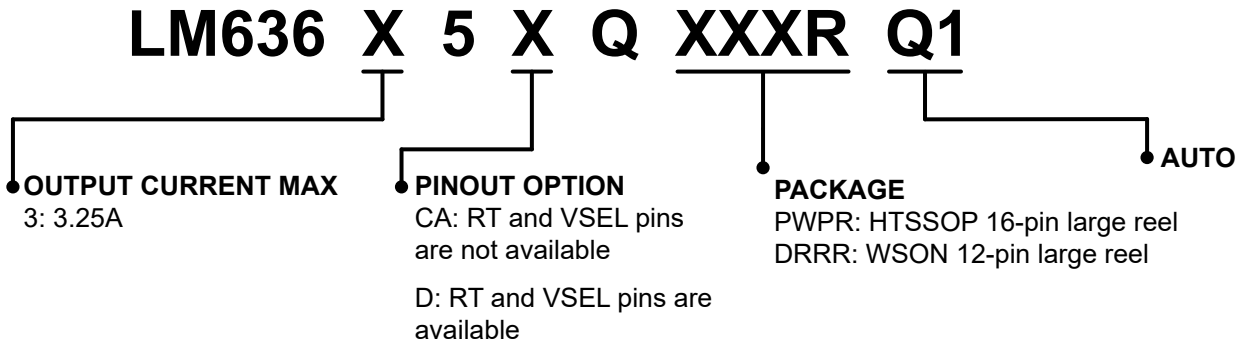


図 9-1. デバイスの命名規則

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*AN-2020『過去ではなく、現在の識見による熱設計』アプリケーション ノート*
- テキサス インスツルメンツ、*『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション ノート*
- テキサス インスツルメンツ、*半導体および IC パッケージの熱評価基準 アプリケーション ノート*
- テキサス インスツルメンツ、*『LM43603 および LM43602 によるシンプルな熱設計』アプリケーション ノート*
- テキサス・インスツルメンツ、*『新しい熱評価基準の解説』アプリケーション ノート*
- テキサス インスツルメンツ、*『スイッチング電源 レイアウト ガイドライン』アプリケーション ノート*
- テキサス インスツルメンツ、*『Simple Switcher PCB レイアウトガイドライン』アプリケーション ノート*
- テキサス・インスツルメンツ、*独自電源の構築 - レイアウトの考慮事項セミナー*
- テキサス インスツルメンツ、*『LM4360x および LM4600x による低放射 EMI レイアウトのシンプル設計』アプリケーション ノート*

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision H (May 2025) to Revision I (October 2025) — **Page**

- *「電気的特性」*表の I_{L-NEG} を更新 8

Changes from Revision G (November 2024) to Revision H (May 2025) — **Page**

- *「デバイスの比較」*表から定格電流の列を削除 3
- *絶対最大定格* 表の VOUT_SEL を VSEL 変更 6
- *「絶対最大定格」*の表の注を更新 6
- *推奨動作条件* 表の VOUT_SEL を VSEL に変更 6
- *「電気的特性」*表で HTSSOP パッケージと WSON パッケージを結合するように I_{LKG-EN} を更新。HTSSOP パッケージの I_{LKG-EN} (max) を 150nA から 300nA に変更 8
- *「電気的特性」*表の I_{L-NEG} 仕様を更新: 8
- *「スイッチング特性」*表の HTSSOP パッケージと WSON パッケージを結合するように f_{SPREAD} 仕様を更新。HTSSOP パッケージの f_{SPREAD} を ±3.6% から ±5% に変更 11
- *「機能ブロック図」*で PMOS FET を NMOS FET に変更 14
- 周波数拡散を ±3% から ±5% に変更 16
- EMI 入力フィルタ インダクタのユニットを µF から µH に変更 36

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM63635CAQDRRRQ1	Active	Production	WSON (DRR) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	L635CA
LM63635CAQDRRRQ1.A	Active	Production	WSON (DRR) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	L635CA
LM63635DQDRRRQ1	Active	Production	WSON (DRR) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	L63635
LM63635DQDRRRQ1.A	Active	Production	WSON (DRR) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	L63635
LM63635DQPWPRQ1	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	63635DQ
LM63635DQPWPRQ1.A	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	63635DQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

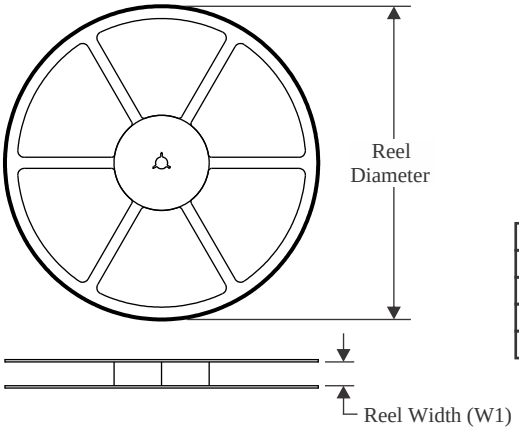
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

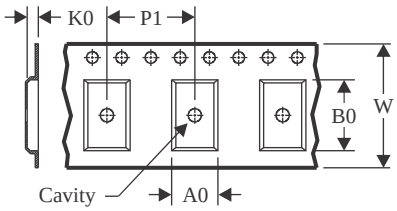
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

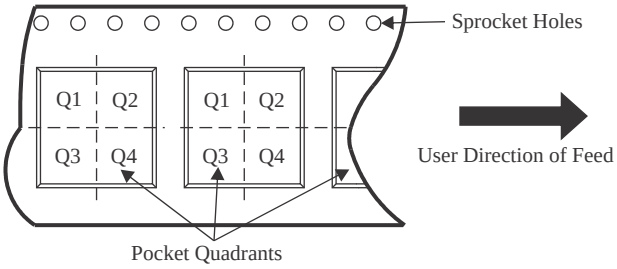


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

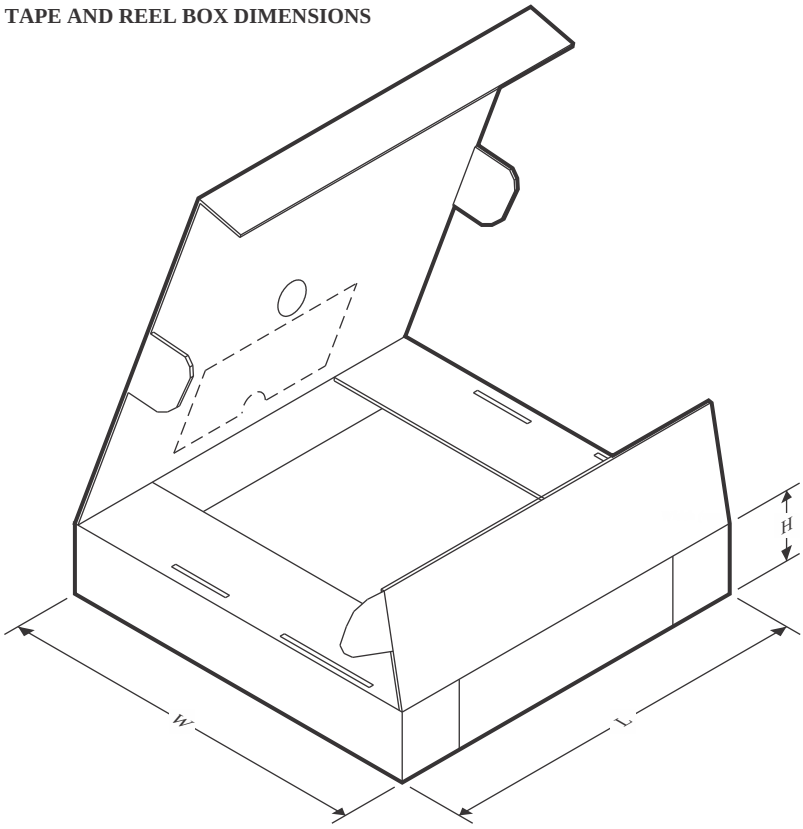
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

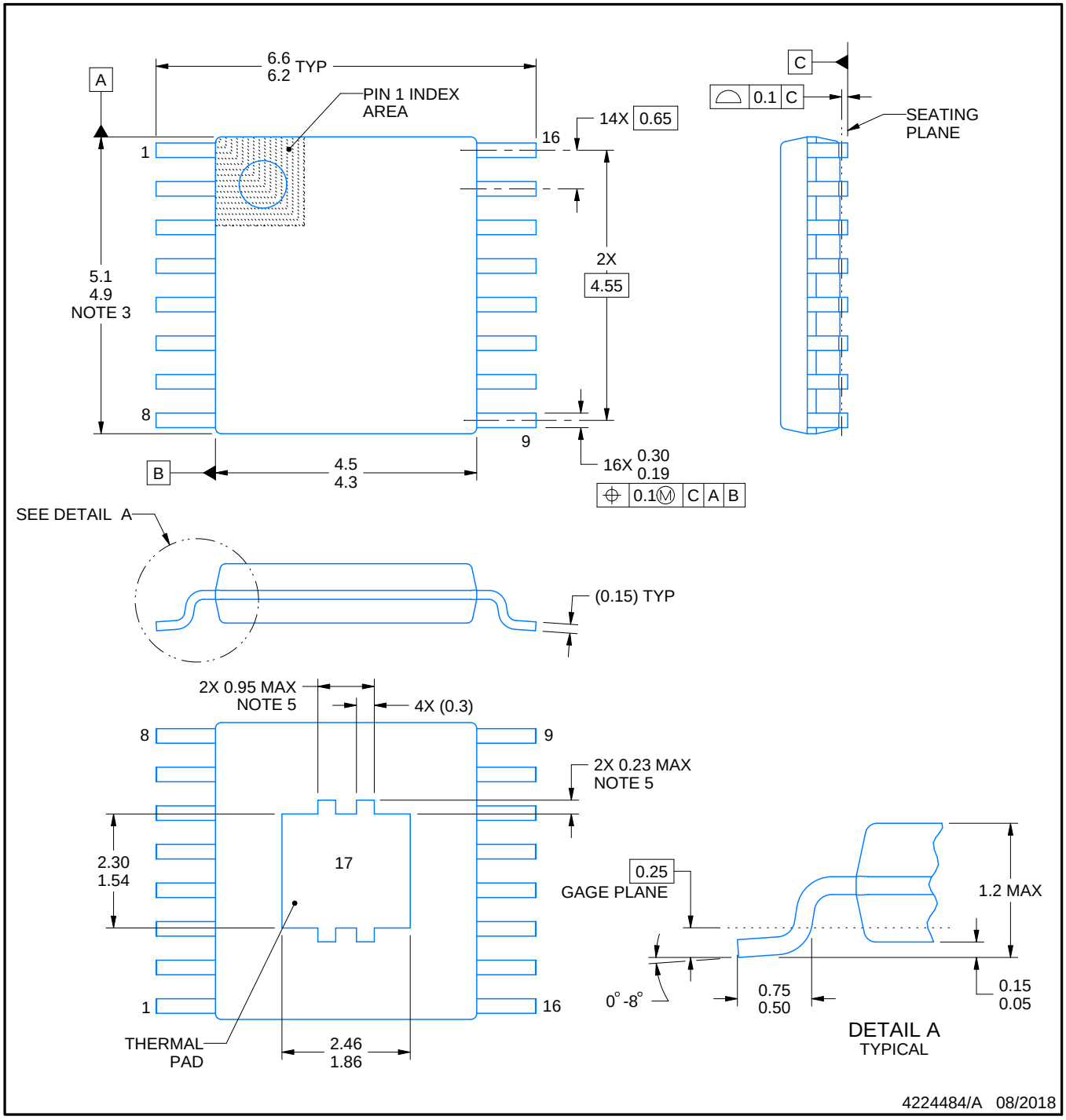
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM63635CAQDRRRQ1	WSON	DRR	12	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LM63635DQDRRRQ1	WSON	DRR	12	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LM63635DQPWPRQ1	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

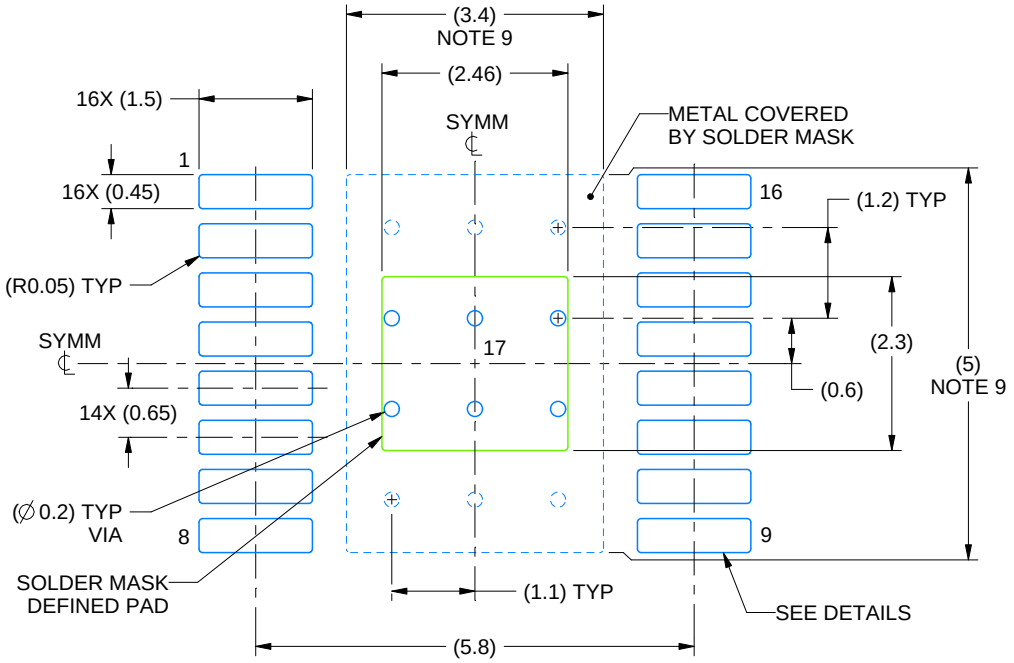
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM63635CAQDRRRQ1	WSON	DRR	12	3000	367.0	367.0	35.0
LM63635DQDRRRQ1	WSON	DRR	12	3000	367.0	367.0	35.0
LM63635DQPWPRQ1	HTSSOP	PWP	16	2000	353.0	353.0	32.0



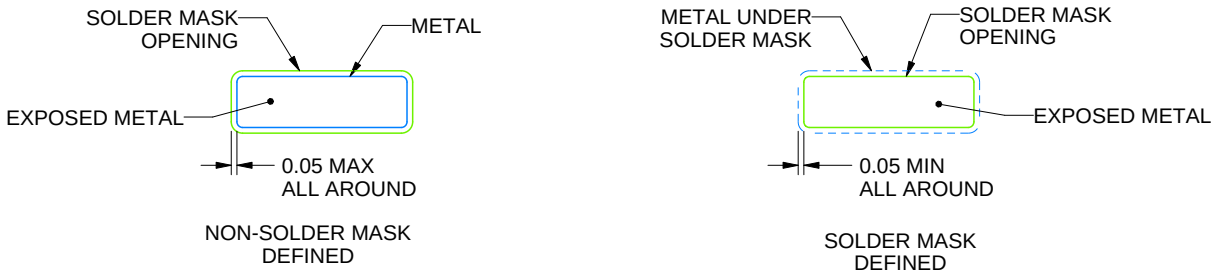
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

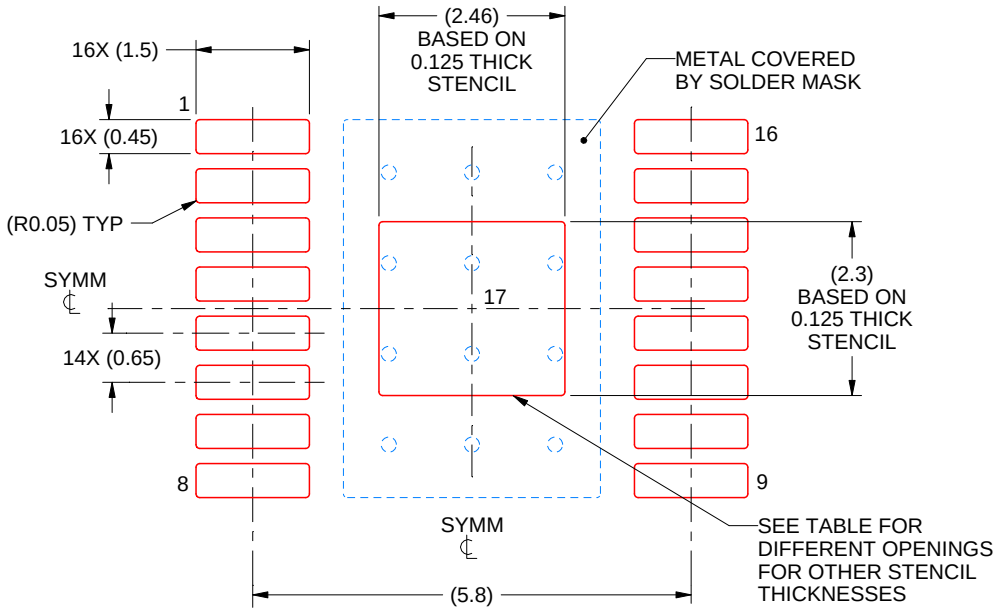


SOLDER MASK DETAILS

4224484/A 08/2018

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.75 X 2.57
0.125	2.46 X 2.30 (SHOWN)
0.15	2.25 X 2.10
0.175	2.08 X 1.94

4224484/A 08/2018

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

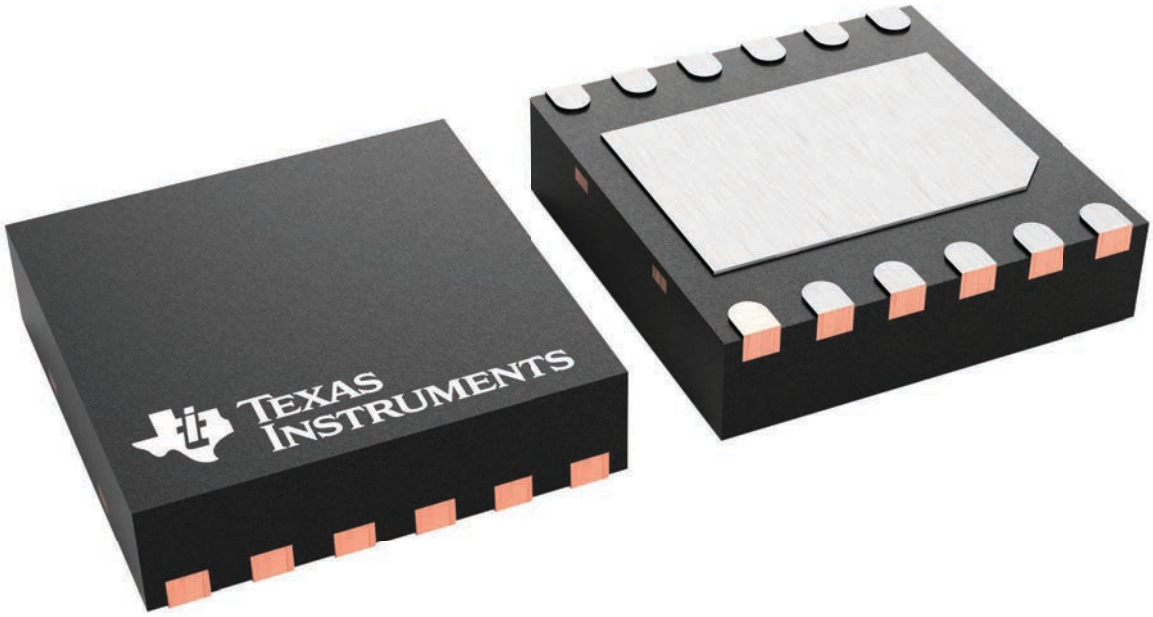
DRR 12

WSON - 0.8 mm max height

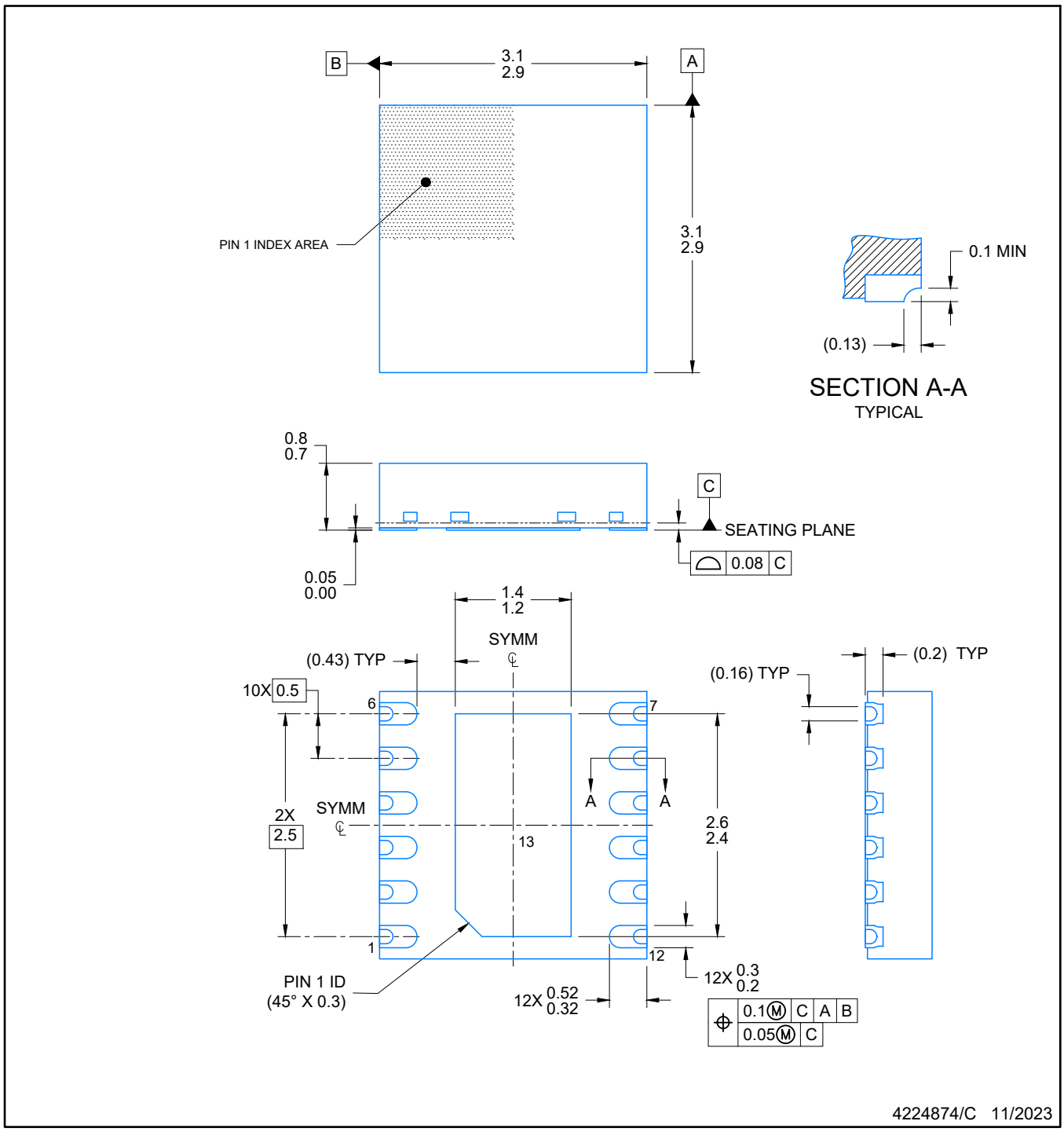
3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

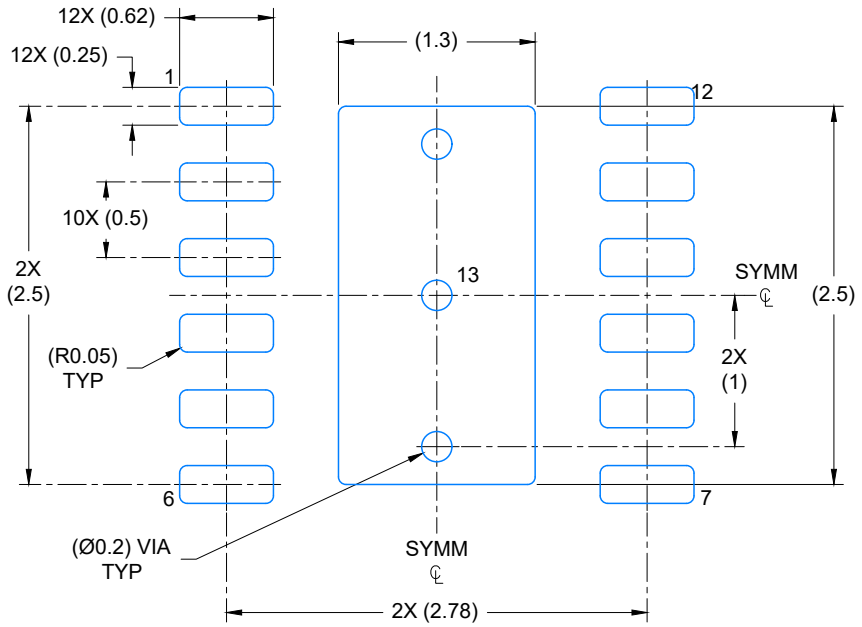


4223490/B

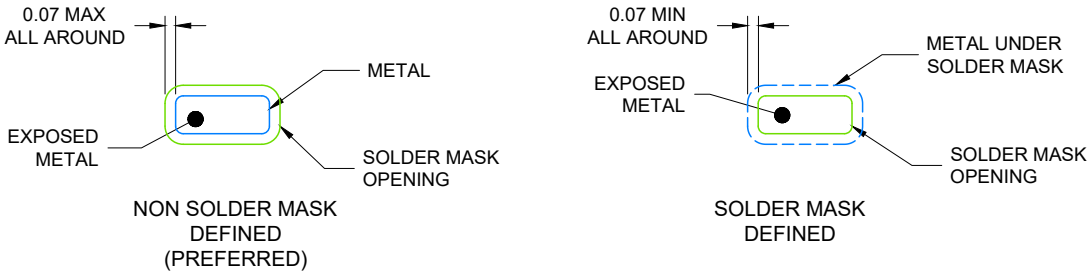


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

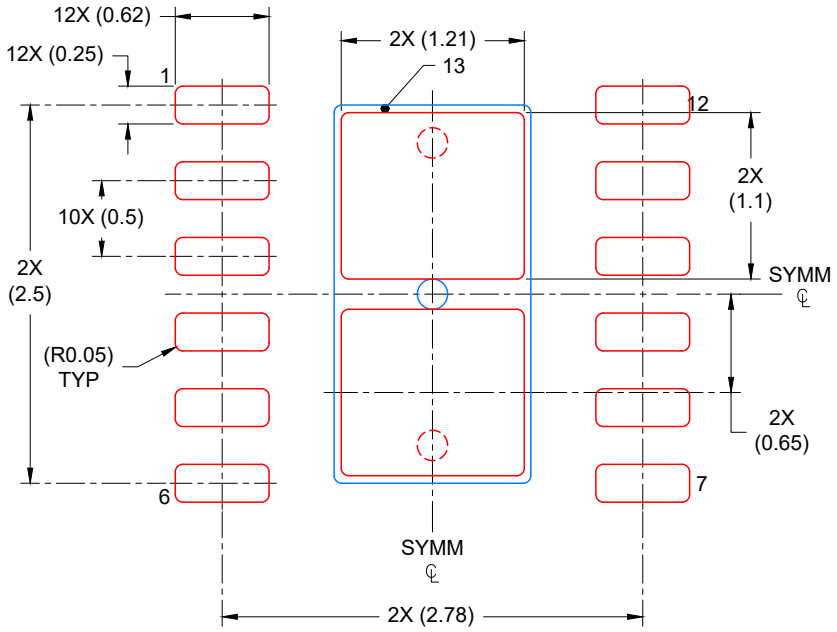


SOLDER MASK DETAILS

4224874/C 11/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
82% PRINTED COVERAGE BY AREA
SCALE: 20X

4224874/C 11/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月