

LM614xxT-Q1 3V~36V、8A/10A、車載用降圧コンバータ、電力密度と低 EMI に最適化、熱特性強化型パッケージで両面冷却

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: -40°C~+125°Cの動作時周囲温度
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 3V~36V の入力電圧範囲
- 低 EMI 設計:
 - CISPR 25 Class 5 準拠 EVM
 - ピンで設定可能なスペクトラム拡散
 - SW ノードの立ち上がり時間を調整可能
 - AM 帯域の上下での動作:ピンで設定可能、400kHz および 2.2MHz 固定、または 200kHz~2.2MHz の範囲で可変
 - 低 EMI の対称的ピン配置
 - 固定周波数またはパルス周波数変調 (PFM) にピンで設定可能な軽負荷モード
- 高効率なデザイン
 - 5V_{OUT} で 8A 負荷に対して 95% の効率
 - 1μA 未満のシャットダウン電流 (標準値)
- 高い電力密度
 - 補償、ソフトスタート、電流制限、サーマル シャットダウン、UVLO を内蔵
 - 4.5mm x 3.5mm ウェットアブル フランク QFN パッケージ
- 熱特性強化型パッケージは上面と底面に露出サーマルパッドを備え、R_{θJC(top)} = 0.64°C/W での両面冷却が可能
- LM62460-Q1、LM61480-Q1、LM61495-Q1 とピン互換

2 アプリケーション

- 車載用インフォテインメントおよびインストルメント クラス
- 先進運転支援システム (ADAS)

3 概要

LM614xxT-Q1 降圧コンバータは、可変 (1V~入力電圧の期待値の 95% に設定可能) の出力電圧を供給できる車載用レギュレータです。これらのレギュレータは 3~36V の広い入力電圧範囲で動作し、最大 42V の過渡耐性を備えています。

このファミリは、低 EMI を意図して設計されています。このデバイスには、ピンで選択可能な拡散スペクトラム機能と、SW ノードの立ち上がり時間の調整機能が組み込まれています。デュアル ランダム拡散スペクトラム (DRSS) 周波数ホッピングは ±4% (標準値) に設定されており、三角波と擬似乱数を組み合わせた変調によってピーク放射を大幅に低減します。また、拡散スペクトラム変調に起因する出力電圧リップルを低減するための先進技術を備えています。

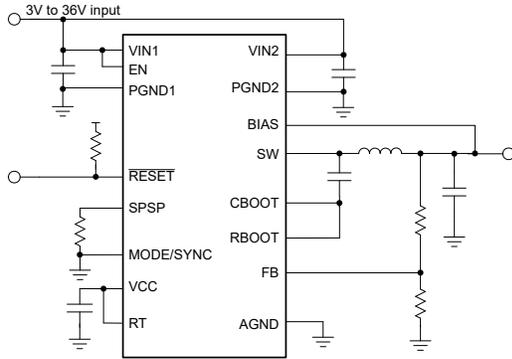
フィルタ機能と遅延リリースを備えたオープン ドレインの RESET 出力により、真のシステム ステータス表示を実現できます。自動モードでは、固定周波数パルス幅変調 (FPWM) 動作モードとパルス周波数変調 (PFM) 動作モードの間を自動的に遷移するため、無負荷時の消費電流をわずか 5μA (標準値) に抑えることができます。-40°C~+150°Cの接合部温度範囲について電気的特性が規定されています。

製品情報

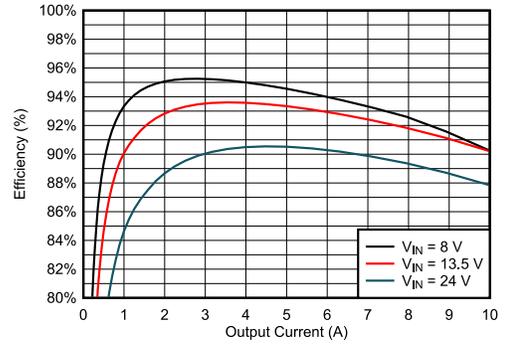
部品番号 ⁽³⁾	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
LM61495T-Q1	VAM (VQFN-HR, 16)	4.50mm x 3.50mm
LM61480T-Q1		

- 詳細については、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- [デバイス比較表](#) を参照してください。





概略回路図



EVM の効率 : $V_{OUT} = 5V$ 、 $F_{SW} = 2.2MHz$

目次

1 特長	1	7.3 機能説明	15
2 アプリケーション	1	7.4 デバイスの機能モード	28
3 概要	1	8 アプリケーションと実装	34
4 デバイス比較表	4	8.1 使用上の注意	34
5 ピン構成および機能	5	8.2 代表的なアプリケーション	34
6 仕様	7	8.3 電源に関する推奨事項	50
6.1 絶対最大定格.....	7	8.4 レイアウト	51
6.2 ESD 定格.....	7	9 デバイスおよびドキュメントのサポート	54
6.3 推奨動作条件.....	7	9.1 デバイス サポート.....	54
6.4 熱に関する情報.....	8	9.2 ドキュメントのサポート.....	54
6.5 電気的特性.....	8	9.3 ドキュメントの更新通知を受け取る方法.....	54
6.6 タイミング要件.....	10	9.4 サポート・リソース.....	54
6.7 スイッチング特性.....	11	9.5 商標.....	54
6.8 代表的特性.....	12	9.6 用語集.....	54
7 詳細説明	13	9.7 静電気放電に関する注意事項.....	54
7.1 概要.....	13	10 改訂履歴	55
7.2 機能ブロック図.....	14	11 メカニカル、パッケージ、および注文情報	56

4 デバイス比較表

デバイス	発注用製品型番	軽負荷	スペクトラム拡散	出力電圧	標準的な周波数	CURRENT
LM61495T-Q1	LM61495TQVAMRQ1	ピン選択可能	ピン選択可能	可変	ピン選択可能	10A
LM61480T-Q1	LM61480TQVAMRQ1	ピン選択可能	ピン選択可能	可変	ピン選択可能	8A

5 ピン構成および機能

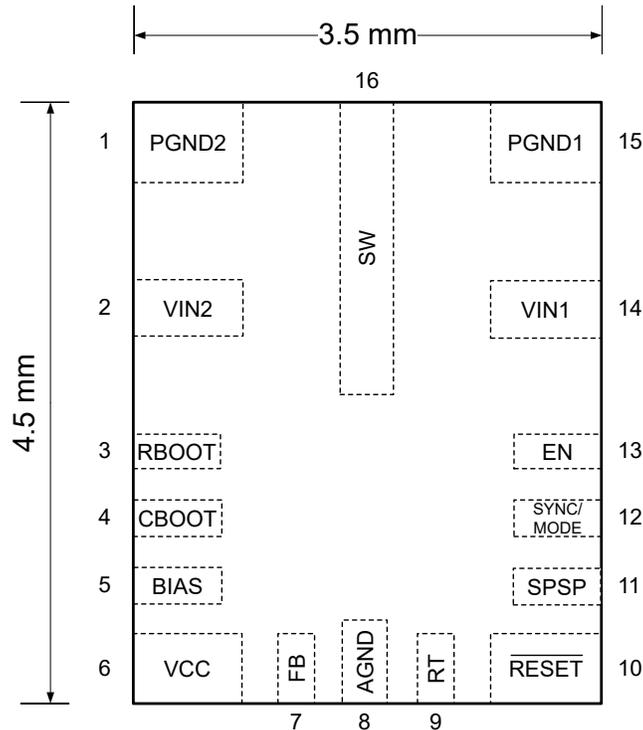


図 5-1. 16 ピン VQFN-HR、VAM パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
PGND2	1	G	内部ローサイド MOSFET の電源グラウンド。システム グラウンドに接続。PGND1 と低インピーダンスで接続する必要があります。このピンと VIN2 との間に高品質のバイパス コンデンサを接続します。
VIN2	2	P	レギュレータへの入力電源。このピンと PGND2 との間に高品質のバイパス コンデンサを接続します。VIN1 との間に低インピーダンス接続を確立します。
RBOOT	3	P	抵抗を介して CBOOT に接続します。抵抗 (通常 0Ω ~ 100Ω) を使用して、SW ノードの立ち上がり時間のスルーレートを調整します。図 7-10 を参照してください。
CBOOT	4	P	ハイサイドドライバの上側電源レール。SW ピンと CBOOT の間に 100nF コンデンサを接続します。SW ノードが Low の間は、内部ダイオードによってコンデンサが充電されます。
BIAS	5	P	内部電圧レギュレータへの入力。ピンを出力電圧ポイントに接続するか、3.3V ~ 12V の外部バイアス電源に接続します。最高の性能を得るには、このピンと GND の間に、オプションの高品質の 0.1μF コンデンサを接続します。出力電圧が 12V よりも高く、外部電源を使用しない場合は、ピンを接地してください。
VCC	6	O	内部電圧レギュレータ出力。内部制御回路への電源として使用されます。このピンは、いずれの外部負荷にも接続しないでください。このピンと AGND との間に高品質の 1μF コンデンサを接続します。
FB	7	I	レギュレータへの帰還入力。帰還分圧器のタップ ポイントにこのピンを接続します。フローティング状態または接地をしないでください。
AGND	8	G	レギュレータとシステム用のアナログ グラウンド。すべての電氣的パラメータは、このピンを基準に測定されます。このピンは PCB 上の PGND1 および PGND2 に接続します。
RT	9	I/O	スイッチング周波数を 200kHz ~ 2200kHz に設定するため、6.8kΩ ~ 80kΩ の値の抵抗を介してこのピンをグラウンドに接続します。400kHz の場合は VCC に接続します。2.2MHz の場合は GND に接続します。フローティングにはしないでください。
RESET	10	O	オープンドレインの RESET 出力。電流制限抵抗を介して、このピンを適切な電圧源に接続します。High = パワー OK、Low = フォルト。EN = Low にすると、RESET は Low になります。

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
SPSP	11	I	スペクトラム拡散を無効化するには、GND に接続します。スペクトラム拡散が有効にするには、VCC に接続、または抵抗を介して接地します。スペクトラム拡散を使用すると、VCC 接続によりスペクトラム拡散のトーン補正がオフになりますが、抵抗を接地すると出力電圧リップルを低減するようにトーン補正が調整されます。このピンをフローティングにしないでください。セクション 7.3.10 を参照してください。
同期 / モード	12	I	このピンは LM614xxT-Q1 の動作モードを制御します。モードには、自動モード (自動 PFM/PWM 動作)、強制パルス幅変調 (FPWM)、外部クロックへの同期が含まれます。クロックは、適用する外部クロックの立ち上がりエッジでトリガします。Low にプルして自動モードの動作を有効化、High にプルして FPWM を有効化、またはクロックに接続して FPWM モードで外部周波数と同期します。このピンをフローティングにしないでください。外部クロックに同期する場合、RT ピンを使用して内部周波数を同期周波数に近い値に設定することで、外部クロックがオンまたはオフになっている場合の外乱を回避します。
EN	13	I	レギュレータへの高精度イネーブル入力。High = オン、Low = オフ。VIN に接続できます。高精度イネーブルを使うと、このピンを調整可能な UVLO として使用できます。フローティングにはしないでください。セクション 7.3.2 を参照してください。
VIN1	14	P	レギュレータへの入力電源。このピンと PGND1 との間に高品質のバイパス コンデンサを接続します。VIN2 と低インピーダンスで接続する必要があります。
PGND1	15	G	内部ローサイド MOSFET の電源グランド。システム グランドに接続。PGND2 と低インピーダンスで接続する必要があります。このピンと VIN1 との間に高品質のバイパス コンデンサを接続します。
SW	16	P	レギュレータのスイッチノード。出力インダクタに接続します。

(1) I = 入力、O = 出力、P = 電源、G = グランド

6 仕様

6.1 絶対最大定格

接合部の動作時推奨温度範囲において⁽¹⁾

パラメータ		最小値	最大値	単位
電圧	「AGND、PGND」に対する VIN (過渡) ⁽²⁾	-0.3	42	V
電圧	「AGND、PGND」に対する VIN (連続) ⁽²⁾	-0.3	36	V
電圧	「AGND、PGND」に対する SW ⁽³⁾	-0.3	V _{IN} + 0.3	V
電圧	SW に対する CBOOT、RBOOT	-0.3	5.5	V
電圧	AGND、PGND に対する過渡 EN または SYNC/MODE ⁽²⁾	-0.3	42	V
電圧	AGND、PGND に対する連続 EN または SYNC/MODE ⁽²⁾	-0.3	36	V
電圧	「AGND、PGND」に対する BIAS	-0.3	16	V
電圧	FB から AGND、PGND	-0.3	5.5	V
電圧	「AGND、PGND」に対する $\overline{\text{RESET}}$	0	20	V
電流	$\overline{\text{RESET}}$ シンク電流 ⁽⁵⁾	0	10	mA
電圧	「AGND、PGND」に対する RT	-0.3	5.5	V
電圧	「AGND、PGND」に対する VCC	-0.3	5.5	V
電圧	AGND に対する PGND ⁽⁴⁾	-1	2	V
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) このピンでは、0.01% 以下のデューティサイクルで 100ms 以下の間、最大 42V を持続させることができます。このデバイスの寿命にわたって 36V を維持できます。
- (3) このピンには、GND より 2V 低い値から VIN より 2V 高い値までの電圧を最大 200ns の間 (デューティサイクルは 0.01% 以下) 印加できます。
- (4) この仕様は、100ns 以下の持続時間の電圧に適用されます。D.C. 電圧は、±0.3V の範囲内である必要があります。
- (5) ピン電圧定格を超えないようにしてください。

6.2 ESD 定格

		値	単位	
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750	V

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

接合部の動作時推奨温度範囲である -40°C ~ 150°Cにおいて (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
入力電圧	入力電圧範囲 ⁽¹⁾	3	36	V
出力電圧	出力電圧範囲 ⁽²⁾	1	0.95 × VIN	V
周波数	周波数調整範囲	200	2200	kHz
同期周波数	同期周波数範囲	200	2200	kHz
出力電流	I _{OUT} , LM61480T	0	8	A
出力電流	I _{OUT} , LM61495T	0	10	A
温度	動作時の接合部温度、T _J	-40	150	°C

- (1) VIN では起動に 3.7V が必要です。起動後は、3V までの拡張入力電圧範囲が可能です。起動条件については、「最小動作入力電圧」を参照してください。

(2) いかなる条件下でも、出力電圧は 0V を下回ってはなりません。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		LM614XXT-Q1	単位
		VAM (VQFN-HR)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗 (LM61495TVAMEVM) ⁽³⁾	21	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗 (JESD 51-7) ⁽²⁾	50.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	0.64	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	11.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	11.3	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
- (2) この表に示す $R_{\theta JA}$ の値は他のパッケージとの比較にのみ有効であり、設計目的に使用することはできません。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。これらは、実際のアプリケーションで得られた性能を表すものではありません。設計情報については、『[最大周囲温度](#)』セクションを参照してください。
- (3) 基板レイアウトと追加情報については、『[EVM ユーザー ガイド](#)』を参照してください。熱設計情報については、『[最大周囲温度](#)』セクションを参照してください。

6.5 電気的特性

制限値は、接合部の動作時推奨温度範囲である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 。 V_{IN1} が V_{IN2} に短絡 = V_{IN} 。 V_{OUT} は出力設定点です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VIN ピン)						
V_{IN}	最小動作入力電圧	起動するために必要			3.7	V
		動作開始後			3	V
$V_{IN_OP_H}$	最小電圧ヒステリシス			1		V
I_Q	非スイッチング入力電流 (VIN ピンで測定) ⁽³⁾	$V_{IN} = 13.5\text{V}$, $V_{FB} = +5\%$, $V_{BIAS} = 5\text{V}$		0.662	10	μA
I_{SD}	シャットダウン時の静止電流 (VIN ピンで測定)	$V_{EN} = 0\text{V}$, $V_{IN} = 13.5\text{V}$		0.662	7.5	μA
I_B	BIAS ピンへの電流 (スイッチングなし)	$V_{IN} = 13.5\text{V}$, $V_{FB} = +5\%$, $V_{BIAS} = 5\text{V}$ 、自動モード有効		18.5	26	μA
イネーブル (EN ピン)						
V_{EN}	入力スレッショルド電圧 (立ち上がり) をイネーブル	V_{EN} 立ち上がり	1.23	1.263	1.31	V
V_{EN_HYST}	スレッショルドヒステリシスをイネーブル		0.25		0.5	V
$V_{EN_HYST\%}$	スレッショルドヒステリシス比を有効化	V_{EN_HYST}/V_{EN}	25		34	%
V_{EN_WAKE}	イネーブル ウェークアップ スレッショルド		0.4			V
I_{EN}	イネーブル ピンの入力電流	$V_{IN} = V_{EN} = 13.5\text{V}$		0.3	50	nA
内部 LDO (VCC ピン)						
V_{CC}	内部 VCC 電圧	$V_{IN} = 13.5\text{V}$, $V_{BIAS} = 0\text{V}$		3.4		V
		$V_{IN} = 13.5\text{V}$, $V_{BIAS} = 3.3\text{V}$, 20mA		3.2		
V_{CC_UVLO}	内部 VCC 低電圧ロックアウトが解除される V_{IN} 電圧	$I_{VCC} = 0\text{A}$			3.7	V

6.5 電気的特性 (続き)

制限値は、接合部の動作時推奨温度範囲である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 。VIN1 が VIN2 に短絡 = V_{IN} 。V_{OUT} は出力設定点です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{CC_UVLO_HYST}	内部 VCC 低電圧ロックアウトのヒステリシス	V _{CC_UVLO} の下側のヒステリシス		1.2		V
電圧リファレンス (FB ピン)						
V _{FB}	の内部リファレンス電圧精度	V _{IN} = 3.0V ~ 36V、FPWM モード	0.99	1	1.01	V
I _{FB}	FB から AGND への入力電流	V _{FB} = 1V			50	nA
電流制限						
I _{SC_8}	短絡ハイサイド電流制限	8A バリエント、デューティ サイクルを 0% に近付ける	11.5	13.8	15.6	A
I _{LS-LIMIT_8}	ローサイド電流制限		8	9.2	10.4	A
I _{PEAK-MIN_8}	最小ピーク インダクタ電流			1.6		A
I _{L-NEG_8}	負の電流制限		-6.4	-5.3	-3.9	A
I _{SC_10}	短絡ハイサイド電流制限	10A バリエント、デューティ サイクルを 0% に近付ける	14	17.3	20	A
I _{LS-LIMIT_10}	ローサイド電流制限		9.8	11.5	12.9	A
I _{PEAK-MIN_10}	最小ピーク インダクタ電流			1.8		A
I _{L-NEG_10}	負の電流制限		-6.6	-5.3	-4	A
V _{HICCUP}	FB ピンのヒカップ スレッシュホールド		0.36	0.4	0.44	V
POWER GOOD (RESET ピン)						
V _{RESET-OV}	RESET の上側スレッシュホールド - 立ち上がり	% of FB voltage	110	112	114	%
V _{RESET-UV}	RESET の下側スレッシュホールド - 立ち下がり	% of FB voltage	92	94	96.5	%
V _{RESET_GUARD}	出力電圧と UV スレッシュホールド、立ち下がり、同じ T _J と V _{IN} で読み取った、定常状態の出力電圧のパーセンテージとしての RESET UV スレッシュホールド。	立ち下がり			97	%
V _{RESET-HYS-FALLING}	RESET 立ち下がりスレッシュホールド ヒステリシス	% of FB voltage	0.5	1.3	2.5	%
V _{RESET-HYS-RISING}	RESET 立ち上がりスレッシュホールド ヒステリシス	% of FB voltage	0.5	1.3	2.5	%
V _{RESET_VALID}	有効な RESET 機能の最小入力電圧	外部 5V ~ 10kΩ プルアップして V _{RESET} < 0.4V のときに測定			1.2	V
V _{OL}	RESET 低レベル機能の出力電圧	RESET ピンに 46.0μA プルアップ、V _{IN} = 1.0V、V _{EN} = 0V			0.4	V
		RESET ピンに 1 mA プルアップ、V _{IN} = 13.5V、V _{EN} = 0V			0.4	
		RESET ピンに 2 mA プルアップ、V _{IN} = 13.5V、V _{EN} = 3.3V			0.4	
R _{RESET}	RESET ON 抵抗、	V _{EN} = 5V、1mA のプルアップ電流		44	125	Ω
R _{RESET}	RESET ON 抵抗、	V _{EN} = 0V、1mA のプルアップ電流		18	40	Ω
発振器 (SYNC/MODE ピン)						
V _{SYNCDL}	SYNC/MODE 入力電圧 Low		0.4			V
V _{SYNCDH}	SYNC/MODE 入力電圧 High				1.7	V
V _{SYNCD_HYST}	SYNC/MODE 入力電圧ヒステリシス		0.185		1	V
R _{SYNC}	SYNC/MODE がフローティングにならないことを保証するための内部プルダウン抵抗			100		kΩ

6.5 電気的特性 (続き)

制限値は、接合部の動作時推奨温度範囲である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 。VIN1 が VIN2 に短絡 = V_{IN} 。V_{OUT} は出力設定点です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ハイサイドドライブ (CBOOT ピン)						
V _{CBOOT_UVLO}	ハイサイド スイッチがオフになる CBOOT ピンの電圧 (SW 基準)			1.9		V
MOSFETS						
R _{DS-ON-HS}	ハイサイド MOSFET オン抵抗	負荷 = 1A, C _{BOOT-SW} = 3.2V		21	39	mΩ
R _{DS-ON-LS}	ローサイド MOSFET オン抵抗	負荷 = 1A, C _{BOOT-SW} = 3.2V		13	25	mΩ
サーマル シャットダウン						
T _{SD_R}	サーマル シャットダウントリップ スレッショルド		158	168	180	
T _{SD_F}	サーマル シャットダウン回復スレッショルド		150	159		

6.6 タイミング要件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
PWM 制限値 (SW ピン)						
t _{ON-MIN}	HS スイッチの最小オン時間	V _{IN} = 18V, V _{SYNC/MODE} = 5V, I _{OUT} = 2A, R _{BOOT} = 0Ω		62	81	ns
t _{OFF-MIN}	HS スイッチの最小オフ時間	V _{IN} = 5V		70	103	ns
t _{ON-MAX}	最大スイッチ オン時間	ドロップアウト時の HS タイムアウト	6.9	8.9	11	μs
今すぐ開始						
t _{EN}	ターンオン遅延	V _{IN} = 13.5V, C _{VCC} = 1μF, EN High から最初の SW パルスまでの時間 (出力が 0V から開始する場合)		0.82	1.2	ms
t _{SS}	最初の SW パルスから V _{REF} が設定ポイントの 90% に達するまでの時間。		1.7	2.2	2.7	ms
t _W	短絡待機時間 (「ヒカップ」時間)			40		ms
パワー グッド (RESET ピン) と過電圧保護						
t _{RESET_FILTER}	RESET エッジ グリッチ除去遅延		10	26	45	μs
t _{RESET_ACT}	RESET アクティブ時間	RESET をリリースする前に、時間 FB が有効である必要がある。	1.1	2.1	3.4	ms
発振器 (SYNC/MODE ピン)						
t _{PULSE_H}	SYNC/MODE ピンとして認識されるのに必要な High の継続時間		100			ns
t _{PULSE_L}	SYNC/MODE ピンとして認識されるのに必要な Low の継続時間		100			ns
t _{MSYNC}	FPWM または自動モードを示すために必要な 1 つのレベルの時間		7		20	μs
t _{LOCK}	有効な同期信号にクロックがロックするために必要な時間	RT = 39.2kΩ		4.3		ms

6.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
OSCILLATOR (RT と SYNC ピン)						
f_{OSC}	内部発振器の周波数	RT = GND	1.90	2.2	2.42	MHz
f_{OSC}	内部発振器の周波数	RT = VCC	350	400	440	kHz
$f_{FIXED_2.2MHz}$	2.2MHz を選択するために RT 抵抗の最大値を使用して測定された発振器の周波数	RT = 6.81k Ω	1.95	2.2	2.42	MHz
$f_{FIXED_0.4MHz}$	400kHz を選択するために RT 抵抗の最小値を使用して測定された発振器の周波数	RT = 40.2k Ω	352	400	448	kHz
f_{ADJ}	センター トリム発振器周波数	RT = 22.6k Ω	630	700	770	kHz
スペクトラム拡散						
ΔF_{C+}	スペクトラム拡散による内部発振器の周波数増加		1	4	7.5	%
ΔF_{C-}	スペクトラム拡散による内部発振器の周波数低下		-8	-4	-1	%
スイッチ ノード						
D_{MAX}	最大デューティ サイクル	周波数フォールドバック中	98			%
		$f_{sw} = 1.85MHz$	87			

6.8 代表的特性

特に記述のない限り、 $V_{IN} = 13.5V$ 。

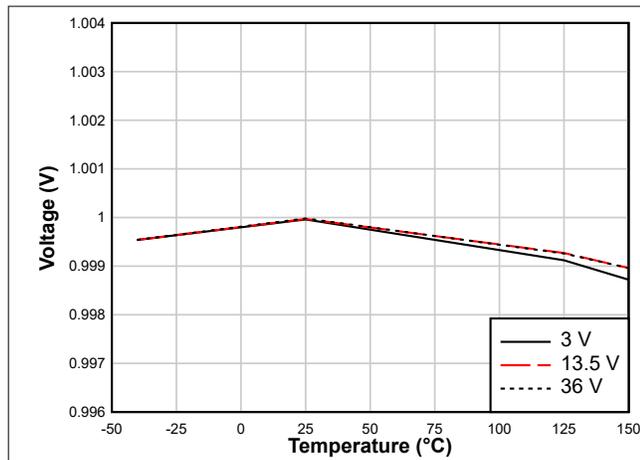


図 6-1. 帰還電圧

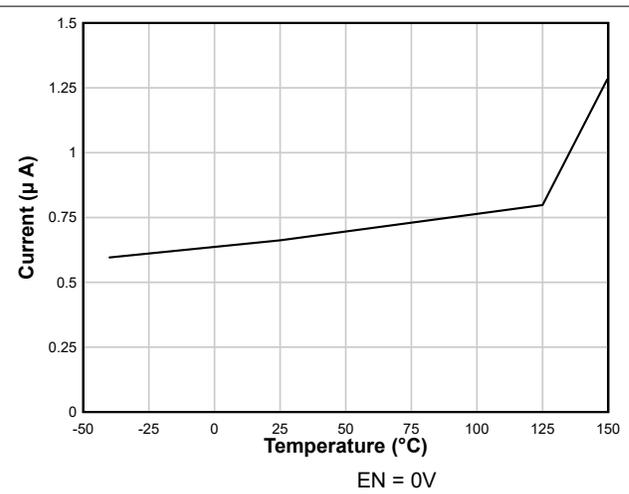


図 6-2. シャットダウン時の電源電流
EN = 0V

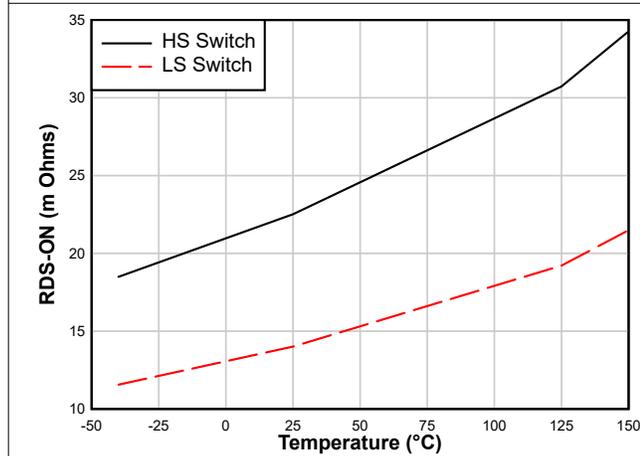


図 6-3. ハイサイドおよびローサイドスイッチの R_{DS_ON}

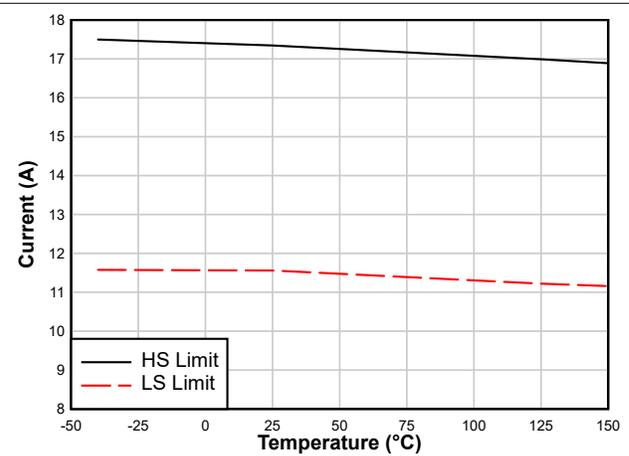


図 6-4. ハイサイドおよびローサイドの電流制限

7 詳細説明

7.1 概要

LM614xxT-Q1 は、広い入力および出力電圧範囲、低静止電流、高性能のレギュレータで、広い周波数帯域と変換比で動作します。最小オン時間または最小オフ時間が目的の変換比をサポートしない場合、周波数が低下します。この動作により、負荷ダンプ時のレギュレーションが自動的に維持され、クランキング中は非常に低ドロップアウトになります。

このデバイスは、要求の厳しい車載環境下での動作に対応しつつ、最終製品のコストとサイズを最小限に抑えるように設計されています。LM614xxT-Q1 は、固定 400kHz または固定 2.2MHz で動作させるか、RT ピンを使用して 200kHz ~ 2.2MHz の可変で動作するように設定できます。内部補償と正確な電流制限方式により、BOM コストと部品数を最小限に抑えることができます。さらに、遅延リリースと低電流軽負荷モードを内蔵した $\overline{\text{RESET}}$ 出力機能を使用すると、多くのアプリケーションでバックアップ LDO とリセットチップが不要になります。

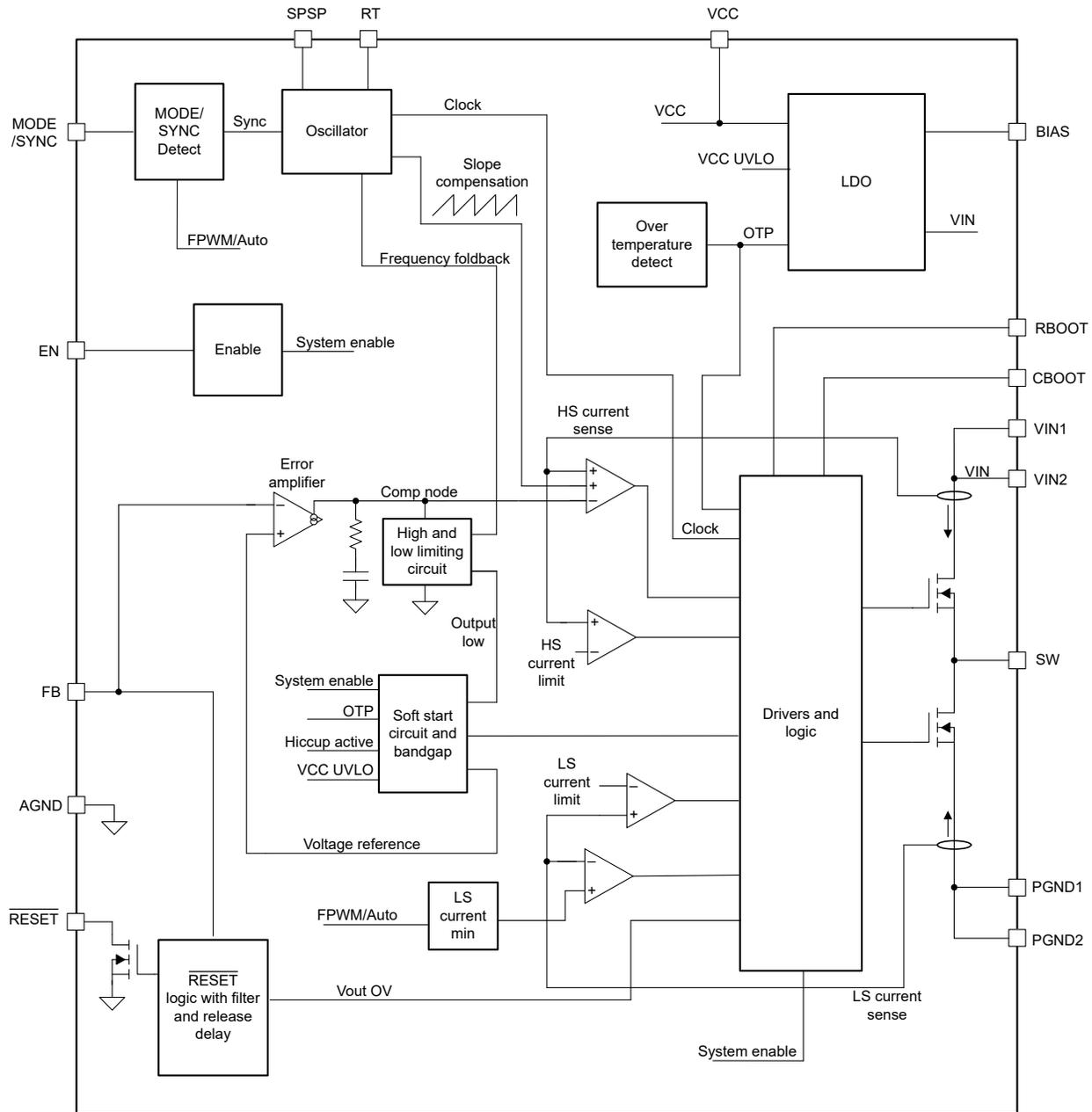
LM614xxT-Q1 は、低 EMI を意図して設計されています。このデバイスには、次のような事項が含まれます。

- 調整可能なスイッチノードの立ち上がりスルーレート
- ピンで設定可能なスペクトラム拡散
- 低入力インダクタンスパッケージ
- AM ラジオ帯域より上、および下の周波数範囲での動作

これらの機能を組み合わせることで、シールドやその他の高価な EMI 軽減対策を不要にできます。

このデバイスを信頼性を重視する環境で使用するため、LM614xxT-Q1 は大きくしたコーナー端子付きパッケージを採用しており、BLR の向上と、ウェットブルフランクによる光学検査が可能です。

7.2 機能ブロック図



7.3 機能説明

7.3.1 出力電圧の選択

出力電圧と FB ピンの間の分圧器を使用して出力電圧を調整します。図 7-1 を参照してください。

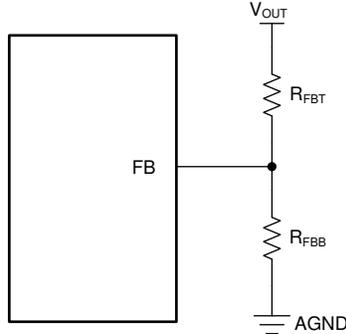


図 7-1. 抵抗デバイダ回路を使用した出力電圧の設定

LM614xxT-Q1 は、式 1 を求めるために 1V のリファレンスを使用しています。この式を使用して、目的の出力電圧と与えられた R_{FBT} に対応する R_{FBB} を決定できます。通常、過酷な条件で PCB リークエッジによるシフトを防止するため、 R_{FBT} は最大値 100kΩ に制限されます。最大 1MΩ の大きな抵抗を使用して、よりクリーンな環境での軽負荷効率を向上させることができます。

$$R_{FBB} = \left(\frac{1}{V_{OUT} - 1} \right) \times R_{FBT} \quad (1)$$

また、過渡応答を最適化するため、フィードフォワードコンデンサ C_{FF} を使用できます。

7.3.2 EN ピンを有効にして V_{IN} UVLO として使用する

デバイスをシャットダウンモードに移行させるには、EN ピンに 0.4V 未満の電圧を印加します。シャットダウンモードでは、静止電流は 0.66μA (標準値) に低下します。この電圧より高く LM614xxT-Q1 の EN スレッシュホールド未満では、VCC はアクティブですが SW ノードは非アクティブのままです。EN が V_{EN} を上回ると、入力電圧が最小動作電圧を上回っている限り本チップは通常動作します。

EN 端子はフローティングのままにすることはできません。動作を有効にする最も簡単な方法は、EN ピンを VIN ピンに接続することです。これにより、VIN によって内部 VCC が UVLO レベルよりも高く駆動されるときに、デバイスの自己起動が可能になります。ただし、多くのアプリケーションでは、イネーブル分圧回路を採用することで恩恵を受けることができます。これにより、高精度の入力低電圧誤動作防止 (UVLO) を実現できます。高精度 UVLO は以下の用途で使用できます：

- シーケンシング
- 長い入力ケーブルと組み合わせて使用する際にデバイスが再トリガされるのを防止する
- バッテリー電源の過放電の発生を低減する

EN スレッシュホールドが正確であることに注意してください。立ち上がりイネーブルスレッシュホールドの許容誤差は 8.1% です。ヒステリシスの大きさは、負荷のシャットダウン時の再トリガを防止するのに十分です (約 25%)。その他の IC の外部ロジック出力で EN 端子を駆動して、システム電源のシーケンシングを行うこともできます。

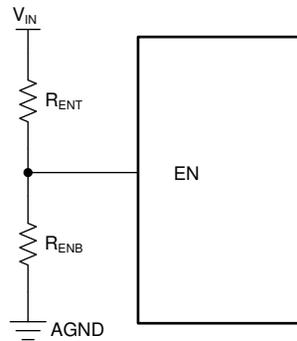


図 7-2. EN ピンを使った VIN/UVLO

抵抗値を計算するには、式 2 を使用します：

$$R_{ENT} = \left(\frac{V_{ON}}{V_{EN}} - 1 \right) \times R_{ENB}$$

$$V_{OFF} = V_{ON} \times (1 - V_{EN_HYST\%}) \quad (2)$$

ここで

- $V_{ON} = V_{IN}$ のターンオン電圧
- $V_{OFF} = V_{IN}$ のターンオフ電圧
- V_{EN} はイネーブルピンの立ち上がりスレッショルド電圧で、「電気的特性」表に示しています。
- $V_{EN_HYST\%}$ はイネーブルスレッショルドのヒステリシス比で、「電気的特性」表に示しています。

7.3.3 同期における SYNC/MODE の使用

LM614xxT-Q1 の SYNC/MODE ピンを使用して、内部発振器を外部クロックに同期することができます。内部発振器は、結合の正のエッジで SYNC/MODE ピンに同期することができます。内部同期パルス検出器をトリップさせるには、SYNC/MODE ピンの結合エッジ電圧が SYNC 振幅スレッショルド (V_{SYNCDH}) を上回る必要があります。最小 SYNC 立ち上げパルスおよび立ち下がりパルス幅は、それぞれ t_{PULSE_H} および t_{PULSE_L} よりも長くする必要があります。LM614xxT-Q1 のスイッチング動作は、200kHz ~ 2.2MHz の外部クロックと同期することが可能です。

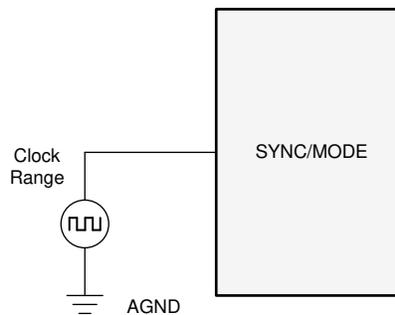
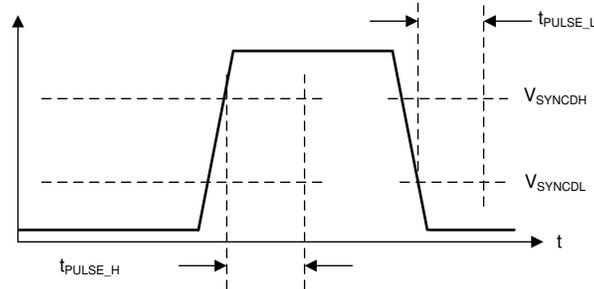


図 7-3. SYNC/MODE ピンを使用した同期ができる代表的な実装

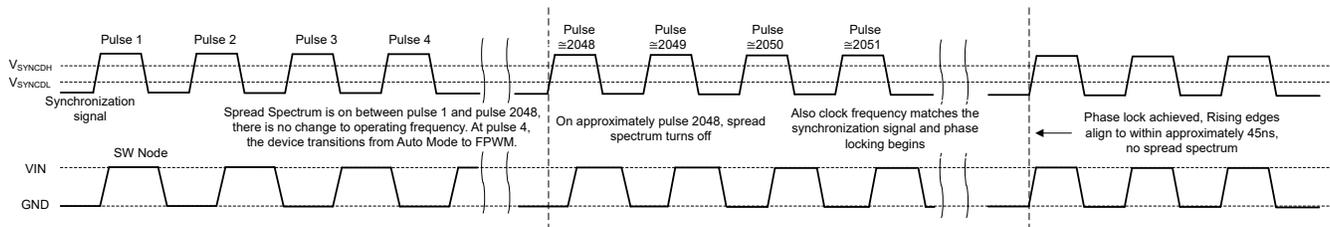


この図に、SYNC 信号を検出するために必要な条件を示します。

図 7-4. 代表的な SYNC/MODE 波形

7.3.4 クロックのロック

有効な同期信号が検出された後、クロック ロック手順が開始されます。約 2048 パルスの後、クロック周波数は同期信号の周波数へ突然変化します。周波数が突然調整されますが、位相は維持され、そのクロック サイクルは、デフォルトの周波数で動作する際のクロック サイクルと同期周波数で動作する際のクロック サイクルとの間の長さになります。長すぎる、または短すぎるパルスはありません。周波数が調整された後、立ち上がり同期エッジが立ち上がり SW ノードパルスに対応するように、数 10 サイクルかけて位相が調整されます。図 7-5 を参照してください。



パルス 4 で、同期信号が検出されます。約 2048 パルスの後、同期信号の準備ができ、グリッチフリー手法を使用して周波数を調整します。その後、位相はロックされます。

図 7-5. 同期プロセス

7.3.5 可変スイッチング周波数

RT ピンは設定可能です。このピンを VCC に接続すると 400kHz で動作し、グランドに接続すると 2.2MHz で動作します。また、抵抗を AGND に接続すると可変動作周波数を設定できます。抵抗値については、図 7-6 を参照してください。抵抗値が推奨範囲外になると、LM614xxT-Q1 が 400kHz または 2.2MHz に戻る可能性があることに注意します。強制的に同期させる目的で、このピンにパルス信号を印加することはしないでください。同期が必要な場合は、「同期における SYNC/MODE の使用」の SYNC/MODE ピンを参照してください。

$$R_T(\text{k}\Omega) = \frac{16.4}{f_{\text{SW}}(\text{MHz})} - 0.633 \quad (3)$$

たとえば、 $f_{\text{SW}} = 2.2\text{MHz}$ 、 $R_T = (16.4/2.2) - 0.633 = 6.82\text{k}\Omega$ の場合、最も近い選択肢として 6.81kΩ の抵抗を選択します。

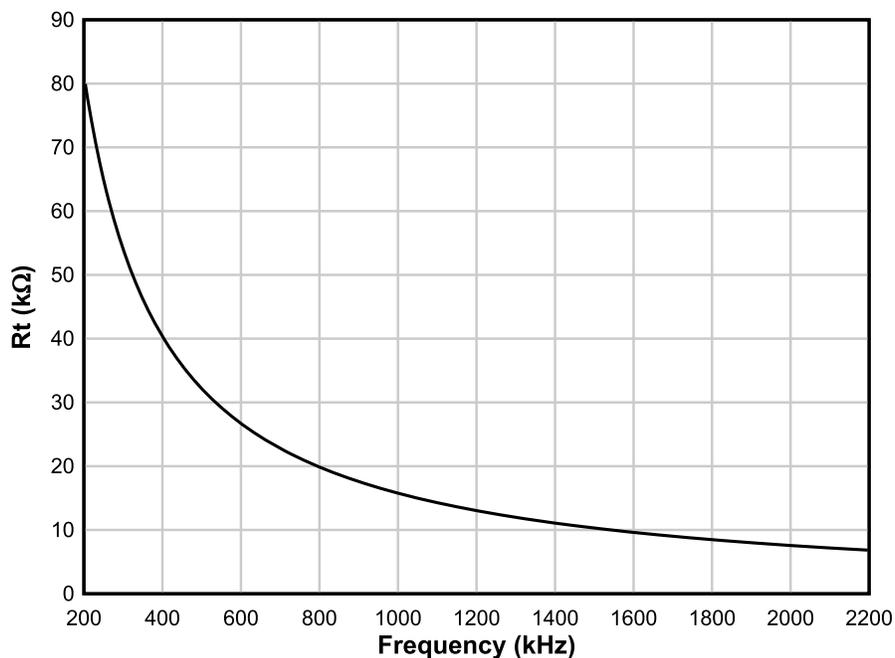


図 7-6. クロック周波数の設定

7.3.6 $\overline{\text{RESET}}$ 出力動作

LM614xxT-Q1 デバイスの $\overline{\text{RESET}}$ 機能は標準のパワーグッド機能に似ていますが、その機能はディスクリートリセット IC を置き換えるよう設計されており、BOM コストが削減されます。ほとんどのレギュレータでは、リセット機能と通常のパワーグッド機能に以下の 3 つの大きな違いがあります：

- リセットの解放に遅延が追加されました。表 7-1 を参照してください。
- $\overline{\text{RESET}}$ 出力は、部品が無効な場合にフォルトを通知します (出力をグランドにプルダウン)。
- $\overline{\text{RESET}}$ は最低 1.2V の入力電圧で動作し続けます。この入力電圧を下回ると、 $\overline{\text{RESET}}$ 出力がハイインピーダンスになる可能性があります。

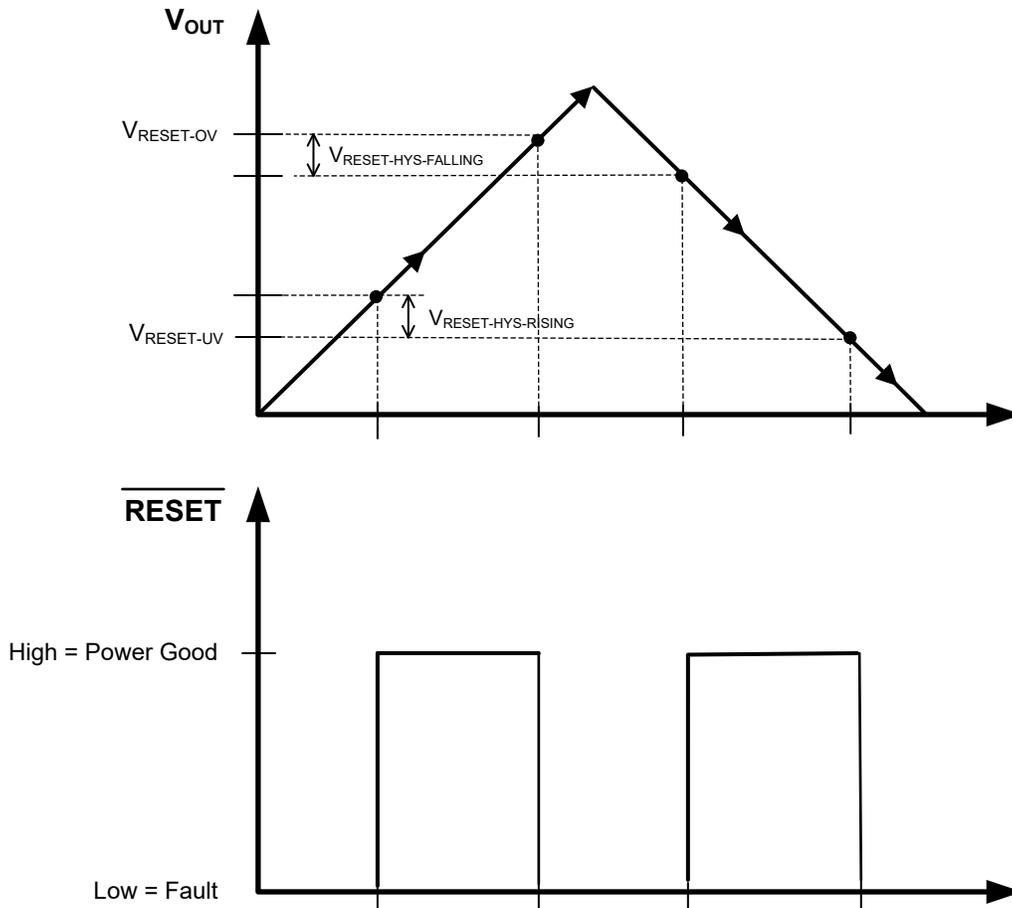


図 7-7. \overline{RESET} 静的電圧スレッシュホールド

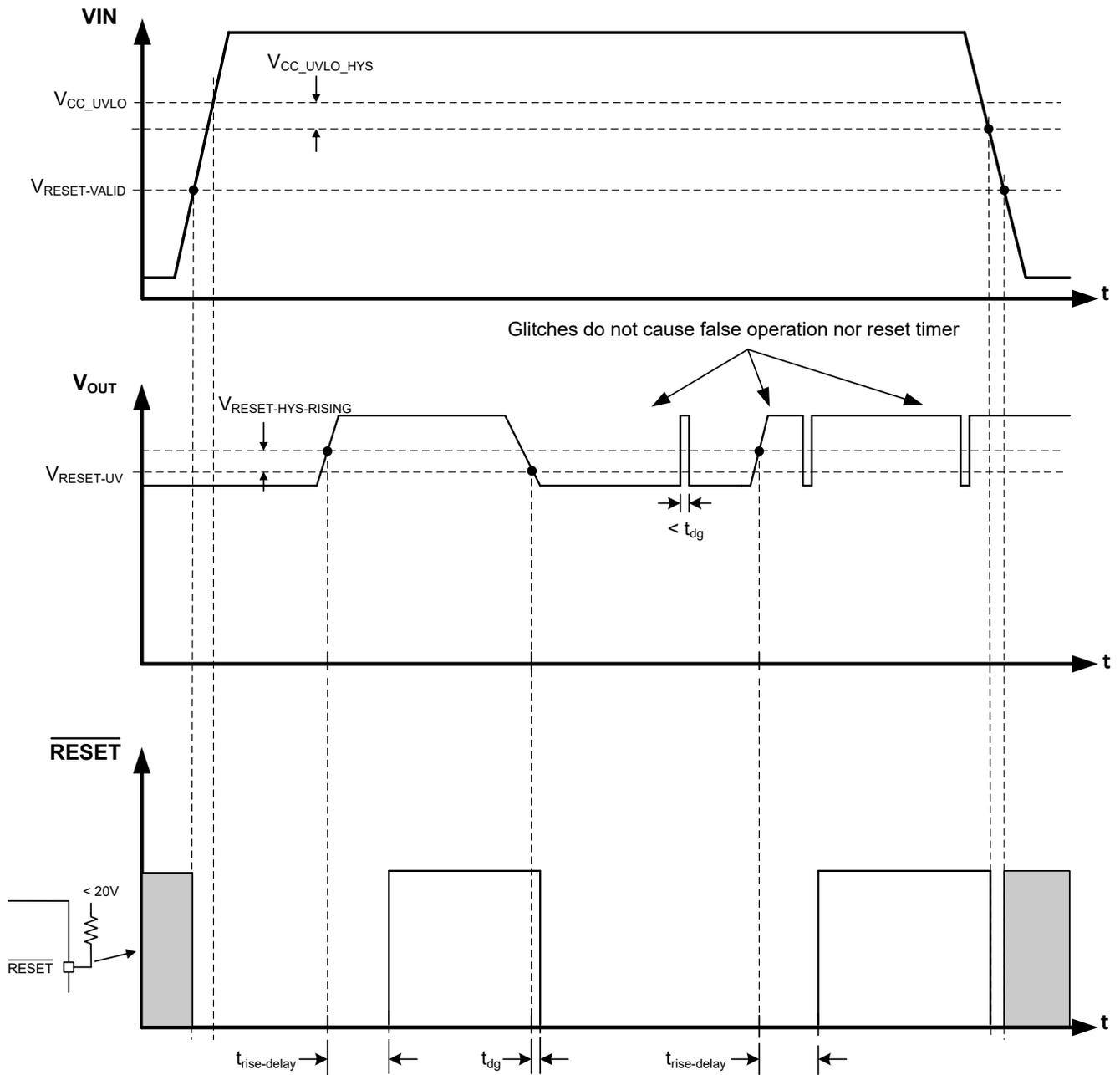


図 7-8. RESET タイミング図 (OV イベントを除く)

表 7-1. RESE \overline{T} がフォルトを通知 (Low をプル) する条件

フォルト条件の開始	フォルト条件の終了 (その後、RESE \overline{T} 出力が解放される前に $t_{RESE\overline{T}_ACT}$ が経過する必要があります)
$t_{RESE\overline{T}_FILTER}$ よりも長い間 FB が $V_{RESE\overline{T}_UV}$ を下回る	$t_{RESE\overline{T}_FILTER}$ よりも長い間 FB が $V_{RESE\overline{T}_UV} + V_{RESE\overline{T}_HYST}$ を上回る
$t_{RESE\overline{T}_FILTER}$ よりも長い間 FB が $V_{RESE\overline{T}_OV}$ を上回る	$t_{RESE\overline{T}_FILTER}$ よりも長い間 FB が $V_{RESE\overline{T}_OV} - V_{RESE\overline{T}_HYST}$ を下回る
接合部温度が T_{SD_R} を超える	接合部温度が T_{SD_F} 未満に低下する ⁽¹⁾
EN が Low	EN がハイになってから t_{EN} が経過する ⁽¹⁾
VCC が $V_{CC_UVLO} - V_{CC_UVLO_HYST}$ を下回るように VIN が十分に低い値に低下する。この値は $V_{IN_OPERATE}$ と呼ばれます。	VCC ピンが V_{CC_UVLO} を上回るほど VIN の電圧が高くなる ⁽¹⁾

(1) 追加の動作チェックとして、ソフトスタート中に RESE \overline{T} が Low に維持されます。これは、全出力電圧に達したとき、または初期化から t_{SS2} が経過したときの、どちらか早い方までと定義されます。この説明は、この表の他のすべての条件が満たされ、 $t_{RESE \overline{T} _ACT}$ が経過した場合にも当てはまります。ソフトスタート中にロックアウトされる場合は、RESE \overline{T} が解除される前に $t_{RESE \overline{T} _ACT}$ が経過する必要はありません。

RESE \overline{T} 機能のスレッシュホールド電圧は、RESE \overline{T} 回路への LM614xxT-Q1 の内部帰還スレッシュホールドの可用性を利用して指定されます。これにより、選択した出力電圧の 96.5% の最大スレッシュホールドを、実際の動作ポイントの 96% と同時に指定できます。その結果、リセット機能の精度が向上し、過渡応答に対するシステム許容量を拡大できます。図 7-9 の出力電圧誤差のスタックアップ比較を参照してください。

過電圧検出時 ($V_{RESE \overline{T} _OV}$ より高い FB) の故障通知に加え、スイッチノードがシャットダウンされ、SW ノードに約 1mA の小さなプルダウンが加えられます。

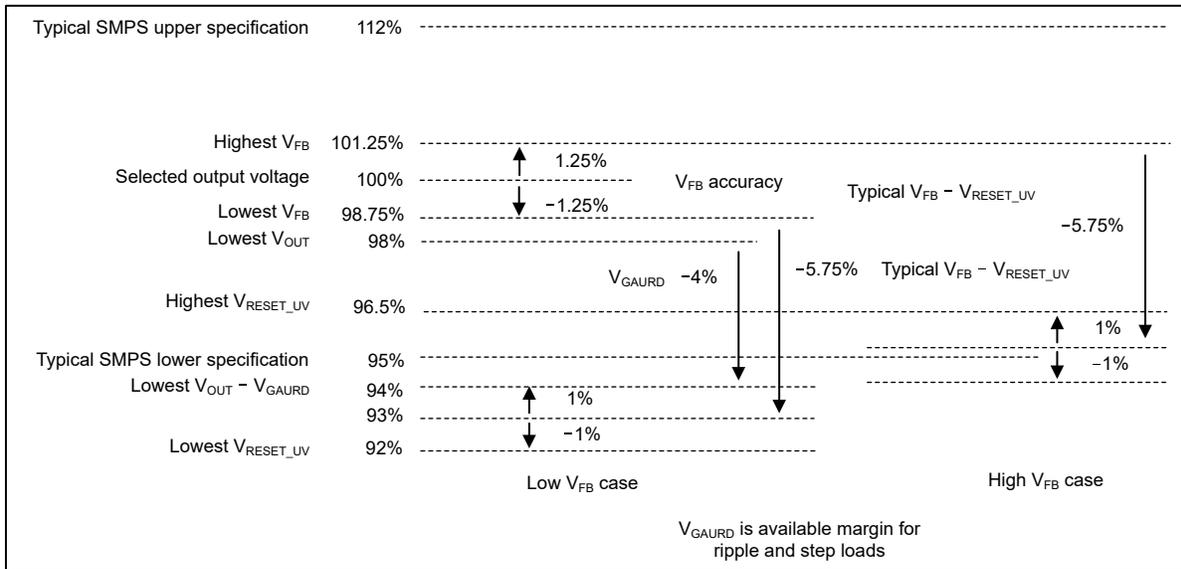


図 7-9. リセット スレッシュホールド電圧のスタックアップ

7.3.7 内部 LDO、VCC UVLO、BIAS 入力

LM614xxT-Q1 は VCC を内部電源として使用します。VCC は VIN または BIAS から電力を供給されます。LM614xxT-Q1 がアクティブになった後、BIAS が約 3.1V 未満の場合、VIN から電力が供給されます。BIAS が 3.1V より大きい場合、BIAS から電力が供給されます。VCC は大半の条件下で通常 3V~3.3V ですが、VIN が非常に低い場合はそれより低くなる可能性があります。不適切な動作を防止するため、VCC には、内部電圧が低すぎる場合にスイッチングを止める UVLO が備わっています。「電気的特性」の V_{CC_UVLO} および $V_{CC_UVLO_HYST}$ を参照してください。起動中、VCC は瞬間的に通常の動作電圧を超えて V_{CC_UVLO} を上回った後、通常の動作電圧まで低下します。これらの UVLO 値は、LM614xxT-Q1 のみに電力を供給する際に LDO ドロップアウトと組み合わせるときの、 $V_{IN_OPERATE}$ と $V_{IN_OP_H}$ の最小値を求めるために使用されます。

7.3.8 ブートストラップ電圧と $V_{CBOOT-UVLO}$ (CBOOT ピン)

ハイサイド電源スイッチ (HS スイッチ) のドライブには、HS スイッチがオンのときに、VIN より高いバイアス電圧が必要となります。CBOOT と SW の間に接続されたコンデンサは、CBOOT 端子の電圧を (SW + VCC) に昇圧するチャージポンプとして機能します。物理的な設計サイズを最小化するため、LM614xxT-Q1 のダイにはブート ダイオードが内蔵されています。テキサス・インスツルメンツでは、CBOOT コンデンサ用に X7R 以上の誘電体を使用した、定格 10V の 100nF コンデンサを推奨します。ブート (CBOOT) レールには UVLO があり、バイアスが小さすぎる動作からチップを保護します。この UVLO のしきい値は $V_{BOOT-UVLO}$ で、標準値は 2.1V です。CBOOT コンデンサの電圧が $V_{BOOT-UVLO}$ を下回ると、本デバイスはハイサイドデバイスをオンにしようとする前にローサイド FET を使用して充電シーケンスを開始します。アプリケーションがプリバイアス出力を開始する必要がある場合、開始時に出力のプリバイアス電圧レベルがブート UVLO 範囲外 (たとえば、1.6V ~ 2.1V の範囲外) になるようにしてください。

7.3.9 調整可能な SW ノードのスルーレート

効率の観点から EMI を最適化できるように、ハイサイド FET ドライバの強度を電源投入時に抵抗で選択できるように LM614xxT-Q1 は設計されています。図 7-10 を参照してください。RBOOT ピンに流れ込む電流 (点線のループ) の大きさに応じて拡大された電流が CBOOT から流れ込みます (破線)。この電流は、ハイサイド パワー MOSFET をオンさせるために使われます。

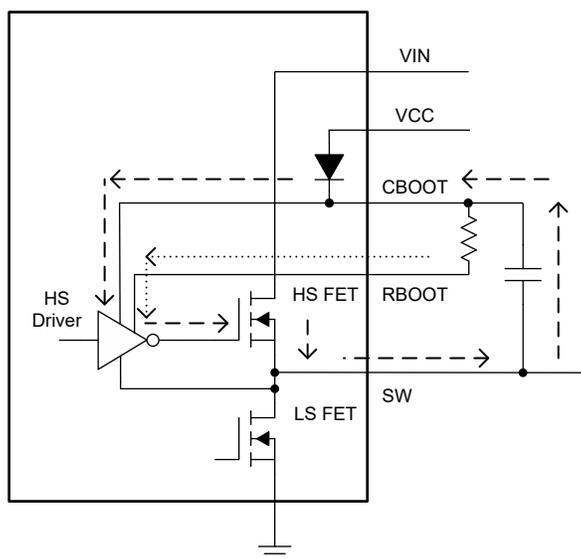


図 7-10. RBOOT の機能を示す概略回路図

RBOOT を CBOOT に短絡すると立ち上がり時間が短くなります。この条件では、SW ノードの高調波は約 150MHz まで $-20\text{dB}\mu\text{V}/\text{decade}$ でロールオフしますが、高調波は $-40\text{dB}\mu\text{V}/\text{decade}$ でロールオフを開始します。立ち上がり時間を遅くするとこの遷移が発生する周波数が低下し、より高い周波数でのロールオフが大きくなり、EMI スキャンのマージンが大きくなります。700Ω で CBOOT と RBOOT を接続すると、ハイサイドターンオンによるスルー時間が 13ns 以下に制限されます。13.5V を 5V に変換する場合の標準値は 10ns です。立ち上がり時間を遅くすることで、ほとんどの条件下で SW ノードの高調波のエネルギーを 50MHz 付近でロール オフさせることができます。高調波をロール オフさせることで、多くのアプリケーションでシールドとコモン モード チョークを不要にできます。入力電圧の増加と共に立ち上がり時間が増加することに注意します。また、RBOOT 抵抗の増加と共に蓄積電荷に起因するノイズは大幅に低減されます。スイッチングのスルーレートが下がると効率は低下します。過度の熱が発生させずに最適な EMI を供給できるように、抵抗の最適化にはご注意ください。RBOOT を開放にすると、立ち上がり時間は最大値に設定されます。

7.3.10 スペクトラム拡散

スペクトラム拡散は SPSP ピンを使用して構成可能です。スペクトラム拡散は、固定周波数で動作する部品よりも広範囲の周波数帯域にピークを拡散することにより、特定の周波数によるピーク放射に対する影響を低減します。LM614xxT-Q1

は、スイッチング周波数の最初のいくつかの高調波からの低周波伝導放射を低減するように設計された変調パターンを実装しています。このパターンは、FM 帯域に落ちる可能性があり、フィルタ処理が難しい高調波を低減させるのにも役立ちます。これらの高調波はしばしば、スイッチ ノードとインダクタの周囲の電界によって環境と結合します。LM614xxT-Q1 は $\pm 4\%$ (標準値) の周波数拡散を採用しており、FM および TV 帯域全体にエネルギーをスムーズに拡散できます。このデバイスには、デュアルランダムスペクトラム拡散 (DRSS) 機能が実装されています。DRSS は、三角波の周波数拡散パターンと疑似ランダム周波数ホッピングを組み合わせたものです。これらの組み合わせにより、スペクトラム拡散は、次のとおりエネルギー拡散に非常に効果的です：

- 低速三角波パターンによる基本スイッチング高調波
- スwitching周波数に疑似ランダムジャンプを付加した高周波ハーモニクス

DRSS の利点は、基本周波数偏差が小さく、高域の周波数で等価高調波減衰が得られることです。この機能により、変調周波数で生じる入力電流と出力電圧リップルの量が低減されます。また、LM614xxT-Q1 では、スペクトラム拡散変調パターンに起因する出力電圧リップルをさらに低減できます。SPSP ピンを接地すると、スペクトラム拡散は無効化されます。SPSP ピンを VCC に接続すると、スペクトラム拡散はオンになります。抵抗を介して SPSP ピンを接地すると、スペクトラム拡散はオンになります。また、スイッチャに変調トーン補正が適用されて、周波数変調に起因する出力電圧リップルが低減されます。抵抗は通常約 20k Ω であり、式 4 を使用するとさらに正確に計算できます。

$$R_{SPSP}(k\Omega) = \frac{14.17 \times \frac{V_{IN}}{V_{OUT}}}{\frac{V_{IN} - V_{OUT}}{I_{RATED} \times L \times f_{SW}} + 1.22} \quad (4)$$

ここで、 I_{RATED} は、[推奨動作条件](#) に記載されるデバイスの DC 電流定格です。

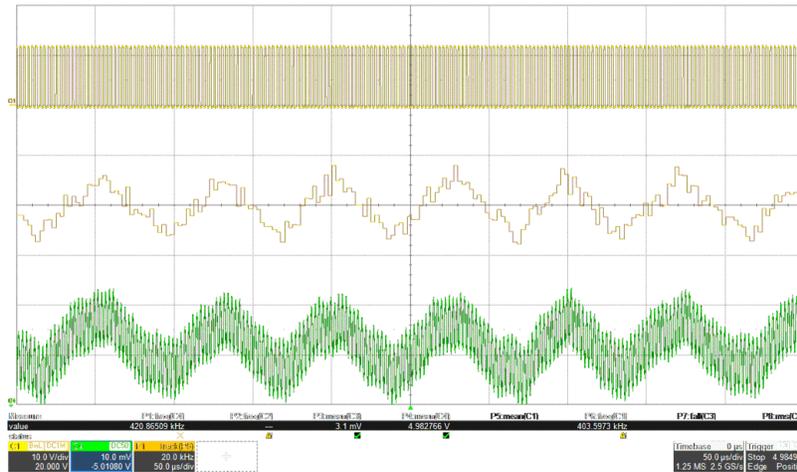


図 7-11. V_{SW} (上部)、 F_{SW} (中間)、 V_{OUT} (下部) を示すリップルキャンセルなしの出力リップル

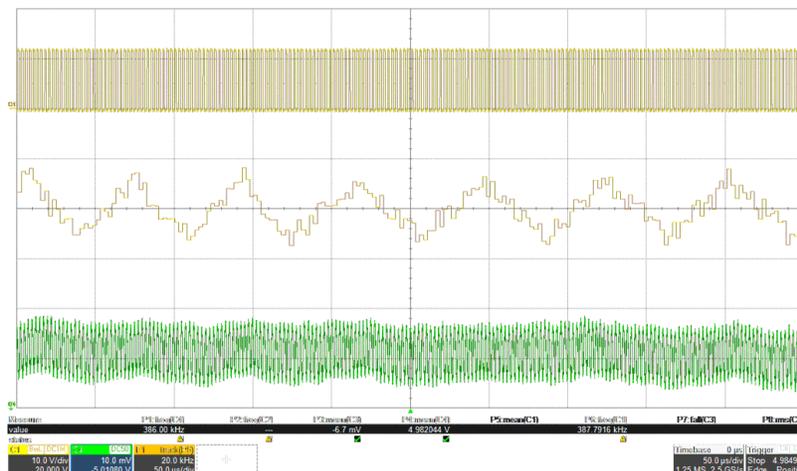


図 7-12. V_{sw} (上部)、 F_{sw} (中間)、 V_{out} (下部) を示すリップル キャンセルありの出力リップル

スペクトラム拡散は、LM614xxT-Q1 のクロックが本来の周波数で自走している間に限り利用できます。以下のいずれかの条件がスペクトラム拡散に優先する場合、スペクトラム拡散はオフになります：

- 低入力電圧動作のため、クロック速度が低下します。これはドロップアウトでの動作です。
- 自動モードで軽負荷によりクロック速度が低下した場合。これは通常、より上、および 負荷 750mA より上では確認されません。デバイスが FPWM モードで動作している場合、無負荷であってもスペクトラム拡散が有効となっていることに注意してください。
- 入出力電圧比が大きいため、クロック速度が低下した場合。オン時間が最小オン時間に達した場合にこの動作モードが想定されます。「[タイミング要件](#)」を参照してください。
- クロックが外部クロックに同期している。

7.3.11 ソフトスタートとドロップアウトからの回復

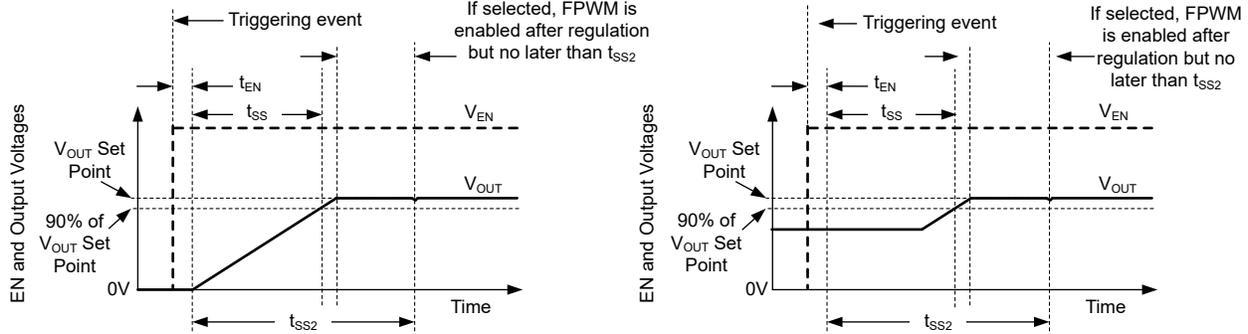
LM614xxT-Q1 を使用して設計する場合、ドロップアウトからの回復に起因する出力電圧のゆっくりとした上昇とソフトスタートは、個別の事象と見なす必要があります。ソフト スタートは、以下のいずれかの条件によってトリガされます。

- 本デバイスをオンにするために EN が使われた。
- ヒカップ待機期間からの回復 (「[ヒカップ](#)」を参照)。
- 過熱保護によるシャットダウンから回復した。
- IC の VIN に電力が供給されるか、VCC の UVLO が解除されています。

ソフトスタートがトリガされた後、本 IC は以下の動作を実行します。

- 出力電圧を制御するために本 IC が使用する基準電圧が、ゆっくりと 0 から上昇します。その結果、出力電圧が (それまで 0V だった場合)、 t_{ss} の時間をかけて目的の値の 90% に達します。
- 動作モードが自動的に設定され、ダイオード エミュレーションを有効化する。この動作により、電圧がすでに出力されていても、出力を Low にすることなく起動できます。
- ヒカップがソフト スタート中ディスエーブルになる (「[ヒカップ](#)」を参照)。

これらの動作をすべて組み合わせることで、スタートアップ時の突入電流を制限できます。また、これらの動作により、起動時に電流が電流制限に近接する原因となる出力コンデンサと負荷条件を、ヒカップをトリガすることなく使用できます。また、出力電圧がすでに存在している場合、出力電圧はプルダウンしません。図 7-13 を参照してください。



左側の曲線は、0Vからのソフトスタートを示しています。右側の曲線は、プリバイアスまたはゼロでない電圧からのソフトスタート動作を示しています。どちらの場合も、出力電圧は、ソフトスタート開始から t_{SS} 後に、目標値との誤差が 10% 以内の範囲に達する必要があります。ソフトスタート中、FPWM とヒカップは無効化されます。出力がレギュレーションに達した時点と t_{SS2} が経過した時点のどちらか早い方で、ヒカップと FPWM は両方とも有効化されます。

図 7-13. ソフトスタート動作

どのような理由であれ、出力電圧が数 % 以上低くなると、出力電圧はゆっくりと上昇してきます。この条件はドロップアウトからの回復と呼ばれ、ソフトスタートと以下の 3 つの重要な違いがあります。

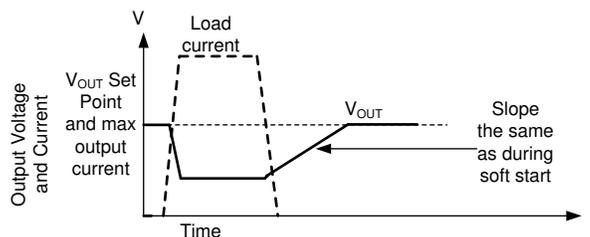
- 出力電圧がその設定点の 0.4 倍未満である場合に限り、ヒカップが許可される。ドロップアウトレギュレーションの間、ヒカップは禁止されることに注意します。「ヒカップ」を参照してください。
- ドロップアウトからの回復中、FPWM モードが許可される。外部電源によって出力電圧が突然プルアップされる場合、LM614xxT-Q1 は出力をプルダウンする場合があります。通常動作中に存在するすべての保護機能は作動しており、出力が高い電圧またはグラウンドに短絡した場合にデバイスを保護していることに注意します。
- 基準電圧は、現在の出力電圧を実現するために必要な値よりも約 1% 高い値に設定されます。基準電圧はゼロからはスタートしません。

名前にもかかわらず、十分に長い間、出力電圧が設定点よりも数パーセント以上低くなると、必ずドロップアウトからの回復がアクティブになるので次のいずれかになります。

- デューティ係数が、最小オン時間によって制御されるか、あるいは、
- デバイスが電流制限で動作している。

これは主に、以下の条件で発生します。

- ドロップアウト: 目的の出力電圧を生成するのに十分な入力電圧がない場合。「ドロップアウト」を参照してください。
- ヒカップをトリガするのに十分な大きさではない過電流、または期間が短すぎてヒカップをトリガできない場合。「ヒカップ」を参照してください。



出力電圧の低下が、高負荷と低入力電圧のどちらによるものであっても、出力がその設定点を下回る原因となっている条件が解消された後、起動時と同じ速度で出力は上昇します。ドロップアウトが原因でヒカップがトリガされなかったとしても、回復中、128 クロック サイクル以上にわたって出力電圧が設定点の 0.4 倍を下回った場合、原則として、回復中にヒカップがトリガされます。

図 7-14. ドロップアウトからの回復

7.3.12 過電流および短絡保護

LM614xxT-Q1 は、ハイサイド MOSFET とローサイド MOSFET の両方でサイクル毎に電流を制限することで、過電流状態から保護されます。

下限側 MOSFET 過電流保護機能は、ピーク電流のモード制御の性質を利用して実装されています。HS スイッチ電流は、短いブランキング時間の後に HS がオンになると検出されます。固定電流設定点と、電圧レギュレーション ループの出力からスロープ補償を引いた値のどちらか小さい方と HS スイッチ電流がスイッチング サイクルごとに比較されます。電圧ループには最大値があり、スロープ補償はデューティ サイクルに対応して大きくなるため、デューティ サイクルが 35% より大きい場合、デューティ サイクルが大きくなると HS 電流制限値は下がります。図 7-15 を参照してください。

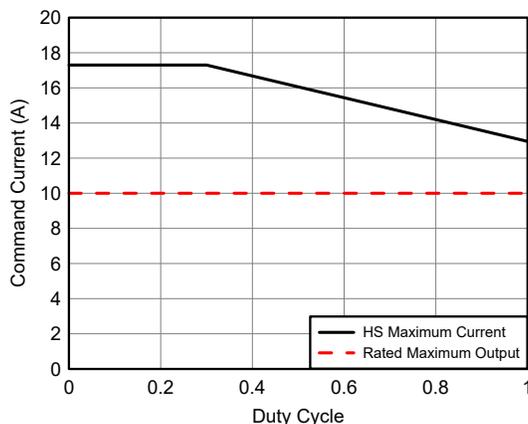


図 7-15. HS FET の最大許容電流 - LM61495T-Q1 のデューティサイクルの機能

LS スイッチがオンになると、LS スイッチを流れる電流も検出、監視されます。ローサイドデバイス、ハイサイドデバイスと同様に、電圧制御ループの指示に従ってオフになります。ローサイドデバイスでは、発振器が正常に新しいスイッチング サイクルを開始したとしても、電流がこの値を超えるとターンオフは禁止されます。「[最小オン時間 \(高入力電圧\) での動作](#)」を参照してください。また、ハイサイド デバイスと同様に、ターンオフ電流に許容される高さに限界があります。この制限値はローサイド電流制限と呼ばれます。値については、「[電気的特性](#)」を参照してください。LS 電流制限を超えた場合、LS MOSFET はオン状態を維持し、HS スイッチはターンオンしません。LS 電流が制限値を下回ると、LS スイッチがオフになります。HS デバイスが最後にオンになってから 1 クロック周期以上が経過しさえすれば、HS スイッチは再度オンになります。

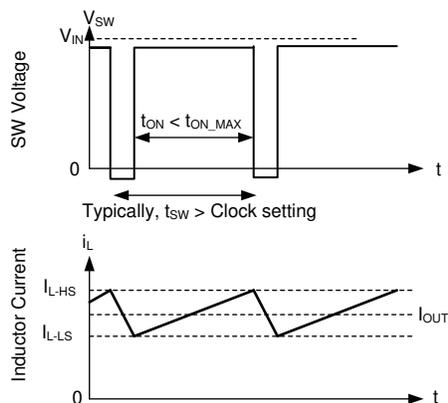
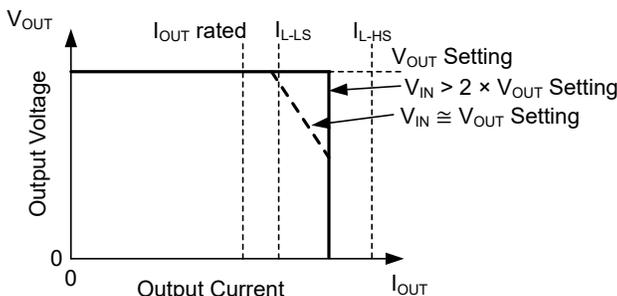


図 7-16. 電流制限波形

ハイサイドおよびローサイド電流制限の動作による正味の影響は、IC がヒステリシス制御で動作することです。電流波形は I_{L-HS} と I_{L-LS} の間の値をとるため、デューティ サイクルが極めて高い場合を除き、出力電流はこれらの 2 つの値の平均値に近い値になります。電流制限での動作後、出力電圧がゼロに近づくにつれて、ヒステリシス制御が使われ電流は増加しなくなります。

デューティ サイクルが非常に大きい場合は、不安定性を防止するため電流のリプルを非常に小さくする必要があります。「[インダクタの選択](#)」を参照してください。電流リプルが低いため、この部品は最大電流を供給できます。供給される電流は I_{L-LS} に非常に近くなります。



ほとんどの条件下で、電流は I_{L-HS} と I_{L-LS} の平均値 (定格電流の約 1.4 倍) に制限されます。入力電圧が低い場合、電流は I_{L-LS} の付近に制限される場合があります。出力が出力設定の 0.4 倍まで低下すると、電流は I_{L-HS} と I_{L-LS} の平均値を上回らなくなります。出力設定の 0.4 倍未満であり、ピーク電流が I_{L-HS} と I_{L-LS} の平均値を上回らない場合、ヒカップモードが有効になり、過熱を防止します。

図 7-17. 出力電圧と出力電流との関係

過負荷が解消されると、本デバイスはソフトスタート中であるかのように回復します。「[ソフト スタートとドロップアウトからの回復](#)」を参照してください。出力電圧が意図した出力電圧の約 0.4 倍を下回ると、ヒカップがトリガされる可能性があることに注意してください。

7.3.13 ヒカップ

LM614xxT-Q1 は、128 の連続スイッチング サイクルにわたって、以下のすべての条件が満たされる場合、ヒカップ過電流保護に入ります。

- ソフト スタートが開始されてから、 t_{SS2} 以上の時間が経過した ([ソフト スタートとドロップアウトからの回復](#)を参照)。
- 出力電圧が、出力設定点の約 0.4 倍を下回っている。
- 本デバイスがドロップアウト (最小オフ時間がデューティ係数によって制御されている状態) で動作していない。

ヒカップモードに入ると、デバイスはシャットダウンし、 t_W 後にソフトスタートを試みます。ヒカップ モードは、過酷な過電流条件と短絡の際に本デバイスの消費電力を低減するのに役立ちます。

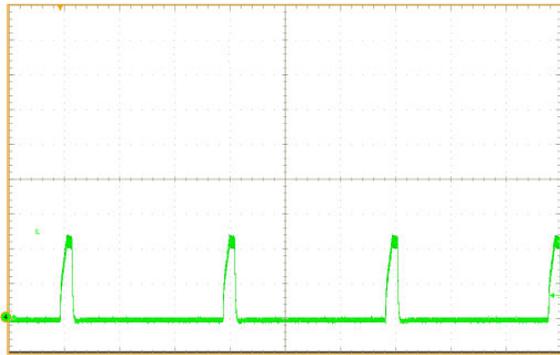


図 7-18. ヒカップ中のインダクタ電流バースト

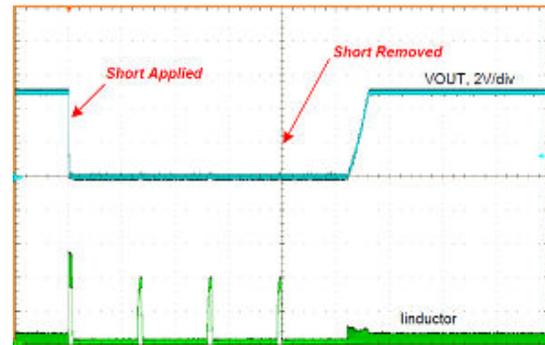


図 7-19. 短絡過渡と回復

7.3.14 サーマル シャットダウン

サーマル シャットダウンでは、本 IC の接合部温度が 168°C (標準値) を超えると内部スイッチをオフにすることで、総電力損失を制限します。サーマル シャットダウンは 158°C 未満ではトリガされません。サーマル シャットダウンが作動した後、ヒステリシスにより、接合部温度が約 159°C に低下するまで本デバイスのスイッチングが止められます。接合部温度が 159°C (標準値) を下回ると、LM614xxT-Q1 はソフトスタートを試みます。

接合部温度が上昇して、LM614xxT-Q1 がシャットダウンされても、電力は VCC に供給され続けます。高い接合部温度のせいで本デバイスが無効化されると同時に、VCC の短絡による過熱を防止するため、VCC に電力を供給する LDO の電流制限値が低減されます。サーマル シャットダウン時の LDO の供給電流はわずか数ミリアンペアです。

7.4 デバイスの機能モード

7.4.1 シャットダウンモード

EN ピンは、本デバイスの電氣的オン / オフ制御に使用できます。EN ピンの電圧が 0.4V を下回ると、レギュレータと内部 LDO の両方が電圧を出力しなくなり、本デバイスはシャットダウン モードに入ります。シャットダウン モードでは、静止電流が $0.66\mu\text{A}$ (標準値) まで低下します。

7.4.2 スタンバイモード

内部 LDO の EN スレッシュホールドは、レギュレータの出力よりも低い値です。内部 LDO は通常、以下の状況下で VCC 電圧を 3.3V にレギュレーションします：

- EN ピンの電圧が 1.1V (最大値) より高い。
- EN ピンの電圧が出力電圧の高精度イネーブルスレッシュホールドを下回っている。

VCC が UVLO を上回ると、高精度イネーブル回路がオンになります。EN 端子の電圧が高精度イネーブルしきい値を上回らない限り、SW ノードの内部パワー MOSFET はオフのままです。LM614xxT-Q1 は UVLO 保護も採用しています。VCC 電圧が UVLO レベルを下回ると、レギュレータの出力はオフになります。

7.4.3 アクティブモード

LM614xxT-Q1 は、次の事象が発生するとアクティブ モードになります。

- EN ピンが V_{EN} を上回る。
- V_{IN} が V_{EN} を上回る。
- V_{IN} が、 V_{IN} の最小動作入力電圧を満たすのに十分な大きさである。
- その他の障害条件は存在しない。

保護機能については、「機能説明」を参照してください。この動作を可能にする最も簡単な方法は、EN ピンを VIN に接続することです。これにより、印加された入力電圧が最小 $V_{\text{IN_OPERATE}}$ を超えると自動的に起動できます。

アクティブ モードでは、負荷電流、入力電圧、出力電圧に応じて、LM614xxT-Q1 は次の 6 つのサブモードのいずれかになります。

- 固定スイッチング周波数とピーク電流モード動作による連続導通モード (CCM)
- 不連続導通モード (DCM) (自動モードのときに負荷電流がインダクタリップル電流の 1/2 未満である場合)電流が減少し続けると、デバイスはパルス周波数変調 (PFM) に移行します。これにより、軽負荷時にスイッチング周波数が低下して、スイッチング損失を低減しながらレギュレーションを維持し、高効率を実現します。
- 要求された低デューティサイクルでの全周波数動作に必要なデバイスのオン時間の最小オン時間動作は、 T_{ON_MIN} ではサポートされていません。
- 固定スイッチング周波数の CCM に類似した強制パルス幅変調 (FPWM)。ただし、動作の固定周波数範囲を全負荷から無負荷まで拡張。
- 低下を最小限に抑えるためにスイッチング周波数が低下したときのドロップアウト モード。
- 出力電圧の設定点を除く他の動作モードと類似のドロップアウトからの回復は、プログラムされた設定点に達するまで徐々に上昇します。

7.4.3.1 ピーク電流モード動作

以下に示す LM614xxT-Q1 の動作説明は、[図 7-20](#) の「機能ブロック図」と波形を参照しています。両方とも、内蔵ハイサイド (HS) およびローサイド (LS) NMOS スイッチを各種デューティ サイクル (D) でオンにすることで、制御された出力電圧を供給します。HS スイッチのオン時間の間、SW 端子の電圧 (V_{SW}) は V_{IN} の付近までスイングし、インダクタ電流 (i_L) は線形的な傾きで増加します。HS スイッチは、制御ロジックによってオフにされます。HS スイッチのオフ時間 (t_{OFF}) の間、LS スイッチはオンにされます。インダクタ電流は LS スイッチを通して放電され、LS スイッチの両端の電圧降下によって V_{SW} をグランドより低い電圧まで強制的にスイングさせます。一定の出力電圧を維持するため、レギュレータ ループはデューティ サイクルを調整します。D は、HS スイッチのオン時間をスイッチング周期で割った値として次のように定義されます。 $D = T_{ON} / (T_{ON} + T_{OFF})$ 。

損失が無視される理想的な降圧コンバータでは、次のように D は出力電圧に比例し、入力電圧に反比例します。 $D = V_{OUT} / V_{IN}$ 。

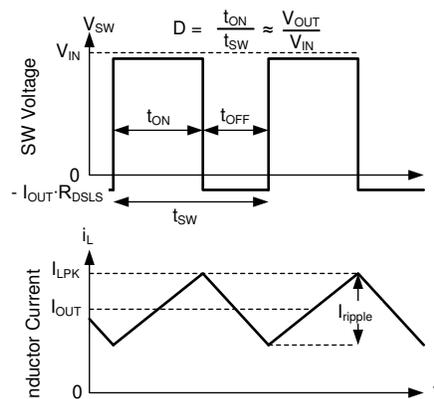


図 7-20. 連続モード (CCM) における SW 電圧とインダクタ電流の波形

高精度の DC 負荷レギュレーションを実現するため、電圧帰還ループを使用しています。ピーク電流モード制御と電流保護のために、ピークおよびバレー インダクタ電流を検出します。負荷レベルが最小ピーク インダクタ電流の 1/2 を上回っている場合、レギュレータは一定のスイッチング周波数の連続導通モードで動作します。内部的に補償された制御ネットワークは、小型外付け部品と低 ESR コンデンサを使った高速で安定した動作を実現します。

7.4.3.2 自動モード動作

軽負荷時、LM614xxT-Q1 は 2 種類の動作を行うことができます。自動モード動作と呼ばれる動作を使うと、負荷が重い際の通常電流モードと高効率の軽負荷動作との間をシームレスに移行できます。FPWM モードと呼ばれるもう 1 つの動作では、無負荷時でも最大周波数が維持されます。LM614xxT-Q1 がどちらのモードで動作するかは、SYNC/MODE ピンによって決まります。SYNC/MODE が High のとき、本デバイスは FPWM モードになります。SYNC/MODE が Low の場合、本デバイスは PFM モードになります。

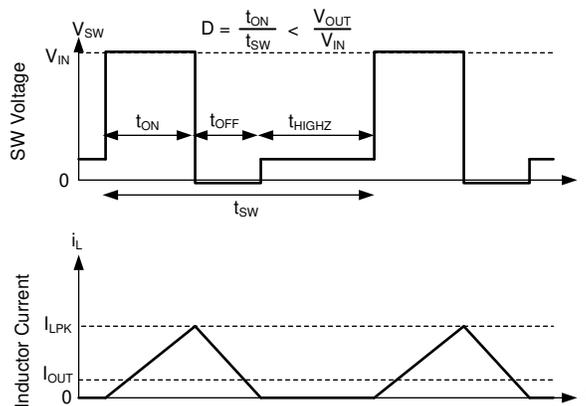
自動モードでは、定格最大出力電流の約 1/10 未満の負荷の場合、LM614xxT-Q1 では軽負荷動作が使われます。軽負荷動作では、効率を向上させるため次の 2 つの手法が使われます。

- DCM 動作が可能なダイオード エミュレーション
- 周波数低減

これら 2 つの機能が同時に動作することで、非常に優れた軽負荷動作を実現しますが、互いに独立して動作することに注意します。

7.4.3.2.1 ダイオード エミュレーション

ダイオード エミュレーションは、インダクタを流れる逆電流を防止します。固定ピーク インダクタ電流の場合、レギュレートするために周波数をより低くする必要があります。ダイオード エミュレーションは、周波数が下がった際のリップル電流も制限します。ピーク インダクタ電流が $I_{PEAK-MIN}$ を下回ると、周波数が低下します。固定ピーク電流では、出力電流がゼロに向かって低下するにつれて、レギュレーションを維持するために周波数をゼロに近い値まで下げる必要があります。



自動モードでは、インダクタ電流がゼロに近づくときローサイド デバイスはオフになります。その結果、出力電流が CCM でインダクタリップルの 1/2 未満になると、本デバイスは DCM で動作します。これは、ダイオード エミュレーションが機能していることと等価です。

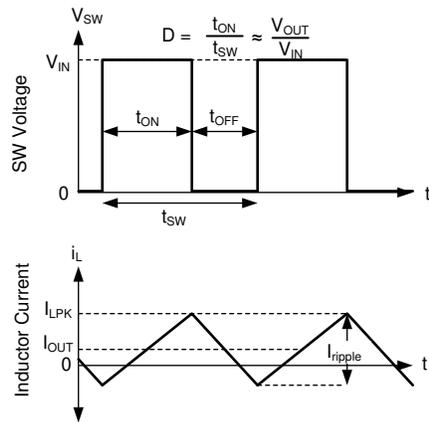
図 7-21. PFM 動作

自動モードでは、LM614xxT-Q1 は最小ピーク インダクタ電流設定値を持っています。しかしながら、入力電圧を一定にした状態で、電流値が下がると、オン時間は一定になります。その後、周波数を調整することで、レギュレーションが達成されます。この動作モードを PFM モードレギュレーションと呼びます。

7.4.3.3 FPWM モード動作

自動モード動作と同様に、軽負荷動作時の FPWM モード動作は SYNC/MODE ピンを使って選択します。

FPWM モードでは、軽負荷時に周波数が維持されます。周波数を維持するため、インダクタを流れる逆電流が制限されます。逆電流制限回路により、逆電流が制限されます。逆電流制限の値については、「電気的特性」を参照してください。



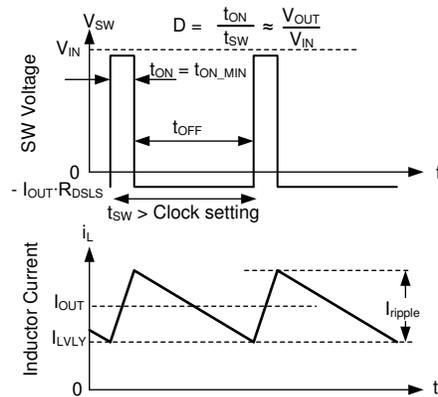
FPWM モードの連続導通 (CCM) は、 I_{OUT} が I_{ripple} の半分未満でも可能です。

図 7-22. FPWM モード動作

FPWM モードでは、軽負荷時でも最小オン時間を指示できるほど出力電圧が高ければ周波数の低減が可能です。これにより、フォルト中であっても、出力をブルアップすることを含む良好な動作が可能です。

7.4.3.4 最小オン時間 (高入力電圧) での動作

LM614xxT-Q1 は出力電圧のレギュレーションを継続します。出力電圧に対する入力電圧の比が要求するオン時間が、指定のクロック設定のチップの最小オン時間より短い場合でも継続します。この動作は、バレー電流制御を使用して実行されます。補償回路は常に最大ピーク インダクタ電流と最大バレー インダクタ電流の両方を指示します。何らかの理由でバレー電流を超過した場合、補償回路によって決定された値をバレー電流が下回るまで、クロックサイクルが延長されます。電流制限による動作はない場合は、最大バレー電流はピークインダクタ電流よりも高く設定されます。これにより、ピーク電流のみを使ったレギュレーションに失敗しない限り、バレー制御が使われなくなります。出力電圧に対する入力電圧の比が高すぎる場合、補償回路が指示したピーク値を超える電流が流れたとしても、出力電圧をレギュレートするのに十分な速さではハイサイドデバイスをオフにすることはできません。「電気的特性」の t_{ON_MIN} を参照してください。結果的に、補償回路はピーク電流とバレー電流の両方を小さくします。補償回路によって十分小さい電流が選択されると、バレー電流は、補償回路が指示した電流に一致します。これらの条件では、ローサイド素子がオンに維持され、目的のバレー電流をインダクタ電流が下回るまで、次のクロック サイクルは開始されません。オン時間は最小値に固定されているため、このタイプの動作は、COT 制御方式を採用したデバイスの動作と似ています。図 7-23 を参照してください。

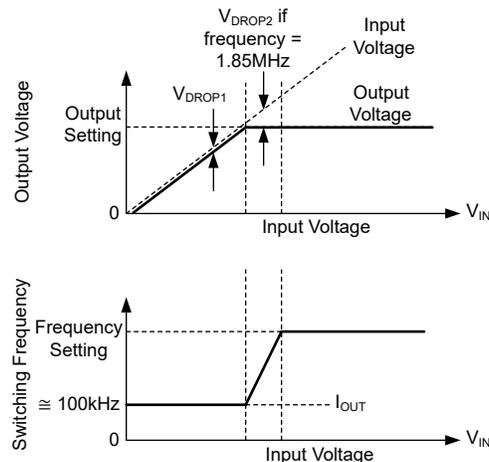


バレー制御モードでは、ピークインダクタ電流ではなく、最小インダクタ電流がレギュレーションされます。

図 7-23. バレー電流モード動作

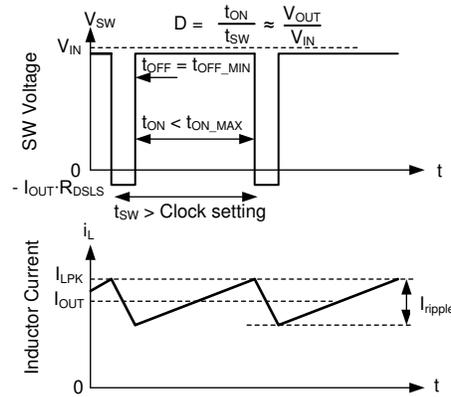
7.4.3.5 ドロップアウト

ドロップアウト動作とは、必要なデューティ係数を達成するために周波数を下げ、入力電圧に対する出力電圧の比を任意の値に制御することです。与えられたクロック周波数において、デューティ係数は最小オフ時間によって制限されます。この制限値に達した後、仮にクロック周波数が維持される場合、出力電圧は低下します。LM614xxT-Q1 は、出力電圧が下がるのを許容するのではなく、クロック サイクルが終わっても必要なピーク インダクタ電流が達成されるまでオン時間を延長します。ピークインダクタ電流に達する、または設定済みの最大オン時間 (t_{ON_MAX} 、約 $9\mu s$) が経過すると、クロックは新しいサイクルを開始できます。その結果、最小オフ時間の存在に起因して、選択されたクロック周波数において必要なデューティ係数が達成できない場合、レギュレーションを維持するために周波数が低下します。オン時間 (t_{ON_MAX}) を使っても出力電圧をレギュレートできないほど入力電圧が低い場合、出力電圧は入力電圧よりもわずかに (V_{DROP1}) 低い値に下がります。「仕様」を参照してください。



出力電圧および周波数と入力電圧との関係: 入力電圧と出力電圧設定値との差がほとんどない場合、本 IC はレギュレーションを維持するために周波数を下げます。入力電圧が低すぎて、約 110kHz で目的の出力電圧を供給できない場合、出力電圧は入力電圧に追従します。

図 7-24. ドロップアウト時の周波数と出力電圧



この図は、ドロップアウト中のスイッチング波形を示しています。インダクタ電流は、目的のピーク値に達するのに通常のクロックよりも長い時間を要します。その結果、周波数は低下します。この周波数の低下は t_{ON_MAX} によって制限されます。

図 7-25. ドロップアウト波形

7.4.3.6 ドロップアウトからの回復

一部のアプリケーションでは、目的の出力電圧よりも入力電圧が下がった後、より高い値に突然回復する場合があります。ほとんどのレギュレータは、入力電圧が急激に上昇すると、レギュレーションが達成されるまでの間、電流制限によってのみ制限されたレートで出力電圧が上昇します。入力電圧が目的の出力電圧に達すると、制御ループでのワインドアップによるオーバーシュートが発生します。出力容量が小さい（負荷が軽い）アプリケーションでは、このオーバーシュートは大きくなる可能性があります。また、レギュレータが出力電圧のレギュレーションを開始した後、大きな突入電流が入力ラインで大きな変動を引き起こす可能性があります。これは、通常、この初期突入時よりも少ない電流しか必要ありません。

LM614xxT-Q1 は突入電流およびオーバーシュートを大幅に低減します。この低減は、入力電圧が突然上昇したときに常にソフト スタート回路を起動することで行われ、十分に下がった後で出力電圧低下を引き起こします。この機能が誤って作動しないようにするには、出力電圧が 1% 以上下がるまでこの機能を使えなくする必要があります。また、この機能はドロップアウト状態または電流制限状態で動作している場合にのみ動作するため、通常の過渡応答の干渉は避けられますが、動作中に数パーセントのオーバーシュートは許容されてしまいます。出力電圧が目的のレベルに非常に近い場合、レギュレーションを開始する前にインダクタ電流が High レベルに上昇する時間がないため、オーバーシュートが低減されます。

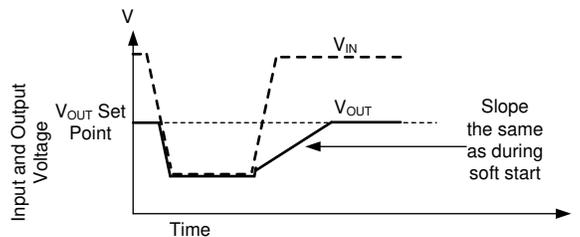


図 7-26. 出力電圧が低下すると、出力電圧はゆっくりと回復をして、オーバーシュートや大きな突入電流を防止します

7.4.3.7 その他のフォルト モード

故障モードとその説明については、このデータシートの「機能説明」を参照してください。

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

LM614xxT-Q1 降圧 DC-DC コンバータは、一般的に高い DC 電圧を最大出力電流 10A の低い DC 電圧に変換する用途で使用されます。LM614xxT-Q1 の部品を選択する際には、次の設計手順を使用します。

8.2 代表的なアプリケーション

図 8-1 に、LM614xxT-Q1 の代表的なアプリケーション回路を示します。本デバイスは、幅広い外付け部品とシステムパラメータで機能するように設計されています。しかし内部補償は、特定の範囲の外付けインダクタンスおよび出力容量に対して最適化されています。クイック スタートガイドとして、表 8-2 では最も一般的な構成の代表的な部品の値が提供されています。表に示す値は標準値です。アプリケーションの要求に応じて、他の値を使用して特定の性能基準を強化することができます。この QFN パッケージでは、入力容量が分割されて、パッケージのいずれかの側に配置されていることに注意してください。「[入力コンデンサの選択](#)」も参照してください。

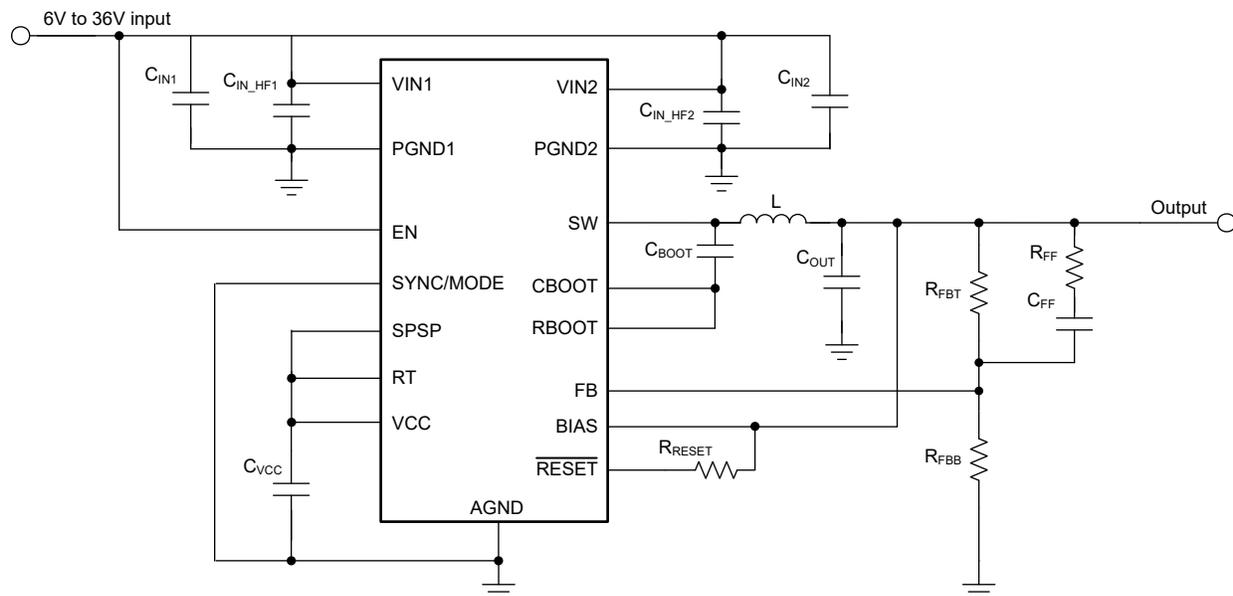


図 8-1. アプリケーション回路例 - 2.2MHz 可変出力

8.2.1 設計要件

以下の表に、詳細設計手順のパラメータ例を示します。

表 8-1. 詳細設計パラメータ

設計パラメータ	数値の例
入力電圧	13.5V (6V ~ 36V)
出力電圧	5V
最大出力電流	10A 連続
スイッチング周波数	2.2MHz

表 8-2. 外付け部品の代表的な値

f _{sw} (kHz)	V _{OUT} (V)	I _{OUT} (A)	L (μH)	C _{OUT} (定格)	R _{FBT} (kΩ)	R _{FBB} (kΩ)	C _{IN} + C _{HF} (μF)	C _{BOOT} (μF)	R _{BOOT} (Ω)	C _{VCC} (μF)	C _{FF} (pF)	R _{FF} (kΩ)
400	5	10	2.7	5 × 22μF セラミックまたは 2 × 22μF + 15mΩ 150μF	100	24.9	2 × 10 + 2 × 0.47	0.1	0	1	10	4.99
400	3.3	10	2.2	3 × 47μF セラミックまたは 3 × 22μF + 15mΩ 150μF	100	43.2	2 × 10 + 2 × 0.47	0.1	0	1	10	4.99
2200	5	10	0.47	3 × 33μF セラミックまたは 1 × 33μF + 15mΩ 150μF	100	24.9	2 × 10 + 2 × 0.47	0.1	0	1	10	4.99
2200	3.3	10	0.39	3 × 47μF セラミックまたは 1 × 47μF + 15mΩ 150μF	100	43.2	2 × 10 + 2 × 0.47	0.1	0	1	10	4.99

8.2.2 詳細な設計手順

以下の設計手順については、[図 8-1](#) と [表 8-1](#) を参照してください。

8.2.2.1 スイッチング周波数の選択

スイッチング周波数の選択は、変換効率と設計全体のサイズとのトレードオフとなります。スイッチング周波数が低いとスイッチング損失は減少し、一般的に IC での消費電力が小さくなります。IC の消費電力が小さいとシステム効率が高くなり、IC 温度が低くなります。一方、スイッチング周波数を高くすると、より小型のインダクタと出力コンデンサを使用できるようになるため、よりコンパクトな設計が可能となります。多くのアプリケーションでは、AM 帯域を回避する必要があります。これらのアプリケーションでは、AM 帯域よりも低い 400kHz と、AM 帯域よりも高い 2.2MHz のどちらかの動作周波数で動作する傾向があります。この例では、2.2MHz のスイッチング周波数を選択します。

8.2.2.2 出力電圧の設定

LM614xxT-Q1 の出力電圧は、分圧抵抗回路を使用して外部で調整可能です。2 つの推奨出力電圧用の 2 つの分圧回路を、[表 8-2](#) に示します。分圧回路は上部と底部の帰還抵抗、R_{FBT} と R_{FBB} で構成され、出力電圧とコンバータの間のループを閉じています。コンバータは、FB ピン電圧を内部基準電圧 (V_{FB} = 1V) と同じ電圧に保持することで、出力電圧をレギュレートします。分圧器の合計抵抗値は、ノイズの過剰な混入と出力の過剰な負荷との折り合いを付けることで決定します。抵抗値を小さくすると、ノイズの感度は小さくなりますが、軽負荷効率にも小さくなります。R_{FBT} の推奨値は 100kΩ (最大値は 1MΩ) です。R_{FBT} に 1MΩ を選択する場合、この抵抗の両端にフィードフォワード コンデンサ C_{FF} を接続し、十分なループ位相マージンを確保する必要があります ([「C_{FF} と R_{FF} の選択」](#)を参照)。R_{FBT} を選択した後、[式 1](#) を使用して R_{FBB} を選択します。この 5V の例では、R_{FBT} = 100kΩ、R_{FBB} = 24.9kΩ です。

8.2.2.3 インダクタの選択

インダクタを選択するための主なパラメータはインダクタンスと飽和電流です。インダクタンスは、指定のピークツーピークリップル電流によって決まります。インダクタンスは通常、最大出力電流の 20% ~ 40% の範囲に収まるように選択します。経験上、固定入力電圧のシステムでは、インダクタのリップル電流の最適値は最大負荷電流の 30% です。自動車用の 12V バッテリーなどの可変入力電圧を使用するシステムでは、25% が一般的に使用されています。この例では V_{IN} = 13.5V を使用しており、12V 車載用バッテリーの公称電圧に近い値です。デバイスから利用可能な最大電流よりも、最大負荷電流はるかに小さいアプリケーションのリップル電流を選択する場合でも、この計算には依然としてデバイスの最大電流を利用する必要があります。[式 5](#) を使用して、インダクタンスの値を決定することができます。定数 K は、定格出力電流に対するピークツーピークのインダクタ電流リップルのパーセンテージです。この 10A、2.2MHz、5V の例では、K = 0.25 を選択し、約 0.6μH のインダクタンスを求めました。最も近い標準値である 0.68μH を選択します。

$$L = \frac{V_{IN} - V_{OUT}}{f_{sw} \times K \times I_{OUTmax}} \times \frac{V_{OUT}}{V_{IN}} \quad (5)$$

理想的には、インダクタの飽和電流定格は、ハイサイドスイッチの電流制限値 I_{SC} 以上にする必要があります。この大きさを使用すると、出力のソフト短絡条件時にもインダクタが飽和しなくなります。ハード短絡が発生すると、LM614xxT-Q1 はヒカップモードに移行します ([「ヒカップ」](#)を参照)。ソフト短絡では、ヒカップをトリガせずに出力電流を電流制限値に保持できます。インダクタのコア材が飽和すると、インダクタンスは非常に小さい値に低下して、インダクタ電流が急増する可能

性があります。バレー電流制限値 $I_{LS-LIMIT}$ は、電流が暴走しづらいうように設計されているとはいえ、インダクタが飽和することで電流値が急増する可能性があります。この動作により部品が損傷するおそれがあるため、インダクタを飽和させないようにする必要があります。フェライト コア材を採用したインダクタは飽和特性が非常に急峻ですが、コア損失は通常、圧粉コアよりも小さいです。圧粉コアは穏やかな飽和特性を示すため、インダクタの飽和電流定格をある程度緩和できます。ただし、圧粉コアは標準的に 1MHz を超える周波数でコア損失が大きくなります。分数調波発振を防止するため、式 6 で与えられる値よりインダクタンス値を小さくしないようにします。最大インダクタンスは、電流モード制御を正しく行うために必要な最小電流リップルによって制限されます。目安として、インダクタの最小リップル電流は、公称条件でのデバイスの最大定格電流の約 10% 以上とする必要があります。

$$L > \frac{V_{OUT}}{f_{SW} \times 0.6 \times I_{RATED}} \quad (6)$$

ここで、 I_{RATED} は、**推奨動作条件** に記載されるデバイスの DC 電流定格です。

8.2.2.4 出力コンデンサの選択

出力コンデンサの値および ESR によって、出力電圧リップルと負荷過渡性能が決定します。出力コンデンサは通常、出力電圧リップルではなく負荷過渡要件によって制限されます。表 8-3 を使うと、いくつかの一般的なアプリケーションに適した C_{OUT} および C_{FF} のコンデンサの値を見つけることができます。4.99kΩ の R_{FF} を C_{FF} と直列に接続する必要があることに注意します。この例では、優れた過渡性能を実現するため、出力コンデンサとして 5 x 33μF のセラミックと 220μF の電解を、 C_{FF} として 15pF を使用しています。

表 8-3. 出力コンデンサと C_{FF} の選択値

FREQUENCY	I_{OUT}	過渡性能	3.3V OUTPUT		5V OUTPUT	
			C_{OUT}	C_{FF}	C_{OUT}	C_{FF}
2.2MHz	10A	最小	5 x 33μF セラミック	15pF	3 x 33μF セラミック + 220μF 電解	15pF
2.2MHz	10A	より優れた過渡性能	5 x 33μF セラミック + 220μF 電解	15pF	3 x 33μF セラミック + 220μF 電解	15pF

8.2.2.5 入力コンデンサの選択

セラミック入力コンデンサは、レギュレータに低インピーダンス ソースを供給するだけでなく、リップル電流を供給して、他の回路からスイッチング ノイズを絶縁します。LM614xxT-Q1 の入力には 10μF 以上のセラミック コンデンサが必要です。EMI 特性を向上させるために、2 x 10μF 以上のセラミック容量を使用してください。これは、少なくともアプリケーションが必要とする最大入力電圧を定格とする必要があります。DC バイアスのディレーティングを低減するため、最大入力電圧の 2 倍にすることを推奨しています。この容量を増やすことで、入力電圧リップルを低減し、負荷過渡時の入力電圧を維持できます。また、各入力/グランド ピン ペア (VIN1/PGND1、VIN2/PGND2) には、レギュレータに直接隣接して、小型 (0603 または 0402) のセラミック コンデンサを使用する必要があります。ディレーティングを最小限に抑えるため、このコンデンサの電圧定格は最大入力電圧の 2 倍以上にする必要があります。このコンデンサには X7R 以上の誘電体も使用してください。これらのパラメータを使用して、最高のコンデンサ値を選択します。このコンデンサの値により、スイッチ ノードリングと電磁干渉放射を低減する高周波バイパスが可能になります。QFN (VAM) パッケージ品は、パッケージの両側に 2 つの入力電圧ピンと 2 つの電源グランドピンを備えています。これらのピンにより、入力コンデンサを分割して、内部パワー MOSFET に対して最適に配置することができ、入力のバイパスの効果を高めることができます。この例では、2 つの 10μF、50V、1206、X7R セラミック コンデンサと、2 つの 0.47μF、50V、0603、X7R セラミック コンデンサを、各 VIN/PGND ピンペアに配置しています。

多くの場合、入力にセラミックと並列に電解コンデンサを使用することが推奨されます。これは、長い配線またはパターンを使って入力電源をレギュレータに接続する場合に特に当てはまります。このコンデンサに中程度の ESR を持つコンデンサを使うことは、長い電源配線のインダクタンスによって生じる入力電源のリングングを減衰させるのに有効です。この追加のコンデンサの使用は、インピーダンスが非常に高い入力電源によって生じる瞬間的な電圧低下の防止にも有効です。

入力スイッチング電流のほとんどは、セラミック入力コンデンサを流れます。この電流の最も厳しい条件の RMS 近似値は、式 7 で計算できます。この値は、メーカーの最大定格に照らしてチェックする必要があります。

$$I_{RMS} \approx \frac{I_{OUT}}{2} \quad (7)$$

8.2.2.6 ブート コンデンサ

LM614xxT-Q1 では、CBOOT ピンと SW ピンの間にブートストラップコンデンサを接続する必要があります。このコンデンサは、パワー MOSFET のゲートドライバに電力を供給するために使用するエネルギーを蓄積します。100nF、10V 以上の定格の高品質セラミックコンデンサが必要です。このパッケージでは、長いパターンや多層配線が必要とせず、SW をブートコンデンサに配線できるように、VIN2 ピンと RBOOT ピンの間にスペースが確保されています。

8.2.2.7 ブート抵抗

CBOOT ピンと RBOOT ピンの間にブート抵抗を接続すると、SW ノードの立ち上がり時間を遅くできます。EMI 性能が重要ではない場合、これらの 2 つのピンは短絡できます。EMI が重要な場合、0Ω のプレースホルダを使用します。EMI マージンが必要な場合は、値を増やしてもかまいません。最初のステップとして、50Ω のブート抵抗から開始します。これが増やすと、SW ノードの立ち上がり時間が遅くなり、数百 MHz における EMI が数 dBμV 減少します。この操作により、わずかに効率が低下します。この例では、効率を最大にするために 0Ω を選択しています。RBOOT の値をさらに増加させると、高周波 EMI 放射はさらに向上しますが、効率は低くなります。RBOOT ピンと CBOOT ピンに接続した RBOOT は、BOOT UVLO をトリガせずに、短絡と開放の間で任意の値にできます。

8.2.2.8 VCC

VCC ピンは、レギュレータの内部制御回路に電力を供給するために使用される内部 LDO の出力です。この出力を正常に動作させるには、1μF、16V、X7R または類似の、0603 または類似のセラミックコンデンサを、VCC と AGND との間に接続する必要があります。通常、いかなる外部回路によっても、この出力に負荷をかけることは避けます。ただし、この出力は、RESET (パワーグッド) 機能のプルアップに電力を供給するために使えます (「RESET 出力動作」を参照)。この場合、100kΩ の値のプルアップ抵抗が適しています。VCC の公称出力電圧は 3.3V です。この出力は、グランドまたはその他の外部電圧に短絡しないでください。

8.2.2.9 C_{FF} と R_{FF} の選択

数十ピコファラッド単位のフィードフォワードコンデンサ (C_{FF}) を、低 ESR の出力コンデンサを使った回路の位相マージンと過渡応答を改善するために使用します。この C_{FF} コンデンサは、回路の出力から IC の FB ノードに直接ノイズを導く可能性があるため、4.99kΩ の抵抗 (R_{FF}) を C_{FF} と直列に配置する必要があります。出力コンデンサの ESR ゼロが 200kHz 未満である場合、C_{FF} を使用しないでください。

出力電圧が 2.5V 未満である場合、C_{FF} はほとんど影響を及ぼさないため、C_{FF} を省略できます。出力電圧が 14V を超える場合、C_{FF} により高い周波数でゲインが大きくなりすぎるため、C_{FF} を使用する際は注意する必要があります。

R_{FBT} に 1MΩ を選択する場合、フィードフォワードコンデンサ C_{FF} を使用する必要があります。

8.2.2.10 R_{SPSP} の選択

SPSP ピンを GND に接続すると、スペクトラム拡散を無効化できます。このピンを VCC に接続すると、スペクトラム拡散を有効化できます。また、抵抗を介してこのピンを GND に接続すると、リップル除去付きスペクトラム拡散を有効化できます。これにより、スペクトラム拡散周波数変調に起因するインダクタ電流リップル振幅変調から発生する、スペクトラム拡散に関連する出力リップルが能動的に低減されます。この値は通常は約 20kΩ で、式 4 を使用するとさらに正確に計算できます。

8.2.2.11 R_T の選択

R_T 抵抗は、コンバータのスイッチング周波数を設定します。「可変スイッチング周波数」も参照してください。6.81kΩ の抵抗値は 2.2MHz に対応します。このピンは、RT ピンを GND に接続する際に、スイッチング周波数を 2.2MHz に設定するようにも構成されています。RT ピンを GND に接続するとコストとスペースを節約できますが、6.81kΩ の抵抗を配置すると後から異なる周波数が必要な場合の柔軟性を高めることができます。

8.2.2.12 R_{MODE} の選択

SYNC/MODE ピンを使用すると、コンバータを外部クロック電圧 (SYNC) に同期できます。また、このピンを使用すると 2 つのモード (MODE) 間での選択が可能になります。選択可能なモードは以下のとおりです:

- 通常動作時にはすべての負荷で固定周波数で動作する、強制パルス幅変調 (FPWM) 動作
- 軽負荷時の効率を向上させるために軽負荷時に自動的にパルス周波数変調 (PFM) に切り替える、自動モード

FPWM の場合は、SYNC/MODE ピンを VCC に接続します。自動モードの場合は、GND に接続します。また、クロック信号を印加すると、スイッチング周波数を外部クロックに同期できます。「同期における SYNC/MODE の使用」も参照してください。

8.2.2.13 外部 UVLO

場合によっては、本デバイスが内部的に備えているものとは異なる入力低電圧誤動作防止 (UVLO) レベルが必要とされることがあります。このレベルは、[図 7-2](#) に示す回路を使うことで実現できます。本デバイスがオンする入力電圧を V_{ON}、オフする入力電圧を V_{OFF} と呼びます。最初に、R_{ENB} の値を 10kΩ ~ 100kΩ の範囲で選択してから、[式 2](#) を使って R_{ENT} と V_{OFF} を計算します。

8.2.2.14 最大周囲温度

他の電力変換デバイスと同様に、LM614xxT-Q1 は動作中に内部で電力を消費します。この消費電力の影響により、コンバータの内部温度が周囲温度よりも高くなります。内部のダイ温度 (T_J) は、以下の関数になります。

- 周囲温度
- 電力損失
- デバイスの実効熱抵抗 R_{θJA}
- PCB レイアウト

LM614xxT-Q1 の最大内部ダイ温度は、150°C に制限する必要があります。この制限により、デバイスの最大消費電力が制限され、それに伴って負荷電流も制限されます。[式 8](#) に、重要なパラメータ間の関係を示します。周囲温度 (T_A) が高いほど、また、R_{θJA} が大きいほど、利用可能な最大出力電流が低減されます。コンバータの効率は、「アプリケーション曲線」セクションに示す曲線を使用して推定できます。いずれかの曲線に目的の動作条件が見つからない場合は、補間によって効率を推定できます。または、目的のアプリケーション要件に合わせて EVM を調整し、効率を直接測定することもできます。R_{θJA} の正確な値を推定するのは、より困難です。アプリケーション ノート「半導体および IC パッケージの熱評価基準」に記載されているように、「熱に関する情報」に記載されている R_{θJA} の値は設計目的には使用できず、アプリケーションの熱性能を推定するために使用してはなりません。「熱に関する情報」に報告されている値は、実際のアプリケーションではめったに見られない特定の一連の条件で測定されたものです。

$$I_{OUT} |_{MAX} = \frac{(T_J - T_A)}{R_{\theta JA}} \times \frac{\eta}{1 - \eta} \times \frac{1}{V_{OUT}} \quad (8)$$

ここで

- η = 効率
- T_A = 周囲温度 (°C)
- T_J = 接合部温度 (°C)
- R_{θJA} = 主に PCB を経由した、IC 接合部から空気への実効熱抵抗 (°C/W)

実効 R_{θJA} は重要なパラメータであり、以下のような多くの要因 (一部のみを記載) に依存します:

- 消費電力
- 空気温度
- エアフロー
- PCB 面積
- 銅の面積
- ヒートシンクのサイズ

- パッケージの下や近くにあるサーマルビアの数
- 隣接する部品の配置

VQFN (VAM) パッケージは超小型であるため、ダイ取り付けパッドを利用できず、大半の熱をピンから基板に流す必要があります。これは、レイアウトのせいでピンから熱が流れない場合に、このパッケージの $R_{\theta JA}$ 値が多少大きくなることを意味しています。適切な熱レイアウトにおける最大出力電流と周囲温度との関係の代表的な曲線を [図 8-2](#) に示します。このデータはデバイスと PCB を組み合わせた LM61495TVAMEVM 評価ボードによって取得され、 $R_{\theta JA}$ は約 21°C/W です。これらのグラフのデータはあくまで参考用であり、実際の性能は前述のすべての要因に依存します。

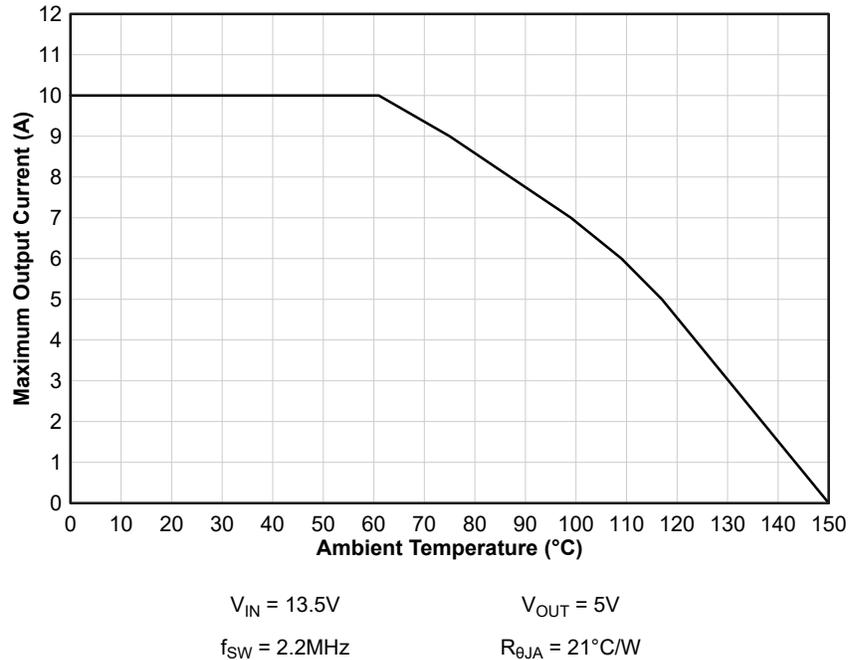


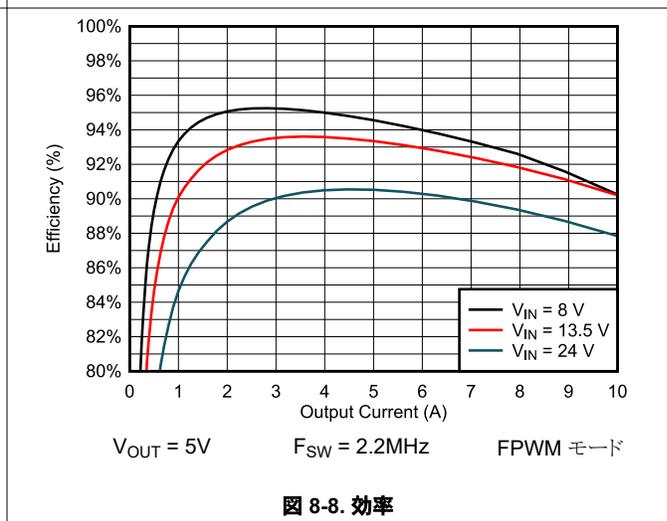
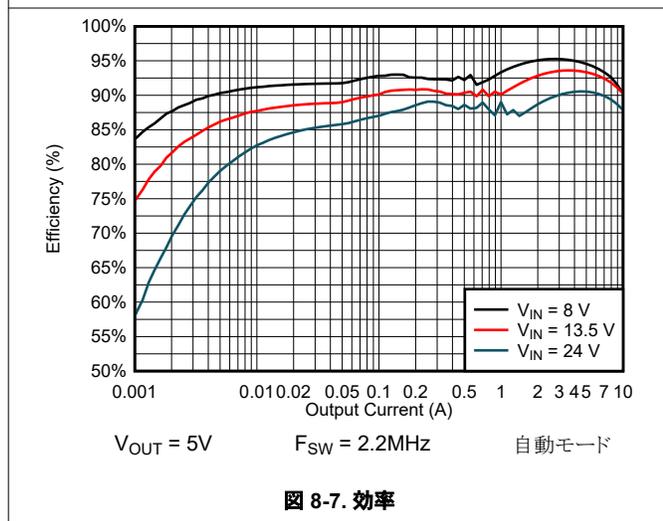
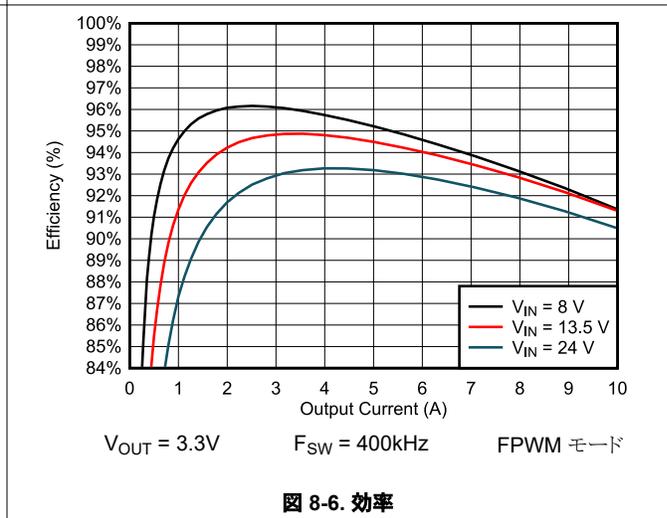
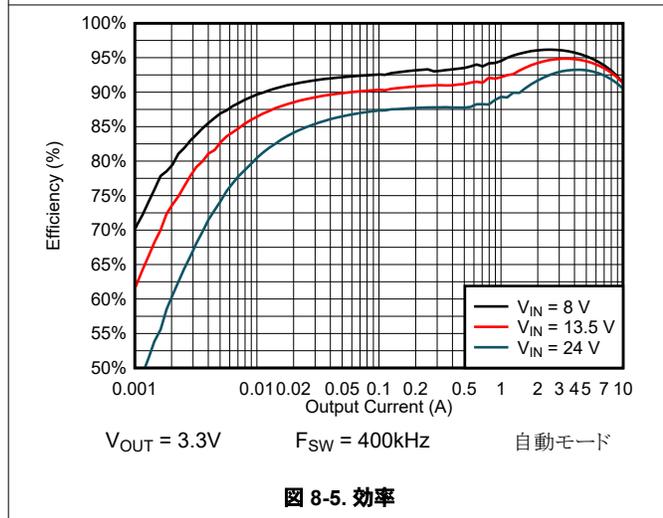
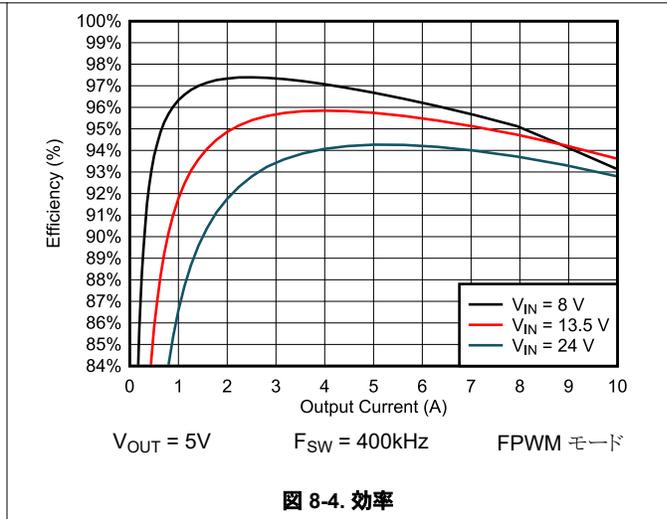
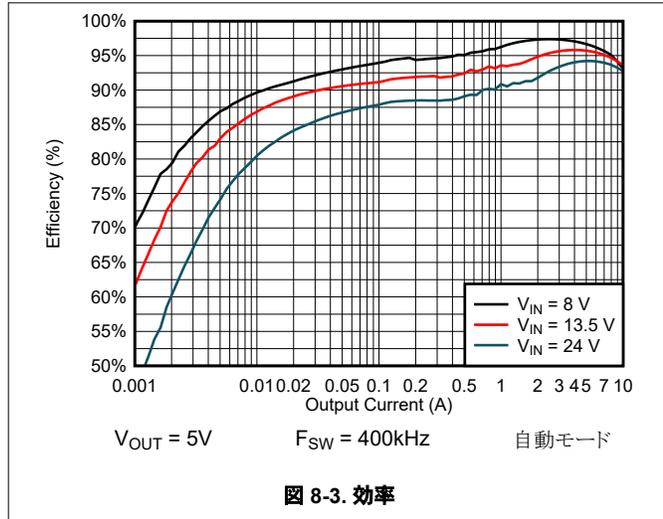
図 8-2. ヒートシンクしを使用しない最大出力電流と周囲温度との関係

優れた熱 PCB 設計および特定のアプリケーション環境における $R_{\theta JA}$ を推定するためのガイドとして、以下の資料を使用してください:

- [『過去ではなく、現在の識見による熱設計』アプリケーション ノート](#)
- [『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション ノート](#)
- [『半導体および IC パッケージの熱評価基準』アプリケーション レポート](#)
- [『LM43603 および LM43602 によるシンプルな熱設計』アプリケーション レポート](#)
- [『PowerPAD™ 熱特性強化型パッケージ』アプリケーション レポート](#)
- [『PowerPAD™ の簡単な使用法』アプリケーション ブリーフ](#)
- [『新しい熱評価基準の解説』アプリケーション レポート](#)

8.2.3 アプリケーション曲線

特に記述のない限り、次の条件が適用されます: デバイス: LM61495T-Q1、 $V_{IN} = 13.5V$ 、 $T_A = 25^\circ C$ 。回路を [図 8-1](#) に示します。それにふさわしい BOM を [表 8-4](#) に示します。



8.2.3 アプリケーション曲線 (続き)

特に記述のない限り、次の条件が適用されます: デバイス: LM61495T-Q1、 $V_{IN} = 13.5V$ 、 $T_A = 25^\circ C$ 。回路を [図 8-1](#) に示します。それにふさわしい BOM を [表 8-4](#) に示します。

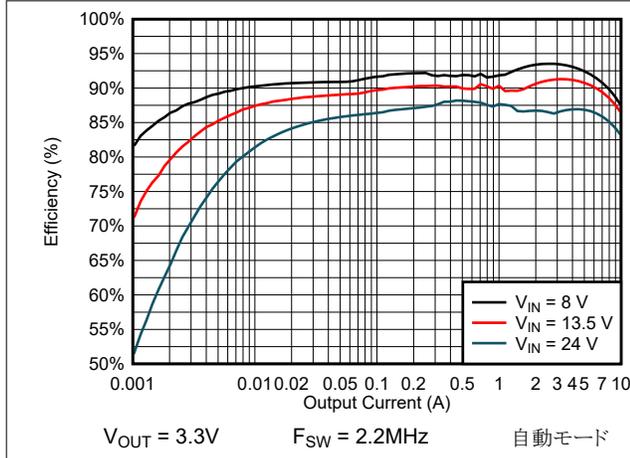


図 8-9. 効率

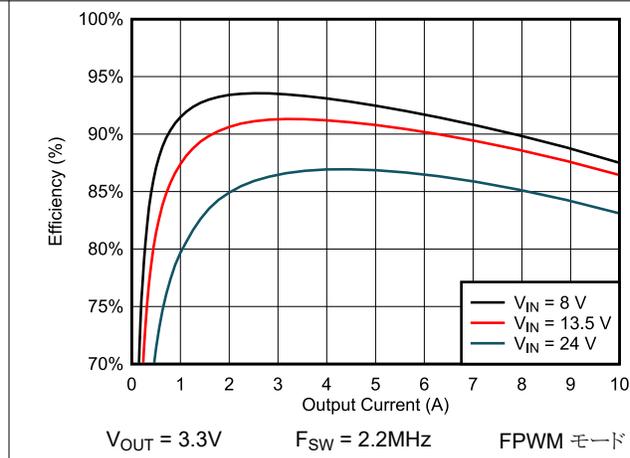


図 8-10. 効率

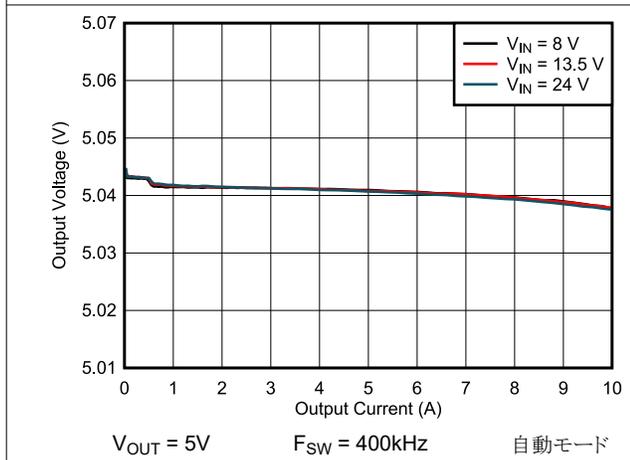


図 8-11. 負荷およびラインレギュレーション

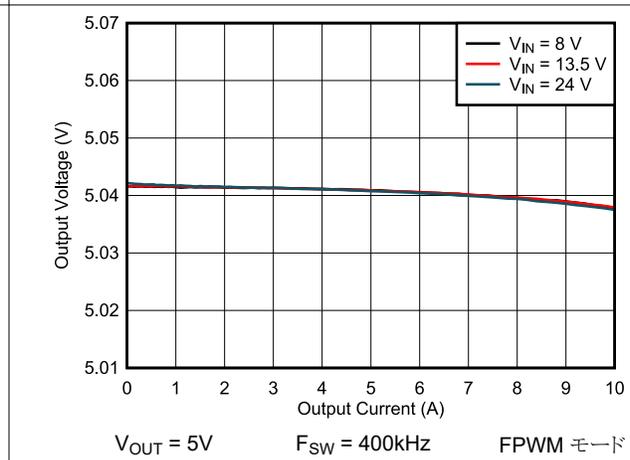


図 8-12. 負荷およびラインレギュレーション

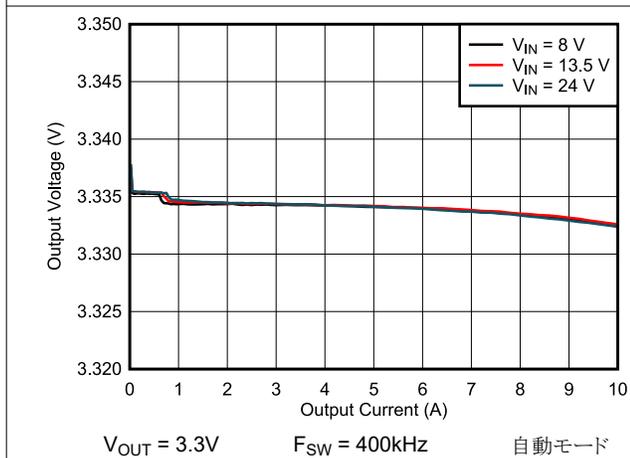


図 8-13. 負荷およびラインレギュレーション

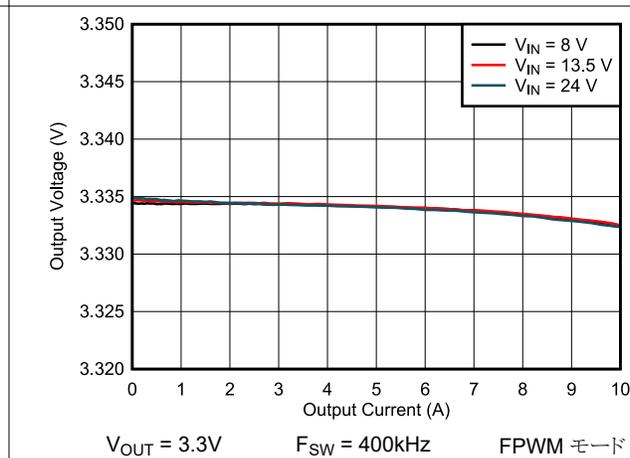
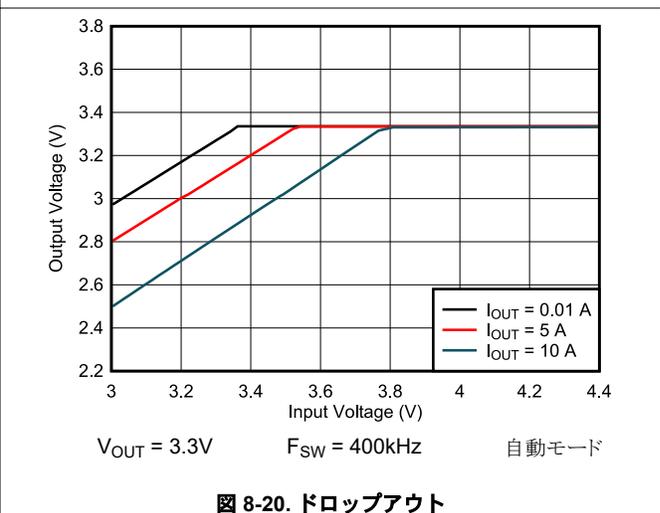
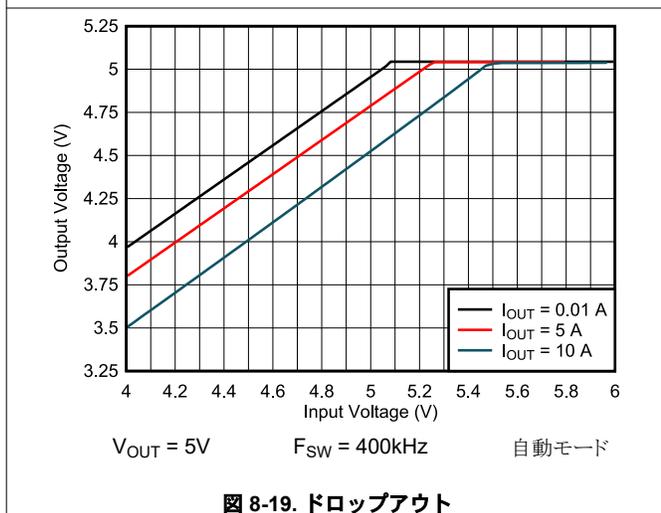
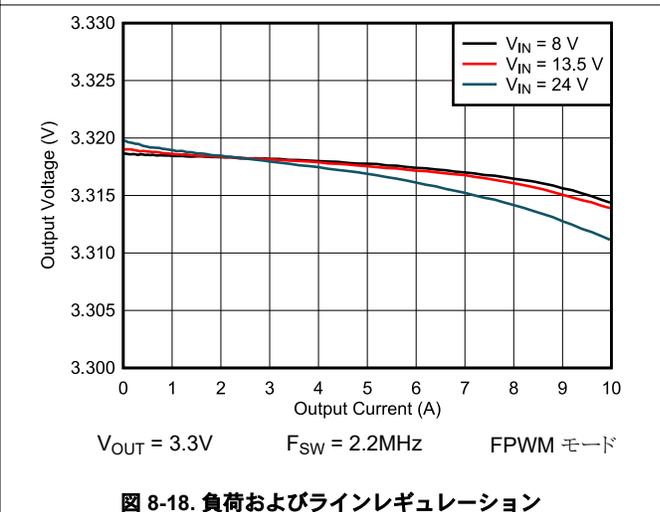
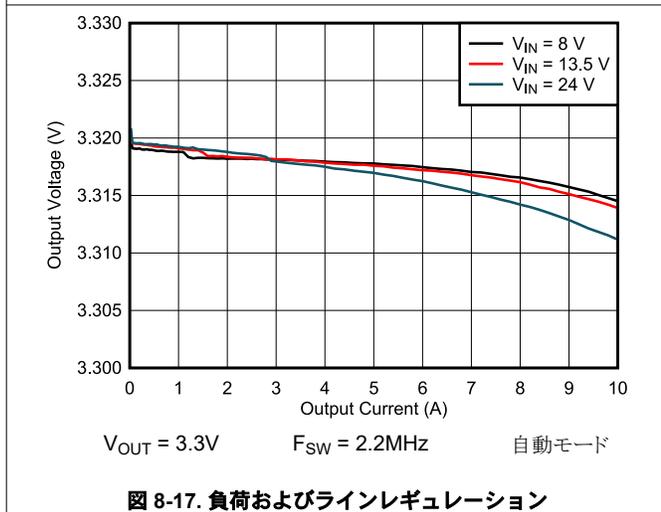
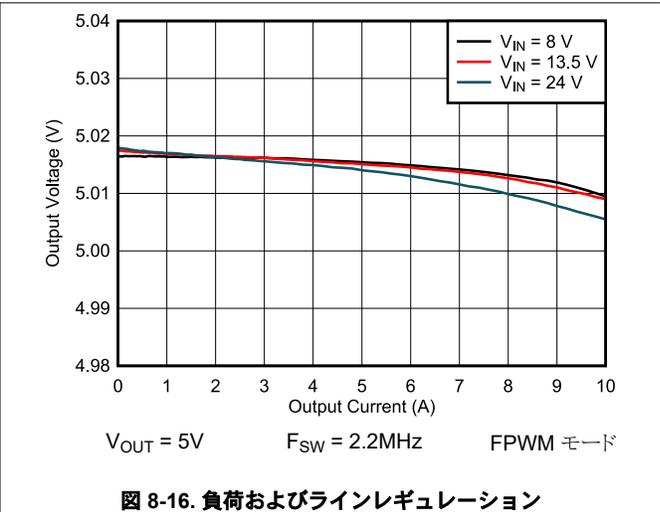
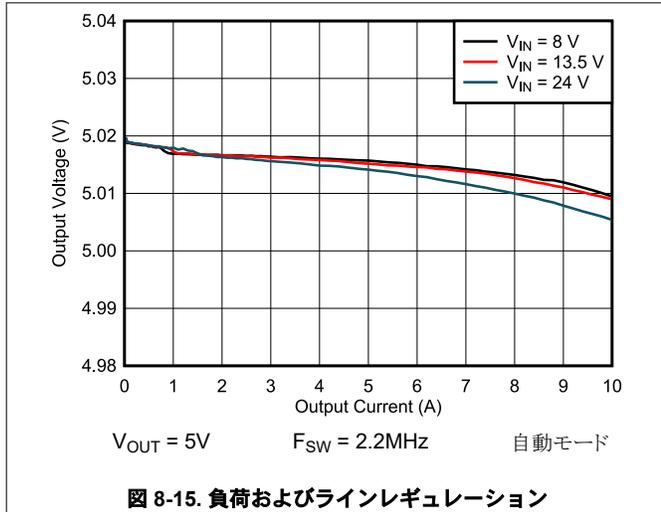


図 8-14. 負荷およびラインレギュレーション

8.2.3 アプリケーション曲線 (続き)

特に記述のない限り、次の条件が適用されます: デバイス: LM61495T-Q1、 $V_{IN} = 13.5V$ 、 $T_A = 25^\circ C$ 。回路を [図 8-1](#) に示します。それにふさわしい BOM を [表 8-4](#) に示します。



8.2.3 アプリケーション曲線 (続き)

特に記述のない限り、次の条件が適用されます: デバイス: LM61495T-Q1、 $V_{IN} = 13.5V$ 、 $T_A = 25^\circ C$ 。回路を [図 8-1](#) に示します。それにふさわしい BOM を [表 8-4](#) に示します。

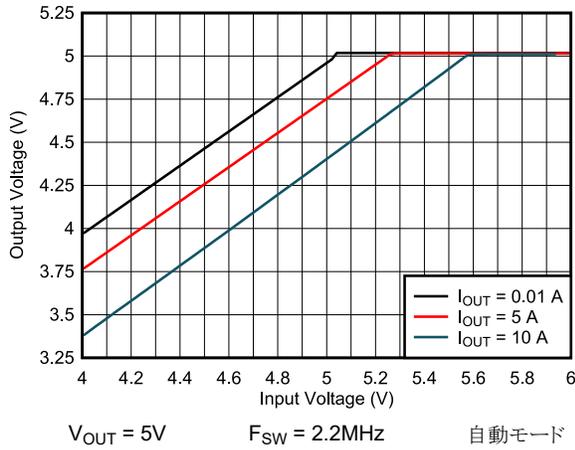


図 8-21. ドロップアウト

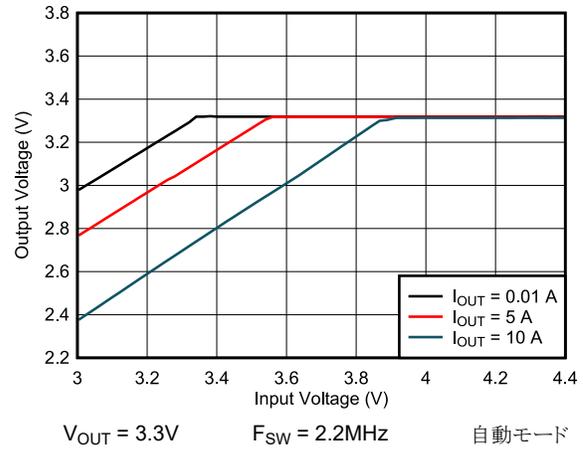


図 8-22. ドロップアウト

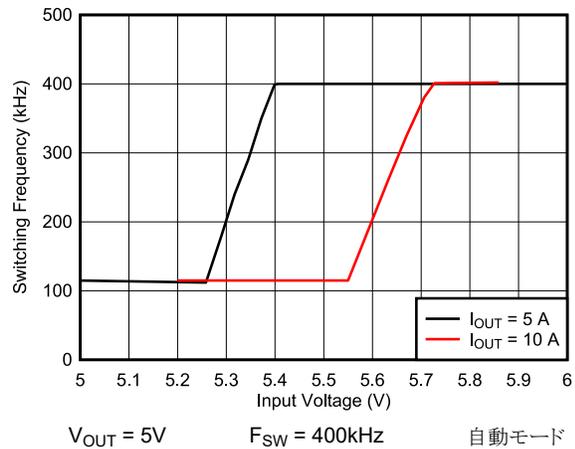


図 8-23. 周波数ドロップアウト

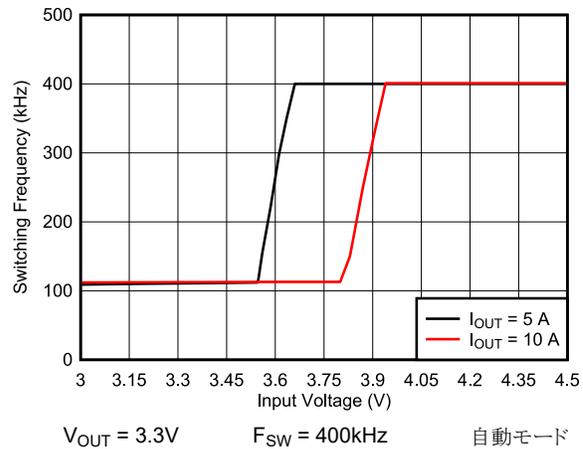


図 8-24. 周波数ドロップアウト

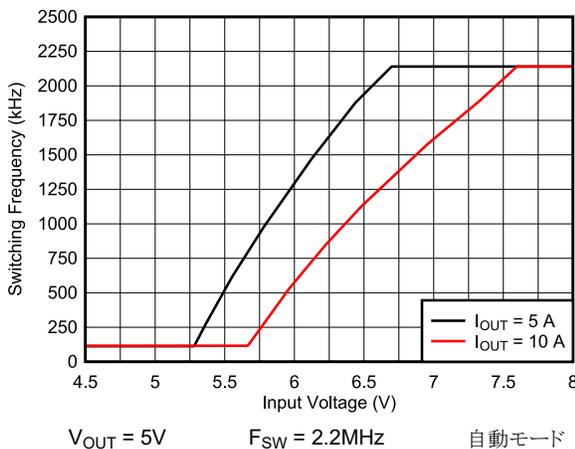


図 8-25. 周波数ドロップアウト

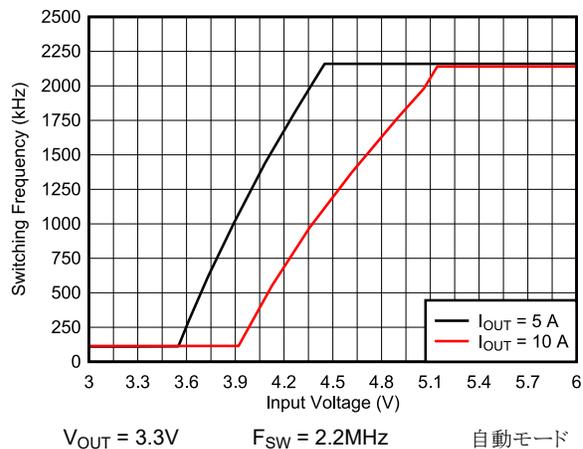


図 8-26. 周波数ドロップアウト

8.2.3 アプリケーション曲線 (続き)

特に記述のない限り、次の条件が適用されます: デバイス: LM61495T-Q1、 $V_{IN} = 13.5V$ 、 $T_A = 25^\circ C$ 。回路を [図 8-1](#) に示します。それにふさわしい BOM を [表 8-4](#) に示します。

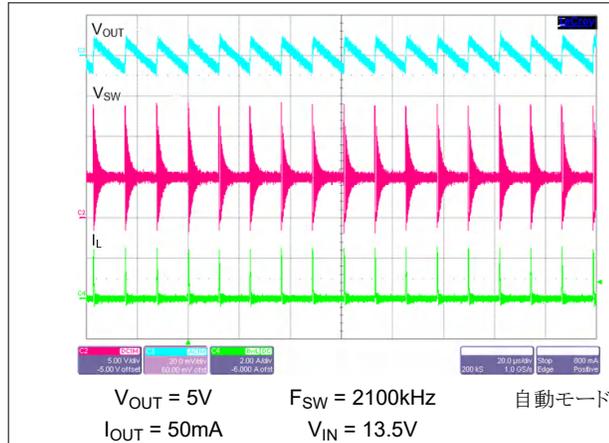


図 8-27. スイッチング波形と V_{OUT} リップル

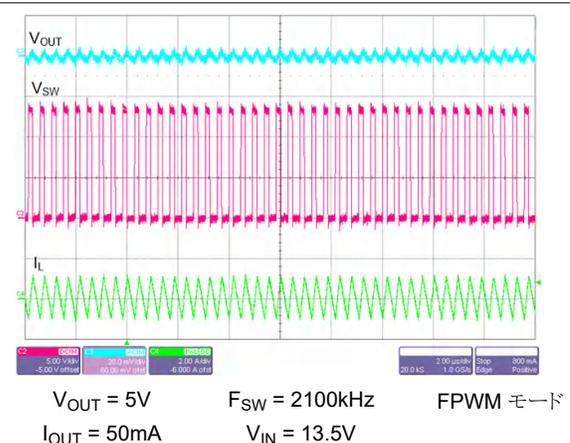


図 8-28. スイッチング波形と V_{OUT} リップル

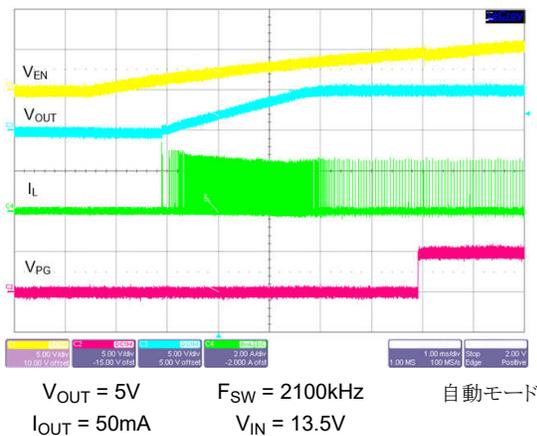


図 8-29. 負荷 50mA での起動

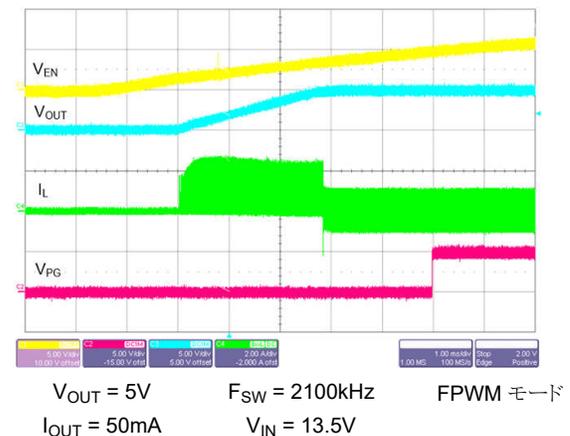


図 8-30. 負荷 50mA での起動

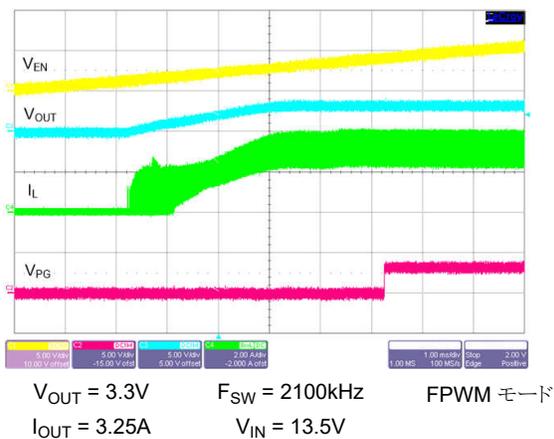


図 8-31. 負荷 3.25A での起動

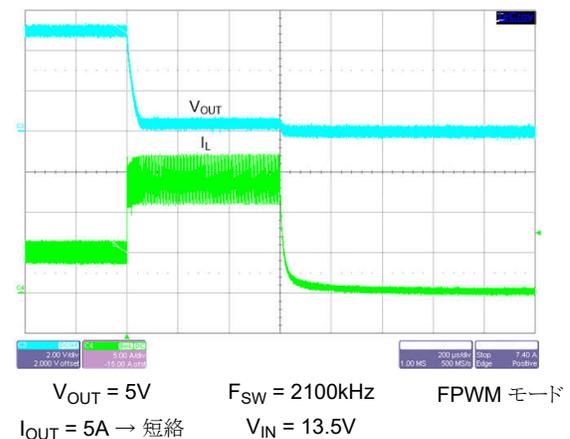
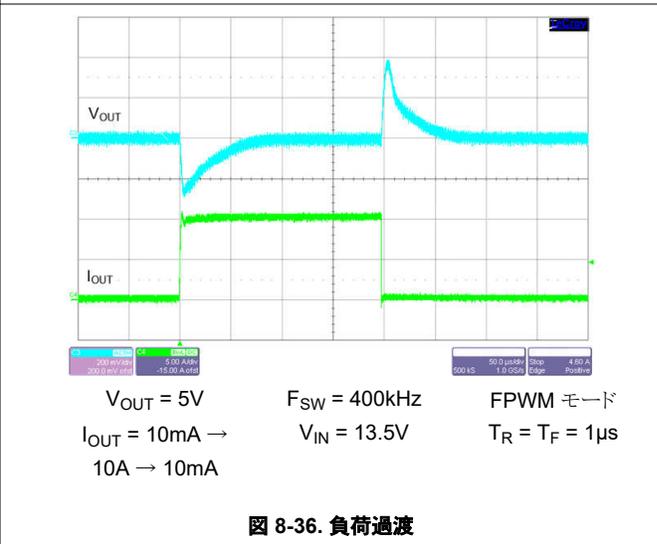
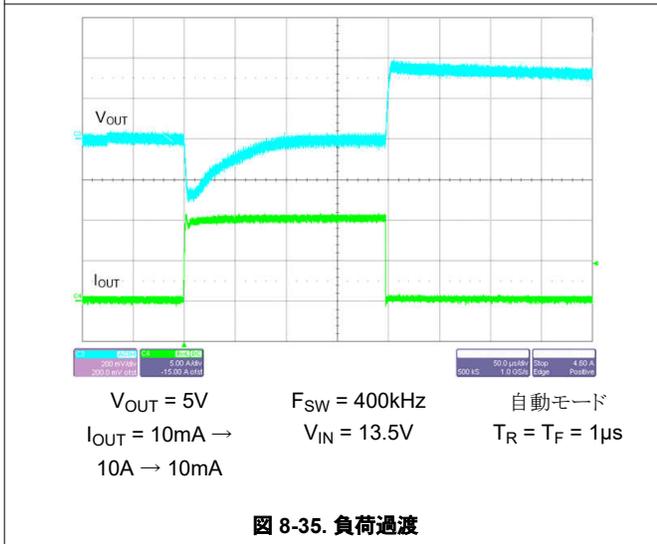
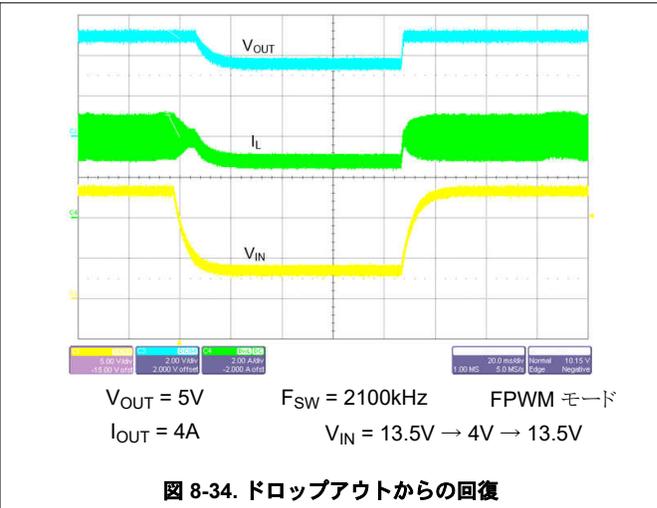
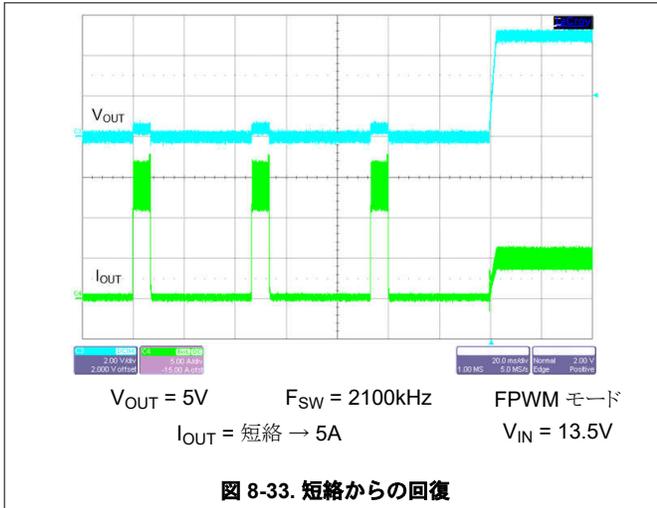


図 8-32. 短絡保護

8.2.3 アプリケーション曲線 (続き)

特に記述のない限り、次の条件が適用されます: デバイス: LM61495T-Q1、 $V_{IN} = 13.5V$ 、 $T_A = 25^\circ C$ 。回路を [図 8-1](#) に示します。それにふさわしい BOM を [表 8-4](#) に示します。



8.2.3 アプリケーション曲線 (続き)

特に記述のない限り、次の条件が適用されます: デバイス: LM61495T-Q1、 $V_{IN} = 13.5V$ 、 $T_A = 25^\circ C$ 。回路を [図 8-1](#) に示します。それにふさわしい BOM を [表 8-4](#) に示します。

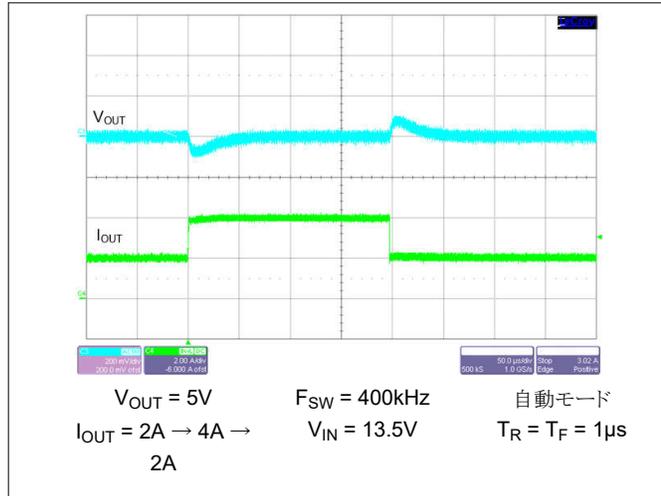


図 8-37. 負荷過渡

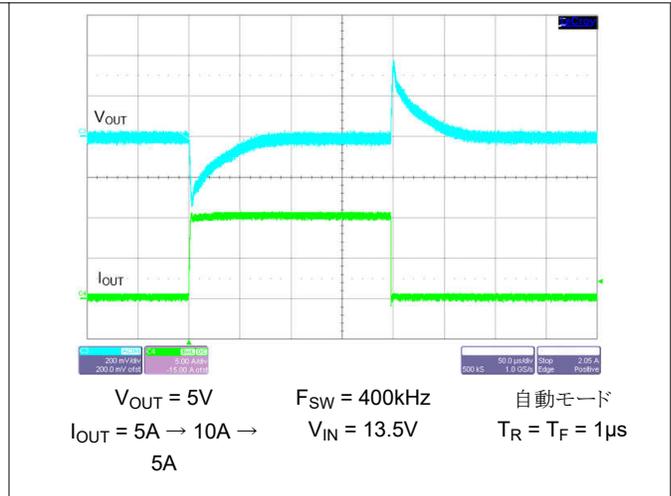


図 8-38. 負荷過渡

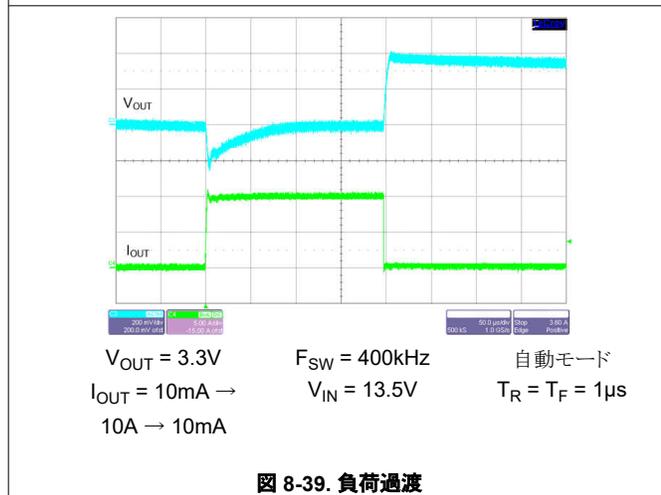


図 8-39. 負荷過渡

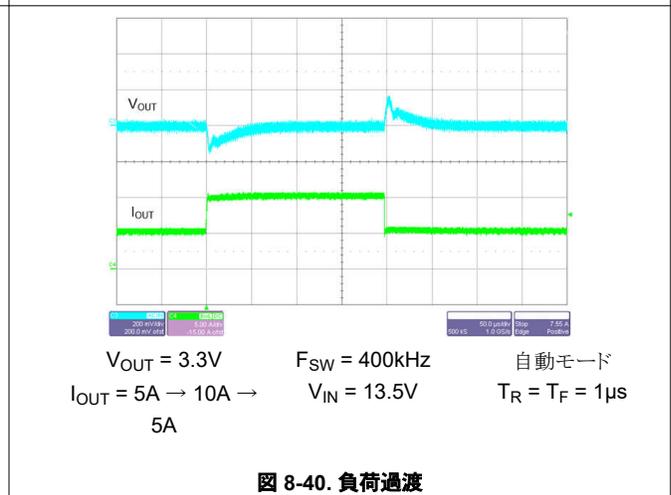


図 8-40. 負荷過渡

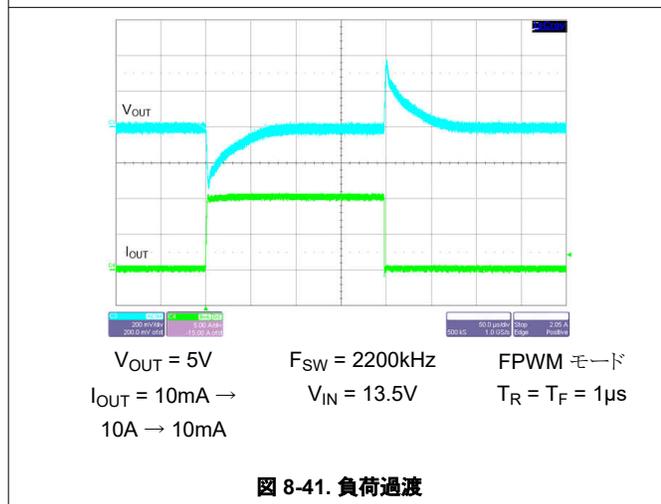


図 8-41. 負荷過渡

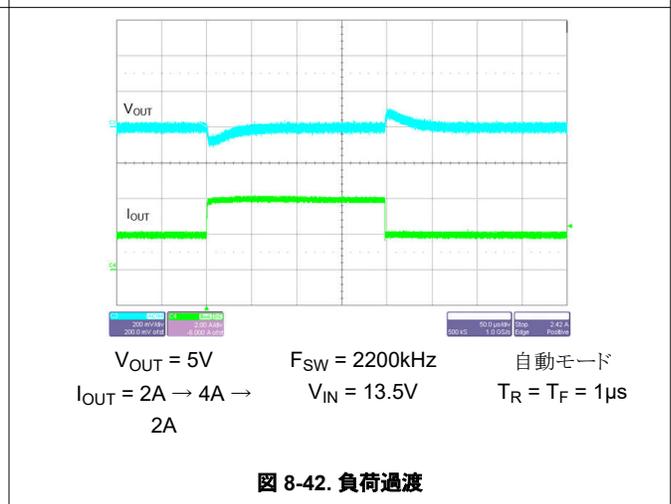
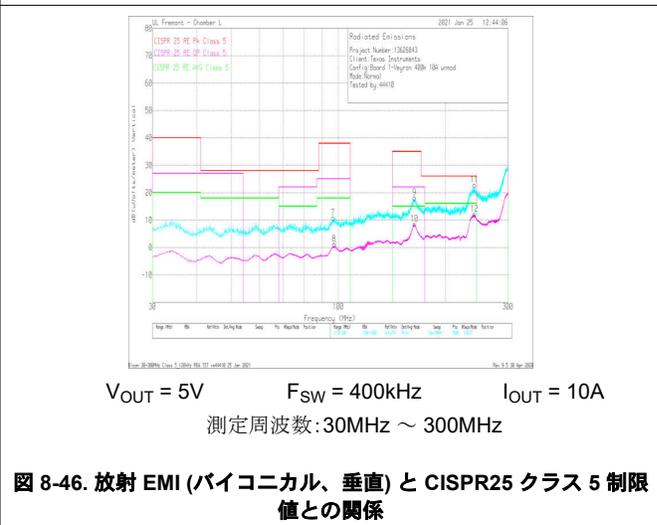
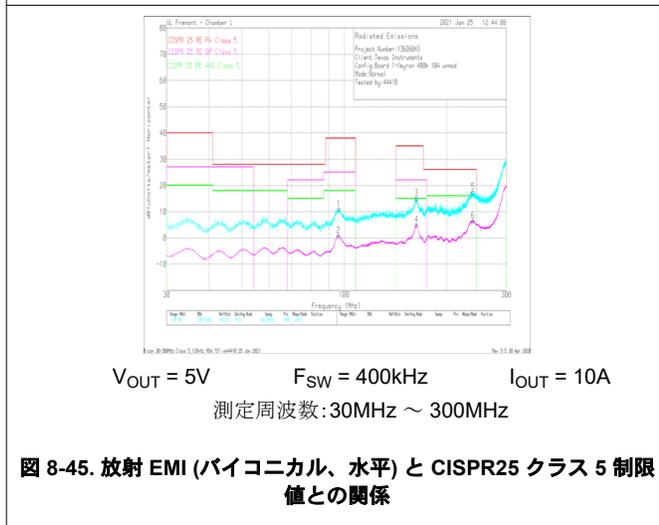
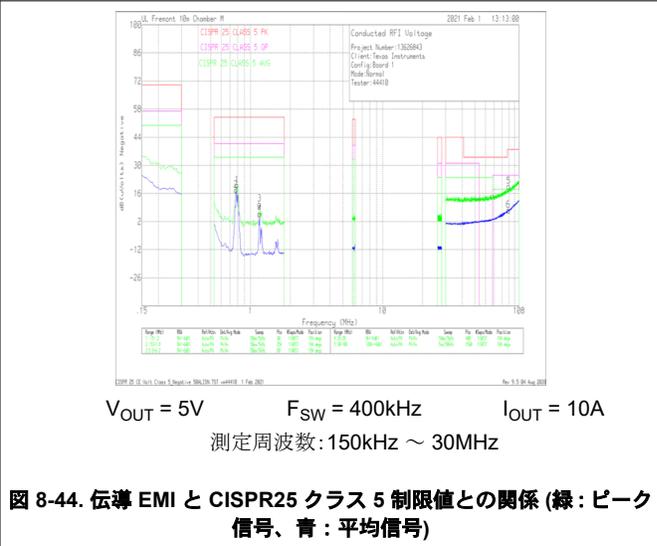
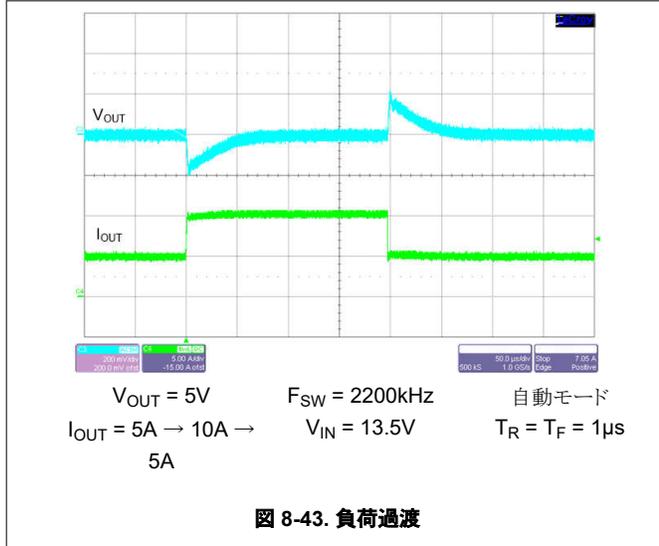


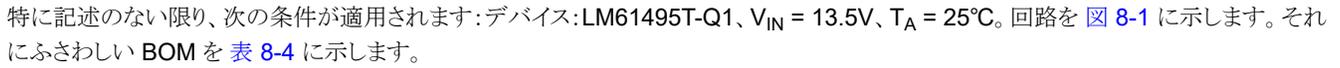
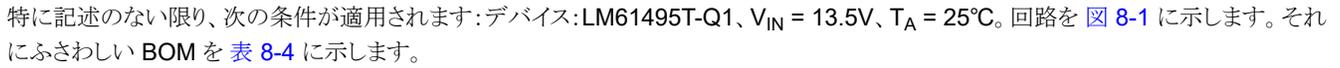
図 8-42. 負荷過渡

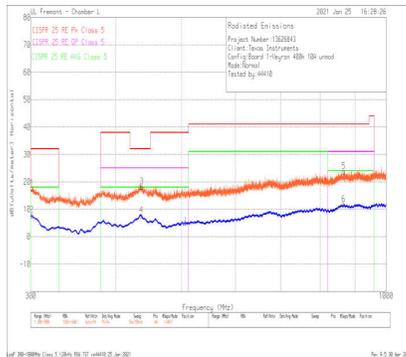
8.2.3 アプリケーション曲線 (続き)

特に記述のない限り、次の条件が適用されます: デバイス: LM61495T-Q1、 $V_{IN} = 13.5V$ 、 $T_A = 25^\circ C$ 。回路を [図 8-1](#) に示します。それにふさわしい BOM を [表 8-4](#) に示します。



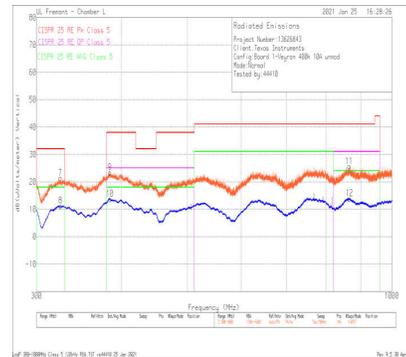
8.2.3 アプリケーション曲線 (続き)

特に記述のない限り、次の条件が適用されます: デバイス: LM61495T-Q1、 $V_{IN} = 13.5V$ 、 $T_A = 25^\circ C$ 。回路を  に示します。それにふさわしい BOM を  に示します。



$V_{OUT} = 5V$ $F_{SW} = 400kHz$ $I_{OUT} = 10A$
 測定周波数: 300MHz ~ 1GHz

図 8-47. 放射 EMI (ログベリ、水平) と CISPR25 クラス 5 制限値との関係



$V_{OUT} = 5V$ $F_{SW} = 400kHz$ $I_{OUT} = 10A$
 測定周波数: 300MHz ~ 1GHz

図 8-48. 放射 EMI (ログベリ、垂直) と CISPR25 クラス 5 制限値との関係

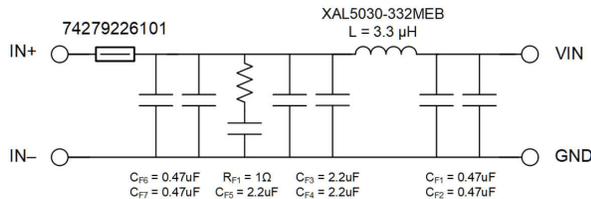
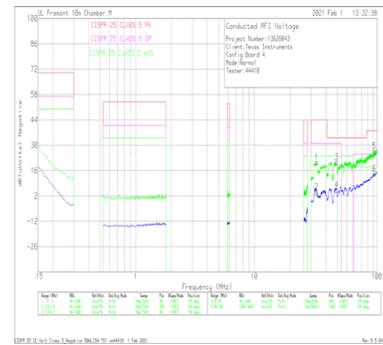


図 8-49. 推奨入力 EMI フィルタ



$V_{OUT} = 5V$ $F_{SW} = 2.2MHz$ $I_{OUT} = 4A$
 測定周波数: 150kHz ~ 30MHz

図 8-50. 伝導 EMI と CISPR25 クラス 5 制限値との関係 (緑: ピーク信号、青: 平均信号)

8.2.3 アプリケーション曲線 (続き)

特に記述のない限り、次の条件が適用されます: デバイス: LM61495T-Q1、 $V_{IN} = 13.5V$ 、 $T_A = 25^\circ C$ 。回路を [図 8-1](#) に示します。それにふさわしい BOM を [表 8-4](#) に示します。

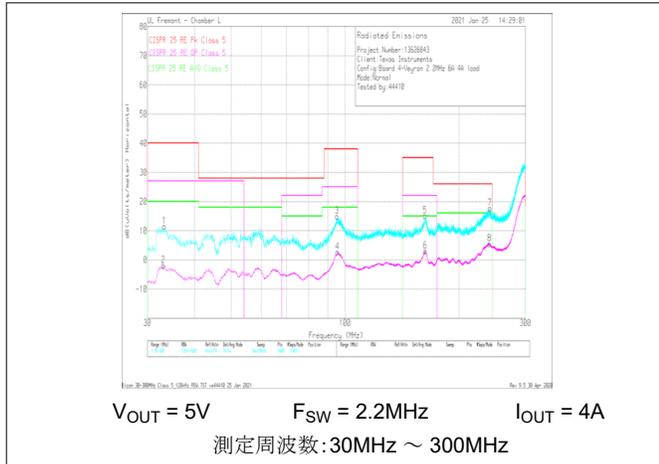


図 8-51. 放射 EMI (バイコンカル、水平) と CISPR25 クラス 5 制限値との関係

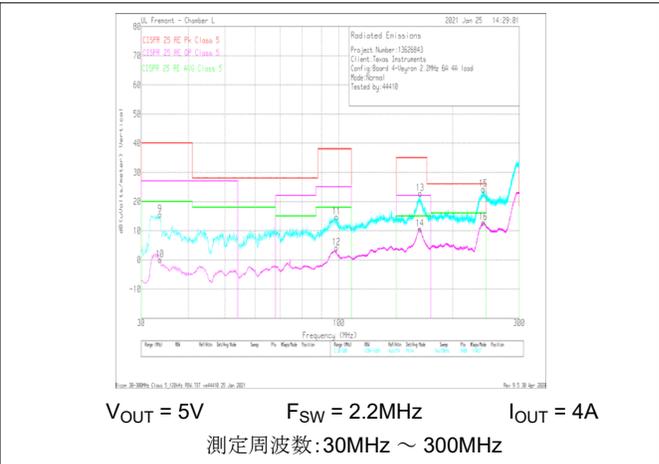


図 8-52. 放射 EMI (バイコンカル、垂直) と CISPR25 クラス 5 制限値との関係

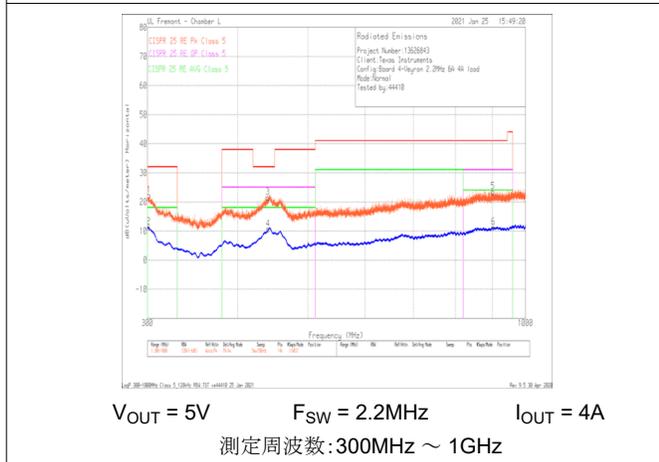


図 8-53. 放射 EMI (ログペリ、水平) と CISPR25 クラス 5 制限値との関係

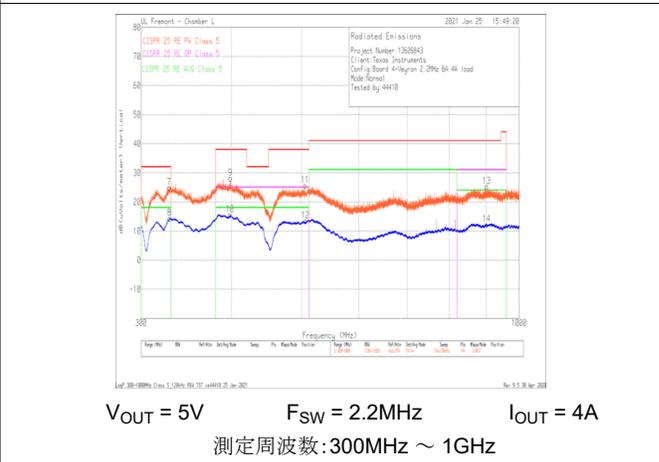
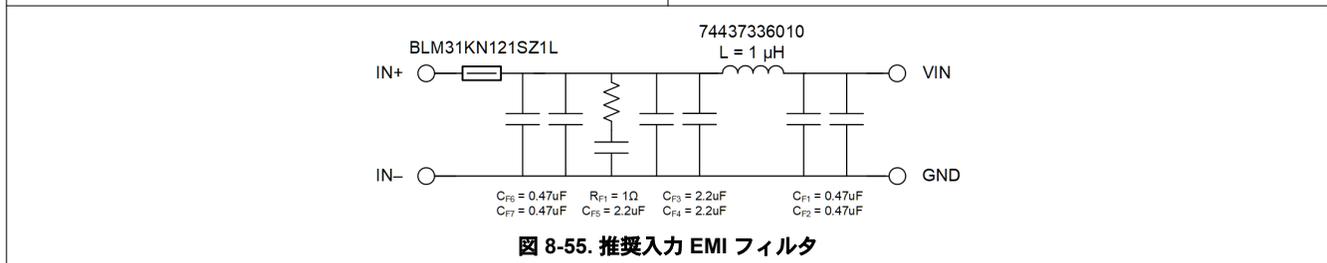


図 8-54. 放射 EMI (ログペリ、垂直) と CISPR25 クラス 5 制限値との関係



8.2.3 アプリケーション曲線 (続き)

特に記述のない限り、次の条件が適用されます: デバイス: LM61495T-Q1、 $V_{IN} = 13.5V$ 、 $T_A = 25^\circ C$ 。回路を [図 8-1](#) に示します。それにふさわしい BOM を [表 8-4](#) に示します。

表 8-4. 代表的なアプリケーションの特性曲線で使われた BOM

V_{OUT}	FREQUENCY	R_{FBB}	C_{OUT}	$C_{IN} + C_{HF}$	L	C_{FF}
3.3V	400kHz	43.2k Ω	4 × 47 μ F + 100 μ F 電解 + 2 × 2.2 μ F	4 × 10 μ F + 2 × 470nF + 100 μ F 電解	2.4 μ H (744325240)	22pF
5V	400kHz	24.9k Ω	4 × 47 μ F + 100 μ F 電解 + 2 × 2.2 μ F	4 × 10 μ F + 2 × 470nF + 100 μ F 電解	2.4 μ H (744325240)	22pF
3.3V	2.2MHz	43.2k Ω	2 × 47 μ F + 100 μ F 電解 + 2 × 2.2 μ F	2 × 10 μ F + 2 × 470nF + 100 μ F 電解	0.68 μ H (744373460068)	10pF
5V	2.2MHz	24.9k Ω	2 × 47 μ F + 100 μ F 電解 + 2 × 2.2 μ F	2 × 10 μ F + 2 × 470nF + 100 μ F 電解	0.68 μ H (744373460068)	10pF

8.3 電源に関する推奨事項

入力電源は、負荷時のレギュレータに必要な入力電流を供給できる特性を持っている必要があります。平均入力電流を見積るには、[式 9](#) を使用します。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (9)$$

ここで

- η は効率です。

レギュレータを長いワイヤや PCB パターンで入力電源に接続している場合は、良好な性能を実現するために特別な注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、レギュレータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路を形成することが可能です。これにより、レギュレータへの入力で過電圧過渡が発生したり、UVLO のトリップが発生する可能性があります。ハーネスの寄生抵抗とインダクタンスや電源の特性に応じて、負荷過渡が出力に発生したときに、電源電圧が低下する可能性があることを考慮してください。アプリケーションが最小入力電圧に近い値で動作している場合、この低下によってレギュレータが瞬間的にシャットダウンし、リセットされる可能性があります。この種の問題を解決する最善策は、入力電源からレギュレータまでの距離を短くすることです。さらに、セラミック入力コンデンサと並列にアルミニウム入力コンデンサを使用してください。中程度の ESR を持つこのタイプのコンデンサを使うことは、入力共振回路の振動を減衰させ、あらゆるオーバーシュートまたはアンダーシュートを低減するのに有効です。通常、値の範囲が 20 μ F ~ 100 μ F であれば入力を減衰させるのに十分で、大きな負荷過渡中も入力電圧を安定した状態にホールドできます。

場合によっては、コンバータの入力に過渡電圧サプレッサ (TVS) が使われています。この素子の種類には、スナップバック特性を持つもの (サイリスタ型) があります。テキサス・インスツルメンツでは、このタイプの特性を持つデバイスの使用を推奨していません。このタイプの TVS が作動すると、クランプ電圧は非常に低い値に低下します。この電圧がレギュレータの出力電圧よりも低い場合、出力コンデンサは本デバイスを通して入力に向かって放電します。この制御されない電流は、デバイスに損傷を与える可能性があります。

入力電圧は、出力電圧を下回ることはできません。この状況 (入力短絡テストなど) では、出力コンデンサは、本デバイスの V_{IN} ピンと SW ピンの間に形成された内部寄生ダイオードを通じて放電されます。この状況では電流は制御できなくなる可能性があり、デバイスが損傷するおそれがあります。このシナリオが想定される場合は、入力電源と出力の間にショットキーダイオードを使用してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

すべての DC/DC コンバータの PCB レイアウトは、最適な設計性能を実現するために重要です。PCB レイアウトが不適切な場合、適正な回路図設計の動作の妨げとなる可能性があります。コンバータが適切にレギュレートしている場合でも、PCB レイアウトが不適切では、堅牢な設計と量産できない設計という違いが生じる可能性があります。さらに、レギュレータの EMI 性能は、PCB レイアウトに大きく依存します。降圧コンバータにおいて、EMI に関する PCB の最も重要な機能は、入力コンデンサと電源グラウンドによって形成されるループです。図 8-56 に、このループを示します。このループには、パターンのインダクタンスに反応して大きな過渡電圧を発生させる可能性がある大きな過渡電流が流れます。過剰な過渡電圧は、コンバータの正常な動作を妨げる可能性があります。このような障害があるので、寄生インダクタンスを低減するため、このループ内のパターンを広く短くし、ループの面積はできる限り小さいままにする必要があります。図 8-57 は、LM614xxT-Q1 回路の重要な部品の推奨レイアウトを示しています。

- 入力コンデンサは、できる限り入力ピン ペアの近くに配置します。(VIN1/PGND1、VIN2/PGND2) のできるだけ近くに配置します。小さなコンデンサを最も近くに配置します。ピンのペアはそれぞれ隣接しているため、入力コンデンサを簡単に配置できます。QFN パッケージ品では、パッケージのどちらの側にも 2 つの VIN/PGND ペアがあります。これらのピンは対称にレイアウトされ、スイッチング ノイズと EMI 生成を最小限に抑えることができます。中間層に広い VIN プレーンを使用して、両方の VIN ペアをまとめて入力電源に接続します。対称型ピン配置の利点を最大限に活用するには、電源から各 VIN ピンまで対称的に配線します。
- VCC のバイパス コンデンサは VCC ピンと AGND ピンの近くに配置してください: このコンデンサは、短く太いパターンで VCC および AGND ピンに配線する必要があります。
- CBOOT コンデンサはデバイスのできる限り近くに、短く太いパターンで CBOOT ピンと SW ピンに接続します: VIN2 ピンと RBOOT ピンの間の隙間を通してデバイスの下に SW 接続を配線すると、SW ノードの露出面積を減少します。RBOOT 抵抗を使用する場合、CBOOT ピンと RBOOT ピンのできる限り近くに配置します。高い効率が必要な場合、RBOOT ピンと CBOOT ピンを短絡できます。この短絡は、RBOOT ピンと CBOOT ピンのできる限り近くに配置する必要があります。
- 帰還分圧器はデバイスの FB ピンのできる限り近くに配置します: R_{FBB} 、 R_{FBT} 、 C_{FF} を使用する場合は、および R_{FF} を使用する場合は、デバイスに物理的に近付けて配置します。 R_{FBB} を経由した FB と AGND への接続は、短くする必要があります、かつ本デバイスのそれらのピンに近付ける必要があります。 V_{OUT} への接続は、多少長くなってもかまいません。ただし、この後者のパターンは、レギュレータの帰還経路に静電容量結合する可能性があるすべてのノイズ源 (SW ノードなど) の近くには配線しないでください。
- PCB の第 2 層をグラウンド プレーンにします: このプレーンはノイズ シールドおよび放熱経路として機能します。第 2 層を使うことで、入力ループ内の入力循環電流が囲む面積を低減させ、インダクタンスを低減できます。
- V_{IN} 、 V_{OUT} 、GND に太い経路を使用します: コンバータの入力または出力経路でのすべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広くかつ真つぐにする必要があります。
- 適切なヒート シンクのために十分な PCB 面積を仕様します: 最大負荷電流と周囲温度を考慮し、十分な銅箔面積を使用して低い $R_{\theta JA}$ を確保してください。PCB 層の上部と下部は 2 オンス銅箔とし、最低でも 1 オンス以上とします。PCB 設計に複数の銅層を使用している場合は (推奨設計)、サーマル ビアも内部層の熱拡散グラウンド プレーンに接続することができます。このデバイスのパッケージは、すべてのピンで放熱されます。ノイズに配慮して面積を最小化する必要がある場合を除き、すべてのピンに幅広パターンを使うことができます。
- スイッチ領域を小さくします: SW ピンをインダクタに接続する銅箔領域は、できるだけ短くかつ広くします。同時に、放射 EMI を低減するため、このノードの総面積を最小化する必要があります。

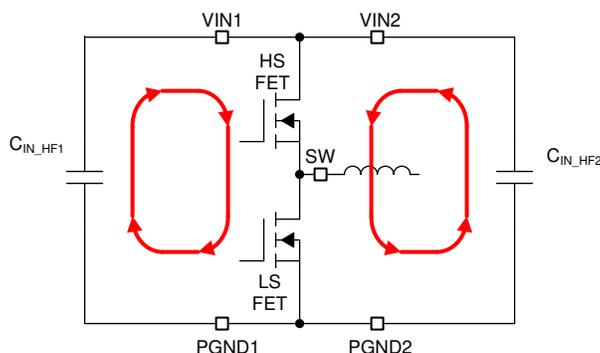


図 8-56. 入力電流ループ

8.4.1.1 グランドと熱に関する考慮事項

前述のように、テキサス・インスツルメンツでは、中間層の 1 つをソリッド グランド プレーンとして使用することを推奨しています。グランド プレーンは、ノイズの影響を受けやすい回路とパターンにシールドを提供します。また、グランド プレーンは、制御回路に対して、低ノイズのリファレンス電位も提供します。AGND および PGND ピンは、バイパス コンデンサの隣にあるビアを使用して、グランド プレーンに接続する必要があります。PGND ピンは、ローサイド MOSFET のソースと入力および出力コンデンサのグランドに直接接続します。PGND にはスイッチング周波数におけるノイズが含まれており、負荷変動により戻ってくる場合があります。PGND パターンは、VIN および SW パターンと同様に、グランド プレーンの片方に固定する必要があります。グランド プレーンのもう片方はノイズが非常に少ないため、ノイズの影響を受けやすい配線に使用します。

PGND と VIN ピンの近くに配置したビアを使用して、システムのグランド プレーンまたは V_{IN} ストラップ (どちらも熱を放散します) に接続することで、適切なデバイス ヒートシンクを形成することを推奨します。システムのグランド プレーンでは、効率の高い放熱のために、レイヤの上下に出来る限り多くの銅を使用し、プレーンの切れ目など熱の流れのボトルネックとなるところを作らないようにします。4 つの層の銅厚が上からそれぞれ 2 オンス、1 オンス、1 オンス、2 オンスとなっている 4 層基板を使用します。2oz / 1oz / 1oz / 2oz。十分な厚さの銅箔と適切なレイアウトを備えた 4 層基板は、低インピーダンスの電流導通、適切なシールド効果、低熱抵抗を実現します。

8.4.2 レイアウト例

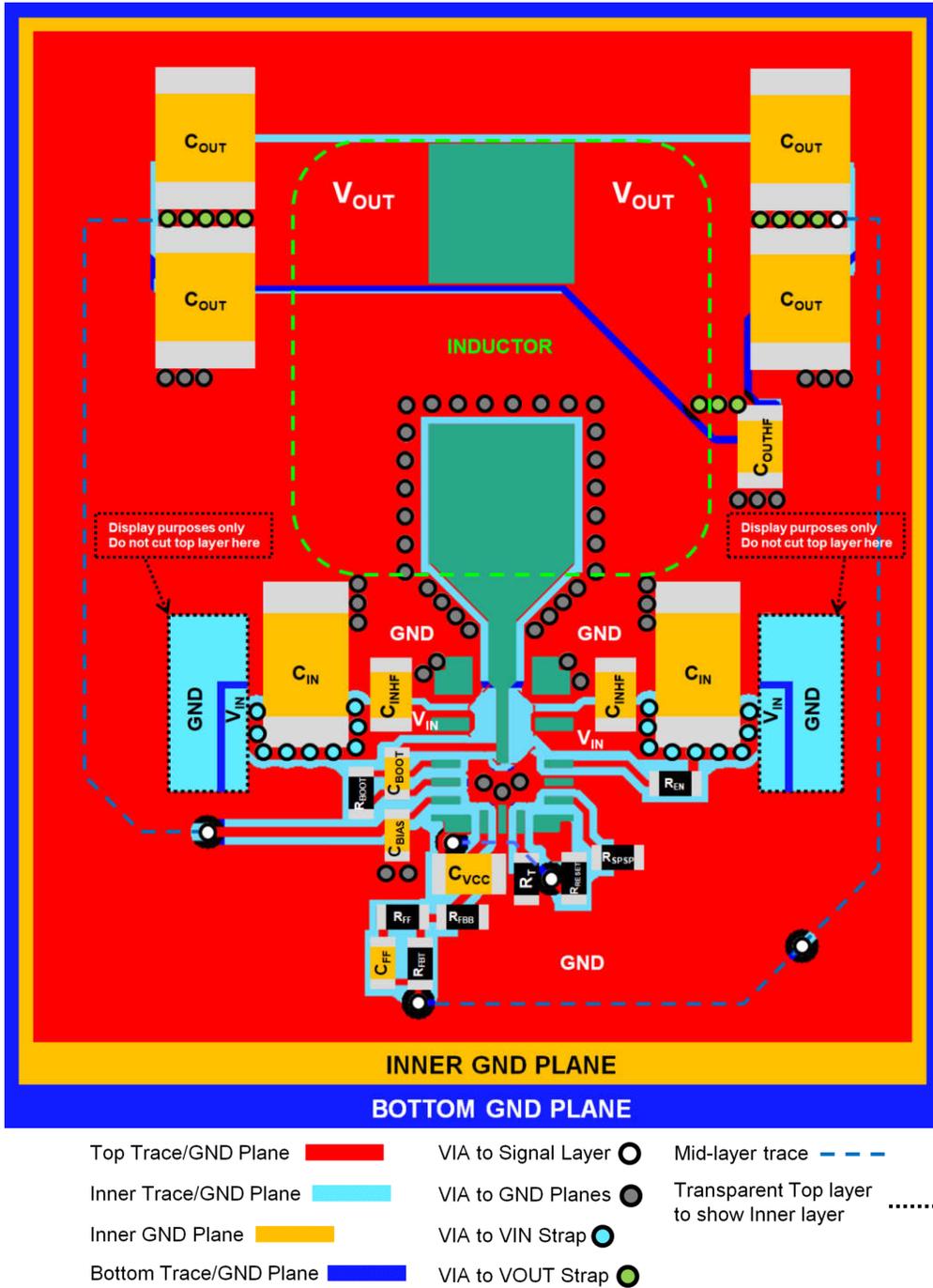


図 8-57. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『過去ではなく、現在の識見による熱設計』アプリケーション レポート
- テキサス・インスツルメンツ、『露出パッドパッケージで最良の熱抵抗を実現するための基板レイアウトガイド』アプリケーション ノート
- テキサス・インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション ノート
- テキサス・インスツルメンツ、『LM43603 および LM43602 によるシンプルな熱設計』アプリケーション ノート
- テキサス・インスツルメンツ、『熱特性強化型パッケージ PowerPAD™』アプリケーション ノート
- テキサス・インスツルメンツ、『PowerPAD™ 入門アプリケーション概要』
- テキサス・インスツルメンツ、『新しい熱評価基準の解説』アプリケーション ノート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (December 2024) to Revision B (February 2026) Page

- 「電気的特性」表の制限を厳しくするため V_{EN} の最小値と最大値を変更8
- 「電気的特性」表にイネーブル スレッショルド ヒステリシス比の仕様を追加8
- 式 2 の V_{EN_HYST}/V_{EN} を $V_{EN_HYST}\%$ に変更..... 15
- 「EN ピンを有効にして V_{IN} UVLO として使用する」に「電気的特性」表を指す $V_{EN_HYST}\%$ の説明を追加 15
- 「ブートストラップ電圧と $V_{CBOOT-UVLO}$ (CBOOT ピン)」に「アプリケーションがプリバイアス出力を開始する必要がある場合、開始時に出力のプリバイアス電圧レベルがブート UVLO 範囲外 (たとえば、1.6V ~ 2.1V の範囲外) になるようにしてください」の文を追加.....22

Changes from Revision * (October 2024) to Revision A (December 2024) Page

- ドキュメントのステータスを「事前情報」から「量産データ」に変更.....1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM61480TQVAMRQ1	Active	Production	VQFN-HR (VAM) 16	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	VTEP08Q
LM61480TQVAMRQ1.A	Active	Production	VQFN-HR (VAM) 16	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	VTEP08Q
LM61495TQVAMRQ1	Active	Production	VQFN-HR (VAM) 16	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	VTEP10Q
LM61495TQVAMRQ1.A	Active	Production	VQFN-HR (VAM) 16	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	VTEP10Q

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

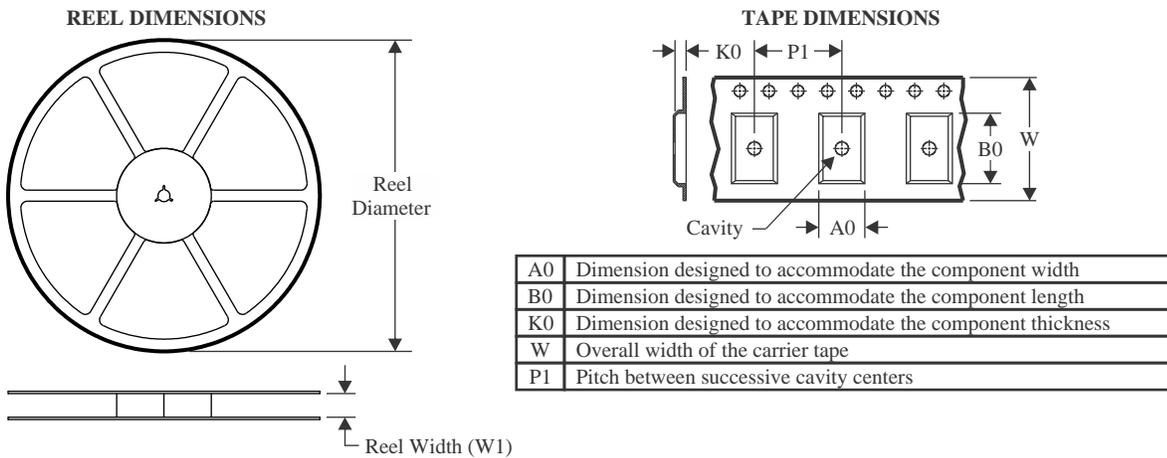
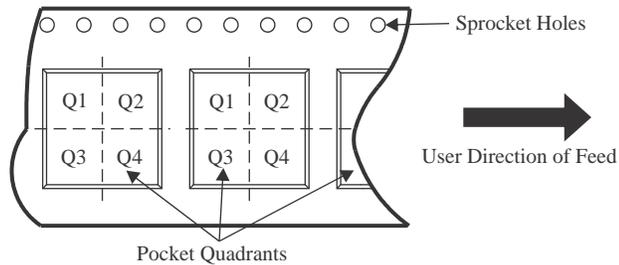
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

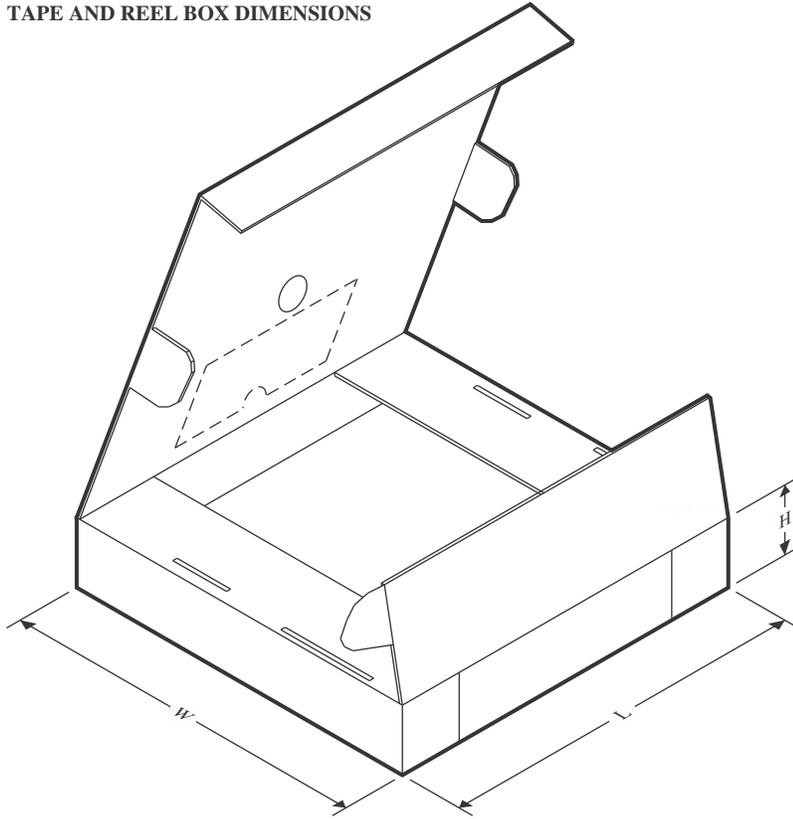
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM61480TQVAMRQ1	VQFN-HR	VAM	16	3000	330.0	12.4	3.8	4.8	1.18	8.0	12.0	Q1
LM61495TQVAMRQ1	VQFN-HR	VAM	16	3000	330.0	12.4	3.8	4.8	1.18	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM61480TQVAMRQ1	VQFN-HR	VAM	16	3000	367.0	367.0	38.0
LM61495TQVAMRQ1	VQFN-HR	VAM	16	3000	367.0	367.0	38.0

GENERIC PACKAGE VIEW

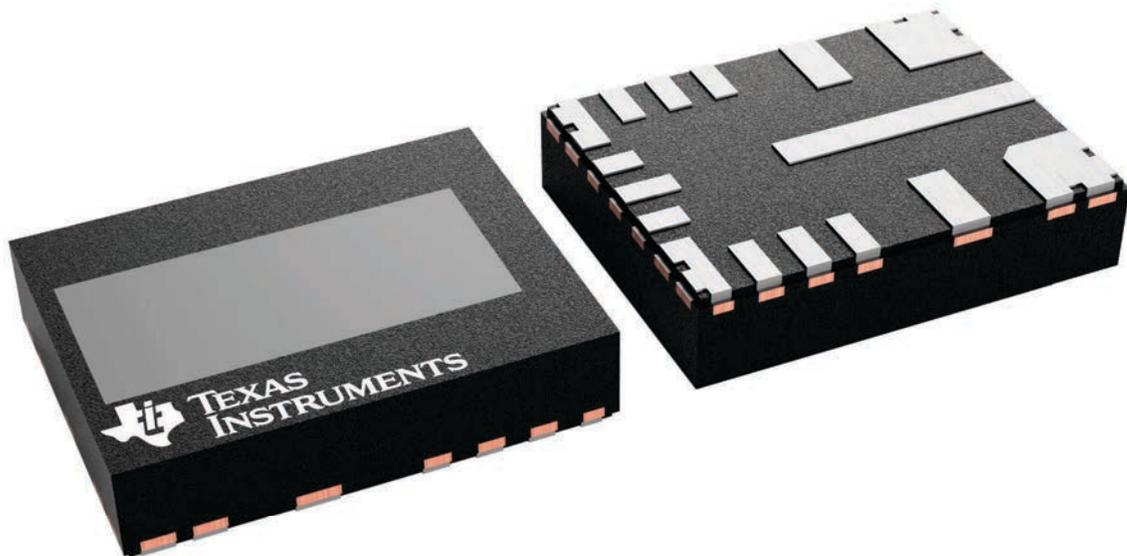
VAM 16

VQFN-HR - 1 mm max height

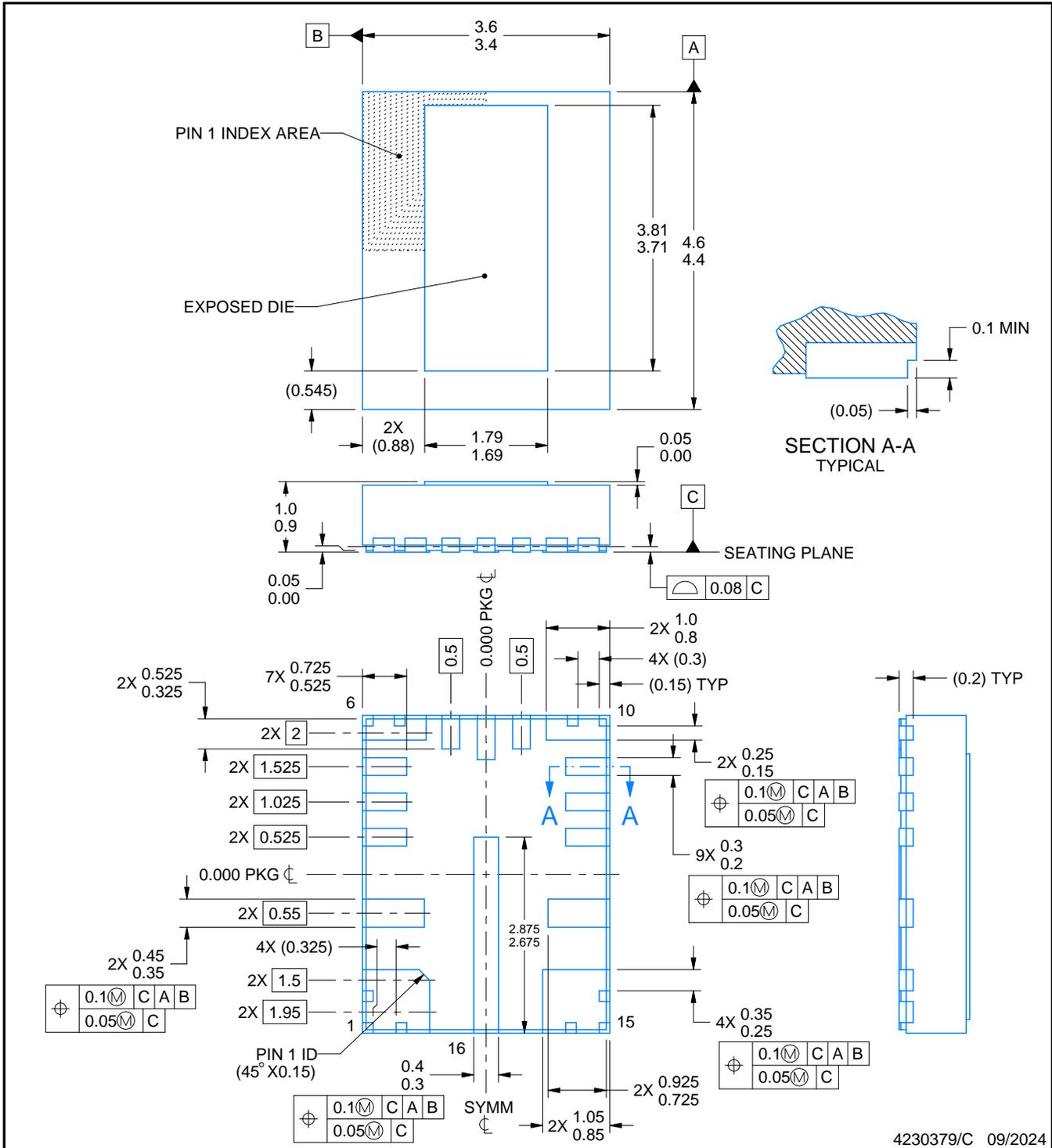
3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4231471/A



4230379/C 09/2024

NOTES:

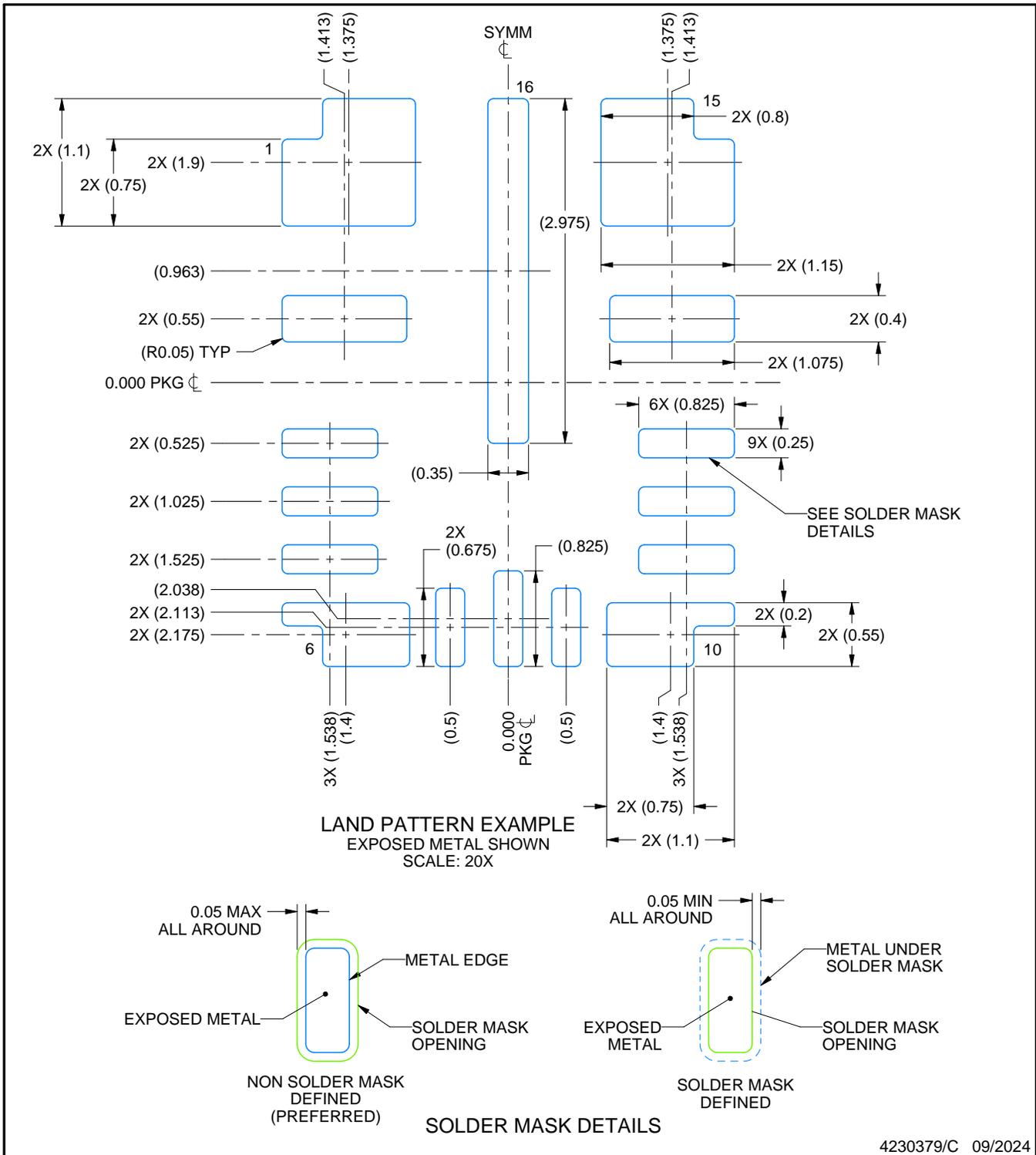
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

VAM0016A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4230379/C 09/2024

NOTES: (continued)

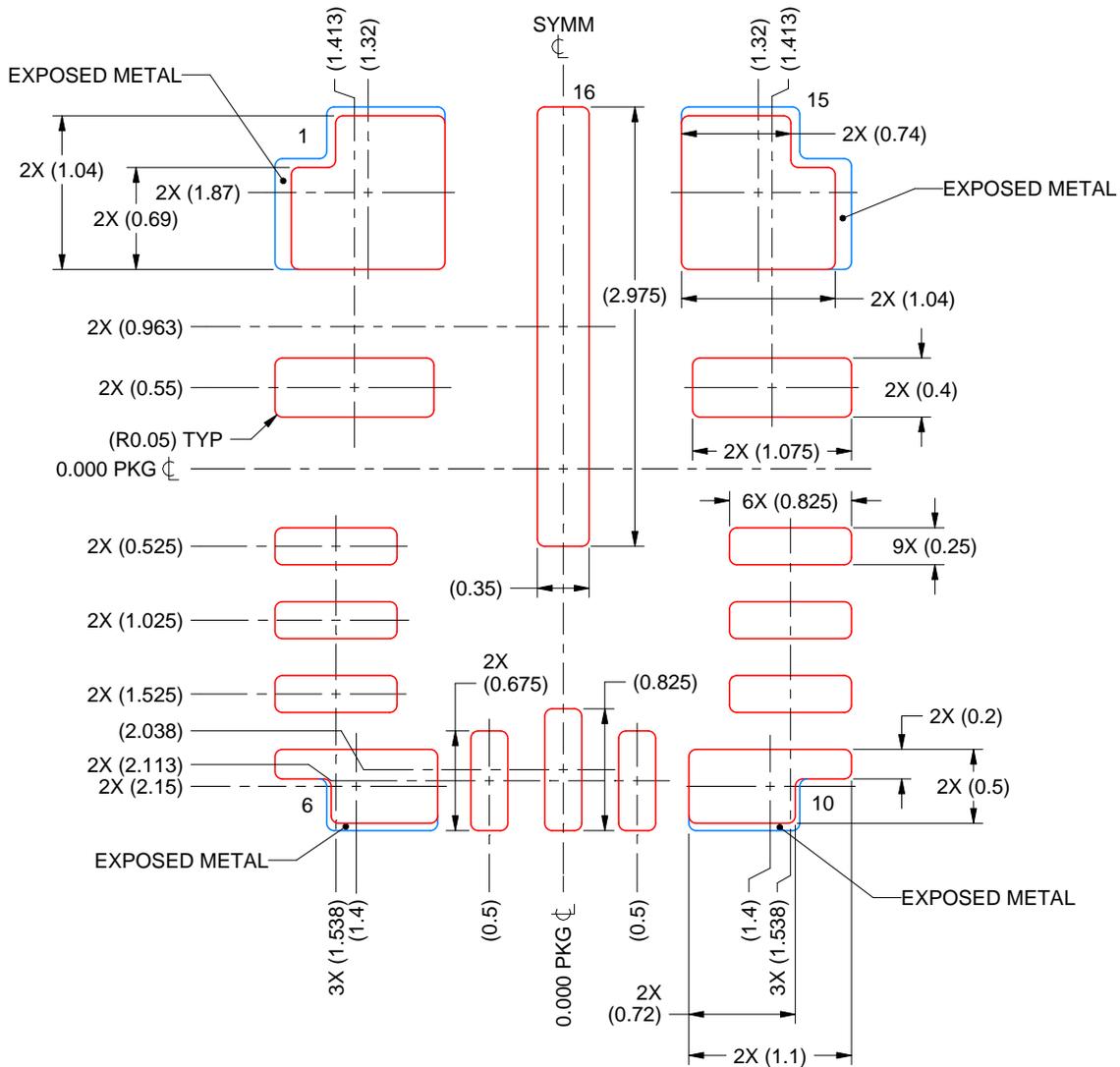
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VAM0016A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 MM THICK STENCIL
 SCALE: 20X

PADS 1 & 15:
 85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 PADS 6 & 10:
 90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4230379/C 09/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月