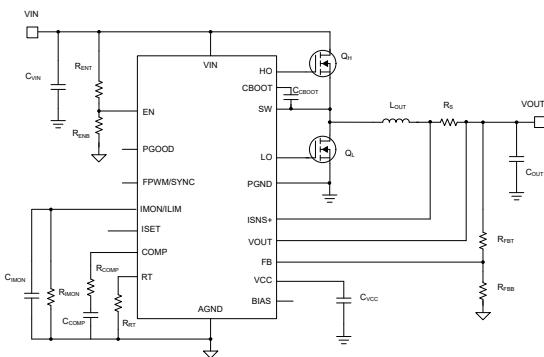


LM5190-Q1 80V、車載用、同期整流降圧コントローラ、定電流および定電圧レギュレーション付き

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の動作時周囲温度
- 機能安全対応**
 - 機能安全システムの設計に役立つ資料を利用可能
- 広い入力電圧動作範囲: 5V ~ 80V
- 0.8V ~ 79V の調整可能な出力電圧、または 5V もしくは 12V の固定出力
- 定電流定電圧 (CC-CV) 動作
 - 電流レギュレーション精度: $\pm 3\%$
 - 電圧レギュレーション精度: $\pm 1\%$
- 電流監視機能および定電流機能
 - 出力電流に比例するアナログ電圧 (IMON)
 - プログラム可能な平均出力電流制限 (ILIM)
 - 動的平均出力電流制限 (ISET)
- シャットダウン モード I_Q 2.3 μA (標準値)、スリープ モード I_Q 15 μA (標準値)
- 標準レベル MOSFET ゲートドライバ
- パワー グッド ステータス インジケータ (PGOOD)
- プログラム可能なスイッチング周波数: 100kHz ~ 2.2MHz
- オプションの外部クロック同期
- 低周波数帯域と高周波数帯域にわたり EMI 性能向上させる選択可能なデュアル ランダム スペクトラム拡散 (DRSS)
- 内部スロープ補償およびブートストラップ ダイオード
- デュアル入力 VCC レギュレータにより消費電力を低減 (BIAS)
- WEBENCH® Power Designer により、LM5190-Q1 を使用するカスタム設計を作成



代表的なアプリケーション回路図

2 アプリケーション

- スーパー キャパシタによるエネルギー バックアップ
- USB パワー デリバリ
- 電動アシスト自転車
- 車載用オーディオ アンプ
- 車載用運転支援システム
- 車体用電子機器

3 説明

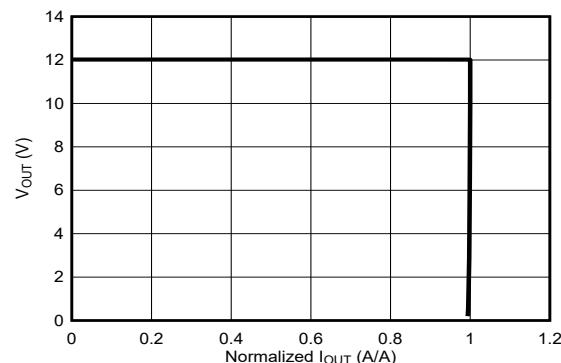
LM5190-Q1 は、80V、超低静止電流 (I_Q) の同期整流降圧 DC/DC コントローラであり、定電流定電圧 (CC-CV) レギュレーションを備えています。本コントローラはピーク電流モード制御アーキテクチャを採用しているため、ループ補償が簡単で、過渡応答が高速であり、負荷およびラインレギュレーションが非常に優れています。内蔵の CC-CV 動作は、電圧 ($\pm 1\%$) および電流 ($\pm 3\%$) レギュレーションについて高い精度を備えています。また、CC-CV 動作により、平均出力電流制御が必要なアプリケーションで、BOM (部品表) 点数とコストを効果的に低減できます。出力電流制限はプログラム可能で、動的に変更できます。LM5190-Q1 は、出力電流モニタを備えています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
LM5190-Q1	RGY (VQFN, 19)	3.5mm × 4.5mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



定常状態での定電流定電圧動作



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SNVSCE8](#)

LM5190-Q1 は、デュアル ランダム拡散スペクトラム (DRSS) と呼ばれる独自の EMI (電磁干渉) 低減機能を備えています。低周波数の三角波変調と高周波数のランダム変調を組み合わせると、低周波数帯域から高周波数帯域にわたり EMI 障害がそれぞれ緩和されます。このハイブリッド手法は、業界標準の EMC テストで規定されている複数分解能帯域幅 (RBW) 設定に適合します。

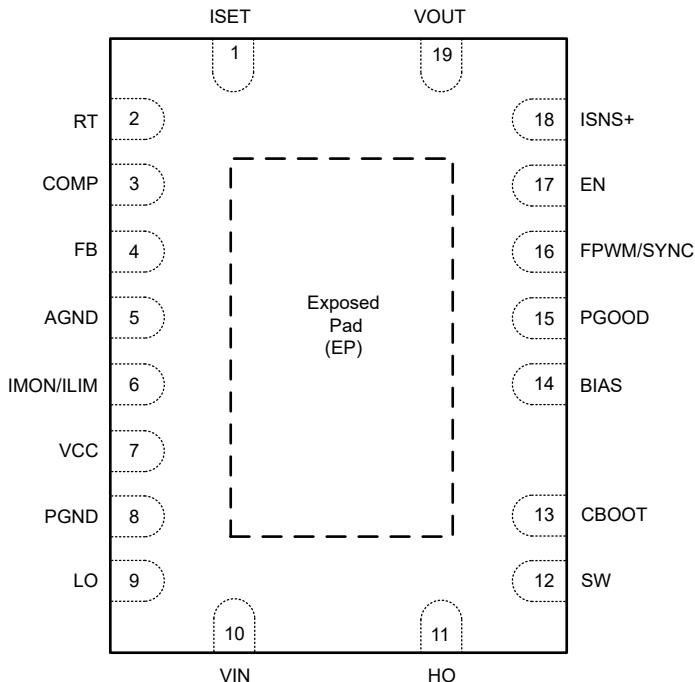
LM5190-Q1 の追加機能として、最大 150°C の接合部温度での動作、ユーザー選択可能なダイオード エミュレーションによる軽負荷時消費電流の低減、オープンドレインのパワー グッド フラグによる�ルト報告と出力監視、高精度インペル入力、プリバイアスされた負荷への単調なスタートアップ、デュアル入力 VCC バイアス電源レギュレータ内蔵、内蔵 2.75ms ソフトスタート時間、自動回復機能付きサーマル シャットダウン保護があります。

LM5190-Q1 コントローラは、3.5mm × 4.5mm の放熱特性に優れた 19 ピン VQFN パッケージで供給されます。ウェッタブル フランク ピンが付いているため、製造現場で光学検査を容易に行えます。

目次

1 特長	1	6.4 デバイスの機能モード	24
2 アプリケーション	1	7 アプリケーションと実装	25
3 説明	1	7.1 アプリケーション情報	25
4 ピン構成および機能	4	7.2 代表的なアプリケーション	32
4.1 ウエッタブル フランク	5	7.3 電源に関する推奨事項	37
5 仕様	6	7.4 レイアウト	37
5.1 絶対最大定格	6	8 デバイスおよびドキュメントのサポート	41
5.2 ESD 定格	6	8.1 デバイス サポート	41
5.3 推奨動作条件	6	8.2 ドキュメントのサポート	41
5.4 熱に関する情報	7	8.3 ドキュメントの更新通知を受け取る方法	42
5.5 電気的特性	7	8.4 サポート・リソース	42
5.6 代表的特性	10	8.5 商標	42
6 詳細説明	13	8.6 静電気放電に関する注意事項	42
6.1 概要	13	8.7 用語集	42
6.2 機能ブロック図	14	9 改訂履歴	43
6.3 機能説明	15	10 メカニカル、パッケージ、および注文情報	43

4 ピン構成および機能



露出したパッドを PCB 上の AGND と PGND に接続します。

図 4-1. ウェッタブル フランク付き 19 ピン VQFN RGY パッケージ (上面図)

表 4-1. ピンの機能

番号	ピン	タイプ ⁽¹⁾	説明
1	ISET	I/O	定電流動作用の動的電流設定ピン
2	RT	I	周波数プログラミングピン。RT と AGND との間に抵抗を配置すると、発振器の周波数は、DRSS が無効な状態で 100kHz ~ 2.2MHz の範囲に設定されます。RT と VCC との間に抵抗を配置すると、発振器の周波数は、DRSS が有効な状態で 100kHz ~ 2.2MHz の範囲に設定されます。
3	COMP	O	相互コンダクタンス エラー アンプの出力。COMP と AGND との間に補償回路網を接続します。
4	FB	I	最初の電源オン時に FB を VCC に接続すると、出力電圧は事前にプログラムされた固定 12V に設定されます。最初の電源オン時に FB を AGND に接続すると、出力電圧は事前にプログラムされた固定 5V に設定されます。または、VOUT と AGND との間に抵抗デバイダを取り付けると、出力電圧は 0.8V ~ 79V に設定されます。FB のレギュレーション電圧は 0.8V です。
5	AGND	G	アナログ グランド接続。内部電圧リファレンスとアナログ回路のグランドの帰線。
6	IMON/ILIM	O	電流モニタおよび電流制限のプログラム用ピン
7	VCC	P	VCC バイアス電源ピン。VCC と PGND の間にセラミック コンデンサを接続します。
8	PGND	G	ローサイド MOSFET ゲートドライバの電源グランド接続ピン。
9	LO	P	ローサイドパワー MOSFET ゲートドライバ出力。
10	VIN	P	VCC レギュレータの電源電圧入力ソース。
11	HO	P	ハイサイドパワー MOSFET ゲートドライバ出力。
12	SW	P	降圧レギュレータおよびハイサイド ゲートドライバのリターンのスイッチング ノード。ブートストラップ コンデンサ、ハイサイド MOSFET のソース端子、ローサイド MOSFET のドレイン端子に接続します。
13	CBOOT	P	ブートストラップ ゲート駆動のハイサイド ドライバ電源。
14	BIAS	P	VCC レギュレータの電源電圧入力ソース (オプション)。V _{BIAS} > 9V (代表値) の場合、この入力が使用されます。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
番号	名称		
15	PGOOD	O	パワーグッドピン。オープンコレクタ出力で、VOUT が指定されたレギュレーション ウィンドウの範囲外の場合に Low になります。
16	FPWM/SYNC	I	FPWM/SYNC を VCC に接続すると、軽負荷時に連続導通して強制 PWM (FPWM) モードが有効になります。FPWM/SYNC を AGND に接続すると、LM5190-Q1 がダイオード エミュレーション モードで動作します。FPWM/SYNC を同期入力として使用し、内部発振器を外部クロックに同期させることもできます。
17	EN	I	立ち上がりスレッショルド 1V、ヒステリシス電圧 100mV のアクティブ高精度入力。EN 電圧が 0.55V を下回っていれば、LM5190-Q1 はシャットダウン モードです。
18	ISNS+	I	電流検出アンプ入力。このピンは、低電流ケルビン接続を使用して、外部電流センス抵抗のインダクタ側に接続します。
19	VOUT	I	出力電圧センスおよび電流センスアンプの入力。VOUT は、電流センス抵抗の出力側に接続します。

(1) P = 電源、G = グランド、I = 入力、O = 出力

4.1 ウェッタブル フランク

信頼性と堅牢性の標準を満たすため、通常は組み立て後に 100% の自動外観検査 (AVI) を行う必要があります。標準的なクワッド フラットのリードなし (QFN) パッケージでは、はんだ付け可能な部分や露出したピンと端子は外側から容易に視認できません。パッケージがプリント回路基板 (PCB) 上に確実にはんだ付けされているかどうかを視覚的に確認することは困難です。ウェッタブル フランク プロセスは、鉛フリーなパッケージにおける片面ウェットの問題を解決するために開発されました。LM5190-Q1 は、カスタム 19 ピン VQFN パッケージを使用して組み立てられています。このパッケージはウェッタブル フランク付きなので、はんだ付け可能かどうかを視覚的に示すことができます。これにより、検査時間と製造コストを削減することができます。

5 仕様

5.1 絶対最大定格

接合部の動作時推奨温度である -40°C～150°Cにおいて (特に記述のない限り)。⁽¹⁾

		最小値	最大値	単位
入力電圧	VIN から AGND へ	-0.3	85	V
入力電圧	SW から AGND へ	-0.3	85	V
入力電圧	SW から AGND、過渡 < 20ns	-5		V
入力電圧	SW に対する CBOOT	-0.3	10	V
入力電圧	CBOOT から AGND へ	-0.3	93	V
入力電圧	EN～AGND	-0.3	85	V
入力電圧	BIAS から AGND へ	-0.3	30	V
入力電圧	VCC、FB、PGOOD、FPWM/SYNC、RT から AGND へ	-0.3	8	V
入力電圧	ISET、IMON/ILIM から AGND へ	-0.3	5.5	V
入力電圧	VOUT、ISNS+ から AGND へ	-0.3	85	V
入力電圧	VOUT から ISNS+ へ	-0.3	0.3	V
出力電圧	HO から SW、過渡 < 20ns	-5		V
出力電圧	LO から PGND、過渡 < 20ns	-1.5		V
動作時の接合部温度、T _J		-40	150	°C
保管温度、T _{stg}		-55	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750	
		その他のピン	±500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

接合部の動作時温度範囲 -40°C～150°C (特に記載がない場合)。⁽¹⁾

		最小値	公称値	最大値	単位
V _{IN}	入力電源電圧範囲	5	80	80	V
V _{OUT}	出力電圧範囲	0.8	79	79	V
ピン電圧	PGOOD、FB、FPWM/SYNC、RT	0	8	8	V
ピン電圧	COMP、ISET、IMON	0	5.25	5.25	V
ピン電圧	EN	0	80	80	V
ピン電圧	BIAS	0	28	28	V
ピン電圧	VOUT、ISNS+	0	79	79	V
T _J	動作時接合部温度	-40	150	150	°C

- (1) 推奨動作条件は、デバイスが機能すると想定されている条件です。仕様およびテスト条件については、「電気的特性」を参照してください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		LM5190-Q1	単位
		RGY (VQFN)	
		19 ピン	
R _{θJA}	接合部から周囲への熱抵抗	44.8	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	40.1	°C/W
R _{θJB}	接合部から基板への熱抵抗	21.1	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.9	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	21.0	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	6.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

T_J = –40°C ~ 150°C。標準値は T_J = 25°C、V_{IN} = 12V、EN は V_{IN} に接続 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VIN)						
I _{Q-SD}	VIN シャットダウン電流	V _{EN} = 0 V	2.3	4.5	μA	
I _{Q-SD-48V}	VIN シャットダウン電流	V _{EN} = 0V、V _{IN} = 48V	4.5		μA	
I _{Q-SBY}	VIN スタンバイ電流	非スイッチング、0.5V ≤ V _{EN} ≤ 1V	100		μA	
I _{Q-SBY-48V}	VIN スタンバイ電流	非スイッチング、0.5V ≤ V _{EN} ≤ 1V、V _{IN} = 48V	120		μA	
I _{SLEEP1}	スリープ電流、5V	V _{IN} = 24V、V _{VOUT} = V _{BIAS} = 5V、スリープ モード、V _{FPWM/SYNC} = AGND、ISET はフローティング	15	30	μA	
I _{SLEEP1-48V}	スリープ電流、5V、V _{IN} = 48V	V _{IN} = 48V、V _{VOUT} = V _{BIAS} = 5V、スリープ モード、V _{FPWM/SYNC} = AGND、ISET はフローティング	12		μA	
I _{SLEEP2}	スリープ電流、12V	V _{IN} = 24V、V _{VOUT} = V _{BIAS} = 12V、スリープ モード、V _{FPWM/SYNC} = AGND、ISET はフローティング	20	35	μA	
I _{SLEEP2-48V}	スリープ電流、12V、V _{IN} = 48V	V _{IN} = 48V、V _{VOUT} = V _{BIAS} = 12V、スリープ モード、V _{FPWM/SYNC} = AGND、ISET はフローティング	12		μA	
ENABLE (EN)						
V _{SBY-TH}	シャットダウンからスタンバイへのスレッショルド	V _{EN} 立ち上がり	0.55		V	
V _{EN-TH}	イネーブル電圧立ち上がりスレッショルド	V _{EN} 立ち上がり、スイッチングが有効	0.95	1.0	1.05	V
V _{EN-HYS}	イネーブルヒステリシス電圧		100		mV	
内部 LDO (VCC)						
V _{VCC-REG}	VCC のレギュレーション電圧	I _{VCC} = 0mA ~ 110mA	7.125	7.5	7.875	V
V _{VCC-UVLO}	VCC UVLO 立ち上がりスレッショルド		4.65	4.8	4.95	V
V _{VCC-HYS}	VCC UVLO ヒステリシス		425		mV	
I _{VCC-LIM}	内部 LDO 短絡電流制限		220		mA	
外部バイアス (BIAS)						
V _{BIAS-TH}	V _{IN} から V _{BIAS} への切り替え立ち上がりスレッショルド		8.55	9	9.45	V
V _{BIAS-HYS}	V _{IN} から V _{BIAS} への切り替えヒステリシス		400		mV	
基準電圧						
V _{REF-V}	レギュレーション済み FB 電圧	V _{IMON} = 0V	792	800	808	mV
V _{REF-I}	電流ループの基準電圧	V _{FB} = 0 V	0.99	1	1.01	V
出力電圧 (VOUT)						
V _{OUT-5V}	5V 出力電圧設定ポイント	FB を AGND に接続	4.95	5.0	5.05	V
V _{OUT-12V}	12V 出力電圧設定ポイント	FB を VCC に接続、V _{IN} = 24V	11.88	12	12.12	V

5.5 電気的特性 (続き)

$T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ 。標準値は $T_J = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、EN は VIN に接続 (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
エラー アンプ (COMP)					
G_{m-VEA}	電圧ループ EA 相互コンダクタンス	$\Delta V_{FB} = 100\text{mV}$		1000	μs
G_{m-IEA}	電流ループ EA 相互コンダクタンス	$\Delta V_{IMON} = 100\text{mV}$		1000	μs
I_{FB}	誤差アンプ入力バイアス電流			75	nA
$I_{COMP-SRC}$	EA ソース電流	$V_{COMP} = 1\text{V}$		120	μA
$I_{COMP-SINK}$	EA シンク電流	$V_{COMP} = 1\text{V}$		120	μA
出力電流モニタ (IMON/ILIM)					
I_{m-IMON}	V_{CS} からのモニタ アンプ ゲイン	$V_{CS} = 40\text{mV}$	1.94	2	$2.06\text{ }\mu\text{A/mV}$
I_{OFFSET}	モニタ アンプのオフセット電流	$V_{CS} = 0\text{mV}$	22.5	25	$27.5\text{ }\mu\text{A}$
電流設定 (ISET)					
I_{ISET}	ISET ソース電流		9	10	$11\text{ }\mu\text{A}$
強制 PWM モード (FPWM/SYNC)					
V_{ZC-SW}	ゼロクロスのスレッショルド	SW-PGND のスレッショルド		-5.5	mV
スイッチング周波数					
V_{RT}	RT ピンのレギュレーション電圧	$10\text{k}\Omega < R_{RT} < 242\text{k}\Omega$		1	V
F_{SW1}	スイッチング周波数 1	$V_{IN} = 12\text{V}$ 、AGND への $R_{RT} = 242\text{k}\Omega$	90	100	$110\text{ }\text{kHz}$
F_{SW2}	スイッチング周波数 2	$V_{IN} = 12\text{V}$ 、AGND への $R_{RT} = 10\text{k}\Omega$	2.0	2.2	$2.4\text{ }\text{MHz}$
V_{SLOPE}	勾配補償ランプの振幅	ISNS+ から VOUT 入力へ参照		45	mV
t_{ON-MIN}	最小オン時間			26	$50\text{ }\text{ns}$
$t_{OFF-MIN}$	最小オフ時間			80	$125\text{ }\text{ns}$
パワーグッド (PGOOD)					
V_{PG-UV}	パワーグッド UV トリップ レベル	レギュレーションされた電圧に応じて減少	90%	92%	94%
V_{PG-OV}	パワーグッド OV トリップ レベル	レギュレーションされた電圧に応じて増加	108%	110%	112%
$V_{PG-UV-HYST}$	パワーグッド UV ヒステリシス			3.1%	
$V_{PG-OV-HYST}$	パワーグッド OV ヒステリシス			3.1%	
V_{PG-OL}	PG 電圧	オープンコレクタ、 $I_{PG} = 4\text{mA}$		0.8	V
過電圧保護					
$V_{OVTH-RISING}$	過電圧スレッショルド	レギュレーションされた電圧に応じて増加	108%	110%	112%
$V_{OVTH-HYST}$	過電圧スレッショルド (ヒステリシス)			3.1%	
スタートアップ (ソフトスタート)					
t_{SS-INT}	内部固定ソフトスタート時間		1.9	2.75	$3.8\text{ }\text{ms}$
ブート回路					
$V_{BOOT-DROP}$	内部ダイオードの順方向電圧降下	$I_{CBOOT} = 20\text{mA}$ 、VCC から CBOOT		0.8	$1\text{ }\text{V}$
I_{BOOT}	CBOOT から SW への静止電流、スイッチングなし	$V_{EN} = 5\text{V}$ 、 $V_{CBOOT-SW} = 7.5\text{V}$		25	μA
$V_{BOOT-SW-UV-F}$	CBOOT から SW UVLO 立ち下がりスレッショルド	$V_{CBOOT-SW}$ 立ち下がり	2.75	3.1	$3.75\text{ }\text{V}$
$V_{BOOT-SW-UV-HYS}$	CBOOT から SW UVLO ヒステリシス			0.24	V
ハイサイドゲートドライバ (HO)					
$V_{HO-HIGH}$	HO High 状態出力電圧	$I_{HO} = -100\text{mA}$ 、 $V_{HO-HIGH} = V_{CBOOT} - V_{HO}$		300	mV
V_{HO-LOW}	HO Low 状態出力電圧	$I_{HO} = 100\text{mA}$		75	mV
$t_{HO-RISE}$	HO 立ち上がり時間 (10% から 90% へ)	$C_{LOAD} = 2.7\text{nF}$		20	ns
$t_{HO-FALL}$	HO 立ち下がり時間 (90% から 10% へ)	$C_{LOAD} = 2.7\text{nF}$		8	ns
ローサイドゲートドライバ (LO)					
$V_{LO-HIGH}$	LO High 状態出力電圧	$I_{LO} = -100\text{mA}$		300	mV
V_{LO-LOW}	LO Low 状態出力電圧	$I_{LO} = 100\text{mA}$		75	mV

5.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 。標準値は $T_J = 25^{\circ}\text{C}$ 、 $V_{IN} = 12\text{V}$ 、EN は VIN に接続 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{LO-RISE}$	LO 立ち上がり時間 (10% から 90% へ)	$C_{LOAD} = 2.7\text{nF}$		20		ns
$t_{LO-FALL}$	LO 立ち下がり時間 (90% から 10% へ)	$C_{LOAD} = 2.7\text{nF}$		8		ns
アダプティブ デッドタイム制御						
t_{DEAD1}	HO オフから LO オンまでのデッドタイム ⁽¹⁾			21		ns
t_{DEAD2}	LO オフから HO オンまでのデッドタイム ⁽¹⁾			21		ns
過電流保護						
V_{CS-TH}	Current limit threshold	ISNS+ から $VOUT$ まで測定	54	60	68	mV
$V_{CS-TH-MIN}$	負のピーク電流制限スレッショルド	ISNS+ から $VOUT$ まで測定		12		mV
A_{CS}	CS アンプゲイン		9.5	10	10.6	V/V
V_{CS-NEG}	CS の負電圧スレッショルド			-30		mV
サーマル シャットダウン						
T_{J-SD}	サーマル シャットダウンのスレッショルド ⁽¹⁾	温度上昇		175		°C
T_{J-HYS}	サーマル シャットダウン ヒステリシス ⁽¹⁾			15		°C

(1) 設計により規定されています。実製品の検査は行っていません。

5.6 代表的特性

特に記述のない限り $V_{IN} = 12V$

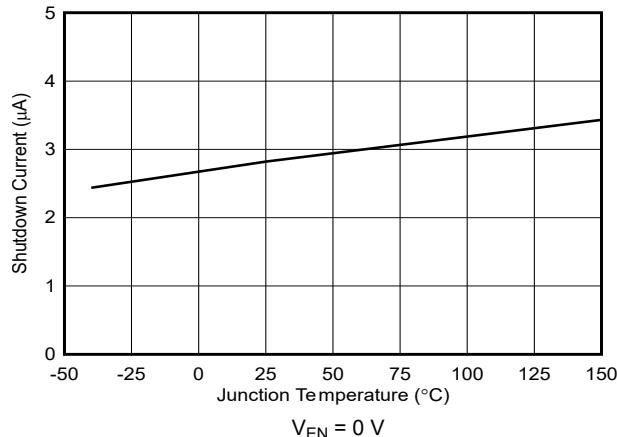


図 5-1. シャットダウン電流と温度との関係

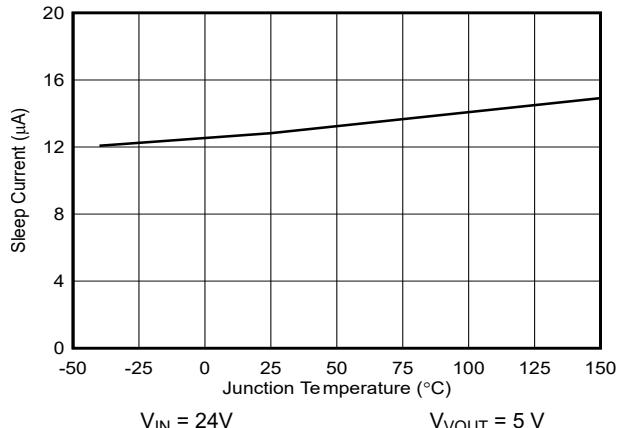


図 5-2. Sleep1 電流と温度との関係

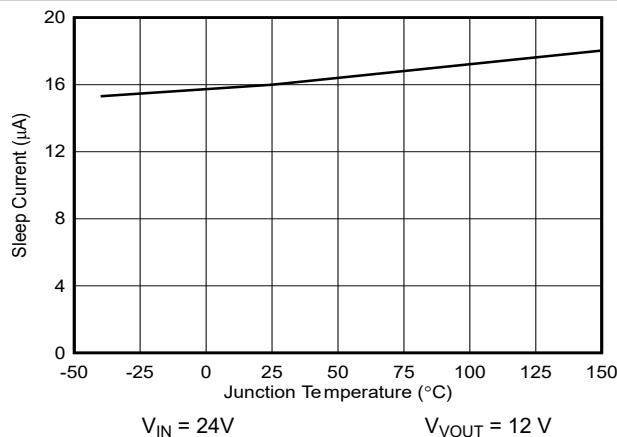


図 5-3. Sleep2 電流と温度との関係

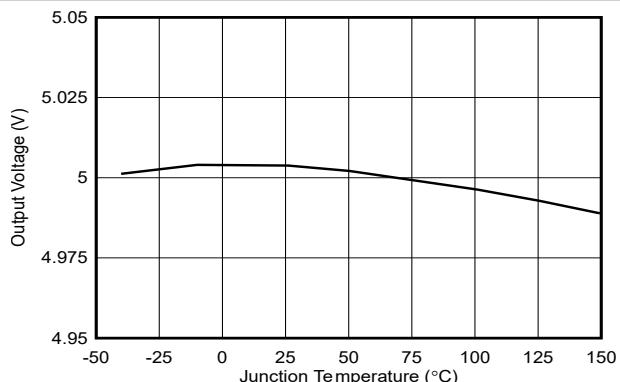


図 5-4. 固定 5V 出力電圧と温度との関係

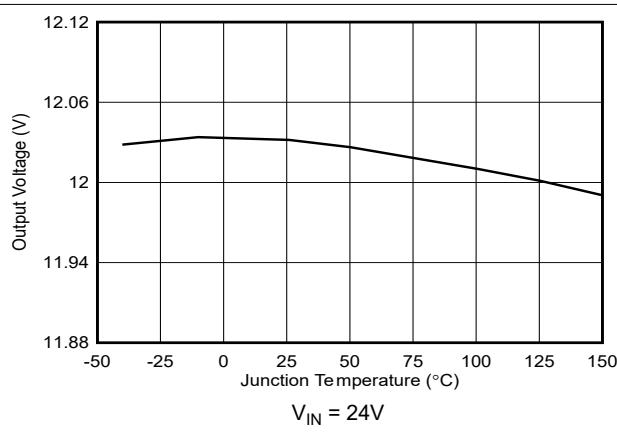


図 5-5. 固定 12V 出力電圧と温度との関係

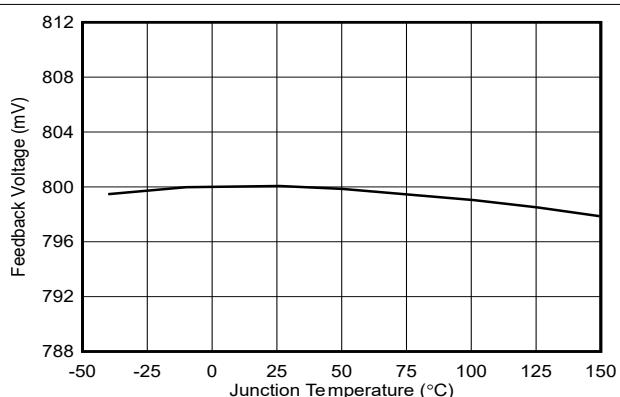


図 5-6. 帰還電圧と温度との関係

5.6 代表的特性 (続き)

特に記述のない限り $V_{IN} = 12V$

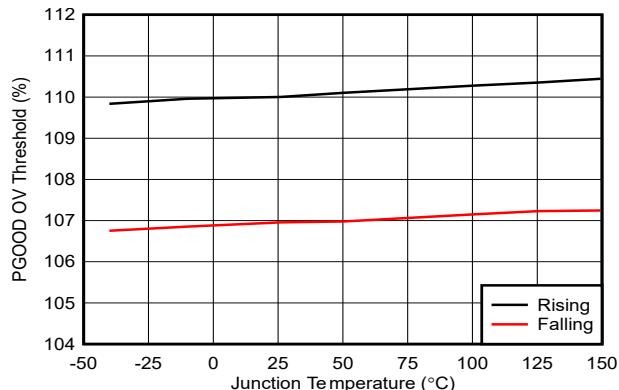


図 5-7. PG OV スレッショルドと温度との関係

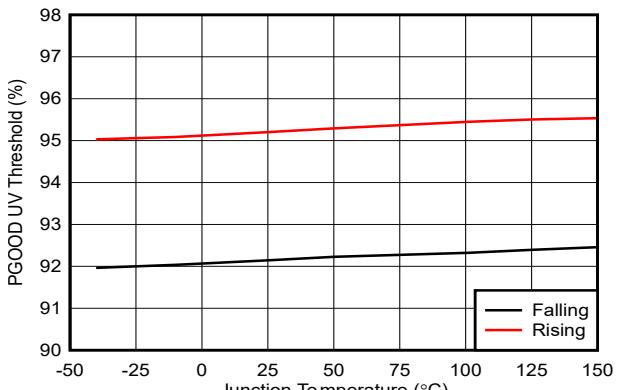


図 5-8. PG UV スレッショルドと温度との関係

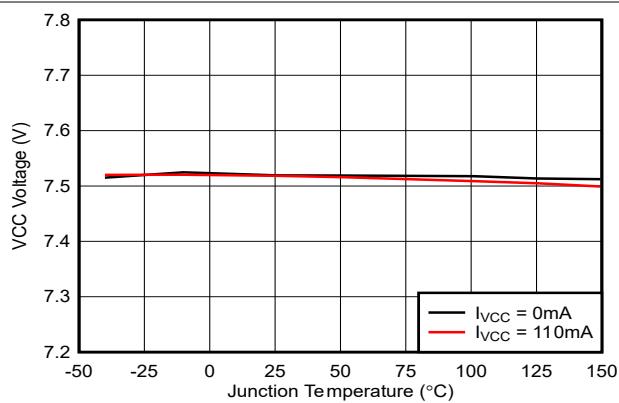


図 5-9. VCC レギュレーション電圧と温度との関係

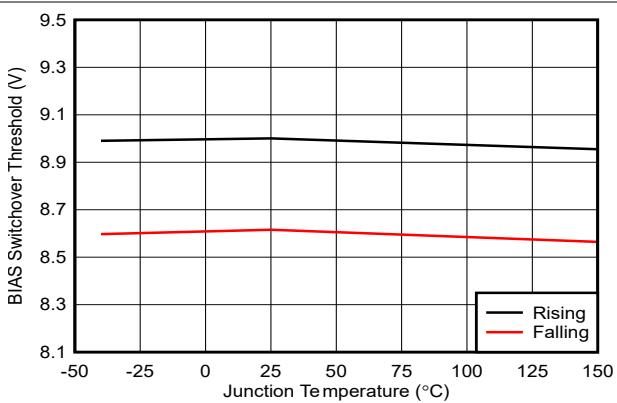


図 5-10. BIAS 切り替えスレッショルドと温度との関係

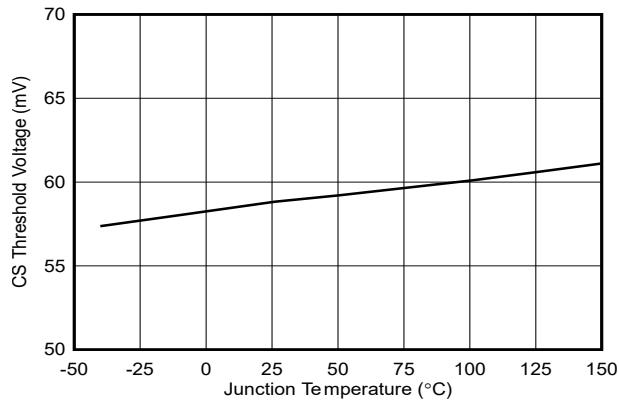


図 5-11. 電流センス (CS) スレッショルドと温度との関係

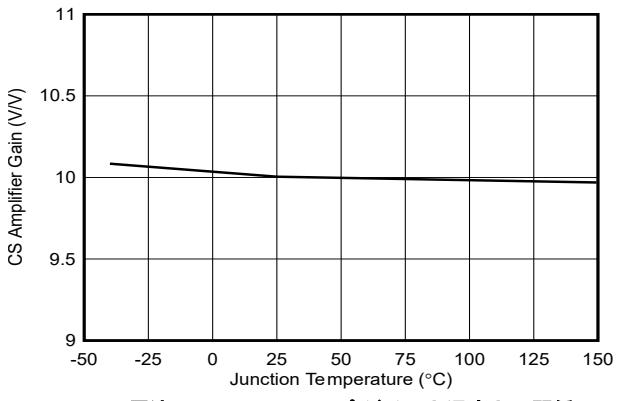


図 5-12. 電流センス (CS) アンプ ゲインと温度との関係

5.6 代表的特性 (続き)

特に記述のない限り $V_{IN} = 12V$

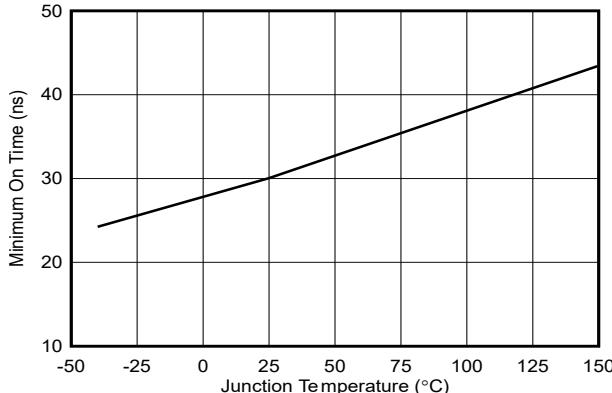


図 5-13. 最小オン時間 (HO) と温度との関係

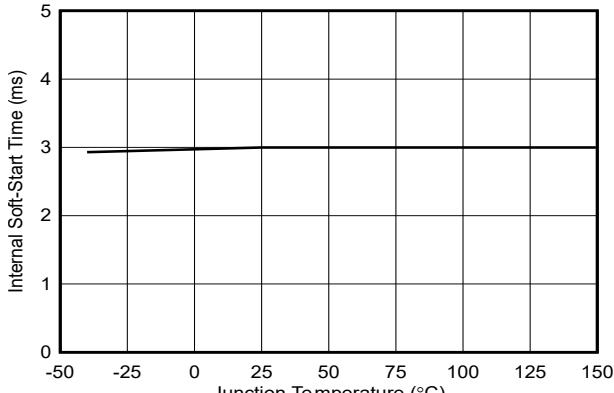


図 5-14. ソフトスタート時間と温度との関係

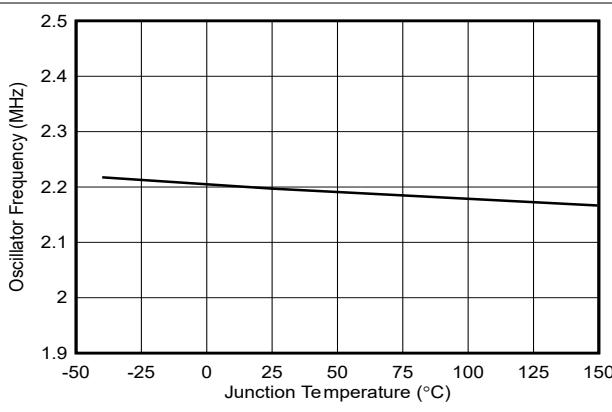


図 5-15. スイッチング周波数と温度との関係

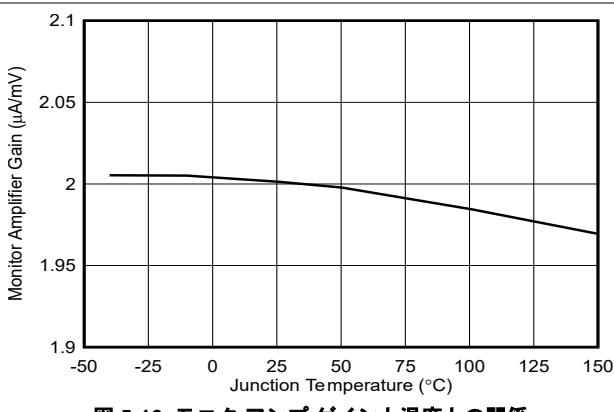


図 5-16. モニタ アンプゲインと温度との関係

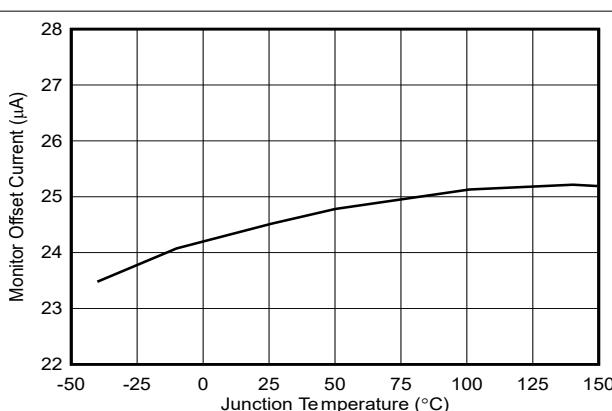


図 5-17. モニタのオフセット電流と温度との関係

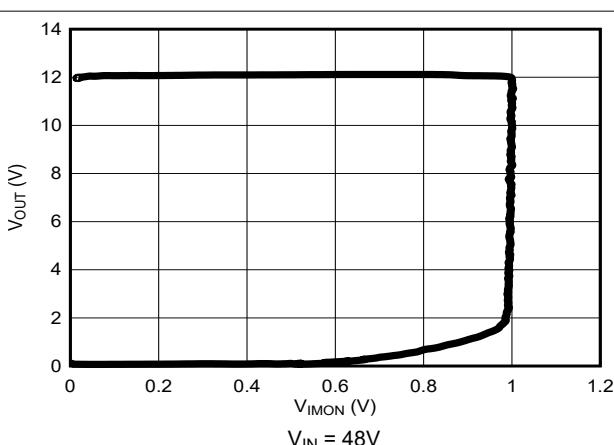


図 5-18. 充電過渡時の定電流定電圧動作

6 詳細説明

6.1 概要

LM5190-Q1 は 5V ~ 80V の広い入力電圧範囲で動作する、高効率で定電流、定電圧の同期整流降圧レギュレータを実装するために必要なすべての機能を備えたスイッチング DC/DC コントローラです。LM5190-Q1 は、固定の 5V または 12V、あるいは 0.8V ~ 79V の可変出力を供給するように構成されています。この使いやすいコントローラは、それぞれ 1.5A と 2.5A のピーク電流を供給およびシンクできる、ハイサイドとローサイドの各 MOSFET ゲートドライバを内蔵しています。アダプティブ デッドタイム制御は、スイッチング遷移中のボディダイオードの導通を最小限に抑えるように設計されています。

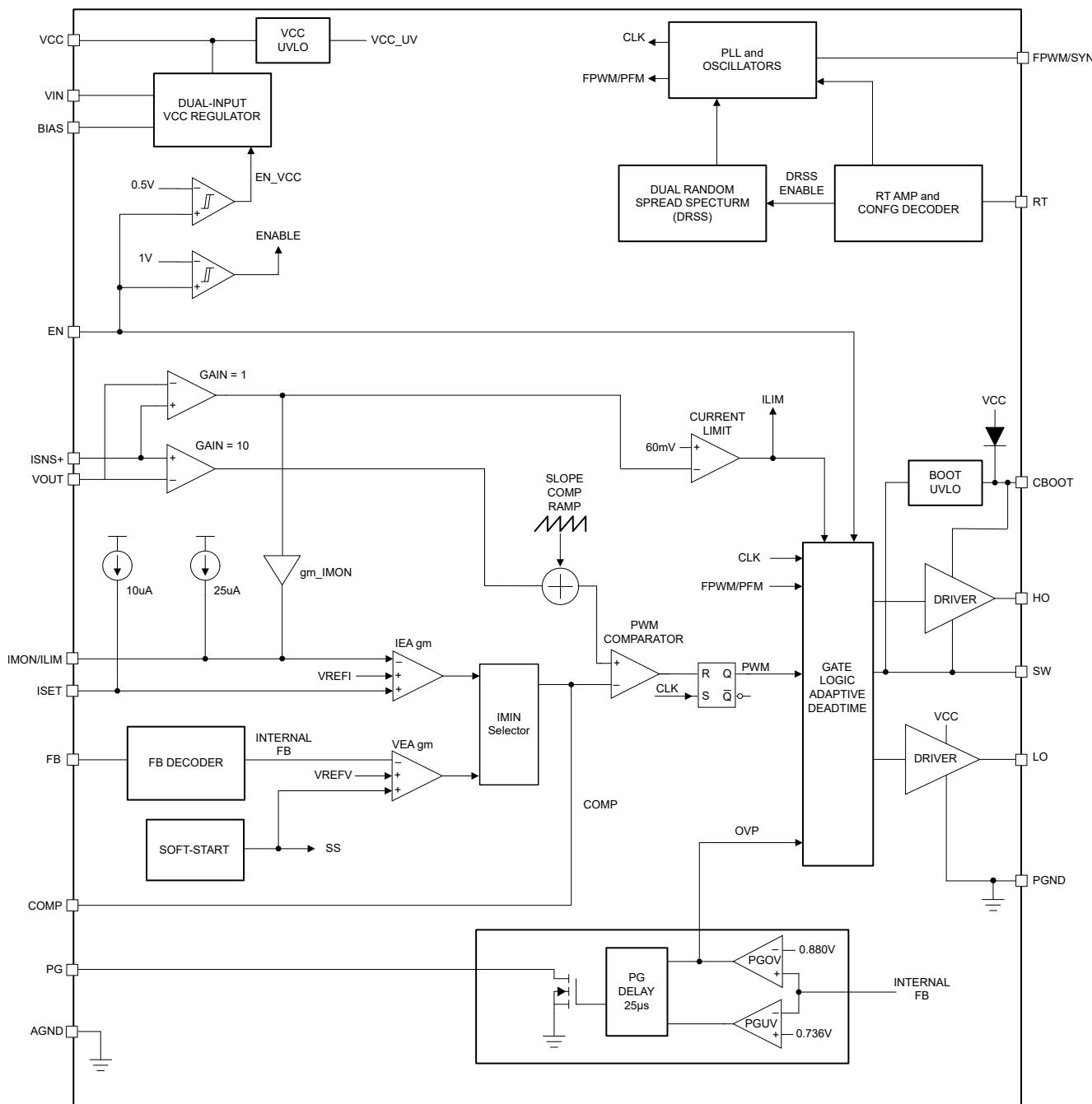
シャント抵抗 電流センシングを使用する電流モード制御により、固有ラインのフィードフォワード、サイクル単位のピーク電流制限、簡単なループ補償を実現します。また、電流モード制御は、高入力電圧と低ドロップアウトのアプリケーションだけでなく、高降圧変換比 (たとえば、10 対 1) が必要なアプリケーションでも、幅広いデューティサイクル範囲をサポートします。発振器の周波数は 100kHz ~ 2.2MHz の範囲でユーザーがプログラム可能で、外部クロックを FPWM/SYNC に印加することにより、最大 2.5MHz の周波数を同期することができます。

高入力電圧のアプリケーションでは、外部バイアス電源を BIAS に接続して効率を最大限にすることができます。ユーザーが選択可能なダイオード エミュレーション機能により、不連続導通モード (DCM) 動作をイネーブルにして、軽負荷条件時の効率をさらに向上させ、消費電力を低減することができます。フォルト保護機能として、電流制限、ヒップ モードの過負荷保護、サーマル シャットダウン、UVLO、およびリモート シャットダウンの機能が搭載されています。

LM5190-Q1 には、CISPR 25 Class 5 車載 EMI 要件など、各種 EMI 規格に容易に準拠できる機能が搭載されています。DRSS 手法はピーク高調波 EMI シグネチャを低減します。

LM5190-Q1 は、放熱に役立つウェッタブル フランク ピン配置と露出パッド付きのカスタム 19 ピン VQFN パッケージで供給されます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 入力電圧範囲 (V_{IN})

LM5190-Q1 の動作入力電圧範囲は 5V ~ 80V です。本デバイスは、12V、24V、48V の電源レールからの降圧変換を目的としています。LM5190-Q1 は内部の LDO を使用して、ゲート駆動および制御回路用の 7.5V VCC バイアスレールを供給します (入力電圧が 7.5V より高く、サブレギュレータのドロップアウト仕様に必要な追加の電圧マージンが確保されていると想定)。

高入力電圧のアプリケーションでは、ラインまたは負荷遷移イベント中に、 V_{IN} ピンと SW ピンが絶対最大電圧定格の 85V のを超えないよう、十分に注意してください。該当する電圧仕様を超える電圧の変動は、デバイスを損傷させる可能性があります。

6.3.2 高電圧バイアス電源レギュレータ (VCC, BIAS)

LM5190-Q1 には、高電圧 VCC バイアスレギュレータが内蔵されており、PWM コントローラと、外部 MOSFET 用ゲートドライバに、バイアス電源を供給します。標準レベル MOSFET に加えてロジックレベル MOSFET をサポートするため、VCC 電圧は 7.5V にレギュレートされます。入力電圧ピン (V_{IN}) は、最大 80V の入力電圧ソースに直接接続できます。ただし、入力電圧が VCC 設定ポイントレベルを下回っている場合、VCC 電圧は V_{IN} からわずかな電圧降下を引いた値となります。

パワーアップ時に、コントローラは VCC ピンに接続されているコンデンサに電流を供給します。VCC 電圧が 4.8V を超え、EN ピンが 1V より高い電圧に接続されていると、ソフトスタートシーケンスが開始されます。VCC 電圧が VCC UVLO 立ち下がりスレッショルドの 4.375V (標準値) を下回るか、EN が Low 状態に切り替わるまで、出力はアクティブ状態を維持します。VCC と PGND の間にセラミックコンデンサを接続します。VCC コンデンサの推奨範囲は 2.2 μ F ~ 10 μ F です。

VCC レギュレータはデュアル入力レギュレータで、 V_{IN} ピンに加えて BIAS ピンを他の入力として使用します。降圧出力 (V_{OUT}) や他の該当するシステムレールなどの低い電源電圧を BIAS に接続することで、内部 VCC レギュレータの消費電力を低減できます。VCC レギュレータは、9V (標準値) を超えて上昇するとき、BIAS 電圧を入力として使用するように切り替わります。切り替わり電圧のヒステリシスは 400mV です。BIAS を電源として使用するときは、コントローラへの損傷を防止するため、すべての条件において V_{IN} 電圧を VCC 電圧より高くする必要があります。BIAS を使用しない場合は、PGND に接続してください。BIAS ピンの最大動作電圧は 28V であることに留意してください。

6.3.3 高精度イネーブル (EN)

EN ピンは最大 80V の電圧に接続できます。LM5190-Q1 は、高精度のイネーブルを備えています。EN の電圧が 1V を超えると、コントローラのスイッチングがイネーブルになります。EN ピンが 0.55V より低くプルされると、LM5190-Q1 はシャットダウンされ、 V_{IN} からの消費電流 I_Q は 2.3 μ A (標準値) になります。イネーブル電圧が 0.55V ~ 1V のとき、LM5190-Q1 はスタンバイモードで、VCC レギュレータはアクティブですが、コントローラはスイッチングしません。スタンバイモードでは、非スイッチング入力静止電流は 100 μ A (標準値) です。LM5190-Q1 は、1.0V を超える電圧でイネーブルになります。多くのアプリケーションでは、抵抗分圧器 R_{ENT} および R_{ENB} を使用して、 V_{SUPPLY} (V_{IN} ピンに接続された電力段の電源電圧) から高精度の UVLO レベルを確立することで利益を受けられます。TI は、EN ピンをフローティングのままにすることを推奨しません。

6.3.4 パワーグッドモニタ (PGOOD)

LM5190-Q1 には V_{OUT} の出力電圧監視信号があり、シーケンシングと監視を簡単に行えます。パワーグッド信号は、ダウンストリームコンバータのスタートアップシーケンシング、故障保護、出力監視に使用します。パワーグッド出力 (PGOOD) は、出力電圧がレギュレーション状態のときに、高インピーダンスのオープンドレイン状態に切り替わります。出力電圧がパワーグッドスレッショルドの下限値 (標準値 92%) を下回るか、またはパワーグッドスレッショルドの上限値 (標準値 110%) を上回ると、PGOOD は Low に切り替わります。上側の PG スレッショルドを超えた場合、ハイサイドスイッチは直ちにオフになり、ローサイドスイッチがオンになり、過電圧と出力の放電を防止します。25 μ s のグリッチ除去フィルタが、過渡中のパワーグッド信号の誤トリップを防止します。TI では、PGOOD から関連するロジックレールまでの間に 100k Ω (標準値) のプルアップ抵抗を入れることを推奨しています。ソフトスタート中、および降圧レギュレータがディセブルのとき、PGOOD は Low にアサートされます。

6.3.5 スイッチング周波数 (RT)

LM5190-Q1 発振器を、RT と AGND または VCC との間に抵抗を接続してプログラムし、発振器の周波数を 100kHz ~ 2.2MHz に設定します。最初の電源オン時に RT と VCC との間に抵抗が接続されていると、デュアルランダムスペクトラム拡散 (DRSS) がオンになります。最初の電源オン時に RT と AGND との間に抵抗が接続されていると、DRSS がオフになります。DRSS の詳細については、[セクション 6.3.7](#) を参照してください。指定のスイッチング周波数に対する RT 抵抗を計算するには、[式 1](#) を使用します。DRSS がオンのとき、[式 2](#) を使用し、平均スイッチング周波数に基づいて RT 抵抗を計算します。

$$R_{RT} [\text{k}\Omega] = \frac{\frac{10^6}{f_{SW} [\text{kHz}]} - 59}{41} \quad (1)$$

$$R_{RT} [\text{k}\Omega] = \frac{\frac{10^6}{f_{SW} [\text{kHz}]} - 233.7}{29.3} \quad (2)$$

6.3.6 低ドロップアウト モード

拡張最小入力電圧について、必要なデューティサイクルが、最小オフ時間によって制限される最大デューティサイクルよりも大きい場合、LM5190-Q1 は低ドロップアウト (LDO) モードに移行します。LDO モード時に LM5190-Q1 は、PWM ラッチが電流センスランプによってリセットされてコントローラの補償電圧を超えるまで、オン時間パルスを延長します。LM5190-Q1 は、コントローラのデューティサイクルを延長するために、最大 15 の t_{OFF} サイクルをスキップできます。[図 6-1](#) に、PWM モードから LDO モードへの通常の遷移を示します。

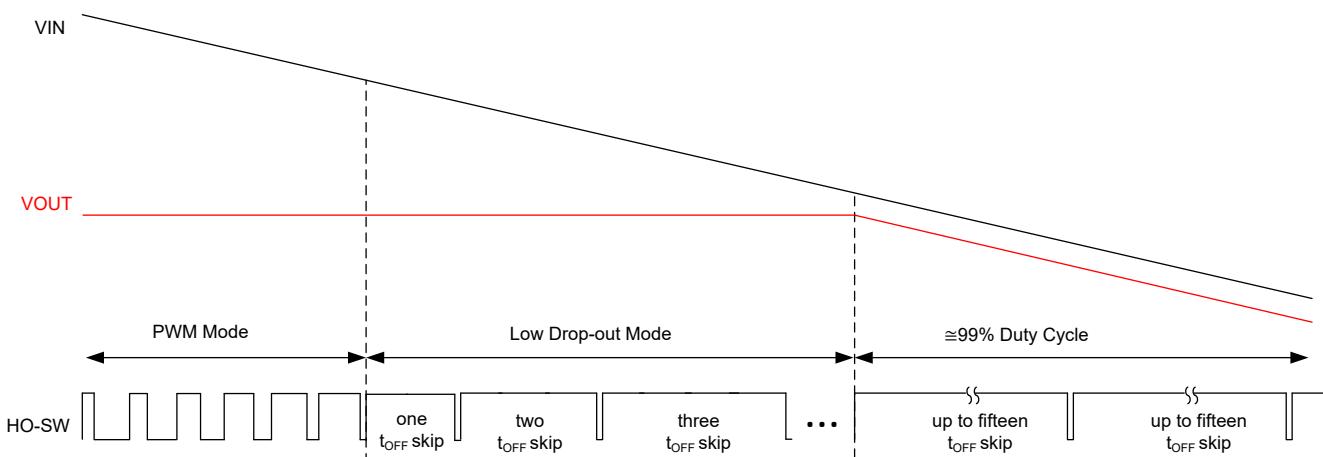


図 6-1. PWM から LDO へのモード遷移

[式 3](#) に、このイベントが発生するおよその入力電圧レベルを示します。

$$V_{IN(MIN)} = V_{OUT} \times \frac{t_{SW}}{t_{SW} - t_{OFF(MIN)}} \quad (3)$$

ここで、

- t_{SW} は拡張スイッチング周期です。
- $t_{OFF(MIN)}$ は最小オフ時間で、80ns (標準値) です。

6.3.7 デュアルランダムスペクトラム拡散機能 (DRSS)

LM5190-Q1 にはデジタルスペクトラム拡散機能があり、広い周波数範囲にわたって電源の EMI を低減します。DRSS 機能は、低周波数の三角波変調プロファイルと、高周波数のサイクル単位のランダム変調プロファイルを組み合わせたも

のです。低周波数三角波変調は低い無線周波数帯域で性能を向上させ、高周波のランダム変調は高い無線周波数帯域で性能を向上させます。

スペクトラム拡散は、狭帯域信号を広帯域信号に変換し、エネルギーを複数の周波数にわたって拡散することで動作します。業界規格では周波数帯域ごとに異なる **EMI レシーバ解像度の帯域幅 (RBW)** 設定を要求しているため、RBW はスペクトラム拡散の性能に影響を及ぼします。たとえば、150kHz ~ 30MHz までの周波数帯域の CISPR 25 スペクトラルアナライザの RBW は 9kHz です。30MHz を超える周波数の場合、RBW は 120kHz です。DRSS は、低周波数の三角波変調プロファイルと、高周波数のサイクル単位のランダム変調により、それぞれ低 RBW および高 RBW での EMI 性能を同時に向上できます。DRSS により、伝導エミッションを低周波数帯域 (150kHz ~ 30MHz) で 15dB μ V、高周波帯域 (30MHz ~ 108MHz) で 5dB μ V に低減できます。

DRSS をイネーブルするには、最初の電源オン時に、RT を抵抗経由で VCC に接続します。この抵抗は、式 1 の同じ式で、スイッチング周波数を設定するためにも使用されます。

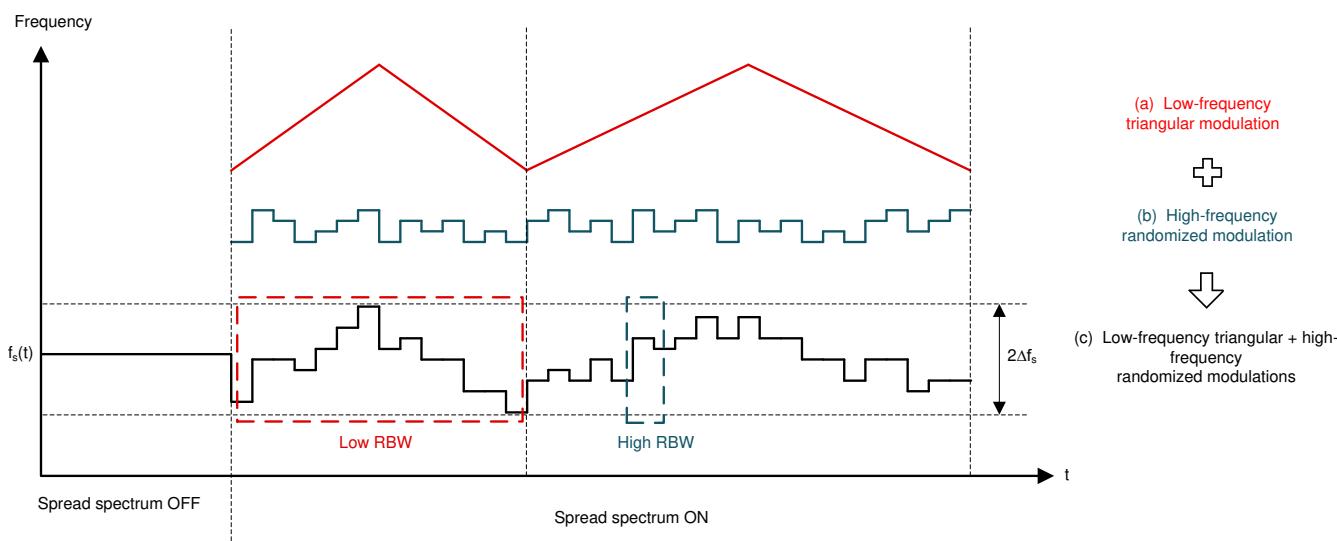


図 6-2. デュアルランダムスペクトラム拡散機能の実装

6.3.8 ソフトスタート

LM5190-Q1 には、2.75ms (標準値) のソフトスタートタイマが内蔵されています。ソフトスタート機能は、レギュレータを徐々に定常状態動作点へと到達させることで、起動時のストレスやサージを低減します。

6.3.9 出力電圧の設定ポイント (FB)

LM5190-Q1 レギュレータの出力は、外付けの帰還抵抗を使用せずに 2 つの固定出力電圧の 1 つについて個別に構成することも、外付けの抵抗分割器を使用して目的の電圧に調整することも可能です。最初の電源オン時に FB と AGND を接続すると、出力が 5V に設定されます。最初の電源オン時に FB と VCC を接続すると、出力が 12V に設定されます。表 6-1 を参照してください。

表 6-1. 出力レギュレーション目標

FB の選択	V _{OUT} 設定ポイント
FB = VCC	12V
FB = AGND	5V
FB = FB 抵抗	可変

この構成設定はラッチされ、LM5190-Q1 の電源がオフになり、VCC 電圧が立ち下がり UVLO スレッショルド未満に低下してから、再度電源がオンになって VCC が 4.8V (標準値) を超えるまで変更できません。または、並列抵抗が 5.0k Ω よ

り大きい外付けの帰還分圧抵抗を接続することで、動作中に出力レギュレーションのターゲットを調整できます (式 4 を参照)。

$$5 \text{ k}\Omega < \frac{R_{FBT} \times R_{FBB}}{R_{FBT} + R_{FBB}} \quad (4)$$

出力電圧の調節範囲は 0.8V ~ 79V です。FB のレギュレーション電圧は 0.8V (V_{REF-V}) です。式 5 を使用すると、帰還抵抗の上限と下限 (それぞれ R_{FBT} と R_{FBB} と表されます) を計算できます。

$$R_{FBT} = \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \times R_{FBB} \quad (5)$$

低 I_Q 動作が必要な場合は、外付け帰還抵抗の選択に注意してください。外付け分圧器の消費電流は、LM5190-Q1 のスリープ電流 (標準値 15 μ A) に加算されます。 V_{IN} に反映される分圧器の電流は、 V_{OUT}/V_{IN} の比で増減します。

6.3.10 最小制御可能オン時間

最小出力電圧の調整範囲には、LM5190-Q1 の 0.8V の基準電圧と、制御可能なスイッチ ノードの最小パルス幅 $t_{ON(min)}$ という 2 つの制約があります。

$t_{ON(min)}$ は実質的に、指定されたスイッチング周波数における電圧降圧変換比 V_{OUT}/V_{IN} を制限します。固定周波数の PWM 動作の場合、電圧の変換比は次の式 6 を満たす必要があります。

$$\frac{V_{OUT}}{V_{IN}} > t_{ON(min)} \times f_{SW} \quad (6)$$

ここで、

- $t_{ON(min)}$ は 26ns (標準値) です。
- f_{SW} : スイッチング周波数。

求められる電圧変換比が上記の条件を満たさない場合、LM5190-Q1 は固定スイッチング周波数動作からパルス スキッピング モードに遷移して、出力電圧のレギュレーションを維持します。たとえば、求められる出力電圧が 5V で、入力電圧 24V、スイッチング周波数 2.1MHz の場合、式 7、式 8 を使用して変換比を検証します。

$$\frac{5V}{24V} > 26\text{ns} \times 2.1\text{MHz} \quad (7)$$

$$0.208 > 0.055 \quad (8)$$

V_{IN} の範囲が広いアプリケーションで低出力電圧の場合、式 6 の要件を満たすためのもう 1 つの方法は、LM5190-Q1 のスイッチング周波数を下げることです。

6.3.11 インダクタ電流センシング (ISNS+、VOUT)

図 6-3 に、シャント抵抗を使用したインダクタ電流センシングを示します。この構成では、インダクタ電流を継続的に監視して、動作温度範囲全体での正確な過電流保護を実現します。最適な電流センス精度と過電流保護を実現するためには、インダクタと出力との間に低インダクタンスで $\pm 1\%$ の許容誤差を持つシャント抵抗を使用して、LM5190-Q1 の電流センスアンプまでケルビン接続します。

ISNS+ から VOUT までの間で検出されたピーク電圧信号が 60mV の電流制限スレッショルドを超えた場合、電流制限コンパレータはサイクルごとのピーク電流制限の HO 出力をただちに停止します。式 9 を使用してシャント抵抗を計算します。

$$R_S = \frac{V_{CS} - TH}{I_{out(CL)} + \frac{\Delta I_L}{2}} \quad (9)$$

ここで、

- V_{CS-TH} は、60mV の電流センスレッショルドです。
- $I_{OUT(CL)}$ は過電流設定ポイントで、最大負荷電流より大きな値を設定して、負荷過渡中の過電流コンパレータのトリッピングを防止します。
- ΔI_L は、ピークツーピークのインダクタリップル電流です。

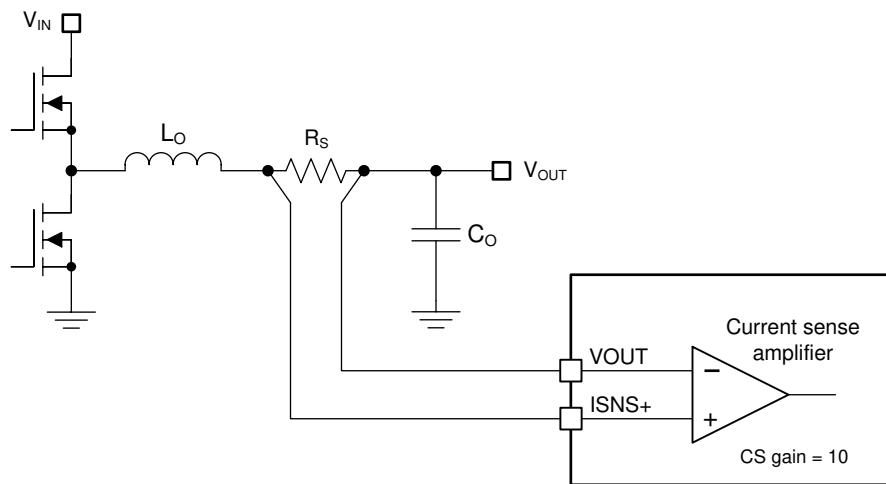


図 6-3. シャント電流センシングの実装

ソフトスタート電圧は、レギュレータが過電流状態の場合、または CC モード動作で出力が UV (低電圧) 状態の場合、FB より 60mV 高い値でクランプされます。過電流イベントが 8 回発生すると、SS のクランプがイネーブルになります。この要件により、短い過電流イベント中は SS が Low にプルされるため、回復中の出力電圧のオーバーシュートが防止されます。

6.3.12 電圧ループエラー アンプ

電流ループ内で、LM5190-Q1 には高ゲインの相互コンダクタンス アンプがあり、帰還電圧と内部の高精度基準電圧 (0.8V) との間の差に比例した誤差電流を生成します。アンプの相互コンダクタンスは $1000\mu\text{S}$ です。電圧ループ エラー アンプは、内部の最小機能ブロック **IMIN** セレクタが電圧ループ エラー アンプからの電流を選択したときのみ、制御を行います。定電流定電圧動作の詳細については、[セクション 6.3.14](#) を参照してください。

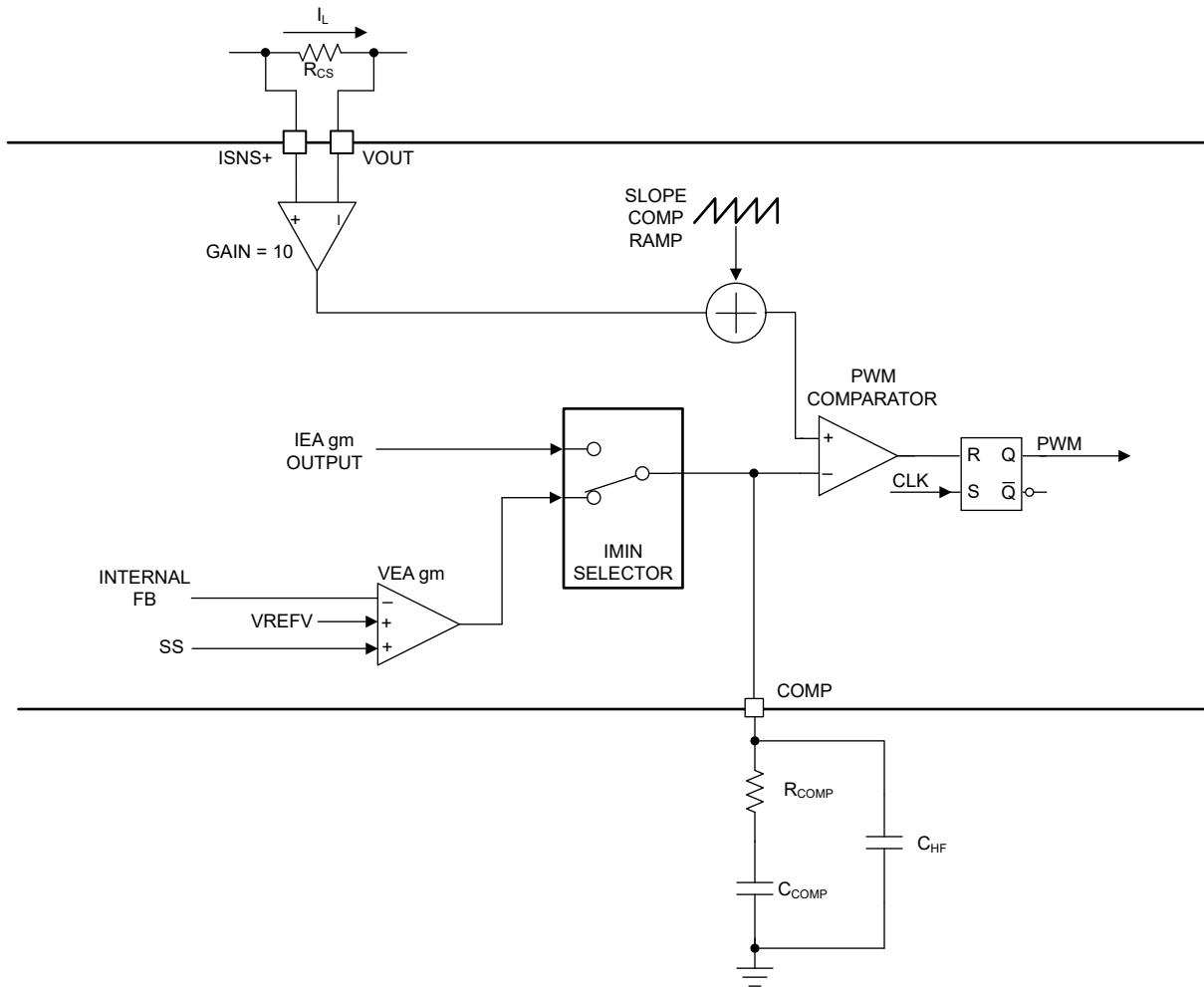


図 6-4. 電圧ループの機能ブロック図

一般的に、ピーク電流モード制御には Type-II 補償ネットワークが推奨されています。

6.3.13 電流モニタ、プログラマブル電流制限、電流ループエラー アンプ (IMON/ILIM、ISET)

電流ループ内で、LM5190-Q1 には高ゲインの相互コンダクタンス アンプがあり、IMON 電圧と内部の高精度基準電圧 (1V)との間の差に比例した誤差電流を生成します。アンプの相互コンダクタンスは $1000\mu\text{S}$ です。電流ループエラー アンプは、内部の最小機能ブロック IMIN セレクタが電流ループエラー アンプからの電流を選択した場合のみ、制御を行います。定電流定電圧動作の詳細については、[セクション 6.3.14](#) を参照してください。

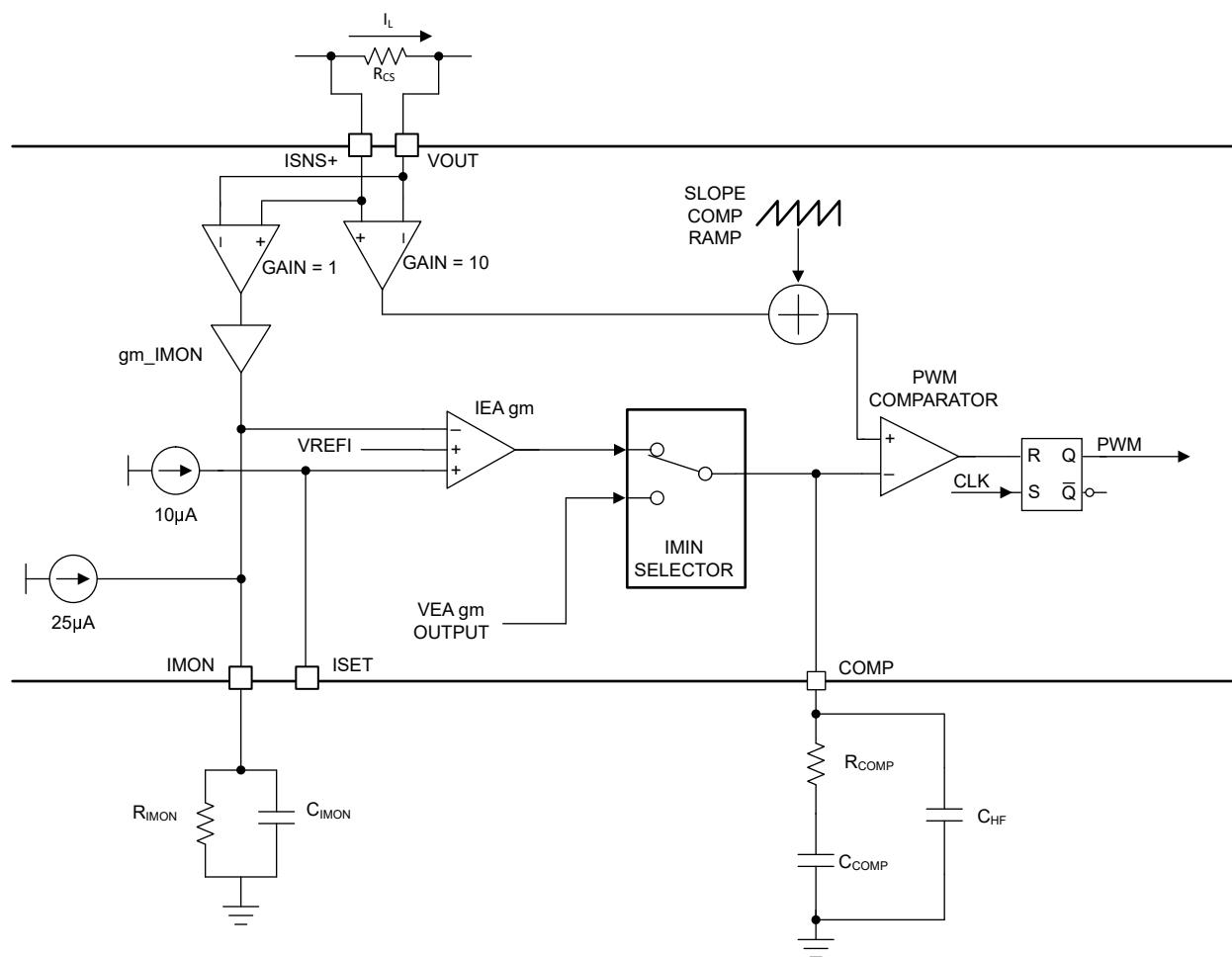


図 6-5. 電流ループの機能ブロック図

R_{IMON} は、CC レギュレーションのターゲットのプログラムに使用されます。CC レギュレーションのターゲットは通常、[インダクタ電流センシング \(ISNS+、VOUT\)](#) のサイクル単位のピーク電流制限で定義された最大電流よりも小さくなるように定義されます。式 10 は、 R_{IMON} を選択します。

$$R_{IMON} = \frac{V_{refI}}{R_{CS} \times g_{m_IMON} \times I_{CC} + I_{IMON_offset}} \quad (10)$$

ここで、

- V_{refI} は 1V (標準値)。
- R_{CS} は電流センス抵抗。
- g_{m_IMON} は $2\mu\text{A}/\text{mV}$ の電流モニタゲイン。
- I_{CC} は CC レギュレーションのターゲット。
- I_{IMON_offset} は $25\mu\text{A}$ の IMON オフセット電流。

C_{IMON} を使用して R_{IMON} とともに RC フィルタを形成し、検出されたインダクタ電流リップルをフィルタで除去して、平均電流レギュレーションを実現します。 C_{IMON} は、電流ループの応答も設定します。 R_{IMON} と C_{IMON} を選択すると、レギュレータが CV ループで動作しているとき、IMON/ILIM マルチファンクションピンを電流モニタとして使用できます。平均インダクタ電流は、式 11 を使用して、IMON/ILIM 電圧から読み出すことができます。

$$I_{AVG} = \frac{\frac{V_{IMON}}{R_{IMON}} - I_{IMON_offset}}{R_{CS} \times g_{m_IMON}} \quad (11)$$

ここで、 V_{IMON} は IMON/ILIM ピンの電圧、 I_{AVG} は平均インダクタ電流です。IMON/ILIM ピンに DC オフセット電流を使用して、無負荷信号を可能なグランドノイズフロアより高く上げることができます。

ISET を使用して、CC レギュレーション電流を動的にプログラムできます。ISET に印加される外部電圧は、式 12 に従って CC レギュレーション電流を設定できます。

$$V_{ISET} = R_{IMON} \times (I_{CCset} \times R_{CS} \times g_{m_{IMON}} + I_{IMON_offset}) \quad (12)$$

ここで、 I_{CCset} は ISET によってプログラムされる平均電流の目標値です。ISET は、電圧が V_{refl} (標準値 1V) より小さい場合のみ機能します。ISET には、標準値 $10\mu A$ の内部電流ソースがあるため、ピンに接続されたコンデンサとともに ISET を使用することで、スーパー コンデンサやバッテリ充電条件などの CC 過渡時の電流ソフトスタートを実現できます。必要なら、この ISET コンデンサを外部から放電します。この内部電流ソースにより、ISET と AGND に接続された抵抗によって ISET の電圧も決定できます。

6.3.14 デュアルループアーキテクチャ

セクション 6.3.12 とセクション 6.3.13 では、電圧ループと電流ループの動作についてそれぞれ解説しました。CC と CV の動作間でシームレスな遷移を実現するため、IMIN セレクタと呼ばれる最小機能ブロックが、デュアル ループ アーキテクチャ用に使用されています。LM5190-Q1 を CV で通常の降圧として動作させるには、IMON ピンを接地し、ISET ピンをオープンのままにします。

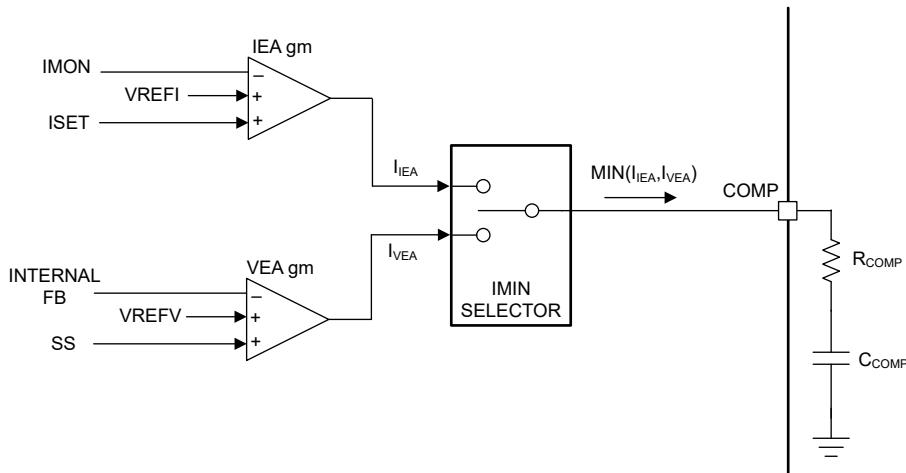


図 6-6. デュアルループアーキテクチャ

6.3.15 PWM コンパレータ

PWM コンパレータは、増幅され検出されたインダクタ電流と勾配補償ランプとの合計を、COMP ピンの電圧から 0.6V の内部オフセットを減算した値と比較し、増幅された検知インダクタ電流とスロープ補償ランプの合計が COMP ピン電圧から 0.6V 内部オフセットを引いた値より大きい場合は、現在のサイクルを終了します。

6.3.16 スロープ補償

LM5190-Q1 にはスロープ補償機能があり、ピーク電流モード制御と 50% を超えるデューティ サイクルで安定した動作を実現します。スロープ補償への寄与がインダクタのダウンスロープの 1 倍に等しくなるよう、式 13 を使用して降圧インダクタンスを計算します。

$$L_{O-IDEAL} [\mu\text{H}] = \frac{V_{OUT} [\text{V}] \times R_{CS} [\text{m}\Omega]}{45 \times f_{SW} [\text{MHz}]} \quad (13)$$

- 一般に、インダクタンスの値が低いほど、ピークツーピークのインダクタ電流は増加します。これにより、サイズとコストは最小限に抑えられ、コア損失とピーク電流の増加によって軽負荷効率が下がる代わりに、過渡応答が向上します。
- 一般に、インダクタンスの値が大きいほどピークツーピークのインダクタ電流が低下し、スイッチピーカと RMS 電流が現象しますが、負荷過渡仕様を満たすためにより大容量の出力コンデンサが必要になります。

6.3.17 ヒカップモード電流制限

LM5190-Q1 には、内部ヒカップモード保護機能が搭載されています。サイクル単位のピーク電流制限が 512 サイクル発生すると、内部ソフトスタートが Low にプルされ、HO および LO ドライバ出力が無効化されて、16384 カウンタが有効になります。電流制限スレッショルドを超えないまま、スイッチングサイクルが連続 4 回発生すると、512 サイクルのカウンタはリセットされます。カウンタが 16384 に達すると、内部ソフトスタートが有効になって出力が再開されます。

6.3.18 ハイサイド/ローサイドゲートドライバ(HO, LO)

LM5190-Q1 には、ゲートドライバと、関連するハイサイドレベルシフタが搭載されており、外部の N チャネルパワー MOSFET を駆動します。ハイサイドゲートドライバは内部のブートストラップダイオード D_{BOOT} およびブートストラップコンデンサ C_{BOOT} と連動して動作します。ローサイド MOSFET の導通時間中は、SW 電圧が約 0V で、 C_{BOOT} は内部の D_{BOOT} を経由して VCC から充電されます。TI は、0.1 μF セラミックコンデンサを、短いパターンで C_{BOOT} ピンと SW ピンとの間に接続することをお勧めします。

HO および LO 出力はアダプティブデッドタイム方式で制御されるため、両方の出力 (HO と LO) が同時にオンになることはなく、クロス導通が防止されます。LO ドライバがオンになる前に、アダプティブデッドタイムロジックは最初に HO をディセーブルにして、HO 電圧が 1.5V (標準値) 以下に低下するまで待機します。短い遅延 (HO の立ち下がりから LO の立ち上がりまでの遅延) の後に LO はイネーブルになります。同様に、LO 電圧が 1.5V を下回るまで、HO のターンオンは遅延されます。この方法により、任意のサイズの N チャネルパワー MOSFET 部品や並列 MOSFET 構成に対して、適切なデッドタイムを確保できます。

直列ゲート抵抗を追加する場合は、実効デッドタイムに影響が及ぶ可能性があるため、注意が必要です。式 14 に従い、選択したハイサイド MOSFET により、適切なブートストラップコンデンサの値 C_{BOOT} が決まります。

$$C_{BOOT} = \frac{Q_G}{\Delta V_{CBOOT}} \quad (14)$$

ここで、

- Q_G は、該当のゲートドライブ電圧におけるハイサイド MOSFET のゲート電荷の総量です。
- ΔV_{CBOOT} は、ターンオン後のハイサイド MOSFET ドライバの電圧変動です。

C_{BOOT} を決定するには、利用可能なゲートドライブ電圧が大きな影響を受けないように ΔV_{CBOOT} を選択します。 ΔV_{CBOOT} の許容範囲は 100mV~300mV です。ブートストラップコンデンサは、通常 0.1 μF の低 ESR セラミックコンデンサにする必要があります。FET がオンになったときに抵抗領域で動作するよう、最小入力電源電圧が FET のゲートブリート電圧に 0.5V を加えた値よりも確実に高くなるよう FET を選択します。

LM5190-Q1 が 7.5V より小さいターゲット出力電圧になるように構成されている場合、内部ブートストラップ UV 回路は SW ピンから 25 μA の電流を供給できます。軽負荷または無負荷の場合、帰還分圧器の抵抗が十分に低くなく、余分な電流をシンクできない場合、出力コンデンサの電荷をブリードオフするために、ダミー負荷が必要になります。

6.4 デバイスの機能モード

6.4.1 スリープモード

LM5190-Q1 はピーク電流モード制御で動作するため、補償電圧はピークインダクタ電流に比例します。無負荷または軽負荷状態では、出力コンデンサは非常にゆっくりと放電されます。その結果、補償電圧はサイクル単位でのドライバ出力パルスを要求しません。スイッチングサイクルが 16 回ミスされたことが LM5190-Q1 のコントローラによって検出されると、コントローラはスリープモードに入り、低 I_Q 状態に切り替わって、入力から流れる電流を低減します。LM5190-Q1 をスリープモードにするには、コントローラをダイオードエミュレーション用にプログラムする必要があります (FPWM/SYNC を AGND に接続)。

スリープモードでのコントローラの標準 I_Q は、12V 出力で $15\mu A$ です。

6.4.2 強制 PWM モードと同期 (FPWM/SYNC)

ダイオードの代わりにローサイド同期 MOSFET を実装した同期整流降圧レギュレータは、軽負荷、出力過電圧、プリバイアスのスタートアップ条件中は出力から負の電流をシンクできます。LM5190-Q1 にはダイオードエミュレーション機能があり、ローサイド MOSFET の逆 (ドレインからソース) 電流を防止します。ダイオードエミュレーションモードに構成されている場合、ゼロクロスコンパレータを使用して SW 電圧を検出することによって逆電流が検出されると、ローサイド MOSFET はオフになります。この構成の利点は、軽負荷の状況で電力損失が小さいことです。ダイオードエミュレーションモードの欠点は、軽負荷時の過渡応答が遅くなることです。

FPWM/SYNC ピンは、ダイオードエミュレーションモードと強制 PWM モードを構成します。ダイオードエミュレーションをイネーブルにして、軽負荷時に低 I_Q 電流を実現するには、FPWM/SYNC を AGND に接続します。FPWM を連続導通モード (CCM) で動作する必要がある場合は、FPWM/SYNC を VCC に接続します。ダイオードエミュレーションは、プリバイアスのスタートアップ条件中に逆電流が流れることを防止するため、自動的に動作します。DCM から CCM 動作へと段階的に変化することで、単調なスタートアップ性能が実現します。

LM5190-Q1 を外部ソースと同期させるには、ロジックレベルのクロックを FPWM/SYNC ピンに印加します。LM5190-Q1 は、最大 2.5MHz のプログラムされた周波数の $\pm 20\%$ に同期できます。LM5190-Q1 が同期モードで動作するとき、LM5190-Q1 は FPWM モードで動作します。RT 抵抗が AGND と同期信号に接続されている場合、LM5190-Q1 は RT 抵抗を無視し、外部クロックと同期します。RT 抵抗が VCC と同期信号に接続されている場合、同期信号は無視され、LM5190-Q1 は DRSS とともに RT で定義された周波数で動作します。低 V_{IN} 状態で最小オフ時間に達した場合、同期信号は無視され、スイッチング周波数を低減して、出力電圧レギュレーションを維持します。

6.4.3 サーマルシャットダウン

LM5190-Q1 には、内部接合部温度モニタが搭載されています。温度が $175^\circ C$ (標準値) を超えると、サーマルシャットダウンが発生します。サーマルシャットダウンに入ると、デバイスは以下のように動作します。

1. ハイサイド MOSFET とローサイド MOSFET がオフになります。
2. PG/SYNCOUT が Low に切り替わります。
3. VCC レギュレータがオフになります。
4. ダイ温度がサーマルシャットダウンヒステリシスの $15^\circ C$ (標準値) だけ低下すると、ソフトスタートシーケンスが開始します。

この保護は非ラッチ保護のため、故障が継続していると、デバイスはサーマルシャットダウン状態の開始と終了を繰り返します。

7 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の部品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 パワートレイン コンポーネント

同期整流降圧レギュレータの設計を成功に導くには、降圧レギュレータのパワートレイン コンポーネントを包括的に理解することが不可欠です。以下のセクションでは、出力インダクタ、入力および出力コンデンサ、パワー MOSFET、EMI 入力フィルタについて説明します。

7.1.1.1 降圧インダクタ

ほとんどのアプリケーションでは、標準的な入力電圧におけるインダクタのリップル電流 ΔI_L が最大 DC 出力電流の 30% ~ 50% の間になるように降圧インダクタンスを選択します。[式 15](#) を使用して、インダクタンスを選択します。

$$L_0 = \frac{V_{OUT}}{\Delta I_L \times f_{SW}} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \quad (15)$$

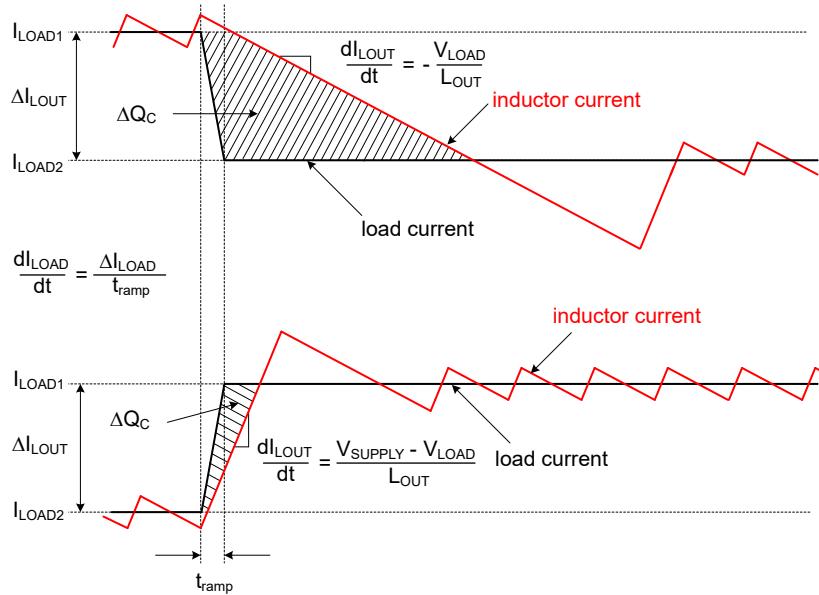
インダクタのデータシートを参照し、インダクタの飽和電流が特定の設計のピーク インダクタ電流よりも大きいことを確認します。フェライトコアはコア損失が非常に小さく、高スイッチング周波数で好まれます。そのため、設計の目標を銅の損失と飽和の防止に集中できます。低インダクタのコア損失は、無負荷の入力電流の低下と軽負荷時の効率の向上により明らかです。ただし、フェライトのコア素材は飽和特性が高く、飽和電流を超過するとインダクタンスは急激に低下します。この動作の結果、インダクタのリップル電流には急激な増加が生じ、出力電圧リップルも上昇するため、当然効率は低下し、信頼性も損なわれます。一般的に、インダクタの飽和電流はコア温度が上がるにつれて減少することに注意してください。

7.1.1.2 出力コンデンサ

出力コンデンサと制御ループ応答を組み合わせることで、出力電圧が動的な過渡許容誤差の仕様内に維持されます。出力コンデンサを制限する通常の境界は、利用可能な限られた PCB 面積、部品のサイズ、コストから導出されます。負荷ステップの振幅とスルーレートが増加するにつれ、負荷過渡応答は主に出力コンデンサの等価直列抵抗 (ESR) と等価直列インダクタンス (ESL) で決定されるようになります。

出力コンデンサ C_{OUT} は、インダクタのリップル電流をフィルタリングして、負荷過渡イベントのために電荷を蓄積します。一般的に、セラミック コンデンサの ESR は小さいため、出力電圧リップルとノイズ スパイクは低減されますが、タンタル コンデンサや電解コンデンサは過渡負荷イベント用の比較的小さなフットプリントのものでも、バルク容量は大きくなります。

[図 7-1](#) は、負荷の下降遷移時と上昇遷移時の関連する電流の波形を概念的に表した図です。ここに示すように、インダクタ電流の大信号のスルーレートは、インダクタ電流が負荷過渡に伴い新しい負荷電流レベルに合うように上昇するにつれて制限されます。このスルーレートの制限により、出力コンデンサの電荷の損失はより大きくなります。そのため、負荷の上昇過渡時とその後はできる限り迅速に電荷を補充する必要があります。同様に、負荷の下降過渡時とその後は、インダクタ電流のスルーレートの制限により出力コンデンサの電荷が増大するため、できる限り早く放電する必要があります。

図 7-1. C_{OUT} の電荷の増大と損失を表す負荷過渡応答の図

例として、12V の入力から 3.3V の出力電圧を生成する標準的なレギュレータ アプリケーションでは、負荷オフ時の過渡は出力電圧の過渡偏差という点でワースト ケースになります。この変換比のアプリケーションでは、定常状態のデューティサイクルは約 28% で、デューティ サイクルがゼロに急減したときの大信号インダクタ電流のスルーレートは約 $-V_{LOAD}/L_{OUT}$ です。負荷オン過渡に比べると、インダクタ電流は必要なレベルに遷移するまでにかなり時間がかかります。出力コンデンサの電荷が過剰になると、出力電圧のオーバーシュートを引き起します。実際に、出力コンデンサからこの過剰な電荷をできるだけ早く放電するには、負荷ステップに従い、インダクタ電流が公称レベルを下回るようにする必要があります。このシナリオでは、出力容量が大きいほど有利に過剰な電荷を吸収して、電圧のオーバーシュートを最小限に抑えることができます。

このような負荷オフ過渡時に、出力電圧のオーバーシュート ($\Delta V_{OVERSHOOT}$ と表記され、出力電流の段階的な減少は ΔI_{LOAD} で与えられます) の動的要件に合わせるためには、出力容量を以下の式よりも大きくする必要があります。

$$C_{OUT} \geq \frac{L_{OUT} \times \Delta I_{LOAD}^2}{(V_{LOAD} + \Delta V_{OVERSHOOT})^2 - V_{LOAD}^2} \quad (16)$$

ΔV_{LOAD} で示されるピークツー ピーク出力電圧リップルの静的仕様に基づき、式 17 で求められる値よりも大きな出力容量を選択します。

$$C_{OUT} \geq \frac{\Delta I_{LOAD}}{8 \times f_{SW} \times \sqrt{\Delta V_{LOAD}^2 - (R_{ESR} \times \Delta I_{LOAD})^2}} \quad (17)$$

コンデンサの **ESR** は、メーカーのデータシートに仕様として明記、またはインピーダンスと周波数曲線の関係によって暗黙的に示されています。種類、サイズ、構造に応じて、電解コンデンサには 5mΩ 以上非常に大きな **ESR** と 5nH ~ 20nH の比較的大きな **ESL** が内蔵されています。PCB パターンは寄生抵抗とインダクタンスにも寄与します。セラミック出力コンデンサは、スイッチング周波数における **ESR** と **ESL** への寄与が小さく、容量性インピーダンスの成分が優勢です。ただし、セラミック コンデンサのパッケージと電圧定格によっては、実効容量は印加された DC 電圧と動作温度で大幅に低下することがあります。

式 17 の **ESR** の項を無視すると、出力リップルの要件を満たすために必要な最小セラミック容量を簡単に見積もることができます。負荷オフ過渡のオーバーシュート要件を満たすために追加容量が必要かどうかを決定するには、式 16 を使用します。

セラミックコンデンサと電解コンデンサを混在させて実装することは、化学的性質が異なっていても性能補完が可能なコンデンサを並列に接続する理由になります。各コンデンサの周波数応答は累積的で、各コンデンサは周波数範囲の特定の部分で必要な性能を発揮します。セラミックは、低 **ESR** と **ESL** で優れた中域周波数と高周波数のデカップリング特性を実現し、スイッチング周波数の出力リップルを最小限に抑えます。一方、大きなバルク容量を持つ電解デバイスは低周波数でエネルギー保存を行うため、負荷過渡要求に対応します。

7.1.1.3 入力コンデンサ

入力コンデンサは、スイッチング周波数の **AC** 電流により、降圧出力段への入力リップル電圧を制限する必要があります。テキサス・インスツルメンツは、幅広い温度範囲で低インピーダンスと高い RMS 電流定格を実現する **X7S** または **X7R** 誘電セラミックコンデンサの使用を推奨しています。スイッチングループの寄生インダクタンスを最小化するためには、入力コンデンサをハイサイド **MOSFET** のドレイン側とローサイド **MOSFET** のソース側のできる限り近くに配置します。单一チャネル降圧レギュレータの入力コンデンサの RMS 電流を計算するには、式 18 を使用します。

$$I_{CIN, rms} = \sqrt{D \times \left(I_{LOAD}^2 \times (1 - D) + \frac{\Delta I_{LOAD}^2}{12} \right)} \quad (18)$$

入力コンデンサの RMS 電流の最大値は $D = 0.5$ のときに発生します。この時点で、入力コンデンサの RMS 電流定格は出力電流の半分を超えている必要があります。

入力電流の **DC** 成分は入力電圧源と入力フィルタコンデンサによる **AC** 成分から供給されることが理想です。インダクタリップル電流を無視すると、入力コンデンサは、 D 間隔の間に振幅 ($I_{LOAD} - I_{SUPPLY}$) の電流をソースし、 $1-D$ 間隔の間に I_{SUPPLY} をシンクします。そのため、入力コンデンサは、出力電流に等しいピークツーピーク振幅の方形波電流を導通します。この結果、**AC** リップル電圧の合成容量成分は三角波になります。**ESR** 関連のリップル成分だけでなく、式 19 にピークツーピークリップル電圧の振幅を示します。

$$\Delta V_{SUPPLY} = \frac{I_{LOAD} \times D \times (1 - D)}{f_{SW} \times C_{IN}} + I_{LOAD} \times R_{ESR} \quad (19)$$

ΔV_{SUPPLY} の入力電圧リップル仕様に基づく、特定の負荷電流に必要な入力容量は、式 20 で与えられます。

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{LOAD}}{f_{SW} \times (\Delta V_{SUPPLY} - I_{LOAD} \times R_{ESR})} \quad (20)$$

低 **ESR** のセラミックコンデンサは、より大きなバルク容量と並列に配置することで、レギュレータとダンピングの入力フィルタリングを最適化し、**Q** の高いセラミックと共振する入力寄生インダクタンスの影響を低減することができます。入力バルクコンデンサは、リップル電流定格と動作温度範囲に基づいて選択してください。

7.1.1.4 パワー MOSFET

パワー MOSFET の選択は、**DC/DC** レギュレータの性能に大きな影響を及ぼします。MOSFET は低オン抵抗 $R_{DS(on)}$ を内蔵しているため導通損失を低減し、同時に寄生容量が小さいため遷移時間が短くなり、スイッチング損失が低くなります。通常、MOSFET の $R_{DS(on)}$ が低くなるほど、ゲートの電荷と出力の電荷 (それぞれ Q_G と Q_{OSS}) は高くなり、逆もまた同じです。そのため、一般的に $R_{DS(on)}$ と Q_G の積は MOSFET の性能指標として規定されます。使用されているパッケージの熱抵抗が低いため、MOSFET の消費電力によって MOSFET のダイ温度が過剰な高温になることはありません。

パワー MOSFET の選択に影響を与える主なパラメータは次のとおりです：

- 7.5V での $R_{DS(on)}$ 。
- ドレン-ソース間の電圧定格、 BV_{DSS} 。
- 7.5V でのゲート電荷パラメータ。
- 関連する入力電圧での出力電荷、 Q_{OSS} 。
- ボディダイオードの逆回復電荷、 Q_{RR} 。

- ゲートスレッショルド電圧 $V_{GS(th)}$ 。MOSFET データシートの Q_G と V_{GS} のプロットにおけるミラー プラトーから算出されます。MOSFET を十分に拡張するには、ミラー プラトー電圧をゲートドライブ振幅よりも $2V \sim 3V$ 低くする必要があります。これは、特に最低入力電圧において重要です。

1 チャネルあたりの MOSFET に関する電力損失は、表 7-1 の式にまとめられています。この式の添え字の 1 と 2 は、それぞれハイサイドとローサイド MOSFET のパラメータを表します。インダクタのリップル電流の影響を考慮する場合でも、寄生インダクタンスや SW ノードのリンクギングなどの 2 次損失モードは含まれません。

表 7-1. MOSFET の電力損失

電力損失モード	下限側 MOSFET	ローサイド MOSFET
MOSFET の導通 ^{(2) (3)}	$P_{cond1} = D \times \left(I_{LOAD}^2 + \frac{\Delta I_{LOAD}^2}{12} \right) \times R_{DS(on)1}$ (21)	$P_{cond2} = D' \times \left(I_{LOAD}^2 + \frac{\Delta I_{LOAD}^2}{12} \right) \times R_{DS(on)2}$ (22)
MOSFET のスイッチング	$P_{sw1} = \frac{V_{SUPPLY} \times f_{SW}}{2} \times \left[\left(I_{LOAD} - \frac{\Delta I_{LOAD}}{2} \right) \times t_R + \left(I_{LOAD} + \frac{\Delta I_{LOAD}}{2} \right) \times t_F \right]$ (23)	無視できる範囲
MOSFET ゲートドライブ ⁽¹⁾	$P_{gate1} = V_{CC} \times f_{SW} \times Q_{G1}$ (24)	$P_{gate2} = V_{CC} \times f_{SW} \times Q_{G2}$ (25)
MOSFET 出力電荷 ⁽⁴⁾	$P_{Coss} = f_{SW} \times (V_{SUPPLY} \times Q_{OSS2} + E_{oss1} - E_{oss2})$ (26)	
ボディダイオード導通	該当なし	$P_{condBD} = V_F \times f_{SW} \times \left[\left(I_{LOAD} + \frac{\Delta I_{LOAD}}{2} \right) \times t_{dt1} + \left(I_{LOAD} - \frac{\Delta I_{LOAD}}{2} \right) \times t_{dt2} \right]$ (27)
ボディダイオードの逆回復 ⁽⁵⁾	$P_{RR} = V_{SUPPLY} \times f_{SW} \times Q_{RR2}$	(28)

- ゲートドライブ損失は、MOSFET の内部ゲート抵抗、外付けの直列ゲート抵抗、およびデバイスの関連するドライバ抵抗に基づいて按分されます。
- MOSFET の $R_{DS(on)}$ の正の温度係数は、約 $4500\text{ppm}/^{\circ}\text{C}$ です。MOSFET の接合部温度 T_J と、周囲温度と比べて接合部温度がどれだけ上昇するかは、デバイスの総消費電力とその熱インピーダンスに依存します。最小入力電圧や、それに近い電圧で動作する時には、MOSFET の $R_{DS(on)}$ は利用可能なゲートドライブ電圧の定格になります。
- $D' = 1-D$ は、デューティサイクルの補数です。
- MOSFET の出力容量 C_{oss1} と C_{oss2} は、電圧に対して高度な非線形形となります。これらの容量は、ハイサイド MOSFET ターンオフ時のインダクタ電流によりロスレスで充電されます。ただし、ターンオン時には電流は入力から流れ、ローサイド MOSFET の出力容量が充電されます。 C_{oss1} のエネルギー E_{oss1} はターンオン時に消費されますが、この消費は C_{oss2} に保存されているエネルギー E_{oss2} で相殺されます。
- MOSFET ボディダイオードの逆回復電荷 Q_{RR} は、さまざまなパラメータ、特に順方向電流、電流遷移速度、温度に依存します。

ハイサイド (制御) MOSFET では、PWM のオン時間 (または D 間隔) 中にインダクタ電流が流れ、ほとんどのスイッチング損失がここで発生します。そのため、導通およびスイッチング損失の寄与のバランスを取るハイサイド MOSFET を選択することが必要です。ハイサイド MOSFET の総消費電力は、導通、スイッチング (電圧 - 電流間のオーバーラップ)、出力充電、ボディダイオードの逆回復に起因する正味の損失の通常 3 分の 2 の合計になります。

ローサイド (同期) MOSFET は、ハイサイド MOSFET がオフ (または 1-D 間隔) のときにインダクタ電流を流します。ローサイド MOSFET のスイッチング損失はゼロ電圧でスイッチングされるため、ローサイド MOSFET のスイッチング損失は無視できます。電流はチャネルからボディダイオードへ流れますが、遷移デッドタイム中は逆方向にも流れます。本デバイスは適応型ゲートドライブタイミングを使用しているため、両方の MOSFET がオフのときに、ボディダイオードの導通損失を最小に抑えます。この損失は、スイッチング周波数に正比例します。

ステップダウン比の高いアプリケーションでは、スイッチング時間の大部分でローサイド MOSFET は電流を流します。そのため、高効率を実現するには、低 $R_{DS(on)}$ のときにローサイド MOSFET を最適化することが重要です。導通損失が大きすぎる場合、または目標とする $R_{DS(on)}$ が単一の MOSFET で実現可能な値より低い場合は、2 つのローサイド MOSFET を並列に接続します。ローサイド MOSFET の総消費電力は、チャネル導通、ボディダイオード導通、ボディダイオードの逆回復に起因する正味の損失の通常 3 分の 1 の合計になります。

7.1.1.5 EMI フィルタ

スイッチング レギュレータは最小入力電圧において最小となる負の入力インピーダンスを示します。LC フィルタの減衰不足は、フィルタの共振周波数に対して出力インピーダンスが高いことを示しています。安定性のため、フィルタの出力インピーダンスはコンバータの入力インピーダンスの絶対値よりも小さくする必要があります。

$$Z_{IN} = \left| -\frac{V_{SUPPLY(MIN)}^2}{P_{SUPPLY}} \right| \quad (29)$$

パッシブ EMI フィルタの設計手順は以下のとおりです：

- EMI フィルタに対して、スイッチング周波数で要求される減衰を計算します。ここで、 C_{IN} はスイッチング コンバータの入力における既存の容量を表しています。
- 通常、入力フィルタインダクタ L_F は $1\mu\text{H} \sim 10\mu\text{H}$ に選択されますが、大電流設計での損失を低減するため、さらに小さい値にすることも可能です。
- 入力フィルタコンデンサ C_F を計算します。

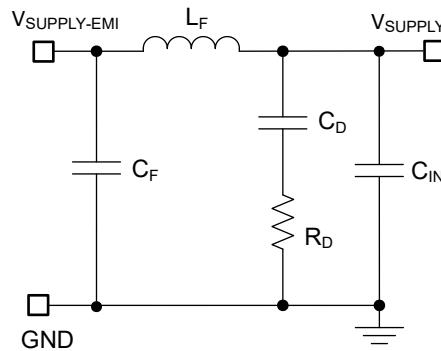


図 7-2. 降圧レギュレータ用のパッシブ π 段 EMI フィルタ

入力電流波形のフーリエ級数から最初に高調波電流を計算し、その値に入力インピーダンス（インピーダンスは既存の入力コンデンサ C_{IN} で定義）を乗算することにより、式 30 に示す必要な減衰を求める式が得られます。

$$Attn = 20\log\left(\frac{I_{LOUT(PEAK)}}{\pi^2 \times f_{SW} \times C_{IN}} \times \sin(\pi \times D_{MAX}) \times \frac{1}{1\mu\text{V}}\right) - V_{MAX} \quad (30)$$

ここで、

- V_{MAX} は、適用可能な伝導 EMI 仕様に許容される $\text{dB}\mu\text{V}$ のノイズ レベルです。
- C_{IN} は、降圧レギュレータの既存の入力容量です。
- D_{MAX} は、最大デューティサイクルです。
- $I_{LOUT(PEAK)}$ はピークインダクタ電流です。

フィルタ設計の目的のため、入力時の電流を方形波でモデリングすることができます。式 31 から、EMI フィルタ容量 C_F を決定します。

$$C_F = \frac{1}{L_F} \left(\frac{10 \frac{|Attn|}{40}}{2\pi \times f_{SW}} \right)^2 \quad (31)$$

スイッチング レギュレータに入力フィルタを追加すると、制御から出力への伝達関数が変更されます。フィルタの出力インピーダンスは、入力フィルタが降圧コンバータのループゲインに大きな影響を与えないように、十分小さくする必要があります。インピーダンスは、フィルタの共振周波数でピークになります。パッシブ フィルタの共振周波数は、式 32 で与えられます。

$$f_{\text{res}} = \frac{1}{2\pi \times \sqrt{L_F \times C_F}} \quad (32)$$

R_D の目的は、共振周波数におけるフィルタのピーク出力インピーダンスを低減することです。コンデンサ C_D は、入力電圧の DC 成分をブロックして、 R_D での過剰な電力消費を防止します。コンデンサ C_D は、入力コンデンサ C_{IN} より大きな容量で、共振周波数において R_D よりも低インピーダンスの必要があります。この要件により、 C_{IN} がメインフィルタのカットオフ周波数に干渉することを防ぎます。共振周波数におけるフィルタの出力インピーダンスが高い場合は、入力ダンピングを追加する必要があります (L_F と C_{IN} で形成されるフィルタの Q 値が大きすぎる場合)。式 33 に示されている値での入力ダンピングには、電解コンデンサ C_D を使用できます。

$$C_D \geq 4 \times C_{IN} \quad (33)$$

式 34 を使用して、入力ダンピング抵抗 R_D を選択します。

$$R_D = \sqrt{\frac{L_F}{C_{IN}}} \quad (34)$$

7.1.2 エラー アンプと補償

図 7-3 に、相互コンダクタンスのエラー アンプ (EA) を使用した Type-II 補償器を示します。式 35 に示すように、EA の開ループゲインの支配的なポールは、EA 出力抵抗 $R_{O(EA)}$ と、実効帯域幅制限容量 C_{BW} で設定します。

$$G_{EA}(s) = -\frac{g_m(EA) \times R_{O(EA)}}{1 + s \times R_{O(EA)} \times C_{BW}} \quad (35)$$

上の式では、EA の高周波ポールは無視されています。出力電圧から COMP ノードまでの補償器の伝達関数は、(内部または外部の) フィードバック抵抗ネットワークからのゲインの寄与を含めて 式 36 で計算します。

$$G_{COMP}(s) = \frac{V_{COMP}(s)}{V_{LOAD}(s)} = -\frac{V_{REF}}{V_{LOAD}} \times \frac{g_m \times R_{O(EA)} \times \left(1 + \frac{s}{\omega_{Z1}}\right)}{\left(1 + \frac{s}{\omega_{P1}}\right) \times \left(1 + \frac{s}{\omega_{P2}}\right)} \quad (36)$$

ここで、

- V_{REF} は帰還基準電圧です。
- $g_m(EA)$ は、1mS の EA ゲイン相互コンダクタンスです。
- $R_{O(EA)}$ は、70MΩ のエラー アンプ出力インピーダンスです。

$$\omega_{Z1} = \frac{1}{R_{COMP} \times C_{COMP}} \quad (37)$$

$$\omega_{P1} = \frac{1}{R_{O(EA)} \times (C_{COMP} + C_{HF} + C_{BW})} \cong \frac{1}{R_{O(EA)} \times C_{COMP}} \quad (38)$$

$$\omega_{P2} = \frac{1}{R_{COMP} \times (C_{COMP} || (C_{HF} + C_{BW}))} \cong \frac{1}{R_{COMP} \times C_{HF}} \quad (39)$$

EA の補償部品は、原点近くの極、ゼロ、高周波極を生成します。通常、 $R_{COMP} \ll R_{O(EA)}$ かつ $C_{COMP} \gg C_{BW}$ および C_{HF} のため、近似値が有効です。

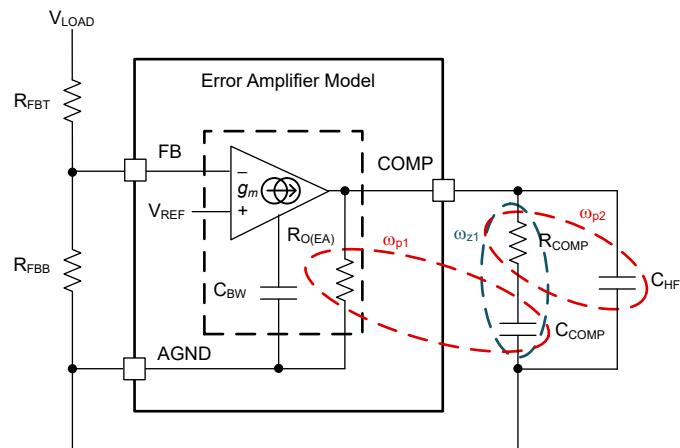


図 7-3. エラー アンプと補償ネットワーク

7.2 代表的なアプリケーション

7.2.1 高効率 400kHz CC-CV レギュレータ

図 7-4 に、CC-CV 降圧レギュレータの代表的な回路図を示します。この例では、CV レギュレーションのターゲットは 12V、CC レギュレーションのターゲットは 8A です。全負荷効率は 48V 入力時に 95% です。スイッチング周波数は、抵抗 R_{RT} により 400kHz に設定されます。12V 出力を BIAS に接続することにより、IC のバイアス消費電力を低減し、効率を向上させます。

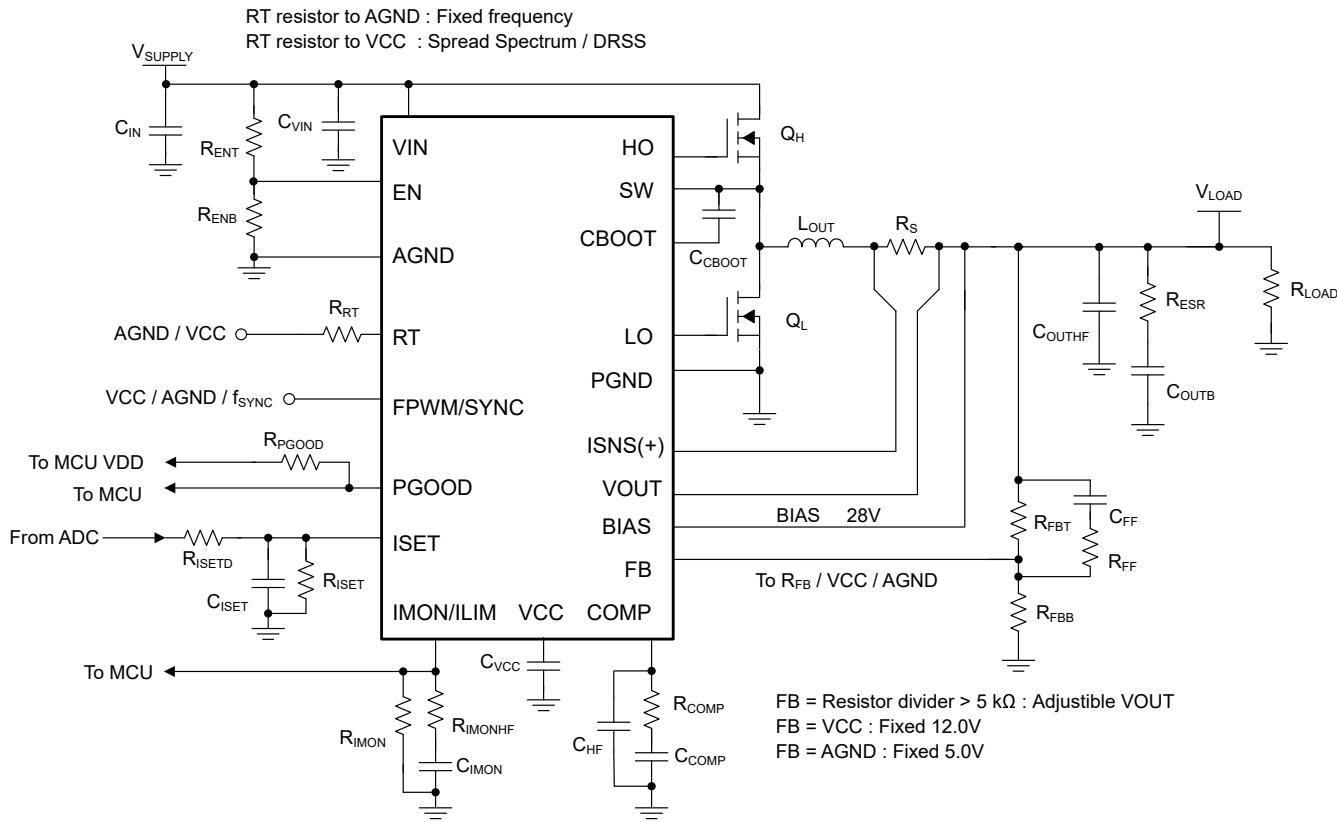


図 7-4. 代表的な CC-CV 降圧レギュレータの回路

注

入力電源バスのソース インピーダンスによっては、特に低入力電圧と高出力電流の動作条件における安定性を確保するため、入力に電解コンデンサが必要になることがあります。詳細については、[セクション 7.3](#) を参照してください。

7.2.1.1 設計要件

この設計例の入力、出力、性能のパラメータを、表 7-2 に示します。

表 7-2. 設計パラメータ

設計パラメータ	値
入力動作範囲	15V、48V、72V (最小値、標準値、最大値)
CV のレギュレーションターゲット	12V
CC のレギュレーションターゲット	8A
スイッチング周波数	400kHz

スイッチング周波数は、抵抗 R_{RT} により 400kHz に設定されます。制御ループ性能について、対象のループ クロスオーバー周波数は 60°以上の位相マージンで 28kHz です。

7.2.1.2 詳細な設計手順

クイック スタート カリキュレータを使用すると、デバイスの仕様をベースとして、特定のアプリケーション用のレギュレータを簡単に設計できます。詳細な設計手順については、[LM25190-LM5190-DESIGN-CALC](#) クイック スタート カリキュレータをダウンロードしてください。

推奨部品と代表的なアプリケーション曲線については、『[LM5190-Q1 CCCV 降圧コントローラ評価基板 EVM ユーザーガイド](#)』を参照してください。

7.2.1.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#) すると、WEBENCH® Power Designer により、LM5190-Q1 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス インスツルメンツが提供する他の設計と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

7.2.1.2.2 Excel クイックスタート ツールによるカスタム設計

クイック スタート カリキュレータを使用すると、特定のアプリケーション用のレギュレータを簡単に設計できます。詳細な設計手順については、[クイックスタート カリキュレータ](#)をダウンロードしてください。

7.2.1.2.3 推奨部品

表 7-3 に、図 7-4 の推奨部品リストを示します。すべての部品のリストについては、『[LM5190-Q1 CCCV 降圧コントローラ評価基板 EVM ユーザーガイド](#)』を参照してください。

表 7-3. 部品リスト

数量	参照記号	説明	部品番号	メーカー
1	C_{IN}	コンデンサ、アルミ、100μF、100V、±20%、0.33Ω、SMD	EMVY101ATR101MKE0S	Chemi-Con

表 7-3. 部品リスト (続き)

数量	参照記号	説明	部品番号	メーカー
2	C _{CBOOT} 、C _{ISET}	コンデンサ、セラミック、0.1 μ F、VAC/100 VDC、±20%、X7R、AEC-Q200 グレード 1、0603	HMK107B7104MAHT	Taiyo Yuden
6	C _{IN}	4.7 μ F±10% 100V セラミック コンデンサ X7R 1210 (3225 メートル法)	CNC6P1X7R2A475K250AE	TDK
1	C _{IMON}	コンデンサ、セラミック、0.01 μ F、100V、±10%、X7R、0603	885012206114	Wurth Elektronik
1	C _{VIN}	コンデンサ、セラミック、0.22 μ F、100V、±20%、X7S、AEC-Q200 グレード 1、0603	HMK107C7224MAHTE	Taiyo Yuden
4	C _{OUT}	コンデンサ、セラミック、22 μ F、25V、±10%、X7R、1210	C1210C226K3RAC7800	Kemet
1	C _{VCC}	コンデンサ、セラミック、2.2uF、16V、±20%、X7S、AEC-Q200 グレード 1、0603	CGA3E1X7S1C225M080AC	TDK
1	C _{COMP}	コンデンサ、セラミック、0.012 μ F、25V、C0G/NP0 0603	C0603C123J3GACTU	Kemet
1	C _{HF}	コンデンサ、セラミック、47pF、50V、±5%、C0G/NP0、AEC-Q200 グレード 0、0603	CGA3E2NP01H470J080AA	TDK
1	L _{OUT}	6.8 μ H シールド付きモールド インダクタ 14.8A 12.5m Ω 最大 非標準	XGL1060-682MEC	Coilcraft
2	Q _H 、Q _L	N チャネル 80V 13A (Ta)、57A (Tc) 3.7W (Ta)、73W (Tc) 表面実装 5-DFN (5x6) (8-SOFL)	NTMFS6H848NT1G	Onsemi
1	R _{IMONHF}	抵抗、0、5%、0.1 W、0603	RC0603JR-070RL	Yageo
3	R _{ENT} 、R _{PGOOD} 、R _{FBT}	抵抗、100k、1%、0.1W、0603	RC0603FR-07100KL	Yageo
1	R _{ENB}	抵抗、8.87k、1%、0.1W、0603	RC0603FR-078K87L	Yageo
1	R _{FBB}	抵抗、7.15k、1%、0.1W、0603	RC0603FR-077K15L	Yageo
1	R _S	抵抗、0.005、1%、2W、2512 WIDE	FCSL64R005FER	Ohmite
1	R _{RT}	抵抗、54.9k、1%、0.1W、0603	RC0603FR-0754K9L	Yageo
1	R _{ISETD}	RES、4.99k、1%、0.1W、0603	RC0603FR-074K99L	Yageo
1	R _{IMON}	抵抗、9.53k、1%、0.1W、0603	RC0603FR-079K53L	Yageo
1	R _{COMP}	抵抗、5.90k、1%、0.1W、0603	RC0603FR-075K9L	Yageo

7.2.1.3 アプリケーション曲線

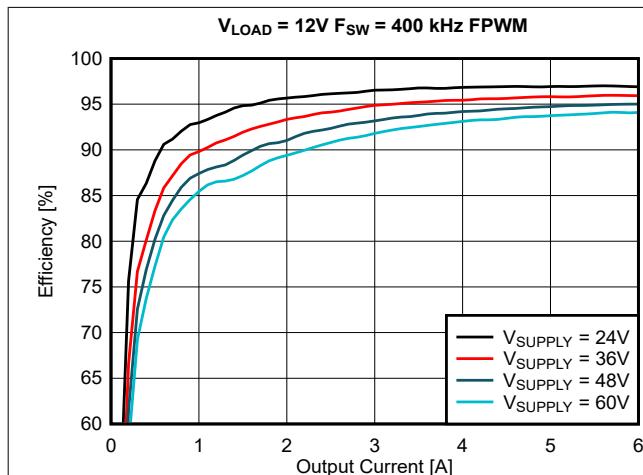


図 7-5. FPWM モードの効率、リニアスケール

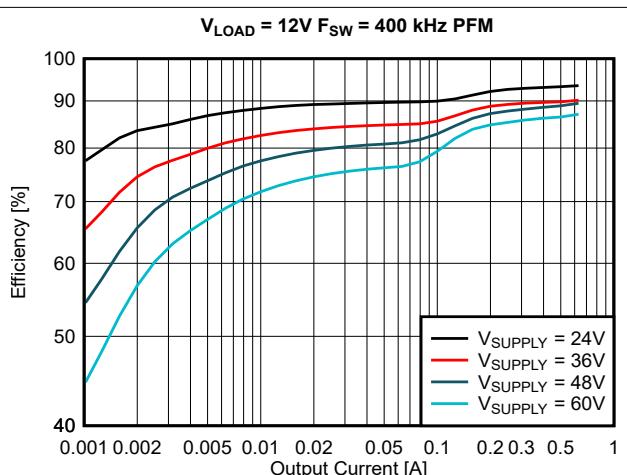


図 7-6. PFM モードの効率、対数スケール



図 7-7. スタートアップ、EN オン、 $V_{SUPPLY} = 48V$ 、 $I_{LOAD} = 8A$ の抵抗性負荷

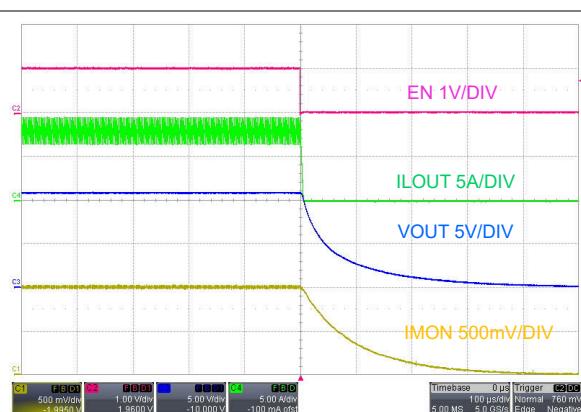


図 7-8. シャットダウン、EN オフ、 $V_{SUPPLY} = 48V$ 、 $I_{LOAD} = 8A$ の抵抗性負荷



図 7-9. 出力リップル、 $V_{SUPPLY} = 48V$ 、 $I_{LOAD} = 8A$

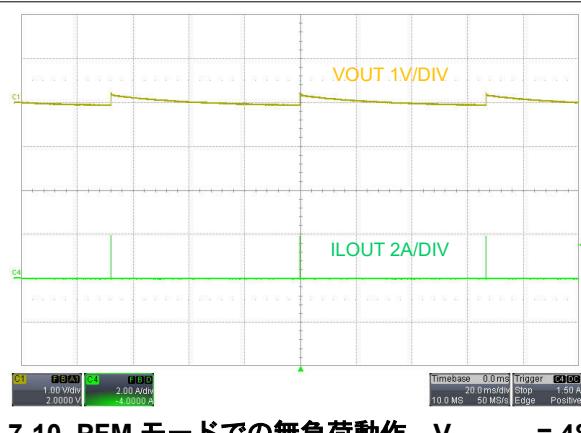


図 7-10. PFM モードでの無負荷動作、 $V_{SUPPLY} = 48V$ 、 $I_{LOAD} = 0A$

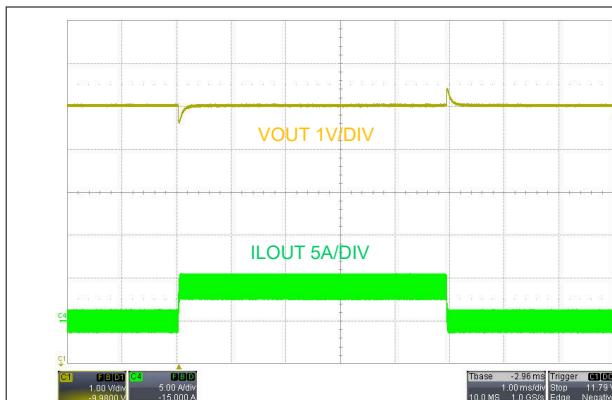


図 7-11. 負荷過渡応答、 $V_{SUPPLY} = 48V$ 、FPWM、0A ~ 4A

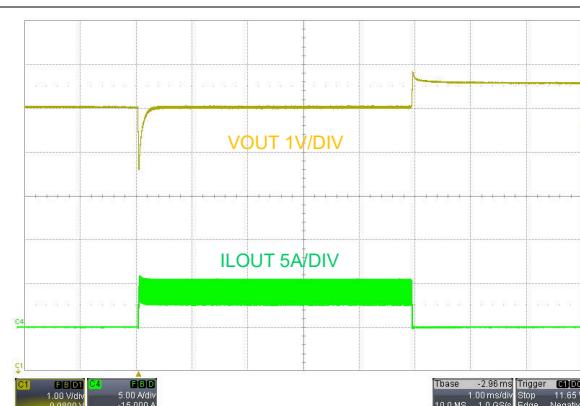


図 7-12. 負荷過渡応答、 $V_{SUPPLY} = 48V$ 、PFM、0A ~ 4A

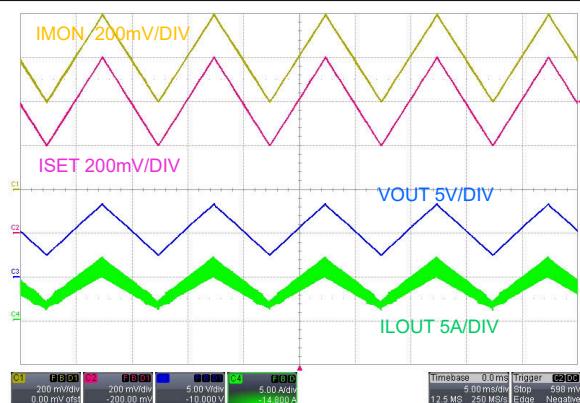


図 7-13. ISET 変調、 $V_{SUPPLY} = 48V$ 、 $R_{LOAD} = 1.35\Omega$

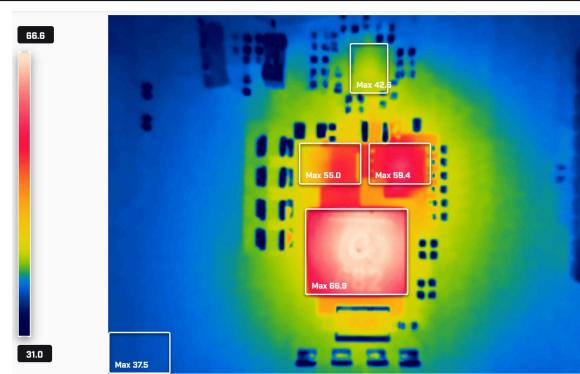


図 7-14. $V_{SUPPLY} = 48V$ 、 $I_{LOAD} = 8A$ 、 $T_A = 25^\circ C$ 、エアフローなし

7.3 電源に関する推奨事項

本デバイスは、広い入力電源電圧範囲で動作するように設計されています。入力電源の特性は、「[絶対最大定格](#)」と「[推奨動作条件](#)」に適合している必要があります。また、入力電源は、全負荷時のレギュレータに必要な入力電源電流を供給できる必要があります。[式 40](#) を使用して、平均入力電源電流を推定します。

$$I_{SUPPLY} = \frac{V_{LOAD} \times I_{LOAD}}{V_{SUPPLY} \times \text{Efficiency}} \quad (40)$$

レギュレータが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼすことがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。この回路は、入力電源がオンとオフで切り替わるたびに、レギュレータの入力で過電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電源電圧が低下します。こうした問題を解決する最善策は、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム製やタンタル製の入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。

レギュレータの前に EMI 入力フィルタを使用することがあります。ただし、設計に留意しなければ、これにより不安定な状態が起きる、または前述のような影響を及ぼすことがあります。[『AN-2162 DC/DC コンバータ向け伝導 EMI の簡単な成功事例』](#) アプリケーションノートでは、スイッチングレギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

大電流、高速のスイッチング回路で堅牢かつ信頼性の高い設計を実現するには、適切な PCB 設計とレイアウトが重要です。降圧レギュレータの電力段の大電力スイッチング ループは、[図 7-15](#) の影付き部分のループ 1 で示されています。降圧レギュレータのトポロジカル アーキテクチャは、ループ 1 の部品には特に di/dt の大きい電流が流れることを意味し、この実効ループ面積を最小化することによって寄生インダクタンスを低減することが必須となります。また、それぞれ 3 と 4 で示されている、ハイサイドとローサイドの MOSFET のゲート駆動ループも重要です。

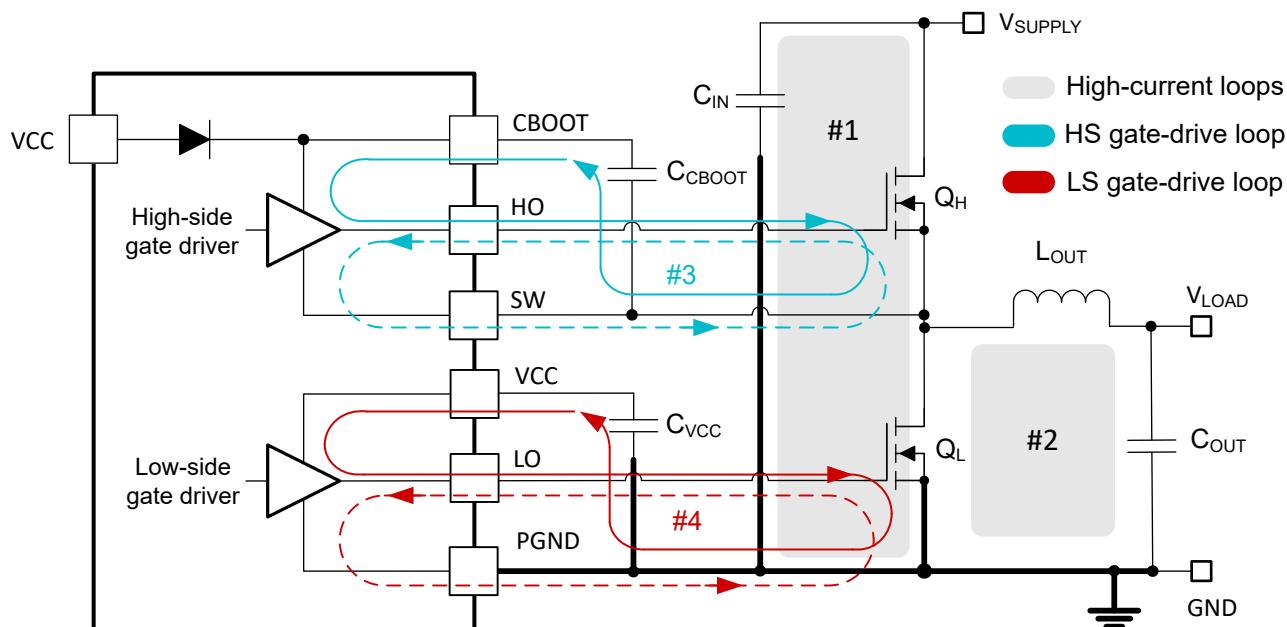


図 7-15. 出力段とゲート駆動回路スイッチング ループを内蔵した DC/DC レギュレータ グランドシステム

7.4.1.1 出力段レイアウト

- 入力コンデンサ、出力コンデンサ、MOSFET は、降圧レギュレータの電力段の構成部品で、一般に PCB の上面に配置されます。システムレベルの気流を活用することにより、対流熱伝達の利点が最大化されます。通常、2 面 PCB レイアウトでは小信号部品は底面に配置されます。少なくとも 1 つの内部プレーンを挿入してグランドに接続することにより、小信号パターンをシールドし、ノイズの多いパターンや線と分離します。
- DC/DC レギュレータには、複数の大電流ループがあります。このループ領域を最小化すると、生成されるスイッチングノイズは抑制され、スイッチング性能を最適化することができます。
 - ループ 1: 最小化が最も重要なループ領域。1 つ以上の入力コンデンサから、ハイサイドおよびローサイド MOSFET を経由し、グランド接続を通過してコンデンサに戻る経路です。入力コンデンサの負端子は、ローサイド MOSFET のソースの近くに接続します。同様に、入力コンデンサの正端子は、ハイサイド MOSFET のドレインの近くに接続します。
 - ループ 2: ループ 1 ほど重要ではありません。これは、ローサイド MOSFET からインダクタと 1 つ以上の出力コンデンサを経由し、グランドを通過して、ローサイド MOSFET のソースに戻る経路です。ローサイド MOSFET のソースと 1 つ以上の出力コンデンサの負端子をグランドのできるだけ近くで接続します。
- SW ノードとして定義される PCB パターンは、ハイサイド MOSFET のソース、ローサイド MOSFET のドレイン、インダクタの高電圧側に接続され、短く幅広いパターンを使用する必要があります。ただし、SW 接続は注入 EMI のソースのため、大きすぎてはいけません。
- パッドの形状とはなんだペーストのステンシル設計など、MOSFET メーカーが推奨する MOSFET のレイアウトの考慮事項に従ってください。
- SW ピンは電力変換段のスイッチノードに接続され、ハイサイド ゲートドライバのリターン パスとして動作します。ループ 1 に固有の寄生インダクタンスと、両方のパワー MOSFET の出力容量 (C_{oss}) により共振回路が形成され、SW ノードの高周波 (50MHz 超) にリングングが誘発されます。このリングングの電圧ピークは、制御されていないときは入力電圧よりも大幅に高くなることがあります。ピークリング振幅が SW ピンの絶対最大定格制限を超えないことを確認してください。たいていの場合、SW ノードから GND まで接続された直列抵抗とコンデンサのスナバ ネットワークにより、リングングは減衰し、ピーク振幅は減少します。SW ピンにおけるリングング振幅が過剰なことが試験で明らかになった場合は、必要に応じてスナバ部品を入れてください。

7.4.1.2 ゲート ドライブレイアウト

ゲートドライブのスイッチング性能を最適化するには、空電または寄生ゲート ループ インダクタンスの最小化が重要です。これは、MOSFET ゲートの容量で共振する直列ゲート インダクタンスでも、ゲートドライブ コマンドに反して負のフィードバック成分を供給するコモン ソース インダクタンス (ゲートとパワー ループに共通) でも同様で、これにより MOSFET のスイッチング時間は長くなります。以下のループが重要です。

- ループ 3: ハイサイド MOSFET, Q_H 。ハイサイド MOSFET のターンオン中は、ブートストラップ コンデンサからゲート ドライバとハイサイド MOSFET を経由して大電流が流れ、SW 接続を経由してブート コンデンサの負側の端子に戻ります。反対に、ハイサイド MOSFET をオフにするには、ハイサイド MOSFET のゲートからゲート ドライバと SW を経由して大電流が流れ、SW パターンを経由してハイサイド MOSFET のソースに戻ります。
- ループ 4: ローサイド MOSFET, Q_L 。ローサイド MOSFET のターンオン中は、VCC デカップリング コンデンサからゲート ドライバとローサイド MOSFET を経由して大電流が流れ、グランドを経由してコンデンサの負側の端子に戻ります。反対に、ローサイド MOSFET をオフにするには、ローサイド MOSFET のゲートからゲート ドライバと GND を経由して大電流が流れ、グランドを経由してローサイド MOSFET のソースに戻ります。

TI は、高速 MOSFET ゲートドライブ回路を使用して設計する際には、回路レイアウトのガイドラインを遵守することを強く推奨しています。

- ゲートドライバ出力 HO と LO からハイサイドまたはローサイド MOSFET の各ゲートへの接続は、直列寄生インダクタンスを低減するために、できるだけ短くしてください。ピーク ゲートドライブ電流は最大で数 A になる可能性があることに注意してください。0.65mm (25mils) 以上の広いパターンを使用してください。これらのパターンには、必要に応じて、直径 0.5mm (20mil) 以上の 1 つまたは複数のビアを使用します。デバイスからハイサイド MOSFET まで、HO および SW のパターンを差動ペアとして配線し、フラックス キャンセレーションを利用します。同様に、デバイスからローサイド MOSFET まで、LO および PGND のパターン / 銅の領域を差動ペアとして配線し、フラックス キャンセレーションを利用します。

- ブートストラップコンデンサ C_{CBOOT} をデバイスの **CBOOT** ピンと **SW** ピンの近くに配置して、ハイサイドドライバに関連するループ 3 の面積を最小化します。同様に、**VCC** コンデンサ C_{VCC} をデバイスの **VCC** ピンと **PGND** ピンの近くに配置して、ローサイドドライバに関連するループ 4 の面積を最小化します。

7.4.1.3 PWM コントローラのレイアウト

ゲートドライバのパターン走行を最小限にするため、デバイスをパワー **MOSFET** のできる限り近くに配置し、電流センシングだけでなく、アナログ信号と帰還信号に関連する部品について、以下のように考慮します：

- 電源と信号 / アナログのパターンを分けて、ノイズのシールドを実現するためにグランドプレーンを使用します。
- 相互結合を避けるため、**COMP**、**FB**、**ISNS+**、**IMON**、**ISET**、**RT** に関連するすべての敏感なアナログトレースおよびコンポーネントを、**SW**、**HO**、**LO**、**CBOOT** のような高電圧スイッチングノードから離して配置します。1つ以上の内部層をグランドプレーンとして使用します。特に、電源パターンと部品から帰還 (**FB**) パターンおよび電流センス (**ISNS+** および **VOUT**) をシールドすることには注意してください。
- FB** のパターンができるだけ短くなるように、上側と下側の帰還抵抗を **FB** ピンの近くに設置します。上側の帰還抵抗から負荷時に必要とされる出力電圧センスポイントまでのパターンを配線します。
- ノイズピックアップを最小限に抑えるため、**ISNS+** および **VOUT** のセンスパターンを差動ペアとして配線し、適切なシャント抵抗にケルビン接続を使用します。
- VCC**、**VIN** ピンから、それぞれのデカッピングコンデンサを経由して、**PGND** ピンまでのループ領域を最小にします。これらのコンデンサは、デバイスのできるだけ近くに配置します。

7.4.1.4 熱設計およびレイアウト

ゲートドライバとバイアス電源 **LDO** レギュレータが内蔵された PWM コントローラの動作温度範囲は、次の内容に大きく影響されます。

- パワー **MOSFET** の平均ゲート駆動電流の要件
- スイッチング周波数
- 動作入力電源電圧 (バイアスレギュレータの **LDO** 電圧降下、ひいてはその消費電力に影響する)
- パッケージと動作環境の熱特性

特定の温度範囲で有効になる PWM コントローラの場合、パッケージは接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。

VQFN パッケージでは、パッケージの底面にある露出した熱パッドを介して、半導体のダイから熱が除去されます。パッケージの露出パッドは、デバイスの基板と熱的に接続されます。この接続によって熱のシンクが大幅に改善されますが、熱除去サブシステムを完成させるには、**PCB** の設計にサーマルランド、サーマルビア、グランドプレーンを入れることが必須となります。デバイスの露出パッドは、**PCB** 上でデバイスのパッケージの真下にある、グランドに接続された銅ランドにはんだ付けされているため、熱抵抗を非常に小さい値まで低減します。

サーマルランドから内部とはんだ側の 1つ以上のグランドプレーンに接続された直径 0.3mm の大量のビアは、放熱に不可欠です。マルチレイヤ **PCB** 設計では、通常は電源部品の下の **PCB** 層にソリッドなグランドプレーンを配置します。このプレーンの配置には、電力段の電流を流すためだけでなく、熱を生成するデバイスから熱伝導経路を離す役割もあります。

MOSFET の熱特性も重要です。ハイサイド **MOSFET** のドレインパッドは、通常ヒートシンクのために **VIN** プレーンに接続します。ローサイド **MOSFET** のドレインパッドは **SW** プレーンに接続しますが、**SW** プレーンの領域は **EMI** の懸念を和らげるために意図的にできるだけ小さくします。

7.4.1.5 グランドプレーン設計

TI は、ソリッドグランドプレーンとして 1つ以上の内部 **PCB** 層を使用することを推奨しています。グランドプレーンは敏感な回路やパターンのシールドとして機能するだけでなく、制御回路の低ノイズ基準電位を提供します。特に、電力段部品の直下の層に完全なグランドプレーンが必要です。ローサイド **MOSFET** のソース端子と入力および出力コンデンサのリターン端子をこのグランドプレーンに接続します。露出パッドでデバイスの **PGND** ピンと **AGND** ピンを接続してから、露出パッドの下にあるビアの配列を使用して、システムのグランドプレーンに接続します。**PGND** の配線にはスイッチング周波数におけるノイズが含まれており、負荷電流変動によりバウンドすることがあります。**PGND**、**VIN**、**SW** の電力パターン

は、グランドプレーンの片側、たとえば最上層に制限できます。グランドプレーンの反対側はノイズが非常に小さく、敏感なアナログのパターン配線用に設計されています。

7.4.2 レイアウト例

図 7-16 に、ディスクリートパワー MOSFET を使用した同期整流降圧レギュレータのレイアウト例を示します。この設計では、電力ループのリターンパスとして内部層を使用することで、小さな面積のスイッチング電力ループを作成しています。このループ面積、つまり寄生インダクタンスは、EMI だけでなくスイッチノード電圧のオーバーシュートとリンギングを最小化するために、できるだけ小さくする必要があります。

高周波数電力ループ電流は、MOSFET と内部層の電力グランドプレーンを通過し、0603/1210 セラミックコンデンサを経由して VIN に戻ります。

6 つの 0603 ケースサイズのコンデンサを、ハイサイド MOSFET のドレインのすぐ近くに並列に配置します。取付面積の小さなコンデンサの低等価直列インダクタンス (ESL) と高自己共振周波数 (SRF) は、優れた高周波性能を実現します。これらのコンデンサの負端子は、複数のビアで内部層のグランドプレーンに接続され、寄生ループインダクタンスをさらに最小化します。

ノイズ耐性を向上させて EMI を低減するための追加のガイドラインは、次のとおりです：

- PGND は、ローサイド MOSFET および電源グランドに直接接続します。ノイズに敏感なアナログ部品のため、AGND をアナロググランドプレーンに直接接続します。AGND のアナロググランドプレーンと PGND の電力グランドプレーンは、デバイスの直下、露出パッドの 1 点で接続する必要があります。
- MOSFET は、 dv/dt が高く、放射 EMI に寄与するため、短い銅箔で (ビアなし) インダクタ端子に直接接続します。スイッチノード接続を単層配線にすると、 dv/dt が高いスイッチノードビアが PCB の底面には現れません。これにより、EMI テスト中のリファレンスグランドプレーンへの e フィールド結合を回避できます。VIN と PGND プレーンの銅箔ベタは MOSFET をインダクタ端子に接続するポリゴンをシールドし、放射 EMI シグネチャをさらに低減します。
- EMI フィルタ部品を PCB の底面に配置し、上面の電力段部品から部品がシールドされるようにします。

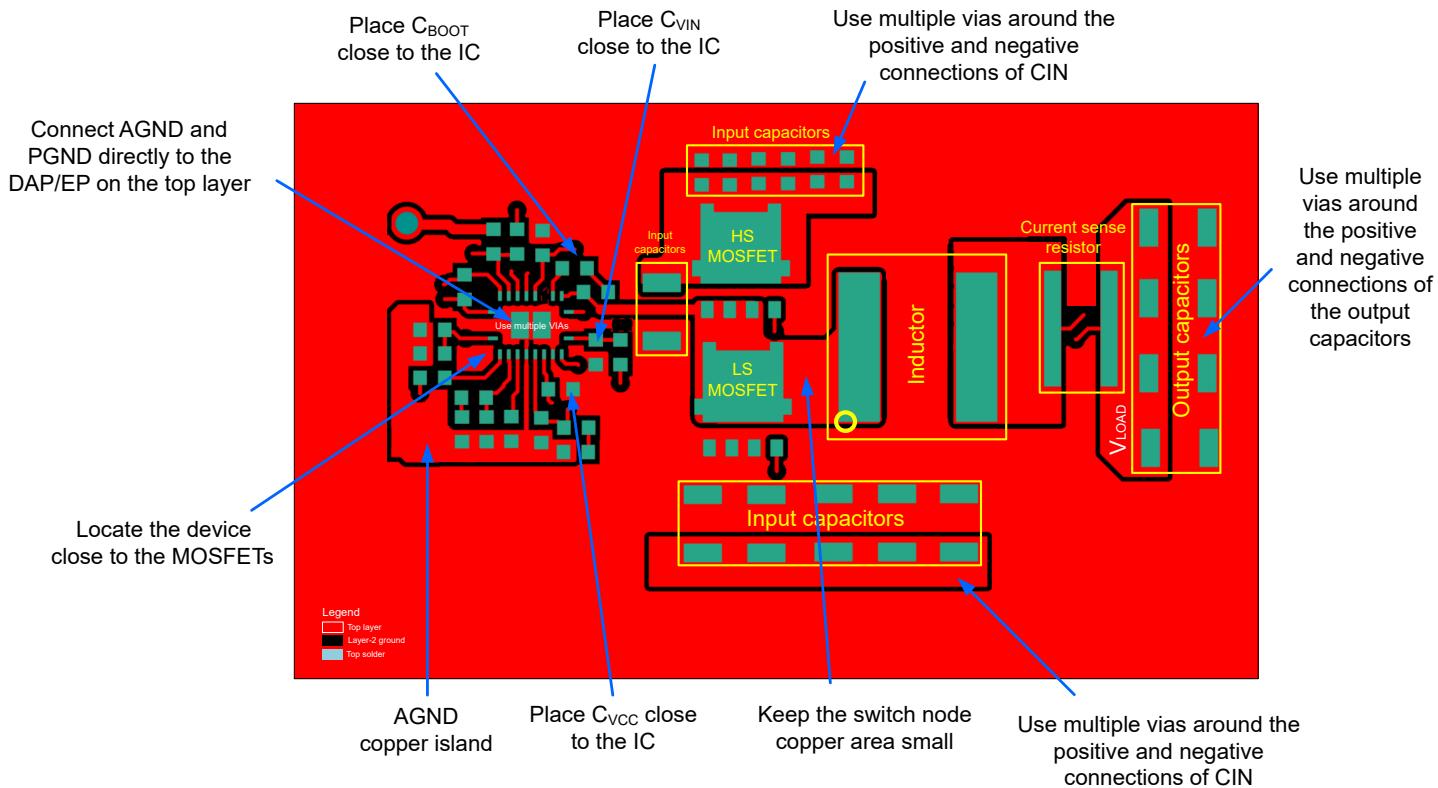


図 7-16. PCB の最上層

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

開発サポートについては、以下を参照してください。

- テキサス・インスツルメンツのリファレンス デザイン ライブラリについては、[TI Designs](#) を参照してください。
- 技術関連ブログ記事:
 - [『DC/DC コンバータの高密度 PCB レイアウト』](#)
 - [『広い \$V_{IN}\$ 性能と柔軟性を持つ同期整流降圧コントローラ ソリューション』](#)
 - [『EMI 制御用スルーレートの使用方法』](#)

8.1.1.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#) すると、WEBENCH® Power Designer により、LM5190-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電源電圧、出力負荷電圧、出力負荷電流の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の設計と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になります。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- EVM ユーザーズ ガイド:
 - テキサス・インスツルメンツ、[『LM5190-Q1 CCCV 降圧コントローラ 評価基板ユーザー ガイド』](#)
- アプリケーション概要:
 - テキサス・インスツルメンツ、[『最適化された出力段レイアウトによる大電流 DC/DC レギュレータのコストなしでの性能向上』](#)
- アプリケーション ノート:
 - テキサス・インスツルメンツ、[『AN-2162 DC-DC コンバータからの伝導 EMI への簡単な対処方法』](#)
- Analog Design Journal:
 - テキサス・インスツルメンツ、[『誘導性寄生の最小化による降圧コンバータの EMI と電圧ストレスの低減』](#)
- ホワイトペーパー:
 - テキサス・インスツルメンツ、[『電源の伝導 EMI 仕様の概要』](#)
 - テキサス・インスツルメンツ、[『電源の放射 EMI 仕様の概要』](#)
 - テキサス・インスツルメンツ、[『コスト効率が高く要求品質の高いアプリケーション用の広範な \$V_{IN}\$ 、低 EMI 同期整流 降圧回路の評価』](#)

8.2.1.1 PCB レイアウトについてのリソース

- ・ アプリケーション ノート:
 - テキサス・インスツルメンツ、『AN-1149 スイッチング電源のレイアウトのガイドライン』
 - テキサス・インスツルメンツ、『AN-1229 SIMPLE SWITCHER の PCB レイアウトガイドライン』
 - テキサス・インスツルメンツ、『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』
- ・ アプリケーション概要:
 - テキサス・インスツルメンツ、『最適化された出力段レイアウトによる大電流 DC/DC レギュレータのコストなしでの性能向上』
- ・ セミナー:
 - 『電源の設計 - レイアウトに関する検討事項』

8.2.1.2 熱設計についてのリソース

- ・ アプリケーション概要:
 - テキサス・インスツルメンツ、『PowerPAD™ の簡単な使用法』
- ・ アプリケーション ノート:
 - テキサス・インスツルメンツ、『AN-2020 過去ではなく、現在の識見による熱設計』
 - テキサス・インスツルメンツ、『AN-1520 露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウトガイド』
 - テキサス・インスツルメンツ、『半導体および IC パッケージの熱評価基準』
 - テキサス・インスツルメンツ、『LM43603 および LM43602 を使用した簡単な熱設計』
 - テキサス・インスツルメンツ、『放熱特性に優れた PowerPAD™ パッケージ』
 - テキサス・インスツルメンツ、『新しい熱評価基準の解説』

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (July 2024) to Revision A (November 2025)	Page
• 「特長」、「電気的特性」表、「機能説明」、「アプリケーション情報」、「設計要件」表を、量産データの仕様に合わせて更新.....	1
• ドキュメントのステータスを「事前情報」から「量産データ」に変更.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM5190QRGYRQ1	Active	Production	VQFN (RGY) 19	3000 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	LM5190 QRGYQ1
PLM5190QRGYR	Active	Preproduction	VQFN (RGY) 19	3000 LARGE T&R	-	Call TI	Call TI	-40 to 150	
PLM5190QRGYR.A	Active	Preproduction	VQFN (RGY) 19	3000 LARGE T&R	-	Call TI	Call TI	-40 to 150	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

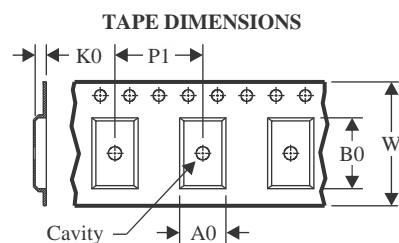
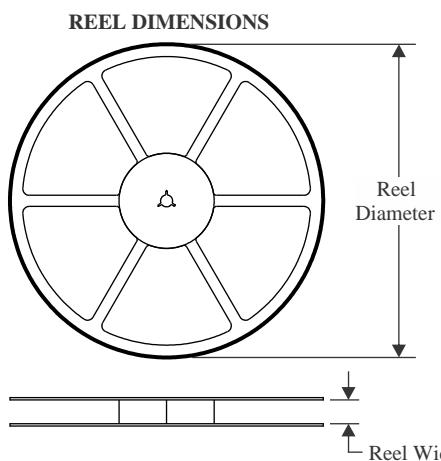
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM5190-Q1 :

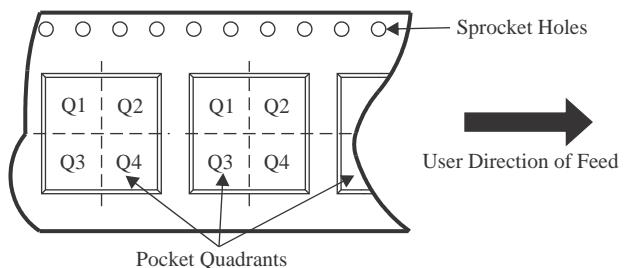
-
- Catalog : [LM5190](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

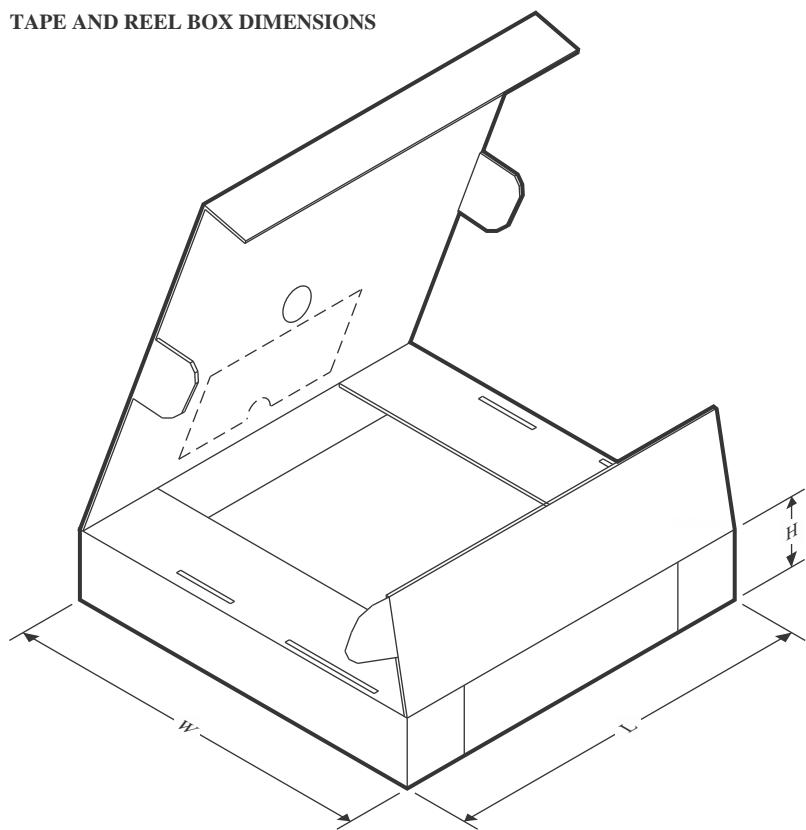
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM5190QRGYRQ1	VQFN	RGY	19	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM5190QRGYRQ1	VQFN	RGY	19	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

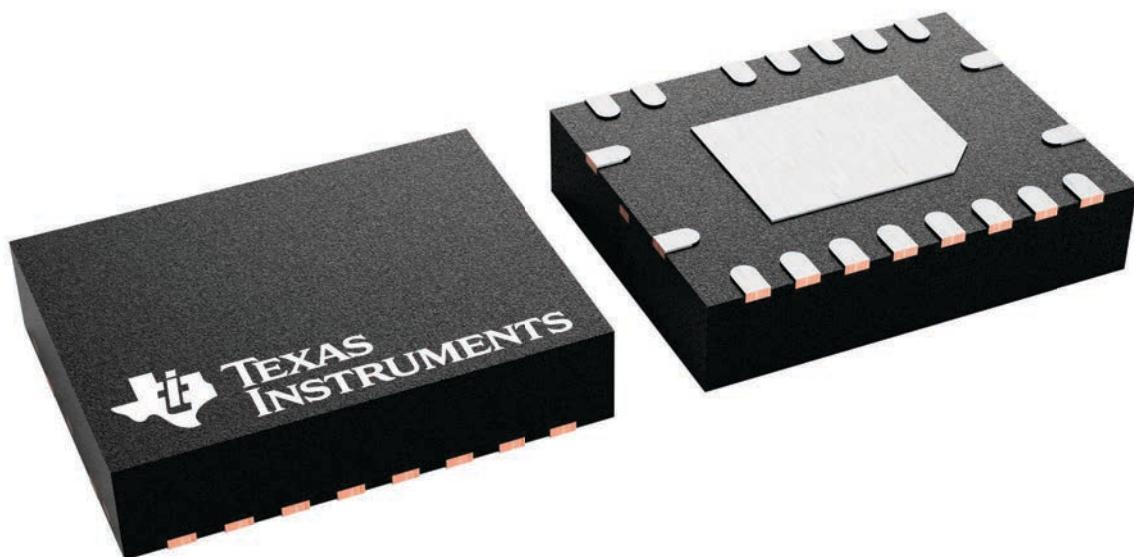
RGY 19

VQFN - 1 mm max height

3.5 x 4.5, 0.5 mm pitch

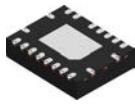
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4230073/A

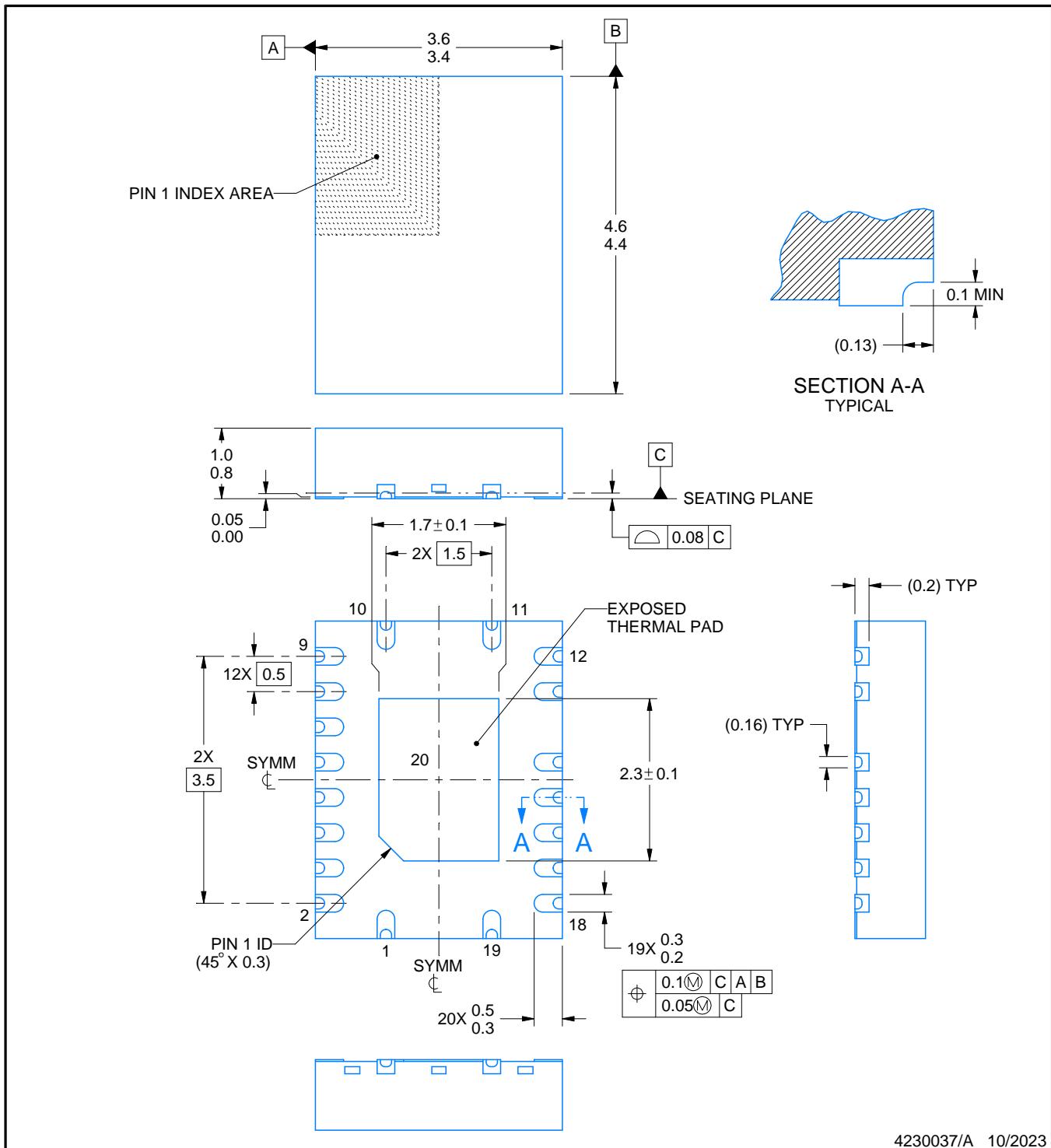
RGY0019B



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

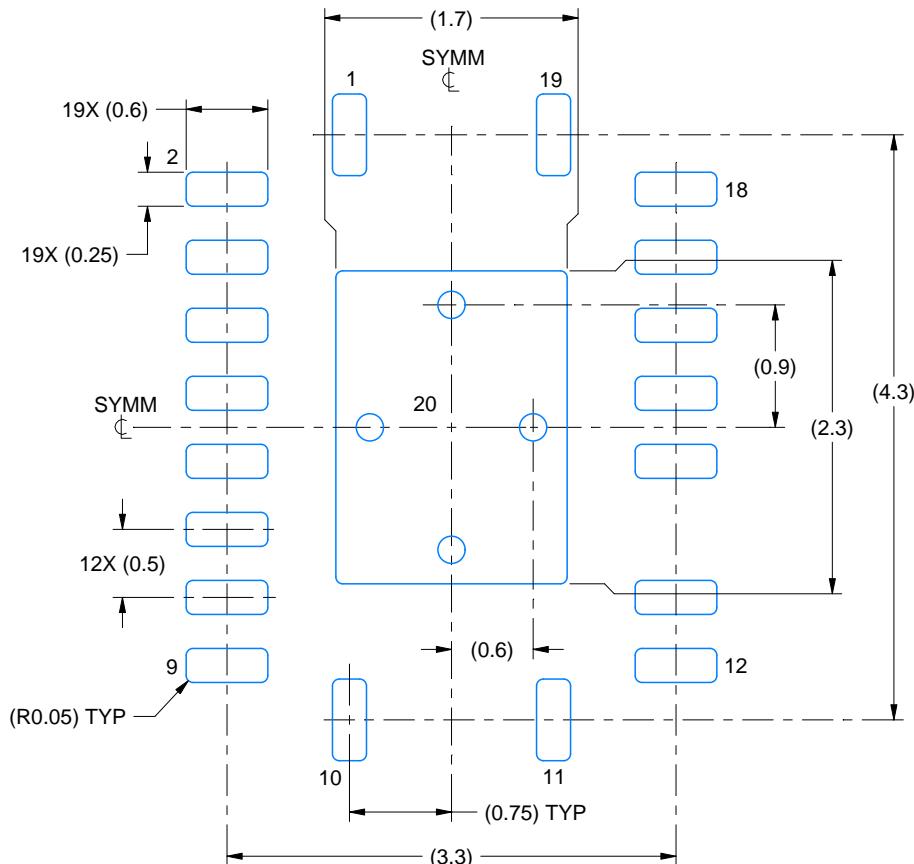
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

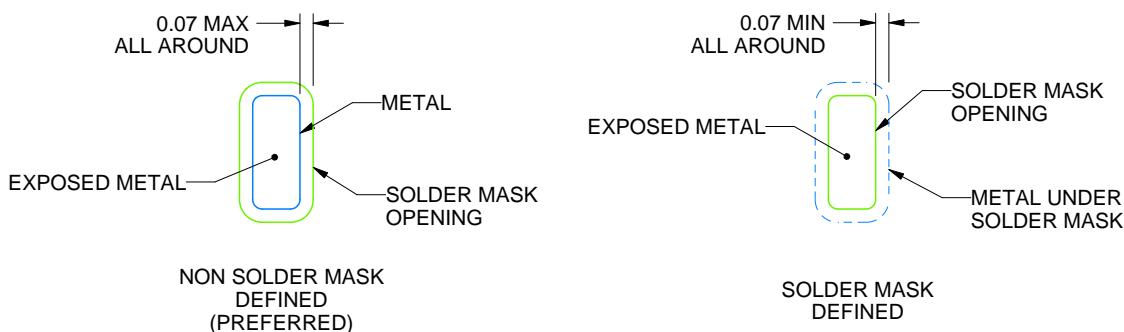
RGY0019B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4230037/A 10/2023

NOTES: (continued)

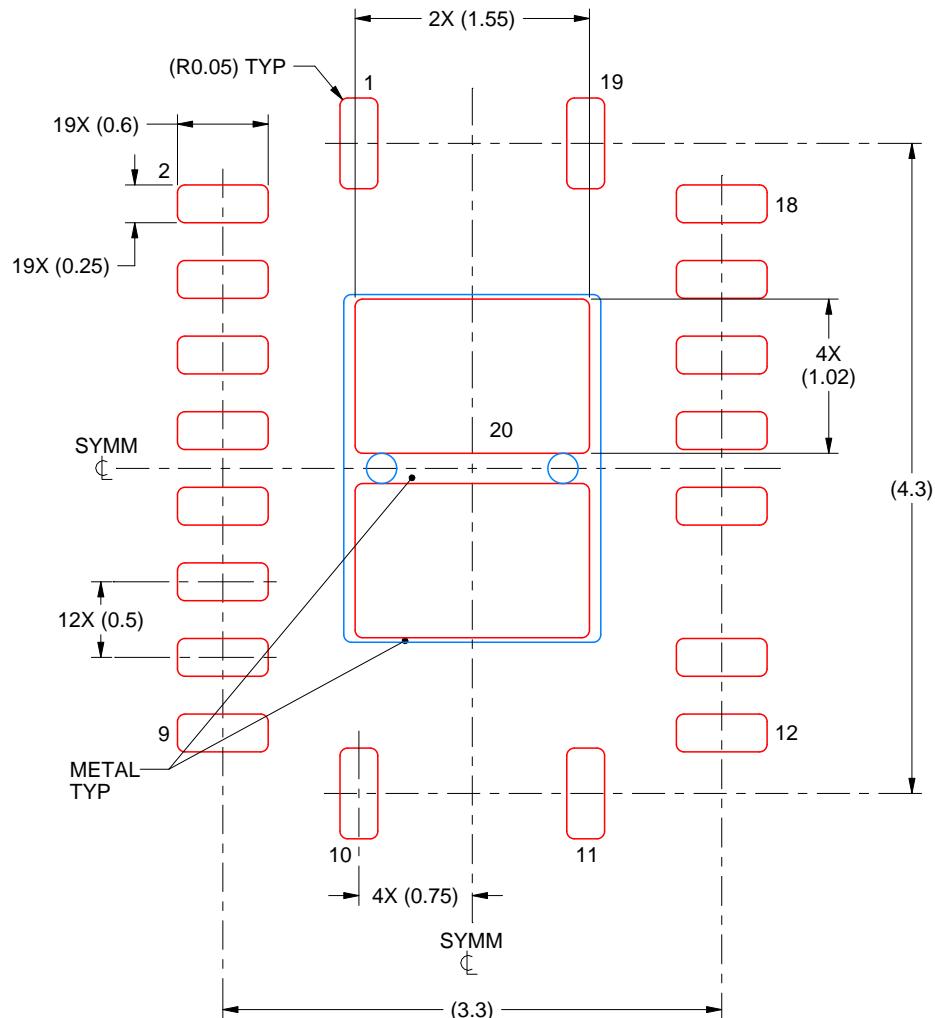
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGY0019B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 21
81% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4230037/A 10/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月