

LM5164-Q1 100V 入力、1A、超低 I_Q の同期整流降圧 DC/DC コンバータ

1 特長

- 車載アプリケーション向けに AEC-Q100 認定済み
 - デバイス温度グレード 1:周囲温度範囲:-40°C ~ +125°C
- 信頼性が高く堅牢なアプリケーション向けに設計
 - 広い入力電圧範囲:6V~100V
 - 接合部温度範囲:-40°C ~ +150°C
 - 固定 3ms の内部ソフトスタートタイム
 - ピークおよびバレー電流制限保護
 - 入力 UVLO およびサーマル シャットダウン保護機能
- 超低 EMI 要件に合わせて最適化
 - スケーラブルな車載用電源向けに設計
 - 最小オンおよびオフ時間がわずか 50ns
 - 最大 1MHz まで可変のスイッチング周波数
 - ダイオード エミュレーションにより軽負荷時の効率を向上
 - 無負荷時の入力静止電流:10.5µA
 - シャットダウン時静止電流:3µA
- 統合により設計のサイズとコストを低減
 - COT モード制御アーキテクチャ
 - 0.725Ω の NFET 降圧スイッチを内蔵
 - 0.34Ω NFET 同期整流器を内蔵し、外付けのショットキーダイオードが不要
 - 1.2V の内部基準電圧
 - ループ補償部品が不要
 - VCC バイアスレギュレータとブートダイオードを内蔵
- **WEBENCH® Power Designer** により、LM5164-Q1 を使用するカスタム レギュレータ設計を作成

2 アプリケーション

- 車載用 48V マイルド ハイブリッド ECU バイアス電源
- 車載用 DC/DC コンバータ
- 車載用 HVAC コンプレッサ および PTC ヒーター

3 説明

LM5164-Q1 同期整流降圧コンバータは、広い入力電圧範囲でレギュレーションを行えるよう設計されており、必要な外付けサージ抑制部品を最小限に押さえています。制御可能な最短のオン時間は 50ns で、大きな降圧率を使用できるため、48V 公称入力から低電圧レールへの直接降圧変換が可能になり、システムの複雑性と設計のコストを下げることができます。LM5164-Q1 は、最低 6V の入力電圧デイップ時にも動作し、必要な場合は 100% に近いデューティ サイクルを実現できるため、高性能 48V パッテリ車載用アプリケーションや MHEV/EV システムに最適な選択肢です。

ハイサイドおよびローサイド パワー MOSFET を内蔵した LM5164-Q1 は、最大 1A の出力電流を供給できます。コンスタンツト オン時間 (COT) 制御アーキテクチャにより、スイッチング周波数はほぼ一定で、負荷およびライン過渡応答が非常に優れています。LM5164-Q1 の追加機能には、軽負荷時の効率を上げるための超低 I_Q とダイオード エミュレーション モード動作、優れたピークおよびバレー過電流保護、内蔵 VCC バイアス電源およびブートストラップ ダイオード、高精度のインエーブルおよび入力 UVLO、自動回復機能付きのサーマル シャットダウン保護が含まれます。オープン ドレインの PGOOD インジケータにより、シーケンシング、フォルト報告、出力電圧監視を行えます。

LM5164-Q1 は車載用 AEC-Q100 グレード 1 認定済みであり、8 ピンの SO PowerPAD™ の IC パッケージで供給されます。このデバイスのピン ピッチは 1.27mm であり、高電圧アプリケーションに適した間隔を確保できます。

パッケージ情報

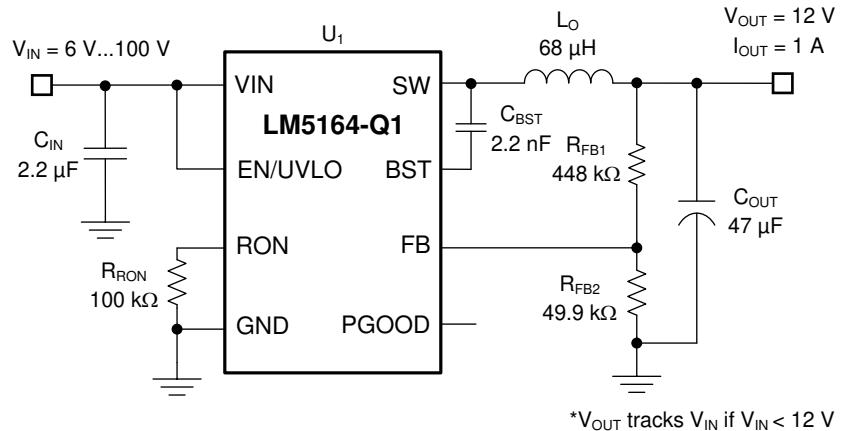
部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
LM5164-Q1	DDA (SO PowerPAD, 8)	4.9mm × 6mm

(1) 詳細については、[セクション 10](#) を参照してください。

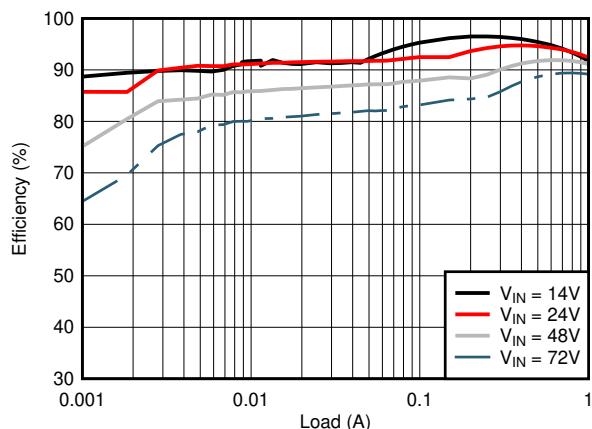
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含めます。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



代表的なアプリケーション



代表的な事例の効率、 $V_{OUT} = 12\text{V}$

目次

1 特長.....	1	7 アプリケーションと実装.....	18
2 アプリケーション.....	1	7.1 アプリケーション情報.....	18
3 説明.....	1	7.2 代表的なアプリケーション.....	18
4 ピン構成および機能.....	4	7.3 電源に関する推奨事項.....	25
5 仕様.....	5	7.4 レイアウト.....	25
5.1 絶対最大定格.....	5	8 デバイスおよびドキュメントのサポート.....	28
5.2 ESD 定格.....	5	8.1 デバイス サポート.....	28
5.3 推奨動作条件.....	5	8.2 ドキュメントのサポート.....	28
5.4 熱に関する情報.....	6	8.3 ドキュメントの更新通知を受け取る方法.....	29
5.5 電気的特性.....	6	8.4 サポート・リソース.....	29
5.6 代表的特性.....	9	8.5 商標.....	29
6 詳細説明.....	11	8.6 静電気放電に関する注意事項.....	29
6.1 概要.....	11	8.7 用語集.....	29
6.2 機能ブロック図.....	12	9 改訂履歴.....	29
6.3 機能説明.....	12	10 メカニカル、パッケージ、および注文情報.....	30
6.4 デバイスの機能モード.....	17		

4 ピン構成および機能

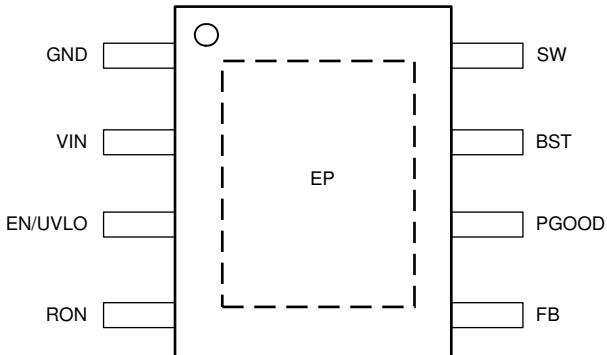


図 4-1. DDA パッケージ 8 ピン SO PowerPAD™ の IC パッケージ (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	GND	G	内部回路のグランド接続
2	VIN	P/I	ハイサイド パワー MOSFET および内部バイアス レギュレータへのレギュレータ電源入力ピンです。短い低インピーダンスのバスを経由して、降圧コンバータの入力電源に直接接続します。
3	EN/UVLO	I	高精度のイネーブルおよび低電圧誤動作防止 (UVLO) のプログラミングピン。EN/UVLO の電圧が 1.1V より低くなると、コンバータはシャットダウン モードとなり、すべての機能が無効になります。UVLO の電圧が 1.1V よりも高く、1.5V よりも低い場合、コンバーターはスタンバイ モードになり、内部 VCC レギュレータは動作しますが、スイッチングは行われません。EN/UVLO ピンの電圧が 1.5V よりも高い場合、スタートアップ シーケンスが開始されます。
4	RON	I	オン タイム プログラミング ピン。このピンと GND との間に抵抗によって、降圧スイッチのオン時間が設定されます。
5	FB	I	電圧レギュレーション コンパレータの帰還入力
6	PGOOD	O	パワー グッド インジケータ。このピンはオープン ドレイン出力ピンです。10kΩ と 100kΩ の間の外付け プルアップ 抵抗を介して、ソース電圧に接続します。
7	BST	P/I	ブートストラップ ゲート ドライブ 電源。内部ハイサイド ゲート ドライバにバイアスを印加するために、BST と SW との間に高品質の 2.2nF 50V X7R セラミック コンデンサを接続するために必要です。
8	SW	P	ハイサイド NMOS 降圧スイッチのソースおよびローサイド NMOS 同期整流器のドレインに内部接続されているスイッチング ノード。パワー インダクタのスイッチング ノードに接続します。
—	EP	—	パッケージの露出パッド。内部で電気的に接続されていません。EP を GND ピンに接続し、大型の銅プレーンに接続して熱抵抗を減らします。

(1) G=グランド、I=入力、O=出力、P=電源

5 仕様

5.1 絶対最大定格

接合部の動作時推奨温度である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において(特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
入力電圧	VIN から GND へ	-0.3	100	V
	EN から GND へ	-0.3	100	
	FB から GND へ	-0.3	5.5	
	RON から GND へ	-0.3	5.5	
ポートストラップ コンデンサ	BST-SW 間の容量	1.5	2.5	nF
出力電圧	BST から GND へ	-0.3	105.5	V
	BST から SW へ	-0.3	5.5	
	SW から GND へ	-1.5	100	
	SW から GND へ(過渡 20ns)	-3		
	PGOOD から GND へ	-0.3	14	
動作時の接合部温度、 T_J		-40	150	°C
保管温度、 T_{stg}		-65	150	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 ESD 定格

			値	単位
$V_{(\text{ESD})}$	静電放電	人体モデル (HBM)、AEC-Q100-002 HBM ESD 分類レベル 2 準拠、すべてのピン ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC-Q100-011 CDM ESD 分類レベル C4B 準拠。1, 4, 5, 8 を除くすべてのピン	±500	
		荷電デバイス モデル (CDM)、AEC-Q100-011 CDM ESD 分類レベル C4B 準拠。ピン 1, 4, 5, 8	±750	V

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

5.3 推奨動作条件

接合部の動作時推奨温度範囲である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において(特に記述のない限り)⁽¹⁾

		最小値	公称値	最大値	単位
V_{IN}	入力電圧	6	100		V
V_{SW}	スイッチ モード電圧		100		V
$V_{\text{EN/UVLO}}$	イネーブル電圧		100		V
I_{LOAD}	負荷電流	1	1.25		A
F_{SW}	スイッチング周波数		1000		kHz
C_{BST}	BST-SW 間の容量		2.2		nF
t_{ON}	オンタイムはプログラマブル	50		10000	ns

5.4 热に関する情報

热評価基準 ⁽¹⁾		LM5164-Q1	単位
		DDA (SOIC)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	43.4	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	59.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	16.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	4.0	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	16.3	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース(底面)への熱抵抗	3.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

標準値は $T_J = 25^\circ\text{C}$ に対応する値です。特に記載がない限り、最小値および最大値は接合部温度範囲 $-40^\circ\text{C} \sim 150^\circ\text{C}$ 全体で適用されます。特に記載がない限り、 $V_{IN} = 24\text{V}$ および $V_{EN/UVLO} = 2\text{V}$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電流 (VIN)						
$I_{Q-SHUTDOWN}$	VIN シャットダウン電流	$V_{EN} = 0\text{V}$	3	15	μA	
$I_{Q-SLEEP1}$	VIN スリープ電流	$V_{EN} = 2.5\text{V}, V_{FB} = 1.5\text{V}$	10.5	25	μA	
$I_{Q-ACTIVE}$	VIN アクティブ電流	$V_{EN} = 2.5\text{V}$	600	880	μA	
高精度イネーブル (EN/UVLO)						
$V_{SD-RISING}$	シャットダウン スレッショルド	$V_{EN/UVLO}$ の立ち上がり		1.1		V
$V_{SD-FALLING}$	シャットダウン スレッショルド	$V_{EN/UVLO}$ の立ち下がり	0.45			V
$V_{EN-RISING}$	イネーブル スレッショルド	$V_{EN/UVLO}$ の立ち上がり	1.45	1.5	1.55	V
$V_{EN-FALLING}$	イネーブル スレッショルド	$V_{EN/UVLO}$ の立ち下がり	1.35	1.4	1.44	V
帰還電圧 (FB)						
V_{REF}	FB のレギュレーション電圧	V_{FB} 立ち下がり	1.181	1.2	1.218	V
タイミング (RON)						
t_{ON1}	On-time1	$V_{VIN} = 6\text{V}, R_{RON} = 75\text{k}\Omega$	5000			ns
t_{ON2}	On-time2	$V_{VIN} = 6\text{V}, R_{RON} = 25\text{k}\Omega$	1650			ns
t_{ON3}	On-time3	$V_{VIN} = 12\text{V}, R_{RON} = 75\text{k}\Omega$	2550			ns
t_{ON4}	On-time4	$V_{VIN} = 12\text{V}, R_{RON} = 25\text{k}\Omega$	830			ns
パワー グッド モニタ (PGOOD)						
V_{PG-UTH}	PGOOD High から Low への FB 上限スレッショルド	V_{FB} 立ち上がり	1.105	1.14	1.175	V
V_{PG-LTH}	PGOOD High から Low への FB 下限スレッショルド	V_{FB} 立ち下がり	1.055	1.08	1.1	V
V_{PG-HYS}	PGOOD の上限および下限スレッショルドのヒステリシス	V_{FB} 立ち下がり		60		mV
R_{PG}	PGOOD プルダウン抵抗	$V_{FB} = 1\text{V}$		30		Ω
ブートストラップ (BST)						
V_{BST-UV}	ゲートドライブ UVLO	V_{BST} 立ち上がり	2.7	3.4	3.4	V
パワー スイッチ						
$R_{DS0N-HS}$	ハイサイド MOSFET の R_{DS0N}	$I_{SW} = -100\text{mA}$	0.725			Ω

5.5 電気的特性 (続き)

標準値は $T_J = 25^\circ\text{C}$ に対応する値です。特に記載がない限り、最小値および最大値は接合部温度範囲 $-40^\circ\text{C} \sim 150^\circ\text{C}$ 全体で適用されます。特に記載がない限り、 $V_{IN} = 24\text{V}$ および $V_{EN/UVLO} = 2\text{V}$ 。

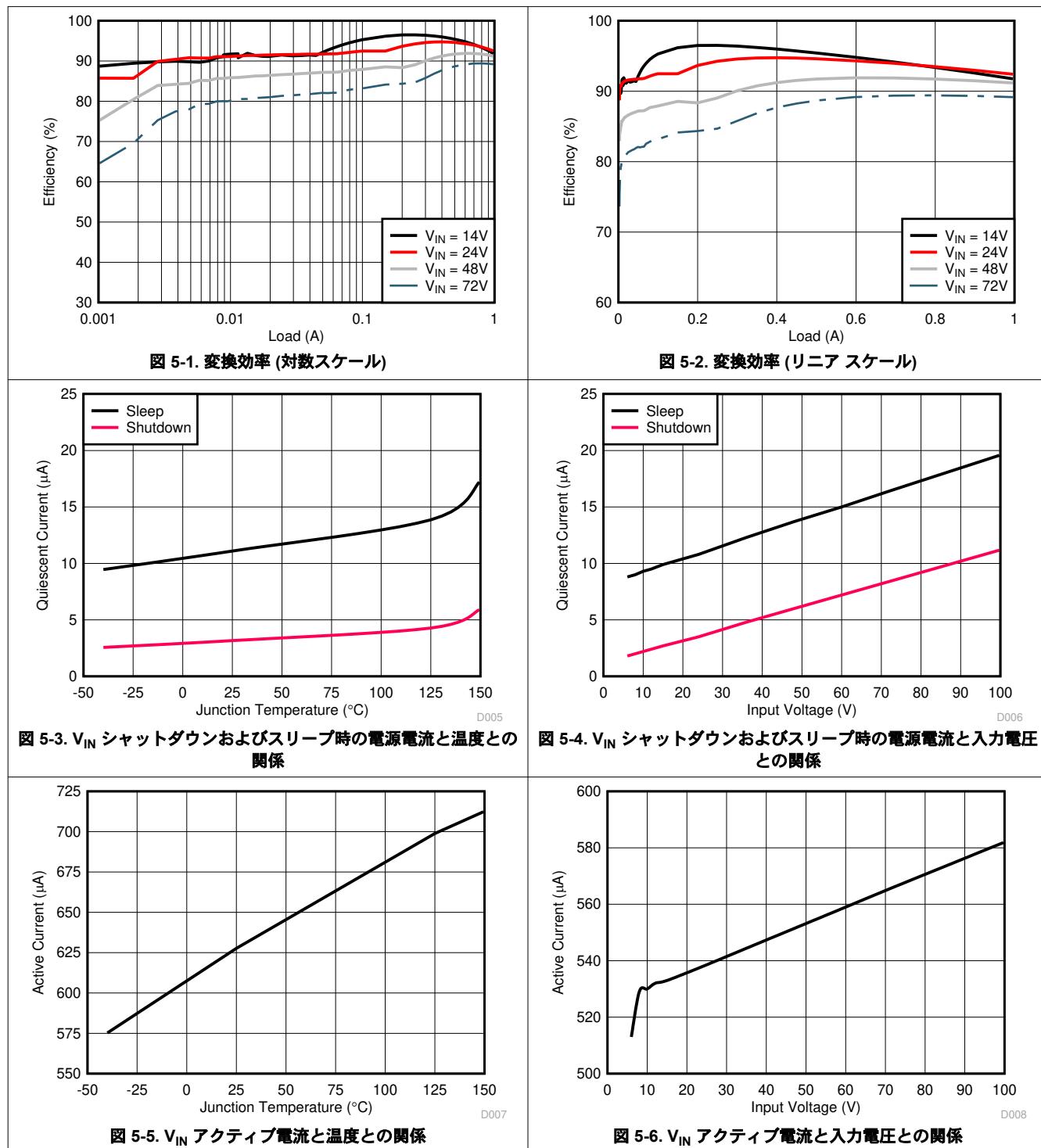
パラメータ	テスト条件	最小値	標準値	最大値	単位
$R_{DS(ON)-LS}$ ローサイド MOSFET の $R_{DS(ON)}$	$I_{SW} = 100\text{mA}$		0.33		Ω

5.5 電気的特性 (続き)

標準値は $T_J = 25^\circ\text{C}$ に対応する値です。特に記載がない限り、最小値および最大値は接合部温度範囲 $-40^\circ\text{C} \sim 150^\circ\text{C}$ 全体で適用されます。特に記載がない限り、 $V_{IN} = 24\text{V}$ および $V_{EN/UVLO} = 2\text{V}$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ソフトスタート						
t_{SS}	内部ソフトスタート時間		1.75	3	4.75	ms
電流制限						
I_{PEAK1}	ピーク電流制限スレッショルド (HS)		1.25	1.5	1.75	A
I_{PEAK2}	ピーク電流制限スレッショルド (LS)		1.25	1.5	1.75	A
$I_{DELTA-ILIM}$	最小値 (I_{PEAK1} または I_{PEAK2}) から I_{VALLEY} を引いた値		200	300		mA
I_{VALLEY}	バレー電流制限スレッショルド		0.95	1.2	1.4	A
サーマル シャットダウン						
T_{SD}	サーマル シャットダウンのスレッショルド	T_J 立ち上がり	175			°C
$T_{SD(HYS)}$	サーマル シャットダウン ヒステリシス		10			°C

5.6 代表的特性



5.6 代表的特性 (続き)

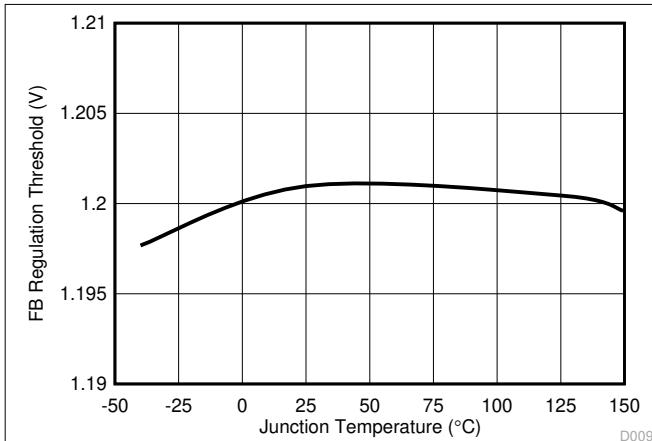


図 5-7. 帰還コンパレータ スレッショルドと温度との関係

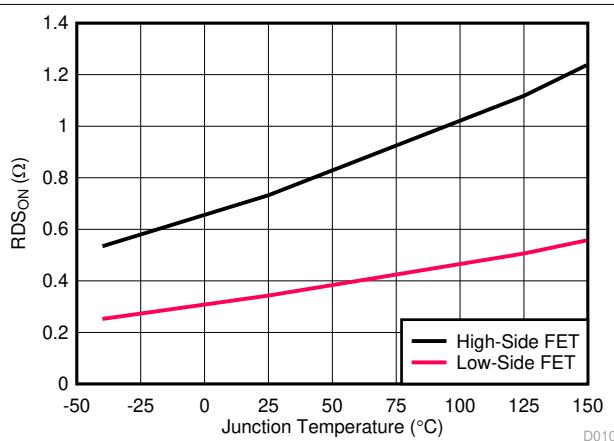


図 5-8. MOSFET のオン状態抵抗と温度との関係

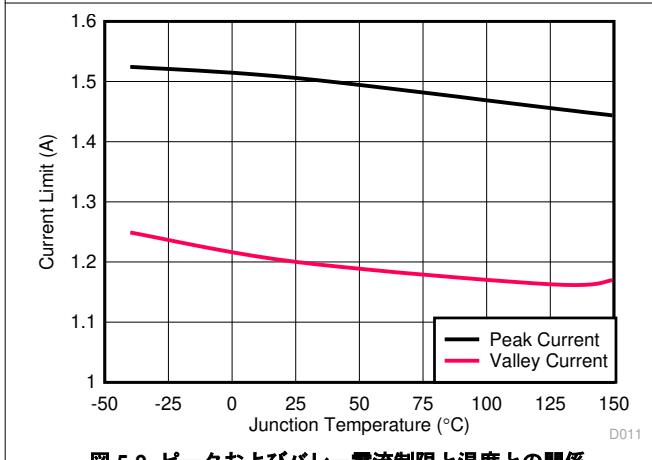
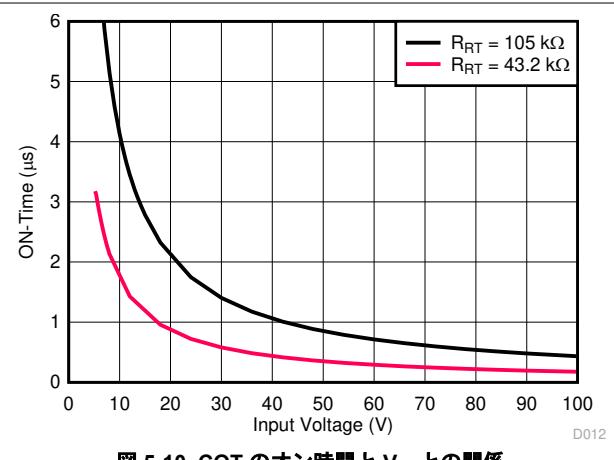


図 5-9. ピークおよびバレー電流制限と温度との関係

図 5-10. COT のオン時間と V_{IN} との関係

6 詳細説明

6.1 概要

LM5164-Q1 は、超低 I_Q の使いやすいコンスタント オンタイム (COT) 同期整流降圧 (バック) レギュレータです。ハイサイドおよびローサイド パワー MOSFET を内蔵した LM5164-Q1 は低コスト、高効率の降圧コンバータで、6V ~ 100V の広い入力電圧範囲で動作し、最大 1A の DC 負荷電流を供給できます。LM5164-Q1 は、高電圧アプリケーションで適切な間隔を確保するために 1.27mm のピン ピッチを備えた 8 ピン SO PowerPAD IC パッケージで供給されます。このコンスタント オンタイム (COT) コンバータは低ノイズ、高電流、高速負荷過渡要件に最適な選択肢で、予測型オン時間スイッチング パルスで動作します。入力電圧範囲全体にわたって、入力電圧フィードフォワードを採用して、擬似固定スイッチング周波数を実現します。最小 50ns まで制御可能なオン時間により、高い降圧率を実現します。強制オフ時間も最小 50ns で、非常に高いデューティサイクルを提供します。そのため、周波数フォールドバックが発生する前に、 V_{IN} を V_{OUT} に近い値まで低下できます。軽負荷時にはデバイスは超低 I_Q モードに遷移して、高い効率を維持し、システムがスタンバイ状態のときに入力に接続されているバッテリセルの消耗を防止します。LM5164-Q1 は、スマートピークおよびバレー電流制限検出回路を実装しており、出力短絡状態の発生時にも堅牢な保護を確保します。このレギュレータでは制御ループ補償は不要で、設計時間が短縮し、外部部品点数が減ります。

LM5164-Q1 には、以下のためのオープンドレインのパワー グッド回路など、包括的なシステム要件を満たすための追加機能が内蔵されています。

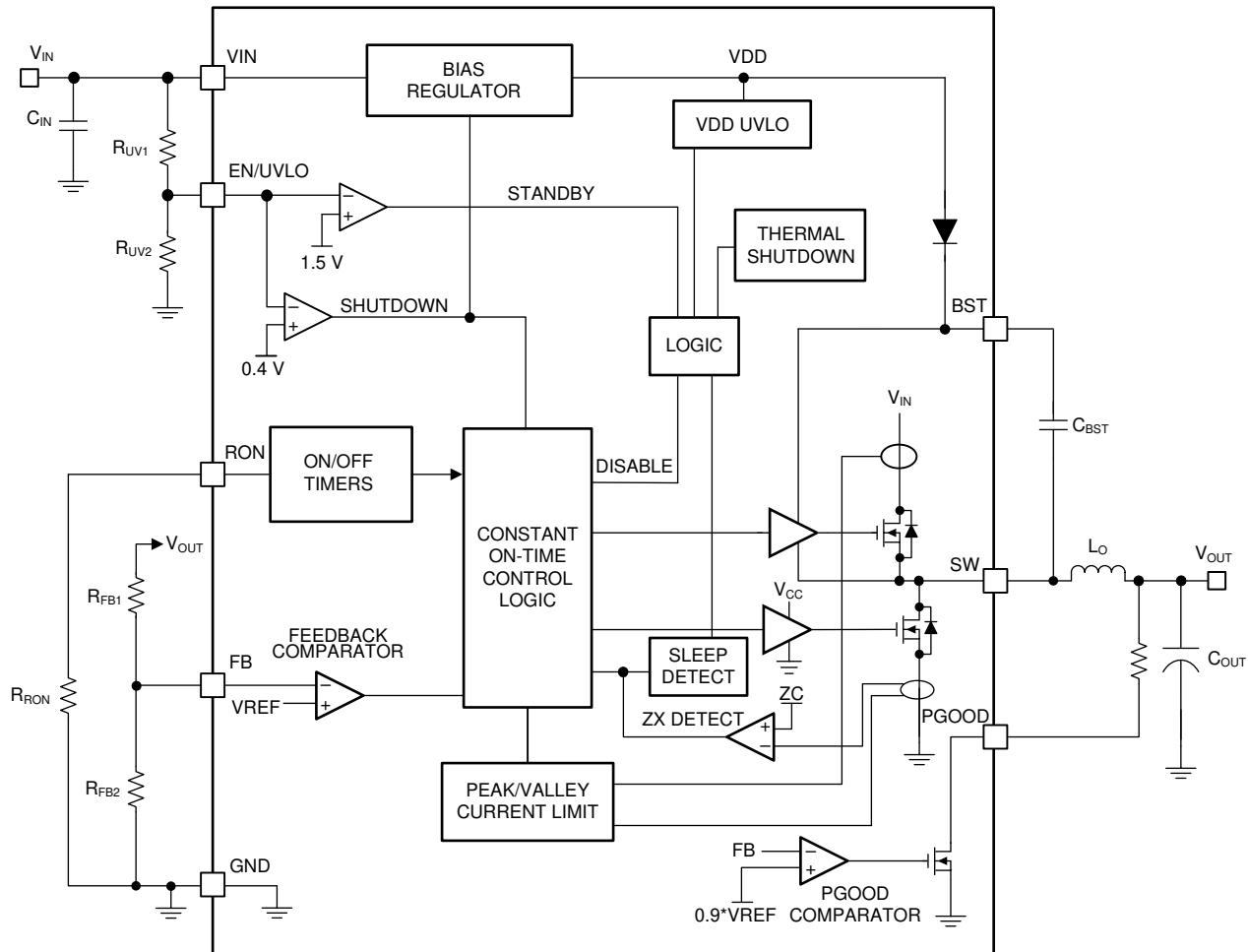
- 電源レール シーケンシングと障害報告機能
- 内部固定ソフトスタート時間 (3ms)
- ブリバイアス負荷への単調なスタートアップ
- 高精度のイネーブルによるプログラム可能なライン低電圧誤動作防止 (UVLO)
- スマートなサイクル単位の電流制限によりインダクタ容量の最適化を実現
- 自動回復機能付きサーマル シャットダウン。

これらの機能により、幅広い範囲のアプリケーションに対応した柔軟で使いやすいプラットフォームを可能にします。LM5164-Q1 は、過渡電圧が DC レベルから逸脱する高入力電源からの安定化出力を必要とする広範な最終機器システムをサポートしています。このような最終製品システムの例を以下に示します。

- 48V 車載システム
- 多セルのバッテリパック システム
- 24V 産業用システム
- 48V のテレコムと PoE 電圧範囲

ピン配置は、少数の外部コンポーネントのみを必要とするシンプルな PCB レイアウトになるように設計されています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 制御アーキテクチャ

LM5164-Q1 降圧スイッチングコンバータは、コンスタント オンタイム (COT) 制御方式を採用しています。COT 制御方式により、タイミング抵抗 (R_{ON}) でハイサイド FET の固定オン時間 t_{ON} が設定されます。連続導通モード (CCM) では、入力電圧が変化するにつれて t_{ON} が入力電圧に反比例して調整され、固定周波数を維持します。 t_{ON} が経過した後、FB 電圧が 1.2V のリファレンス電圧と等しくなるか下回るまで、ハイサイド FET はオフのままであります。安定性を維持するため、帰還コンパレータは、オフ時間時にインダクタ電流と同相となる最小のリップル電圧を必要とします。さらに、オフ時間時の FB 電圧のこの変化は、帰還ノードに存在するすべてのノイズを制御するのに十分な大きさである必要があります。推奨される最小リップル電圧は 20mV です。入力電圧範囲全体にわたって安定性が確保されるリップル注入方式については、表 6-1 を参照してください。

急速スタートアップまたは正の負荷ステップ中、レギュレータはレギュレーションが達成されるまで最小オフ時間で動作します。この機能により、最小の出力電圧アンダーシュートで非常に高速な負荷過渡応答を実現します。定常状態動作で出力をレギュレートする場合、オフ時間は自動的に調整され、出力電圧レギュレーションが固定スイッチング周波数を維持するのに必要なデューティサイクルが生成されます。CCM では、スイッチング周波数 F_{SW} は R_{RON} 抵抗によってプログラマれます。スイッチング周波数は、式 1 を使用して計算します。

$$F_{SW}(\text{kHz}) = \frac{V_{OUT(V)} \times 2500}{R_{RON}(\text{k}\Omega)} \quad (1)$$

表 6-1. リップル生成方法

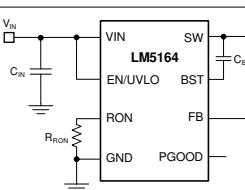
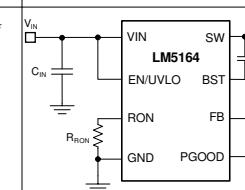
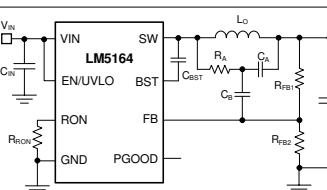
TYPE 1	TYPE 2	TYPE 3
最安コスト 	リップルの低減 	最小リップル 
$R_{ESR} \geq \frac{V_{OUT} \times 20mV}{V_{FB1} \times \Delta I_L(\text{nom})}$ (2) $R_{ESR} \geq \frac{V_{OUT}}{2 \times V_{IN} \times F_{SW} \times C_{out}}$ (3)	$R_{ESR} \geq \frac{20mV}{\Delta I_L(\text{nom})}$ (4) $R_{ESR} \geq \frac{V_{OUT}}{2 \times V_{IN} \times F_{SW} \times C_{out}}$ (5) $C_{FF} \geq \frac{1}{2\pi \times F_{SW} \times (R_{FB1} R_{FB2})}$ (6)	$C_A \geq \frac{10}{F_{SW} \times (R_{FB1} R_{FB2})}$ (7) $R_A C_A \leq \frac{t_{ON}(@V_{IN} - \text{nom}) \times (V_{IN} - \text{nom} - V_{OUT})}{20mV}$ (8) $C_B \geq \frac{t_{TR} - \text{settling}}{3 \times R_{FB1}}$ (9)

表 6-1 は、帰還ノードで適切な電圧リップルを生成するための 3 つの異なる方法を示しています。タイプ 1 リップル生成方式では、出力コンデンサと直列に 1 つの抵抗 R_{ESR} を使用します。生成される電圧リップルには、出力コンデンサを充電および放電するインダクタリップル電流に起因する容量性リップルと、出力コンデンサに流れるインダクタリップル電流と直列抵抗 R_{ESR} を介して流れる抵抗性リップルという 2 つの要素があります。容量性リップル成分はインダクタ電流と位相差があり、オフ時間中に単調に減少することはありません。抵抗性リップル成分は、インダクタ電流と同相になり、オフ時間中は単調に減少します。安定した動作を行うには、抵抗性リップルが V_{OUT} において容量性リップルを上回る必要があります。この条件が満たされていない場合、COT コンバータではスイッチングが不安定になり、複数のオン時間バーストが連続して発生し、その後長いオフ時間が続きます。[式 2](#) と [式 3](#) は、帰還ノードで十分な位相内リップルを確保するための直列抵抗 R_{ESR} の値を定義します。

タイプ 2 のリップル生成では、直列抵抗に加えて、 C_{FF} コンデンサが使用されます。出力電圧リップルは C_{FF} によって帰還ノードに直接 AC 結合されるため、 R_{ESR} と最終的に出力電圧リップルは V_{OUT}/V_{FB} の係数で低減されます。

タイプ 3 リップル生成は、 R_A と C_A で構成される RC ネットワークと、スイッチノード電圧を使用して、インダクタ電流と位相が一致する三角波ランプを生成します。この三角波は、コンデンサ C_B とともに帰還ノードに AC 結合されます。この回路は出力電圧リップルを使用しないため、この回路は低出力電圧リップルが重要なアプリケーション向けに設計されています。このトピックについては、『[AN-1481, コンスタント オンタイム \(COT\) 方式のレギュレータ設計における出力リップルの制御と ESR インピーダンスの確保](#)』アプリケーション ノートで詳しく説明しています。

ダイオード エミュレーション モード (DEM) は負のインダクタ電流を防止し、パルス スキップは実効スイッチング周波数を下げることで軽負荷時に最高の効率を維持します。DEM 動作は、インダクタ バレー電流が 0 に達したときに、同期整流パワー MOSFET がオフになるときに発生します。ここで、負荷電流は CCM のピークツーピークインダクタ電流リップルの半分未満になります。ゼロ電流時にローサイド MOSFET をオフにすることでスイッチング損失が低減され、負の電流導通が防止されるため、還流エネルギー損失が減少します。DEM コンバータの電力変換効率は、同等の強制 PWM CCM コンバータよりも高くなります。DEM 動作では、負荷電流が減少するにつれて、両方のパワー MOSFET がオフのままである時間が徐々に長くなります。このアイドル期間が 15μs を超えると、コンバータは超低 I_Q モードに遷移し、入力からの静止電流がわずか 10μA です。

6.3.2 内蔵 VCC レギュレータとブートストラップコンデンサ

LM5164-Q1 には、VIN から公称出力 5V で電力を供給される内部 VCC バイアス電源サブレギュレータが内蔵されているため、安定化のための外部コンデンサは必要ありません。内部 VCC サブレギュレータは、MOSFET ドライバやロジック回路を含む内部回路ブロックに電流を供給します。入力ビン (VIN) は、最大 100V のライン電圧に直接接続できます。ハイサイドのパワー MOSFET は総ゲート電荷量が低いため、ブートストラップコンデンサの値を小さくして、内部レギュ

ータへのストレスを低減します。「**絶対最大定格**」セクションに指定されている、2.2nF、50V X7R 高品質セラミック ブートストラップ コンデンサを選択する必要があります。これより大きい容量を選択すると、内部 VCC レギュレータにストレスがかかり、デバイスが損傷します。容量が必要よりも小さい場合、パワー MOSFET の内部ゲートを駆動するには不十分です。SW 電圧が低いときは、内部ダイオードが VCC レギュレータから BST ピンに接続され、ハイサイド ゲート駆動のブートストラップ コンデンサの電荷を補充します。

6.3.3 レギュレーション コンバレータ

FB の帰還電圧は、内部の 1.2V Vref と比較されます。LM5164-Q1 電圧レギュレーション ループは、FB 電圧を V_{REF} と同じ値に維持することで出力電圧をレギュレートします。分圧抵抗を使用して、出力電圧 V_{OUT} と FB の比をプログラムできます。

目標の V_{OUT} 設定点については、式 10 を使用して、選択した R_{FB1} に基づき R_{FB2} を計算します。

$$R_{FB2} = \frac{1.2V}{V_{OUT} - 1.2V} \times R_{FB1} \quad (10)$$

TI は、ほとんどのアプリケーションに $100\text{k}\Omega \sim 1\text{M}\Omega$ の範囲の R_{FB1} を選択することを推奨しています。 R_{FB1} が大きいほど消費される DC 電流は少なくなります。軽負荷時の効率が重要な場合、この値は必ず大きく設定する必要があります。帰還経路がノイズの影響を受けやすくなるため、 $1\text{M}\Omega$ より大きい R_{FB1} は推奨しません。帰還パターンは PCB のノイズの多い領域から離して配線し、帰還抵抗を FB ピンの近くに配置します。

6.3.4 内部ソフトスタート

LM5164-Q1 は、ソフトスタート制御ランプを内蔵しており、出力電圧を定常状態の動作点に徐々に到達させることで、起動時ストレスと電流サージを低減できます。ソフトスタート機能により、制御された単調な出力電圧スタートアップが生成されます。ソフトスタート時間は内部的に 3ms に設定されています。

6.3.5 オン時間ジェネレータ

LM5164-Q1 ハイサイド MOSFET のオン時間は R_{RON} 抵抗によって決定され、入力電圧 V_{IN} に反比例します。 V_{IN} の反比例により、 V_{IN} が変化すると、周波数はほぼ一定になります。式 11 を使用してオン時間を計算します。

$$t_{ON}(\mu s) = \frac{R_{ON}(\text{k}\Omega)}{V_{IN}(\text{V}) \times 2.5} \quad (11)$$

式 12 を使用して R_{RON} 抵抗を決定し、CCM で特定のスイッチング周波数を設定します。

$$R_{RON}(\text{k}\Omega) = \frac{V_{OUT}(\text{V}) \times 2500}{F_{SW}(\text{kHz})} \quad (12)$$

適切な動作を実現するために、最小オン時間 (最大 V_{IN}) が 50ns を超える R_{RON} を選択します。この最小オン時間に加えて、このデバイスの最大周波数は 1MHz に制限されます。

6.3.6 電流制限

LM5164-Q1 は、ピーケインダクタ電流をサイクルごとに制限することで過電流状態を管理します。ハイサイド MOSFET で検出された電流は、スイッチング サイクルごとに電流制限スレッショルド (1.5A) と比較されます。電流暴走の可能性からコンバータを保護するため、LM5164-Q1 は 1.2A に設定されたフォールドバック バレー電流制限機能を備えており、ピーケ電流制限が検出された場合に有効になります。図 6-1 に示すように、ハイサイド MOSFET のピーケ電流が 1.5A を超えると、設定されたオン時間 (t_{ON}) に関係なく、現在のサイクルが直ちに終了し、ハイサイド MOSFET がオフになり、フォールドバック バレー電流制限が作動します。ローサイド MOSFET は、インダクタ電流がこのフォールドバック バレー電流制限値を下回るまでオンのままで、その後で次のオンパルスが開始されます。この方式は、過熱を防止するためにスイッチング周波数をフォールドバックし、LM5164-Q1 では平均出力電流を 1.5A 未満に制限して、適切な短絡および重荷保護を確保します。

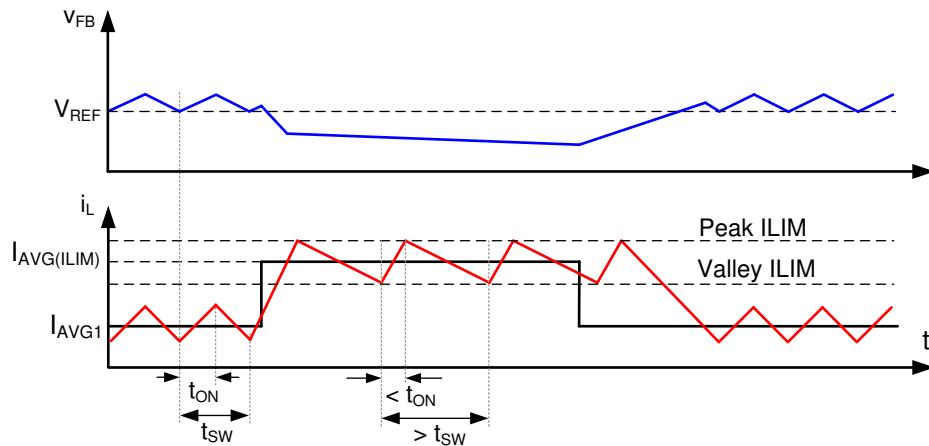


図 6-1. 電流制限のタイミング図

ハイサイド MOSFET のターンオン遷移後、リーディング エッジのブランкиング時間の後に電流が検出されます。電流制限コンパレータの伝播遅延は 100ns です。オン時間が 100ns 未満の高ステップダウン状態では、ローサイド FET のバックアップ ピーク電流制限コンパレータも 1.5A に設定され、フォールドバック バレー電流制限が 1.2A に設定されるようになります。この優れた電流制限方式により、ごく低いデューティ サイクルで動作できるため、大きな降圧電圧変換が可能になり、コンバータの堅牢な保護が保証されます。

6.3.7 N チャネル降圧スイッチおよびドライバ

LM5164-Q1 は、N チャネル降圧スイッチと関連するフローティング ハイサイド ゲート ドライバを内蔵しています。このゲート ドライバ回路は、外付けのブート ストラップ コンデンサおよび内部の高電圧ブート ストラップ ダイオードと連動して動作します。BST ピンと SW ピンの間に接続された、2.2nF、50V X7R 高品質セラミック コンデンサは、降圧スイッチのオン時間中にハイサイド ドライバに電圧を供給します。制限については、「[内部 VCC レギュレータとブートストラップ コンデンサ](#)」セクションを参照してください。オフ時間中は、SW ピンが約 0V にプルダウンされ、ブート ストラップ コンデンサは内部ブート ストラップ ダイオードを経由して内部 VCC から充電されます。最小オフタイムを 50ns (標準値) に設定すると、各サイクルでブート ストラップ コンデンサを再充電するための最小時間が確保されます。オン時間が 300ns 未満の場合、BST コンデンサが 1 サイクルで充電されるように、最小オフタイムは強制的に 250ns になります。これは、BST コンデンサが放電された可能性が最も高い状態で、スリープ モードからのウェークアップ時に非常に重要です。

6.3.8 同期整流器

LM5164-Q1 は、ローサイドの同期整流 N チャネル MOSFET を内蔵しています。この MOSFET は、ハイサイド MOSFET がオフになったときにインダクタ電流が流れるような、低抵抗の経路を提供します。

同期整流器は、ダイオード エミュレーション モードで動作します。ダイオード エミュレーションにより、軽負荷状況でレギュレータはパルスをスキップ モードで動作できます。このモードでは、軽負荷時に平均スイッチング周波数が低下します。MOSFET スイッチングとゲート ドライバの損失はどちらもスイッチング周波数に比例しており、負荷が非常に軽い場合には損失が大幅に低減され、効率が向上します。このパルス スキップ モードでは、軽負荷時に従来の CCM に関する循環インダクタの電流と損失も低減されます。

6.3.9 イネーブル/低電圧誤動作防止 (EN/UVLO)

LM5164-Q1 には、デュアルレベル EN/UVLO 回路が含まれています。EN/UVLO 電圧が 1.1V (標準値) を下回ると、コンバータは低電流のシャットダウン モードになり、入力静止電流 (I_Q) は 3µA まで低下します。電圧が 1.1V より高く、1.5V (標準値) を下回る場合、コンバータはスタンバイ モードになります。スタンバイ モードでは、制御回路がディスエーブルの間、内部バイアス レギュレータがアクティブです。電圧が立ち上がりスレッショルドの 1.5V (標準値) を超えると、通常動作が開始します。 V_{IN} と GND の間に分圧抵抗を取り付けて、レギュレータの最小動作電圧を設定します。[式 13](#) および[式 14](#) を使用して、入力 UVLO のターンオン電圧とターンオフ電圧をそれぞれ計算します。

$$V_{IN(on)} = 1.5V \times \left(1 + \frac{R_{UV1}}{R_{UV2}}\right) \quad (13)$$

$$V_{IN(off)} = 1.4V \times \left(1 + \frac{R_{UV1}}{R_{UV2}}\right) \quad (14)$$

TI では、ほとんどのアプリケーションで、 $1M\Omega$ の R_{UV1} を選択することを推奨しています。 R_{UV1} が大きいほど消費される DC 電流は少なくなります。軽負荷時の効率が重要な場合、この値は必ず大きく設定する必要があります。入力 UVLO が不要な場合、電源設計において、EN/UVLO をロジック信号によって駆動される有効入力として駆動するか、VIN に直接接続するかのいずれかを選択できます。EN/UVLO が VIN に直接接続されている場合、内部バイアスレールがアクティブになると、直ちにレギュレータはスイッチングを開始します。

6.3.10 パワーグッド (PGOOD)

LM5164-Q1 は、出力電圧がレギュレーションレベル内にあることを示す PGOOD フラグ ピンを備えています。PGOOD 信号は、下流コンバータの起動シーケンスや障害保護および出力監視に使用します。PGOOD は、14V 以下の DC 電源へのプルアップ抵抗を必要とするオープンドレイン出力です。プルアップ抵抗の標準範囲は $10k\Omega$ から $100k\Omega$ です。必要に応じて、高い電圧プルアップ レールからの電圧を下げるために、抵抗分圧器を使用します。FB 電圧が内部リファレンス V_{REF} の 95% を超えると、内部 PGOOD スイッチがオフになり、外部プルアップにより PGOOD が high にプルアップされます。FB 電圧が V_{REF} の 90% を下回ると、内部の 25Ω PGOOD スイッチがオンになり、PGOOD が low にプルされて、出力電圧が安定化範囲を外れたことを示します。PGOOD の立ち上がりエッジには、 $5\mu s$ のグリッチ除去遅延が組み込まれています。

6.3.11 過熱保護

LM5164-Q1 には、通常の接合部温度よりも温度が高くなった場合にデバイスを保護するため、接合部温度モニタが内蔵されています。接合部温度が $175^\circ C$ (標準値) を超えると、それ以上の電力消費および温度上昇を防ぐためにサーマルシャットダウンが発生します。LM5164-Q1 は、 $10^\circ C$ の標準的なサーマル シャットダウン ヒステリシスに基づいて、接合部温度が $165^\circ C$ に低下すると再起動シーケンスを開始します。これは非ラッチ保護の役割を果たしているため、障害が継続している場合は、デバイスはサーマル シャットダウン状態の開始と終了を繰り返します。

6.4 デバイスの機能モード

6.4.1 シャットダウンモード

EN/UVLO は、LM5164-Q1 のオン/オフを制御します。 $V_{EN/UVLO}$ が約 1.1V を下回ると、デバイスはシャットダウン モードになります。内部リニア レギュレータとスイッチング レギュレータの両方がオフになります。シャットダウン モードでの静止電流は、 $V_{IN} = 24V$ で $3\mu A$ まで低下します。LM5164-Q1 は内部バイアス レールの低電圧保護も採用しています。内部バイアス 電源電圧がその UV スレッショルドを下回ると、レギュレータはオフのままになります。

6.4.2 アクティブモード

LM5164-Q1 は、 $V_{EN/UVLO}$ が高精度有効化スレッショルドを超えており、内部バイアス レールが UV スレッショルドを超えている場合にアクティブ モードになります。COT アクティブ モードでは、LM5164-Q1 は負荷電流に応じて、3 つのうちいずれかのモードになります。

1. 負荷電流がピークツーピーク インダクタ電流リップルの半分を超える場合の固定スイッチング周波数による CCM
2. CCM 動作時に負荷電流がピークツーピーク インダクタ電流リップルの半分未満の場合は、パルス スキップとダイオード エミュレーション モード (DEM)
3. 出力に過電流状態が印加された際のピークおよびバレー電流制限保護付きの電流制限 CCM

6.4.3 スリープモード

制御アーキテクチャ セクションでは、LM5164-Q1 ダイオード エミュレーション モード (DEM) 機能について簡単に説明します。軽負荷状態において、インダクタ電流がゼロに減衰し、同期 MOSFET がオフになると、コンバータは DEM に移行して、システムに負の電流を防止します。DEM 状態では、負荷電流はピークツーピーク インダクタ リップル電流の半分未満になり、デバイスがパルス スキップ モードで動作するため、負荷がさらに減少するとスイッチング周波数は低下します。 V_{FB} が 1.2V を下回ると、スイッチング パルスが設定されます。

動作周波数が減少し、 V_{FB} が 1.2V (V_{REF}) を超えて負荷電流を供給する出力コンデンサが $15\mu s$ を超えると、コンバータは超低 I_Q スリープ モードに移行して、入力電源が消費されないようにします。LM5164-Q1 で必要とされる入力静止電流 (I_Q) は、スリープ モードでは $10.5\mu A$ まで減少し、レギュレータの軽負荷効率を向上させます。このモードでは、デバイスの消費電流をごく低く抑えるため、すべての内部コントローラ回路がオフになります。このように I_Q が低いため、LM5164-Q1 は、バッテリ直結型アプリケーションで動作寿命を延ばすための最適な選択肢となります。FB コンバータと内部バイアス レールがアクティブになり、FB 電圧が内部リファレンス V_{REF} を下回ったときに、コンバータがスリープ モードからアクティブ モードへ移行することを検出します。スリープからアクティブ状態への $9\mu s$ ウエークアップ遅延があります。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

LM5164-Q1 では、広範囲の電源電圧から固定出力電圧に降圧するために、わずかな外部コンポーネントのみを必要とします。システム設計要件を満たすため、次のような複数の機能が内蔵されています。

- 高精度のイネーブル
- 入力電圧 UVLO
- 内部ソフトスタート
- プログラマブルなスイッチング周波数
- PGOOD インジケータ

LM5164-Q1 ベースのレギュレータの設計プロセスを迅速化および効率化するため、包括的な LM5164-Q1 クイックスタート カリキュレータをダウンロードして、特定のアプリケーションの設計におけるコンポーネント選択に役立てるすることができます。このツールでは、補助として、評価基板 (EVM) や多数の PSPICE モデルに加え、TI の WEBENCH® Power Designer を使用できます。

7.2 代表的なアプリケーション

図 7-1 に、12V、1A COT コンバータの回路図を示します。

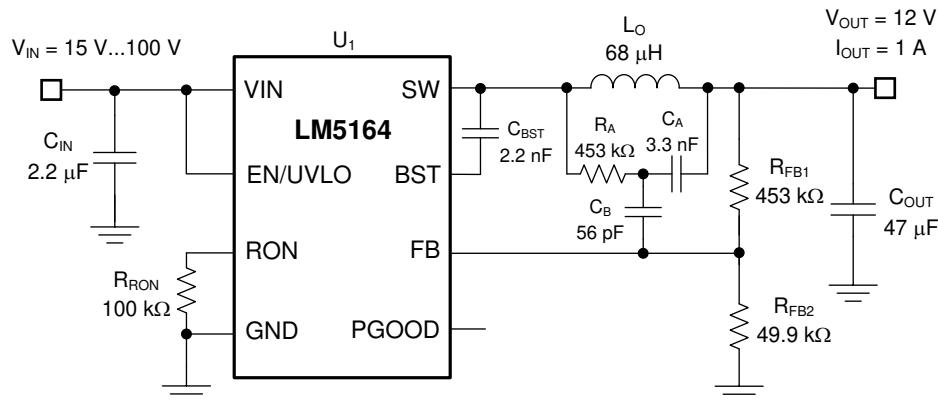


図 7-1. 代表的なアプリケーション、 $V_{IN(nom)} = 48V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT(max)} = 1A$ 、 $F_{SW(nom)} = 300kHz$

注

これ以降の設計例では、いくつかの異なるアプリケーションにおける LM5164-Q1 コンバータを紹介します。入力電源バスのソースインピーダンスによっては、特に低入力電圧と高出力電流の動作時条件における安定性を確保するために、入力に電解コンデンサが必要になることがあります。詳細については、「[電源に関する推奨事項](#)」セクションを参照してください。

7.2.1 設計要件

公称入力電圧 48V、出力電圧 12V に基づき、目標全負荷効率は 92% です。必要な入力電圧範囲は 15V ~ 100V です。LM5164-Q1 は、12V 固定の出力電圧を供給します。スイッチング周波数は、抵抗 R_{RON} により 300kHz. に設定されます。出力電圧のソフトスタート時間は 3ms です。[表 7-1](#) に、必要なコンポーネントを示します。[『LM5164-Q1 EVM ユーザーガイド』](#)も参照してください。

表 7-1. 部品のリスト

数	参照記号	値	説明	部品番号	製造元
2	C _{IN}	2.2μF	コンデンサ、セラミック、2.2μF、100V、X7R、10%	CGA6N3X7R2A225K230AB	TDK
2	C _{OUT}	22μF	コンデンサ、セラミック、22μF、25V、X7R、10%	TMK325B7226KMHT	Taiyo Yuden
1	C _A	3300pF	コンデンサ、セラミック、3300pF、16V、X7R、10%	CGA3E2X7R2A332K080AA	TDK
1	C _B	56pF	コンデンサ、セラミック、56pF、50V、X7R、10%	C0603C560J5GACTU	Kemet
1	C _{BST}	2.2nF	コンデンサ、セラミック、2200pF、50V、X7R、10%	GCM155R71H222KA37D	MuRata
1	L _O	68μH	インダクタ、68μH、170mΩ、1.8A 超	MSS1246T-683MLB	Coilcraft
1	R _{RON}	100kΩ	抵抗、チップ、100k、1%、0.1W、0603	RG1608P-1053-B-T5	Susumu Co Ltd
1	R _{FB1}	453kΩ	抵抗、チップ、453k、1%、0.1W、0603	RT0603BRD07448KL	Yageo
1	R _{FB2}	49.9kΩ	抵抗、チップ、49.9k、1%、0.1W、0603	RG1608P-4992-B-T5	Susumu Co Ltd
1	R _A	453kΩ	抵抗、チップ、453k、1%、0.1W、0603	RT0603BRD07453KL	Yageo
1	U ₁		広い V _{IN} の同期整流降圧コンバータ	LM5164QDDARQ1	TI

7.2.2 詳細な設計手順

7.2.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM5164-Q1 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になります。

7.2.2.2 スイッチング周波数 (R_{RON})

LM5164-Q1 のスイッチング周波数は、RON ピンに設置されたオン時間プログラミング抵抗によって設定されます。式 15 に示すように、標準的な 100kΩ、1% の抵抗で、スイッチング周波数が 300kHz に設定されています。

$$R_{RON}(k\Omega) = \frac{V_{OUT}(V) \times 2500}{F_{SW}(kHz)} \quad (15)$$

デューティ サイクルが非常に低い場合、ハイサイド MOSFET の 50ns の最小制御可能オン時間 t_{ON(min)} により、最大スイッチング周波数が制限されることに注意してください。CCM では、t_{ON(min)} により、指定されたスイッチング周波数に対する電圧変換の降圧比が制限されます。制御可能な最小デューティ サイクルを計算するには、式 16 を使用します。

$$D_{MIN} = t_{ON(min)} \times F_{SW} \quad (16)$$

最終的に、与えられた出力電圧に対するスイッチング周波数の選択は、利用可能な入力電圧範囲、設計サイズ、および効率に影響を与えます。スイッチング周波数の低下が発生する前に、特定の t_{ON(min)} に対する最大電源電圧を計算するには、式 17 を使用します。

$$V_{IN(max)} = \frac{V_{OUT}}{t_{ON(min)} \times F_{SW}} \quad (17)$$

7.2.2.3 降圧インダクタ (L_0)

式 18 および式 19 を使用して、インダクタ リップル電流 (CCM 動作を想定) とピーク インダクタ電流のそれぞれを計算します。

$$\Delta I_L = \frac{V_{OUT}}{F_{SW} \times L_0} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \quad (18)$$

$$I_{L(peak)} = I_{OUT(max)} + \frac{\Delta I_L}{2} \quad (19)$$

ほとんどのアプリケーションでは、インダクタのリップル電流 ΔL が公称入力電圧での定格負荷電流の 30% ~ 50% になるようにインダクタンスを選択します。インダクタンスを計算するには、式 20 を使用します。

$$L_0 = \frac{V_{OUT}}{F_{SW} \times \Delta I_L} \times \left(1 - \frac{V_{OUT}}{V_{IN(nom)}}\right) \quad (20)$$

この設計で $68\mu H$ のインダクタを選択すると、公称入力電圧 $48V$ (定格負荷電流 $1A$ の 45% に相当) で、ピークツーピーク リップル電流 $447mA$ が発生します。

インダクタのデータシートを参照し、インダクタの飽和電流が、LM5164-Q1 の電流制限設定を十分上回っていることを確認します。フェライトコアのインダクタはコア損失が比較的小さく、スイッチング周波数が高い場合に好まれますが、飽和特性が高く、飽和電流を超過するとインダクタンスが急激に低下します。その結果、インダクタのリップル電流が急激に増加し、出力電圧リップルも上昇するため、効率は低下し、信頼性も損なわれます。一般的に、インダクタの飽和電流レベルはコア温度が上がるにつれて減少することに注意してください。一方、鉄粉コアのインダクタは飽和特性が低く、インダクタンスは電流とともに徐々に減少します。

7.2.2.4 出力コンデンサ (C_{OUT})

セラミック出力コンデンサを選択すると、コンバータ出力での容量性電圧リップルを制限します。これは、三角波インダクタ電流リップルからコンデンサに流入またはコンデンサから流出する正弦波リップル電圧です。式 21 を使用して出力容量を選択し、電圧リップル成分を出力電圧の 0.5% に制限します。

$$C_{OUT} = \frac{\Delta I_L}{8 \times F_{SW} \times V_{OUT(ripple)}} \quad (21)$$

$\Delta I_{L(nom)}$ に $447mA$ を代入すると、 C_{OUT} は $3\mu F$ よりも大きくなります。セラミック コンデンサの電圧係数を考慮して、X7R 誘電体の $22\mu F$ 、 $25V$ 定格のコンデンサを選択します。

7.2.2.5 入力コンデンサ (C_{IN})

入力コンデンサは、スイッチ サイクルごとに降圧出力段に AC 電流を供給しながら、入力リップル電圧を制限する必要があります。スイッチング ループの寄生インダクタンスを最小化するため、入力コンデンサを LM5164-Q1 の VIN ピンと GND ピンにできるだけ近くに配置します。入力コンデンサは、出力電流に等しいピークツーピーク振幅の方形波電流を導通します。この結果、AC リップル電圧の合成容量成分は三角波になります。

ESR 関連のリップル成分と合わせて、ピークツーピークリップル電圧の振幅を計算するには、式 22 を使用します。

$$V_{IN(ripple)} = \frac{I_{OUT} \times D \times (1 - D)}{C_{IN} \times F_{SW}} + I_{OUT} \times R_{ESR} \quad (22)$$

入力電圧リップル仕様 (ΔV_{IN}) に基づいて、負荷電流に必要な入力容量を計算するには、式 23 を使用します。

$$C_{IN} \geq \frac{I_{OUT} \times D \times (1 - D)}{F_{SW} \times (V_{IN(ripple)} - (I_{OUT} \times R_{ESR}))} \quad (23)$$

推奨される高周波入力容量は $2.2\mu\text{F}$ 以上です。入力コンデンサは、 C_{IN} に対して十分な電圧定格を持つ、高品質なセラミックコンデンサ (**X7S** または **X7R**) を使用してください。セラミックコンデンサの電圧係数に基づき、最大入力電圧の 2 倍の電圧定格を選択してください。また、**LM5164-Q1** が入力電圧源から約 5cm 以上離れている場合は、多少のバルク容量が必要になる場合があります。このコンデンサにより、電源ラインの寄生インダクタンスと高品質セラミックに関する共振に対する並列ダンピングが実現します。「[電源に関する推奨事項](#)」セクションもご覧ください。

7.2.2.6 タイプ 3 リップルネットワーク

タイプ 3 リップル生成回路では、 SW および V_{OUT} にわたる R_A と C_A で構成される RC フィルタを使用して、インダクタ電流と位相が一致する三角波ランプを生成します。この三角波ランプは、コンデンサ C_B を使用して帰還ノードに AC 結合されます。この詳細を [図 7-1](#) に示します。タイプ 3 リップル注入は、出力電圧リップルが小さいアプリケーション用に設計されています。

[式 24](#) と [式 25](#) を使用して R_A および C_A を計算し、FB ピンで必要なリップル振幅を得ることができます。

$$C_A \geq \frac{10}{f_{SW} \times (R_{FB1} + R_{FB2})} \quad (24)$$

図 7-1 の帰還抵抗値について、[式 24](#) では C_A の最小値を 742pF と決定します。この設計では、 3300pF のコンデンサを選択しています。これは、[式 25](#) の使用時に、 R_A を $100\text{k}\Omega$ と $1\text{M}\Omega$ の間の実用的な制限値内に維持するために行われます。

$$R_A C_A \leq \frac{t_{ON(nom)} \times (V_{IN - nom} - V_{OUT})}{20\text{mV}} \quad (25)$$

3.3nF に設定された C_A に基づく計算で、 R_A は $453\text{k}\Omega$ となり、FB に 20mV のリップル電圧を供給します。タイプ 3 ネットワークの一般的な推奨事項は、標準的な動作条件で 20mV のリップル電圧を得られる R_A および C_A の値を計算して、最小の V_{IN} で FB に 12mV の最小リップル電圧を確保することです。

生成されるリップルの振幅は出力電圧リップルに影響を与えませんが、生成されるリップル振幅の約半分の DC 誤差が反映されるため、出力レギュレーションには影響があります。たとえば、タイプ 3 ネットワークを使用し、帰還ノードで 40mV のリップル電圧を生成するコンバータ回路では、FB 分圧器で V_{OUT} にスケールアップされる負荷レギュレーションが、FB で 20mV を生成する同じ回路と比較すると約 10mV 悪化します。[式 26](#) を使用してカップリング容量 C_B を計算します。

$$C_B \geq \frac{t_{TR-settling}}{3 \times R_{FB1}} \quad (26)$$

ここで、

- $t_{TR-settling}$ は、目標とする負荷過渡応答セトリングタイムです

C_B は、 $75\mu\text{s}$ のセトリングタイムに基づく計算で 56pF となります。この値により、軽負荷動作時に、スリープ間隔中に帰還抵抗による過剰なカップリングコンデンサ放電を防止できます。DC バイアスによる容量低下を回避するため、 C_B には $\text{C}0\text{G}$ または $\text{NP}0$ の誘電体コンデンサを使用してください。

7.2.3 アプリケーション曲線

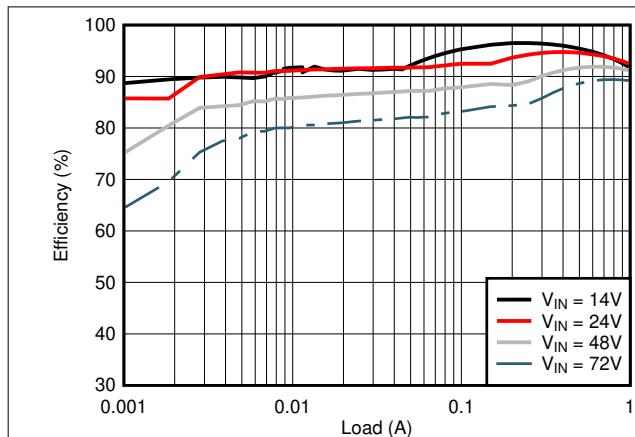


図 7-2. 変換効率(対数スケール)

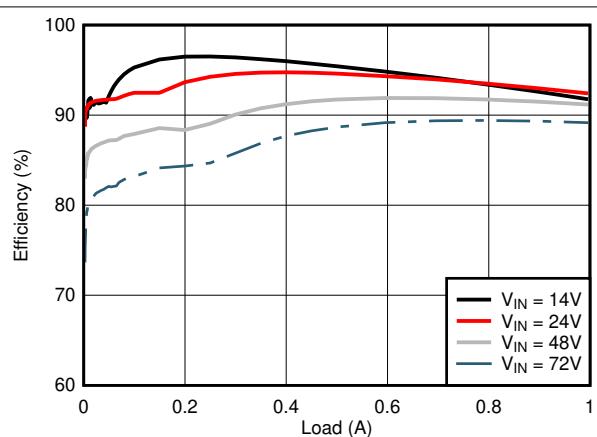


図 7-3. 変換効率 (リニア スケール)

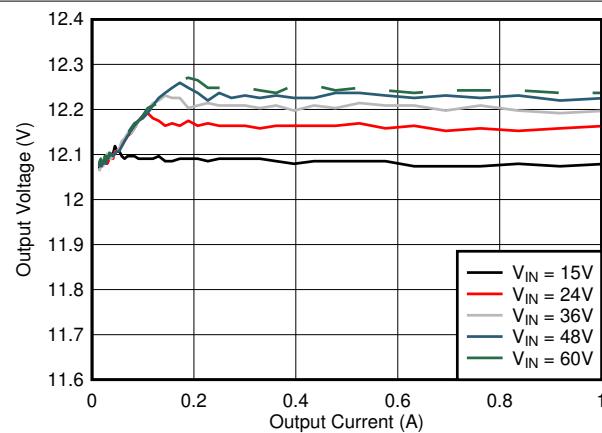


図 7-4. 負荷およびラインレギュレーションのパフォーマンス

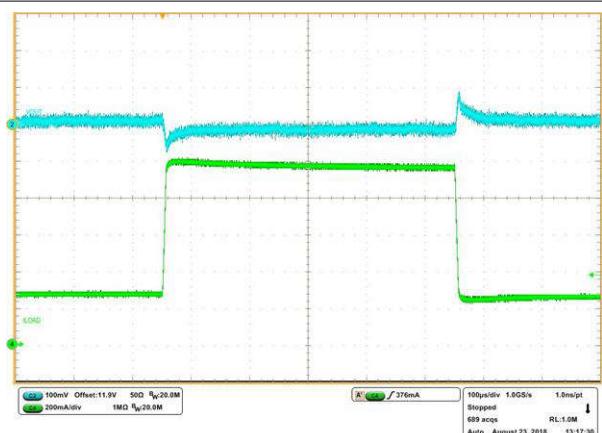


図 7-5. 負荷ステップ応答

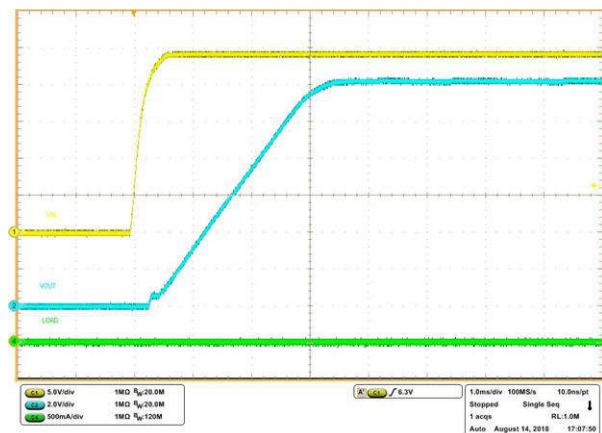


図 7-6 無電源時の VIN による起動

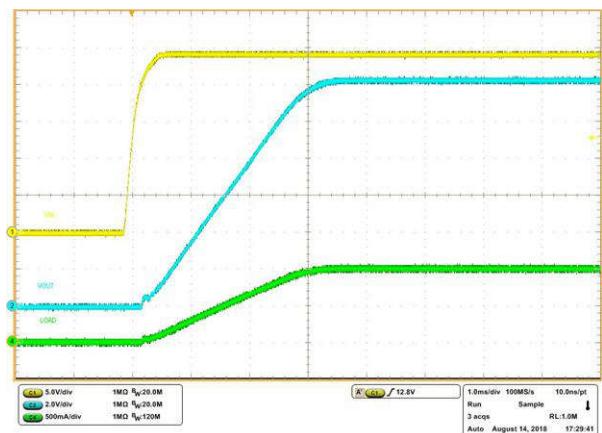
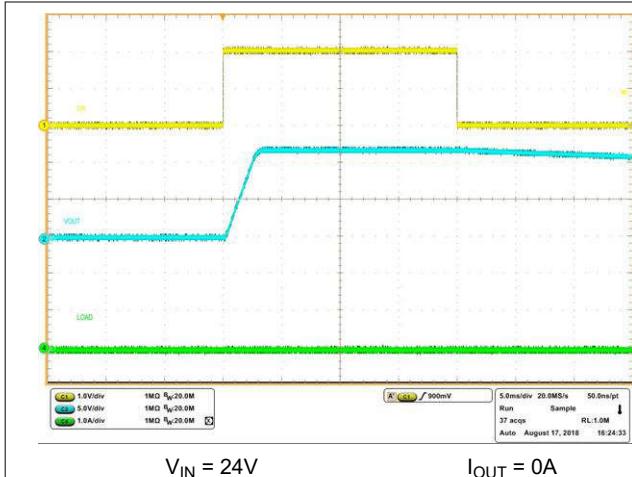


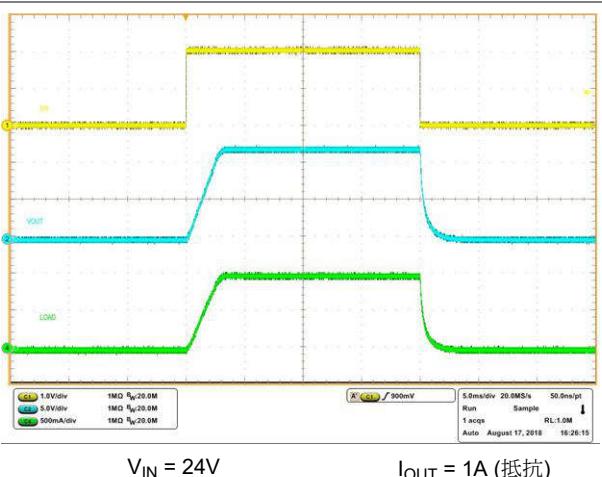
図 7-7 全負荷時の VIN による起動



$V_{IN} = 24V$

$I_{OUT} = 0A$

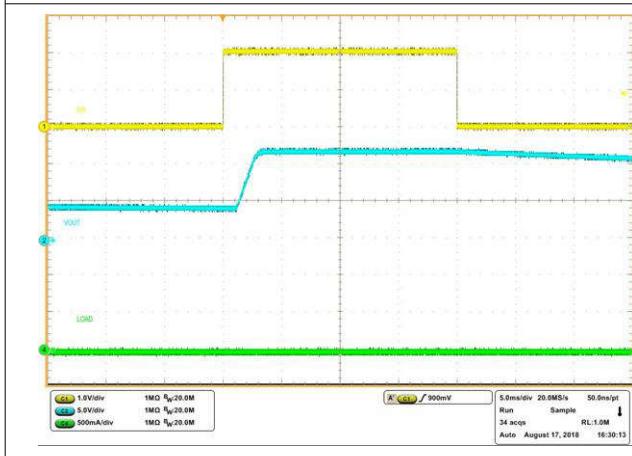
図 7-8. 無負荷時の EN/UVLO による起動とシャットダウン



$V_{IN} = 24V$

$I_{OUT} = 1A$ (抵抗)

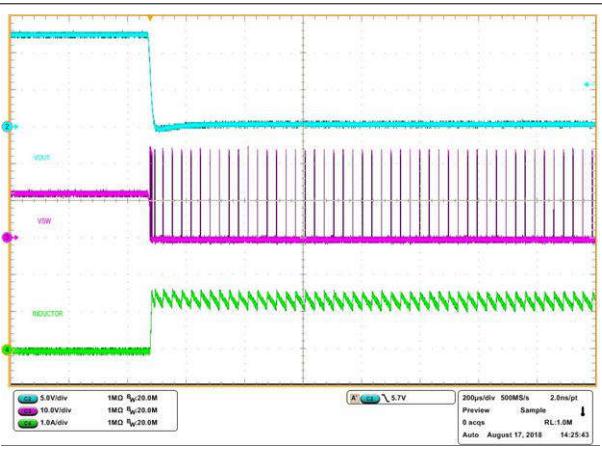
図 7-9. 全負荷時の EN/UVLO による起動とシャットダウン



$V_{IN} = 24V$

$I_{OUT} = 0A$

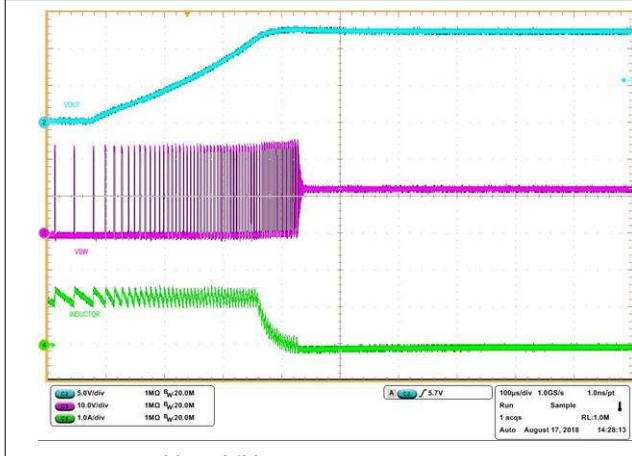
図 7-10. EN/UVLO によるプリバイアス起動



$V_{IN} = 24V$

負荷 = 0A から短絡まで

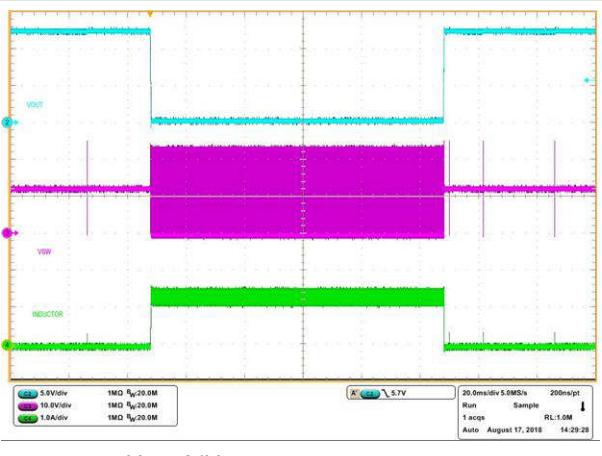
図 7-11. 短絡発生



$V_{IN} = 24V$

負荷 = 短絡から 0A まで

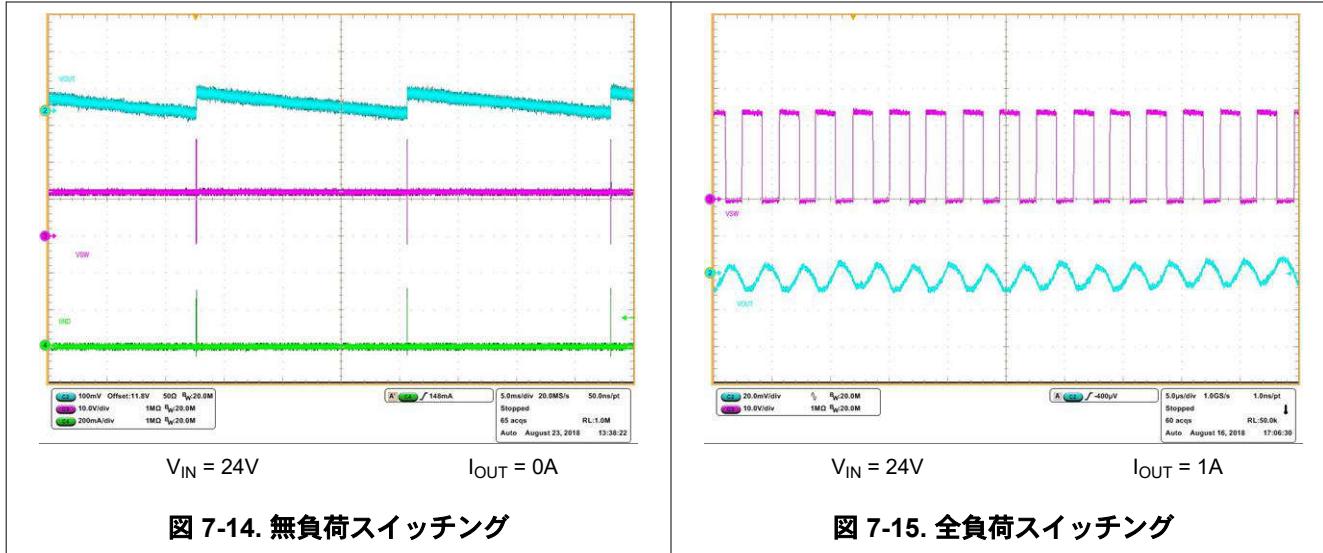
図 7-12. 短絡からの回復



$V_{IN} = 24V$

負荷 = 0A から短絡、短絡から 0A

図 7-13. 無負荷から短絡まで / 短絡からの回復



7.3 電源に関する推奨事項

LM5164-Q1 降圧コンバータは、6V ~ 100V の幅広い入力電圧範囲で動作するように設計されています。入力電源の特性は、表 [セクション 5.1](#) および [セクション 5.3](#) と互換性がある必要があります。また、入力電源は、全負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流を見積るには、[式 27](#) を使用します。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (27)$$

ここで、

- η は効率です。

コンバータが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。この回路は、入力電源がオンとオフを周期的に切り替わるたびに、VIN で過電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。コンバーターが最小入力電圧に近い値で動作している場合、この低下によって UVLO フォルトが誤って起動され、システムがリセットされる可能性があります。こうした問題を解決する最善策は、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム電解入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。標準 ESR が 0.5Ω の $10\mu F$ 電解コンデンサは、ほとんどの入力回路構成で十分な減衰を実現します。

レギュレータの前に EMI 入力フィルタを使用することがあります。ただし、設計に留意しなければ、これにより不安定な状態が起きる、または前述のような影響を及ぼすおそれがあります。『[DC/DC コンバータ向け伝導 EMI の簡単な成功事例 アプリケーションノート](#)』では、スイッチングレギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

PCB レイアウトは、優れた電源設計のために重要な要素です。高スルーレートの電流や電圧を伝導するパスが複数存在し、これらが浮遊インダクタンスや寄生容量と相互作用してノイズや EMI を生成したり、電源のパフォーマンスを低下させたりする可能性があります。

1. このような問題を排除するため、高品質誘電体を使用した低 ESR のセラミックコンデンサを使用して、VIN ピンを GND にバイパスします。C_{IN} を LM5164-Q1 の VIN ピンと GND ピンにできるだけ近づけて配置します。入力コンデンサと出力コンデンサの両方の接地は、GND ピンと GND PAD に接続する局所的な上側プレーンで構成する必要があります。
2. VIN および GND ピンへの入力コンデンサ接続によって形成されるループの面積を最小限に抑えます。
3. インダクタを SW ピンの近くに配置します。過度の容量性結合を防止するため、SW パターンまたはプレーンの面積を最小限に抑えます。
4. GND ピンはデバイスの下のパワーパッドに直接接続し、ヒートシンク PCB のグランドプレーンに接続します。
5. ノイズシールドおよび放熱経路として中間層の 1 つである層 2 (電力段の下) でグランドプレーンを使用します。
6. プレーンに対して単一点のグランド接続を使用します。フィードバック用のグランド接続 R_{ON} を配線し、コンポーネントをグランドプレーンに接続します。この設計により、スイッチングされた電流や負荷電流がアナロググランドパターンに流れのを防ぎます。グランドが適切に処理されないと、負荷レギュレーションが劣化したり、出力電圧リップルの動作が不安定になります。
7. V_{IN}、V_{OUT}、およびグランドバスの接続の幅はできる限り広く設定します。こうすることで、コンバータの入力または出力バスで生じる電圧降下が低減され、効率が最大になります。
8. FB ピンへのパターン長を最短にします。両方の帰還抵抗 R_{FB1} と R_{FB2} を FB ピンの近くに配置します。C_{FF} (必要な場合) を R_{FB1} と直接並列に配置します。負荷での出力設定ポイントの精度が重要な場合、V_{OUT} センスを負荷に接続します。V_{OUT} センスバスをノイズの多いノードから遠ざけ、できれば接地されたシールド層の反対側の層を経由して配線します。

9. R_{ON} ピンはノイズの影響を受けやすくなっています。そのため、R_{RON} 抵抗はデバイスにできる限り近づけて配置し、最短のパターン長で配線します。RON から GND への寄生容量は、20pF を超えないようにする必要があります。
10. 接合部温度を 150°C 未満に維持するために、LM5164-Q1 には十分なヒートシンクを用意してください。全定格負荷で動作する場合、上面のグランドプレーンは重要な放熱面積になります。ヒートシンクビアの配列を使用して、露出パッドを PCB グランドプレーンに接続します。PCB に複数の銅層がある場合は、これらのサーマルビアも内部層の熱拡散グランドプレーンに接続する必要があります。

7.4.1.1 コンパクトな PCB レイアウトによる EMI の低減

高 di/dt コンポーネントによって生成される放射 EMI は、スイッチングコンバータのパルス電流に関連しています。パルス電流の経路がカバーする面積が大きいほど、より多くの電磁放射が発生します。放射 EMI を最小化するための鍵は、パルス電流経路を識別し、そのパスの面積を最小化することです。

図 7-16 は、EMI という観点からの降圧コンバータ電力段の重要なスイッチングループを表します。降圧コンバータのトポロジーアーキテクチャでは、入力コンデンサと LM5164-Q1 の統合 MOSFET で構成されるループに特に高い di/dt 電流パスが存在するため、有効ループ領域を最小限に抑えてこのループの寄生インダクタンスを減らすことが必須になります。

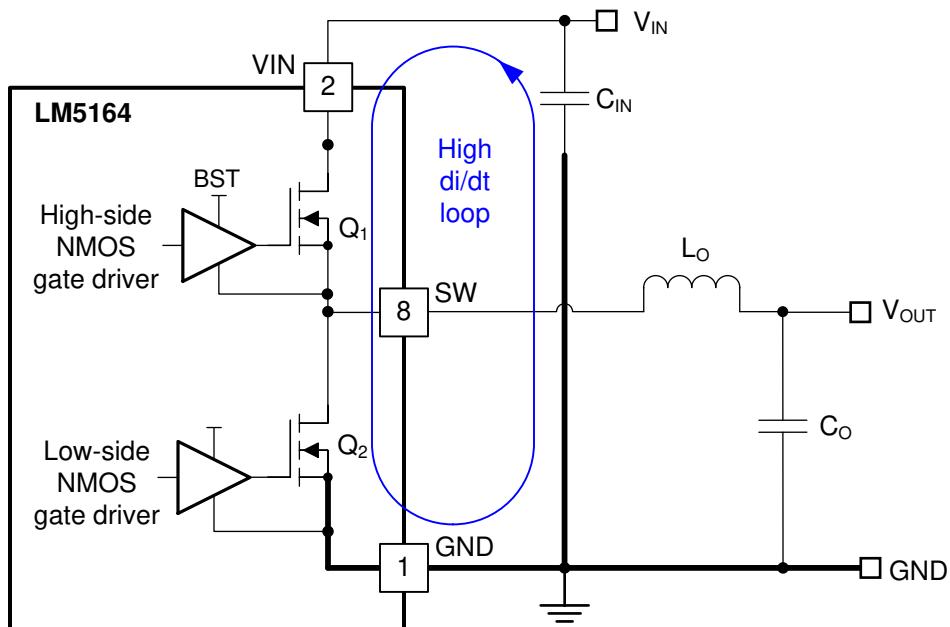


図 7-16. DC/DC 降圧コンバータ、電力段回路スイッチングループ付き

入力コンデンサは、ハイサイド MOSFET の電流の高 di/dt 成分に対してプライマリパスとなります。セラミックコンデンサを V_{IN} および GND ピンにできる限り近づけて配置することが、EMI 低減のために重要となります。SW をインダクタに接続するトレースは、できる限り短くし、過度の加熱なしに負荷電流を流すのに十分な幅にしてください。寄生抵抗を最小限に抑えるため、電流の伝導パスには、短く、太いパターン、または銅箔(形状)を使用します。出力コンデンサはインダクタの V_{OUT} 側の近くに配置し、コンデンサのリターン端子を LM5164-Q1 の GND ピンと露出パッドに接続します。

7.4.1.2 帰還抵抗

分圧抵抗を負荷ではなく FB ピン近くに配置することで、出力電圧帰還パスのノイズの影響を小さくします。これにより、FB 信号とノイズ結合のパターン長が短くなります。FB ピンは帰還コンパレータへの入力であるため、ノイズの影響を受けやすい高インピーダンスノードです。出力ノードは低インピーダンスノードであるため、V_{OUT} から分圧抵抗へのパターンは、短いパスを使用できなければ長くても許容されます。

電圧センストレースを負荷からフィードバック抵抗分割器まで配線し、SW ノード、インダクタ、および V_{IN} から離して、フィードバック信号がスイッチ ノイズによって汚染されるのを防ぎながら、トレース長を最小限に抑えます。出力電圧を設定するためには $100\text{k}\Omega$ より大きな帰還抵抗を使う場合、これは最も重要です。また、電圧センスパターンは、インダクタ、SW ノード、 V_{IN} とは異なる層に配線します。そのため、帰還パターンをインダクタと SW ノードの銅ポリゴンから分離するグランドプレーンがあります。この動作により、スイッチングノイズ源からの電圧帰還パスをさらにシールドできます。

7.4.2 レイアウト例

図 7-17 に、PCB 上層に 2 層基板を使用し、重要な部品を上面に配置したレイアウト例を示します。

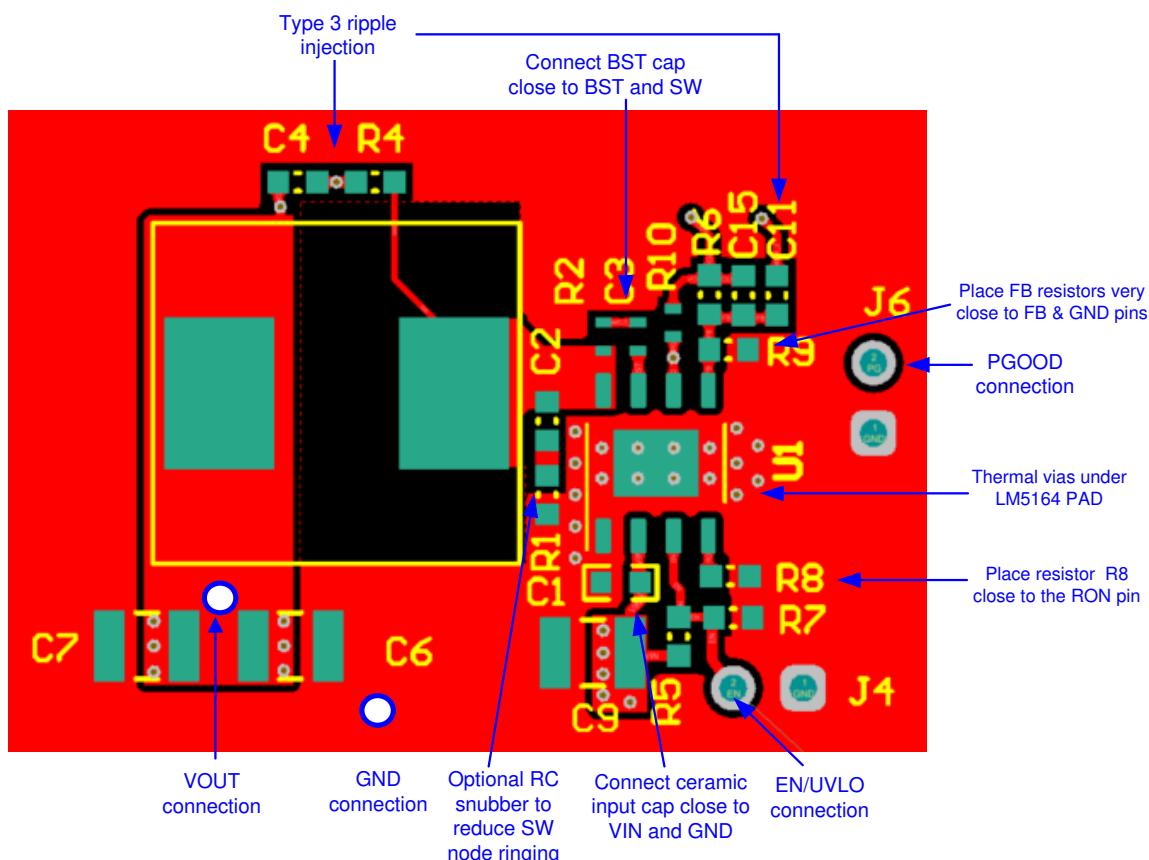


図 7-17. LM5164-Q1 片面 PCB レイアウトの例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.1.2 開発サポート

- [LM5164-Q1 クイックスタート カリキュレータ](#)
- [LM5164-Q1 シミュレーション モデル](#)
- [テキサス・インスツルメンツのリファレンス デザイン ライブラリ](#)
- 寄稿記事:
 - [高電圧変換に低静止電流スイッチャを使用](#)
 - [DC/DC コンバータのパッケージとピン配置設計により車載 EMI 性能を向上させる方法](#)

8.1.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM5164-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[LM5164-Q1EVM-041 EVM ユーザー ガイド](#)
- テキサス・インスツルメンツ、『[COT 降圧コンバータに最適なリップル生成ネットワークの選択](#)』アプリケーション ノート
- テキサス・インスツルメンツ、[コスト効率が高く要求の厳しいアプリケーションにおける広い \$V_{IN}\$ 、低 EMI 同期降圧回路の評価ホワイトペーパー](#)
- テキサス・インスツルメンツ、『[電源の伝導 EMI 仕様の概要](#)』ホワイトペーパー
- テキサス・インスツルメンツ、『[電源の放射 EMI 仕様の概要](#)』ホワイトペーパー
- テキサス・インスツルメンツ、『[スマートサーモスタート用の広い \$V_{IN}\$ コンバータとバッテリ残量計を備えた 24V AC 電力段](#)』デザイン ガイド
- テキサス・インスツルメンツ、『[高精度ゲージ、50µA スタンバイ電流、13S、48V リチウムイオンバッテリー パック](#)』リファレンス デザイン ガイド

- テキサス・インスツルメンツ、『AN-2162: 『DC/DC コンバータ向け伝導EMI の簡単な成功事例』アプリケーション ノート
- テキサス・インスツルメンツ、『車載用クランキングシミュレータ』ユーザー ガイド
- テキサス・インスツルメンツ、『広い V_{IN} DC/DC コンバータによるドローンへの電力供給』アプリケーション ノート
- テキサス・インスツルメンツ、『新しい熱評価基準の解説』アプリケーション ノート
- テキサス・インスツルメンツ、『半導体およびIC パッケージの熱評価基準』アプリケーション ノート

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2024) to Revision C (September 2025)	Page
• $R_{\Theta JA}$ 、 $R_{\Theta JC(\text{top})}$ 、 $R_{\Theta JB}$ 、 Ψ_{JT} 、 Ψ_{JB} 、 $R_{\Theta JC(\text{bot})}$ の熱評価基準を更新.....	6
• FMX A&T サイトのデバイスのサーマル パッド サイズ寸法、推奨されるランド パターン、ステンシルを追加.....	30

Changes from Revision A (March 2019) to Revision B (April 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• t_{ON2} を 650ns から 1650ns に修正.....	6

10 メカニカル、パッケージ、および注文情報

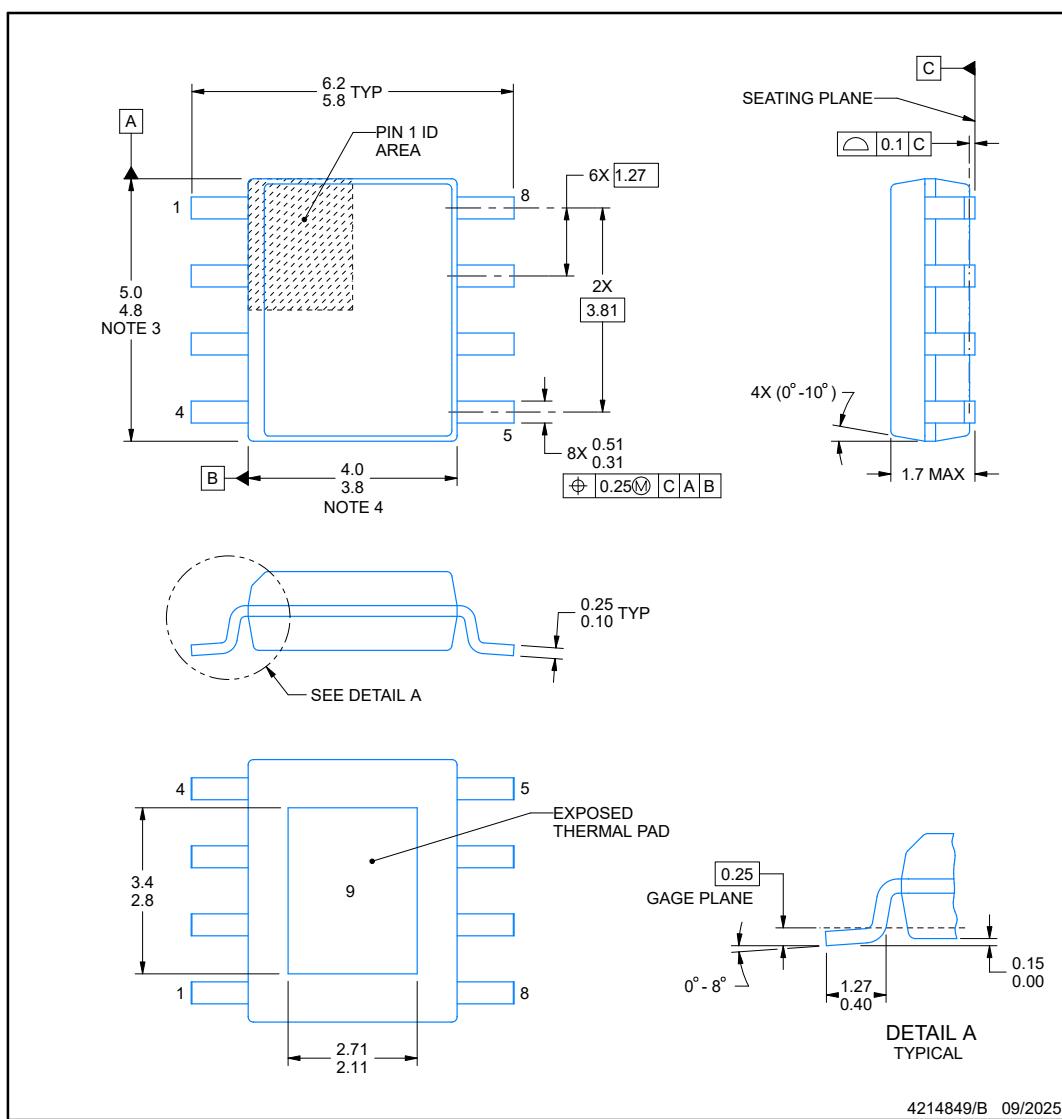
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

DDA0008B



PACKAGE OUTLINE
PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MS-012.

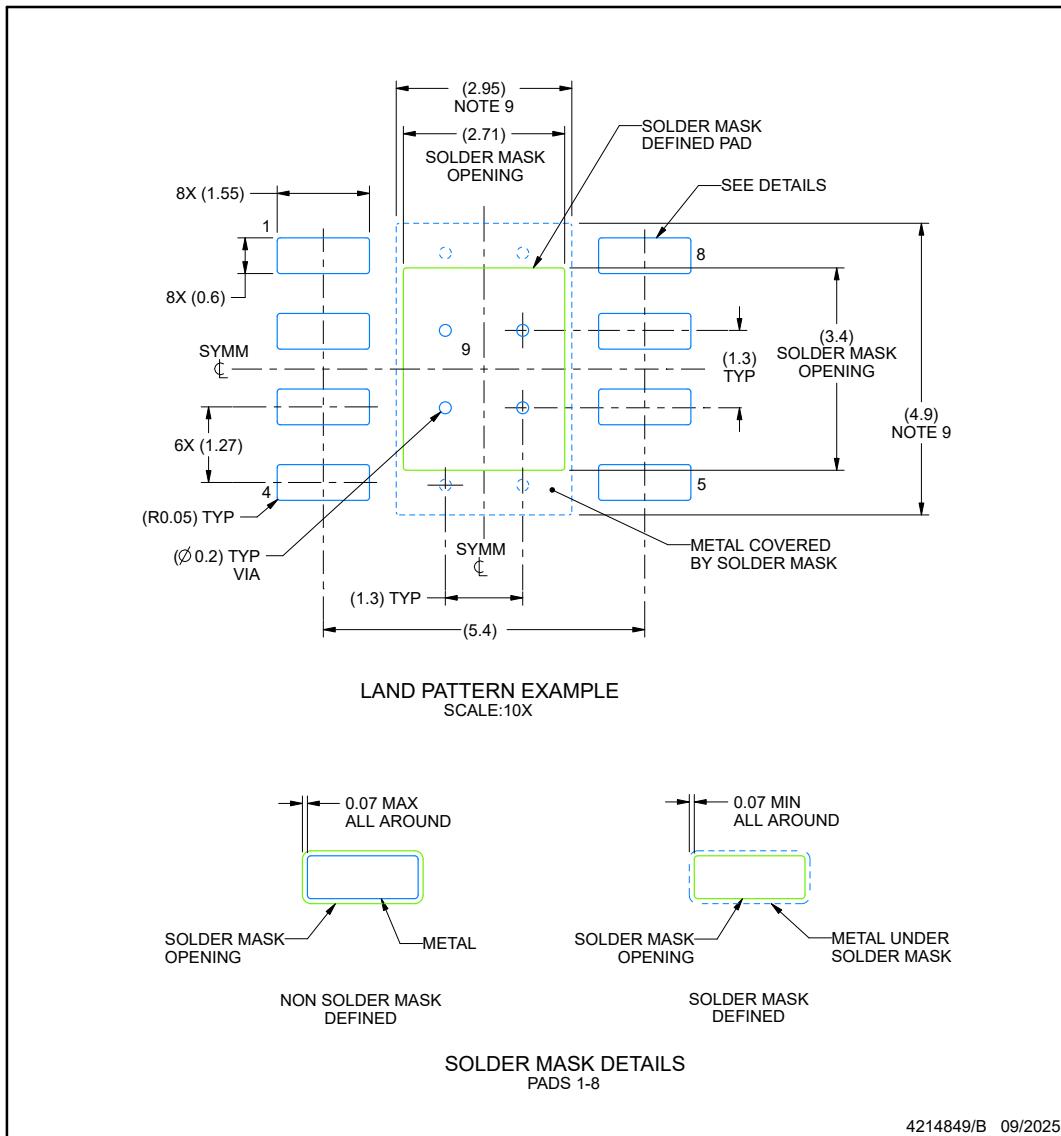
PowerPAD is a trademark of Texas Instruments.

EXAMPLE BOARD LAYOUT

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4214849/B 09/2025

NOTES: (continued)

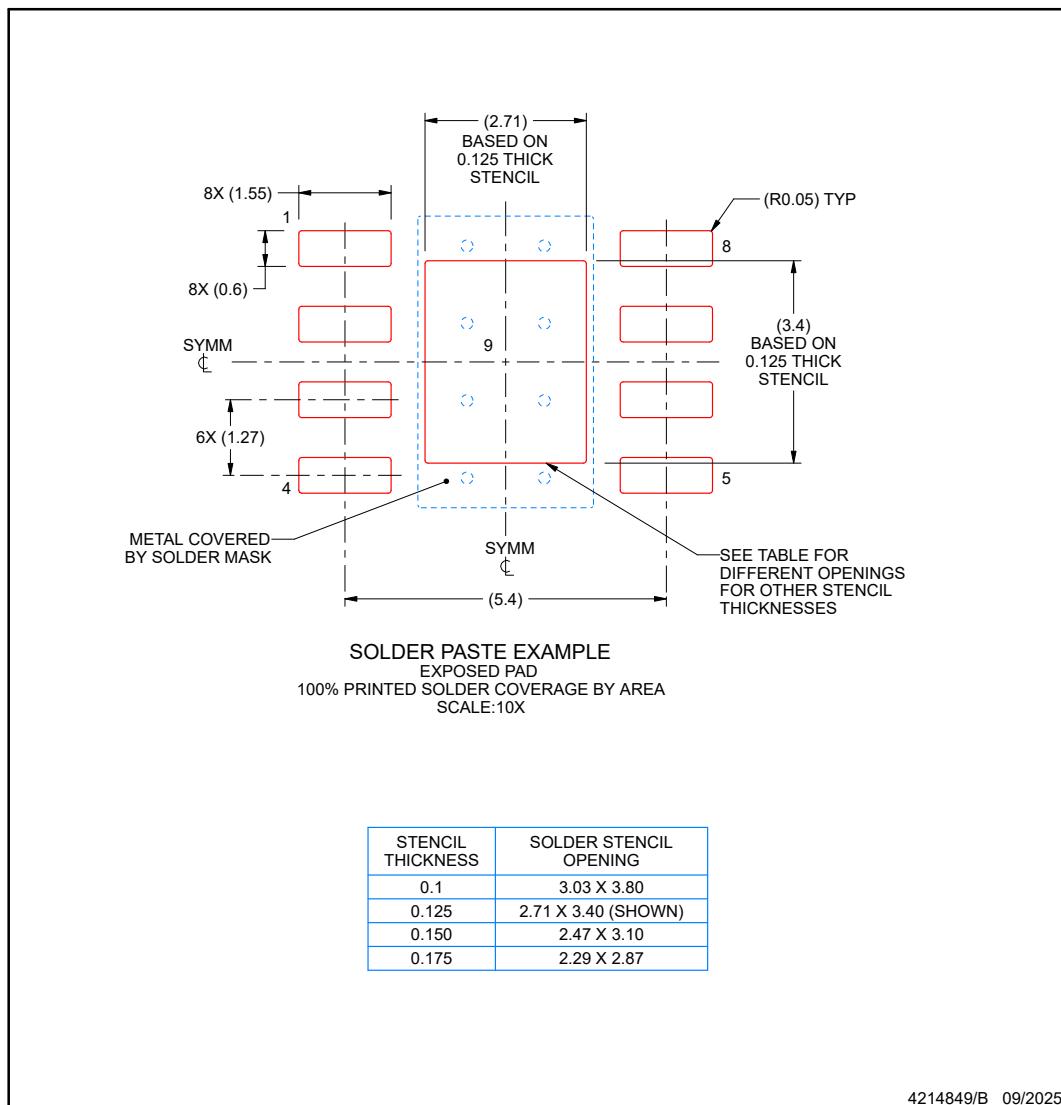
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



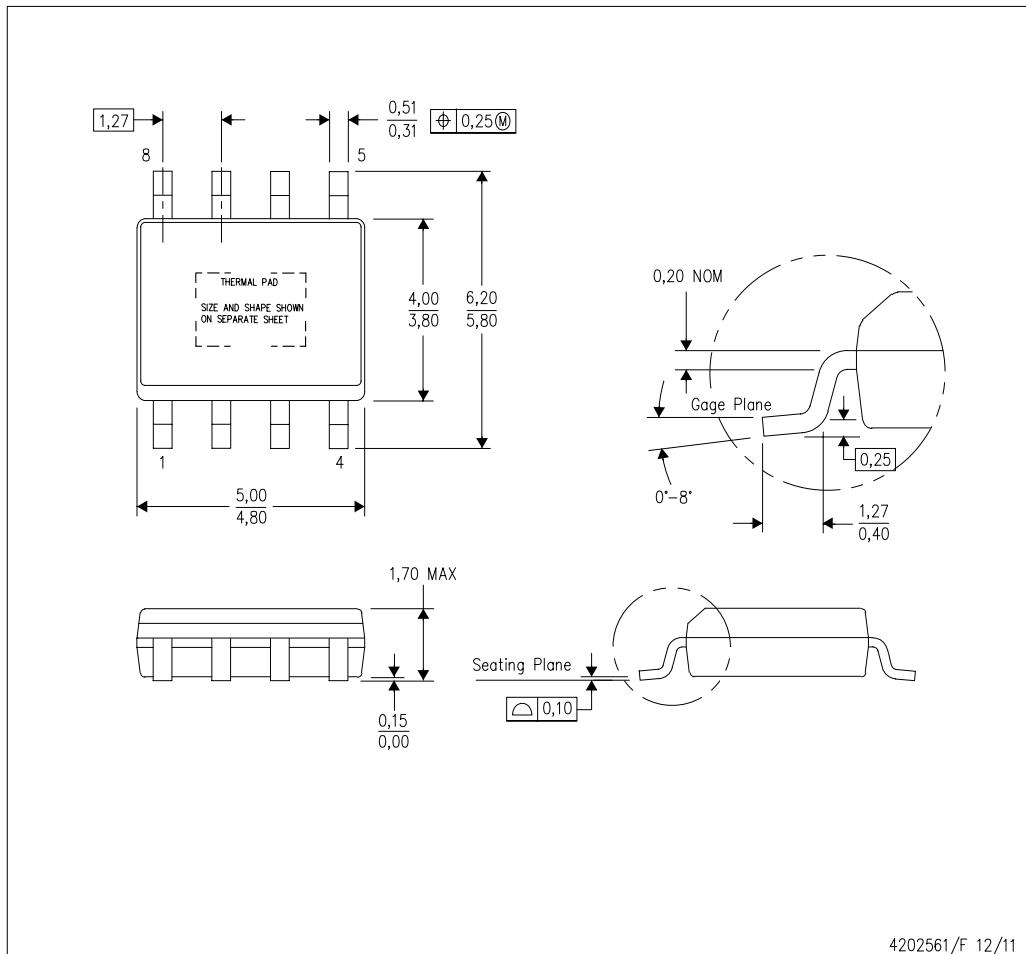
NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

DDA (R-PDSO-G8)

PowerPAD™ PLASTIC SMALL-OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5-1994.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 - D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at www.ti.com.
 - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - F. This package complies to JEDEC MS-012 variation BA

PowerPAD is a trademark of Texas Instruments.

THERMAL PAD MECHANICAL DATA

DDA (R-PDSO-G8)

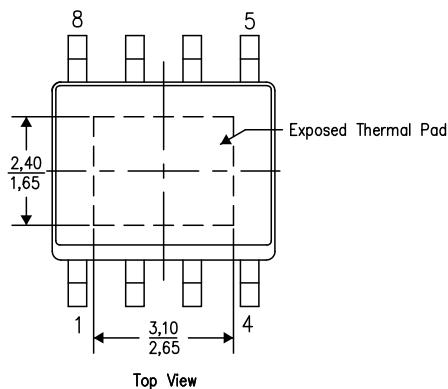
PowerPAD™ PLASTIC SMALL OUTLINE

THERMAL INFORMATION

This PowerPAD™ package incorporates an exposed thermal pad that is designed to be attached to a printed circuit board (PCB). The thermal pad must be soldered directly to the PCB. After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For additional information on the PowerPAD package and how to take advantage of its heat dissipating abilities, refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 and Application Brief, PowerPAD Made Easy, Texas Instruments Literature No. SLMA004. Both documents are available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Exposed Thermal Pad Dimensions

4206322-6/L 05/12

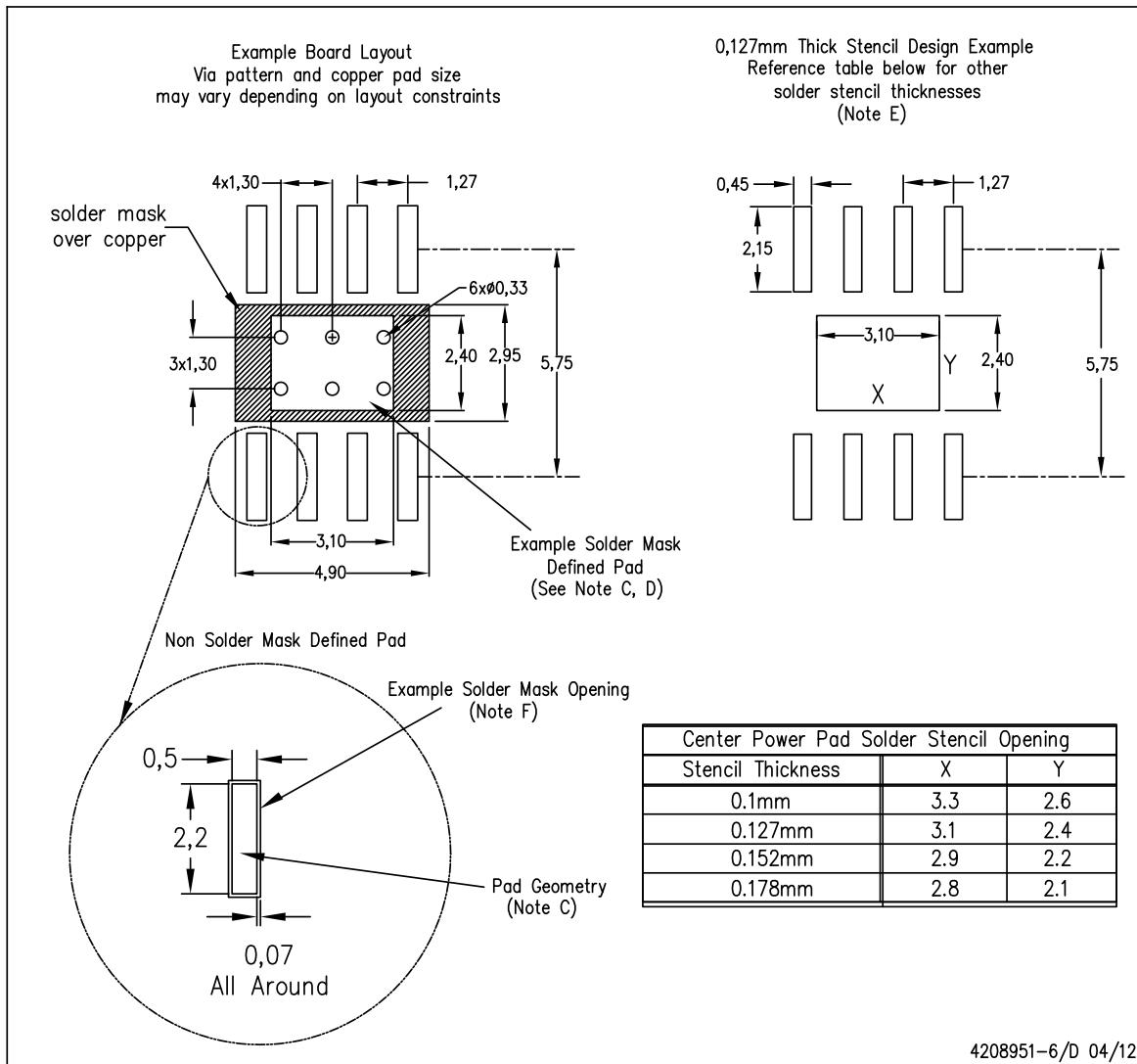
NOTE: A. All linear dimensions are in millimeters

PowerPAD is a trademark of Texas Instruments

LAND PATTERN DATA

DDA (R-PDSO-G8)

PowerPAD™ PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002, SLMA004, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>. Publication IPC-7351 is recommended for alternate designs.
 - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - F. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PowerPAD is a trademark of Texas Instruments.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM5164QDDARQ1	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	L5164Q
LM5164QDDARQ1.A	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	L5164Q
LM5164QDDATQ1	Active	Production	SO PowerPAD (DDA) 8	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	L5164Q
LM5164QDDATQ1.A	Active	Production	SO PowerPAD (DDA) 8	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	L5164Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a " ~ " will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

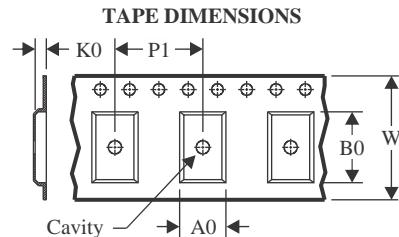
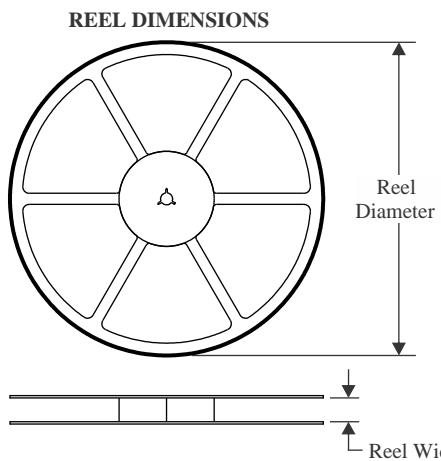
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM5164-Q1 :

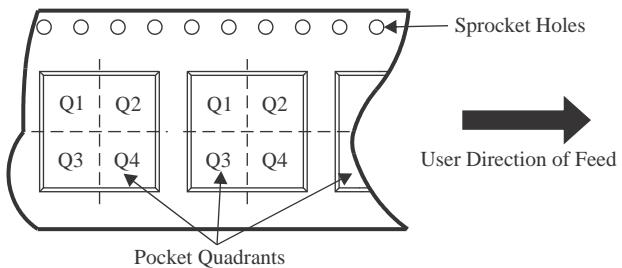
- Catalog : [LM5164](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

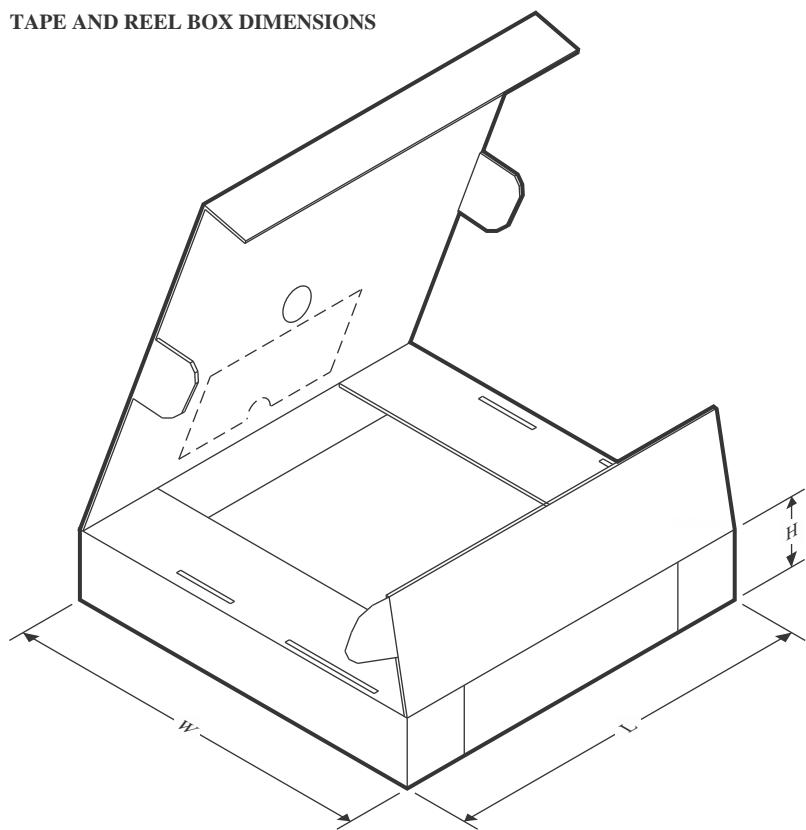
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM5164QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
LM5164QDDATQ1	SO PowerPAD	DDA	8	250	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


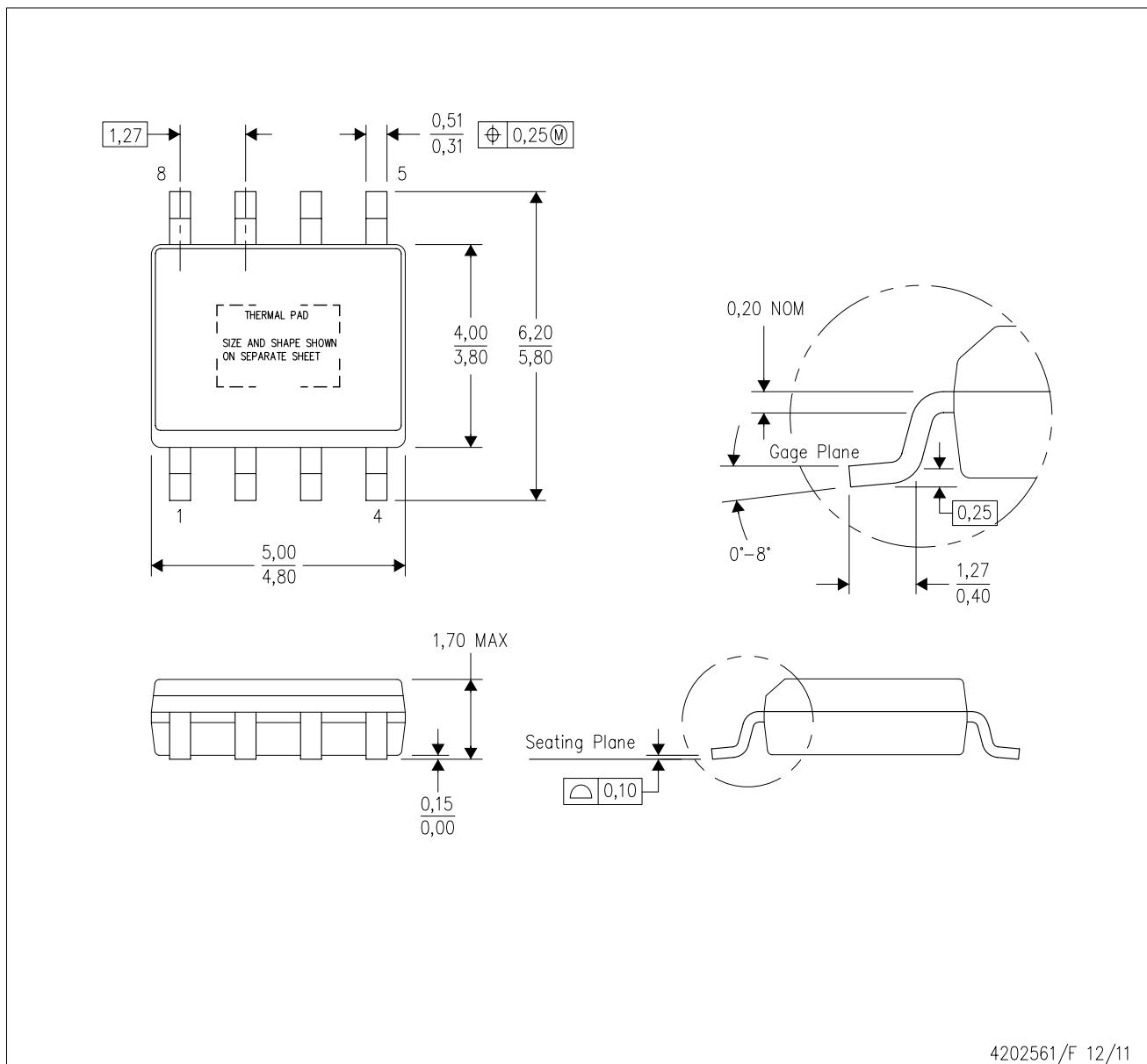
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM5164QDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
LM5164QDDATQ1	SO PowerPAD	DDA	8	250	366.0	364.0	50.0

MECHANICAL DATA

DDA (R-PDSO-G8)

PowerPAD™ PLASTIC SMALL-OUTLINE



4202561/F 12/11

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5-1994.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 - D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at www.ti.com <<http://www.ti.com>>.
 - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - F. This package complies to JEDEC MS-012 variation BA

PowerPAD is a trademark of Texas Instruments.

THERMAL PAD MECHANICAL DATA

DDA (R-PDSO-G8)

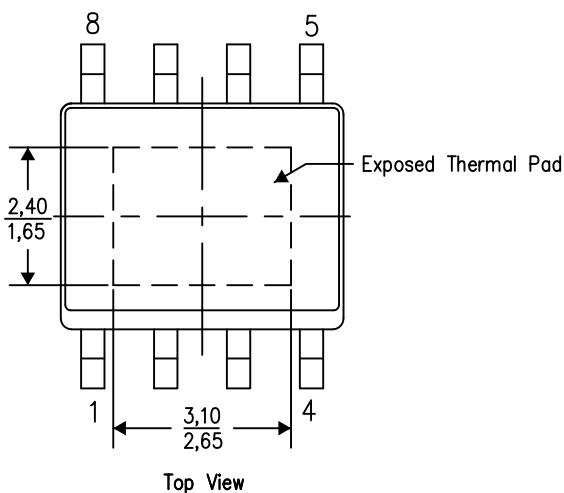
PowerPAD™ PLASTIC SMALL OUTLINE

THERMAL INFORMATION

This PowerPAD™ package incorporates an exposed thermal pad that is designed to be attached to a printed circuit board (PCB). The thermal pad must be soldered directly to the PCB. After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For additional information on the PowerPAD package and how to take advantage of its heat dissipating abilities, refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 and Application Brief, PowerPAD Made Easy, Texas Instruments Literature No. SLMA004. Both documents are available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Exposed Thermal Pad Dimensions

4206322-6/L 05/12

NOTE: A. All linear dimensions are in millimeters

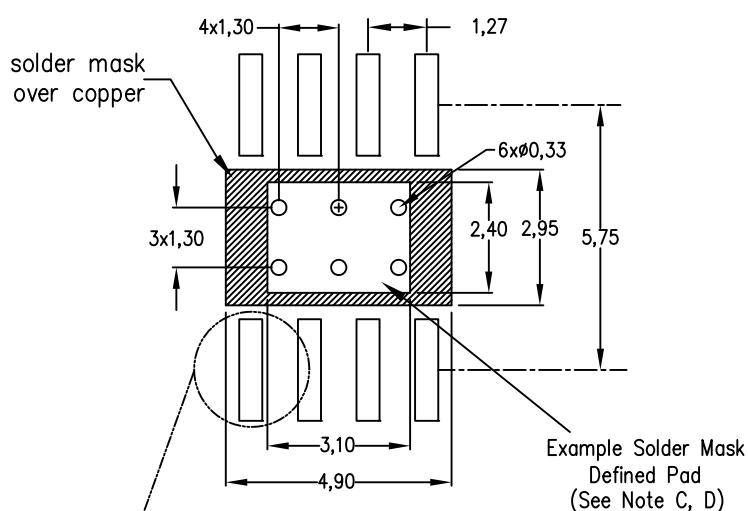
PowerPAD is a trademark of Texas Instruments

LAND PATTERN DATA

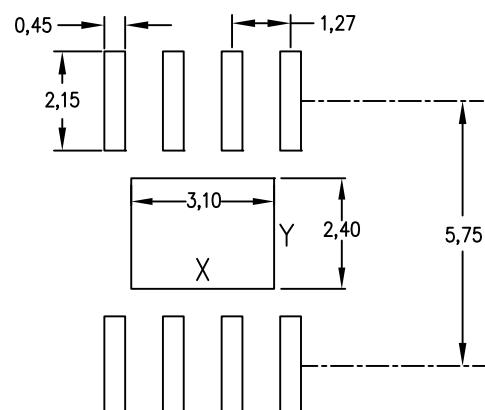
DDA (R-PDSO-G8)

PowerPAD™ PLASTIC SMALL OUTLINE

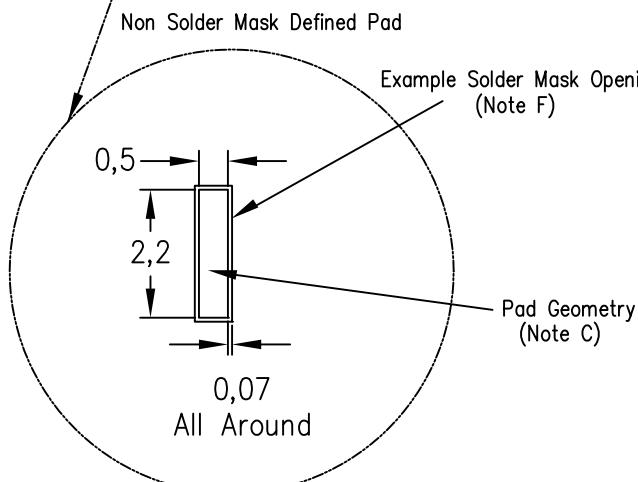
Example Board Layout
Via pattern and copper pad size
may vary depending on layout constraints



0,127mm Thick Stencil Design Example
Reference table below for other
solder stencil thicknesses
(Note E)



Example Solder Mask
Defined Pad
(See Note C, D)



Example Solder Mask Opening
(Note F)

Center Power Pad Solder Stencil Opening		
Stencil Thickness	X	Y
0.1mm	3.3	2.6
0.127mm	3.1	2.4
0.152mm	2.9	2.2
0.178mm	2.8	2.1

4208951-6/D 04/12

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002, SLMA004, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>. Publication IPC-7351 is recommended for alternate designs.
 - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - F. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PowerPAD is a trademark of Texas Instruments.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月