LM5125-Q1、広い入力電圧範囲、2 相、車載用昇圧コントローラ V_{OUT} トラッキング

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
  - 温度グレード 1：T_A = –40℃～+125℃
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 入力電圧：4.5V～42V
  - $V_{(BIAS)}$ ≧ 4.5V または V_{OUT} ≧ 6V について最低 2.5V
- 出力電圧 6V～60V
  - 精度 2%、内部帰還抵抗
  - V_I > V_{OUT} のときバイパス動作
  - 動的出力電圧追跡
    - デジタル PWM トラッキング (DTRK)
    - アナログ トラッキング (ATRK)
  - 過電圧保護 (64V、50V、35V、28.5V)
- 低シャットダウン：I_Q 2μA
- 低動作 I_Q：1.4mA
- スイッチング周波数：100kHz～2.2MHz
  - 外部クロックへの同期 (SYNCIN)
  - スイッチング モードを動的に選択可能 (FPWM、ダイオード エミュレーション)
  - スペクトラム拡散 (DRSS)
- 選択可能なデッドタイム (14ns～200ns)
- 電流センス抵抗、または DCR センシング
- 平均インダクタ電流モニタ
- 平均入力電流制限
  - プログラム可能な電流制限
  - 選択可能な遅延時間
- パワー グッド インジケータ
- プログラム可能な V_I 低電圧誤動作防止 (UVLO)
- ウェッタブル フランク付きリードレス VQFN-32 パッケージ

2 アプリケーション

- ハイエンド オーディオ電源
- 電圧安定化モジュール
- スタート ストップ アプリケーション

3 概要

LM5125-Q1 は、2 相の同期整流昇圧コントローラで、。このデバイスは、より低い入力電圧または等しい入力電圧に対してレギュレートされた出力電圧を供給し、消費電力を節約するため、V_I から V_{OUT} のバイパス モードにも対応しています。

アナログまたはデジタルの ATRK/DTRK 機能 を使用して V_{OUT} を動的にプログラムできます。V_{BIAS} が 4.5V 未満のときは内部 VCC 電源が自動的に V_{BIAS} から V_{OUT} に切り替わるため、スタートアップ後 V_I を最低 2.5V までサポートされます。固定スイッチング周波数は、RT ピンに接続された抵抗または SYNCIN クロックを使用して、100kHz と 2.2MHz の間に設定されます。スイッチング モード、FPWM、またはダイオード エミュレーションは、動作中に変更できます。

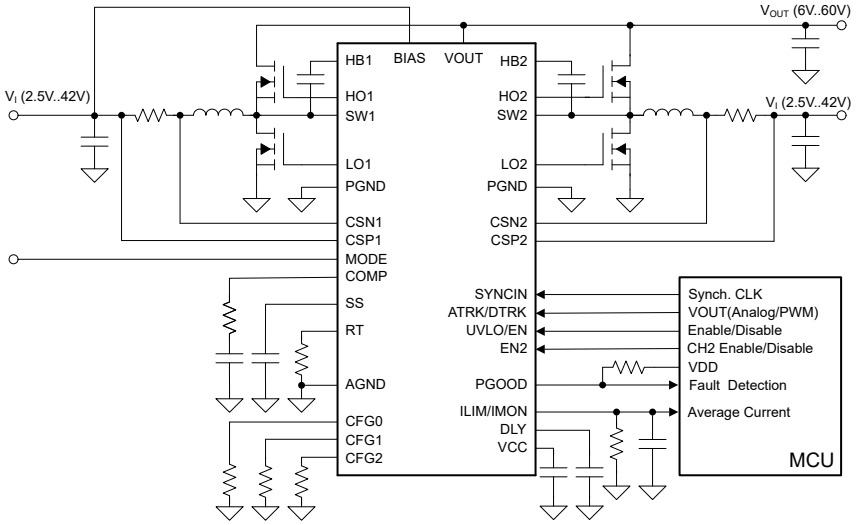
実装されている保護機能、ピーク電流制限、平均入力電流制限、平均インダクタ電流のモニタ、過電圧および低電圧保護、およびサーマル シャットダウンにより、デバイスおよびアプリケーションを保護します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LM5125-Q1	RHB (VQFN、32)	5mm × 5mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージサイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



の代表的なアプリケーション

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....4
5 仕様.....6
5.1 絶対最大定格.....6
5.2 ESD 定格.....6
5.3 推奨動作条件.....7
5.4 熱に関する情報.....7
5.5 電気的特性.....7
5.6 タイミング要件.....13
5.7 Typical Characteristics.....13
6 詳細説明.....17
6.1 概要.....17
6.2 機能ブロック図.....18
6.3 機能説明.....19
6.4 デバイスの機能モード.....34
7 アプリケーションと実装.....35
7.1 アプリケーション情報.....35
7.2 代表的なアプリケーション.....37
7.3 電源に関する推奨事項.....54
7.4 レイアウト.....55
8 デバイスおよびドキュメントのサポート.....57
8.1 ドキュメントのサポート.....57
8.2 ドキュメントの更新通知を受け取る方法.....57
8.3 サポート・リソース.....57
8.4 商標.....57
8.5 静電気放電に関する注意事項.....57
8.6 用語集.....57
9 改訂履歴.....57
10 メカニカル、パッケージ、および注文情報.....57

4 ピン構成および機能

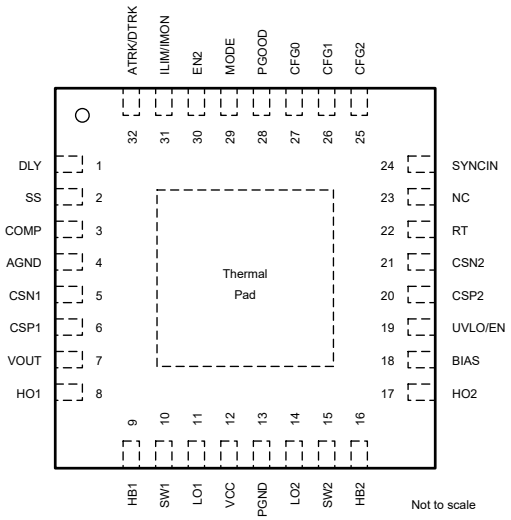


図 4-1. LM5125-Q1 RHB パッケージ、32 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		種類[1]	説明
名称	番号		
DLY	1	O	平均入力電流制限遅延設定ピン。DLY と AGND の間にコンデンサを接続することで、V_{IMON} が 1V に達したときから平均入力電流制限が有効になるまでの遅延が設定されます。
SS	2	O	ソフトスタート時間のプログラミング ピン。外付けコンデンサと内部の電流ソースにより、ソフトスタート中の内部エラー アンプのリファレンス電圧のランプ レートが設定されます。デバイスは、ソフト スタート時間中にダイオード エミュレーションを強制的に実行します。
COMP	3	O	内部の相互コンダクタンス エラー アンプの出力。ピンと AGND との間にループ補償部品を接続します。
AGND	4	G	アナログ グランド ピン。広く短いパスを通して、アナログ グランド プレーンに接続します。
CSN1	5	I	位相 1 の電流検出アンプ入力。このピンは負の入力ピンとして動作します。
CSP1	6	I	位相 1 の電流検出アンプ入力。このピンは正の入力ピンとして動作します。内部 V_I 低電圧誤動作防止回路の電源。
VOUT	7	P	出力電圧検出ピン。内部の帰還抵抗分圧器をピンと AGND との間に接続します。0.1μF のローカル VOUT コンデンサを、ピンとグランドとの間に接続します。
HO1	8	O	位相 1 のハイサイド ゲートドライバ出力。短い低インダクタンスのパスを経由して、ハイサイド N チャネル MOSFET のゲートに接続します。
HB1	9	P	位相 1 のブートストラップ ゲート駆動のハイサイド ドライバ電源。ブート ダイオードは内部で VCC からこのピンに接続されます。このピンと SW1 との間に、0.1μF のコンデンサを接続します。
SW1	10	I	位相 1 のスイッチング ノード接続。位相 1 のハイサイド N チャネル MOSFET のソースに直接接続します。
LO1	11	O	位相 1 のローサイド ゲートドライバ出力。短い低インダクタンスのパスを経由して、ローサイド N チャネル MOSFET のゲートに接続します。
VCC	12	P	内部 VCC レギュレータの出力と内部 MOSFET ドライバの電源電圧入力。このピンと PGND との間に、10μF のコンデンサを接続します。
PGND	13	G	ローサイド ゲートドライバおよび VCC バイアス電源のパワー グランド接続ピン。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		種類[1]	説明
名称	番号		
LO2	14	O	位相 2 のローサイド ゲートドライバ出力。短い低インダクタンスのパスを経由して、ローサイド N チャネル MOSFET のゲートに接続します。
SW2	15	I	位相 2 のスイッチング ノード接続。位相 2 のハイサイド N チャネル MOSFET のソースに直接接続します。
HB2	16	P	位相 2 のブートストラップ ゲート駆動のハイサイド ドライバ電源。ブート ダイオードは内部で VCC からこのピンに接続されます。このピンと SW2 との間に、0.1μF のコンデンサを接続します。
HO2	17	O	位相 2 のハイサイド ゲートドライバ出力。短い低インダクタンスのパスを経由して、ハイサイド N チャネル MOSFET のゲートに接続します。
BIAS	18	P	VCC レギュレータの電源電圧入力。1μF のローカル BIAS コンデンサを、ピンとグランドとの間に接続します。
UVLO/EN	19	I	低電圧誤動作防止のプログラム用ピン。このピンを抵抗デバイダを介して電源電圧に接続することで、コンバータのスタートアップおよびシャットダウン レベルをプログラムします。$V_{UVLO-RISING}$ より高くなると、位相 1 が有効になります。
CSP2	20	I	位相 2 の電流検出アンプ入力。このピンは正の入力ピンとして動作します。
CSN2	21	I	位相 2 の電流検出アンプ入力。このピンは負の入力ピンとして動作します。
RT	22	I/O	スイッチング周波数の設定ピン。スイッチング周波数は、ピンと AGND との間の抵抗によりプログラムされます。スイッチング周波数は動作中に動的にプログラムできます。
NC	23	-	非接続ピン。このピンは GND に接続します。
SYNCIN	24	I	外部クロック同期ピン。フリーランニング内部発振器をオーバーライドする外部クロックの入力。未使用時は SYNCIN ピンをグランドに接続します。
CFG2	25	I/O	デバイス構成ピン。デバイスが内部または外部クロックを使用しているかどうか、および過電圧保護レベルを設定します。
CFG1	26	I/O	デバイス構成ピン。過電圧保護レベル、スペクトラム拡散モード、PGOOD 構成、120% ピーク電流制限ラッチ オフを設定します。
CFG0	27	I/O	デバイス構成ピン。デッド タイムを設定し、20μA の ATRK 電流を有効にします。
PGOOD	28	O	オープン ドレイン出力段のパワー グッド インジケータ。CFG1 ピンの設定に基づいて、出力電圧が低電圧スレッショルドを下回るか、過電圧スレッショルドを上回ると、このピンは Low になります。このピンも Low に駆動され、故障が通知されます (パワー グッド・インジケータ (PGOOD ピン)を参照)。このピンを使用しないときは、AGND に接続するか、ピンを浮いた状態のままにしておきます。
モード	29	I	DEM または FPWM を選択する動作モード選択ピン。
EN2	30	I	位相 2 のイネーブル ピン。
ILIM/IMON	31	O	入力電流モニタおよび平均入力電流制限設定ピン。位相 1 と位相 2 の差動電流検出電圧に比例する電流を供給します。このピンと AGND との間に抵抗を接続します。
ATRK/DTRK	32	I	出力レギュレーション ターゲットのプログラミング ピン。出力電圧のレギュレーション ターゲットは、ピンを抵抗経由で AGND に接続するか、ピンの推奨動作範囲内の電圧 (0.2V ～ 2.0V) で直接ピン電圧を制御することでプログラムします。8% ～ 80% のデューティ サイクルの範囲のデジタル PWM 信号が自動的に検出され、デジタル出力電圧レギュレーションが有効になります。デジタル出力電圧レギュレーションにより、推奨動作範囲内で V_{OUT} をプログラムします。
EP	-	G	パッケージの露出パッド。露出パッドは、熱抵抗を減らすために、AGND に接続し、大きなグランド プレーンに半田付けます。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

5 仕様

5.1 絶対最大定格

接合部の推奨動作温度範囲内 (特に記述のない限り)[1]

		最小値	最大値	単位
入力[2]	BIAS から AGND へ	-0.3	50	V
	UVLO/EN から AGND へ	-0.3	BIAS + 0.3	
	CSPx から AGND へ	-0.3	50	
	CSPx から CSNx へ	-0.3	0.3	
	VOUT から AGND へ	-0.3	65	
	HBx から AGND へ	-0.3	71	
	HBx から SWx へ	-0.3	5.8[3]	
	SWx から AGND へ	-0.3	65	
	SWx から AGND へ (10ns)	-5	65	
	CFG0、CFG1、CFG2、SYNCIN、ATRK/DTRK、DLY、MODE、EN2 から AGND へ	-0.3	5.5	
	RT から AGND へ	-0.3	2.5	
	PGND から AGND へ	-0.3	0.3	
出力[2]	VCC から AGND へ	-0.3	5.8[3]	V
	HOx から SWx へ (50ns)	-1	HBx + 0.3	
	LOx から AGND へ (50ns)	-1	VCC + 0.3	
	PGOOD、SS、COMP、ILIM/IMON から AGND へ	-0.3	5.5	
動作時の接合部温度、T_J [4]		-40	150	℃
保管温度、T_{STG}		-55	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 外部電圧を CFG0、CFG1、CFG2、COMP、SS、RT、LOx、HOx の各ピンに直接印加することはできません。
(3) ピンの電圧が 5.5V を超えると、動作寿命が短くなります。
(4) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125℃ を超えると、動作寿命が短くなります。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 [1]		±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			角のピン	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

接合部の推奨動作温度範囲内 (特に記述のない限り)[1]

		最小値	公称値	最大値	単位
V_I	昇圧コントローラ入力電圧 (バイアス ≥ 4.5V または VOUT ≥ 6V 時)	2.5		42	V
V_{OUT}	昇圧コントローラ出力電圧	6		60	V
V_{BIAS}	BIAS 入力電圧	4.5		42	V
$V_{UVLO/EN}$	UVLO/EN 入力電圧	0		42	V
V_{EN2}	EN2 入力電圧	0		5.25	V
V_{MODE}	MODE 入力電圧	0		5.25	V
V_{CSP1}、V_{CSN1}、V_{CSP2}、V_{CSN2}	電流検出入力電圧	2.5		42	V
V_{ATRK}	ATRK 入力電圧	0.2		2	V
V_{DTRK}	DTRK 入力電圧	0		5.25	V
V_{DLY}	DLY 電圧	0		5.25	V
V_{PGOOD}	PGOOD 電圧	0		5.25	V
$V_{ILIM/IMON}$	ILIM/IMON 電圧	0		3	V
V_{SYNCIN}	同期パルス入力電圧	0		5.25	V
f_{SW}	スイッチング周波数範囲	100		2200[2]	kHz
f_{SYNCIN}	同期パルス周波数範囲	100		2200[2]	kHz
f_{DTRK}	DTRK 周波数範囲	100		2200	kHz
T_J	動作時の接合部温度	-40		150[3]	℃

(1) *動作定格*は、デバイスが機能する前提の条件です。仕様およびテスト条件については、*「電気的特性」*を参照してください。
(2) 最大スイッチング周波数は、R_{RT} によってプログラムされます。このデバイスは、最大 2200kHz のスイッチングをサポートします。
(3) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125℃を超えると、動作寿命が短くなります。

5.4 熱に関する情報

熱評価基準[1]		LM5125-Q1 RHB (VQFN) 32 ピン	単位
R_{qJA}	接合部から周囲への熱抵抗	33.9	℃/W
$R_{qJC(top)}$	接合部からケース (上面) への熱抵抗	24.8	℃/W
R_{qJB}	接合部から基板への熱抵抗	14.1	℃/W
y_{JT}	接合部から上面への特性パラメータ	0.4	℃/W
y_{JB}	接合部から基板への特性パラメータ	14.0	℃/W
$R_{qJC(bot)}$	接合部からケース (底面) への熱抵抗	4.3	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

代表値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = –40℃ ～ 150℃ の範囲で適用されます。特に記述のない限り、V_I = V_{BIAS} = 12V、V_{OUT} = 24V、R_T = 14kΩ です

パラメータ		テスト条件	最小値	標準値	最大値	単位
消費電流 (BIAS、VCC、VOUT)						
I_{SD}	シャットダウン状態での V_I 電流 (BIAS を V_I に接続)。バイアス、CSP1、CSN1、CSP2、CSN2、SW1、SW2 への電流を。	$V_{EN/UVLO}$ = 0V、V_{OUT} = 12V、T_J = –40°C ～ 125°C		2	5	μA

5.5 電気的特性 (続き)

代表値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = –40℃ ～ 150℃ の範囲で適用されます。特に記述のない限り、V_I = V_{BIAS} = 12V、V_{OUT} = 24V、R_T = 14kΩ です

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{SD_BIAS}	シャットダウン状態でのバイアスピン電流	$V_{EN/UVLO}$ = 0V、V_{OUT} = 12V、T_J = –40℃ ～ 125℃		2	5	µA
I_{SD_VOUT}	シャットダウン状態での VOUT ピン電流	$V_{EN/UVLO}$ = 0V、V_{OUT} = 12V、T_J = –40℃ ～ 125℃		0.001	0.5	µA
$I_{Q_BIAS_FPWM}$	アクティブ状態でのバイアス ピンの静止電流、FPWM モード、内部クロック (スイッチングなし、RT、IMON 電流は除外)	1 相、$V_{EN/UVLO}$ = 2.0V、V_{EN2} = 0V、V_{CFG2} = 0V、V_{ATRK} = 0.667V、T_J = –40℃ ～ 125℃		1.1	1.5	mA
		2 相、$V_{EN/UVLO}$ = 2.0V、V_{EN2} = 2V、V_{CFG2} = 0V、V_{ATRK} = 0.667V、T_J = –40℃ ～ 125℃		1.6	2	mA
$I_{Q_BIAS_DEM}$	アクティブ状態でのバイアス ピンの静止電流、DEM モード、内部クロック (スイッチングなし、RT、IMON 電流は除外)	1 相、$V_{EN/UVLO}$ = 2.0V、V_{EN2} = 0V、V_{CFG2} = 0V、V_{ATRK} = 0.667V、T_J = –40℃ ～ 125℃		1.1	1.5	mA
		2 相、$V_{EN/UVLO}$ = 2.0V、V_{EN2} = 2V、V_{CFG2} = 0V、V_{ATRK} = 0.667V、T_J = –40℃ ～ 125℃		1.6	2	mA
$I_{Q_VOUT_FPWM}$	アクティブ状態での VOUT ピンの静止電流、FPWM モード、内部クロック (スイッチングなし)	2 相、$V_{EN/UVLO}$ = 2.0V、V_{EN2} = 2V、V_{CFG2} = 0V、V_{ATRK} = 0.667V、T_J = –40℃ ～ 125℃		250	300	µA
$I_{Q_BIAS_BYP}$	バイパス状態でのバイアス ピン電流 (RT および IMON 電流は除外)	1 相、$V_{EN/UVLO}$ = 2.0V、V_{EN2} = 0V、V_{CFG2} = 0V、V_{OUT} = 12V、T_J = –40℃ ～ 125℃		1	1.5	mA
	バイパス状態でのバイアス ピン電流 (RT および IMON 電流は除外)	2 相、$V_{EN/UVLO}$ = 2.0V、V_{EN2} = 2V、V_{CFG2} = 0V、V_{OUT} = 12V、T_J = –40℃ ～ 125℃		1.5	2.0	mA
$I_{Q_VOUT_BYP}$	バイパス状態の VOUT ピン電流	2 相、$V_{EN/UVLO}$ = 2.0V、V_{EN2} = 2V、V_{CFG2} = 0V、V_{OUT} = 12V、T_J = –40℃ ～ 125℃、HO と SW との間に抵抗なし。		280	330	µA
I_{BIAS}	バイアス ピンのバイアス電流	V_{BIAS} = 12V、I_{VCC} = 200mA		200	210	mA
I_{VOUT}	VCC が VOUT から供給されているときの VOUT ピン バイアス電流	V_{BIAS} = 3.3V、I_{VCC} = 200mA		200	230	mA
VCC レギュレータ (VCC)						
$V_{BIAS\text{-}RISING}$	VCC 電源を VOUT ピンからバイアス ピンに切り替えるスレッショルド	V_{BIAS} 立ち上がり	4.25	4.35	4.45	V
$V_{BIAS\text{-}FALLING}$	VCC 電源をバイアス ピンから VOUT ピンに切り替えるスレッショルド	V_{BIAS} 立ち下がり	4.1	4.2	4.3	V
$V_{BIAS\text{-}HYS}$	VCC 電源スレッショルドのヒステリシス		100	150		mV
$V_{VCC\text{-}REG1}$	VCC レギュレーション	無負荷	4.75	5	5.25	V
$V_{VCC\text{-}REG2}$	ドロップアウト時の VCC レギュレーション	V_{BIAS} = 4.5V、I_{VCC} = 110mA	4	4.3		V
$V_{VCC\text{-}UVLO\text{-}RISING}$	VCC UVLO スレッショルド	VCC 立ち上がり	3.4	3.5	3.6	V
$V_{VCC\text{-}UVLO\text{-}FALLING}$	VCC UVLO スレッショルド	VCC 立ち下がり	3.2	3.3	3.4	V
$V_{VCC\text{-}UVLO\text{-}HYS}$	VCC UVLO スレッショルドのヒステリシス	VCC 立ち下がり		215		mV
$I_{VCC\text{-}CL}$	VCC のソース電流制限	V_{VCC} = 4V	200			mA
イネーブル (EN/UVLO)						
$V_{EN\text{-}RISING}$	イネーブル スレッショルド	EN 立ち上がり	0.50	0.55	0.6	V

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

代表値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = –40℃ ～ 150℃ の範囲で適用されます。特に記述のない限り、V_I = V_{BIAS} = 12V、V_{OUT} = 24V、R_T = 14kΩ です

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{EN-FALLING}$	イネーブル スレッショルド	EN 立ち下がり	0.40	0.45	0.50	V
V_{EN-HYS}	イネーブル ヒステリシス	EN 立ち下がり		100		mV
R_{EN}	EN プルダウン抵抗	V_{EN} = 0.2V	30	37	50	kΩ
$V_{UVLO-RISING}$	UVLO スレッショルド	UVLO 立ち上がり	1.05	1.1	1.15	V
$V_{UVLO-FALLING}$	UVLO スレッショルド	UVLO 立ち下がり	1.025	1.075	1.125	V
$V_{UVLO-HYS}$	UVLO ヒステリシス	UVLO 立ち下がり		25		mV
$I_{UVLO-HYS}$	UVLO プルダウン ヒステリシス電流	V_{UVLO} = 0.7V	9	10	11	μA
$I_{UVLO/EN}$	UVLO/EN ピンのバイアス電流	$V_{UVLO/EN}$ = 0.3V、プルダウン抵抗 = アクティブ。		8	11	μA
		$V_{UVLO/EN}$ = 0.7V、10μA 電流 = アクティブ。	9	10	11	μA
		$V_{UVLO/EN}$ = 3.3V			1	μA
CH2 イネーブル (EN2)						
V_{EN2_H}	イネーブル 2 の High レベル入力電圧	EN2 の立ち上がり	1.19		5.25	V
V_{EN2_L}	イネーブル 2 の Low レベル入力電圧	EN2 の立ち下がり	-0.3		0.41	V
I_{EN2}	イネーブル 2 のバイアス電流	EN1 = EN2 = 3.3V		0.01	1	μA
構成 (CFG0、CFG1、CFG2)						
R_{CFGx_1}	レベル 1 の抵抗			0	0.1	kΩ
R_{CFGx_2}	レベル 2 の抵抗		0.496	0.51	0.526	kΩ
R_{CFGx_3}	レベル 3 の抵抗		1.11	1.15	1.19	kΩ
R_{CFGx_4}	レベル 4 の抵抗		1.81	1.9	1.93	kΩ
R_{CFGx_5}	レベル 5 の抵抗		2.65	2.7	2.82	kΩ
R_{CFGx_6}	レベル 6 の抵抗		3.71	3.8	3.94	kΩ
R_{CFGx_7}	レベル 7 の抵抗		4.95	5.1	5.26	kΩ
R_{CFGx_8}	レベル 8 の抵抗		6.29	6.5	6.68	kΩ
R_{CFGx_9}	レベル 9 の抵抗		8.00	8.3	8.50	kΩ
R_{CFGx_10}	レベル 10 の抵抗		10.18	10.5	10.81	kΩ
R_{CFGx_11}	レベル 11 の抵抗		12.90	13.3	13.70	kΩ
R_{CFGx_12}	レベル 12 の抵抗		15.71	16.2	16.69	kΩ
R_{CFGx_13}	レベル 13 の抵抗		19.88	20.5	21.11	kΩ
R_{CFGx_14}	レベル 14 の抵抗		24.15	24.9	25.65	kΩ
R_{CFGx_15}	レベル 15 の抵抗		29.20	30.1	31.00	kΩ
R_{CFGx_16}	レベル 16 の抵抗		35.40	36.5	38.60	kΩ
スイッチング周波数						
V_{RT}	RT レギュレーション		0.7	0.75	0.8	V
f_{SW1}	スイッチング周波数	R_T = 316kΩ	85	100	115	kHz
f_{SW2}	スイッチング周波数	R_T = 14kΩ	1980	2200	2420	kHz
t_{ON-MIN}	最小の制御可能なオン時間	R_T = 14kΩ	14	20	50	ns
$t_{OFF-MIN}$	最小強制オフ時間	R_T = 14kΩ	55	80	105	ns
D_{MAX1}	最大デューティ サイクル制限	R_T = 316kΩ	98.7%	99.4%		
D_{MAX2}	最大デューティ サイクル制限	R_T = 14kΩ	75%	87%		

5.5 電気的特性 (続き)

代表値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = –40℃ ～ 150℃ の範囲で適用されます。特に記述のない限り、V_I = V_{BIAS} = 12V、V_{OUT} = 24V、R_T = 14kΩ です

パラメータ			テスト条件	最小値	標準値	最大値	単位
同期 (SYNCIN)							
	最小 SYNCIN 周波数アクティビティ検出	スペクトラム拡散 = オフ	RT = 316kΩ	55			kHz
	SYNCIN 周波数の動作検出と RT SET のスイッチング周波数との関係	スペクトラム拡散 = オフ	RT = 14kΩ ～ 210kΩ	-60%			
	SYNCIN 動作検出サイクル				3		サイクル
f_{SYNC}	同期時の RT 設定周波数からの同期周波数範囲		周波数は外部クロックに同期 (最小 = 100kHz、最大 = 2200kHz)	-50%		50%	
V_{SYNCIN_H}	SYNCIN の High レベル入力電圧		SYNCIN 立ち上がり	1.19		5.25	V
V_{SYNCIN_L}	SYNCIN の Low レベル入力電圧		SYNCIN 立ち下がり	-0.3		0.41	V
I_{SYNCIN}	SYNCIN バイアス電流		SYNCIN = 3.3 V		0.01	1	µA
	SYNCIN の最小プルアップ / プルダウンパルス幅			135			ns
VOUT プログラミング (ATRK/DTRK)							
V_{OUT_REG}	ATRK 電圧による V_{OUT} レギュレーション		ATRK = 0.2V、V_I = 4.5V	5.88	6	6.12	V
			ATRK = 0.4V、V_I = 10V	11.82	12	12.18	V
			ATRK = 0.8 V	23.64	24	24.36	V
			ATRK = 1.6 V	47.28	48	48.72	V
			ATRK = 2 V	59.10	60	60.90	V
G_{DTRK}	DTRK デューティ サイクルの V_{ATRK} への変換率		F_{DTRK} = 100kHz、440kHz		25		mV / %
	DTRK デューティ サイクル範囲			8%		80%	
V_{ATRK}	指定された DTRK デューティ サイクルに対する ATRK 電圧		f_{DTRK} = 100kHz、DC = 8%	0.192	0.2	0.208	V
			f_{DTRK} = 100kHz、DC = 40%	0.98	1	1.02	V
			f_{DTRK} = 100kHz、DC = 80%	1.98	2	2.02	V
			f_{DTRK} = 440kHz、DC = 8%	0.19	0.2	0.21	V
			f_{DTRK} = 440kHz、DC = 40%	0.98	1	1.02	V
			f_{DTRK} = 440kHz、DC = 80%	1.98	2	2.02	V
V_{DTRK_H}	DTRK の High レベル入力電圧		DTRK 立ち上がり	1.19		5.25	V
V_{DTRK_L}	DTRK の Low レベル入力電圧		DTRK 立ち下がり	-0.3		0.41	V
I_{ATRK}	CFG0 で起動したときのソース電流			19.8	20	20.2	µA
$I_{ATRK/DTRK}$	ATRK/DTRK ピンのバイアス電流		20µA 電流はディスエーブル、$V_{ATRK/DTRK}$ = 2V		0.01	1	µA
	DTRK の最小プルアップ / プルダウンパルス幅			25			ns
ソフトスタート (SS/)							
I_{SS}	ソフトスタート電流			42.5	50	57.5	µA
$V_{SS\text{-}DONE}$	ソフトスタート完了スレッショルド			2.15	2.2	2.25	V
R_{SS}	SS プルダウン スイッチの R_{DSON}				26	70	Ω
$V_{SS\text{-}DIS}$	SS 放電検出スレッショルド			20	45	70	mV
電流検出 (CSPx、CSNx)							
A_{CS}	電流センス アンプのゲイン		V_{CSP} = 2.5V		10		V/V
V_{CLTH}	正のピーク電流制限スレッショルド		CS 入力を基準とします	54	60	66	mV

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

代表値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = –40℃ ～ 150℃ の範囲で適用されます。特に記述のない限り、V_I = V_{BIAS} = 12V、V_{OUT} = 24V、R_T = 14kΩ です

パラメータ			テスト条件	最小値	標準値	最大値	単位
V_{NCLTH}	負のピーク電流制限スレッショルド		CS 入力、FPWM モードを基準とします	-34	-28	-22	mV
V_{ICL}	入力電流制限		CS 入力を基準とします	65	72	80	mV
ΔV_{ICL_CLTH}	ICL と正のピーク電流スレッショルド間のデルタ電圧			6	12		mV
	ピーク電流制限トリップ遅延				100		ns
V_{ZCD}	ZCD スレッショルド (CSPx - CSNx)		CS 入力の立ち下がり、f_{SW} = 100kHz、DEM	0	1.5	5	mV
V_{ZCD_BYP}	バイパス モードの位相 1 の ZCD スレッショルド (CSP1 – CSN1)			-4	-2.5	0	mV
	バイパス モードの位相 2 の ZCD スレッショルド (CSP2 – CSN2)			-4	-2.5	0	mV
V_{SLOPE}	ピーク勾配補償アンプ		CS 入力を基準とし、f_{SW} = 100kHz	40	48	55	mV
I_{CSNx}	CSNx 電流		デバイスがスタンバイ状態、V_I = V_{BIAS} = V_{OUT} = 12V			1.2	µA
I_{CSPx}	CSPx 電流				150	170	µA
ΔI_{ph1_ph2}	ピーク インダクタ電流アンバランス (位相 1～位相 2)		V_{CL} = 60mV	-10	0	10	%
遅延付き電流モニタ / リミッタ (IMON/ILIM)							
G_{IMON}	相互コンダクタンス ゲイン			0.283	0.333	0.383	µA/mV
I_{OFFSET}	オフセット電流			3	4	5	µA
V_{ILIM}	ILIM のレギュレーション ターゲット			0.93	1	1.07	V
V_{ILIM_th}	ILIM の起動スレッショルド			0.95	1	1.25	V
V_{ILIM_reset}	DLY リセットのスレッショルド		ILIM の立ち下がり、V_{ILIM} を基準とする	85%	88%	91%	
I_{DLY}	DLY ソース / シンク電流			4	5	6	µA
$V_{DLY_peak_rise}$			V_{DLY} 立ち上がり	2.45	2.6	2.75	V
$V_{DLY_peak_fall}$			V_{DLY} 立ち下がり	2.25	2.4	2.55	V
V_{DLY_valley}					0.2		V
エラー アンプ (COMP)							
Gm	相互コンダクタンス			700	1000	1300	µs
$A_{COMP\text{-}PWM}$	COMP から PWM へのゲイン				1		V/V
$V_{COMP\text{-}MAX}$	COMP 最大クランプ電圧		COMP 立ち上がり	2.3	2.6	2.9	V
$V_{COMP\text{-}MIN}$	COMP 最小クランプ電圧、DEM で有効		COMP 立ち下がり	0.38	0.48	0.55	V
	COMP 最小クランプ電圧、FPWM で有効		COMP 立ち下がり	0.13	0.16	0.19	V
$V_{COMP\text{-}offset}$	最小クランプを基準としたオフセット		COMP 立ち下がり	0.01	0.03	0.06	V
$I_{SOURCE\text{-}MAX}$	最大 COMP ソーシング電流		V_{COMP} = 0V	90			µA
$I_{SINT\text{-}MAX}$	最大 COMP シンキング電流		V_{COMP} = 2.6V	100			µA
動作モード							
V_{MODE_H}	MODE ピンの High レベル	FPWM		1.19		5.25	V
V_{MODE_L}	MODE ピンの Low レベル	DEM		-0.3		0.41	V
I_{MODE}	MODE ピンのバイアス電流		MODE = 3.3 V		0.01	1	µA
過電圧 / 低電圧監視							

5.5 電気的特性 (続き)

代表値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = –40℃ ～ 150℃ の範囲で適用されます。特に記述のない限り、V_I = V_{BIAS} = 12V、V_{OUT} = 24V、R_T = 14kΩ です

パラメータ			テスト条件	最小値	標準値	最大値	単位
V_{OVP-H}	過電圧スレッショルド		V_{OUT} の立ち上がり (エラー アンプのリファレンスを基準とする)	108%	110%	112%	
V_{OVP-L}	過電圧スレッショルド		V_{OUT} の立ち下がり (エラー アンプのリファレンスを基準とする)	101%	103%	105%	
V_{OVP_max-H}	過電圧スレッショルド	64V	V_{OUT} の立ち上がり (エラー アンプのリファレンスを基準とする)	63	64	65	V
		50V		49	50	51	V
		35V		34	35	36	V
		28.5V		27	28.5	30	V
V_{OVP_max-L}	過電圧スレッショルド	64V	V_{OUT} の立ち下がり (エラー アンプのリファレンスを基準とする)	62	63	64	V
		50V		48	49	50	V
		35V		33	34	35	V
		28.5V		26	27.5	29	V
V_{UVP-H}	低電圧スレッショルド		V_{OUT} の立ち上がり (エラー アンプのリファレンスを基準とする)	91%	93%	95%	
V_{UVP-L}	低電圧スレッショルド		V_{OUT} の立ち下がり (エラー アンプのリファレンスを基準とする)	88%	90%	92%	
PGOOD							
R_{PGOOD}	PGOOD プルダウン スイッチの R_{DSON}		1mA のシンク		90	180	Ω
	有効な PGOOD の最小 BIAS			2			V
MOSFET ドライバ (HBx、HOx、SWx、LOx)							
	高状態オン抵抗 (HO ドライバ)		100mA シンク、HB – SW = 5V		1.1	2	Ω
	Low 状態オン抵抗 (HO ドライバ)		100mA ソース、HB – SW = 5V		0.6	1.2	Ω
	高状態オン抵抗 (LO ドライバ)		100mA シンク、VCC = 5V		1.1	2	Ω
	Low 状態オン抵抗 (LO ドライバ)		100mA ソース、VCC = 5V		0.7	1.4	Ω
$V_{HB-UVLO}$	HB ～ SW UVLO スレッショルド		HB ～ SW の立ち上がり	2.85	3.05	3.25	V
$V_{HB-UVLO}$	HB ～ SW UVLO スレッショルド		HB ～ SW 立ち下がり	2.6	2.8	3	V
V_{HB-HYS}	HB ～ SW UVLO スレッショルドのヒステリシス				250		mV
$I_{HB-SLEEP}$	バイパス時の HB 静止電流		HB – SW = 5V		8	15	μA
I_{CP}	HB チャージ ポンプ電流は HBx ピンで利用可能		BIAS = 4.5V、VOUT = 6V	55	75	100	μA
デッドタイム制御							
DT1	HO オフから LO オンまで、LO オフから HO オンまでのデッドタイム	設定 1		7	14	30	ns
DT2		設定 2		17	30	50	ns
DT3		設定 3		32	50	75	ns
DT4		設定 4		50	75	110	ns
DT5		設定 5		68	100	140	ns
DT6		設定 6		85	125	180	ns
DT7		設定 7		105	150	215	ns
DT8		設定 8		135	200	285	ns
サーマル シャットダウン(TSD)							
$T_{TSD-RISING}$	サーマル シャットダウンのスレッショルド		温度上昇		175		℃
$T_{TSD-HYS}$	サーマル シャットダウン ヒステリシス				15		℃
タイミング							

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

代表値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = –40℃ ～ 150℃ の範囲で適用されます。特に記述のない限り、V_I = V_{BIAS} = 12V、V_{OUT} = 24V、R_T = 14kΩ です

パラメータ		テスト条件	最小値	標準値	最大値	単位
$STANDBY_{timer}$	スタンバイタイマ		130	150	170	µs

5.6 タイミング要件

動作接合部温度範囲および推奨電源電圧範囲（特に記載のない限り）

			最小値	公称値	最大値	単位
全体的なデバイス機能						
	最小時間 Low EN トグル	EN から測定した時間 H から L、L から H への切り替え	1			µs

5.7 Typical Characteristics

The following conditions apply (unless otherwise noted): T_J = 25°C; V_{BIAS} = 12V

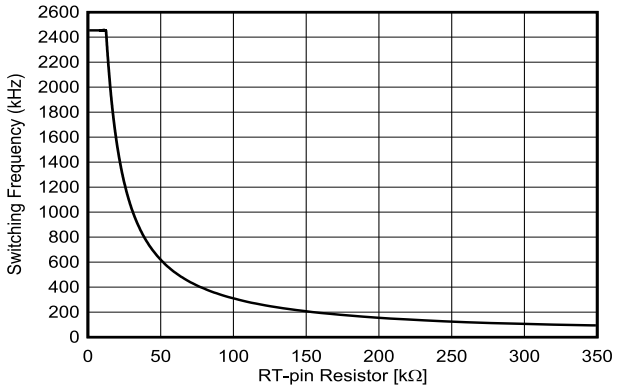


図 5-1. Switching Frequency Versus RT Resistance

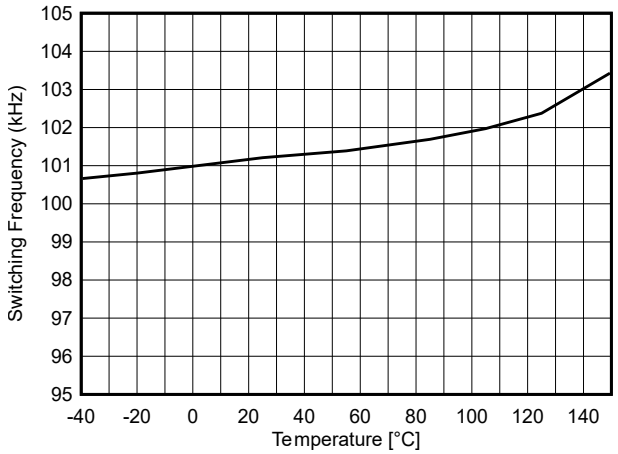


図 5-2. Switching Frequency (100kHz, RT = 316kΩ) vs Temperature

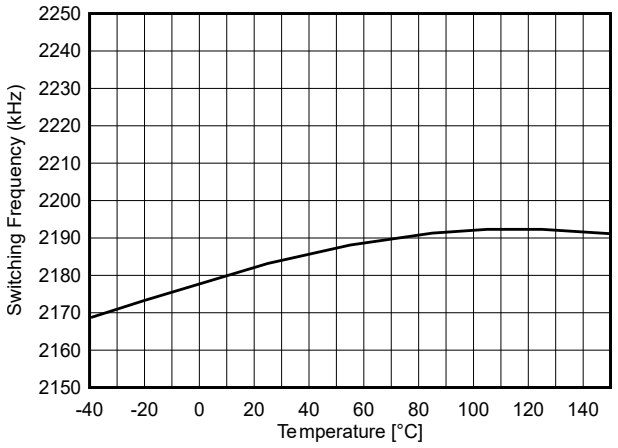


図 5-3. Switching Frequency (2200kHz, RT = 14kΩ) vs Temperature

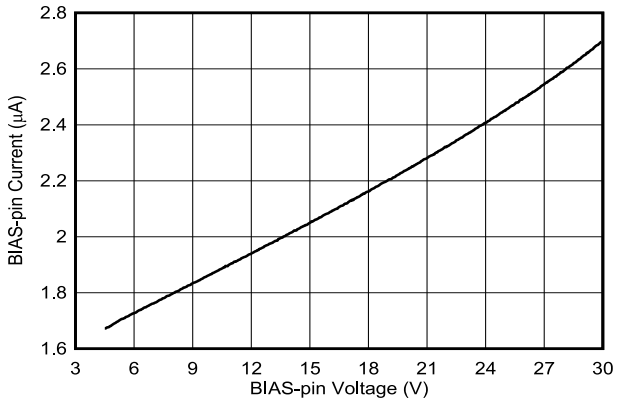
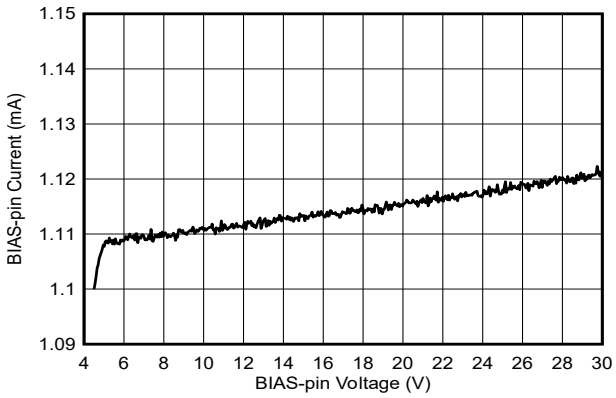


図 5-4. BIAS-pin Current vs BIAS-pin Voltage during shutdown

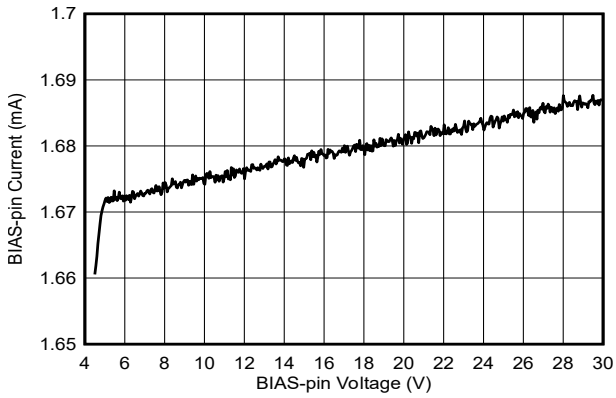
5.7 Typical Characteristics (continued)

The following conditions apply (unless otherwise noted): T_J = 25°C; V_{BIAS} = 12V



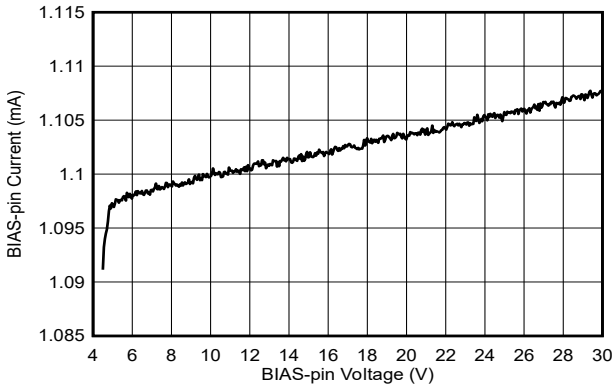
not switching

図 5-5. BIAS-pin Current vs BIAS-pin Voltage (Active, 1-ph, DEM)



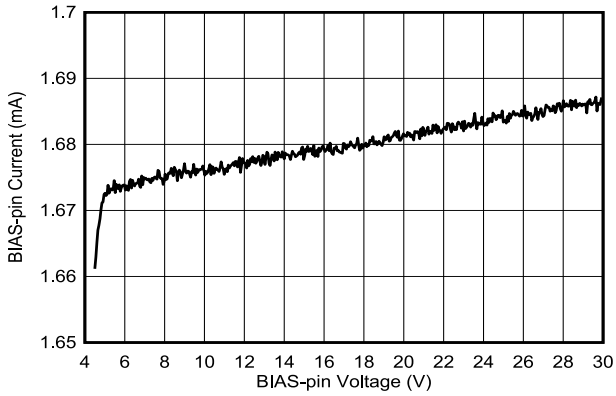
not switching

図 5-6. BIAS-pin Current vs BIAS-pin Voltage (Active, 2-ph, DEM)



not switching

図 5-7. BIAS-pin Current vs BIAS-pin Voltage (Active, 1-ph, FPWM)



not switching

図 5-8. BIAS-pin Current vs BIAS-pin Voltage (Active, 2-ph, FPWM)

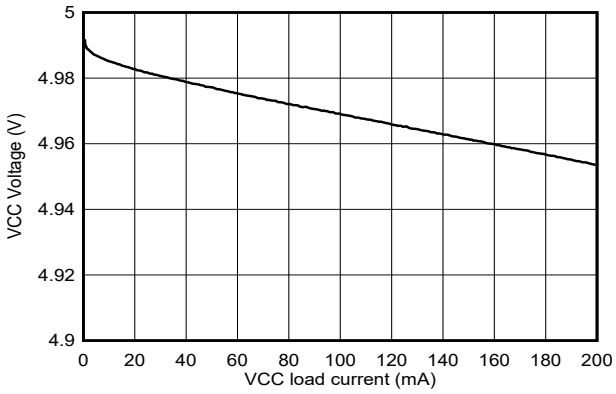


図 5-9. VCC Voltage vs VCC Load Current

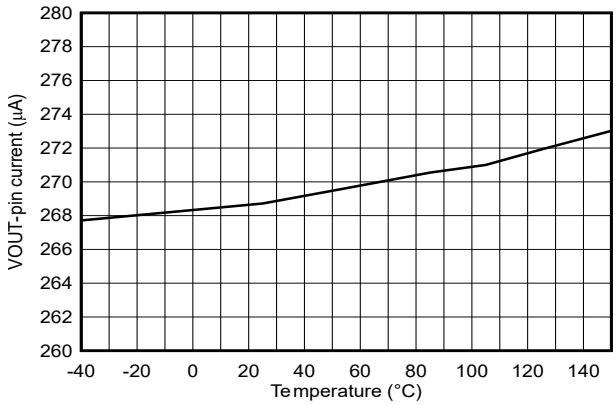


図 5-10. VOUT-pin Current vs Temperature (Bypass, 2-ph)

Copyright © 2025 Texas Instruments Incorporated

5.7 Typical Characteristics (continued)

The following conditions apply (unless otherwise noted): T_J = 25°C; V_{BIAS} = 12V

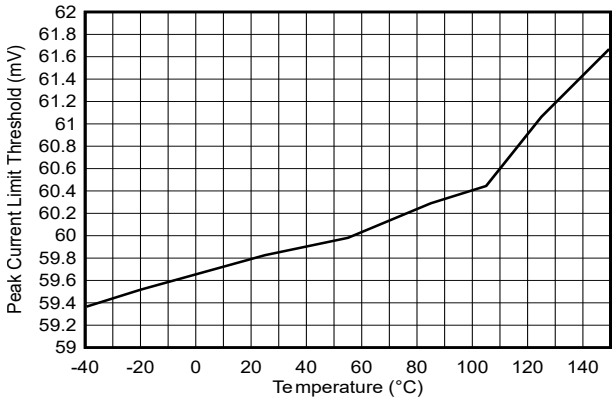


図 5-11. Peak Current Limit Threshold V_{CLTH} vs Temperature

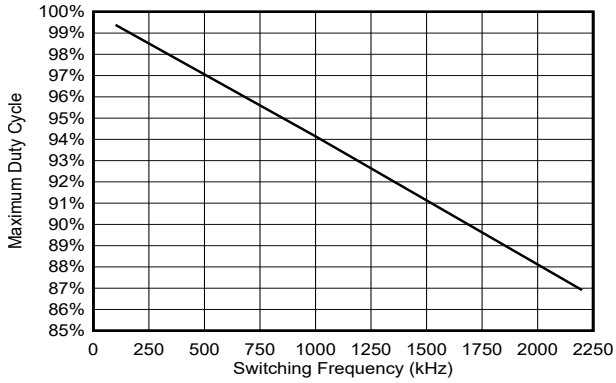


図 5-12. Maximum Duty Cycle vs Switching Frequency

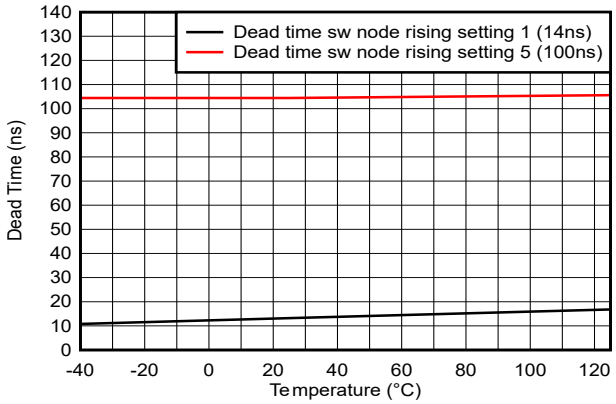


図 5-13. Dead Time Switch Node Rising vs Temperature

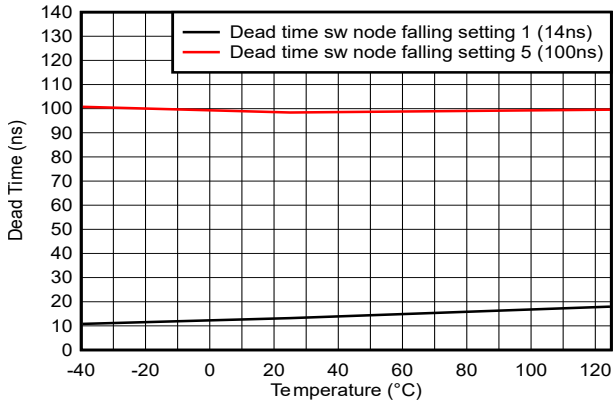


図 5-14. Dead Time Switch Node Falling vs Temperature

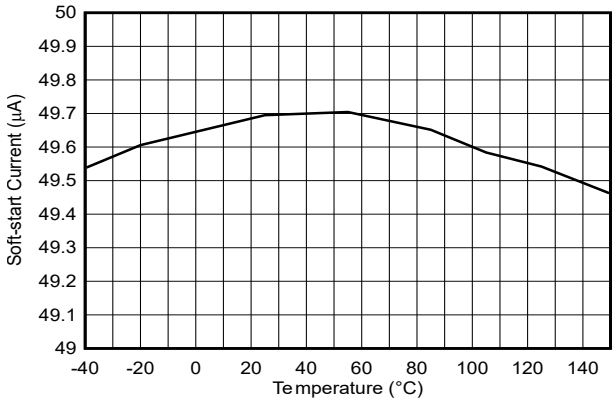


図 5-15. Soft-start Current vs Temperature

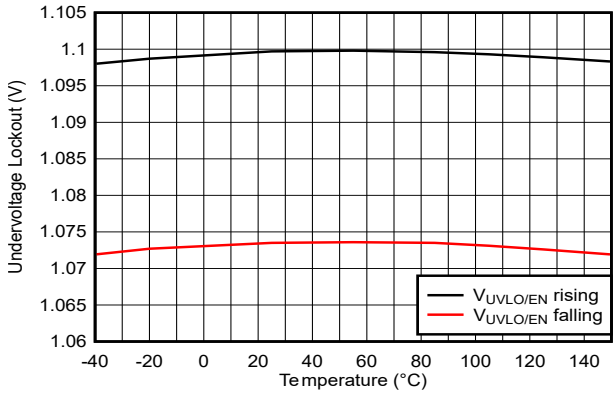


図 5-16. Undervoltage Lockout (UVLO) vs Temperature

5.7 Typical Characteristics (continued)

The following conditions apply (unless otherwise noted): T_J = 25°C; V_{BIAS} = 12V

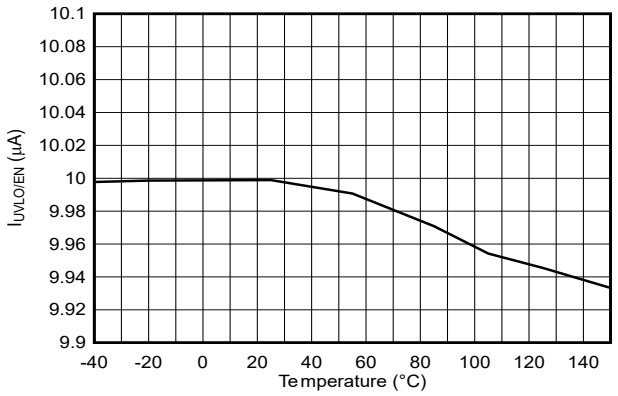


図 5-17. UVLO/EN-pin Current vs Temperature

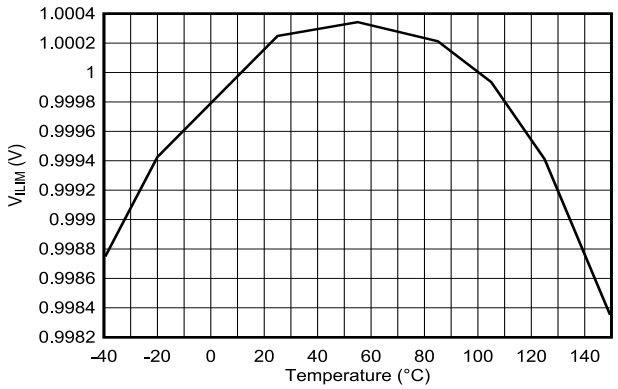


図 5-18. Average Current Limit Regulation Voltage vs Temperature

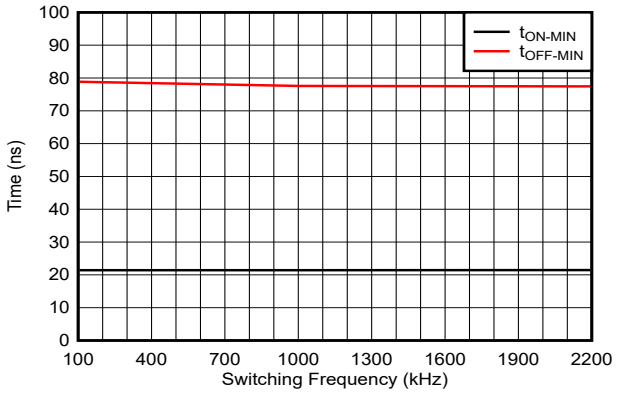


図 5-19. Minimum t_{ON} and t_{OFF} Time vs Switching Frequency

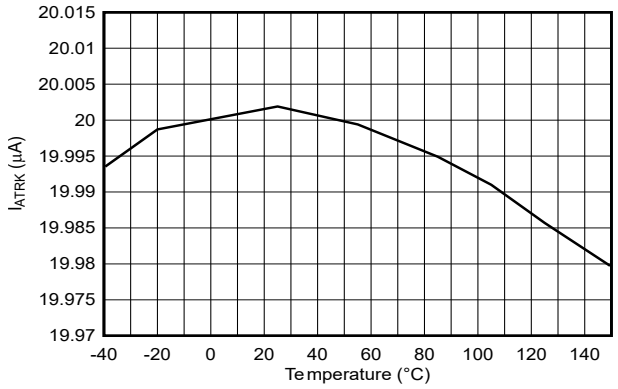
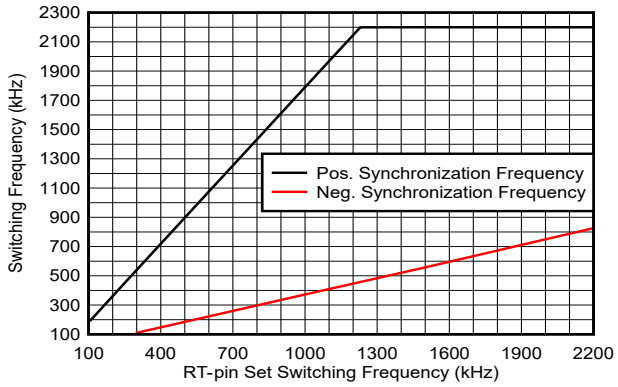


図 5-20. ATRK-pin Current vs Temperature



Spread Spectrum = off

図 5-21. Synchronization Switching Frequency (SYNCIN) vs RT-pin Set Switching Frequency

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

LM5125-Q1 は、入力範囲の広い 2 相昇圧コントローラです。本デバイスは入力電圧が、調整された出力電圧よりも高等しい、または低い場合に、レギュレートされた出力電圧を供給します。抵抗・デジタル間 (R2D) インターフェイスにより、のデバイス機能を簡単かつ確実に選択できます。

動作モード DEM (ダイオード エミュレーション モード) と FPWM (強制パルス幅変調) は、動作中にオンザフライでピンを選択できます。ピーク電流モード制御は、RT ピンで設定される固定スイッチング周波数で動作します。デュアル ランダム スペクトラム拡散動作を起動することにより、設計プロセスのどの時点でも EMI の低減を実現できます。

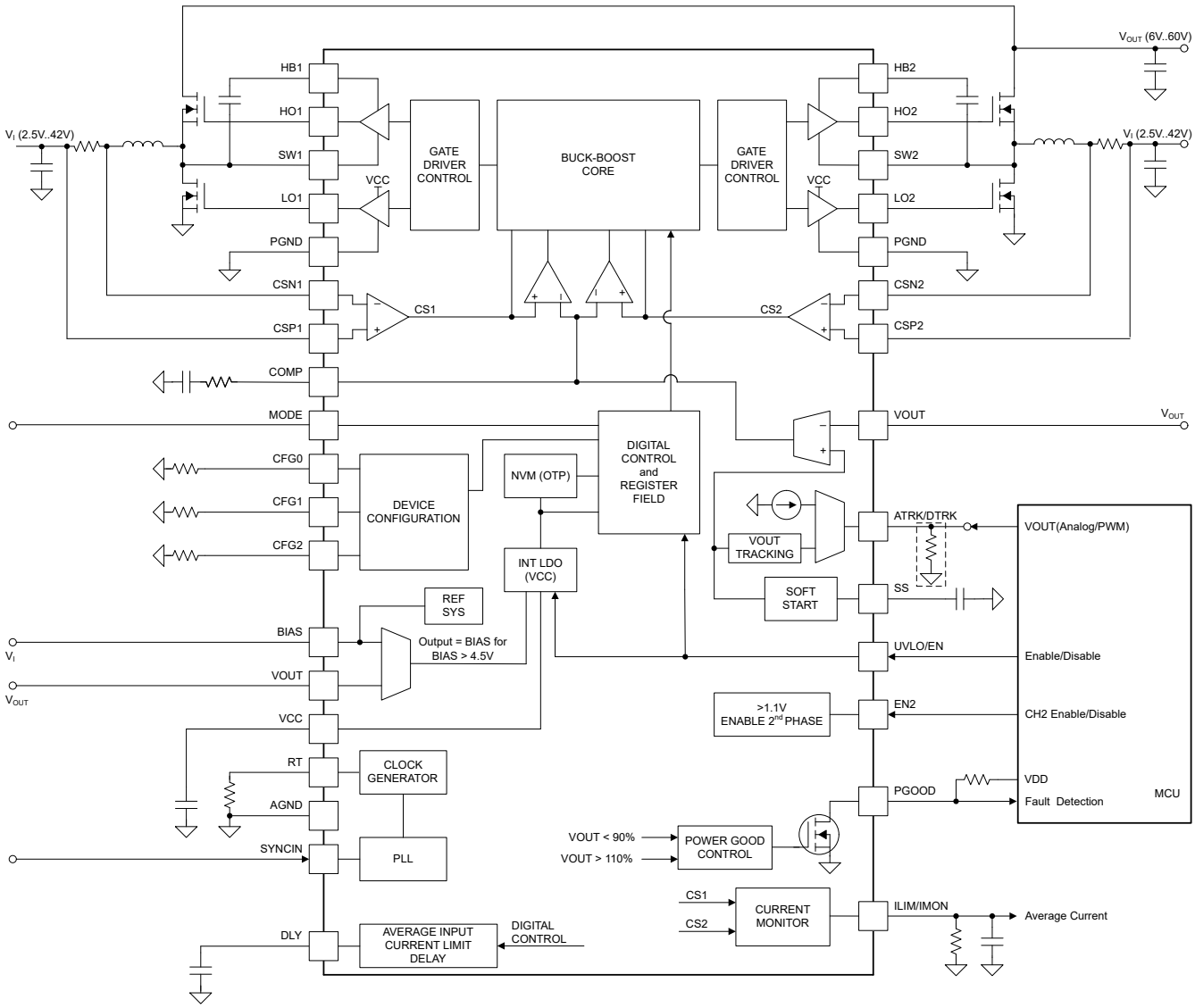
内蔵の平均電流モニタは、入力電流の監視や制限に役立ちます。動作中に出力電圧を動的に調整可能です (動的な電圧スケーリングとエンベロープ追跡)。V_{OUT} を調整することは、ATRK/DTRK ピンのアナログ基準電圧を変更するか、ATRK/DTRK ピンの PWM 入力信号を使用します。

内蔵の広入力 LDO は、さまざまな入力および出力電圧状況下で、デバイス機能に対して確実に電源供給します。高い駆動能力と、自動およびヘッドルームによる電圧選択 (V_{BIAS} または V_{OUT}) により、電力損失は最小限に抑えられます。個別のバイアス ピンを V_I、V_{OUT}、出力、または外部電源に接続して、デバイス内の電力損失をさらに減らすことができます。未定義のエラー処理を避けるため、常に内部電源電圧が監視されます。

このデバイスは、フル ブリッジ N チャネル MOSFET ドライバを内蔵しています。ゲート ドライバ回路は、多様な MOSFET を駆動できる高い駆動能力を備えています。このゲート ドライバには、高電圧、低ドロップアウトのブートストラップ ダイオードが内蔵されています。内部ブートストラップ回路には、負のスパイクによって注入される過電圧に対するの保護機能と、低電圧誤動作防止保護機能があるため、外部パワー FET のリニア動作を防止されます。内蔵チャージ ポンプにより、バイパス モードで 100% のデューティ サイクル動作が可能になります。

内蔵の保護機能により、さまざまな故障状況で安全な動作が実現します。ブラウンアウト状態を回避するため、V_I 低電圧誤動作防止保護機能があります。入力 UVLO スレッショルドとヒステリシスは外部の帰還デバイダにより構成されるため、さまざまな設計でブラウンアウトは回避されます。このデバイスには、出力過電圧保護機能も搭載されています。選択可能なヒカップ過電流保護により、内部的なサイクル単位のピーク電流保護機能を使用して、過剰な短絡電流を防止します。デバイスにはサーマル シャットダウンが内蔵されているため、内部 VCC レギュレータの過負荷状態により生じる、熱による損傷から保護されます。すべての出力関連の故障イベントは監視され、オープン ドレイン PGOOD ピンで通知されます。

6.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 デバイス構成 (CFG0 ピン、 CFG1 ピン、CFG2 ピン)

CFG0 ピンは、最小デッド タイム および ATRK/DTRK ピン 20µA 電流を定義します。表 6-1 に示すレベルは、仕様セクションに指定された抵抗によって選択されます。V_{OUT} に抵抗をプログラムすると、20µA の ATRK ピン電流がオンになり、電圧トラッキングのために ATRK ピンの電流がオフになります。

表 6-1. CFG0 ピンの設定

レベル	デッド タイム [ns]	20µA ATRK 電流
1	14	オン
2	30	オン
3	50	オン
4	75	オン
5	100	オン
6	125	オン
7	150	オン
8	200	オン
9	14	オフ
10	30	オフ
11	50	オフ
12	75	オフ
13	100	オフ
14	125	オフ
15	150	オフ
16	200	オフ

CFG1 ピンの設定により、V_{OUT} 過電圧保護レベル、クロック ディザリング、120% の入力電流制限保護 (I_{CL_latch}) 動作、パワー グッド ピンの動作が定義されます。

OVP ビット 0：　OVP ビット 1 および 0 は、V_{OUT} 過電圧保護レベルを設定します。[00] = 64V、[01] = 50V、[10] = 35V、または [11] = 28.5V。

クロック ディザリング：　デュアル ランダム スペクトラム拡散 (DRSS) クロック ディザリングをイネーブル、またはクロック ディザリングをディスエーブルします。

I_{CL_latch}：　I_{CL_latch} がイネーブルで、ピーク電流制限を 20% 超えると、デバイスはシャットダウン状態に移行します (ターンオフしてラッチされます)。I_{CL_latch} がディスエーブルの場合、デバイスはアクティブのままで、ピーク電流制限時にインダクタ電流を制限しようとします。

$PGOOD_{OVP_enable}$：　$PGOOD_{OVP_enable}$ がイネーブルのとき、PGOOD ピンは V_{OUT} が OVP (過電圧保護) を上回るか UV (低電圧) スレッショルドを下回ると Low になります。$PGOOD_{OVP_enable}$ がディスエーブルの場合、PGOOD ピンは V_{OUT} が UV (低電圧) スレッショルドを下回ったときのみ Low になります。

表 6-2. 過電圧保護レベルの選択

OVP レベル	OVP ビット 1	OVP ビット 0
64V	0	0
50V	0	1
35V	1	0
28.5V	1	1

表 6-3. CFG1 ピン設定

レベル	OVP ビット 0	クロック ディザリング モード	I_{CL_latch}	$PGOOD_{OVP_enable}$
1	0	有効 (DRSS)	ディセーブル	ディセーブル
2	1	有効 (DRSS)	ディセーブル	ディセーブル
3	0	有効 (DRSS)	ディセーブル	有効
4	1	有効 (DRSS)	ディセーブル	有効
5	0	有効 (DRSS)	有効	ディセーブル
6	1	有効 (DRSS)	有効	ディセーブル
7	0	有効 (DRSS)	有効	有効
8	1	有効 (DRSS)	有効	有効
9	0	ディセーブル	ディセーブル	ディセーブル
10	1	ディセーブル	ディセーブル	ディセーブル
11	0	ディセーブル	ディセーブル	有効
12	1	ディセーブル	ディセーブル	有効
13	0	ディセーブル	有効	ディセーブル
14	1	ディセーブル	有効	ディセーブル
15	0	ディセーブル	有効	有効
16	1	ディセーブル	有効	有効

CFG2 ピンにより、V_{OUT} 過電圧保護レベルが定義され、デバイスが内部クロック ジェネレータまたは SYNCIN ピンに印加される外部クロックを使用するかが設定されます。クロック同期中、クロック ディザー機能は無効化されます。

OVP ビット 1: OVP ビット 1 および 0 は、V_{OUT} 過電圧保護レベルを設定します。[00] = 64V、[01] = 50V、[10] = 35V、または [11] = 28.5V。

内部クロック: デバイスは内部クロックを使用します。

外部クロック: デバイスは内部クロックを使用し、外部クロックが適用されている場合はそれに同期します。

SYNCIN: SYNCIN ピンのクロック同期機能がアクティブ (オン) か無効 (オフ) かを定義します。本デバイスは、SYNCIN がアクティブのとき、SYNCIN ピンに印加された外部クロックとのみ同期します。

クロック ディザリング: 内部発振器を使用する場合、CFG1 ピンの設定クロック ディザリング モードに応じてクロック ディザリングを設定します。外部クロックを使用する場合、CFG1 ピンの設定を無視して、クロック ディザリング機能は無効化されます。

表 6-4. CFG2 ピン設定

レベル	OVP ビット 1	クロック	SYNCIN	クロック ディザリング
1	0	内部	オフ	CFG1 ピン
2	1	内部	オフ	CFG1 ピン
3	0	内部	オフ	CFG1 ピン
4	1	外部	オン	ディセーブル
≧ 5	0	外部	オン	ディセーブル

6.3.2 デバイスおよび位相のイネーブル / ディスエーブル (UVLO/EN、EN2)

シャットダウン中、UVLO/EN ピンは内部抵抗 R_{EN} によって Low になります。$V_{UVLO/EN}$ が $V_{EN\text{-}RISING}$ を上回ると、R_{EN} がディスエーブルになり、$I_{UVLO/EN}$ (標準値 10μA) 電流ソースがイネーブルになって UVLO 機能を提供します。デバイスが起動し、構成を読み取り、スタンバイ状態に入ります (機能状態図を参照)。$V_{UVLO/EN}$ が $V_{UVLO\text{ - }RISING}$ を上回ると、$I_{UVLO/EN}$ 電流ソースがディスエーブルになり、デバイスは開始位相 1 および 2 状態に移行し、DEM 動作中に V_{OUT} を

Copyright © 2025 Texas Instruments Incorporated

上昇させるソフト スタートを実行します。ヒステリシス V_{EN-HYS} および $v_{UVLO-HYS}$ が実装されています。式 1 と式 2 に従って、外部 UVLO 抵抗分圧器 (R_{UVLOT} と R_{UVLOB}) を選択します。

$$R_{UVLOT} = \frac{\left(V_{ON} - \frac{V_{UVLO-RISING}}{V_{UVLO-FALLING}} \times V_{OFF}\right)}{I_{UVLO-HYS}} \quad (1)$$

$$R_{UVLOB} = \frac{V_{UVLO-FALLING} \times R_{UVLOT}}{V_{OFF} - V_{UVLO-FALLING}} \quad (2)$$

スタートアップ時または低 V_I での負荷過渡時に V_I が一時的に VOFF を下回る場合に備えて、UVLO コンデンサ ($_{UVLO}$) が必要です。必要な UVLO コンデンサが大きい場合、追加の直列 UVLO 抵抗 (R_{UVLOS}) を使用することで、$I_{UVLO-HYS}$ が有効化のときに UVLO ピンの電圧を急速に上昇させることができます。

2 番目の位相は V_{EN2} が V_{EN2_H} を上回るとイネーブルになり、V_{EN2} が V_{EN2_L} を下回るとディスエーブルになります。スタートアップ時または動作中の 2 位相をイネーブルまたはディスエーブルにします。2 番目の位相は位相 1 に 180°位相シフトされ、入力および出力リップルを最小限に抑えます。

UVLO/EN ピンとバイアス ピンの間の ESD ダイオードが導通しているため、UVLO/EN ピンの電圧はバイアス ピンの電圧 + 0.3V を超えることはできません (絶対最大定格を参照)。ただし、直列抵抗を使用して電流が最大 100μA に制限されている場合、UVLO/EN ピンに最大 42V (推奨動作条件) の高い電圧を印加できます。

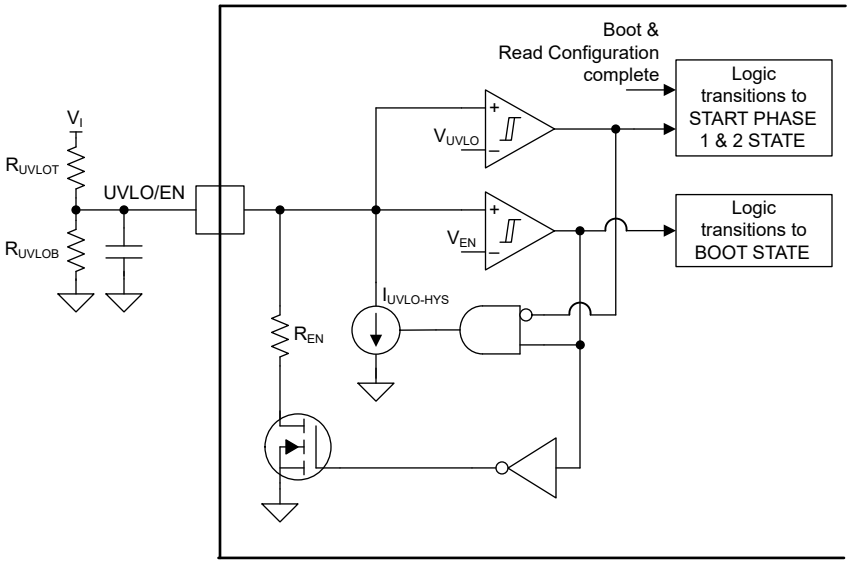


図 6-1. 機能ブロック図 UVLO と EN

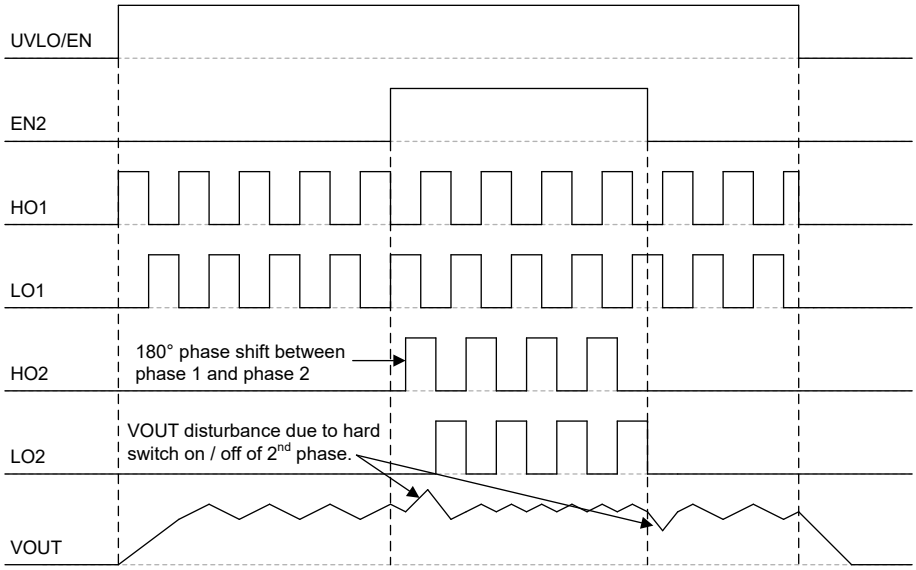


図 6-2. の 2 相動作

6.3.3 スイッチング周波数および同期 (SYNCIN)

100kHz～2.2MHz のスイッチング周波数は、RT ピンおよび AGND ピンの間に接続された RT 抵抗により設定されます。RT 抵抗は、式 4 に従って、14kΩ と 316kΩ の間で選択されます。外部クロックを使用するように構成している場合、本デバイスは、RT ピンで設定された内部発振器を使用し、SYNCIN ピンに印加される外部クロックに対して ±50% 以内のスイッチング周波数を同期できます。内部クロックは、SYNCIN ピンに印加された外部クロック信号の立ち上がりエッジで同期されます。周波数同期中、およびクロック ディザリングが無効化されている間、CFG1 ピンのスペクトラム拡散設定は無視されます。

本デバイスは、常に内部クロックで起動し、位相 1 および 2 が開始状態およびアクティブ状態の間に、印加される外部クロックと同期を開始します (機能状態図を参照)。本デバイスは、クロックが印加されるとすぐに外部クロックに同期し、外部クロックが停止した場合には内部クロックに戻ります。

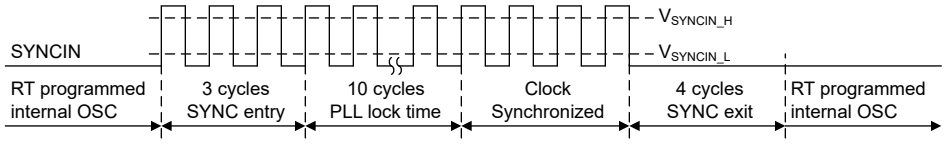


図 6-3. クロックの同期

$$F_{SW} = \frac{1}{\frac{R_{RT} \times s}{31.5\ G\Omega} + 18ns} \tag{3}$$

$$R_{RT} = \left(\frac{1}{F_{SW}} - 18ns\right) \times 31.5\frac{G\Omega}{s} \tag{4}$$

6.3.4 デュアル ランダム スペクトラム拡散機能 (DRSS)

このデバイスにはデジタル スペクトラム拡散機能があり、広い周波数範囲にわたって電源の EMI を低減します。 の CFG1 ピン設定によりスペクトラム拡散を有効にします。スペクトラム拡散が有効になると、内部変調器が内部クロックをディザリングします。SYNCIN ピンで印加される外部クロックを使用するようにデバイスを構成している場合、内部スペクトラム拡散は無効化されます。DRSS 機能は、低周波数の三角波変調プロファイルと、高周波数のサイクル単位のランダム変調プロファイルを組み合わせたものです。低周波数の三角波変調は低い無線周波数帯域 (AM 帯域など) で性能を向上させ、高周波のランダム変調は高い無線周波数帯域 (FM 帯域など) で性能を向上させます。さらに、可聴音が発生する

Copyright © 2025 Texas Instruments Incorporated

可能性を低減するために、三角波変調の周波数がさらにランダムに変調されます。スペクトラム拡散により発生する出力電圧リップルを最小限に抑えるため、ディザリングが有効な場合は、デューティ サイクルをサイクル単位で調整し、ほぼ一定に維持します。

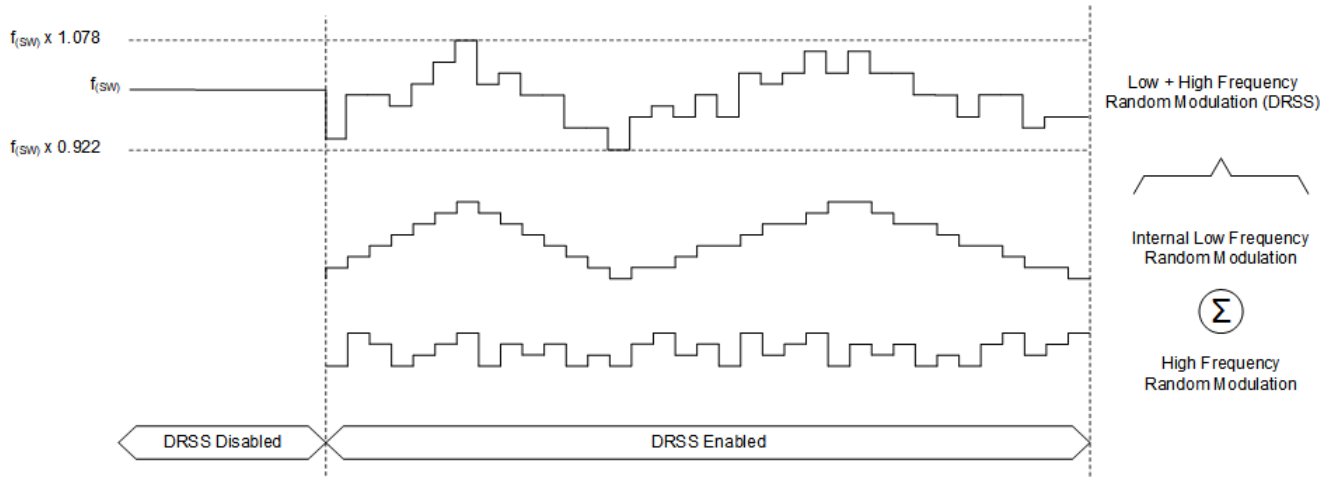


図 6-4. デュアル ランダム スペクトラム拡散

6.3.5 動作モード (バイパス、DEM、FPWM)

このデバイスは、バイパス モード、強制 PWM (FPWM)、ダイオード エミュレーション モード (DEM) 動作をサポートしています。このモードは動作中に変更でき、MODE ピンの 設定されます。$V_{OUT} < V_I$ の場合、バイパス モードが自動的に有効になります。デバイスの動作モードは、$V_{MODE} < 0.4V$ の場合は DEM に、$V_{MODE} > 1.2V$ の場合は FPWM に設定されます。

表 6-5. MODE ピンの設定

動作モード	MODE ピン
DEM	$V_{MODE} < 0.4V$
FPWM	$V_{MODE} > 1.2V$

ダイオード エミュレーション モード (DEM) では、V_{OUT} から V_I に電流が流れるのを防ぎます。各相の SW ピンの電圧は、ハイサイドのオン タイム中に監視され、ゼロ電流検出スレッショルド V_{ZCD} を下回ると、ハイサイド スイッチがオフになります。このデバイスは軽負荷時には不連続導通モード (DCM) で動作し、最後にパルスをスキップして軽負荷時の効率を向上させます。両方の位相がアクティブ (EN2 = High) のとき、軽負荷時には両方の位相が DCM で動作し、最後にパルスをスキップします。DEM 動作では、COMP が標準 460mV を下回ると、コントローラはパルスをスキップし始めます。スキップ エントリ ポイントは、入力電流については式式 5 を使用し、出力電流については式式 6 を使用して計算。

$$I_{I_skip} = \frac{1.5\mu \times \frac{V_I}{L}}{0.48 \times \frac{f_{SW}}{40K} + 250\mu \times R_{SNS} \times \frac{V_I}{L}} \tag{5}$$

$$I_{OUT_skip} = \frac{\frac{V_I}{V_{OUT}} \times \frac{V_I}{L} \times 1.5\mu}{0.48 \times \frac{f_{SW}}{40K} + 250\mu \times R_{SNS} \times \frac{V_I}{L}} \tag{6}$$

強制パルス変調モード (FPWM) では、コンバータは連続導通モード (CCM) で、固定周波数によって軽負荷時にもスイッチングを継続します。このモードでは、軽負荷の過渡応答が改善されます。

バイパス モード (BYPASS) では、ハイサイド FET をオンにすることで、V_I を V_{OUT} (レギュレーションなし) に接続します。DEM 設定では V_{OUT} から V_I への電流の流れが防止され、FPWM 設定では V_{NCLTH} に制限されているため、$_I$ から V_{OUT} に流れる正電流は制御できません。内蔵チャージ ポンプは HOx-SWx において最小 3.75V の電圧を供給し、相あたり 55μA (I_{CP})を駆動します。EN2 = Low の場合、位相 1 のハイサイド FET のみがオンになり、EN2 = High の場合、位相 1 および位相 2 のハイサイド FET がオンになります。プルダウン抵抗を使用する場合、チャージ ポンプが MOSFET とプルダウン抵抗のリーク電流を駆動できるようにしてください。チャージ ポンプが過負荷になると、$V_{HB-UVLO}$ ゲート電圧の最小値を維持するために、本デバイスはスイッチングを開始します。

表バイパス モードの開始、終了 の条件が満たされると、本デバイスはバイパス モードに移行して終了します。

表 6-6. バイパス モードの開始、終了

動作モード	バイパス	条件
DEM/FPWM	開始	$V_{OUT} < V_I - 100mV$ および $V_{COMP} < V_{COMP-MIN} + 100mV$
DEM	終了	$V_{COMP} > V_{COMP-MIN} + 100mV$ or $((V_{CSP1} - V_{CSN1}) < V_{ZCD_BYP} \| (V_{CSP2} - V_{CSN2}) < V_{ZCD_BYP})$
FPWM	終了	$V_{COMP} > V_{COMP-MIN} + 100mV$ or $((V_{CSP1} - V_{CSN1}) < V_{NCLTH} \| (V_{CSP2} - V_{CSN2}) < V_{NCLTH})$

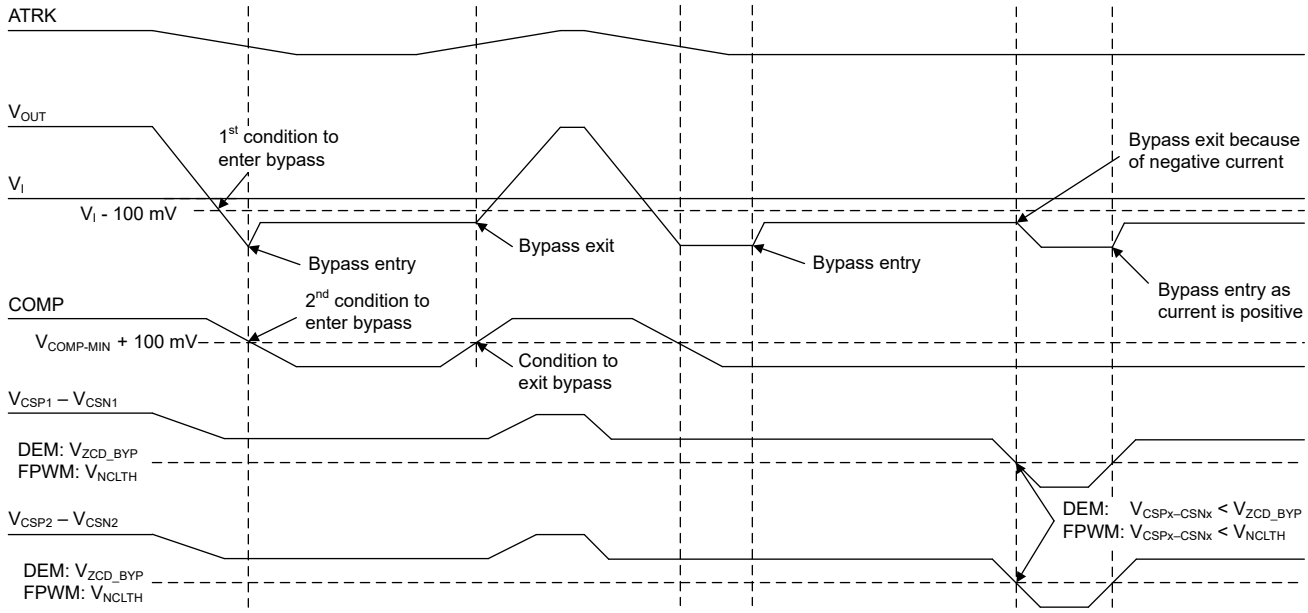


図 6-5. バイパス モードの開始、終了

6.3.6 VCC レギュレータ、BIAS (BIAS ピン、VCC ピン)

ゲートドライバは、内部の 5V VCC レギュレータから電力を供給されます。VCC レギュレータは、$V_{BIAS} > V_{BIAS-RISING}$ の場合は BIAS ピンから最大 42V をサポートし、$V_{BIAS} < V_{BIAS-FALLING}$ の場合は VOUT ピンから電源を供給されます。リファレンス システムは BIAS ピンから永続的な電力を供給され、電圧が 2V 未満の場合にシャットダウンできるため、BIAS ピンは 2.5V 以上の電圧 (例:V_I または 5V) に接続します。推奨される VCC コンデンサの値は 10μF です。

内蔵の電流制限機能により、VCC の過負荷時、または VCC ピンがグランドに短絡したときにデバイスの損傷を防止します。VCC は、200mA（I_{VCC-CL}）までの電圧を供給できます。外部 MOSFET で消費される VCC 電流は、式 7 で計算できます。

$$I_{VCC} = n \times 2 \times Q_{G@5V} \times f_{SW} \tag{7}$$

ここで、

Copyright © 2025 Texas Instruments Incorporated

- n はアクティブな位相の数です。
- $Q_{G@5V}$ は 5V の ゲート ソース電圧における MOSFET ゲート電荷です。

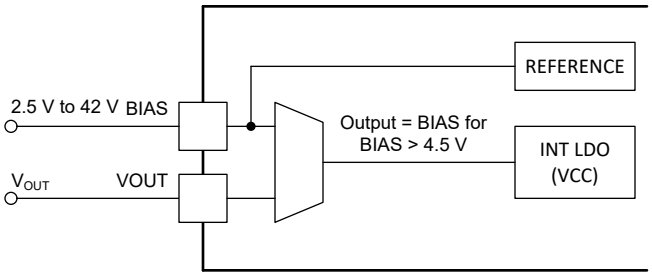


図 6-6. その場でのバイアス電源の選択

6.3.7 ソフトスタート (SS ピン)

開始位相 1 および 2 の状態 (FSM を参照) での起動時に、デバイスは SS ピン電圧または ATRK/DTRK ピン電圧のどちらか低い方に、エラー アンプのリファレンス電圧を調整します。安定化リファレンスにより、出力電圧 V_{OUT} が次第に上昇します。ソフトスタート中、デバイスは、ソフトスタート完了信号が生成されるまで、強制的にダイオード エミュレーション モード (DEM) を実行します。

外部ソフトスタート コンデンサは、まず $V_{SS\text{-}DIS}$ 電圧まで放電され、次に I_{SS} 電流によって充電され、$V_{SS\text{-}DONE}$ に達したときにソフトスタート完了信号が生成されます。昇圧トポロジでは、スタートアップ時に V_{OUT} が V_I と等しいため、ソフトスタート時間 (t_{SS}) は入力電源電圧によって変化します。ソフト スタートの図では、t_1 の時点でソフト スタート電流が作動します。t_2 の時点で、ソフト スタート電圧は V_I 電圧レベルに達し、V_{OUT} が t_3 のプログラムされた V_{OUT} 値に達するまで、V_{OUT} の上昇を開始します。SS ピンの電圧が $V_{SS\text{-}DONE}$ に達すると、ソフト スタート完了信号が t_4 に生成されます。V_{VCC} に達するまで、SS ピンの電圧は上昇を続け、ここでソフト スタート電流が無効になります。

$$t_{SS_t1_t4} = 2.2 \times \frac{C_{SS}}{I_{SS}} \tag{8}$$

$$t_{SS_t2_t3} = \frac{C_{SS}}{I_{SS}} \times \frac{V_{OUT} - V_I}{30} \tag{9}$$

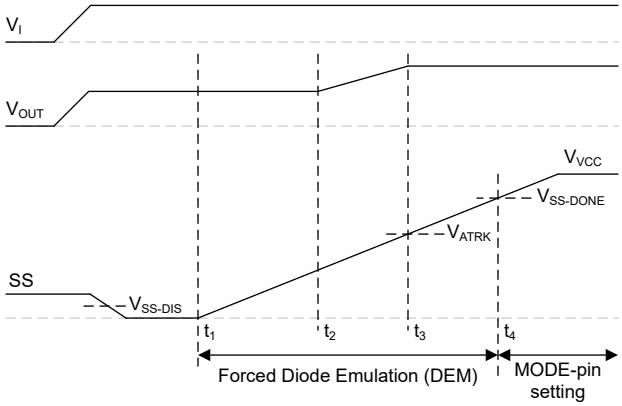


図 6-7. ソフト スタート

6.3.8 V_{OUT} のプログラミング (VOUT、ATRK、DTRK)

出力電圧 V_{OUT} は VOUT ピンで検出されます。V_{OUT} は、を使用して 6V～60V の範囲でプログラミングします。10kΩ を 100kΩ 抵抗と ATRK/DTRK ピンに接続し、0.2V～2V の電圧または 8%～80% のデューティ サイクルの範囲のデジタル信号を印加します。スタンバイ状態 (機能状態図) 時のスタートアップで、プログラミング方式のアナログ信号またはデジタル信号が検出されます。位相 1 および 2 が開始状態に遷移する際にプログラミング方式はラッチされ、動作中に変更

することはできません。ATRK は最大 10kHz の信号をサポートしますが、V_{OUT} が追従できるように ATRK ピンの電圧を十分に遅く変更します。このデバイスは、ATRK < 0.2V または ATRK >2V に対しても V_{OUT} の調整を試みますが、性能は持続できません。抵抗による V_{OUT} プログラミングのために、CFG0 設定で 20µA の電流を有効にします。20µA の電流は ATRK ピン経由でソースされ、目標の VOUT 電圧に必要な ATRK 電圧を外付け抵抗により生成します。アナログ トラッキング (ATRK) またはデジタル トラッキング (DTRK) の場合、TI では 20µA の電流を無効化することを推奨します。

抵抗で V_{OUT} をプログラミングする式:

$$R_{ATRK} = \frac{V_{OUT}}{6\,V} \times 10\,k\Omega \tag{10}$$

電圧 (ATRK) で V_{OUT} をプログラミングする式:

$$V_{OUT} = V_{ATRK} \times 30 \tag{11}$$

デジタル信号 (DTRK) で V_{OUT} をプログラミングする式:

$$V_{OUT} = 0.75\,\frac{V}{\%} \times Duty\ Cycle \tag{12}$$

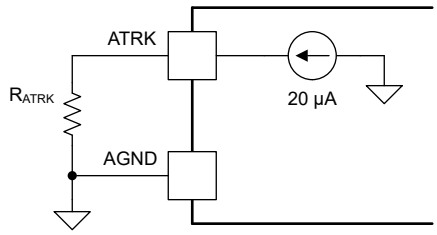


図 6-8. 抵抗による V_{OUT} のプログラミング

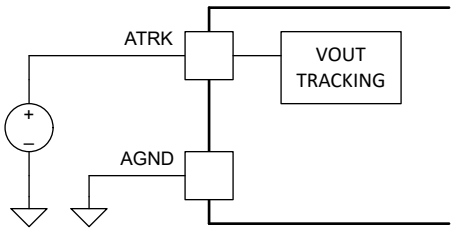


図 6-9. アナログ電圧による V_{OUT} のトラッキング

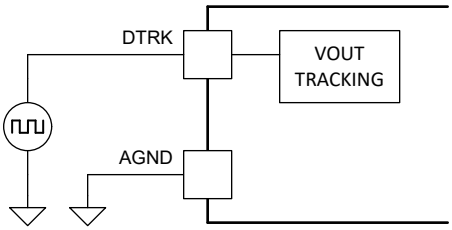


図 6-10. デジタル信号による V_{OUT} のトラッキング

6.3.9 保護機能

次の保護機能が実装されています。図 6-11 は、機能状態図 のどの状態でどの保護がアクティブになっているかを示します。保護は、同じグレーシェーディングを持つ灰色の灰色の状態でアクティブになります。たとえば、TSD はサーマル シャットダウン状態を含むスタンバイ状態でアクティブになりますが、ICL ラッチ状態ではありません。

- 過熱時にデバイスをオフにするサーマル シャットダウン (TSD)。
- 低電圧誤動作防止 (UVLO) により、電源電圧が低いときにデバイスをオフにします。
- VCC 低電圧誤動作防止 (VCC UVLO) により、ローサイド ゲートドライバ電圧が低すぎることを回避。VCC が回復するまで、デバイスはスイッチングを停止します。
- Hbx 低電圧誤動作防止 (HBx UVLO) により、ハイサイド ゲートドライバ電圧が低すぎることを回避。本デバイスはリフレッシュ パルスを開始します (ヒカップ モードのオフ時間は 512 サイクル)。詳しくは、MOSFET ドライバ、内蔵ブートダイオード、ヒカップ モードの故障保護 (LOx、HOx、HBx ピン) を参照してください。
- 過電圧保護 (OVP)、トリガが発生すると、V_{OUT} が目標値に戻るまで、デバイスはスイッチングを停止します。2 つの OVP が実装されています。

Copyright © 2025 Texas Instruments Incorporated

  - OVP_{max} は、プログラマブル絶対値 (通常は 64V、50V、35V、28.5V) です。
  - OVP がトリガされ、V_{OUT} がプログラムされた値の 110% になるとトリガされます。
- 低電圧保護 (UVP):トリガされると、デバイスは動作を継続しますが、PGOOD ピンは Low になります。
- ピーク電流制限 (PCL) により、スイッチ電流を制限します。詳しくは、電流センス設定とスイッチ ピーク電流制限 (CSP1、CSP2、CSN1、CSN2) を参照してください。
- 入力電流制限 (ICL) により、スイッチ電流を 120% に制限します。この保護は、I_{CL_LATCH} プログラミングによりイネーブル / ディセーブルになります。
- 平均入力電流制限 (ILIM) により、平均入力電流を R_{ILIM} でプログラムされた値に制限します。詳しくは、入力電流制限および監視 (ILIM、IMON、DLY) を参照してください。

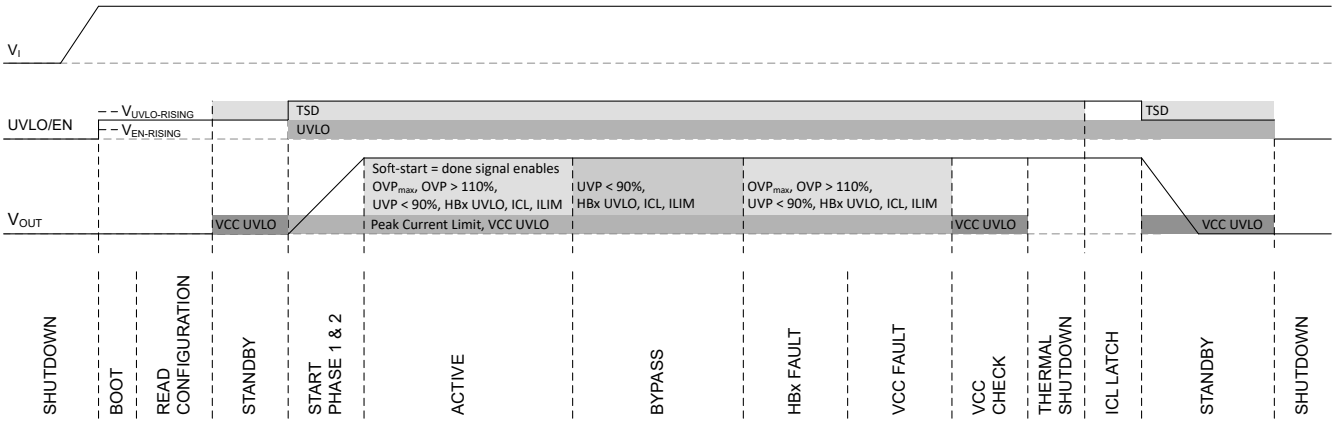


図 6-11. 保護素子

6.3.9.1 V_{OUT} 過電圧保護 (OVP)

過電圧保護 (OVP) は、2 つのスレッショルドを使用して VOUT ピンを監視します。 プログラマブル スレッショルド $V_{OVP_max\text{-}H}$ により、V_{OUT} を 64V、50V、35V、または 28.5V に制限し、$V_{OVP\text{-}H}$ スレッショルドにより、プログラムされた V_{OUT} を プログラムされた電圧の 110% に制限します。バイパス状態では、110% $_{OVP\text{-}H}$ 検出は無効化されます。

V_{OUT} が $V_{OVP_max\text{-}H}$ または $V_{OVP\text{-}H}$ スレッショルドを上回ると (バイパス中はアクティブではない)、ローサイド ドライバはオフになり、ハイサイド ドライバはオンになります。V_I から V_{OUT} への電流が CSP1 - CSN1 を介して監視され、位相 2 も CSP2 - CSN2 を介してアクティブな場合、V_I から V_{OUT} に電流が流れるようになります。V_I から V_{OUT} の電流がゼロまたは負になると、ハイサイド ドライバはオフになり、V_{OUT} から V_I に電流が流れるのを防止します。V_{OUT} が $V_{OVP_max\text{-}L}$ または $V_{OVP\text{-}L}$ スレッショルドを下回ると、デバイスは通常動作を継続します。

6.3.9.2 サーマル シャットダウン (TSD)

内部サーマル シャットダウン (TSD) は、接合部温度 (T_J) が $T_{TSD\text{-}RISING}$ スレッショルドを超えると、MOSFET ドライバと VCC レギュレータを無効にすることで、デバイスを保護します。接合部温度 (T_J) が $T_{TSD\text{-}HYS}$ ヒステリシスによって低下した後、デバイスは機能状態図に従って動作を継続します。

6.3.10 パワー グッド･インジケータ (PGOOD ピン)

このデバイスは、パワー グッド インジケータ (PGOOD) を備えており、シーケンシングと監視を簡素化できます。PGOOD はオープン ドレイン出力で、プルアップ抵抗を外部に接続できます。VOUT ピンの電圧が $V_{UVP\text{-}H}$ 低電圧スレッショルドより高い場合、PGOOD スイッチはオープンになります。PGOOD は、次の条件で Low になります。

- VOUT ピンの電圧は、V_{OUT} 立ち下がり低電圧スレッショルド $V_{UVP\text{-}L}$ を下回っています。
- VOUT ピンの電圧は、V_{OUT} 立ち上がり過電圧スレッショルド V_{OVP_H} を上回っています。また、電圧が $V_{OVP_max\text{-}H}$ スレッショルドを上回り、$PGOOD_{OVP_ENABLE}$ 機能がイネーブルになると、PGOOD は Low になります (CFG1 ピン設定を参照)。
- デバイスはシャットダウン状態にあり、V_{BIAS} が約 1.7V を上回ります (機能状態図を参照)。
- EN/UVLO ピンの電圧は、低電圧誤動作防止スレッショルド電圧 $V_{UVLO\text{-}FALLING}$ を下回っています。

- VCC レギュレータの電圧 VCC は、低電圧誤動作防止スレッショルド $V_{VCC\text{-}UVLO\text{-}FALLING}$ を下回っています。
- サーマル シャットダウンがトリガされます(機能状態図を参照)。
- HBx ピンの電圧は V_{HBx} 立ち下がり $V_{HB\text{-}UVLO}$ スレッショルドを下回り、ブート リフレッシュは 512 サイクルのヒカップ モード オフ時間に入ります (MOSFET ドライバ、内蔵ブート ダイオード、ヒカップ モードの故障保護 (LOx、HOx、HBx ピン)を参照)。PGOOD は、ヒカップのオフ時間中のみ Low になります。
- スイッチのピーク電流制限を 20% 超え、I_{CL_latch} 機能が有効になります (CFG1 ピン設定を参照)。
- OTP メモリ故障が発生しました (CRC エラー)。

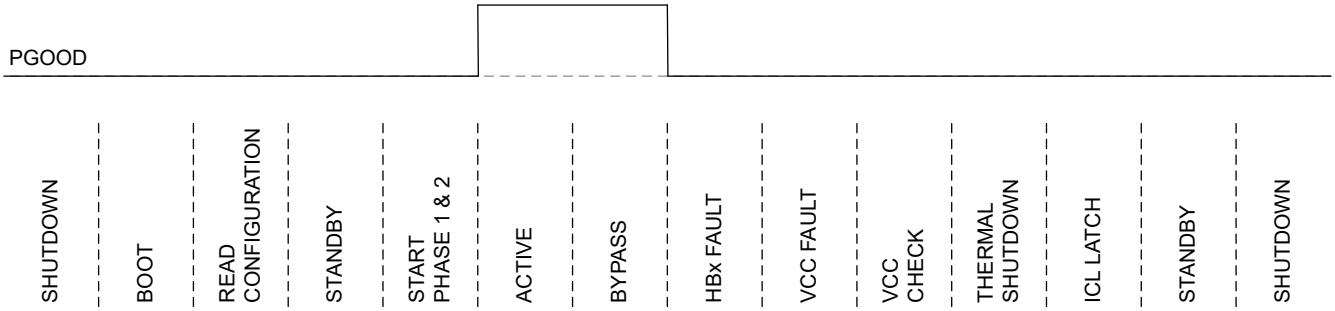


図 6-12. すべてのデバイス状態の PGOOD ステータス

6.3.11 勾配補償 (CSP1、CSP2、CSN1、CSN2)

電流センス アンプのゲインは 10 (ACS) であり、勾配補償ランプを内蔵することにより、高いデューティ サイクルでのサブハーモニック発振を防止できます。補償ランプの勾配は、検出されるインダクタ電流の立ち下がり勾配の半分を上回る必要があります。これは、式 13 でのマージン入力が 1 より大きい場合に満たされます。

$$\frac{V_{OUT} - V_I}{2 \times L} \times R_S \times Margin < V_{SLOPE} \times f_{SW} \tag{13}$$

6.3.12 電流センス設定とスイッチ ピーク電流制限 (CSP1、CSP2、CSN1、CSN2)

各相のピーク電流制限は、検出抵抗 R_{SNS1} および R_{SNS2} により設定されます。位相 1 の正のピーク電流制限は、CSP1 − CSN1 が位相 2 CSP2 − CSN2 のスレッショルド V_{CLTH} (標準値 60mV) に達したときにアクティブになります。負のピーク電流制限は、V_{NCLTH} (標準値 −28mV) に達するとアクティブになります。R_1、R_2、R_4、R_5 は 0Ω で、R_3、R_6 はオープンです。

$$R_{SNS} = \frac{I_{peak_lim}}{V_{CLTH}} \tag{14}$$

ピーク制限は、抵抗 R_1、R_2、R_3、R_4、R_5、R_6 を追加することで調整します。抵抗 R_1、R_2、R_4、R_5 は同じ値にする必要があります。CSx アンプは CSPx ピンから供給されるため、抵抗は 1Ω 未満を選択する必要があります。R_3 と R_6 は、1Ω ～20Ω の範囲を選択します。

$$I_{peak_\mathrm{lim}_ph1} = \left(\frac{R_1 + R_2}{R_3} + 1\right) \times \frac{V_{CLTH}}{R_{SNS1}} \tag{15}$$

$$I_{peak_\mathrm{lim}_ph2} = \left(\frac{R_4 + R_5}{R_6} + 1\right) \times \frac{V_{CLTH}}{R_{SNS2}} \tag{16}$$

Copyright © 2025 Texas Instruments Incorporated

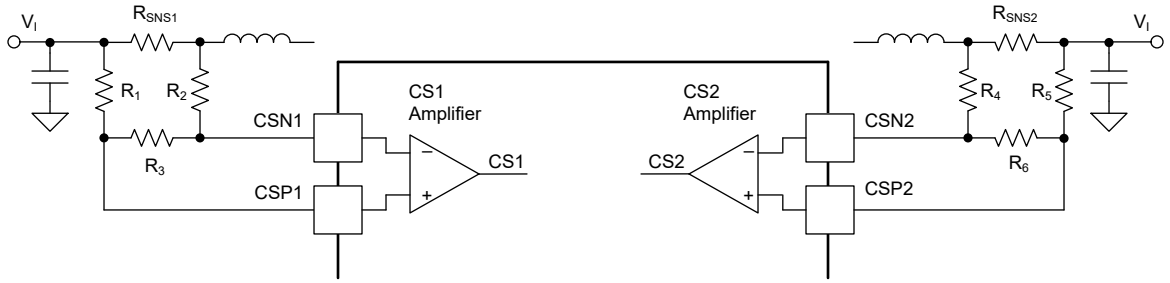


図 6-13. 追加の抵抗によりピーク制限を調整できます

負のピーク電流制限は通常 -28mV であり、負の電流がすでに COMP ピンの電圧によって制限されているため、通常はその値には達しません。V_{COMP} は標準 200mV でクランプされるため、-20mV 程度のセンス電圧でスイッチ電流が制限されます。

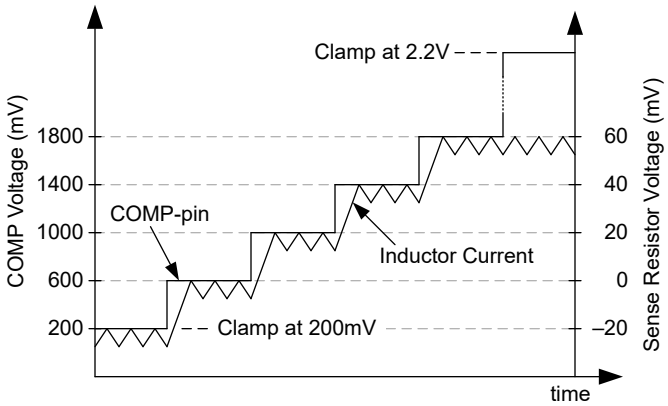


図 6-14. COMP ピンおよびセンス抵抗電圧スイッチ電流を制限します

6.3.13 入力電流制限および監視 (ILIM、IMON、DLY)

IMON ピンで平均 V_I 入力電流を監視します。各アクティブ相の平均感知電流を合計して、IMON ピンにソース電流を生成します。これは、抵抗 R_{IMON} によって電圧に変換されます。その結果として得られる電圧 V_{IMON} は式 18 に従って、必要な抵抗 R_{IMON} は式 17 に従って計算されます。V_{IMON} は最大 3V を調整でき、絶対最大値に達しないように自己保護機能が働いています。

$$R_{IMON} = \frac{V_{IMON}}{(R_{CS1} + R_{CS2}) \times I_{IN} \times G_{IMON} + \mathrm{n} \times I_{OFFSET}} \tag{17}$$

$$V_{IMON} = ((R_{CS1} + R_{CS2}) \times I_{IN} \times G_{IMON} + \mathrm{n} \times I_{OFFSET}) \times R_{IMON} \tag{18}$$

R_{CS1} と R_{CS2} は、それぞれ位相検出抵抗です。ディスエーブル位相の場合、センス抵抗値。I_{IN} は入力電流、G_{IMON} は相互コンダクタンス ゲイン、n はアクティブな位相の数、I_{OFFSET} は電気的特性表に記載されているオフセット電流です。

平均入力電流は、ILIM ピンに接続される適切な抵抗を選択することで制限します。入力電流制限がアクティブなときには、設定された平均入力電流制限に達するまで、V_{OUT} がレギュレートされます。V_{OUT} が V_I 電圧よりも低い値にレギュレートされている場合は、電流はもはや制限できません。DLY ピン コンデンサ C_{DLY} は、平均入力電流制限をアクティブおよび非アクティブにするための追加の遅延時間 t_{DLY} を追加します (図 6-15 を参照)。ILIM ピンの電圧がスレッショルド V_{ILIM} (標準値 1V) に達すると、ソース電流 I_{DLY} がアクティブになり、DLY ピンのコンデンサ C_{DLY} を充電します。DLY ピンの電圧 V_{DLY} は、$V_{DLY_peak_rise}$ に達するまで上昇し、それによって平均入力電流制限がアクティブになります。ILIM ピンの電圧は V_{ILIM} に調整され、入力電流は R_{ILIM} で設定された平均入力電流制限まで低下するため、V_{OUT} の電圧降下が生じます。平均電流制限レギュレーションを終了するには、出力負荷が低下する必要があります。これにより、V_{OUT} が上昇し、V_{ILIM} が V_{ILIM_reset} (標準値 0.88V) を下回ります。V_{ILIM_reset} はシンク電流 I_{DLY} を有効にして、DLY ピン コンデ

ンサ C_{DLY} を放電します。V_{DLY} が $V_{DLY_peak_fall}$ に達すると、平均入力電流制限が無効化され、DLY ピンは V_{DLY_valley} まで放電されます。必要な抵抗 R_{ILIM} は、式 19 に従って計算されます。

$$R_{ILIM} = \frac{1V}{(R_{CS1} + R_{CS2}) \times I_{IN_LIM} \times G_{IMON} + \mathrm{n} \times I_{OFFSET}} \tag{19}$$

$$t_{DLY} = \frac{2.6 \times C_{DLY}}{5 \times 10^{-6}} \tag{20}$$

$$C_{DLY} = t_{DLY} \times \frac{5 \times 10^{-6}}{2.6} \tag{21}$$

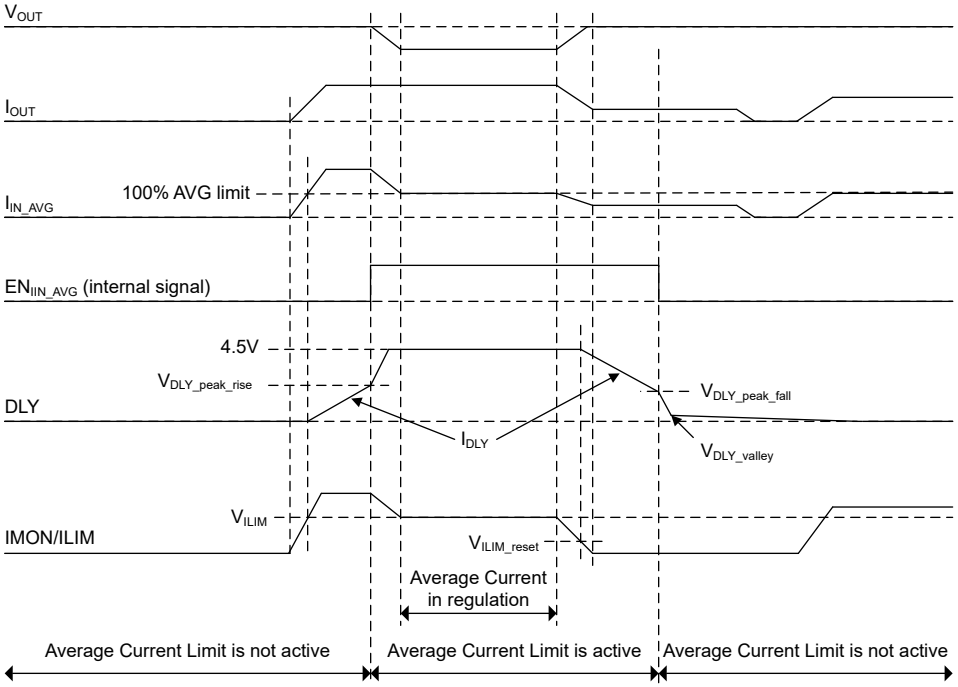


図 6-15. 平均電流制限

6.3.14 最大デューティ サイクルと最小の制御可能なオン時間の制限

抵抗性素子による理想的でない要因をカバーするため、最大デューティ サイクル制限 D_{MAX} と最小の強制オフ時間が実装されています。CCM 動作では、プログラムされた出力電圧 V_{OUT} についてサポートされる最小入力電圧 V_{I_MIN} は、最大デューティ サイクル D_{MAX} によって定義されます (式 22 を参照)。DEM 動作では、最小入力電圧 V_{I_MIN} は D_{MAX} によって制限されません。

$$V_{I_MIN} \approx V_{OUT} \times (1 - D_{MAX}) + I_{I_MAX} \times (R_{DCR} + R_{SNS} + R_{DS(ON)}) \tag{22}$$

ここで、

- I_{I_MAX} は、最小入力電圧 V_{I_MIN} での最大入力電流です
- R_{DCR} はインダクタの DC 抵抗
- $R_{SENSExx}$ はセンス抵抗の抵抗値
- $R_{DS\ (ON)}$ は MOSFET のオン抵抗

Copyright © 2025 Texas Instruments Incorporated

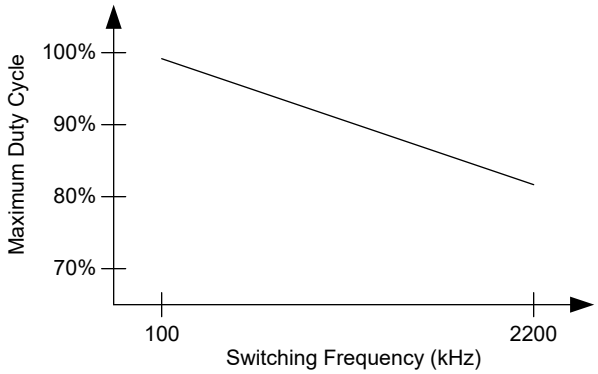


図 6-16. スイッチング周波数と最大デューティ サイクルとの関係

非常に軽い負荷条件、または V_I が V_{OUT} に近い場合、V_{OUT} 暴走を回避するために必要なオン時間が t_{ON-MIN} より短い場合、デバイスはローサイド ドライバのパルスをスキップします。このパルス スキップは、ランダムな動作のように見えます。V_I が V_{OUT} よりもさらに高い電圧まで上昇すると、必要なオン時間は 0 になり、最終的にデバイスはバイパス 動作に移行します。このモードでは、ハイサイド ドライバが 100% オンになります。

6.3.15 信号のグリッチ除去の概要

以下の画像は信号のグリッチ除去を示しています。すべての信号について、同じグリッチ除去時間で、立ち上がりエッジと立ち下がりエッジのグリッチ除去が行われます。

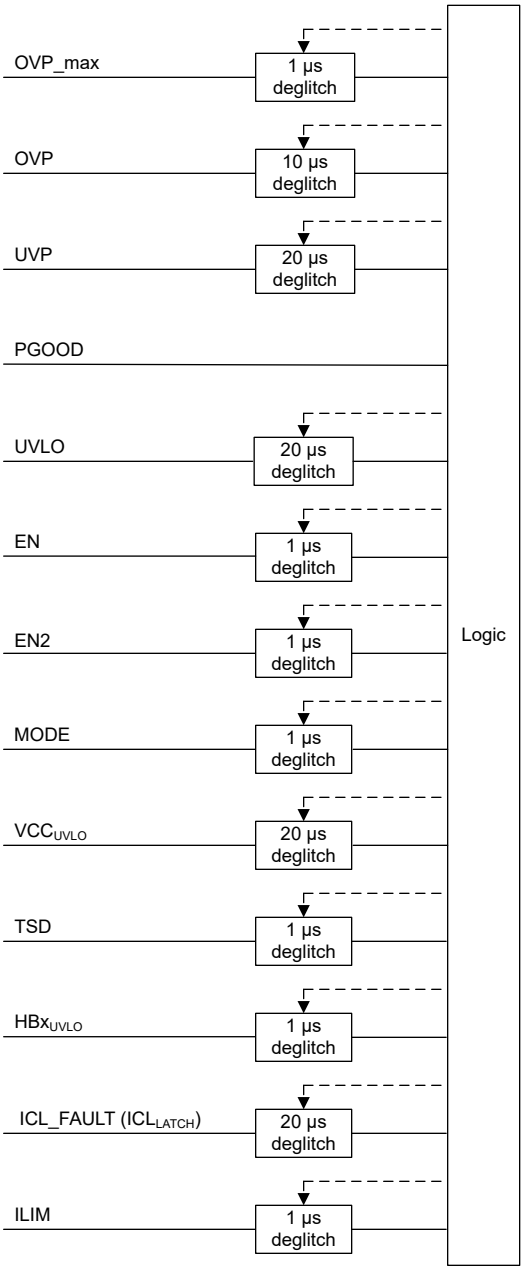


図 6-17. 信号のグリッチ除去

Copyright © 2025 Texas Instruments Incorporated

6.3.16 MOSFET ドライバ、内蔵ブート ダイオード、ヒカップ モードの故障保護 (LOx、HOx、HBx ピン)

このデバイスは、N チャネル ロジック MOSFET ドライバを内蔵しています。LOx ドライバは VCC から、HOx ドライバは HBx から電力供給されます。SWx ピンの電圧がローサイド MOSFET をオンにすることで約 0V になると、コンデンサ C_{HBx} は内部ブート ダイオードを経由して VCC から充電されます。C_{HBx} に推奨される値は 0.1µF です。シャットダウン中、ゲートドライバの出力はハイ インピーダンスになります。

LOx と HOx の出力はアダプティブ デッドタイム手法により制御され、両方の出力が同時にオンにならないようになっているため、貫通電流を防げます。デバイスが LOx をオンにすると、適応型デッドタイム ロジックは HOx をオフにし、HOx-SWx 電圧が標準値の 1.5V を下回るまで待機します。その後、短くてプログラム可能なデッドタイム遅延 t_{DHL} の後、LOx がオンになります。また、LOx-PGND 電圧が標準 1.5V を下回るまで、HOx ドライバのターンオンは遅延されます。その後、短くてプログラム可能なデッドタイム遅延 t_{DLH} の後で HOx がオンになります。

ドライバの出力電圧が、スタートアップ時に MOSFET のゲート プラトー電圧よりも低い場合、コンバータが正しくスタートアップせず、最大デューティ サイクルで高い消費電力の状態のままになる可能性があります。この条件は、より低いスレッショルドの MOSFET を選択するか、BIAS ピン電圧が十分なときにデバイスをオンにすることで回避します。バイパス動作中、HOx ～ SWx の最小電圧は 3.75V です。

ヒカップ モードの故障保護は、$V_{HB-UVLO}$ によってトリガされます。Hbx ～ SWx 電圧が HBx UVLO スレッショルド ($V_{HB-UVLO}$) を下回ると、LOx は 75ns にわたって強制的にオンになり、昇圧コンデンサを再充電します。このデバイスでは、最大 4 つの連続した再充電スイッチングサイクルが可能です。最大 4 つの連続したブート再充電スイッチングサイクルの後で、デバイスは 12 サイクルにわたってスイッチングをスキップします。4 つの連続した再充電スイッチングが 4 セット行われた後に、デバイスが昇圧コンデンサを再充電できなかった場合、デバイスはスイッチングサイクルを停止し、ヒカップ モードのオフ時間は 512 サイクルに移行します。ヒカップ モードのオフ時間中、PGOOD = Low で、SS ピンは接地されています。

必要であれば、プルダウン PNP トランジスタと並列にゲート抵抗を追加することで、スイッチング ノード電圧のスルーレートを調整します。この抵抗は実効デッドタイムを短縮します。

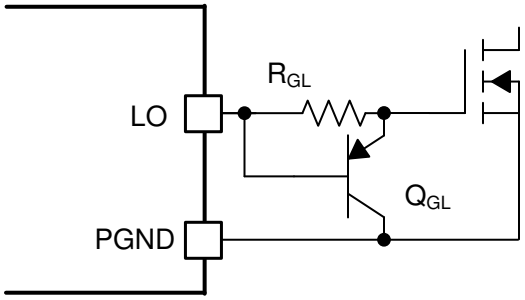


図 6-18. スルー レート制御

6.4 デバイスの機能モード

それぞれの動作モードを「状態図」(FSM)に示します。

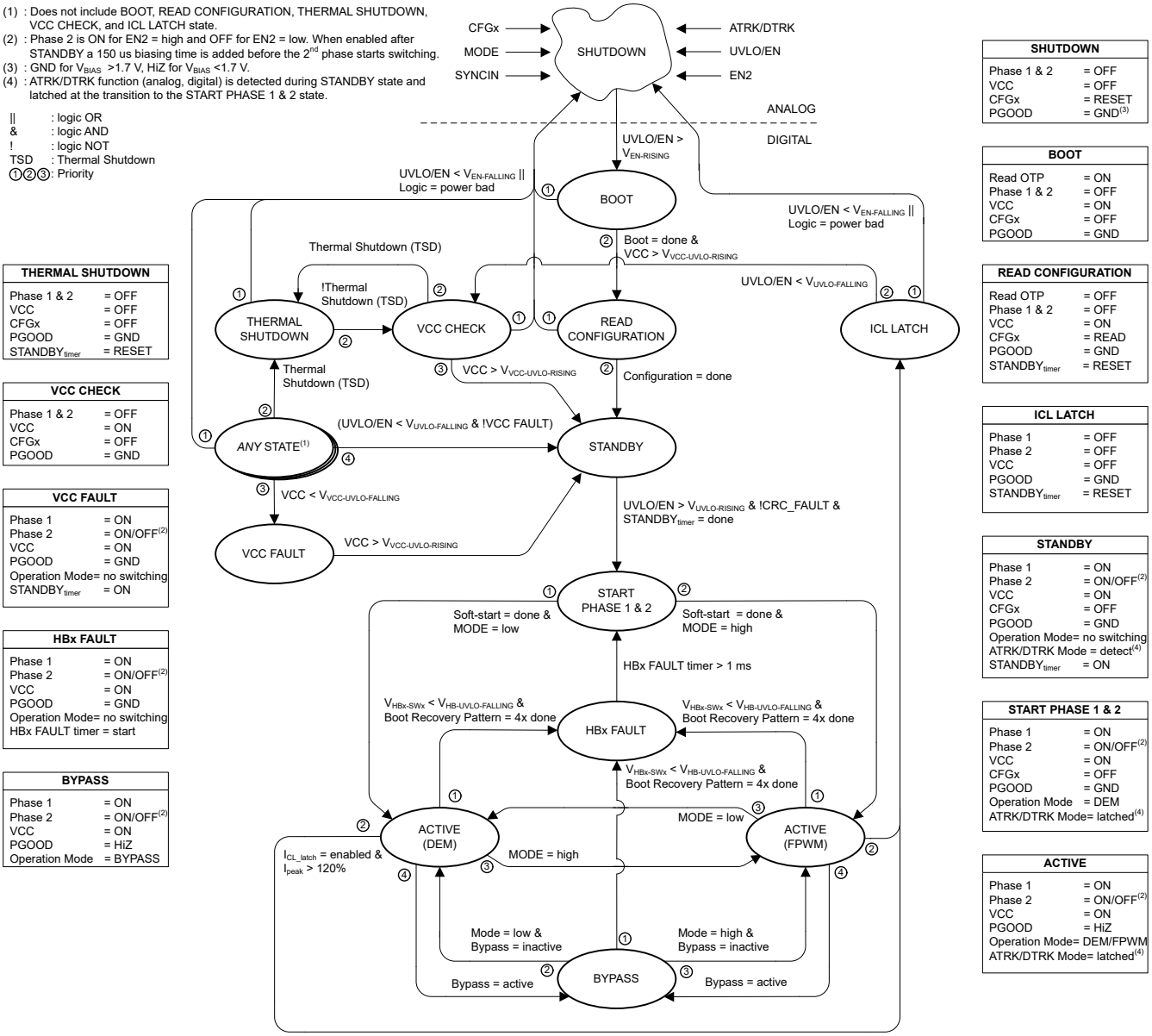


図 6-19. 機能状態図

6.4.1 シャットダウン状態

デバイスは、UVLO/EN ピンが Low である場合にシャットダウンします。バイアス ピンからの消費電流は通常 2μA、VOUT ピンからの消費電流は 0.001μA です。シャットダウンでは、COMP、SS、PGOOD はグランドに接続されます。VCC レギュレータは無効です。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

LM5125-Q1 は、2 相インターリーブ昇圧コンバータです。LM5125-Q1 の部品の値を選択するには、以下の設計手順を使用します。

代表的なアプリケーションおよび曲線については、LM5125 評価基板を参照してください。

LM5125 クイック スタート カリキュレータを使用すると、特定のアプリケーション用に、レギュレータを簡単に設計できます。

あるいは、WEBENCH® ソフトウェアを使用して完全な設計を生成することもできます。WEBENCH ソフトウェアは、反復的な設計手順を使用し、包括的な部品データベースにアクセスして設計を生成します。

ここでは、設計手順について簡単に説明します。

7.1.1 帰還補償

昇圧レギュレータのオープン ループ応答は、変調器の伝達関数と帰還伝達関数との積で定義されます。dB スケールでプロットした場合、開ループ ゲインは、変調器のゲインと帰還ゲインとの和として示されます。電流モード昇圧レギュレータの変調器伝達関数には、組み込み電流ループ付きの電力段伝達関数が組み込まれています。1 つの極、1 つのゼロ、1 つの右半面ゼロ (RHPZ) 系と単純化されています。

変調器の伝達関数は、次のように定義されます。

$$\frac{\hat{v}_{out}}{\hat{v}_{comp}} = A_M \times \frac{\left(1+\frac{s}{\omega_{Z_ESR}}\right)\left(1-\frac{s}{\omega_{RHPZ}}\right)}{1+\frac{s}{\omega_{P_LF}}} \times G_{ACB}\left(s\right) \tag{23}$$

ここで、

- 変調器の DC ゲイン、$A_M = \frac{R_{out} \times D'}{2 \times A_{cs} \times R_{cs_eq}}$
- 負荷ポール、$\omega_{P_LF} = \frac{2}{R_{out} \times C_{out}}$
- ESR ゼロ、$\omega_{Z_ESR} = \frac{1}{R_{ESR} \times C_{out}}$
- RHPZ、$\omega_{RHPZ} = \frac{R_{out} \times D'^2}{L_{m_eq}}$
- 等価負荷抵抗の、$R_{out} = \frac{V_{out}^2}{P_{out_total}}$
- 等価インダクタンス、$L_{m_eq} = \frac{L_m}{N_p}$
- 等価電流センス抵抗、$R_{cs_eq} = \frac{R_{cs}}{N_p}$
- N_p は位相の数です。
- アクティブ電流のバランシング回路のゲイン、$G_{ACB}(s) = \frac{1}{2} \times \frac{s \times 4 \times 10^{-6} + 1}{s \times 2 \times 10^{-6} + 1}$ .LM5125 にはアクティブ電流バランシング回路が採用されており、2 つのインダクタの違いに起因する平均電流誤差を低減しています。

C_{out} (R_{ESR}) の等価直列抵抗 (ESR) が十分小さく、RHPZ 周波数がターゲット クロスオーバー周波数から離れている場合、変調器の伝達関数を 1 ポール システムにさらに簡素化し、電圧ループを閉ループ補償部品 R_{COMP} および C_{COMP} の 2 つだけで閉ループでき、クロスオーバー周波数でシングル ポール応答が残ります。クロスオーバー周波数におけるシングル ポール応答により、90°の位相マージンを持つ、非常に安定したループが得られます。

図 7-1 に示すように、出力電圧エラー アンプとして g_m アンプが使用されます。帰還伝達関数には、帰還分圧抵抗のゲインと、エラー アンプのループ補償が含まれます。R_{COMP}、C_{COMP}、および C_{HF} は、エラー アンプのゲインと位相の特性を設定し、原点のポール、低周波ゼロ点、高周波ポールを形成します。

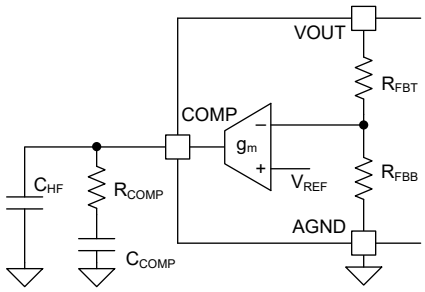


図 7-1. タイプ II g_m アンプ補償

帰還伝達関数は、次のように定義されます。

$$-\frac{\hat{v}_{comp}}{\hat{v}_{out}} = \frac{A_{VM} \times \omega_{Z_EA}}{s} \times \frac{1 + \frac{s}{\omega_{Z_EA}}}{1 + \frac{s}{\omega_{P_EA}}} \tag{24}$$

ここで、

- 中帯域の電圧ゲイン、$A_{VM} = K_{FB} \times g_m \times R_{COMP}$
- g_m = 1mA/V。
- 帰還分圧抵抗のゲイン $K_{FB} = \frac{R_{FBB}}{R_{FBT} + R_{FBB}}$. $K_{FB} = \frac{1}{30}$ 内部フィードバック抵抗デバイダを使用しています。
- 低周波ゼロ点、$\omega_{Z_EA} = \frac{1}{R_{COMP} \times C_{COMP}}$
- 高周波ポール、$\omega_{P_EA} \approx \frac{1}{R_{COMP} \times C_{HF}}$

原点のポールは、出力の定常状態誤差を最小化します。低周波ゼロ点は、変調器の負荷ポールを打ち消すように配置します。高周波数の極は、出力コンデンサの ESR により生じるゼロを打ち消すため、またはエラー アンプのノイズ感受性を減らすために使用します。クロスオーバー周波数より 1 桁低い、低周波ゼロ点を配置することで、クロスオーバー周波数において最大限の位相ブーストを実現します。C_{HF} の追加により、帰還伝達関数にポールが追加されるため、高周波ポールは、クロスオーバー周波数を超える位置に配置してください。

クロスオーバー周波数 (開ループ帯域幅) は通常、RHPZ 周波数の 1/5 に制限されます。

クロスオーバー周波数を高くするには、R_{COMP} を増やし、それに比例して C_{COMP} を減らします。その逆に、R_{COMP} を減らし、それに比例して C_{COMP} を増やすと帯域幅は狭くなり、帰還伝達関数のゼロ周波数は変わらずに維持されます。

7.1.2 非同期アプリケーション

非同期モードで動作させる場合は、以下の手順に従ってください。

- SWx を GND に、HBx を VCC に接続します。
- HOx をフローティングのままにします。

下の図に示されています。

Copyright © 2025 Texas Instruments Incorporated

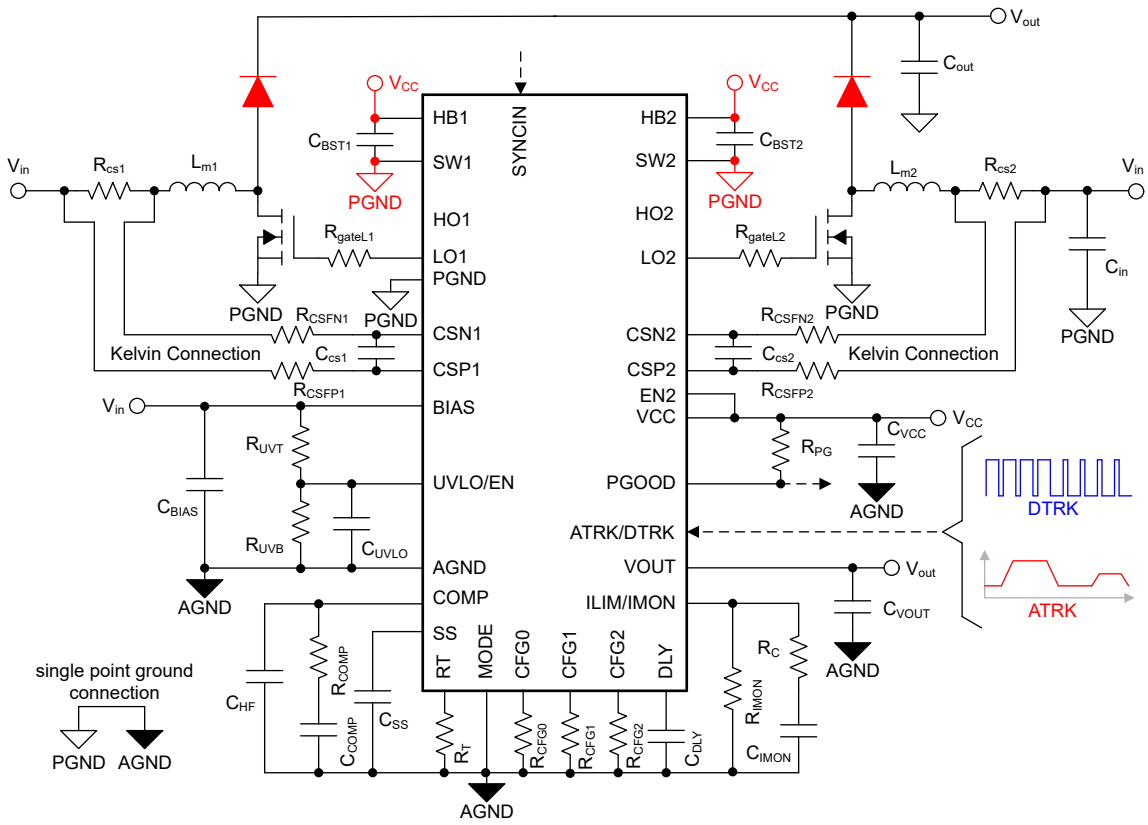


図 7-2. 二相非同期昇圧コンバータの回路図

7.2 代表的なアプリケーション

7.2.1 アプリケーション

代表的なアプリケーション例は、図 7-3 に示す 2 相昇圧コンバータです。このコンバータは、Class-H オーディオ アンプ向けの設計を採用しています。出力電圧は最大 45V まで調整可能です。ピーク電力は 1kVA で、入力平均電流制限は 26A です。

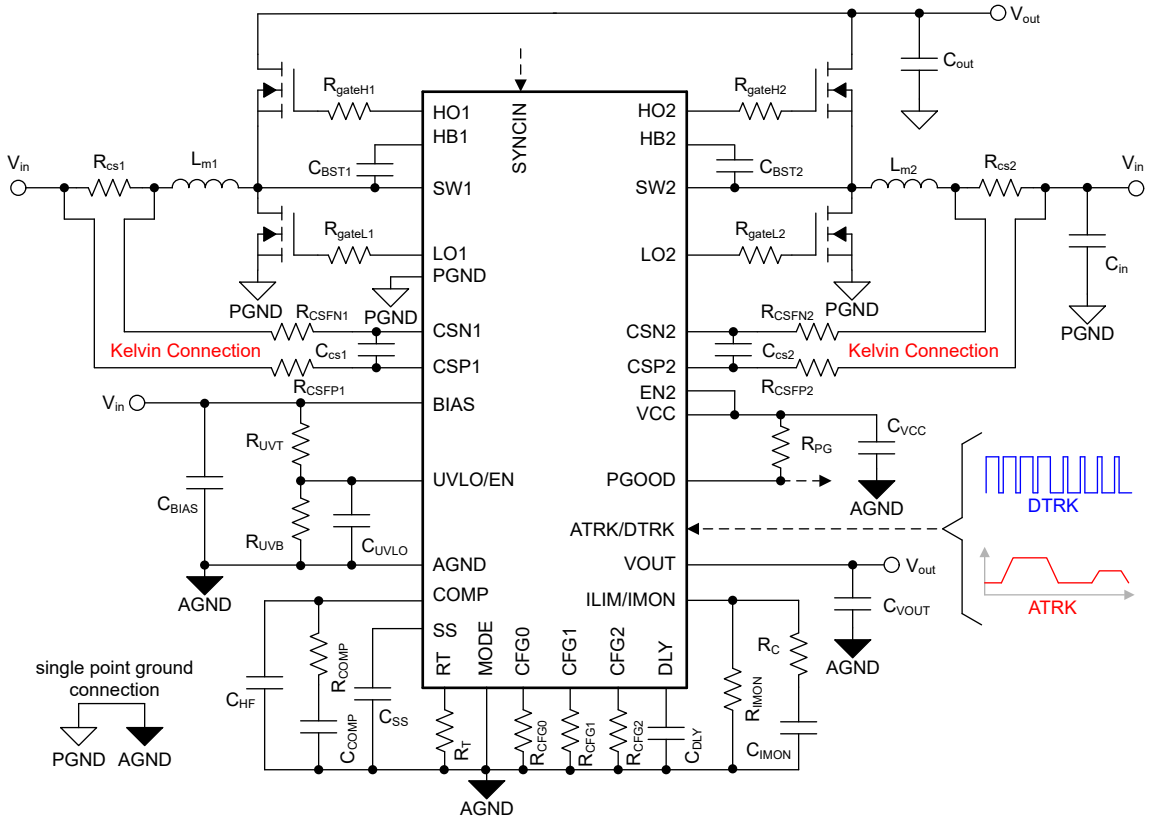


図 7-3. 2 相昇圧コンバータの回路図

7.2.2 設計要件

表 7-1. 設計パラメータ

パラメータ	値
最小入力電圧、V_{in_min}	9V
標準入力電圧、V_{in_typ}	14.4V
最大入力電圧、V_{in_max}	18V
最低出力電圧、V_{out_min}	8V
最大出力電圧、V_{out_max}	45V
最大出力電圧と標準入力電圧、P_{out_total} での最大出力電力	1000W
定格出力電力、P_{rated_total}	300W
定格出力電力の 2 倍、代表的な入力電圧、t_{delay} での最大遅延	100ms
推定効率、η	95%

7.2.3 詳細な設計手順

7.2.3.1 合計フェーズ番号の決定

インターリーブ動作には、大電流アプリケーションにおいて、効率の向上、部品への低いストレス、入力および出力リップルの減少など、多くの利点があります。デュアル位相のインターリーブ動作では、出力電力パスが分割され、各位相の入力電流を半分に減らします。各チャネルが互いに 180°の位相差で動作するため、入力および出力コンデンサのリップル電流が大幅に減少します。図 7-4 に示すように、入力電流リップルは大幅に低減されています。

Copyright © 2025 Texas Instruments Incorporated

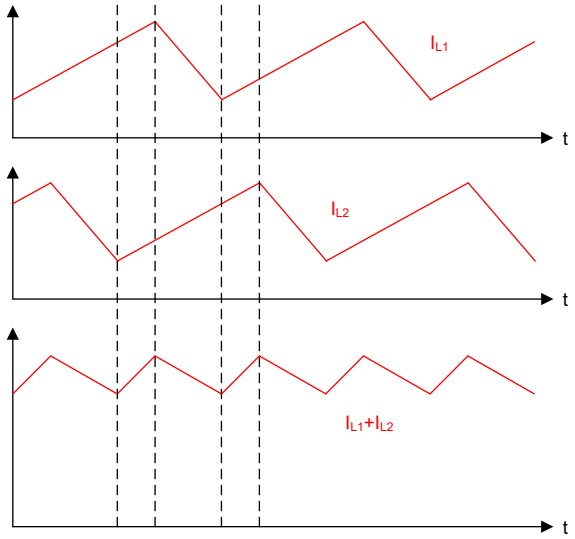


図 7-4. デュアル位相インターリーブにより、入力電流リップルが低減

ここでは、設計用に 2 つの相を選択します。

$$N_p = 2 \tag{25}$$

合計電力 P_{out_total} は位相間で共有され、各位相の電力は次のように求めます。

$$P_{out} = \frac{P_{out_total}}{N_p} = 500W \tag{26}$$

7.2.3.2 デューティ サイクルの決定

CCM において、デューティ サイクルは次のように定義されます。

$$D = \frac{V_{out} - V_{in}}{V_{out}} \tag{27}$$

$$D' = 1 - D \tag{28}$$

このアプリケーションにおいて、最大デューティ サイクルは次のように求められます。

$$D_{max} = \frac{V_{out_max} - V_{in_min}}{V_{out_max}} = 0.8 \tag{29}$$

7.2.3.3 タイミング抵抗 R_T

一般に、スイッチング周波数 (f_{sw}) が高いほど、サイズが小さくなり、損失が大きくなります。サイズ、効率、EMI を考慮すると、400kHz 付近での動作は妥当な折衷点になります。400kHz のスイッチング周波数について、R_T の値は次のように計算されます。

$$R_T = \left(\frac{1}{f_{sw}} - 18ns\right) \times 31.5\frac{\Omega}{ns} = 78.2k\Omega \tag{30}$$

R_T には標準値 78.7kΩ が選択されます。

7.2.3.4 インダクタの選択 L_M

インダクタンス値を選択するときは、次の 3 つの主要パラメータを考慮します。インダクタの電流リップル比 (Rr)、インダクタ電流の立ち下がり勾配、制御ループの RHPZ 周波数。

- インダクタの電流リップル比は、インダクタの巻線損失とコアでの損失との間でバランスをとれるように選択します。リップル電流が増加すると、コアでの損失は増加し、銅での損失は減少します。
- インダクタ電流の立ち下がり勾配は、分数調波発振を防止するのに十分な値まで小さくする必要があります。インダクタンス値が大きいと、インダクタ電流の立ち下がり勾配が小さくなります。
- 制御ループのクロスオーバー周波数を高くするには、RHPZ を高周波数に配置します。インダクタンス値が小さくなると、RHPZ 周波数が上昇します。

ピーク電流モードの制御理論に従い、勾配補償ランプの勾配は、高いデューティ サイクルにおいて分数調波の発振を防止するため、検出されるインダクタ電流の立ち下がり勾配の半分よりも大きい必要があります。

$$V_{slope} \times f_{sw} > \frac{V_{out_max} - V_{in_min}}{2 \times L_m} \times R_{cs} \tag{31}$$

ここで、

- V_{slope} は、電流センス アンプの入力における 48mV ピーク (100% デューティ サイクル時) の勾配補償ランプです。

インダクタンスの下限は次のように求めます。

$$L_m > \frac{V_{out_max} - V_{in_min}}{2 \times V_{slope} \times f_{sw}} \times R_{cs} \tag{32}$$

R_{cs} は 1.5mΩ と推定されるため、次のことが分かります。

$$L_m > 1.4\mu H \tag{33}$$

RHPZ 周波数は次のように求めます。

$$\omega_{RHPZ} = \frac{R_{out} \times D'^2}{L_{m_eq}} \tag{34}$$

クロスオーバー周波数は RHPZ 周波数の 1/5 よりも低い必要があります。

$$f_c < \frac{1}{5} \times \frac{\omega_{RHPZ}}{2\pi} \tag{35}$$

クロスオーバー周波数として 1kHz が求められると仮定すると、インダクタンスの上限は次のように計算されます。

$$L_m < 5.2\mu H \tag{36}$$

インダクタのリップル電流は、インダクタのコア損失と巻線損失との適切な折衷点として、一般に全負荷電流の 30%～70% に設定されます。

位相ごとの入力電流は次のように計算します。

$$I_{in_vinmax} = \frac{P_{out}}{\eta \times V_{in_max}} = 29.2A \tag{37}$$

連続導通モード (CCM) 動作では、最大リップル比はデューティ サイクルが 33% のときに発生します。最大リップル比の結果となる入力電圧は、次のように求めます。

$$V_{in_RRmax} = V_{out_max} \times (1 - 0.33) = 30V \tag{38}$$

したがって、最大入力電圧 V_{in_max} を使用して最大リップル比を計算する必要があります。

この例では、リップル比 0.3、入力電流の 30% が選択されています。スイッチング周波数と標準出力電圧が既知の場合、インダクタの値は次のように計算します。

Copyright © 2025 Texas Instruments Incorporated

$$L_m = \frac{V_{in_max}}{I_{in} \times RR} \times \frac{1}{f_{sw}} \times \left(1 - \frac{V_{in_max}}{V_{out_max}}\right) = \frac{18V}{29.2A \times 0.3} \times \frac{1}{400kHz} \times 0.6 = 3.1\mu H \quad (39)$$

最も近い標準値である 3.3μH を L_m に対して選択しました。

標準入力電圧でのインダクタ リップル電流は、次のように計算します。

$$I_{pp} = \frac{V_{in_typ}}{L_m} \times \frac{1}{f_{sw}} \times \left(1 - \frac{V_{in_typ}}{V_{out}}\right) = 7.4A \quad (40)$$

フェライト コア インダクタを選択する場合は、ピーク電流制限時にインダクタが飽和しないようにしてください。フェライト コア インダクタのインダクタンスは飽和するまでほぼ一定です。フェライト コアは大きなサイズでコア損失が小さい特長があります。

パウダー コア インダクタの場合、DC 電流が大きくなるとインダクタンスは緩やかに低下します。この挙動は、大きいインダクタ電流でリップル電流の増加につながります。この例では、ピーク電流制限時にインダクタンスが 0A に比べて 70% まで低下します。ピーク電流制限時の電流リップルは、次のように求めます。

$$I_{pp_bias} = \frac{V_{in_typ}}{0.7 \times L_m} \times \frac{1}{f_{sw}} \times \left(1 - \frac{V_{in_typ}}{V_{out}}\right) = 10.6A \quad (41)$$

7.2.3.5 電流センス抵抗 R_{cs}

標準入力電圧と最大出力電圧における位相ごとの最大平均入力電流は、次のように計算できます。

$$I_{in_vintyp} = \frac{P_{out}}{\eta \times V_{in_typ}} = 36.5A \quad (42)$$

ピーク電流は、次のようにで計算されます。

$$I_{pk_vintyp} = I_{in_vintyp} + \frac{I_{pp_bias}}{2} = 36.5A + \frac{10.6A}{2} = 41.8A \quad (43)$$

電流センス抵抗は、次のように求められます。

$$R_{cs} = \frac{V_{CLTH}}{I_{pk_vintyp}} = \frac{60mV}{41.8A} = 1.43m\Omega \quad (44)$$

R_{cs} には標準値 1.5mΩ が選択されます。

7.2.3.6 電流センス フィルタ R_{CSFP}、R_{CSFN}、C_{CS}

電流センシングには RC フィルタを推奨します。通常は、100pF の C_{CS} と 1Ω の R_{CSFP} および R_{CSFN} が推奨されます。C_{CS} は デバイスの近くに配置します。

CSPx と CSNx のパターンは、電流センス抵抗にケルビン接続を使用して一緒に配線します。

C_{CS} と R_{CSFN} を大きくして、RC 時定数を増やします。R_{CSFP} を大きくすると、大きな電流検出誤差が発生します。

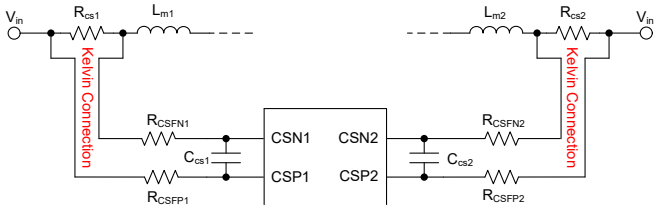


図 7-5. 電流センス フィルタ

7.2.3.7 ローサイド パワー スイッチ Q_L

5V の VCC で MOSFET を完全にエンハンスできるロジック レベル N チャネル MOSFET を選択してください。また、バイパス動作中の最小 HOx-SWx 電圧は 3.75V であることに注意してください。この電圧で MOSFET がオンになっていることを確認します。

異なるデバイスの相対効率を比較する方法の 1 つとして、損失の詳細を検討してパワー MOSFET デバイスを選択することが挙げられます。ローサイド N チャネル MOSFET デバイスでの損失は、伝導損失とスイッチング損失に分けます。

ローサイドの伝導損失は、次のように概算されます。

$$P_{COND_LS} = D \times I_{in}^2 \times R_{DS(on)} \times 1.3 \tag{45}$$

ここで、係数 1.3 は発熱による MOSFET のオン抵抗の増加を表します。または、MOSFET のデータシートに掲載されている $R_{DS(ON)}$ と温度の関係を示す曲線を使用して、MOSFET の高温オン抵抗を推定します。

スイッチング損失は、ローサイド MOSFET がオン / オフする短い遷移期間に発生します。この遷移期間では、MOSFET デバイスのチャネルに電流と電圧が両方存在します。ローサイドのスイッチング損失は、次のように概算されます。

$$P_{SW_LS} = 0.5 \times V_{out} \times I_{in} \times (t_R + t_F) \times f_{sw} \tag{46}$$

t_R と t_F は、ローサイド MOSFET の立ち上がり / 立ち下がり時間です。立ち上がり / 立ち下がり時間は通常、MOSFET のデータシートに記載されているか、オシロスコープにより実験的に観測されます。

ハイサイド MOSFET の逆方向回復によりローサイド MOSFET の立ち下がり時間とターンオン電流が増加し、結果的に大きなターンオン損失が生じます。

SW ノードでの負の電圧スパイクを最小化するため、ローサイド MOSFET と並列にショットキー ダイオードを追加し、ソースとドレインに短い配線で接続します。

Copyright © 2025 Texas Instruments Incorporated

7.2.3.8 ハイサイド パワー スイッチ Q_L

ハイサイド MOSFET デバイスでの損失は、伝導損失、デッド タイム損失、逆方向回復損失に分けます。スイッチング損失は、ローサイド MOSFET デバイスについてのみ計算されます。ハイサイド MOSFET デバイスのスイッチング損失は無視できる程度です。これは、ハイサイド MOSFET デバイスのボディ ダイオードが、ハイサイド MOSFET デバイスが切り替わる前と後にオンになるためです。

ハイサイドの伝導損失は、次のように概算されます。

$$P_{COND_HS} = D' \times I_{in}^2 \times R_{DS(on)} \times 1.3 \tag{47}$$

デッド タイム損失は、次のように概算されます。

$$P_{DT_HS} = V_D \times I_{in} \times (t_{DLH} + t_{DHL}) \times f_{sw} \tag{48}$$

ここで、

- V_D は、ハイサイド MOSFET ボディ ダイオードの順方向電圧降下です。
- t_{DLH} は、ローサイド スイッチのターンオフとハイサイドスイッチのターンオン間のデッドタイムです。
- t_{DHL} は、ハイサイド スイッチのターンオフとローサイド スイッチのターンオン間のデッドタイムです。

ハイサイド MOSFET スイッチの逆方向回復特性は、特に出力電圧が高いとき、効率に大きな影響を及ぼします。逆方向回復電荷が小さいと、効率が向上し、スイッチング ノイズも最小化されます。

逆方向回復損失は、次のように概算されます。

$$P_{RR_HS} = V_{out} \times Q_{RR} \times f_{sw} \tag{49}$$

ここで、

- Q_{RR} は、ハイサイド MOSFET のボディ ダイオードの逆方向回復電荷です。

100kΩ ゲート抵抗を MOSFET のゲートとソースの間に配置することを推奨します。この抵抗は、バイパス モードでのチャージ ポンプのソース電流 (I_{CP}) によって決定されます。選択した抵抗値が低すぎる場合、ゲート電圧が低すぎてハイサイド MOSFET が完全にターンオンできません。

ハイサイド スイッチと並列にショットキー ダイオードを追加すると、効率を向上できます。通常、このダイオードはデッド タイム中にしか導通しないため、この並列ショットキー ダイオードの電力定格は、ハイサイド スイッチよりも小さいです。並列ダイオードの電力定格は、起動時の突入電流、スイッチング前の負荷存在、ヒカップ モード動作などを処理できるよう、十分に高くする必要があります。

7.2.3.9 スナバ部品

ハイサイド N チャネル MOSFET デバイスの両端に抵抗-コンデンサのスナバ回路を配置すると、スイッチング ノードのリンギングおよびスパイクが減少します。過剰なリンギングおよびスパイクは、誤動作を引き起こし、出力電圧にノイズも結合させます。スナバの値の選択には、実験的な手法が最適です。最初に、スナバ接続のリードが非常に短いことを確認します。抵抗値は、5～50Ω から開始します。スナバ コンデンサの値を増やすとダンピングが増えますが、スナバでの損失も大きくなります。スナバ コンデンサは、重負荷時にスイッチ波形のスパイクを十分にダンピングできる、最小の値から開始します。最適化されたレイアウトでは、スナバは必要ありません。

7.2.3.10 Vout プログラミング

固定出力電圧の場合、抵抗を ATRK/DTRK に接続して、高精度の内部 20μA 電流源をオンにすることで、V_{OUT} をプログラムします。

$$R_{ATRK} = \frac{V_{out_max}}{6V} \times 10k\Omega = 75k\Omega \tag{50}$$

Class-H オーディオ アプリケーションでは、V_{out} を調整して効率を最適化します。ATRK/DTRK を使用して、アナログ トラッキングまたはデジタル トラッキングを適用します。

アナログ トラッキングの場合、ATRK/DTRK に電圧を印加して、Vout をプログラムします。電圧は次のように求められます。

$$V_{ATRK_max} = \frac{V_{out_max}}{30} = 1.5V \tag{51}$$

$$V_{ATRK_min} = \frac{V_{out_min}}{30} = 0.267V \tag{52}$$

デジタル PWM 信号 (DTRK) により出力電圧を設定します。デューティ サイクル D_{TRK} は次のように求められます。

$$D_{TRK_max} = \frac{V_{out_max}}{75V} = 60\% \tag{53}$$

$$D_{TRK_min} = \frac{V_{out_min}}{75V} = 10.7\% \tag{54}$$

DTRK 周波数が 100kHz～2200kHz の範囲内であることを確認してください。

図 7-6 に示すように、オフセット付きの 2 段 RC フィルタを利用して、デジタル PWM 信号をアナログ電圧に変換できます。

2 段構成の RC フィルタは、PWM 信号をスムーズなアナログ電圧にフィルタリングするために使用されます。ATRK/DTRK の電圧リップルと立ち上がり時間を考慮して 2 段構成の RC フィルタを選択します。

プルアップ抵抗 (R_{PU}) とプルダウン抵抗 (R_{PD}) を使用して ATRK/DTRK にオフセット電圧を追加することで、100% の PWM デューティ サイクルで出力電圧が V_{out_max} に設定され、0% の PWM デューティ サイクルで出力電圧が V_{out_min} に設定されるようにします。

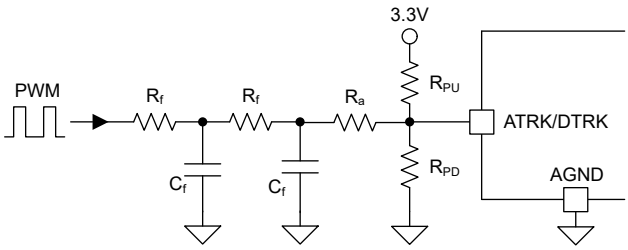


図 7-6. 2 段 RC フィルタから ATRK/DTRK へ

このアプリケーションでは、400kHz の PWM 周波数を採用しています。R_f = 4.99kΩ、C_f = 47nF をフィルタとして選択します。R_a = 1.5kΩ、R_{PU} = 51kΩ、R_{PD} = 7.87kΩ を選択し、適切なオフセット電圧を生成します。

ATRK/DTRK の電圧リップルと立ち上がり時間を 図 7-7 と 図 7-8 に示しています。ATRK/DTRK の電圧リップルは 9.2μV で、かなり低い値です。約 1ms の立ち上がり時間も、オーディオ システムにとって良好な特性です。

Copyright © 2025 Texas Instruments Incorporated

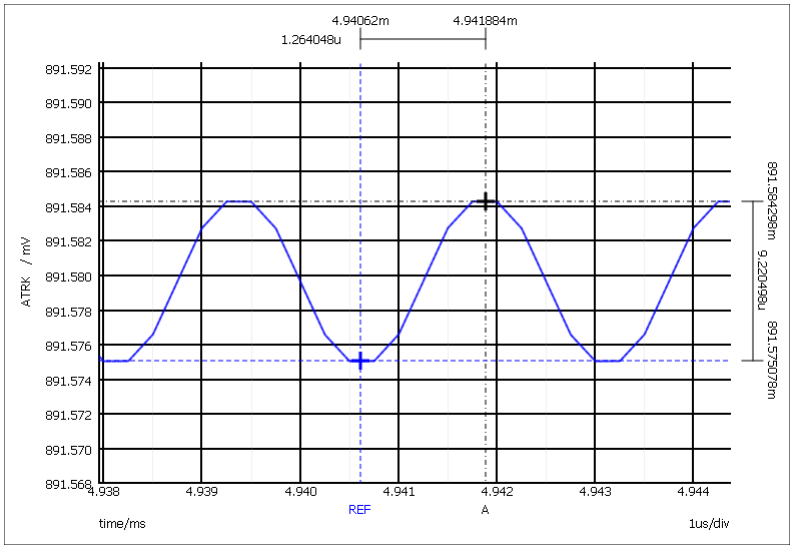


図 7-7. ATRK/DTRK の電圧リップル

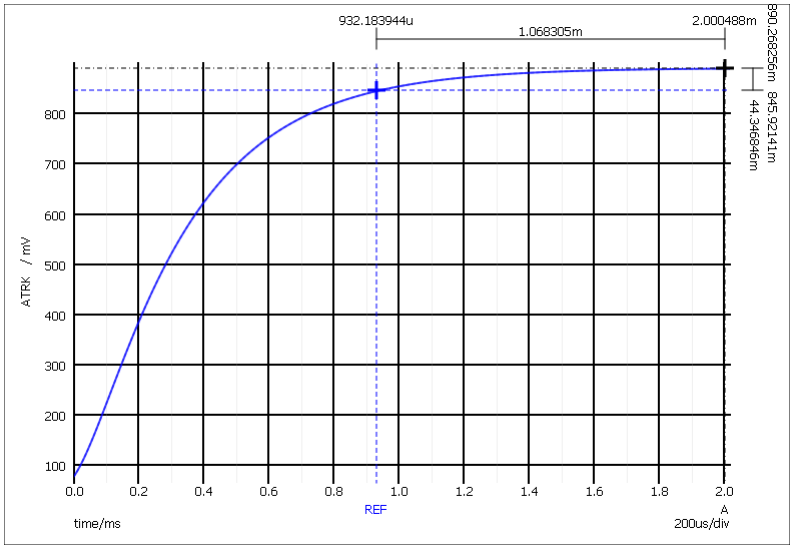


図 7-8. ATRK/DTRK の立ち上がり時間

7.2.3.11 入力電流制限 (ILIM/IMON)

オーディオ アプリケーションでは過渡電力が大きくなります。このアプリケーションでは、ピーク出力電力として 1000W を選択します。ただし、通常、平均電力はピーク電力よりもはるかに小さくなります。平均電力として 300W を選択します。適切な ILIM/IMON 設定を使用すると、100ms で 1000W のピークを許容しながら、平均入力電流を 300W 未満に制限します。平均電流ループがトリガされると、入力と出力の電力が平衡するまで、V_{OUT} が低下します。

平均出力電力および標準入力電圧における相ごとの入力電流は、次のように求めます。

$$I_{avg} = \frac{P_{avg_total}}{2 \times \eta \times V_{in_typ}} = 11.0A \tag{55}$$

平均入力電流制限として 13A が選択されます。

$$I_{lim} = 13A \tag{56}$$

ILIM/IMON からの電流は、次のように求めます。

$$I_{MON_lim} = 2 \times (R_{cs} \times I_{lim} \times G_{IMON} + I_{OFFSET}) = 2 \times (1.5m\Omega \times 13A \times 0.333mA/V + 4\mu A) = 21\mu A \quad (57)$$

R_{ILIM} は次のように計算されます。

$$R_{IMON} = \frac{V_{ILIM}}{I_{MON}} = \frac{1V}{21\mu A} = 47.6k\Omega \quad (58)$$

R_{IMON} には標準値 47.5kΩ が選択されます。

図 7-9 に示すように、C_{IMON} と R_c を使用して、平均電流ループがトリガされる前に適切な遅延を作成します。

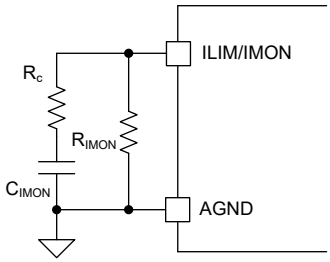


図 7-9. ILIM/IMON ピンの構成

このアプリケーションでは、2 倍の定格電力で 100ms の遅延が必要です。

負荷がゼロのとき、ILIM/IMON から出力される電流は次のように求めます。

$$I_{MON_0A} = 2 \times I_{OFFSET} = 8\mu A \quad (59)$$

ゼロ負荷時の ILIM/IMON 電圧は次のように計算されます。

$$V_{IMON_0A} = R_{IMON} \times I_{MON_0A} = 0.38V \quad (60)$$

定格電力の 2 倍のとき、ILIM/IMON から出力される電流は次のように求めます。

$$I_{MON_tr} = 2 \times (R_{cs} \times 2 \times I_{lim} \times G_{IMON} + I_{OFFSET}) = 2 \times (1.5m\Omega \times 26A \times 0.333mA/V + 4\mu A) = 34\mu A \quad (61)$$

C_{IMON} は次の式で求めます。

$$C_{IMON} = \frac{t_{delay}}{R_{IMON} \times \ln\left(\frac{R_{IMON} \times I_{MON_tr} - V_{IMON_0A}}{R_{IMON} \times I_{MON_tr} - V_{ILIM}}\right)} = 3.0\mu F \quad (62)$$

C_{IMON} には標準値 3.3μF が選択されます。

R_c は次の式で求めます。

$$R_c = \frac{1}{20\pi \times C_{IMON}} = 4.8k \quad (63)$$

R_c には標準値 4.99kΩ が選択されます。

7.2.3.12 UVLO ディバイダ

目的のスタートアップ電圧とヒステリシスは、分圧抵抗 R_{UVT} および R_{UVB} により設定されます。この設計では、スタートアップ電圧 (V_{in_on}) を 8.5V に設定します。これは、V_{in_min} より 0.5V 低い値です。UVLO ヒステリシス電圧は 1V に設定され

Copyright © 2025 Texas Instruments Incorporated

ています。この動作により、UVLO シャットダウン電圧 (V_{in_off}) が 7.5V になります。R_{UVT} と R_{UVB} の値は次のように計算されます。

$$R_{UVT} = \frac{V_{in_on} - \frac{V_{UVLO_RISING}}{V_{UVLO_FALLING}} \times V_{in_off}}{I_{UVLO_HYS}} = \frac{8.5V - \frac{1.1V}{1.075V} \times 7.5V}{10\mu A} = 82.6k\Omega \quad (64)$$

R_{UVT} には標準値 82.5kΩ が選択されます。

$$R_{UVB} = \frac{V_{UVLO_FALLING} \times R_{UVT}}{V_{in_off} - V_{UVLO_FALLING}} = \frac{1.075V \times 82.5k\Omega}{7.5V - 1.075V} = 13.8k\Omega \quad (65)$$

R_{UVB} には標準値 13.8kΩ が選択されます。

100nF UVLO コンデンサ (C_{UVLO}) は、スタートアップ時、または低入力電圧での厳しい負荷過渡時に V_{in} が V_{in_off} を瞬間的に下回った場合に選択されます。

7.2.3.13 ソフト スタート

最大出力電圧でのソフト スタート時間が最長です。6Ms のソフトスタート時間を得るためのソフト スタート コンデンサは次のように求められます。

$$C_{SS} = \frac{I_{SS} \times t_{SS}}{V_{ATRK_max}} \left(\frac{V_{out_max}}{V_{out_max} - V_{in_typ}} \right) = \frac{50\mu A \times 6ms}{1.5V} \left(\frac{45V}{45V - 14.4V} \right) = 0.29\mu F \quad (66)$$

C_{SS} には標準値 0.33μF が選択されます。

7.2.3.14 CFG の設定

表 6-1 は、デッドタイムおよび ATRK/DTRK ピンの 20μA 電流ソースのターンオン / ターンオフに基づいて CFG0 を選択します。

ここでは、デッドタイム 50ns と 20μA 電流ソースのターンオンが選択されています。CFG0 にはレベル 3 (1.3kΩ) が選択されています。

OVP、DRSS、ピーク電流制限ラッチ、PGOOD OVP イネーブルを考慮して CFG1 を選択します。

ここでは、50V OVP (OVP ビット 0)、DRSS オフ、I_{CL_latch} ディスエーブル、PGOOD OVP ディスエーブルが選択されています。CFG1 にはレベル 10 (10.5kΩ) が選択されています。

表 6-4 を参照し、OVP、SYNCIN、およびクロック ディザリングを考慮して CFG2 を選択します。

ここでは、50V OVP (OVP ビット 1)、SYNCIN ディスエーブル、CFG1 に従った DRSS 設定が選択されています。CFG2 にはレベル 1 (0Ω) が選択されています。

7.2.3.15 出力コンデンサ C_{OUT}

出力コンデンサは、出力電圧のリップルを平滑化し、負荷過渡状況において充電の電源になります。

出力コンデンサのリップル電流定格は、注意深く選択します。ブート レギュレータでは、出力は不連続電流によって供給され、通常はリップル電流の要件が高くなります。実際には、大きなアルミ電解コンデンサよりも先に、電力スイッチの近くに高品質のセラミック コンデンサを配置することで、リップル電流の要件を大幅に低減します。

出力電圧リップルは、出力コンデンサの ESR の影響を大きく受けます。出力コンデンサの並列化は、実効 ESR を最小化し、コンデンサへの出力リップル電流を分割するための適切な選択肢です。

単相昇圧出力 RMS リップル電流は、次のように表します。

$$I_{1p_rms} \approx I_{out} \times \sqrt{\frac{D}{D'}} \quad (67)$$

出力 RMS 電流は、図 7-11 に示すようにインターリーブにより低減されます。2 相インターリーブ昇圧出力 RMS リップル電流は、次のように表します。

$$I_{out_2p_rms} \approx \begin{cases} \frac{I_{out}}{\sqrt{2}} \times \frac{\sqrt{D \times (1-2D)}}{D'}, & D < 0.5 \\ \frac{I_{out}}{\sqrt{2}} \times \sqrt{\frac{2D-1}{D'}}, & D \geq 0.5 \end{cases} \tag{68}$$

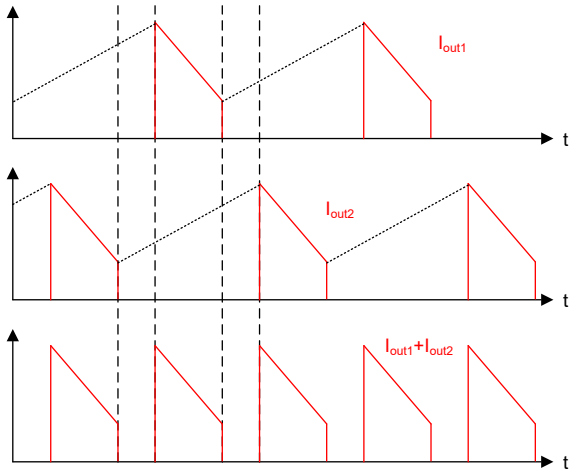


図 7-10. 正規化された出力コンデンサの RMS リップル電流

デカップリング コンデンサは、MOSFET の電圧スパイクを最小化し、EMI パフォーマンスを向上させることが不可欠です。ごく少数の 0603/100nF セラミック コンデンサを、「垂直ループ」コンセプトに従って、MOSFET の近くに配置しています。詳細については、*『最適化された出力段レイアウトによる大電流 DC/DC レギュレータのコストなしでの EMI 性能向上』アプリケーション ブリーフ*を参照してください。

出力電圧リップルを低減し、出力リップル電流を分割するために、いくつかの 10μF セラミック コンデンサも必要です。

通常、高静電容量の場合はアルミ電解コンデンサが必要となります。この例では、4 つの 150μF アルミ電解コンデンサを選択しています。

出力の過渡応答は、ループ ゲインの帯域幅と出力容量に密接に関係しています。*「過渡応答測定から帯域幅を判定する方法」の技術資料*から、オーバーシュートまたはアンダーシュート V_p を次のように推定します。

$$V_p = \frac{\Delta I_{tran}}{2\pi \times f_c \times C_{out}} \tag{69}$$

ここで、ΔI_{tran} は過渡負荷電流ステップです。

負荷ステップ中に、コンバータが常に CCM または FPWM で動作している場合のみ式 69 は有効であることに注意してください。軽負荷時にコンバータが DCM またはパルス スキップ モードに移行すると、オーバーシュートが悪化します。

入力から出力への本質的なパスの関係で、入力電圧が急速に上昇して出力コンデンサを充電するときに、無制限の突入電流が発生します。入力電圧の立ち上がりスルーレートは、突入電流がインダクタ、センス抵抗、またはハイサイド MOSFET を損傷しないよう、ホットスワップまたは入力電源のソフト スタートによって制御される必要があります。

7.2.3.16 入力コンデンサ C_{in}

安定した入力電圧を供給するために、入力コンデンサは常に必要です。入力コンデンサは、インダクタのリップル電流に対応できることが必要です。

単相昇圧入力 RMS リップル電流は、次のように表します。

Copyright © 2025 Texas Instruments Incorporated

$$I_{in_1p_rms} = \frac{I_{pp}}{\sqrt{12}} \tag{70}$$

入力 RMS 電流は、図 7-11 に示すようにインターリーブにより低減されます。2 相インターリーブ昇圧入力 RMS リップル電流は、次のように表します。

$$I_{in_2p_rms} = \begin{cases} \frac{I_{pp}}{\sqrt{12}} \times \frac{1-2D}{D'}, & D < 0.5 \\ \frac{I_{pp}}{\sqrt{12}} \times \frac{2D-1}{D}, & D \geq 0.5 \end{cases} \tag{71}$$

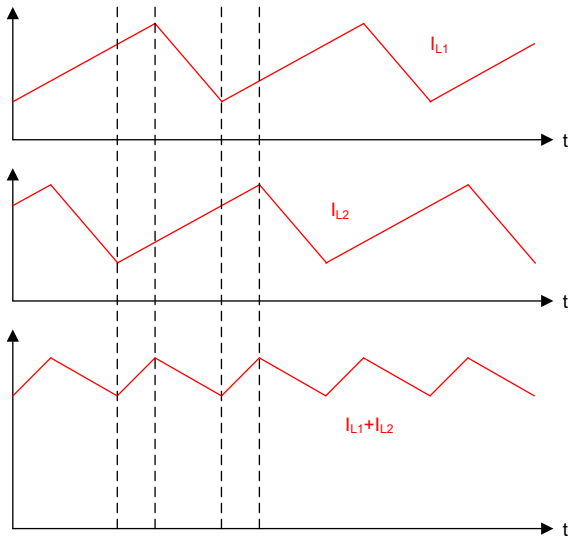


図 7-11. 正規化された出力コンデンサの RMS リップル電流

入力コンデンサは、入力フィルタの重要な部分でもあります。静電容量と ESR が大きいほど、入力フィルタの減衰を改善するのに役立ちます。アルミ電解コンデンサは、静電容量と ESR が大きい入力コンデンサに最適な選択肢です。詳細については、*『スイッチング電源用の入力フィルタ設計』アプリケーション ノート*を参照してください。

7.2.3.17 ブートストラップ コンデンサ

HBx ピンと SWx ピンとの間のブートストラップ コンデンサは、各サイクルのターンオン時にハイサイド MOSFET デバイスを充電するためのゲート電流を供給するとともに、ブートストラップ ダイオードの回復電荷を供給します。これらの電流のピークは、数アンペアです。ブートストラップ コンデンサの推奨値は 0.1µF です。C_{BST} には、高品質で ESR の低いセラミック コンデンサを使用します。配線のインダクタンスから引き起こされる過渡電圧による損傷の可能性を最小限に抑えるため、C_{BST} はデバイスのピンの近くに配置してください。ブートストラップ コンデンサの最小値は次のように計算されます。

$$C_{BST} = \frac{Q_G}{\Delta V_{BST}} \tag{72}$$

ここで、

- Q_G は、VCC = 5V 時のハイサイド MOSFET のゲート電荷です。
- ΔV_{BST} は、C_{BST} で許容される電圧ドループで、控えめにみて、一般に VCC の 5% または 0.15V 未満です。

この例では、ブートストラップ コンデンサの値 (C_{BST}) は 0.1µF です。

7.2.3.18 VCC コンデンサ C_{VCC}

VCC コンデンサの主な目的は、LO ドライバおよびブートストラップ ダイオードのピーク過渡電流を供給し、VCC レギュレータを安定させることです。CC_{BST} の値よりすくなくとも 10 倍以上大きい C_{VCC} を選択します。C_{VCC} には、高品質で ESR の低いセラミック コンデンサを使用します。C_{VCC} は、デバイスのピンの近くに配置します。

この設計例では、10µF の値が選択されています。

7.2.3.19 バイアス コンデンサ

C_{BIAS} には高品質のセラミック コンデンサを使用します。C_{BIAS} は、物理的にデバイスの近くに配置します。

この設計例では、1µF の値が選択されています。

7.2.3.20 VOUT コンデンサ

C_{OUT} には高品質のセラミック コンデンサを使用します。C_{OUT} は、物理的にデバイスの近くに配置します。

この設計例では、0.1µF の値が選択されています。

7.2.3.21 ループ補償

R_{COMP}、C_{COMP}、C_{HF} は、エラー アンプのゲインと位相特性を設定し、安定した電圧ループを生み出します。手早く開始するには、次の 4 つの手順に従います。

1. クロスオーバー周波数 f_C を選択します。RHPZ 周波数の 1/5、またはスイッチング周波数の 1/10 のうち、どちらか低い方のクロスオーバー周波数 (f_C) を選択します。最小入力電圧および最大出力電圧で RHPZ を選択します。

$$\frac{f_{sw}}{10} = 40\text{kHz} \tag{73}$$

$$\frac{f_{RHPZ}}{5} = \frac{R_{out} \times D'^2}{5 \times 2\pi \times L_{m_eq}} = 1.6\text{kHz} \tag{74}$$

クロスオーバー周波数 f_c = 1.6kHz を選択します。

2. 必要な R_{COMP} の判定

f_c が判明していれば、R_{COMP} は次のように計算されます。

$$R_{COMP} = \frac{2\pi \times f_c \times C_{out} \times A_{cs} \times R_{cs_eq}}{D' \times K_{FB} \times g_m \times G_{ACB}(2\pi \times f_c)} = \frac{2\pi \times 1.6\text{kHz} \times 900\mu\text{F} \times 10 \times 0.75\text{m}\Omega}{0.2 \times \frac{1}{30} \times 1\frac{\text{mA}}{\text{V}} \times \frac{1}{2}} = 20.4\text{k}\Omega \tag{75}$$

R_{COMP} には標準値 20kΩ が選択されます

3. 必要な C_{COMP} の判定

負荷ポールを相殺するため、負荷ポールの周波数 ω_{P_LF} に ω_{Z_EA} を配置します。R_{COMP} が判明していれば、C_{COMP} は次のように計算されます。

$$C_{COMP} = \frac{1}{R_{COMP} \times \omega_{P_LF}} = \frac{1}{20\text{k}\Omega \times \frac{2}{2.025\Omega \times 900\mu\text{F}}} = 45\text{nF} \tag{76}$$

C_{COMP} には標準値 47nF が選択されます

4. C_{HF} を決定します。

ω_{RHPZ} または ω_{Z_ESR} のどちらか低い方に ω_{HF} を配置します。R_{COMP}、RHPZ、ESR ゼロが判明していれば、C_{HF} は次のように計算されます。

$$C_{HF} = \frac{1}{R_{COMP} \times \omega_{HF}} = \frac{1}{20\text{k}\Omega \times 49\text{kHz}} = 1\text{nF} \tag{77}$$

Copyright © 2025 Texas Instruments Incorporated

C_{HF} には標準値 1nF が選択されます。

7.2.4 性能データおよび結果

7.2.4.1 効率

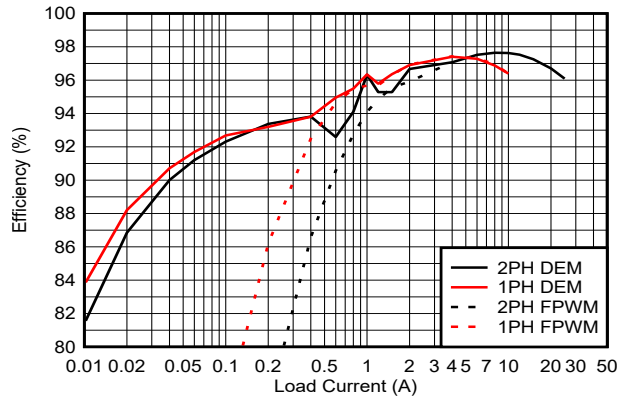


図 7-12. 効率と出力電流との関係、V_{in} = 14.4V、V_{out} = 24V

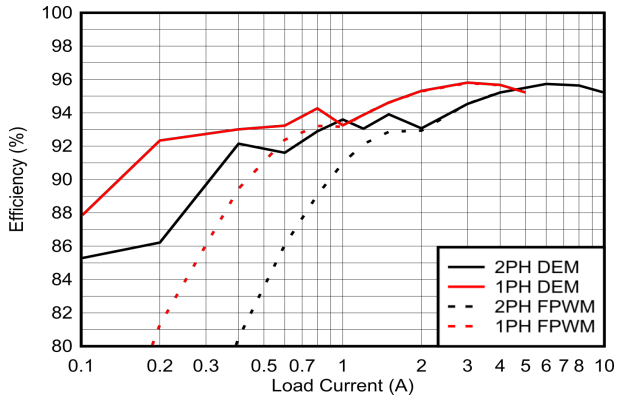


図 7-13. 効率と出力電流との関係、V_{in} = 14.4V、V_{out} = 45V

7.2.4.2 定常状態波形

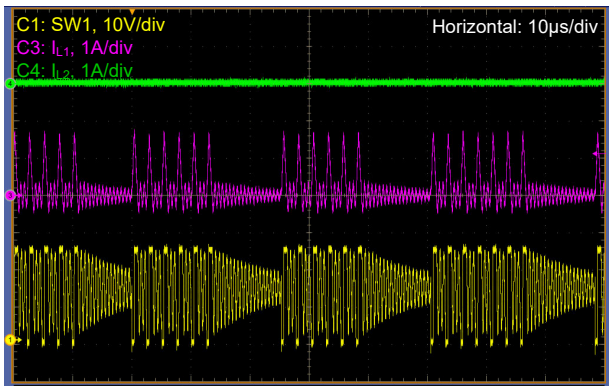


図 7-14. V_{in} = 14.4V、V_{out} = 24V、DEM、I_{load} = 0.1A

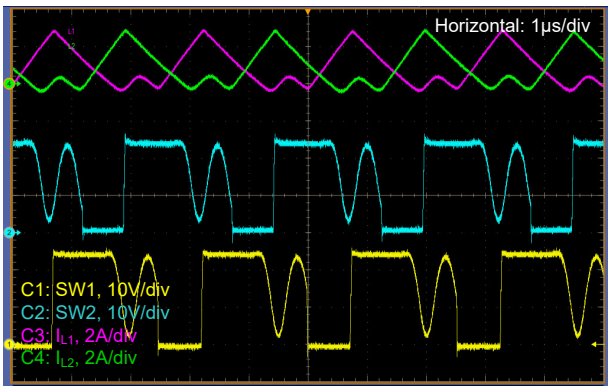


図 7-15. V_{in} = 14.4V、V_{out} = 24V、DEM、I_{load} = 1A

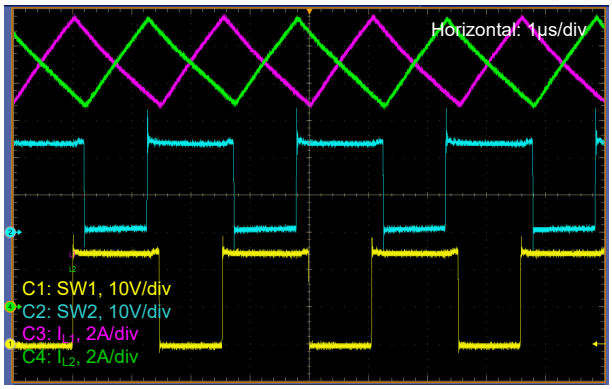


図 7-16. V_{in} = 14.4V、V_{out} = 24V、DEM、I_{load} = 15A

Copyright © 2025 Texas Instruments Incorporated

7.2.4.3 ステップ負荷応答

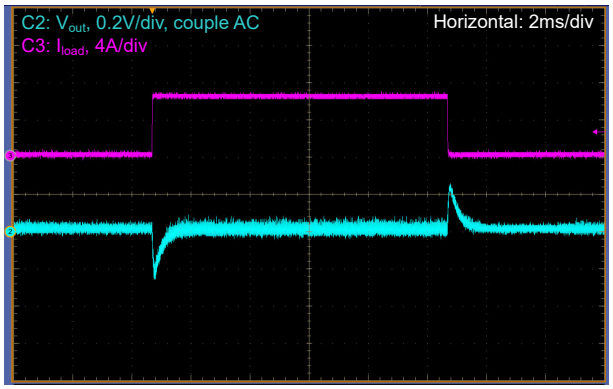


図 7-17. 負荷過渡応答、V_{in} = 14.4V、V_{out} = 24V、FPWM、I_{load} = 0A ～ 6.25A (1A/µs)

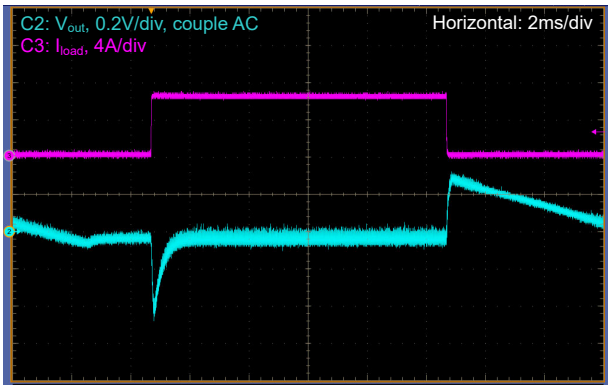


図 7-18. 負荷過渡応答、V_{in} = 14.4V、V_{out} = 24V、DEM、I_{load} = 0A ～ 6.25A (1A/µs)

7.2.4.4 AC ループ応答曲線

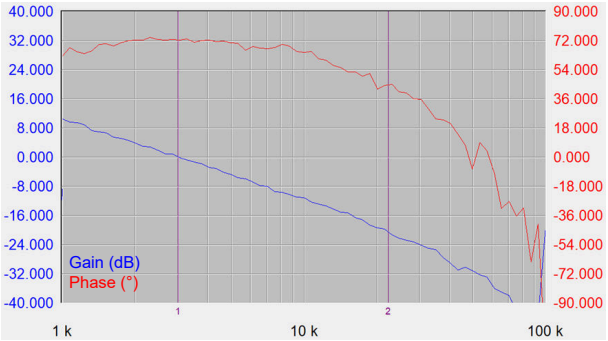


図 7-19. ボード線図、Vin = 14.4V、Vout = 40V、Iout = 10A (平均電流ループ無効化)

7.2.4.5 熱性能

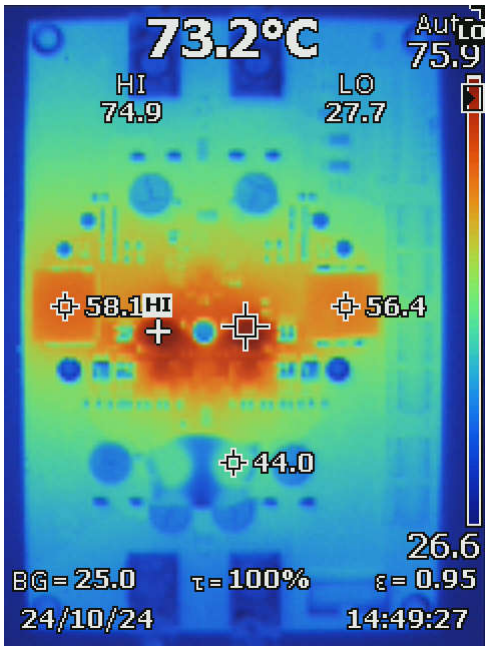


図 7-20. V_{in} = 14.4V、V_{out} = 24V、P_{OUT} = 300W、自然対流

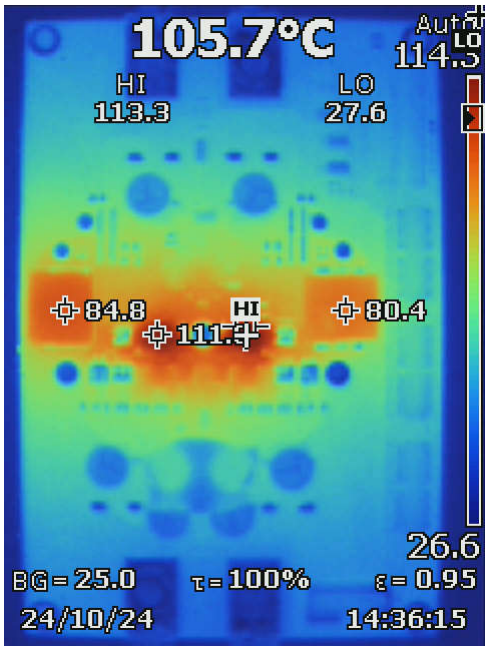


図 7-21. V_{in} = 14.4V、V_{out} = 45V、P_{OUT} = 300W、自然対流

7.3 電源に関する推奨事項

LM5125-Q1 は、広い入力電圧範囲で動作するよう設計されています。入力電源の特性は、*「絶対最大定格」*と*「推奨動作条件」*に適合している必要があります。また、入力電源は、全負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流を見積るには、式 78 を使用します。

$$I_I = \frac{P_O}{V_I \eta} \tag{78}$$

η は効率です。

効率の値を得る方法の 1 つは、ワースト ケースの動作モードセクション *効率* の効率グラフのデータを取得することです。ほとんどのアプリケーションでは、昇圧動作は入力電流が最大の領域となります。

デバイスが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼします。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。この回路は、入力電源がオンとオフを周期的に切り替わるたびに、V_I で過電圧過渡が発生します。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。こうした問題を解決する方法の 1 つは、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム製やタンタル製の入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。コントローラの電力段の前に EMI 入力フィルタをよく使用します。不安定性や前述のような影響の一部を回避するために、EMI 入力フィルタを慎重に設計してください。

Copyright © 2025 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

スイッチング コンバータの性能は、PCB レイアウトの品質に大きく依存します。PCB の設計が不適切な場合、その他のコンバータの不安定性、ロード レギュレーションの問題、ノイズまたは EMI の問題が発生します。VCC またはブートストラップ コンデンサに対する電力パスの熱軽減接続は、熱軽減接続によって大きなインダクタンスが追加されるため、使用できません。

- VCC、BIAS、HB1、HB2 のコンデンサは、対応するデバイス ピンの近くに配置し、短く幅広いパターンで接続すると、コンデンサに大きなピーク電流が流れるため、インダクタンスを最小化します。
- CSN1、CSP1、CSN2、CSP2 のフィルタ抵抗とコンデンサは、対応するデバイス ピンの近くに配置することで、フィルタとデバイスとの間のノイズ結合を最小限に抑えます。パターンをセンス抵抗 R_{CS1} および R_{CS2} に配線し、インダクタに近づけて配置された、差動ペアとしてグランドで囲むことで、ノイズ結合を避けることができます。検出抵抗にはケルビン接続を使用します。
- 補償回路 R_{COMP}、C_{COMP}、および周波数設定抵抗 R_{RT} を対応するデバイス ピンの近くに配置して、短いパターンで接続することで、ノイズ結合を避けることができます。アナログ グランド ピン AGND をこれらの部品に接続します。
- ATRK 抵抗 R_{ATRK} (使用する場合) は ATRK ピンの近くに配置し、AGND に接続します。
- なお、以下の部品のレイアウトはそれほど重要ではありません。
  - ソフトスタート コンデンサ C_{SS}
  - DLY コンデンサ C_{DLY}
  - ILIM/IMON 抵抗とコンデンサ R_{ILIM} および C_{ILIM}
  - CFG0、CFG1、CFG2 抵抗
  - UVLO/EN 抵抗
- AGND および PGND ピンを露出パッド (EP) に直接接続して、デバイスでスター接続を形成します。
- いくつかのビアを持つデバイスの露出パッド (EP) をグランド プレーンに接続することで、熱を逃がします。
- 電源と信号のパターンを分けて、ノイズのシールドを実現するためにグランド プレーンを使用します。

ゲート ドライバには、短い伝搬遅延、自動デッド タイム制御、高いピーク電流を供給できる低インピーダンス出力段が内蔵されています。立ち上がり / 立ち下がり時間が短いため、パワー MOSFET の高速ターンオン / ターンオフ遷移を確実に実現でき、高効率を実現します。大きいリンギングを防止するため、浮遊および寄生ゲート ループ インダクタンスを最小限に抑えます。

- ハイサイド MOSFET とローサイド MOSFET をデバイスの近くに配置してください。
- ゲートドライバの出力 HO1、HO2、LO1、LO2 を短いパターンで接続し、インダクタンスを最小化します。
- フラックス キャンセレーション効果を使用して、HO1、HO2、SW1、SW2 を差動ペアとして MOSFET に配線することで、ループ面積を減らせます。
- V_{OUT} コンデンサをハイサイド MOSFET の近くに配置します。短く幅広いパターンを使用することで、パワー段のループ C_{OUT} からハイサイド MOSFET のドレイン接続を最小限に抑えることができ、MOSFET での高電圧スパイクを避けることができます。
- MOSFET に高い電圧スパイクを引き起こすインダクタンスを最小化するため、ローサイド MOSFET のソース接続を短く広いパターンで V_{OUT} および V_I コンデンサのグランドに接続します。
- MOSFET のサーマル パッドで冷却には銅の面積を使用します。

MOSFET とインダクタの熱を拡散するには、インダクタを電力段 (MOSFET) から離して配置します。ただし、インダクタとローサイド MOSFET (スイッチ ノード) との間のパターンが長いほど、EMI とノイズ放射は大きくなります。最高の効率を得るには、インダクタを広く短い配線で接続することで、抵抗性損失を最小限に抑えます。

7.4.2 レイアウト例

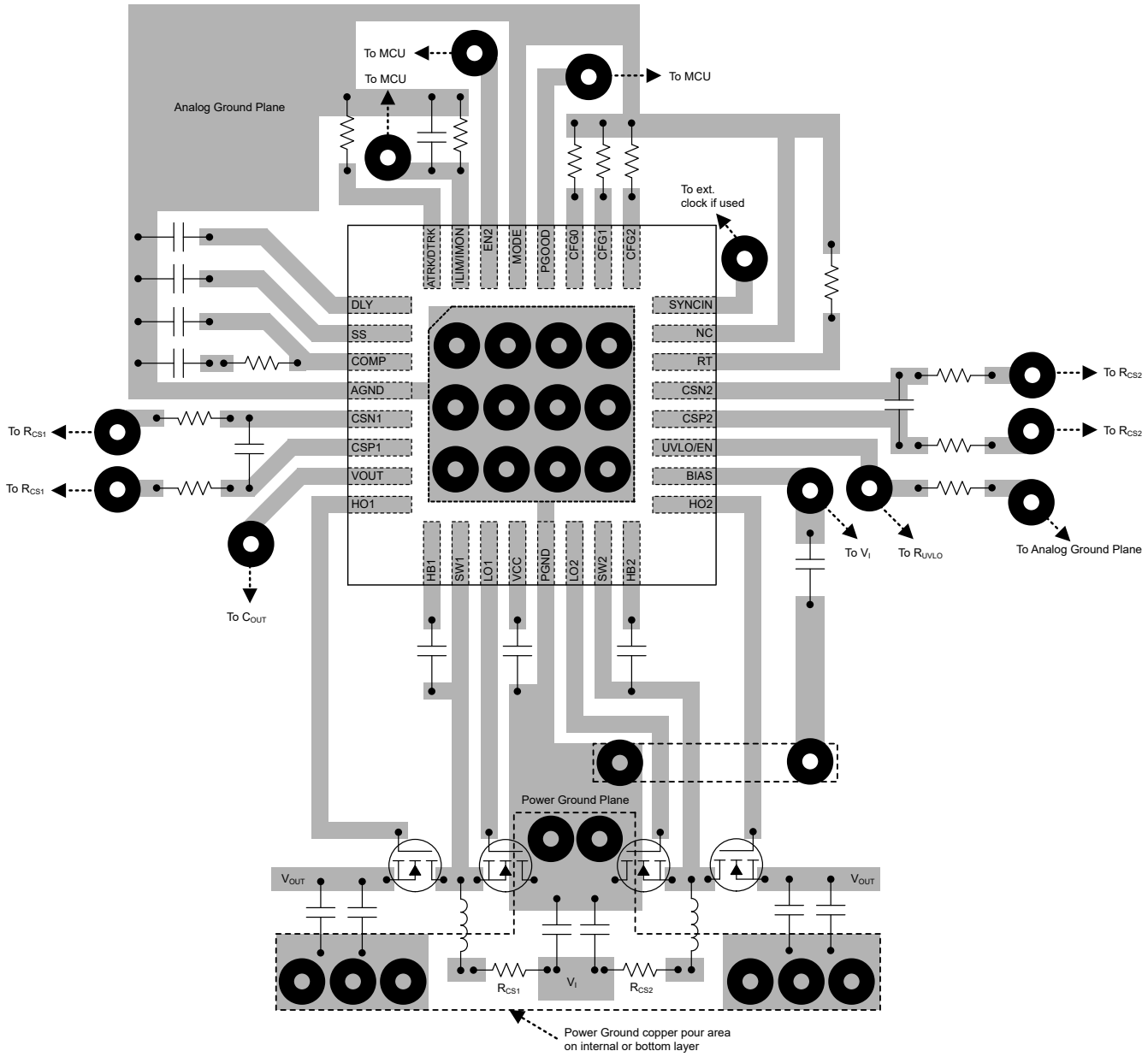


図 7-22. レイアウト例

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*『スイッチング電源の入力フィルタ設計』アプリケーション ノート*
- テキサス インスツルメンツ、*『最適化された出力段レイアウトによる大電流 DC/DC レギュレータの EMI 性能向上』アプリケーション ブリーフ*
- テキサス インスツルメンツ、*『過渡応答測定から帯域幅を判定する方法』技術資料*

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision A (March 2025) to Revision B (April 2025)	Page
• デバイスのステータスを「事前情報」から「量産データ」に変更	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM5125QRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	LM 5125Q
LM5125QRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	LM 5125Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

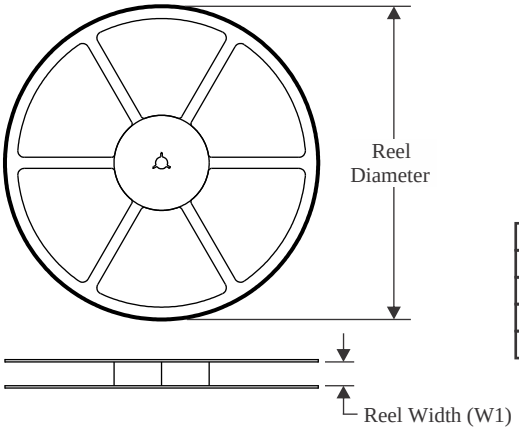
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

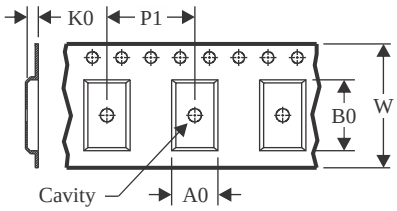
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

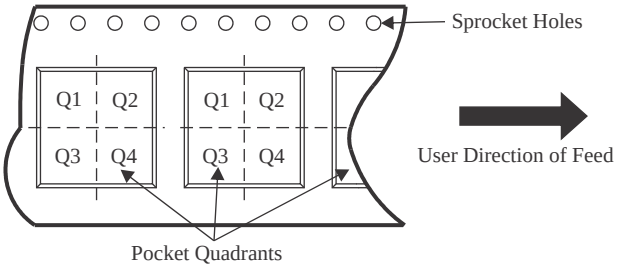


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

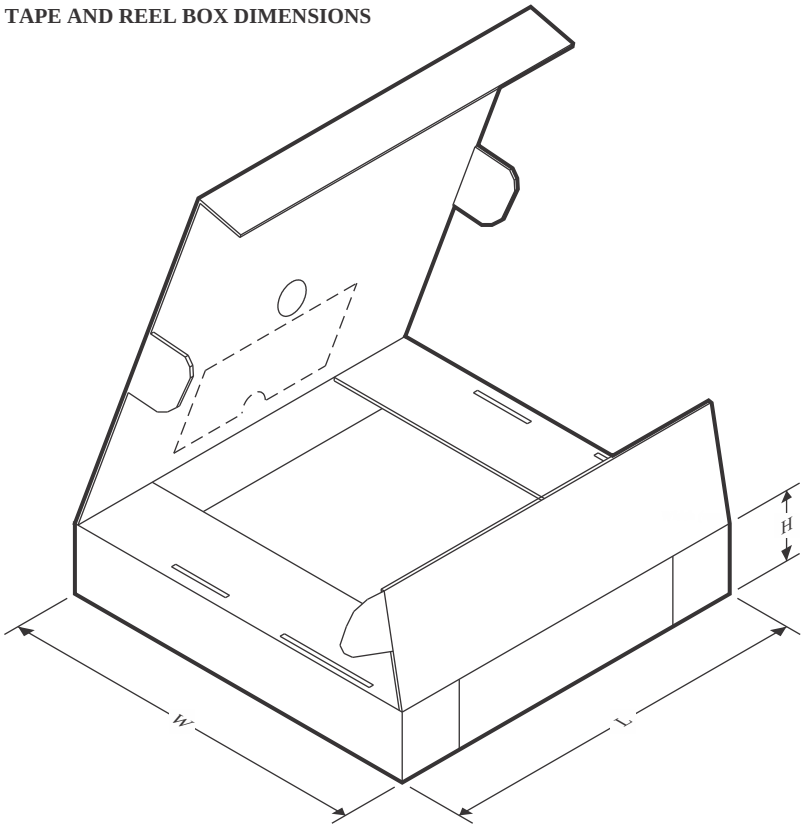
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM5125QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM5125QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0

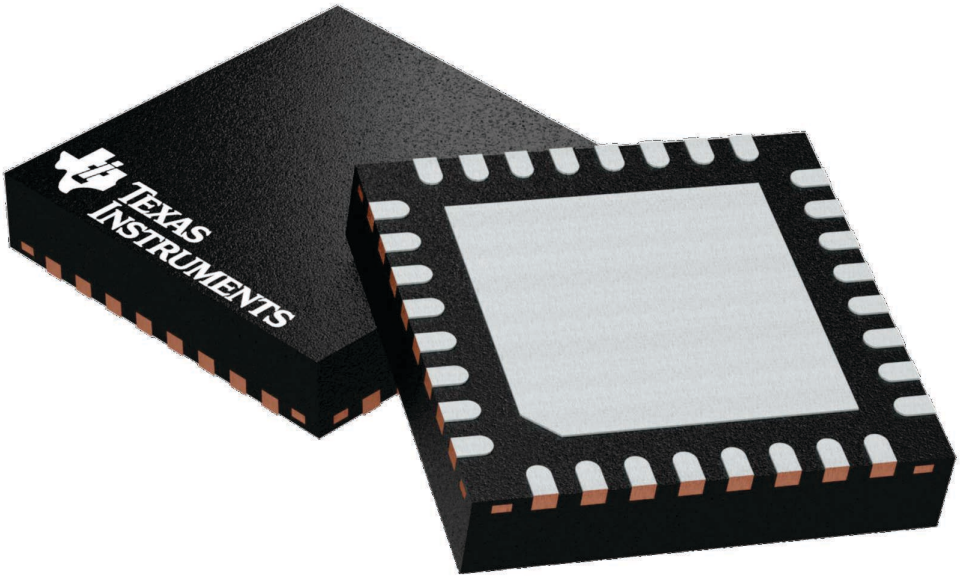
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

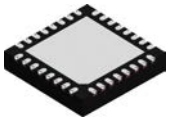
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

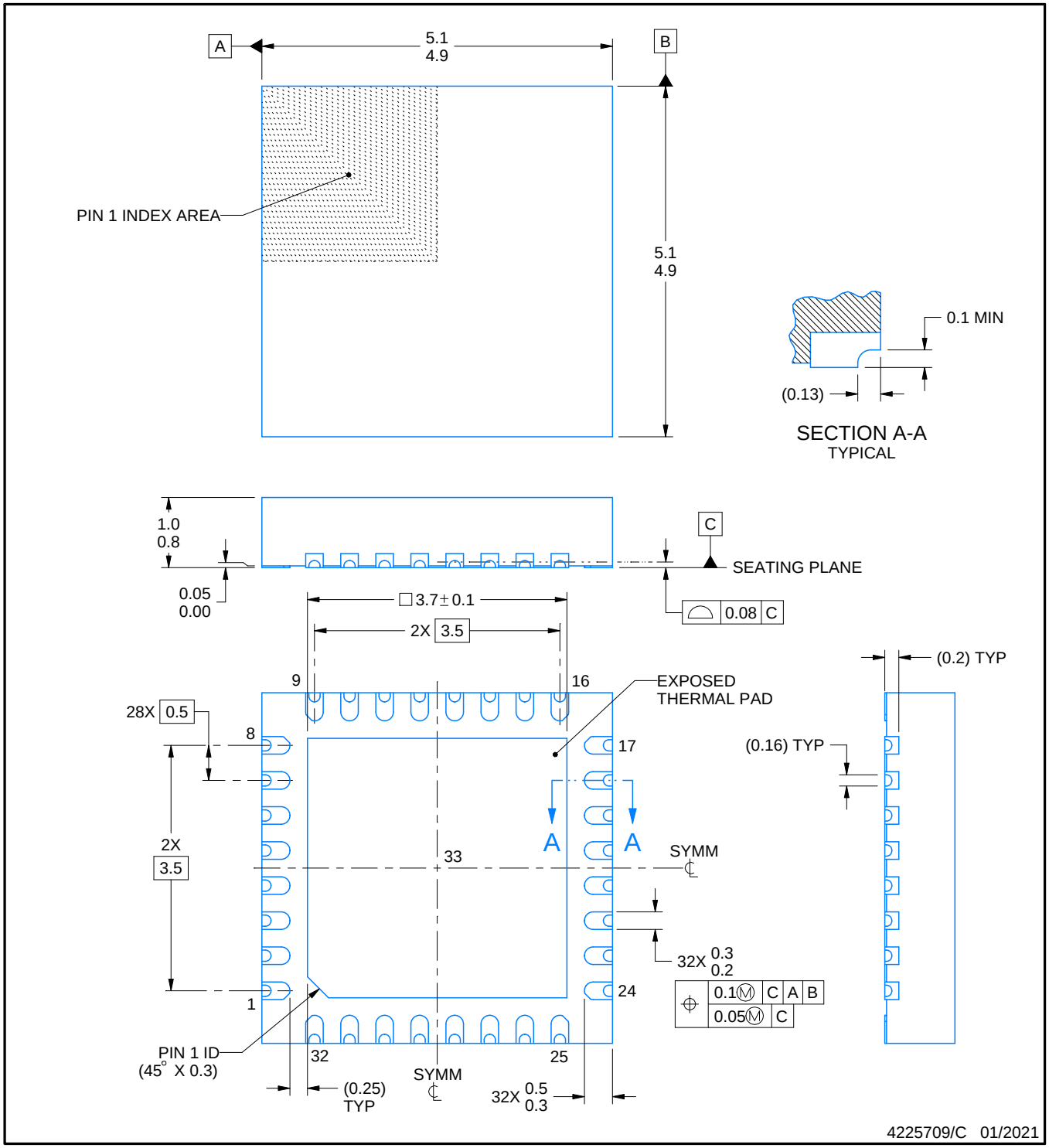
RHB0032U



PACKAGE OUTLINE

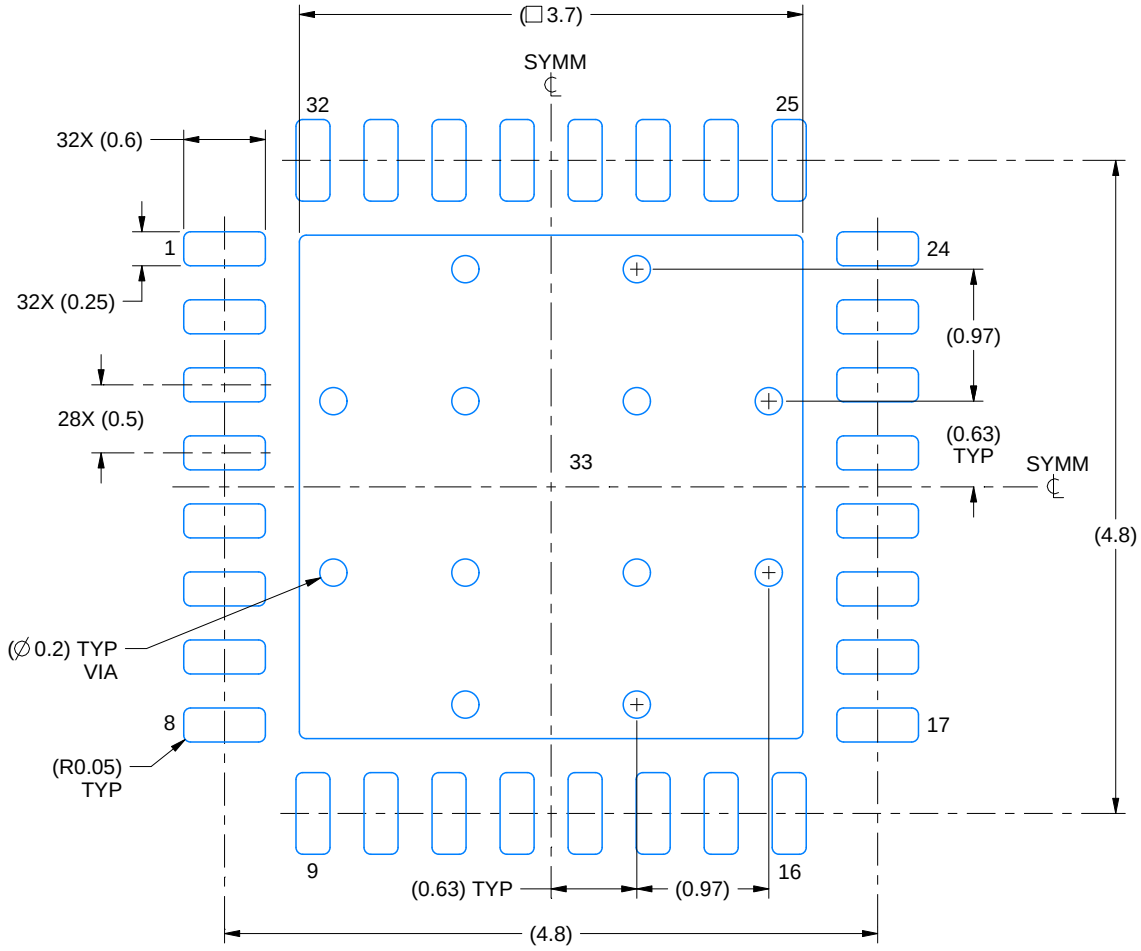
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

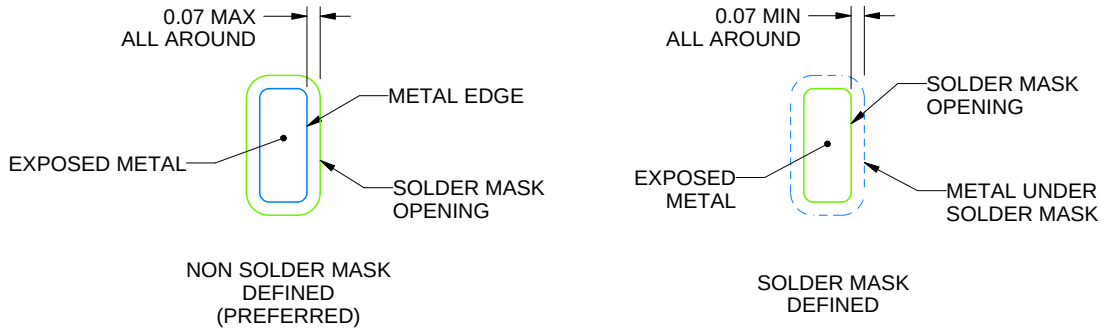


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

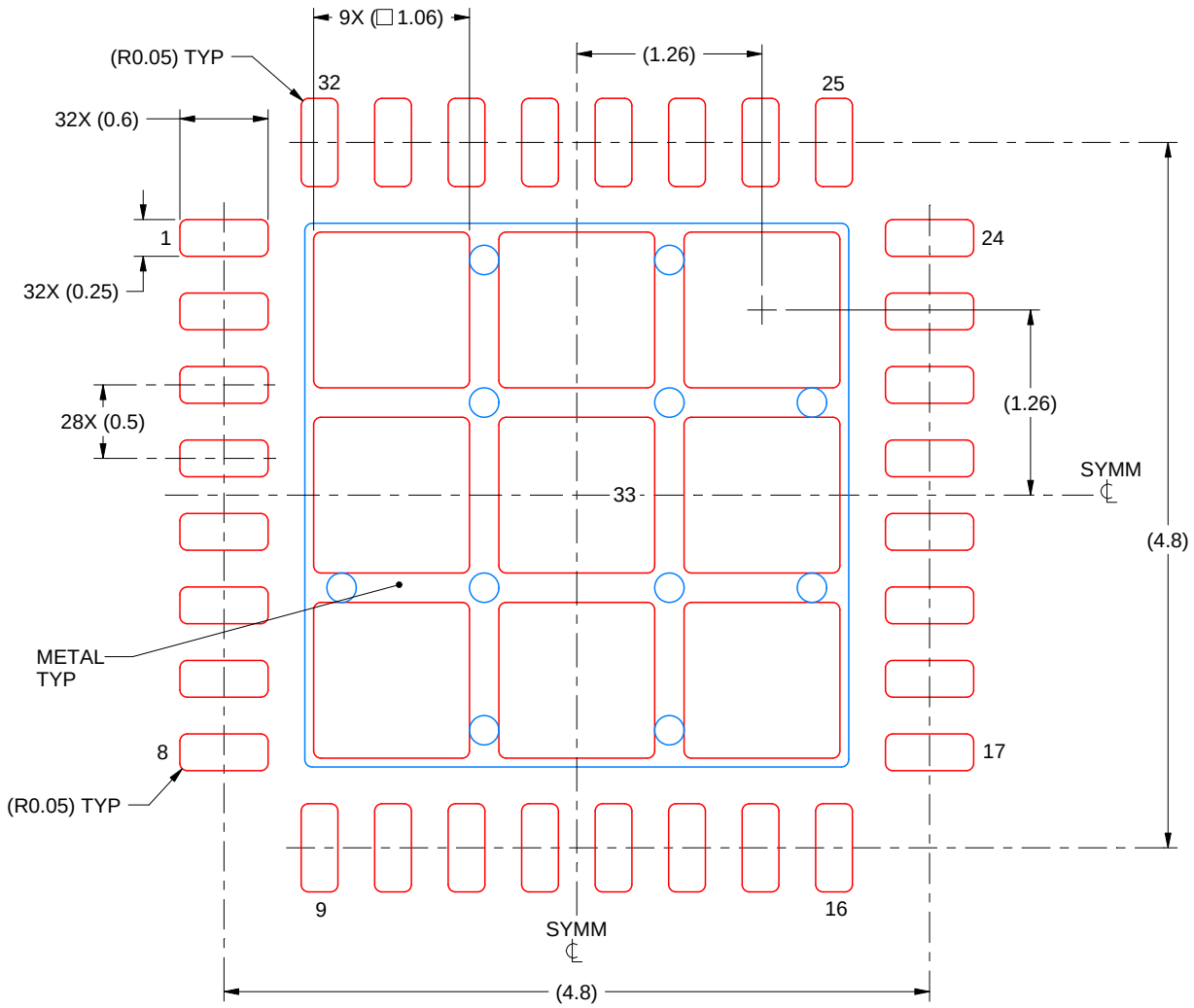


SOLDER MASK DETAILS

4225709/C 01/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225709/C 01/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月