

# LM26400Y

*LM26400Y Dual 2A, 500kHz Wide Input Range Buck Regulator*



Literature Number: JAJ9

## LM26400Y

### デュアル回路、2A出力、500kHz、広入力電圧範囲、降圧型レギュレータ

#### 概要

LM26400Y はモノリシック型の降圧型 DC/DC レギュレータで、一定の PWM 周波数で動作し、2 系統の出力を備えています。16 ピン LLP および熱性能を高めた ETSSOP パッケージで供給されます。LM26400Y はわずかな外付け部品しか必要とせず、またループ補償を内蔵しているため、回路設計は簡単です。最先端の 0.5 μm BiCMOS テクノロジーを採用したオン抵抗 175mΩ の NMOS スイッチを内蔵し、2A の負荷駆動能力を備えているため、電力密度の高い回路を構成することができます。トップクラスの制御回路によってオン時間 40ns を実現したことで、3V ~ 20V の広い入力電圧範囲全域にわたって高周波数での変換が可能となり、最低出力電圧はわずか 0.6V です。また LM26400Y は、ピーク電流モード制御を採用するとともに補償回路を内蔵させたので、幅広い入力条件や負荷条件に対して高性能なレギュレーションを実現しています。スイッチング周波数は、回路サイズと発熱のバランスを考え、幅広いアプリケーションに最適な 500kHz に内部で設定されています。非同期アーキテクチャにおいても 90% を超える効率を達成します。外部シャットダウンを備え、各チャネル個別にターンオンまたはターンオフが可能です。このほか、突入電流を抑える設定可能なソフトスタート回路、パルスごとの電流制限と周波数フォールドバック、内蔵ブートストラップ構造、サーマル・シャットダウン機能を備えます。

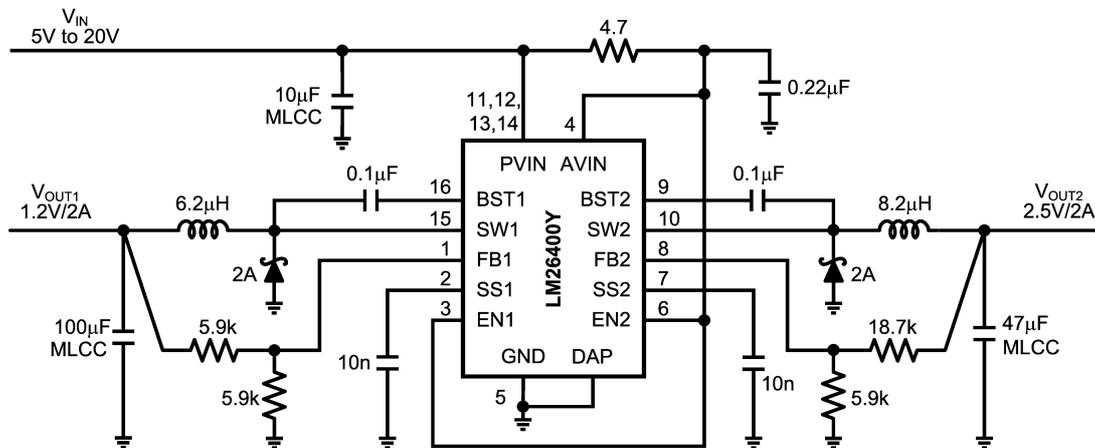
#### 特長

- 入力電圧範囲 3 ~ 20V
- 2 系統の 2A 出力
- 出力最低電圧 0.6V
- 補償回路内蔵
- PWM スwitching 周波数 500kHz
- 回路系統ごとに独立したイネーブル・ピン
- 回路系統ごとに独立したソフトスタート・ピン
- 周波数フォールドバック保護
- 175mΩ NMOS スイッチ内蔵
- ブートストラップ・ダイオード内蔵
- 過電流保護
- ETSSOP と LLP パッケージ
- サーマル・シャットダウン

#### アプリケーション

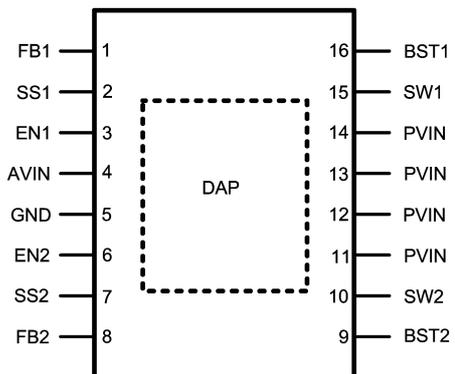
- デジタル家電
- セットトップ・ボックス
- XDSL
- パソコン周辺機器
- 産業用制御機器
- ポイント・オブ・ロード (POL) 電源

#### 代表的なアプリケーション



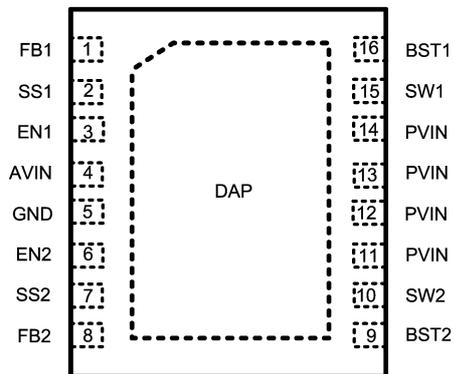
配置図

16-Lead ETSSOP (top view)



NS Package Drawing MXA16A

16-Lead LLP (top view)



NS Package Drawing SDA16A

製品情報

Order Number	Package Type	NSC Package Drawing	Supplied As
LM26400YMH	ETSSOP-16	MXA16A	Rail of 92 Units
LM26400YMHX	ETSSOP-16	MXA16A	2500 Units on Tape and Reel
LM26400YSD	LLP-16	SDA16A	1000 Units on Tape and Reel
LM26400YSDX	LLP-16	SDA16A	4500 Units on Tape and Reel
LM26400YSDE	LLP-16	SDA16A	250 Units on Tape and Reel

## ピン説明

ピン番号	ピン名	説明
1	FB1	チャンネル1の帰還ピン。外部抵抗分圧回路をFB1に接続してチャンネル1の出力電圧を設定します。
2	SS1	チャンネル1のソフトスタートピン。このピンとグラウンドの間にコンデンサを接続してスタートアップ時間を設定します。
3	EN1	チャンネル1のイネーブル制御入力。Highを与えると動作が有効になります。開放のまま使用しないでください。また $V_{IN} + 0.3V$ を超える電圧を与えてはなりません。
4	AVIN	デバイス全体が使用する内部バイアスと内部ブートストラップ・バイアスの生成に必要な電圧入力です。デバイス近くでのバイパスが必要です。
5	GND	信号と電源のグラウンド・ピン。このピンに対して帰還分圧回路の低抵抗をケルビン接続すると、良好なロード・レギュレーションが得られます。
6	EN2	チャンネル2のイネーブル制御入力。Highを与えると動作が有効になります。開放のまま使用しないでください。また $V_{IN} + 0.3V$ を超える電圧を与えてはなりません。
7	SS2	チャンネル2のソフトスタートピン。このピンとグラウンドの間にコンデンサを接続してスタートアップ時間を設定します。
8	FB2	チャンネル2の帰還ピン。外部抵抗分圧回路をFB2に接続してチャンネル2の出力電圧を設定します。
9	BST2	チャンネル2のNMOSスイッチのゲート・ドライブ用電源。BST2とSW2ピンの間にブートストラップ・コンデンサが必要です。
10	SW2	チャンネル2のスイッチ・ノード。インダクタ、キャッチ・ダイオード、ブートストラップ・コンデンサを接続します。
11, 12, 13, 14	PVIN	電源入力。内蔵NMOSスイッチのドレインに直接接続されています。すべてのPVINはバイパス・コンデンサにまとめて接続してください。
15	SW1	チャンネル1のスイッチ・ノード。インダクタ、キャッチ・ダイオード、ブートストラップ・コンデンサを接続します。
16	BST1	チャンネル1のNMOSスイッチのゲート・ドライブ用電源。BST1とSW1ピンの間にブートストラップ・コンデンサが必要です。
DAP	ダイ・アタッチ・パッド	熱インピーダンスとグラウンド・インダクタンスを下げるためにシステム・グラウンドに接続してください。

## 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

AVIN、PVIN	- 0.5V ~ 22V
SWx 電圧	- 0.5V ~ 22V
BSTx 電圧	- 0.5V ~ 26V
BSTx ~ SW 電圧	- 0.5V ~ 6V
FBx 電圧	- 0.5V ~ 3V
ENx 電圧 (Note 2)	- 0.5V ~ 22V

SSx 電圧	- 0.5V ~ 3V
接合部温度	+ 150
ESD 耐圧	
人体モデル (Note 3)	2kV
接合部動作温度範囲	- 65 ~ 150
動作定格 (Note 1)	
電源電圧 $V_{IN}$	3V ~ 20V
接合部温度	- 40 ~ + 125

## 電気的特性

特記のない限り、以下の条件が適用されます。AVIN = PVIN =  $V_{IN}$  = 5V。標準字体で記載されたリミット値は  $T_J = 25$  の場合に限り、太字で記載されたリミット値は - 40 ~ + 125 の接合部温度 ( $T_J$ ) 範囲にわたって適用されます。最小リミット (Min) 値と最大リミット (Max) 値は、試験、設計、または統計的の相関によって保証されます。代表値 (Typ) は  $T_J = 25$  の最も標準的なパラメータ値を表しますが、参考として示す以外の目的はありません。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$V_{FB}$	Voltages at FB1 and FB2 Pins	0°C to 85°C. Feedback Loop Closed.	<b>0.591</b>	0.6	<b>0.611</b>	V
		-40°C to 125°C. Feedback Loop Closed.	<b>0.585</b>		<b>0.617</b>	
$\Delta V_{FB\_LINE}$	Line Regulation of FB1 and FB2 Voltages, Expressed as PPM Change Per Volt of $V_{IN}$ Variation	$V_{IN} = 3V$ to 20V		66		ppm/V
$I_{FB}$	Current in FB1 and FB2 Pins	$V_{FB} = 0.6V$		0.4	<b>250</b>	nA
$V_{UVLO}$	Under Voltage Lockout Threshold	$V_{IN}$ Rises From 0V		2.7	<b>2.9</b>	V
		$V_{IN}$ Falls From 3.3V	<b>2.0</b>	2.3		
$V_{UVLO\_HYS}$	Hysteresis of UVLO Threshold		<b>0.2</b>	0.36	<b>0.55</b>	V
$f_{SW}$	Switching Frequency		<b>0.39</b>	0.52	<b>0.65</b>	MHz
$D_{MAX}$	Maximum Duty Cycle		<b>90</b>	96		%
$D_{MIN}$	Minimum Duty Cycle			2		%
$R_{DS\_ON}$	ON Resistance of Internal Power MOSFET	ETSSOP, 2A Drain Current		175	<b>320</b>	m $\Omega$
		LLP, 2A Drain Current		194	<b>350</b>	
$I_{CL}$	Peak Current Limit of Internal MOSFET		<b>2.5</b>	3	<b>4.5</b>	A
$I_{SD}$	Shutdown <sub>1</sub> Current of AVIN Pin	EN1 = EN2 = 0V		2		nA
$I_Q$	Quiescent Current of AVIN Pin (both channels are enabled but not switching)	EN1 = EN2 = 5V, FB1 = FB2 = 0.7V			<b>4</b>	mA
$V_{EN\_IH}$	Input Logic High of EN1 and EN2 Pins		<b>2.5</b>			V
$V_{EN\_IL}$	Input Logic Low of EN1 and EN2 Pins				<b>0.4</b>	V
$I_{EN}$	EN1 and EN2 Currents (sink or source)			5		nA
$I_{SW\_LEAK}$	Switch Leakage Current Measured at SW1 and SW2 Pins	EN1 = EN2 = SWx = 0		1		$\mu$ A
$\Delta\Phi$	Phase Shift Between SW1 and SW2 Rising Edges	Feedback Loop Closed. Continuous Conduction Mode.	170	180	190	deg
$I_{SS}$	SSx Pin Current		<b>11</b>	16	<b>21</b>	$\mu$ A

## 電気的特性 (つぎ)

特記のない限り、以下の条件が適用されます。AVIN = PVIN = VIN = 5V。標準字体で記載されたリミット値は T<sub>J</sub> = 25 の場合に限り、太字で記載されたリミット値は -40 ~ +125 の接合部温度 (T<sub>J</sub>) 範囲にわたって適用されます。最小リミット (Min) 値と最大リミット (Max) 値は、試験、設計、または統計的相関によって保証されます。代表値 (Typ) は T<sub>J</sub> = 25 での最も標準的なパラメータ値を表しますが、参考として示す以外の目的はありません。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$\Delta I_{SS}$	Difference Between SS1 and SS2 Currents				<b>3</b>	$\mu\text{A}$
$V_{FB\_F}$	FB1 and FB2 Frequency Fold-back Threshold			0.35		V

## 放熱特性

Symbol	Description	Conditions	Typical Value		Unit
			TSSOP	LLP	
$\theta_{JA}$	Junction-to-Ambient Thermal Resistance (Note 4)	Mount package on a standard board (Note 5) and test per JESD51-7 standard.	28	26	°C/W
$\theta_{JC}$	Junction-to-Case-Bottom Thermal Resistance		3	2.8	
$T_{SD}$	Thermal Shutdown Threshold	Junction temperature rises.	165		°C
$T_{SD\_HYS}$	Thermal Shutdown Hysteresis	Junction temperature falls from above T <sub>SD</sub> .	15		

**Note 1:** 絶対最大定格は、それらを超えると、デバイスの破壊が発生する可能性があるリミット値を示します。動作定格とは、デバイスが正常に機能する条件をいいますが、性能のリミット値を保証するものではありません。保証性能のリミット値と関連する試験条件は、「電気的特性」の表を参照してください。

**Note 2:** EN1 ピンと EN2 ピンには V<sub>IN</sub> + 0.3V を超える電圧を与えてはなりません。

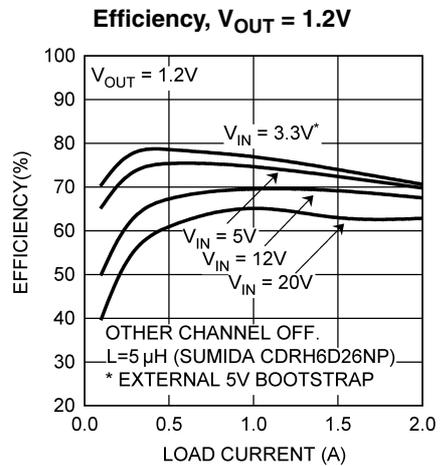
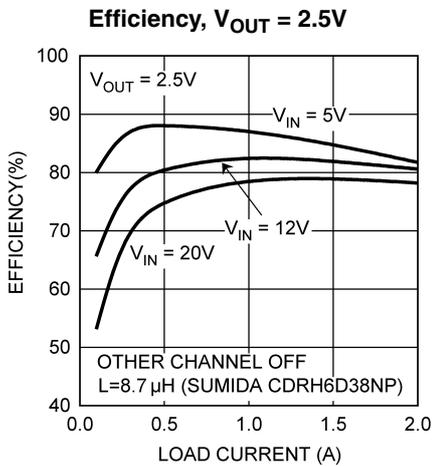
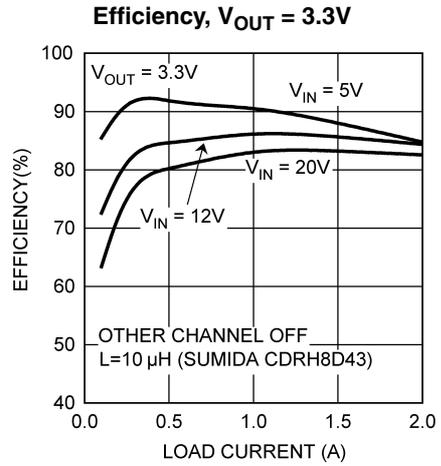
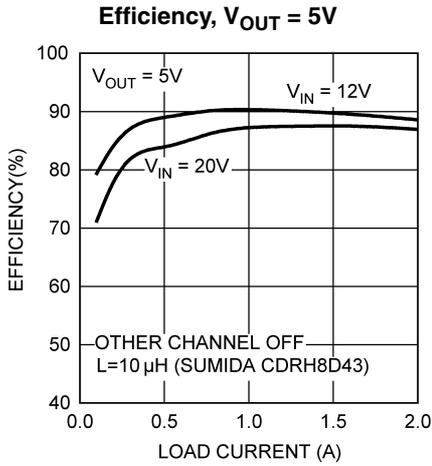
**Note 3:** 人体モデルは、100pF のコンデンサから 1.5k $\Omega$  を通して各ピンに放電します。テスト方法は JESD-22-A114 に従っています。

**Note 4:** 値はボードに強く依存します。パッケージ熱性能の比較のみを目的としています。実アプリケーションでの接合部温度の予測には使用しないでください。詳細は、「熱に関する考慮事項」を参照してください。

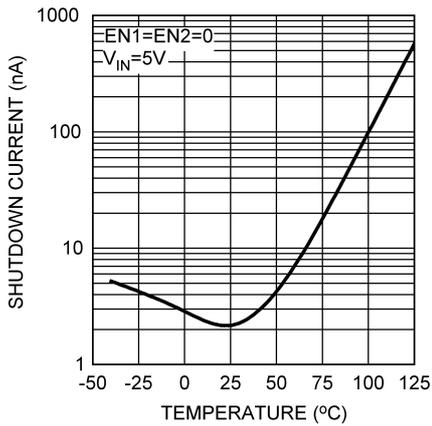
**Note 5:** 標準ボードとは 4.5 インチ × 3 インチ × 0.063 インチの 4 層 PCB を指します。表面層と裏面層の銅箔厚みは 2 オンスです。内層の銅箔厚みは 1 オンスです。詳細は JESD51-7 スタンダードを参照してください。

代表的な性能特性

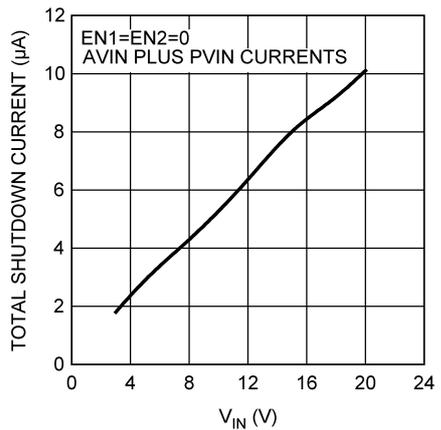
特記のない限り、あるいはサーマル・シャットダウンに関するものでない限り、効率曲線、ループ・ゲイン・プロットとその波形の場合は  $T_A = 25$ 、それ以外の場合は  $T_J = 25$  になります。



AVIN Shutdown Current vs. Temperature



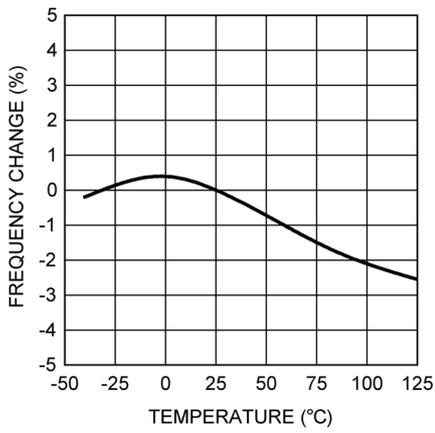
$V_{IN}$  Shutdown Current vs.  $V_{IN}$



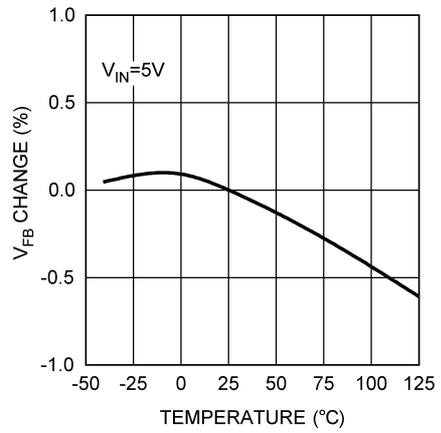
代表的な性能特性 (つづき)

特記のない限り、あるいはサーマル・シャットダウンに関係するものでない限り、効率曲線、ループ・ゲイン・プロットとその波形の場合は  $T_A = 25$ 、それ以外の場合は  $T_J = 25$  になります。

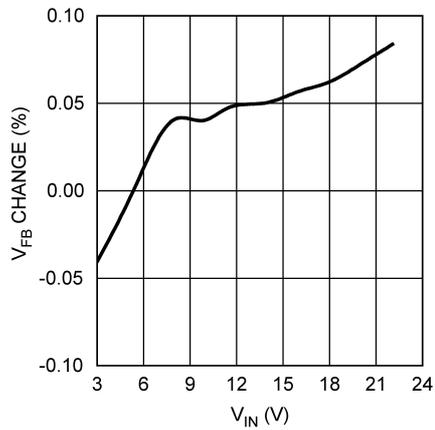
**Switching Frequency vs. Temperature**



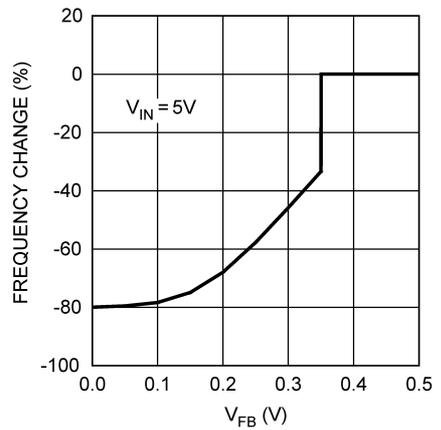
**Feedback Voltage vs. Temperature**



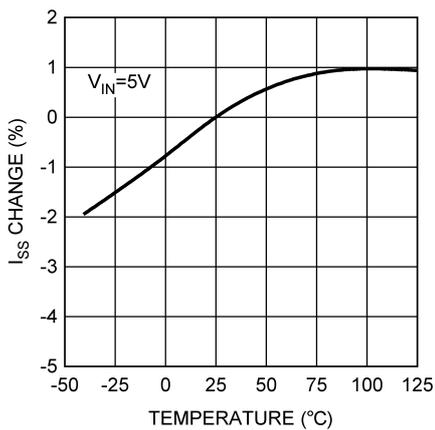
**Feedback Voltage vs. V<sub>IN</sub>**



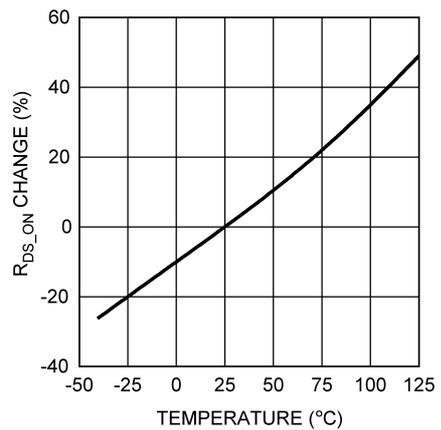
**Frequency Foldback**



**SS-Pin Current vs. Temperature**



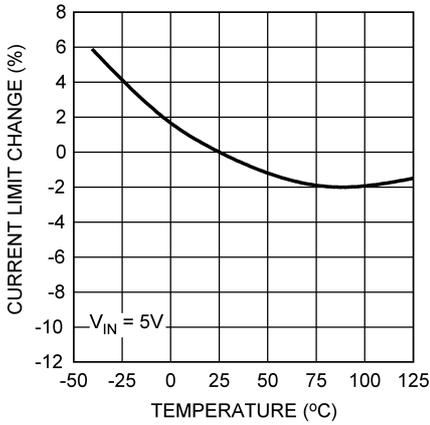
**FET R<sub>DS\_ON</sub> vs. Temperature**



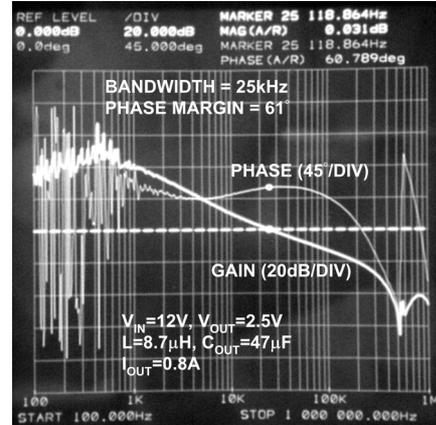
代表的な性能特性 (つづき)

特記のない限り、あるいはサーマル・シャットダウンに関係するものでない限り、効率曲線、ループ・ゲイン・プロットとその波形の場合は  $T_A = 25$ 、それ以外の場合は  $T_J = 25$  になります。

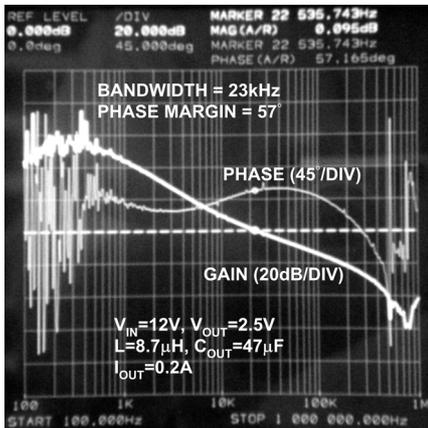
Switch Current Limit vs. Temperature



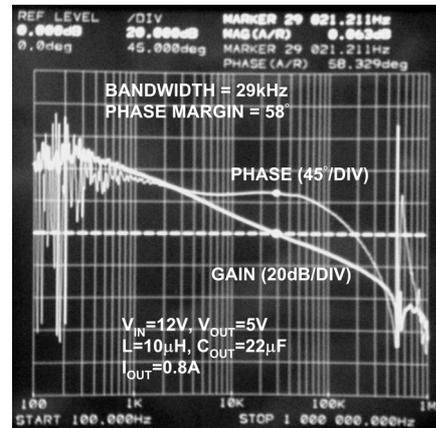
Loop Gain, CCM



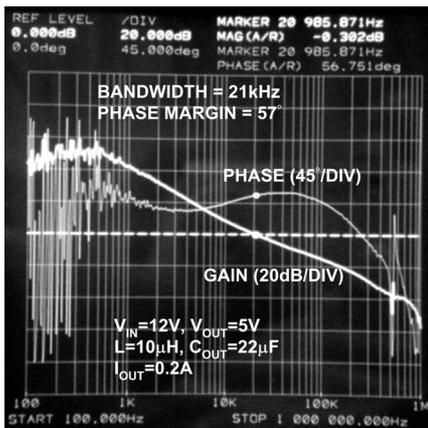
Loop Gain, DCM



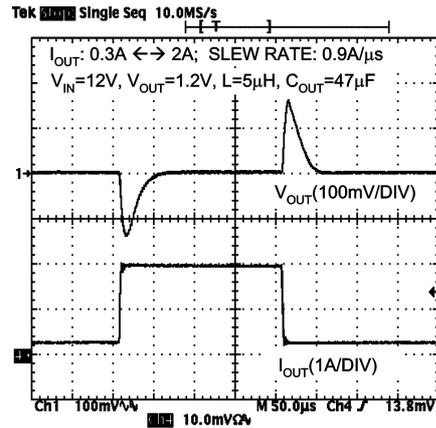
Loop Gain, CCM



Loop Gain, DCM



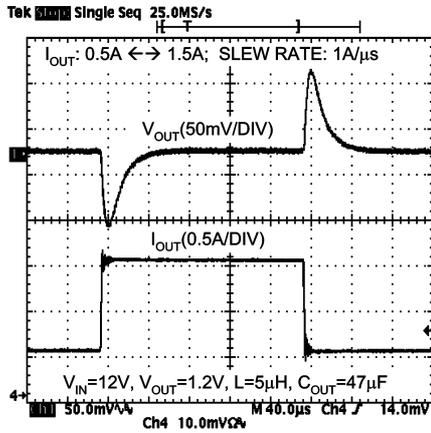
Load Step Response



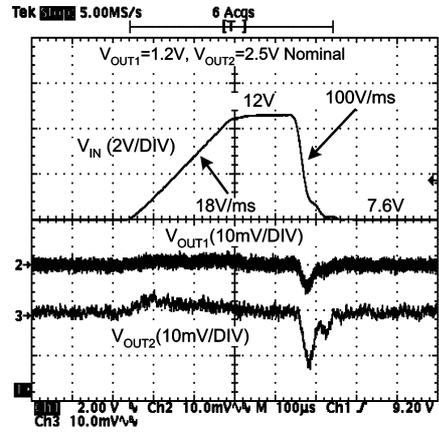
代表的な性能特性 (つづき)

特記のない限り、あるいはサーマル・シャットダウンに係るものでない限り、効率曲線、ループ・ゲイン・プロットとその波形の場合は  $T_A = 25$ 、それ以外の場合は  $T_J = 25$  になります。

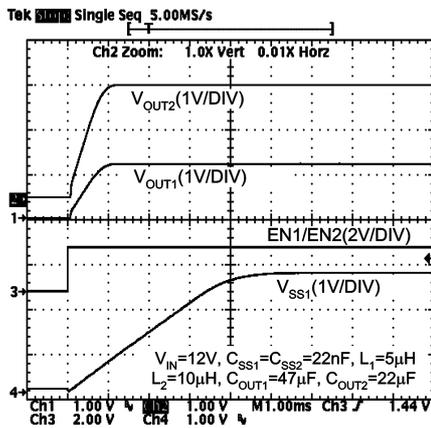
Load Step Response



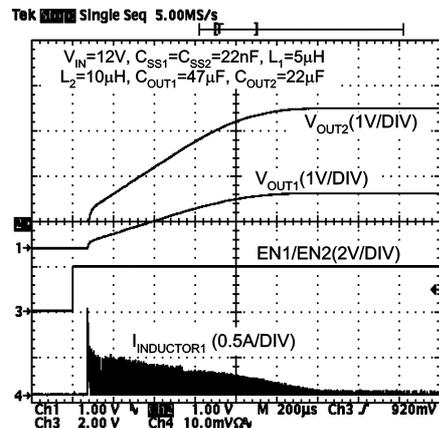
Line Transient Response



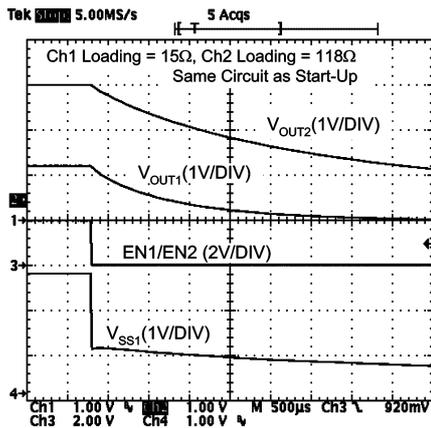
Start-Up (No Load)



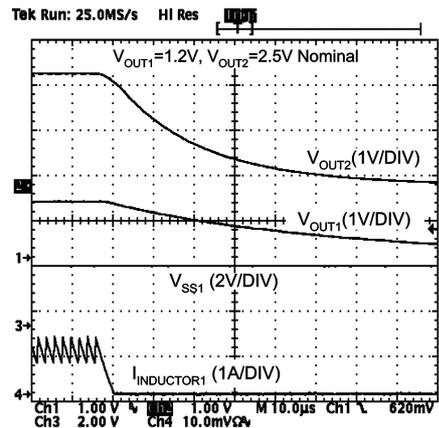
Start-Up (No Load)



Shutdown



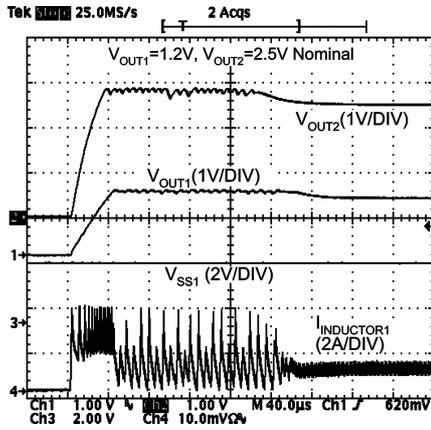
Thermal Shutdown



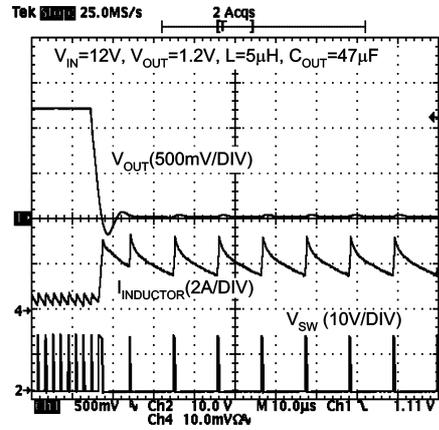
代表的な性能特性 (つづき)

特記のない限り、あるいはサーマル・シャットダウンに関係するものでない限り、効率曲線、ループ・ゲイン・プロットとその波形の場合は  $T_A = 25$ 、それ以外の場合は  $T_J = 25$  になります。

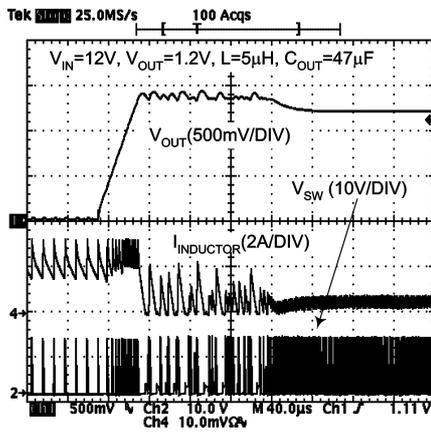
Recovery from Thermal Shutdown



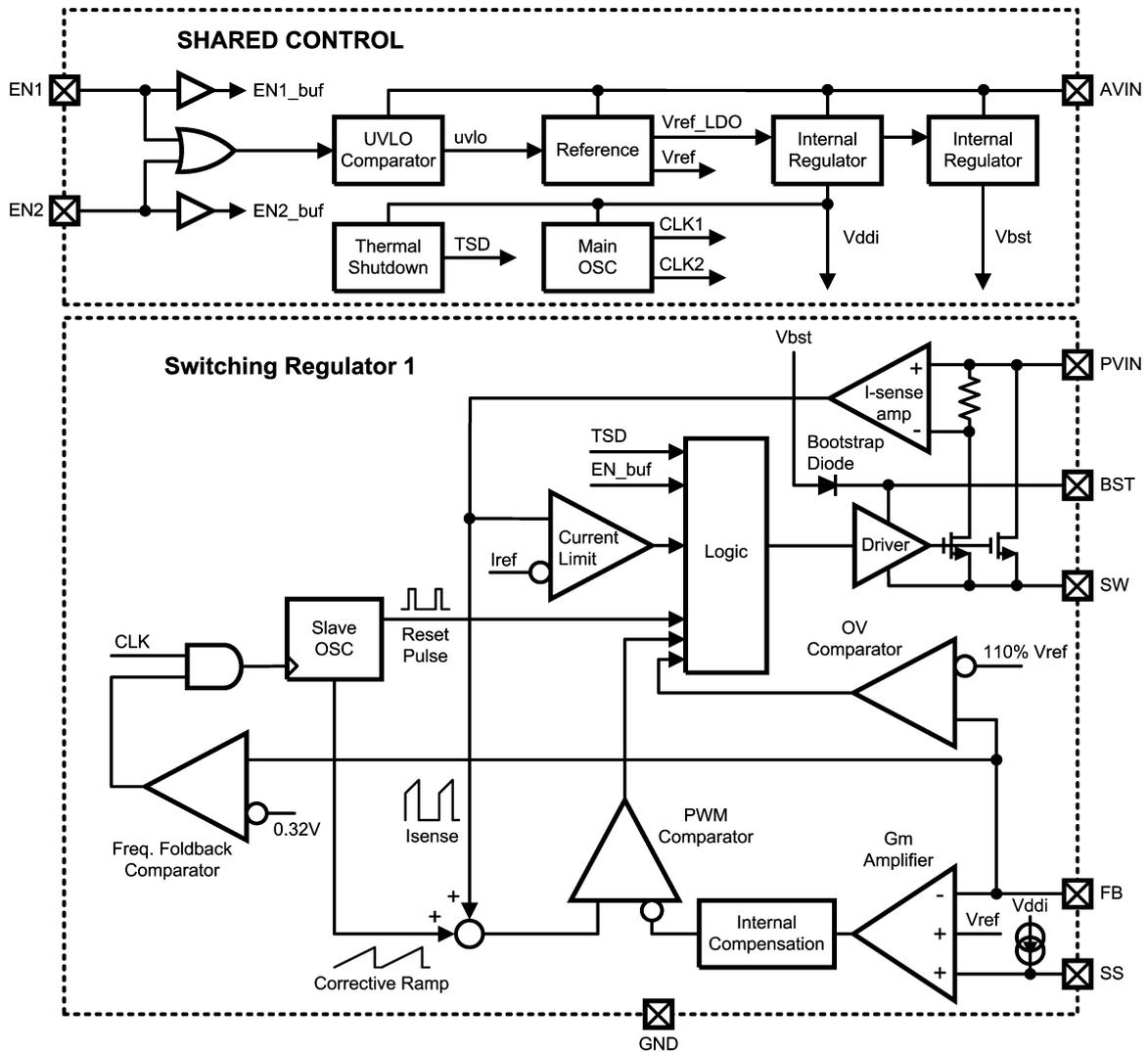
Short-circuit Triggerring



Short-circuit Release



ブロック図



## アプリケーション・ヒント

### 概要

LM26400Y は、PWM ピーク電流モード制御方式を採用するとともに、2 個のパワー MOSFET スイッチを内蔵したデュアル回路の降圧型レギュレータです。デバイスは使いやすさを考慮して設計されています。2 系統のレギュレータ回路は基本的に同一で、入力電圧とリファレンス電圧 (0.6V) を共有しています。PWM クロックの周波数はどちらの系統も同じですが、位相が 180 異なります。各系統はソフトスタートのランプ傾きを個別に設定できるほか、ターンオン / ターンオフを個別に制御することが可能です。

ループ補償回路を内蔵しています。帰還ループはセラミック出力コンデンサの使用を前提に最適化されています。

パワー・スイッチを内蔵しているため、達成可能な出力電流レベルは実アプリケーションの熱環境に依存します。LM26400Y は接合部温度が約 165 になると、サーマル・シャットダウンに移行します。

### スタートアップとシャットダウン

ソフトスタートの間、出力電圧は SS ピン電圧に比例して上昇します。EN ピンを High にすると、内蔵の 16 $\mu$ A 電流源によって、対応する系統の SS ピンの充電が始まります。SS ピンとグラウンド間に接続されたコンデンサの容量によって SS 電圧の上昇する速度が決まります。トランスコンダクタンス・エラー・アンプの非反転入力、すなわちソフトスタート中の SS 電圧は、0.6V リファレンス ( $V_{REF}$ ) より先低くなります。したがって、SS が 0.6V に到達するまで、エラー・アンプにはリファレンス電圧として SS 電圧が印加されます。SS が 0.6V を超えると、トランスコンダクタンス・アンプの非反転入力は 0.6V 一定となり、ソフトスタートが終了します。その後 SS 電圧は内部 2.7V 電源電圧まで上昇を続けます。

所望のソフトスタート時間に必要な SS 容量を求めるには以下の式を用います。

$$C_{SS} = \frac{I_{SS} \times t_{SS}}{V_{REF}}$$

$I_{SS}$  は SS ピンの充電電流で、代表値は 16 $\mu$ A です。 $V_{REF}$  は内部リファレンス電圧で、代表値は 0.6V です。 $t_{SS}$  は設定しようとするソフトスタート時間の長さです。例えば、ソフトスタート時間を 1ms に設定したい場合、SS コンデンサの公称容量は 25nF になります。必要に応じて誤差分を加味してください。 $V_{REF}$  の誤差は電気的特性の " $V_{FB}$ " 項を使用してください。

ソフトスタート中のインダクタ電流は次の式で求めます。

$$I_{ind} = \frac{C_{OUT}}{C_{SS}} \times \frac{V_{OUT}}{V_{REF}} \times I_{SS} + I_{OUT}$$

$V_{OUT}$  は目標とする出力電圧、 $I_{OUT}$  はスタートアップ中の負荷電流、 $C_{OUT}$  は出力容量です。例えば、出力容量 10 $\mu$ F、出力電圧 2.5V、ソフトスタート・コンデンサ 10nF、負荷がない状態で、ソフトスタート期間の平均インダクタ電流は 62.5mA になります。

EN ピンの電圧を約 0.4V 以下に下げると 16 $\mu$ A 電流源による SS ピンの充電は中断されます。SS ピンは 330 の内蔵 FET を通じてグラウンドに放電されます。この間、出力電圧が負荷によって放電されるまで、内蔵パワー・スイッチはターンオフの状態を維持します。

SS 電圧と出力電圧が完全に放電される前に EN を再び High にすると、SS 電圧が非ゼロの状態ですべてソフトスタートが始まり、ソフトスタートのリファレンスのレベルは 0.6V より先低くなります。

出力がプリバイアスされる場合、入力電圧とプリバイアスの間に少なくとも 2V の電圧差があれば、一般に LM26400Y は問題なくスタートアップします。出力プリバイアス状態とはスタートアップ時点で出力電圧が非ゼロにある状態を指します。このような条件下で正常なスタートアップを確保するには、ブートストラップ・コンデンサ両端に十分な電圧差があることが必要です。出力プリバイアス条件が想定される場合は、プリバイアスの最も高い電圧下でのスタートアップ動作を考慮して設計を行ってください。

スタートアップ後のイネーブル信号に重畳したグリッチによって生じるプリバイアスや、入力電圧の瞬間的な低下によるプリバイアスは、ブートストラップ・コンデンサが出力コンデンサより先はるかに長く電荷を保持しているため、通常は問題になりません。

スタートアップ中のスイッチング周波数は、周波数フォールドバック方式を採用しているため、 $V_{FB}$  が約 0.35V に近づく前に公称値より先はるかに低くなります。「代表的な性能特性」の "Frequency Foldback" グラフを参照してください。

システム回路を単純化するために EN ピンを  $V_{IN}$  に接続しても問題ありません。ただし、ソフトスタート中に  $V_{IN}$  の立ち上がりが遅く、かつ負荷電流が比較的大きいと、 $V_{OUT}$  の立ち上がりに段差が生じスタートアップ終了時点で多少のオーバーシュートが生じる場合があります。その理由は、 $V_{IN}$  が 5V より低いと LM26400Y は十分な負荷電流を供給できないからです。このような動作がシステムで問題となる場合、2 つの解決方法があります。1 つは EN ピンをロジック信号で制御して、 $V_{IN}$  が約 5V を上回るまで EN を High にしない方法です。ロジック信号が  $V_{IN}$  より先 0.3V 以上高くならないように注意してください。もう 1 つは  $V_{IN}$  が約 2.7V に達する前に外部 5V ブートストラップ・バイアスが利用できるのであれば、ブートストラップ・バイアスを使う方法です。詳細は「入力電圧が低い場合の設計課題」を参照してください。

### 過電流保護

瞬間的なスイッチ電流は代表値で 3A に制限されています。スイッチ電流がこの値に到達するとスイッチは即座にターンオフします。その結果、デューティ・サイクルは通常より小さくなり、出力電圧は低下します。負荷電流がピークで制限されるインダクタ電流と等しくなるまで出力電圧は低下を続けます。出力電圧が低下するにつれて FB ピン電圧も比例して低くなります。FB 電圧が 0.35V を下回ると、FB 電圧の低下につれて PWM 周波数も下がります。「代表的な性能特性」の "Frequency Foldback" グラフを参照してください。

周波数フォールドバック方式には 2 つの利点があります。1 つは最小オン時間 (LM26400Y で 40ns) が有限となるため過大なスイッチ電流を防ぐとともに、電流制限に伴う出力電圧の低下によってデューティ・サイクルが極端に小さくなることを防ぎます。もう 1 つはデバイスと外付けダイオードの両方の熱ストレスを緩和する効果があります。

LM26400Y の電流リミット・スレッショルドはデューティ・サイクル全域で一定です。

過電流状態からのリカバリはソフトスタートを経由しない点に注意が必要です。その理由は、エラー・アンプの非反転入力のリファレンス電圧は、過電流保護状態においては常に 0.6V に保たれているからです。過電流状態が急激に取り除かれると、レギュレータはできるだけ速やかに FB 電圧を 0.6V に戻そうとします。この動作は出力にオーバーシュートを発生させる場合があります。一般に、大きなインダクタまたは小さな出力コンデンサはオーバーシュートが大きくなり、逆も同様です。そのようなオーバーシュートがシステムの許容可能なリミットを超える際は、上側帰還抵抗にコンデンサ  $C_{FF}$  を並列に接続しオーバーシュートを軽減してください。 $C_{FF}$  の詳細は「負荷のステップ変動」を参照してください。

## アプリケーション・ヒント (つづき)

片方のチャンネルが過電流保護モードに移行しても、他方のチャンネルの動作には影響しません。

### ループ安定性

一次近似として LM26400Y が持つ  $V_{FB}$  とインダクタ電流の伝達アドミタンスの関係 (すなわち、周波数領域におけるインダクタ電流と FB ピン電圧の比) を利用し、おおまかな特性を Figure 1 のグラフに示します。伝達アドミタンスの DC 値は、104dBs (dBs は、decibel Siemens の略で、0dBs は、1 シーメンスと等価です)。ポールは 1Hz に、ゼロはおよそ 8kHz に存在します。8kHz ゼロのあとの平坦部分はおおよそ 27dBs です。また、図に表示されていない高周波ポールも存在します。1.2MHz 付近にダブル・ポールがあるほか、スイッチング周波数の半分の周波数に別のダブル・ポールが存在します。スイッチング周波数の半分にあるダブル・ポールは、インダクタ・リップルやデューティ・サイクルなどの因子に依存して、スイッチング周波数近くで 2 個の別々のポールに分かれる場合があります。

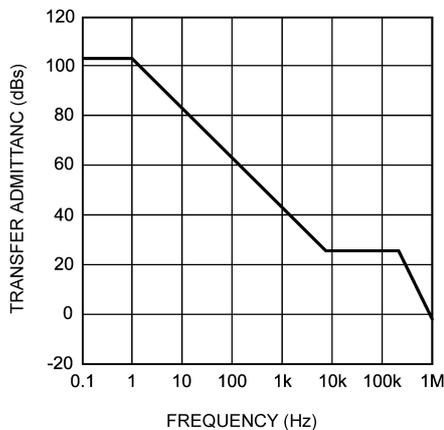


FIGURE 1.  $V_{FB}$ -to-Inductor Current Transfer Admittance

妥当な位相マージンを持った安定なループを構築するには、出力コンデンサをセラミックと仮定して、20kHz から 100kHz の範囲にクロスオーバーを設定する方法が簡単です。出力に純粋なセラミック・コンデンサを使用した場合、クロスオーバー周波数は次の式を単純に適用します。

$$f_c = \frac{22S \times r}{6.28 \times C_{OUT}}$$

22S (22 シーメンス) は、前述の伝達アドミタンス 27dBs と等価です。r は 0.6V と出力電圧との比です。与えられたクロスオーバー周波数に必要な出力容量を求めるには同じ式を使用します。位相マージンは通常は 50 から 60 の範囲です。上述の式はクロスオーバーが 20kHz ~ 100kHz の範囲のときにのみ有効である点に注意してください。クロスオーバー周波数をこの範囲外に設定すると、位相マージンが減少するとともに、上述の式による計算精度が低下します。

例:  $V_{OUT} = 2.5V$ 、 $C_{OUT} = 36\mu F$ 、クロスオーバー周波数を求める。クロスオーバー周波数を 20kHz から 100kHz の範囲に設定すると仮定する。

$$f_c = \frac{22S \times \frac{0.6V}{2.5V}}{6.28 \times 36\mu F} = 23\text{ kHz}$$

この計算式の役割はあくまでスタート・ポイントです。実験によってループ・ゲインを検証することの有効性は変わりません。

### 負荷のステップ変動

一般に負荷ステップに起因する出力電圧の変動は、出力容量を増やすことで軽減できます。また、小信号ループ帯域を広くすることも効果があります。その場合、27nF 程度のコンデンサ ( $C_{FF}$ ) を上側帰還抵抗に並列に追加します (下側帰還抵抗は 5.9k と仮定)。Figure 2 を参照してください。

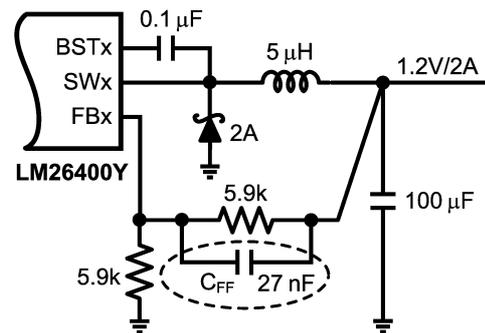


FIGURE 2. Adding a  $C_{FF}$  Capacitor

0.2A から 2A の範囲で負荷がステップ状に変動した時の応答を、 $C_{FF}$  がある場合とない場合のそれぞれを Figure 3 に示します。 $C_{FF}$  がもたらすループの広帯域化によって、出力の変動はおおよそ 80mV に抑えられていることがわかります。

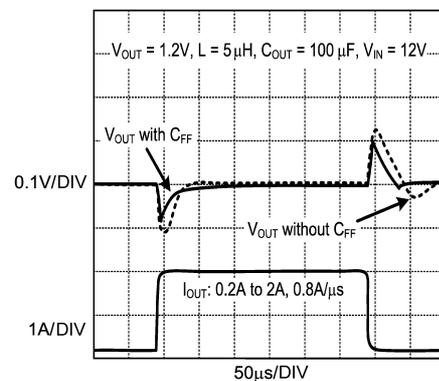


FIGURE 3.  $C_{FF}$  Improves Load Step Response

$C_{FF}$  を使用した時のループ帯域の計算には次の式を使います。

$$f_c = \frac{22S}{6.28 \times C_{OUT}}$$

ここで、クロスオーバー周波数は 20kHz から 100kHz の範囲にあることが前提です。

## アプリケーション・ヒント (つづき)

負荷電流が 100mA 未満から大電流にステップ変動する極端な動作条件では、出力電圧に大きなアンダーシュートが生じる恐れがあります。この現象は通常、 $V_{OUT}$  がオーバーシュートからレギュレート・レベルに下がったままだにその時点で、負荷が大きく変化した場合に発生します。Figure 4 に負荷がわずか 50mA から 1.7A に変化した様子を示します。

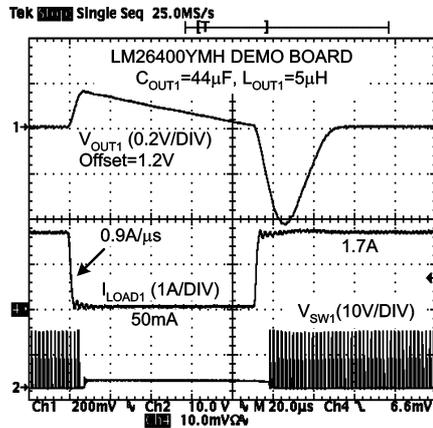


FIGURE 4. Extreme Load Step

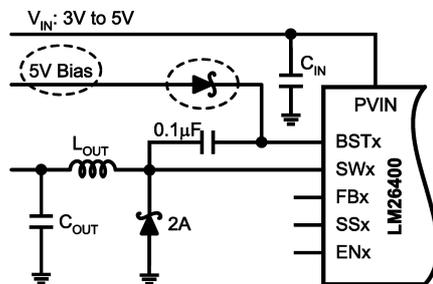
この例では、負荷が急激に (0.9A/ms) 50ms まで低下し 90μs の非スイッチング期間を経過したあと、 $V_{OUT1}$  がレギュレーション電圧 (1.2V) にちょうど達した時に負荷が 1.7A に急激に上昇したことで、出力電圧に 440mV もの大きな電圧低下が生じています。

負荷ステップ変動の過程で負荷電流が 100mA 未満に下がることがシステムとしてわかっていて、また、負荷電流が小さくなったあとで大きな電流へと変化する場合、アンダーシュートの発生を抑えるために次の手段を採り入れてください。まず、前述のように  $C_{FF}$  を追加してください。さらに出力コンデンサ容量を大きくしてください。

例えば、負荷が 100mA から 2A に変動したときに  $V_{OUT}$  の変動要件を  $\pm 10\%$  にするには、出力が 1.2V であればおよそ 200μF の出力コンデンサが必要で、出力が 5V であればおよそ 44μF が必要です。

## 入力電圧が低い場合の設計課題

$V_{IN}$  が 3V から 5V の範囲にあるとき、最大 2A の負荷電流を扱うには、外部ブートストラップ・バイアス電圧とショットキ・ダイオードの使用を推奨します。Figure 5 を参照してください。

FIGURE 5. External Bootstrap for Low  $V_{IN}$ 

外部バイアスの推奨電圧は 5V です。 $V_{BST} - V_{SW}$  の絶対最大定格により、外部 5V バイアスは 6V を超えてはなりません。

## サーマル・シャットダウン

LM26400Y の接合部温度が 165 を超えると、150 を下回るまで、MOSFET スイッチはターンオフ状態を維持します。復帰時はハード・スタートとなるため出力にオーバーシュートが生じる可能性があります。「代表的な性能特性」の「サーマル・シャットダウン」関連グラフを参照してください。

## 電力損失の見積もり

LM26400Y の全電力損失は、パワー FET の導通損失、パワー FET のスイッチング損失、デバイス制御回路の電力損失の 3 つの要素で構成されます。導通損失を見積もるには次式を用います。

$$P_{CON} = I_{OUT}^2 \times R_{DS} \times \left(1 + \frac{T_J - 25^\circ\text{C}}{200^\circ\text{C}}\right) \times \frac{V_{OUT} + 0.5V}{V_{IN} + 0.5V}$$

$T_J$  は接合部温度、あるいは接合部温度がわからない場合は目標とする接合部温度です。 $R_{DS}$  は内蔵 FET の室温におけるオン抵抗ですが、実際の値がわからない場合は  $R_{DS}$  として 180m を使用してください。

スイッチング損失の見積もりには次の式を使います。

$$P_{SW} = V_{IN} \times f_{SW} \times I_{OUT} \times 10\mu\text{W/kHz/V/A}$$

デバイス内で生じるもう 1 つの損失はデバイスの回路による損失で、パワー FET 以外の回路で消費される電力が該当します。式は、

$$P_{HK} = V_{IN} \times 4\text{mA} + 15\text{mW}$$

15mW はゲート・ドライブ損失です。両方のチャンネルを計算してデバイスの全電力損失を求めます。

$$P_{LOSS} = P_{CON1} + P_{SW1} + P_{CON2} + P_{SW2} + P_{HK}$$

電力損失の計算は電源全体の効率の見積もりに有用です。

例：

$V_{IN} = 12V$ ,  $V_{OUT1} = 1.2V$ ,  $I_{OUT1} = 2A$ ,  $V_{OUT2} = 2.5V$ ,  $I_{OUT2} = 2A$ 。目標とする接合部温度は 90 。

チャンネル 1 の導通損失は、

$$P_{CON1} = (2A)^2 \times 180\text{m}\Omega \times \left(1 + \frac{90^\circ\text{C} - 25^\circ\text{C}}{200^\circ\text{C}}\right) \times \frac{1.2V + 0.5V}{12V + 0.5V} = 0.13W$$

チャンネル 2 の導通損失は、

$$P_{CON2} = (2A)^2 \times 180\text{m}\Omega \times \left(1 + \frac{90^\circ\text{C} - 25^\circ\text{C}}{200^\circ\text{C}}\right) \times \frac{2.5V + 0.5V}{12V + 0.5V} = 0.23W$$

両方のチャンネルのスイッチング損失は、

$$P_{SW1} = P_{SW2} = 12V \times 520\text{kHz} \times 2A \times 10\mu\text{W/kHz/V/A} = 0.13W$$

## アプリケーション・ヒント (つづき)

制御回路の損失は、

$$P_{HK} = 12V \times 4 \text{ mA} + 15 \text{ mW} = 0.063W$$

以上から LM26400Y の全電力損失は、

$$P_{LOSS} = 0.13W + 0.13W + 0.23W + 0.13W + 0.063W \\ = 0.68W$$

## 出力電圧の設定

最初に、レギュレータがレギュレーションを失わないように、安定状態での最大デューティ・サイクルは 80% 未満でなければなりません。データシートに記載されている最大デューティ・サイクルの下限は、温度範囲にわたっておよそ 90% です (正確な値は電気的特性の表を参照)。安定状態での最大デューティ・サイクルは、ライン電圧が低く負荷電流が大きい時に発生します。

出力電圧は Figure 6 に示すように帰還抵抗 R1 と R2 で設定します。

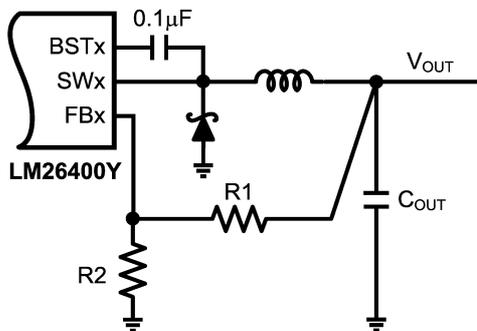


FIGURE 6. Programming Output Voltage

下側の帰還抵抗はどのような場合でも 5.9k を推奨します。この値に設定すると  $C_{FF}$  値の選択が簡単になります ( $C_{FF}$  の説明は「負荷のステップ変動」を参照してください)。R2 に追加抵抗を並列に接続して出力電圧を動作中に高めたいアプリケーションにも 5.9k は適当です。通常動作中に FB ピンは 0.6V に維持されるため、帰還抵抗を流れる電流は通常  $0.6V/5.9k = 0.1mA$  と小さく、R2 の消費電力は  $0.6V \times 0.6V/5.9k = 61\mu W$  と、0402 サイズやそれ以下の抵抗で十分に対応できる小ささです。

上側の帰還抵抗 R1 を決めるには次の式を使います。

$$R1 = \left( \frac{V_{OUT}}{V_{FB}} - 1 \right) \times R2$$

許容される最大の抵抗誤差を求めるには以下の式を使います。

$$\sigma = \frac{1}{1 + 2 \times \frac{V_{OUT}}{TOL - \phi} \times \frac{V_{FB}}{V_{OUT}}}$$

TOL はレギュレータの設定点精度、 $\phi$  は  $V_{FB}$  の誤差です。

例：

$V_{OUT} = 1.2V$  で、設定点精度が  $\pm 3.5\%$  の場合。

$$\sigma = \frac{1}{1 + 2 \times \frac{1.2V}{3.5\% - 2\%} \times \frac{0.6V}{1.2V}} = 1.48\%$$

1% 抵抗を選択します。R2 = 5.90k。

$$R1 = \left( \frac{1.2V}{0.6V} - 1 \right) \times 5.90k\Omega = 5.90k\Omega$$

## インダクタの選択

インダクタンス値は、インダクタ・リップル電流のピーク・ツー・ピーク値が 0.4A から 0.8A の範囲になるように選択してください。スイッチのピーク電流は 3A に制限されているため、リップル電流が大きすぎると、最大達成可能な DC 負荷電流が減少します。リップル電流が小さすぎると、インダクタ電流ランプ信号が不足するために、特に入力電圧が高い場合にレギュレータが発振する恐れが生じます。インダクタンス値の決定には以下の式を用います。

$$L = \frac{V_{OUT} + 0.5V}{V_{IN\_MAX} + 0.5V} \times \frac{V_{IN\_MAX} - V_{OUT}}{\Delta I \times f_{SW}}$$

$V_{IN\_MAX}$  はアプリケーションの最大入力電圧です。

インダクタの定格電流は最大 DC 負荷電流より大きくなければなりません。一般的に、インダクタ巻き線の DC 抵抗が低いほど、レギュレータ全体の効率向上します。

AC 損失の小ささとフリッピング磁束の小ささからフェライト・コアのインダクタを推奨します。フェライト・コア・インダクタの欠点は特性的にすぐに飽和してしまうところです。インダクタが飽和すると、スイッチが即座にターンオフしない限り、スパイク状の電流が発生する恐れがあります。電流制限回路は伝搬遅延を持っているためインダクタ飽和による電流制限の超過を防ぐほど高速ではありません。この現象が発生すると内部スイッチに損傷が及ぶ可能性があります。フェライト・コア・インダクタの飽和を防ぐには、スイッチの電流リミット値  $I_{CL}$  より大きな飽和電流定格を持つインダクタを選択します。LM26400Y は電流リミット値を数アンペア上回る短時間パルスを問題なく取り扱えるほど堅牢ではありません。完全な対策が難しい場合は  $I_{CL}$  の下限よりわずかに大きな飽和電流のインダクタを選択します。想定される温度範囲に対して、かならず短絡保護を検証してください。

- 40 ~ + 125 の全温度範囲にわたってインダクタの飽和を防ぐには、電気的特性表の  $I_{CL}$  の上限より飽和電流の大きなインダクタを選択します。

インダクタ飽和電流は温度が高くなると通常小さくなります。インダクタ電流が室温でのみ規定されている場合は部品メーカーに問い合わせてください。

鉄粉タイプのようなソフト飽和タイプのインダクタも使えます。このようなインダクタは突然飽和することはないため過負荷や出力短絡時により安全です。物理的な大きさはフェライトコア・インダクタよりも一般に小型です。欠点は、フリッピング磁束と AC 損失が比較的大きいことに起因する、特に高周波における消費電力の大きさです。

例：

$V_{OUT} = 1.2V$ 、 $V_{IN} = 9V \sim 14V$ 、 $I_{OUT} = 2A \text{ max}$ 、ピーク・ツー・ピーク・リップル電流  $I = 0.6A$ 。

## アプリケーション・ヒント (つづき)

$$L = \frac{1.2V + 0.5V}{14V + 0.5V} \times \frac{14V - 1.2V}{0.6A \times 500kHz} = 5\mu H$$

室温での飽和電流がおよそ 3A の 5 $\mu$ H 程度 of フェライト・コア・インダクタを選択します。例えば、スミダコーポレーションの CDRH6D26NP-5R0NC が適当です。

最大負荷電流が 2A よりはるかに小さい場合、2A 回路と同じ飽和定格のインダクタを選択しますが、DC 電流定格は小さいものが使えます。結果的にインダクタも小さくなります。ただし、部品の選択肢はそれほどありません。あるいは、DC 電流定格で主に大きさが決まるソフト飽和タイプのインダクタを使用します。

## 出力コンデンサの選択

降圧型レギュレータの出力コンデンサはインダクタから発生する AC 電流を取り扱うため、リップル RMS 電流は小さく消費電力は問題になりません。通常問題となるのはループ安定性と容量保持特性です。

LM26400Y の内蔵ループ補償はセラミック出力コンデンサを対象に設計されています。安定性の観点から出力電圧が低い場合はより大きな容量が必要です。

一般的に使われるセラミック・コンデンサの温度特性を簡単にまとめた表を以下に示します。X7R セラミック・コンデンサは温度範囲 -55 から +125 に対して  $\pm 15\%$  も容量が変動することを意味します。

## Capacitance Variation Over Temperature (Class II Dielectric Ceramic Capacitors)

Low Temperature	High Temperature	Capacitance Change Range
X: -55°C	5: +85°C	R: $\pm 15\%$
Y: -30°C	6: +105°C	S: $\pm 22\%$
Z: +10°C	7: +125°C	U: +22%, -56%
	8: +150°C	V: +22%, -82%

セラミック・コンデンサの実際の容量値は、温度での容量変化のほか、印加した DC 電圧によっても大きく変わることがあります。Figure 7 に村田製作所から発売されている数種類のセラミック・コンデンサの特性を示します。コンデンサ両端の DC 電圧が定格値より先相対的に低い場合を除いて、物理的サイズが小さくなると回路動作中の容量値が大きく減少することがわかります。

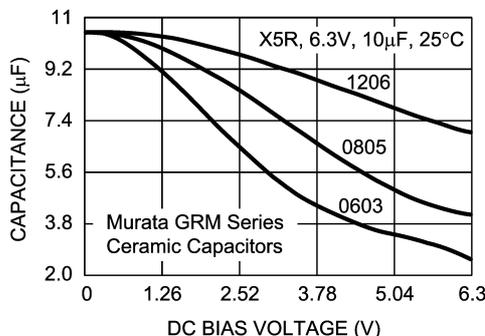


FIGURE 7. Capacitance vs. Applied DC Voltage

出力容量は出力電圧リップルの大きさに直接寄与します。出力電圧リップルを簡単に見積もるには、インダクタのピーク・ツー・ピーク・リップル電流に出力コンデンサのインピーダンスを乗じます。例えば、インダクタのリップル電流がピーク・ツー・ピークで 0.6A で、出力コンデンサ容量が 44 $\mu$ F の場合、出力電圧リップルはおよそ  $0.6A \times (6.28 \times 500kHz \times 44\mu F)^{-1} = 4.3mV$  になります。容量の大きなセラミック・コンデンサを使用すると、スイッチング周波数がコンデンサの自己共振周波数を上回ることがあります。その場合、スイッチング周波数における実際のインピーダンスを求めて、その値をリップル電流に乗じて、リップル電圧を算出してください。

出力コンデンサの容量も帰還ループの安定性に影響を与えます。ガイドラインは「ループ安定性」を参照してください。

## 入力コンデンサの選択

入力コンデンサは、上流の電源が多くの AC 成分を供給しなくてよいように、パワースイッチが必要とする AC 電流を近いポイントから与え、結果的に EMI の発生を抑えます。特に降圧型レギュレータでは、入力コンデンサは FET がターンオンしたときのドレイン電圧の低下を防ぐ働きもあるため、LM26400Y の動作に必要な適切なライン電圧が保証されます。AC 電流のほとんどはローカルな入力コンデンサによって供給されるため、入力コンデンサの電力損失は設計課題の 1 つです。LM26400Y レギュレータの 2 つのチャネルは 180 度の位相差で動作するため、入力コンデンサにかかる AC ストレスは同位相で動作している場合に比べて軽くなっています。AC ストレスの指標は入力リップル RMS 電流です。少なくとも 4.7 $\mu$ F のセラミック・コンデンサを PVIN ピンの近くに配置するようにしてください。電解コンデンサや OSCON のようなバルク・コンデンサを並列に用いると、特に大きな負荷遷移条件においてローカルなライン電圧の安定化に効果があります。セラミック・コンデンサと同じく、これらのコンデンサも X7R、X6S、または X5R タイプを選択してください。広い温度範囲全域でコンデンサの容量のほとんどが保たれます。0805 より小さなコンデンサは使用を避けてください。DC バイアス電圧によって大きな容量低下が発生することがあるからです。詳細は「出力コンデンサの選択」を参照してください。セラミック・コンデンサの DC 電圧定格は最大入力電圧より先高くなければなりません。

コンデンサの温度はボード設計における重要な課題の 1 つです。4.7 $\mu$ F 以上の MLCC を入力コンデンサとして使用することは適切なスタート・ポイントですが、実際の温度環境でコンデンサがオーバーヒートしないように確認してください。コンデンサのメーカーは指定された熱インピーダンスに基づいてリップル RMS 電流と温度上昇の関係を示すグラフを提供してくれます。熱インピーダンスはアプリケーションごとに大きく異なります。ボード上のコンデンサ温度をかみならず確認するようにしてください。

2 系統のチャネルのデューティ・サイクルには重なる部分が存在するため、入力リップル RMS 電流の計算はやや面倒です。次の式を使います。

$$I_{\text{irrm}} = \sqrt{(I_1 - I_{\text{av}})^2 d_1 + (I_2 - I_{\text{av}})^2 d_2 + (I_1 + I_2 - I_{\text{av}})^2 d_3}$$

$I_1$  はチャネル 1 の最大出力電流、 $I_2$  はチャネル 2 の最大出力電流、 $D_1$  はチャネル 1 のデューティ・サイクルの非重畳部、 $d_2$  はチャネル 2 のデューティ・サイクルの非重畳部、 $d_3$  は 2 つのデューティ・サイクルが重なる部分、 $I_{\text{av}}$  は平均入力電流で  $I_{\text{av}} = I_1 \times D_1 + I_2 \times D_2$  です。 $d_1$ 、 $d_2$ 、 $d_3$  の値を簡単に求めるには Figure 8 のフローを用います。各チャネルのデューティ・サイクルは、簡単には  $D = V_{\text{OUT}}/V_{\text{IN}}$  から求めるが、正確には次式で算出します。

$$D = \frac{V_{\text{OUT}} + 0.5V + I_{\text{OUT}} \times R_{\text{DC}}}{V_{\text{IN}} + 0.5V - I_{\text{OUT}} \times R_{\text{DS}}}$$

## アプリケーション・ヒント (つづき)

$R_{DC}$  はインダクタの巻線抵抗、 $R_{DS}$  は MOSFET スイッチのオン抵抗です。

例：

$V_{IN} = 5V$ 、 $V_{OUT1} = 3.3V$ 、 $I_{OUT1} = 2A$ 、 $V_{OUT2} = 1.2V$ 、 $I_{OUT2} = 1.5A$ 、 $R_{DS} = 170m$ 、 $R_{DC} = 30m$  ( $I_{OUT1}$  は入力 RMS 電流式の  $I_1$  と同じ、 $I_{OUT2}$  は  $I_2$  と同じです)。

最初にデューティ・サイクルを求めます。デューティ・サイクルの式に値を代入すると、 $D1 = 0.75$  と  $D2 = 0.33$  が得られます。次に Figure 8 のフローに従って  $d1$ 、 $d2$ 、 $d3$  の値を求めます。この例では  $d1 = 0.5$ 、 $d2 = D2 + 0.5 - D1 = 0.08$ 、 $d3 = D1 - 0.5 = 0.25$  です。 $I_{av} = I_{OUT1} \times D1 + I_{OUT2} \times D2 = 1.995A$ 。すべての値を入力リップルRMS電流の式に代入すると  $I_{rrms} = 0.77A$  と求めます。

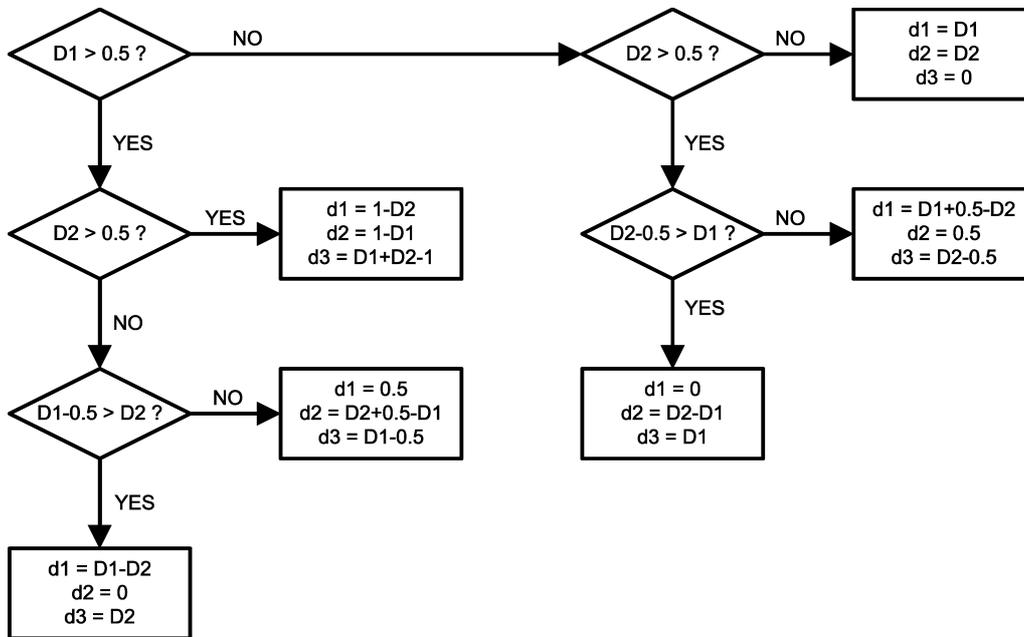


FIGURE 8. Determining  $d1$ ,  $d2$  and  $d3$

## キャッチ・ダイオードの選択

キャッチ・ダイオードは少なくとも定格 2A 以上が必要です。ダイオードには通常、ライン電圧が高い状態で出力が短絡した条件下で最もストレスがかかります。ショットキ・ダイオードは、順方向電圧が低く、効率の高いものを選んでください。ダイオードの逆耐圧定格は入力最高電圧より 25% 高くなければなりません。ダイオードの接合部温度は重要です。想定される温度環境におけるダイオードの接合部温度をかならず確認して、熱的にデレーティングした状態での最大電流を超えないことを確認してください。2A、30V の面実装ショットキ・ダイオードはそれほど種類はありません。ダイオードは負の温度ドリフト係数を持つため、温度上昇を低減させようと 2 個のダイオードを並列に接続してはなりません。電流は 2 個のダイオードではなくて片方のダイオードだけに流れるようになります。このような目的にはパッケージの大きな品種を使用してください。

## 熱に関する考慮事項

接合部からダイ・アタッチ・パッド (DAP: パッケージ裏面の露出金属) への熱インピーダンスは低いいため、熱特性は PCB の銅箔パターンの配置に大きく依存します。最低限、DAP と正確に同じ大きさのサーマル・パッドを表面層に設けてください。パッドには 8 mil のサーマル・ビアを少なくとも 9 個設けてください。サーマル・ビアは内層のグラウンド層 (該当する場合は複数の層) と、できる限り大きな面積を確保した裏面層のグラウンド・パターンに接続してください。

内層にグラウンド層を設けたボードの場合、表面層のサーマル・パッドをパッケージ本体より大きくして「ドッグボーン」の形状にし

ても、熱特性の向上はわずしか得られません。一方で 2 層ボードの場合、表面層の「ドッグボーン」パターンは大きな効果があります。

実アプリケーションでの LM26400Y の接合部温度を妥当な精度で机上で予想することは容易ではありません。LM26400Y の熱特性以外で接合部温度に影響を与える因子には、風速、周囲温度、近くの発熱源、LM26400Y の DAP に接続されている PCB 銅箔などが挙げられます。データシートに記載されている  $J_A$  値は、単一発熱因子条件における標準ボード設計に基づいていて、標準環境で測定されています。実際のアプリケーションはこの条件とは完全に異なり、したがって実際の  $J_A$  はデータシート値とは大きく違いが生じます。DAP に対して許容される範囲でできるだけ広い面積の銅エリアを設けること、試作を行って検証することが最も適切なアプローチであるのに変わりはありません。

回路を試作する際は熱マージンを評価するために LM26400Y の接合部温度を把握する必要があります。システムは通常のモードで動作している状態でボード上の LM26400Y の接合部温度を求めるには、赤外線カメラを使ってパッケージ上面の温度を測定する方法が適当です。パッケージ上面の最高温度を探し、測定結果に 2 を加算すると、接合部温度の見積りに適した値が得られます。なお、パッケージ上面の温度勾配が大きいため、熱電対での測定は推奨しません。どうしても熱電対を使用する場合は、パッケージ上面の最大発熱点の位置を求め、熱電対を正確に同じ位置に固定します。熱電対は軽量ゲージ・タイプ (40 ゲージなど) でなければなりません。接触点に少量のサーマル・グリスを塗布し、伝熱性のない接着剤を使って熱電対をパッケージ表面に固定してください。

## アプリケーション・ヒント (つづき)

接合部温度の最大許容を超える場合は負荷電流を下げて温度を仕様内に収めなければなりません。または、風量を増やすなどの熱対策が必要です。

以上をまとめると検討すべき項目は次の通りです。

1. 内層にグラウンド層を持つ多層 PC ボードを使用する。
2. 表面層のサーマル・パッドから 9 個以上のサーマル・ビアを使用して内層のグラウンド層と裏面のグラウンド・パターンに接続する。
3. 外層の特にパッケージ周辺はできるだけ広いグラウンド層を設ける。
4. 可能であれば 2 オンス銅箔を用いる。
5. 発熱部品は離して配置する。
6. 発熱部品であるインダクタとダイオードは、多くのビアを介して電源層またはグラウンド層に接続する。

## レイアウト・ガイドライン

PCBレイアウトを設計する際には熱的な課題と電気的な課題の両方を検討する必要があります。熱の詳細は「放熱の設計課題」を参照してください。電気的には以下のルールをできるだけ適用してください。一般に LM26400Y は、誤ったパターン・レイアウトや設計を許容できるほど堅牢ではありません。

1. 入力セラミック・コンデンサは PVIN ピンのできるだけ近くに配置する。
2. できるだけ内層のグラウンド層を利用する。
3. SW ピンは大電流が流れるため接続するトレースは短く太くする。
4. 帰還抵抗は FB ピンの近くに配置する。
5. AVIN RC フィルタは AVIN ピンの近くに配置する。
6. 電圧帰還トレースはスイッチ・ノードから離してルーティングする。
7. キャッチ・ダイオードのグラウンド・パッドには 6 個以上のビアを設ける。
8. 出力コンデンサのグラウンド・パッドには 4 個以上のビアを設ける。
9. 入力コンデンサのグラウンド・パッドには 4 個以上のビアを設ける。

EMIを抑えるにはヒートシンク目的の大きな銅箔パターンをノイズの多いスイッチ・ノードに割り当てないようにしてください。代わりに出力ノードに大きな銅箔パターンを割り当ててください。

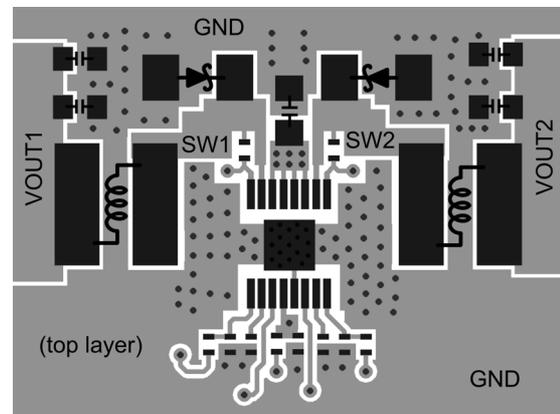


FIGURE 9. PCB Layout Example

## LM26400Y 設計例

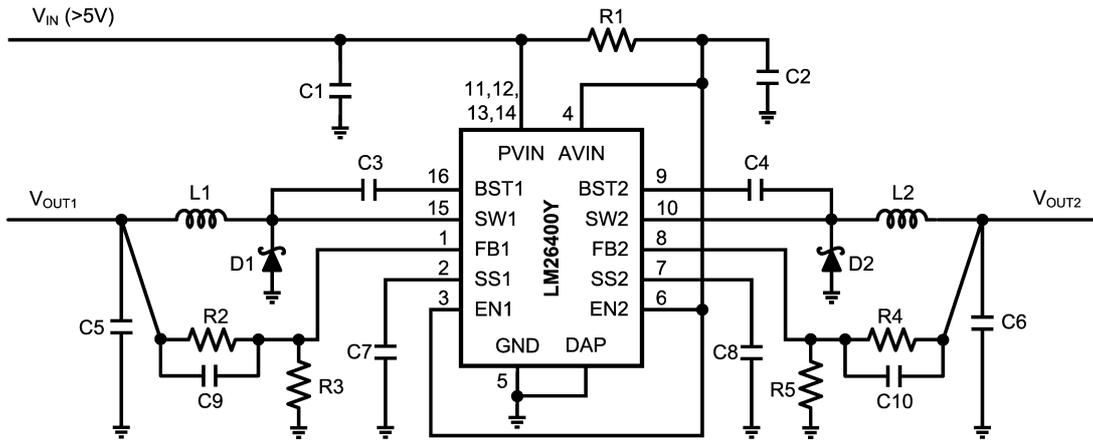


FIGURE 10. Example Circuit 1

Bill of Materials (Circuit 1,  $V_{IN} = 12V \pm 10\%$ , Output1 = 1.2V/2A, Output2 = 2.5V/2A)

Part	Description	Part Values	Physical Size	Part Number	Manufacturer
C1	Capacitor, Ceramic	10 $\mu$ F, 16V, X5R	1210	GRM32DR61C106KA01	Murata
C2	Capacitor, Ceramic	0.22 $\mu$ F, 16V, X5R	0603	EMK107BJ224KA-T	Taiyo Yuden
C3	Capacitor, Ceramic	0.1 $\mu$ F, 6.3V, X5R	0402	C1005X5R0J104K	TDK
C4	Capacitor, Ceramic	0.1 $\mu$ F, 6.3V, X5R	0402	C1005X5R0J104K	TDK
C5	Capacitor, Ceramic	100 $\mu$ F, 6.3V, X5R	1210	GRM32ER60J107ME20L	Murata
C6	Capacitor, Ceramic	47 $\mu$ F, 6.3V, X5R	1210	GRM32ER60J476ME20L	Murata
C7	Capacitor, Ceramic	0.012 $\mu$ F, 6.3V, X5R	0402	C0402C123K9PACTU	Kemet
C8	Capacitor, Ceramic	0.012 $\mu$ F, 6.3V, X5R	0402	C0402C123K9PACTU	Kemet
C9	Capacitor, Ceramic	0.027 $\mu$ F, 6.3V, X5R	0402	C0402C273K9PACTU	Kemet
C10	Capacitor, Ceramic	0.027 $\mu$ F, 6.3V, X5R	0402	C0402C273K9PACTU	Kemet
D1	Diode, Schottky	2A, 30V	SMB	MBRS230LT3G	ON Semiconductor
D2	Diode, Schottky	2A, 30V	SMB	MBRS230LT3G	ON Semiconductor
L1	Inductor	5 $\mu$ H, 2.2A	7x7x2.8 mm <sup>3</sup>	CDRH6D26NP-5R0NC	Sumida
L2	Inductor	8.7 $\mu$ H, 2.2A	7x7x4 mm <sup>3</sup>	CDRH6D38NP-8R7NC	Sumida
R1	Resistor	10.0 $\Omega$ , 1%	0402	CRCW040210R0FK	Vishay
R2	Resistor	5.90k $\Omega$ , 1%	0402	CRCW04025K90FK	Vishay
R3	Resistor	5.90k $\Omega$ , 1%	0402	CRCW04025K90FK	Vishay
R4	Resistor	18.7k $\Omega$ , 1%	0402	CRCW040218K7FK	Vishay
R5	Resistor	5.90k $\Omega$ , 1%	0402	CRCW04025K90FK	Vishay
U1	Regulator	Dual 2A Buck	ETSSOP-16	LM26400YMH	National Semiconductor

## LM26400Y 設計例

Bill of Materials (Circuit 1,  $V_{IN} = 7V$  to 20V, Output1 = 3.3V/2A, Output2 = 5V/2A)

Part	Description	Part Values	Physical Size	Part Number	Manufacturer
C1	Capacitor, Ceramic	10 $\mu$ F, 25V, X5R	1812	GRM43DR61E106KA12	Murata
C2	Capacitor, Ceramic	0.22 $\mu$ F, 25V, X5R	0603	TMK107BJ224KA-T	Taiyo Yuden
C3	Capacitor, Ceramic	0.1 $\mu$ F, 6.3V, X5R	0402	C1005X5R0J104K	TDK
C4	Capacitor, Ceramic	0.1 $\mu$ F, 6.3V, X5R	0402	C1005X5R0J104K	TDK
C5	Capacitor, Ceramic	47 $\mu$ F, 6.3V, X5R	1210	GRM32ER60J476ME20	Murata
C6	Capacitor, Ceramic	33 $\mu$ F, 6.3V, X5R	1210	GRM32DR60J336ME19	Murata
C7	Capacitor, Ceramic	0.012 $\mu$ F, 6.3V, X5R	0402	C0402C123K9PACTU	Kemet
C8	Capacitor, Ceramic	0.012 $\mu$ F, 6.3V, X5R	0402	C0402C123K9PACTU	Kemet
C9	Capacitor, Ceramic	0.027 $\mu$ F, 6.3V, X5R	0402	C0402C273K9PACTU	Kemet
C10	Capacitor, Ceramic	0.027 $\mu$ F, 6.3V, X5R	0402	C0402C273K9PACTU	Kemet
D1	Diode, Schottky	2A, 30V	SMB	MBRS230LT3G	ON Semiconductor
D2	Diode, Schottky	2A, 30V	SMB	MBRS230LT3G	ON Semiconductor
L1	Inductor	10 $\mu$ H, 3A	8.3x8.3x4 mm <sup>3</sup>	CDRH8D38NP-100NC	Sumida
L2	Inductor	15 $\mu$ H, 3A	8.3x8.3x4 mm <sup>3</sup>	CDRH8D43/HP-150NC	Sumida
R1	Resistor	10.0 $\Omega$ , 1%	0402	CRCW040210R0FK	Vishay
R2	Resistor	26.7k $\Omega$ , 1%	0402	CRCW040226K7FK	Vishay
R3	Resistor	5.90k $\Omega$ , 1%	0402	CRCW04025K90FK	Vishay
R4	Resistor	43.2k $\Omega$ , 1%	0402	CRCW040218K7FK	Vishay
R5	Resistor	5.90k $\Omega$ , 1%	0402	CRCW04025K90FK	Vishay
U1	Regulator	Dual 2A Buck	ETSSOP-16	LM26400YMH	National Semiconductor

## LM26400Y 設計例

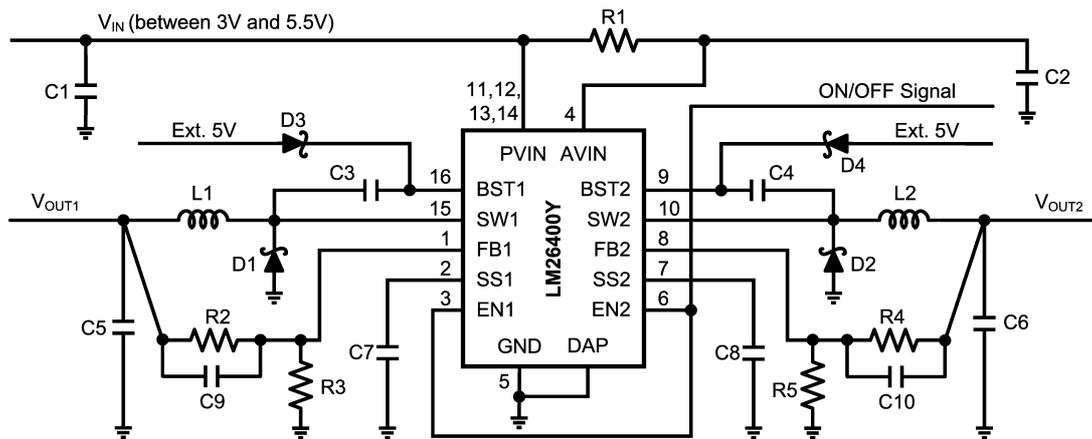
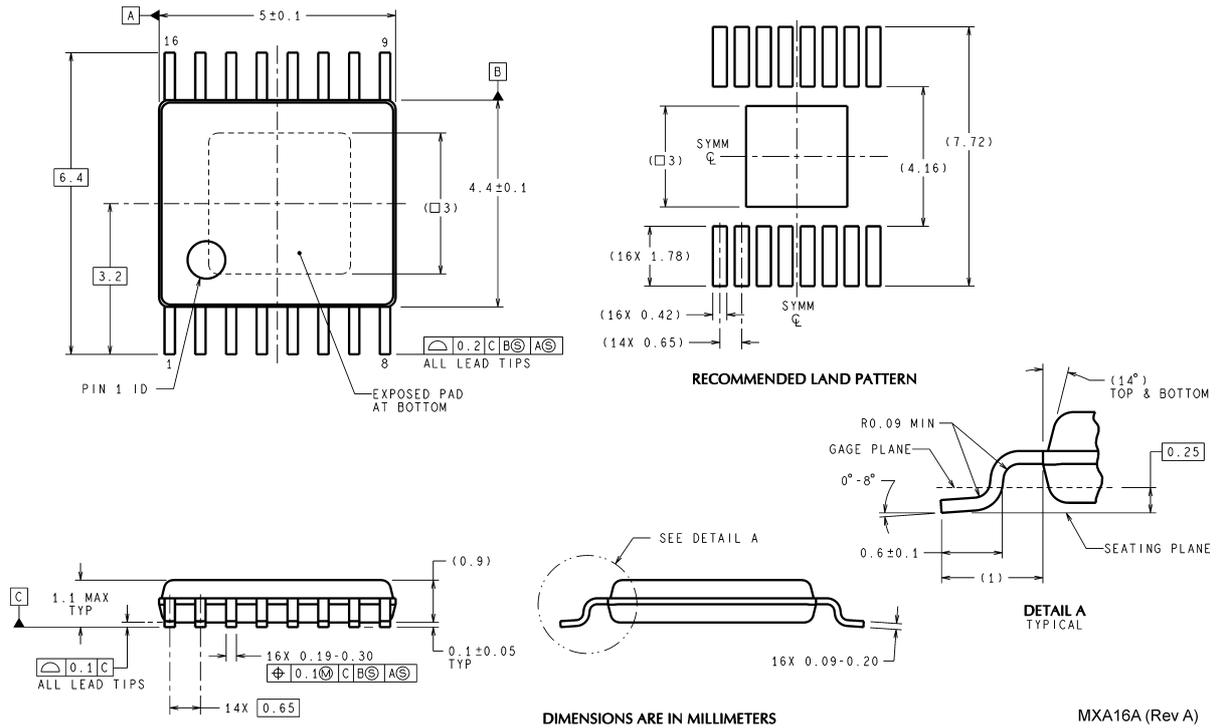


FIGURE 11. Example Circuit 2

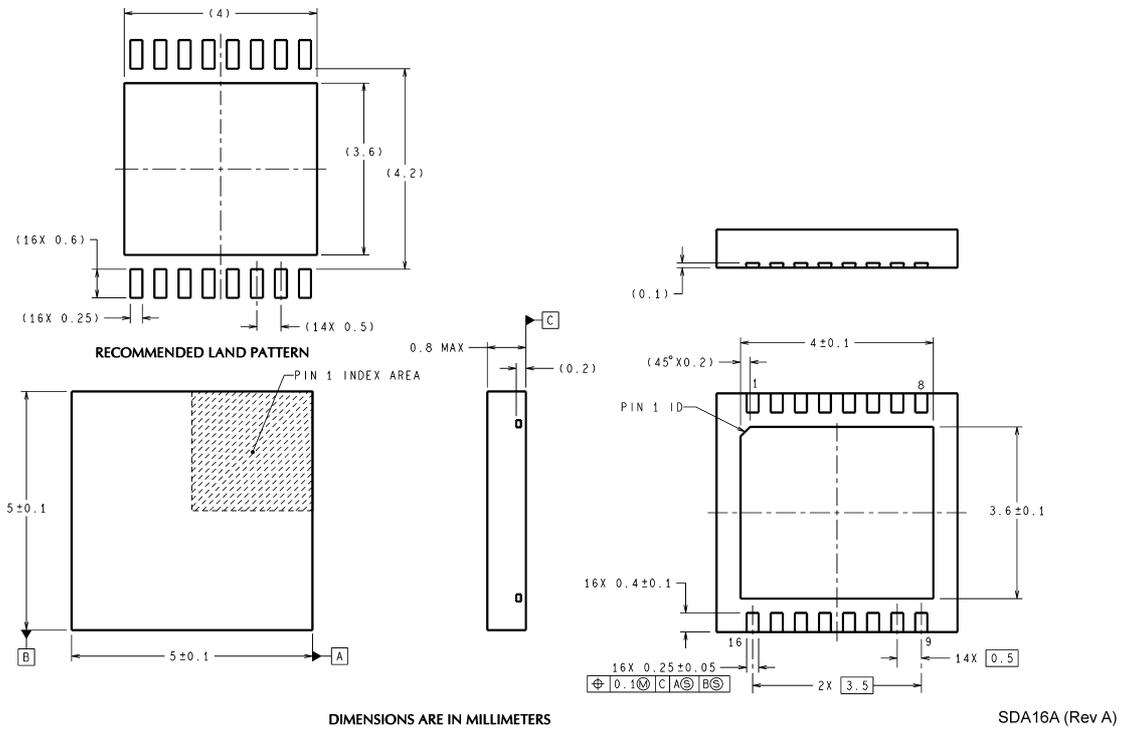
Bill of Materials (Circuit 2,  $V_{IN} = 3V$  to  $5V$ ,  $Output1 = 1.2V/2A$ ,  $Output2 = 1.8V/2A$ )

Part	Description	Part Values	Physical Size	Part Number	Manufacturer
C1	Capacitor, Ceramic	10 $\mu$ F, 6.3V, X5R	1206	GRM319R60J106KE19	Murata
C2	Capacitor, Ceramic	0.22 $\mu$ F, 6.3V, X5R	0402	JMK105BJ224KV-F	Taiyo Yuden
C3	Capacitor, Ceramic	0.1 $\mu$ F, 6.3V, X5R	0402	C1005X5R0J104K	TDK
C4	Capacitor, Ceramic	0.1 $\mu$ F, 6.3V, X5R	0402	C1005X5R0J104K	TDK
C5	Capacitor, Ceramic	100 $\mu$ F, 6.3V, X5R	1210	GRM32ER60J107ME20L	Murata
C6	Capacitor, Ceramic	100 $\mu$ F, 6.3V, X5R	1210	GRM32ER60J107ME20L	Murata
C7	Capacitor, Ceramic	0.012 $\mu$ F, 6.3V, X5R	0402	C0402C123K9PACTU	Kemet
C8	Capacitor, Ceramic	0.012 $\mu$ F, 6.3V, X5R	0402	C0402C123K9PACTU	Kemet
C9	Capacitor, Ceramic	0.027 $\mu$ F, 6.3V, X5R	0402	C0402C273K9PACTU	Kemet
C10	Capacitor, Ceramic	0.027 $\mu$ F, 6.3V, X5R	0402	C0402C273K9PACTU	Kemet
D1	Diode, Schottky	2A, 30V	SMB	MBRS230LT3G	ON Semiconductor
D2	Diode, Schottky	2A, 30V	SMB	MBRS230LT3G	ON Semiconductor
L1	Inductor	5 $\mu$ H, 2.2A	7x7x2.8 mm <sup>3</sup>	CDRH6D26NP-5R0NC	Sumida
L2	Inductor	5 $\mu$ H, 2.2A	7x7x2.8 mm <sup>3</sup>	CDRH6D26NP-5R0NC	Sumida
R1	Resistor	10.0 $\Omega$ , 1%	0402	CRCW040210R0FK	Vishay
R2	Resistor	5.90k $\Omega$ , 1%	0402	CRCW04025K90FK	Vishay
R3	Resistor	5.90k $\Omega$ , 1%	0402	CRCW04025K90FK	Vishay
R4	Resistor	11.8k $\Omega$ , 1%	0402	CRCW040211K8FK	Vishay
R5	Resistor	5.90k $\Omega$ , 1%	0402	CRCW04025K90FK	Vishay
U1	Regulator	Dual 2A Buck	ETSSOP-16	LM26400YMH	National Semiconductor

外形寸法図 特記のない限り inches (millimeters)



16-Lead ETSSOP Package  
NS Package Number MXA16A



16-Lead LLP Package  
NS Package Number SDA16A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation

製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

## ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上