

IWR6243 シングル チップ 57 ~ 64GHz FMCW トランシーバ

1 特長

- FMCW トランシーバ
 - PLL、トランスミッタ、レシーバ、ベースバンド、ADC を内蔵
 - 57 ~ 64GHz 帯で使用可能帯域幅 7 GHz
 - 4 つの受信チャンネル
 - 3 つの送信チャンネル
 - TX ビーム フォーミング用 6 ビット位相シフタをサポート
 - フラクショナル N PLL を使用した超高精度のチャープ エンジン
 - TX 出力: +12dBm
 - RX ノイズ指数: 10dB
 - 1MHz での位相ノイズ:
 - -93dBc/Hz
- 較正および自己テストを内蔵
 - プロセスおよび温度の自己較正システム
- ホスト インターフェイス
 - SPI または I2C により外部プロセッサと通信可能な制御インターフェイス
 - MIPI D-PHY、CSI2 v1.1、LVDS 経由の外部プロセッサとのデータインターフェイス (デバッグ専用)
 - フォルト レポート用の割り込み

- 機能安全準拠
 - 機能安全アプリケーション向けに開発
 - SIL 3 まで対象とした IEC 61508 機能安全システム設計を支援するための資料を提供します
 - SIL-2 までのハードウェア安全性
 - 安全関連の認証
 - TUV SUD による IEC 61508 は SIL-2 認証済み
- IWR6243 高度な機能
 - 内蔵された自己監視機能によりホスト プロセッサの関与を限定
 - 複素ベースバンド アーキテクチャ
 - 複数のデバイスをカスケード接続することで、チャネルの増設が可能
 - 干渉検出機能を内蔵
- パワー マネージメント
 - 内蔵 LDO ネットワークにより PSRR の向上を実現
 - I/O は 3.3V/1.8V のデュアル電圧に対応
- クロック ソース
 - 40MHz の外部駆動クロック (方形波 / 正弦波) をサポート
 - 負荷コンデンサ付きの 40MHz 水晶振動子接続をサポート
- ハードウェア設計が簡単
 - 組み立てが簡単で低コストの PCB を設計できる 0.65mm ピッチ、161 ピン、10.4mm × 10.4mm のフリップ チップ BGA パッケージ
 - 小型ソリューション サイズ
- 操作条件:
 - 接合部温度範囲: -40°C ~ 105°C

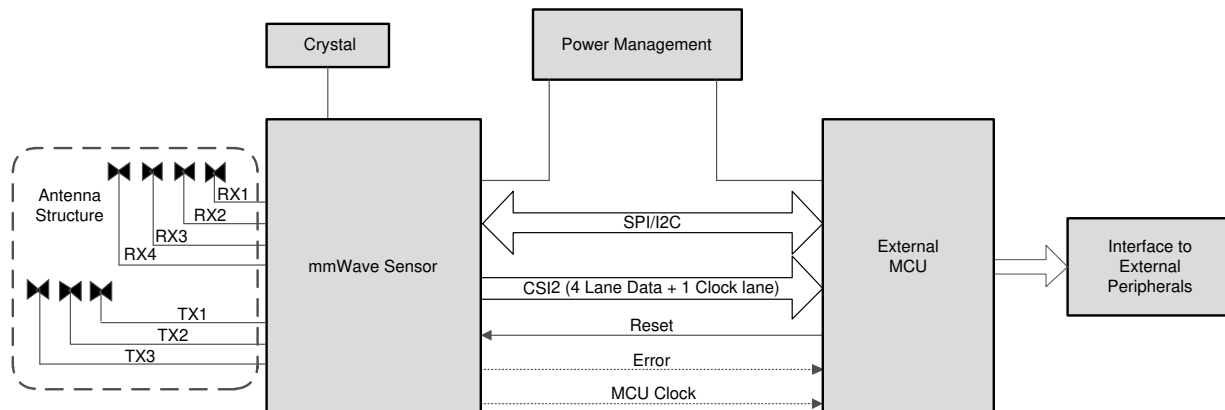


図 1-1. 産業用アプリケーション向けレーダー センサ



2 アプリケーション

- 距離、速度、角度測定向け産業用センサ
- ビル オートメーション
- 変位検出
- ジェスチャ認識
- ロボット
- 交通監視
- 近接および位置センシング
- セキュリティと監視
- ファクトリ オートメーションの安全保護
- 人数計測
- モーション検出
- 物体検出

3 説明

IWR6243 は、57 ～ 64GHz 帯で動作可能な統合型シングル チップ FMCW トランシーバです。このデバイスは、超小型のフォーム ファクタで、かつてないレベルの統合を実現しています。IWR6243 は、低消費電力で自己監視機能を備えた超高精度の産業用レーダー システムに最適なソリューションです。

IWR6243 は、レーダー センサの実装を簡素化する自己完結型 FMCW トランシーバ シングルチップ ソリューションです。テキサス・インスツルメンツの低消費電力 45nm RFCMOS プロセスで製造され、PLL および ADC コンバータを内蔵する 3TX / 4RX システムのモノリシック実装を実現しています。プログラミング モデルを変更するだけで、さまざまなセンサ (短距離、中距離、長距離) を実装でき、マルチモード センサの実装においては動的再構成にも対応します。

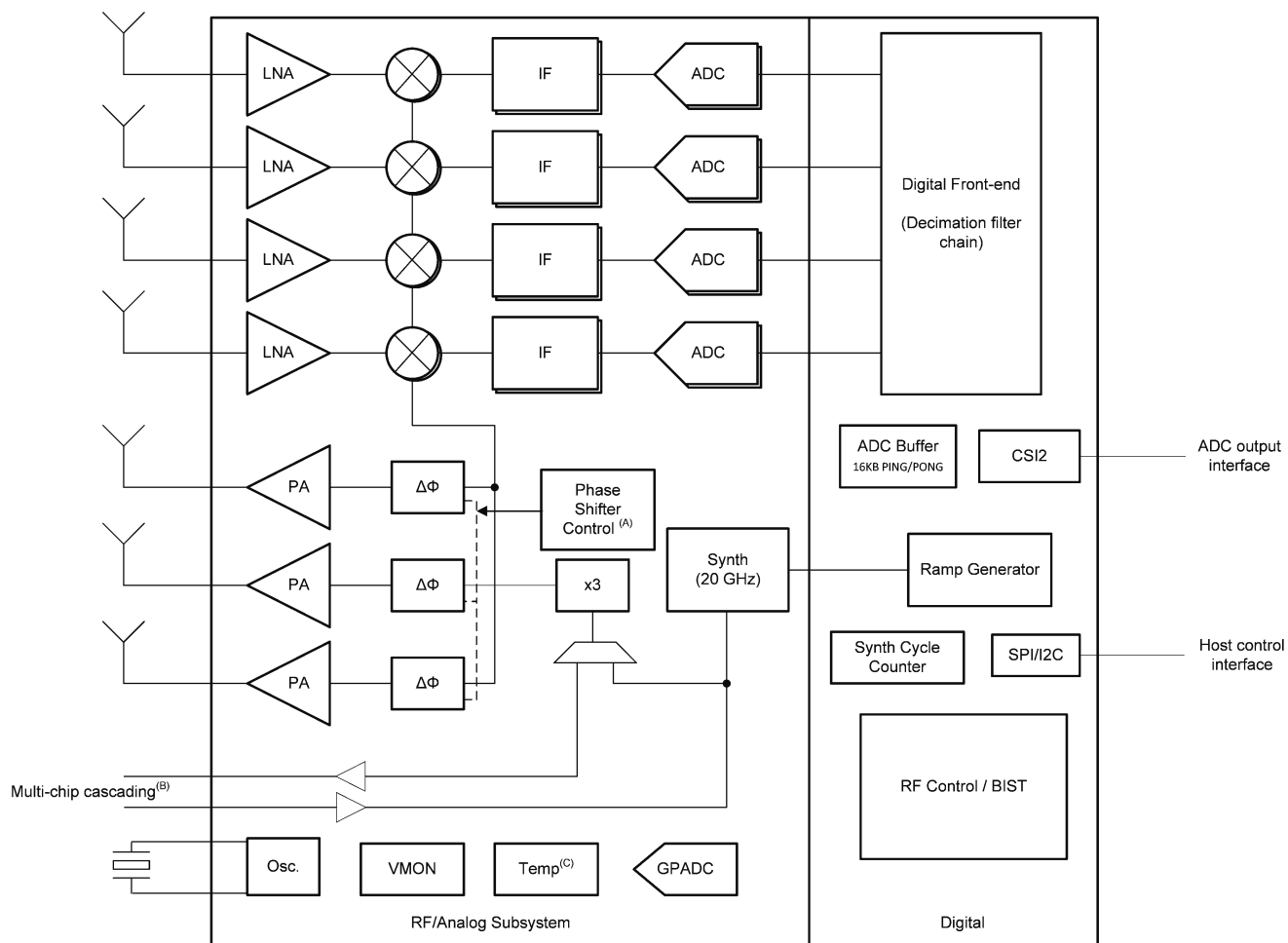
また本デバイスは、リファレンス ハードウェア デザイン、ソフトウェアドライバ、構成例、API ガイド、ユーザー マニュアルを含む完全なプラットフォーム ソリューションとして提供しています。

製品情報

部品番号 ⁽¹⁾	パッケージ	本体サイズ
IWR6243ABGABL (トレイ)	FCBGA (161)	10.4mm × 10.4mm
IWR6243ABGABLR (リール)	FCBGA (161)	10.4mm × 10.4mm

(1) 詳細については、[セクション 13](#)、メカニカル、パッケージ、および注文情報を参照してください。

4 機能ブロック図



- A. 位相シフト制御:
- 0°/180°BPM
 - 0°/180°BPM、分解能 5.625°のコントロール オプション。
- B. マルチチップのカスケード機能は、このデバイスで使用可能
- C. 内部温度センサの精度は $\pm 7^{\circ}\text{C}$ です。

目次

1 特長	1	9.2 機能ブロック図	35
2 アプリケーション	2	9.3 サブシステム	36
3 説明	2	9.4 その他のサブシステム	38
4 機能ブロック図	3	10 監視と診断のメカニズム	42
5 改訂履歴	4	11 アプリケーション、実装、およびレイアウト	45
6 デバイスの比較	5	11.1 アプリケーション情報.....	45
6.1 関連製品.....	6	11.2 産業用アプリケーション向けレーダー センサ.....	45
7 端子構成および機能	7	11.3 カスケード接続を用いたイメージング レーダー.....	46
7.1 ピン配置図.....	7	12 デバイスおよびドキュメントのサポート	47
7.2 信号の説明.....	11	12.1 デバイスの命名規則.....	47
8 仕様	15	12.2 ドキュメントのサポート.....	49
8.1 絶対最大定格.....	15	12.3 サポート・リソース.....	49
8.2 ESD 定格.....	15	12.4 商標.....	49
8.3 電源投入時間 (POH).....	16	12.5 静電気放電に関する注意事項.....	49
8.4 推奨動作条件.....	16	12.6 輸出管理に関する注意事項.....	49
8.5 電源仕様.....	17	12.7 用語集.....	49
8.6 消費電力の概略.....	18	13 メカニカル、パッケージ、および注文情報	50
8.7 RF 仕様.....	19	13.1 パッケージ情報.....	50
8.8 FCBGA パッケージの熱抵抗特性 [ABL0161].....	20	付録: パッケージ オプション.....	51
8.9 タイミングおよびスイッチング特性.....	21	13.2 テープおよびリール情報.....	52
9 詳細説明	35	トレイ情報.....	54
9.1 概要.....	35	メカニカル データ.....	55

5 改訂履歴

日付	改訂	注
2022 年 6 月	*	初版リリース
2022 年 11 月	A	改訂

6 デバイスの比較

表 6-1. デバイスの機能の比較

機能	IWR6243 ⁽⁶⁾	IWR6843AOP	IWR6843	IWR6443	IWR1843	IWR1642	IWR1443
アンテナ オン パッケージ (AOP)	—	あり	—	—	—	—	—
レシーバの数	4	4	4	4	4	4	4
トランスミッタの数	3 ⁽¹⁾	3 ⁽¹⁾	3 ⁽¹⁾	3 ⁽¹⁾	3 ⁽¹⁾	2	3
RF 周波数範囲	57~64GHz	60~64GHz	60~64GHz	60~64GHz	76~81GHz	76~81GHz	76~81GHz
オンチップ メモリ	—	1.75MB	1.75MB	1.4MB	2MB	1.5MB	576KB
最大 I/F (中間周波数) (MHz)	20	10	10	10	10	5	15
最大実数サンプリング レート (Msps)	45	25	25	25	25	12.5	37.5
最大複素サンプリング レート (Msps)	22.5	12.5	12.5	12.5	12.5	6.25	18.75
プロセッサ							
MCU (R4F)	—	あり	あり	あり	あり	あり	あり
DSP (C674x)	—	あり	あり	—	あり	あり	—
周辺機器							
シリアル ペリフェラル インターフェイス (SPI) ポート	1	2	2	2	2	2	1
クワッド シリアル ペリフェラル インターフェイス (QSPI)	— ⁽⁵⁾	あり	あり	あり	あり	あり	あり
I ² C (Inter-Integrated Circuit) インターフェイス	1	1	1	1	1	1	1
コントローラ エリア ネットワーク (DCAN) インターフェイス	—	—	—	—	あり	あり	あり
コントローラ エリア ネットワーク (CAN-FD) インターフェイス	—	あり	あり	あり	あり	—	—
トレース	—	あり	あり	あり	あり	あり	—
PWM	—	あり	あり	あり	あり	あり	—
ハードウェア イン ループ (HIL/DMM)	—	あり	あり	あり	あり	あり	—
GPADC	あり	あり	あり	あり	あり	あり	あり
LVDS / デバッグ ⁽²⁾	あり	あり	あり	あり	あり	あり	あり
CSI2	あり	—	—	—	—	—	あり
ハードウェア アクセラレータ	—	あり	あり	あり	あり	—	あり
1V バイパス モード	あり	あり	あり	あり	あり	あり	あり
カスケード (20GHz 同期)	あり	—	—	—	—	—	—
JTAG	— ⁽³⁾	あり	あり	あり	あり	あり	あり
製品のステータス	製品プレビュー (PP)、 事前情報 (AI)、 量産データ (PD)	PD ⁽⁴⁾	PD ⁽⁴⁾	PD ⁽⁴⁾	PD ⁽⁴⁾	PD ⁽⁴⁾	PD ⁽⁴⁾

- (1) 3 Tx 同時動作は、1V LDO バイパスおよび PA LDO 無効化モードのみでサポートしています。このモードでは、1V 電源を VOUT PA ピンに供給する必要があります。
- (2) LVDS インターフェイスは製品インターフェイスではなく、デバッグ目的でのみ使用されます。
- (3) JTAG は、バウンダリ スキャンに使用されます。
- (4) 量産データの情報は、公開日の時点で最新のものです。製品は、テキサス・インスツルメンツの標準保証条件に基づく仕様に準拠しています。
- (5) QSPI インターフェイスは開発のみに使用され、量産ではサポートされていません
- (6) 機能安全アプリケーション用に開発された本デバイスは、SIL-2 までのハードウェア安全度をサポートしています。詳細については、関連資料を参照してください。

6.1 関連製品

この製品ファミリまたは関連製品の他のデバイスの詳細については、以下のリンクを参照してください。

- ミリ波センサ** テキサス・インスツルメンツの最もフットプリントが小さい車載アプリケーション向けミリ波センサは、小さい電力で、距離、角度、速度を迅速かつ正確に検出します。
- 産業用ミリ波センサ** TI の産業用ミリ波センサは高集積で、**RFCMOS** 技術を土台として構築されています。これらのデバイスは超小型、低消費電力、高精度です。TI のスケーラブルなセンサ製品ラインアップは、長距離から超短距離まで、あらゆる性能、アプリケーション、およびセンサ構成に対応する産業用システムソリューションの設計および開発を可能にします。

7 端子構成および機能

7.1 ピン配置図

161ピン FCBGA パッケージのピン位置を、[図 7-1](#) に示します。[図 7-2](#)、[図 7-3](#)、[図 7-4](#)、および [図 7-5](#) は同じピンを示していますが、4 つの象限に分割されています。

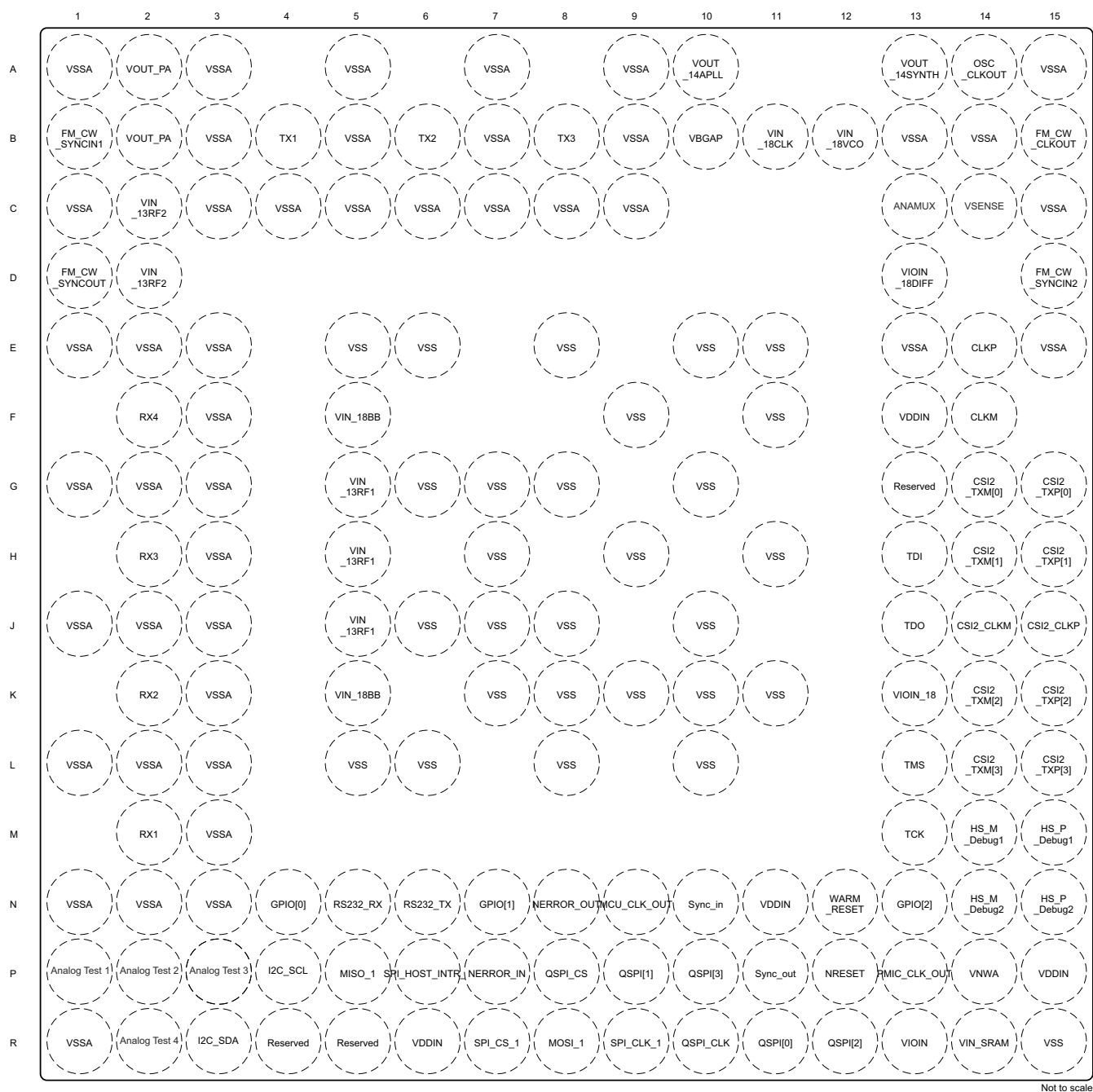
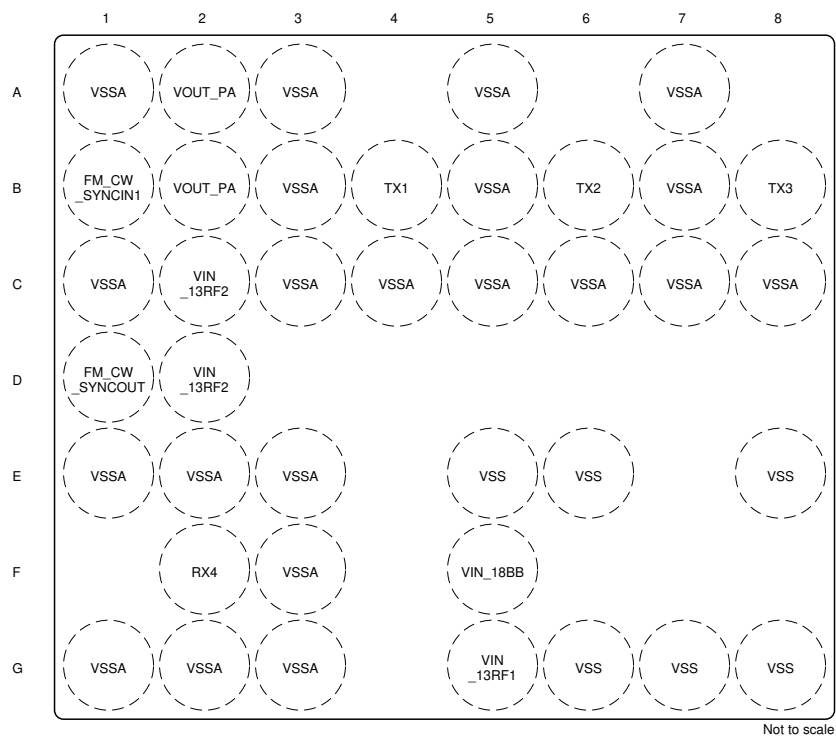
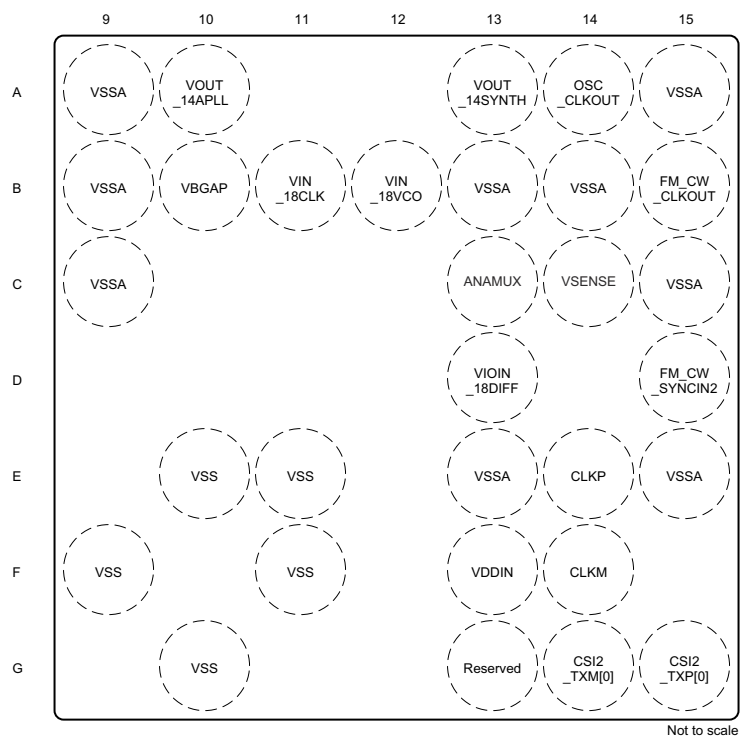


図 7-1. ピン配置図



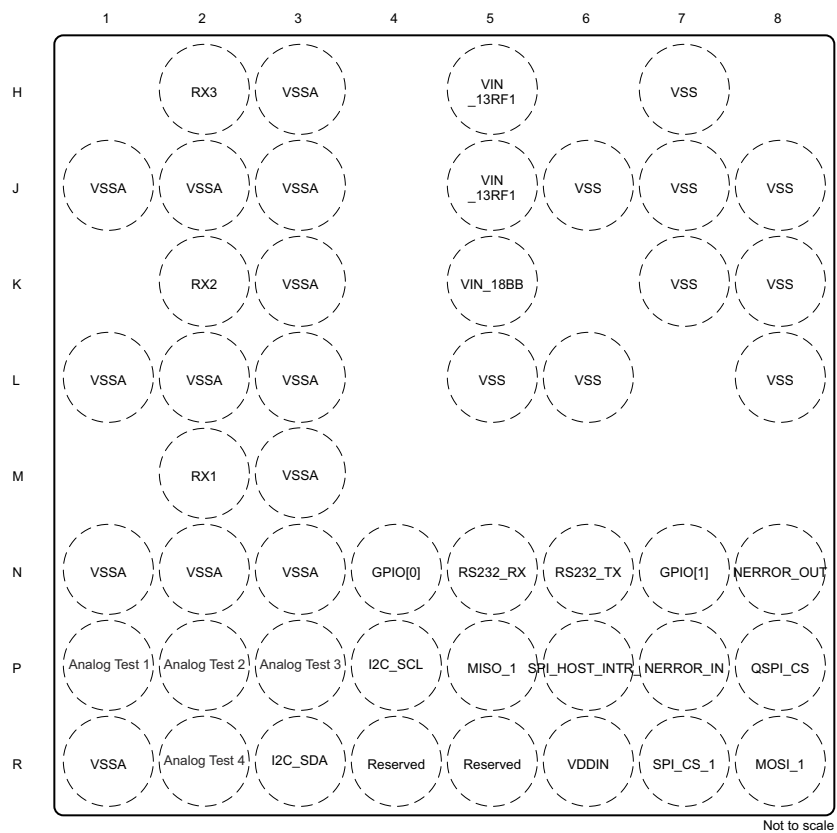
1	2
3	4

図 7-2. 左上象限



1	2
3	4

図 7-3. 右上象限



1	2
3	4

図 7-4. 左下象限

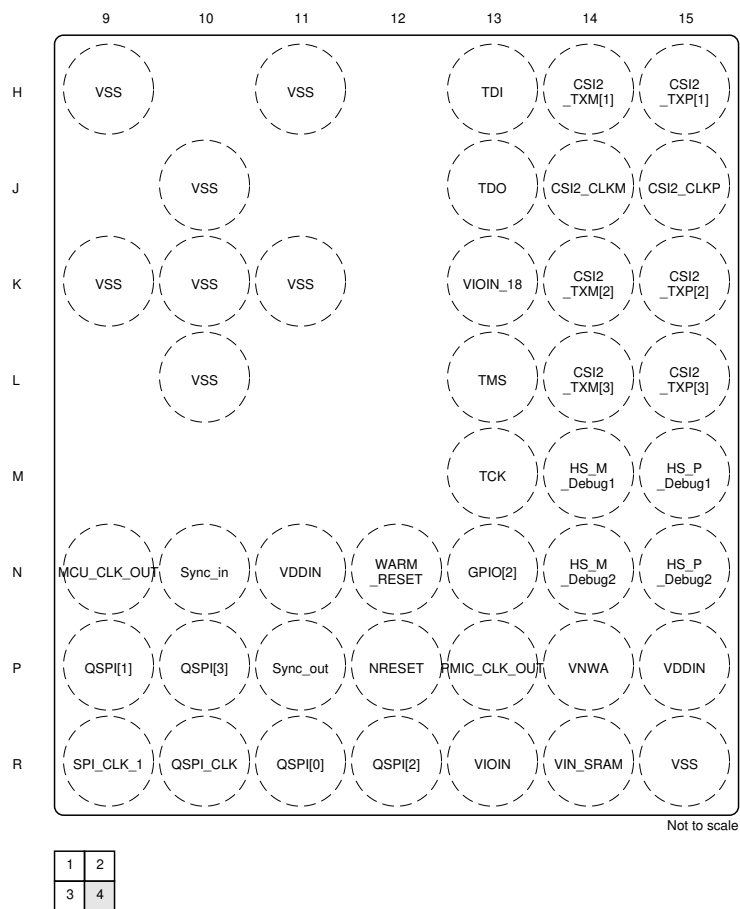


図 7-5. 右下象限

7.2 信号の説明

表 7-1 に、機能別ピンの一覧を示し、その機能について説明します。

注

本デバイスのすべての IO ピン (NERROR_IN、NERROR_OUT、WARM_RESET を除く) はフェイルセーフではないので、VIO 電源が本デバイスに供給されていない状態において、これらの IO ピンが外部から駆動されないように注意する必要があります。

表 7-1. 信号の説明

機能	信号名	ピン番号	ピンの種類	デフォルトのプルステータス (1)	説明
トランスミッタ	TX1	B4	O	—	シングルエンドトランスミッタ 1 o/p
	TX2	B6	O	—	シングルエンドトランスミッタ 2 o/p
	TX3	B8	O	—	シングルエンドトランスミッタ 3 o/p
レシーバ	RX1	M2	I	—	シングルエンドレシーバ 1 i/p
	RX2	K2	I	—	シングルエンドレシーバ 2 i/p
	RX3	H2	I	—	シングルエンドレシーバ 3 i/p
	RX4	F2	I	—	シングルエンドレシーバ 4 i/p
CSI2 TX	CSI2_TXP[0]	G15	O	—	差動データ出力 - レーン 0 (CSI および LVDS デバッグ インターフェイス用)
	CSI2_TXM[0]	G14	O	—	
	CSI2_CLKP	J15	O	—	差動クロック出力 (CSI および LVDS デバッグ インターフェイス用)
	CSI2_CLKM	J14	O	—	
	CSI2_TXP[1]	H15	O	—	差動データ出力 - レーン 1 (CSI および LVDS デバッグ インターフェイス用)
	CSI2_TXM[1]	H14	O	—	
	CSI2_TXP[2]	K15	O	—	差動データ出力 - レーン 2 (CSI および LVDS デバッグ インターフェイス用)
	CSI2_TXM[2]	K14	O	—	
	CSI2_TXP[3]	L15	O	—	差動データ出力 - レーン 3 (CSI および LVDS デバッグ インターフェイス用)
	CSI2_TXM[3]	L14	O	—	
	HS_DEBUG1_P	M15	O	—	差動デバッグ ポート 1 (LVDS デバッグ インターフェイス用)
	HS_DEBUG1_M	M14	O	—	
	HS_DEBUG2_P	N15	O	—	差動デバッグ ポート 2 (LVDS デバッグ インターフェイス用)
	HS_DEBUG2_M	N14	O	—	
チップ間のカスケード同期信号	FM_CW_CLKOUT	B15	O	—	20GHz のシングルエンド出力。変調波形
	FM_CW_SYNCOUT	D1			
	FM_CW_SYNCIN1	B1	I	—	20GHz のシングル エンド入力。これらのピンのうち 1 つのみを使用する必要があります。レイアウトの柔軟性を高める複数のインスタンス。
	FM_CW_SYNCIN2	D15			
リファレンス クロック	OSC_CLKOUT	A14	O	—	PLL をクリーンアップした後にクロック サブシステムから出力されるリファレンス クロック。マルチチップのカスケード接続でスレーブ チップが使用可能です
システムの同期	SYNC_OUT	P11	O	プルダウン	低周波数フレーム同期信号出力。マルチチップのカスケード接続でスレーブ チップが使用可能です
	SYNC_IN	N10	I	プルダウン	低周波数フレーム同期信号入力。この信号は、フレーム開始のハードウェア トリガとしても使用できます

表 7-1. 信号の説明 (続き)

機能	信号名	ピン番号	ピンの種類	デフォルトのプル ステータス (1)	説明
外部 MCU からの SPI 制御インターフェイス (デフォルト パリフェラル モード)	SPI_CS_1	R7	I	プルアップ	SPI chip select
	SPI_CLK_1	R9	I	プルダウン	SPI クロック
	MOSI_1	R8	I	プルアップ	SPI データ入力
	MISO_1	P5	O	プルアップ	SPI データ出力
	SPI_HOST_INTR_1	P6	O	プルダウン	ホストへの SPI 割り込み
予約済み	予約済み	R4、R5		—	予約済み。デバッグのため、これらのピンにテスト ポイントを接続することを推奨します。
リセット	NRESET	P12	I	—	チップのパワーオンリセット。アクティブ low。デバイスを正しくリセットするには、NRESET を最低 20 μ sec の間 low に保つ必要があります。
	WARM_RESET	N12	O	オープンドレイン	オープンドレインのフェイルセーフ ウォーム リセット信号。デバイスがリセット中であることを示すステータス信号として使用できます。
センス オン パワー	SOP2	P13	I	—	SOP ピンは外部から駆動され (弱い駆動)、デバイスはブートアップ時にこれらのピンの状態を検出して、ブートアップ モードを決定します。ブート後は、同じピンが他の機能を持つようになります。 [SOP2 SOP1 SOP0] = [0 0 1] -> 機能 SPI モード [SOP2 SOP1 SOP0] = [1 0 1] -> フラッシュ モード [SOP2 SOP1 SOP0] = [0 1 1] -> デバッグ モード [SOP2 SOP1 SOP0] = [1 1 1] -> 機能 I2C モード
	SOP1	P11	I	—	
	SOP0	J13	I	—	
安全	NERROR_OUT	N8	O	オープンドレイン	オープンドレインのフェイルセーフ出力信号。非常に重大なフォルトが発生していることを示すために、PMIC / プロセッサ / MCU に接続されています。復帰にはリセットが必要です。
	NERROR_IN	P7	I	オープンドレイン	デバイスへのフェイルセーフ入力。他のデバイスからのエラー出力は、デバイス内のエラー信号モニタ モジュールに集約させることができ、ファームウェアによって適切なアクションを実行できます。
JTAG	TMS	L13	I	プルアップ	TI の社内開発用の JTAG ポート。デバッグのため、これらのピンにテスト ポイントを接続することを推奨します。これらのポートは、バウンダリ スキャン用にも使用されます。
	TCK	M13	I	プルダウン	
	TDI	H13	I	プルアップ	
	TDO	J13	O	—	
リファレンス発振器	CLKP	E14	I	—	XTAL モード:リファレンス水晶振動子用入力 外部クロック モード:シングルエンド入力リファレンス クロック ポート
	CLKM	F14	O	—	XTAL モード:リファレンス水晶振動子用フィードバック駆動 外部クロック モード:このポートはグラウンドに接続します。
バンドギャップ電圧	VBGAP	B10	O	—	

表 7-1. 信号の説明 (続き)

機能	信号名	ピン番号	ピンの種類	デフォルトのプル ステータス (1)	説明
電源	VDDIN	F13、N11、P15、R6	POW	—	1.2V デジタル電源
	VIN_SRAM	R14	POW	—	内蔵 SRAM 用 1.2V 電源レール
	VNWA	P14	POW	—	SRAM アレイのバック バイアス用 1.2V 電源レール
	VIOIN	R13	POW	—	I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作します。
	VIOIN_18	K13	POW	—	CMOS IO 用 1.8V 電源
	VIN_18CLK	B11	POW	—	クロック モジュール用 1.8V 電源
	VIOIN_18DIFF	D13	POW	—	CSI2 ポート用の 1.8V 電源
	予約済み	G13	POW	—	無接続
	VIN_13RF1	G5、J5、H5	POW	—	1.3V アナログおよび RF 電源、VIN_13RF1 と VIN_13RF2 が基板上で短絡されている可能性があります
	VIN_13RF2	C2、D2	POW	—	
	VIN_18BB	K5、F5	POW	—	1.8V アナログ ベースバンド電源
	VIN_18VCO	B12	POW	—	1.8V RF VCO 電源
	VSS	E5、E6、E8、E10、E11、F9、F11、G6、G7、G8、G10、H7、H9、H11、J6、J7、J8、J10、K7、K8、K9、K10、K11、L5、L6、L8、L10、R15	GND	—	デジタル グランド
	VSSA	A1、A3、A5、A7、A9、A15、B3、B5、B7、B9、B13、B14、C1、C3、C4、C5、C6、C7、C8、C9、C15、E1、E2、E3、E13、E15、F3、G1、G2、G3、H3、J1、J2、J3、K3、L1、L2、L3、M3、N1、N2、N3、R1	GND	—	アナログ グランド
内部 LDO 出力 / 入力	VOUT_14APLL	A10	O	—	
	VOUT_14SYNTH	A13	O	—	
	VOUT_PA	A2、B2	IO	—	内部 PA LDO を使用する場合、このピンは LDO の出力電圧を供給します。内部 PA LDO がバイパスおよび無効化されている場合、このピンには 1V 電源を供給する必要があります。3TX を同時に使用する事例では、これは必須です。

表 7-1. 信号の説明 (続き)

機能	信号名	ピン番号	ピンの種類	デフォルトのプル ステータス ⁽¹⁾	説明
外部クロック出力	PMIC_CLK_OUT	P13	O	—	PMIC へのディザリング クロック入力
	MCU_CLK_OUT	N9	O	—	外部 MCU またはプロセッサに供給されるプログラマブル クロック
汎用 I/O	GPIO[0]	N4	IO	プルダウン	汎用 IOs。これらのピンは、機能 I2C モードの I2C アドレスを設定するためにも使用されます。 GPIO[2:0] → 0x000 → I2C アドレス 0x28 GPIO[2:0] → 0x001 → I2C アドレス 0x29 GPIO[2:0] → 0x111 → I2C アドレス 0x2F デバッグのため、GPIO[0] 信号はホストプロセッサのデジタルピンに接続することを推奨します。正常に動作させるためには、ホストプロセッサはこのピンでパルスを駆動する必要があります。
	GPIO[1]	N7	IO	プルダウン	
	GPIO[2]	N13	IO	プルダウン	
外部 MCU からの I2C インターフェイス (ターゲットモード)	I2C_SDA	R3	IO	オープンドレイン	I2C データ I2C クロック I2C ホスト インターフェイスは、デバイスを SOP モード 7 [111] でブートすることで選択されます。I2C アドレスは、2:0 [GPIO] ピンを使用して選択されます。
	I2C_SCL	P4	I	オープンドレイン	
シリアル フラッシュ 向け QSPI	QSPI_CS	P8	O	プルアップ	デバイスからのチップ セレクト出力。デバイスは、シリアル フラッシュ ペリフェラルに接続されたコントローラです。
	QSPI_CLK	R10	O	プルダウン	デバイスからのクロック出力。デバイスは、シリアル フラッシュ ペリフェラルに接続されたコントローラです。
	QSPI[0]	R11	IO	プルダウン	データ入力 / 出力
	QSPI[1]	P9	IO	プルダウン	データ入力 / 出力
	QSPI[2]	R12	IO	プルアップ	データ入力 / 出力
	QSPI[3]	P10	IO	プルアップ	データ入力 / 出力
フラッシュ プログラミングおよび RS232 UART	RS232_TX	N6	O	プルダウン	外部フラッシュをプログラミングするための UART ピン。デバッグのため、これらのピンにテスト ポイントを接続することを推奨します。
	RS232_RX	N5	I	プルアップ	
GPADC GPADC 外部電圧監視用の汎用 ADC 入力	アナログ テスト 1/ ADC1	P1	IO	—	ADC チャンネル 1 ⁽²⁾
	アナログ テスト 2/ ADC2	P2	IO	—	ADC チャンネル 2 ⁽²⁾
	アナログ テスト 3/ ADC3	P3	IO	—	ADC チャンネル 3 ⁽²⁾
	アナログ テスト 4/ ADC4	R2	IO	—	ADC チャンネル 4 ⁽²⁾
	ANAMUX/ADC5	C13	IO	—	ADC チャンネル 5 ⁽²⁾
	VSENSE/ADC6	C14	IO	—	ADC チャンネル 6 ⁽²⁾

(1) デバイスのパワーアップ後の IO に関連付けられたプル構造のステータス。

(2) 詳細は、[セクション 9.4.2](#) を参照してください。

8 仕様

8.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

パラメータ		最小値	最大値	単位
VDDIN	1.2V デジタル電源	-0.5	1.4	V
VIN_SRAM	内部 SRAM 用 1.2V 電源レール	-0.5	1.4	V
VNWA	SRAM アレイのバック バイアス用 1.2V 電源レール	-0.5	1.4	V
VIOIN	I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作します。	-0.5	3.8	V
VIOIN_18	CMOS IO 用 1.8V 電源	-0.5	2	V
VIN_18CLK	クロック モジュール用 1.8V 電源	-0.5	2	V
VIOIN_18DIFF	CSI2 ポート用 1.8V 電源	-0.5	2	V
VIN_13RF1	1.3V アナログおよび RF 電源、VIN_13RF1 と VIN_13RF2 が基板上で短絡する可能性があります。	-0.5	1.45	V
VIN_13RF2				
VIN_13RF1	1V 内部 LDO バイパス モード。デバイスは、外付けのパワー マネージメント ブロックが VIN_13RF1 と VIN_13RF2 レールに 1V を供給できるモードをサポートしています。この構成では、デバイスの内部 LDO はバイパスされたままになります。	-0.5	1.4	V
VIN_13RF2				
VIN_18BB	1.8V アナログ ベースバンド電源	-0.5	2	V
VIN_18VCO 電源	1.8V RF VCO 電源	-0.5	2	V
RX1-4	RF 入力の外部印加電力		10	dBm
TX1-4	RF 出力の外部印加電力 ⁽³⁾		10	dBm
入力および出力電圧範囲	デュアル電圧 LVCMOS 入力、3.3V または 1.8V (定常状態)	-0.3V	VIOIN + 0.3	V
	デュアル電圧 LVCMOS 入力、3.3V/1.8V (過渡オーバーシュート / アンダーシュート) または外部発振器入力で動作します。		VIOIN + 20% 信号周期の 20% まで	
CLKP, CLKM	リファレンス水晶振動子用入力ポート	-0.5	2	V
クランプ電流	それぞれの電源レールを 0.3V 上回るまたは下回る入力または出力電圧。I/O の内部ダイオード保護セルを流れるクランプ電流を制限します。	-20	20	mA
T _J	動作ジャンクション温度範囲	-40	105	°C
T _{STG}	プリント基板に半田付けした後の保存温度範囲	-55	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレス定格のみを示すものであり、推奨動作条件で示された条件を超える、またはそれ以外の条件で本デバイスが正常に動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 特に記述のない限り、すべての電圧値は V_{SS} を基準にしています。
- (3) この値は、TX に外部から印加される信号レベルに対応します。さらに、TX 出力にはガンマ = 1 までの反射係数を適用できます。

8.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM) ⁽¹⁾	±1000	V
	デバイス帯電モデル (CDM) ⁽²⁾	±250	

- (1) ANSI/ESDA/JEDEC JS-001 仕様。
- (2) ANSI/ESDA/JEDEC JS-002 仕様。

8.3 電源投入時間 (POH)

接合部温度 (T _j)	動作条件	公称 CVDD 電圧 (V)	パワーオン時間 [POH] (時間) ⁽¹⁾
105°C	50% の RF デューティ サイクル	1.2	100,000

(1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。

8.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDDIN	1.2V デジタル電源	1.14	1.2	1.32	V
VIN_SRAM	内部 SRAM 用 1.2V 電源レール	1.14	1.2	1.32	V
VNWA	SRAM アレイのバック バイアス用 1.2V 電源レール	1.14	1.2	1.32	V
VIOIN	I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作します。	3.135	3.3	3.465	V
		1.71	1.8	1.89	
VIOIN_18	CMOS IO 用 1.8V 電源	1.71	1.8	1.9	V
VIN_18CLK	クロック モジュール用 1.8V 電源	1.71	1.8	1.9	V
VIOIN_18DIFF	CSI2 ポート用 1.8V 電源	1.71	1.8	1.9	V
VIN_13RF1	1.3V アナログおよび RF 電源。VIN_13RF1 と VIN_13RF2 が基板上で短絡する可能性があります。	1.23	1.3	1.36	V
VIN_13RF2					
VIN_13RF1 (1V 内部 LDO バイパス モード)		0.95	1	1.05	V
VIN_13RF2 (1V 内部 LDO バイパス モード)					
VIN18BB	1.8V アナログ ベースバンド電源	1.71	1.8	1.9	V
VIN_18VCO	1.8V RF VCO 電源	1.71	1.8	1.9	V
V _{IH}	電圧入力 High (1.8 V モード)	1.17			V
	電圧入力 High (3.3 V モード)	2.25			
V _{IL}	電圧入力 Low (1.8V モード)			0.3*VIOIN	V
	電圧入力 Low (3.3V モード)			0.62	
V _{OH}	High レベル出力スレッショルド (I _{OH} = 6mA)	VIOIN - 450			mV
V _{OL}	Low レベル出力スレッショルド (I _{OL} = 6mA)				450 mV
NRESET SOP[2:0]	V _{IL} (1.8V モード)			0.45	V
	V _{IH} (1.8V モード)	0.96			
	V _{IL} (3.3V モード)			0.65	
	V _{IH} (3.3V モード)	1.57			
T _j	動作ジャンクション温度範囲	-40			105 °C

8.5 電源仕様

表 8-1 は、IWR6243 デバイスの外部電源ブロックからの 4 つのレールを説明します。

表 8-1. 電源レールの特性：

電源	その電源から電力を供給されるデバイス ブロック	本デバイス内の関連 IO
1.8V	シンセサイザおよび APLL の VCO、水晶発振器、IF アンブ段、ADC、CSI2	入力: VIN_18VCO、VIN18CLK、VIN_18BB、VIOIN_18DIFF、VIOIN_18IO LDO 出力: VOUT_14SYNTH、VOUT_14APLL
1.3V (または、内部 LDO バイパスモードの場合は 1V) ⁽¹⁾	パワー アンプ、低ノイズ アンプ、ミキサ、LO 分配	入力: VIN_13RF2、VIN_13RF1 LDO 出力: VOUT_PA
3.3V (または、1.8V I/O モードの場合は 1.8V)	デジタル I/O	入力 VIOIN
1.2V	コア デジタルおよび SRAM	入力: VDDIN、VIN_SRAM

(1) 3 つの同時動作は、1V LDO バイパスおよび PA LDO 無効化モード のみでサポートしています。このモードでは、1V 電源を VOUT PA ピンに供給する必要があります。

表 8-2 に示す 1.3V (1.0V) および 1.8V 電源リップル仕様は、RX において -105dBc (RF ピン = -15dBm) の目標スプリアス レベルを満たすよう定義されています。スプリアス レベルとリップル レベルには dB 対 dB の関係があり、たとえば電源リップルが 1dB 増加すると、スプリアス レベルも約 1dB 増加します。記載された値は、指定された周波数で印加された正弦波入力の rms レベルです。

表 8-2. リップル仕様

周波数 (kHz)	RF レール		VCO/IF レール
	1.0V (内部 LDO バイパス) (μV_{RMS})	1.3V (μV_{RMS})	1.8V (μV_{RMS})
137.5	7	648	83
275	5	76	21
550	3	22	11
1100	2	4	6
2200	11	82	13
4400	13	93	19
6600	22	117	29

8.6 消費電力の概略

表 8-3 および 表 8-4 に、電源端子の消費電力をまとめます。

表 8-3. 電源端子の最大電流定格

パラメータ ⁽²⁾	電源名	説明	最小値	標準値	最大値	単位
消費電流	VDDIN、VIN_SRAM、VNWA	1.2V レールによって駆動される全ノードが消費する電流の合計値			850	mA
	VIN_13RF1、VIN_13RF2	3 つのトランスミッタのみを使用した場合、1.3V (LDO バイパスモードの場合は 1V) で駆動される全ノードが消費する電流の合計値 ⁽¹⁾			2500	
	VIOIN_18、VIN_18CLK、VIOIN_18DIFF、VIN_18BB、VIN_18VCO	1.8V レールによって駆動される全ノードが消費する電流の合計値			850	
	VIOIN	3.3V レールによって駆動される全ノードが消費する電流の合計値 ⁽³⁾			50	

(1) 3 つのトランスミッタは、1V/LDO バイパス モードおよび PA LDO 無効モードで同時にデバイス内に実装できます。このモードでは、1V 電源を VOUT PA ピンに供給する必要があります。2Tx 使用の場合、ピーク 1V 電源電流は 2000 mA まで上昇します。

(2) 電流の規定値は、代表的な電源電圧レベルにおける値です。

(3) 正確な VIOIN 電流は、使用するペリフェラルとその動作周波数によって異なります。

表 8-4. 電源端子の平均消費電力

パラメータ	条件		説明	最小値	標準値	最大値	単位
シングル チップ モードでの平均消費電力。	1.0V 内部 LDO バイパス モード	1TX、4RX	フレームは 50% のデューティサイクルに設定されています。4 レーン CSI インターフェイスは、ADC データ転送用に 600Mbps で有効になっています		1.41		W
		2TX、4RX			1.52		
		3TX、4RX			1.65		
1 次側センサのカスケードモードでの平均消費電力。	1.0V 内部 LDO バイパス モード	3TX、4RX	フレームは 50% のデューティサイクルに設定されています。4 レーン CSI インターフェイスは、ADC データ転送用に 600Mbps で有効になっています		1.71		W
2 次側センサのカスケードモードでの平均消費電力。	1.0V 内部 LDO バイパス モード	3TX、4RX	フレームは 50% のデューティサイクルに設定されています。4 レーン CSI インターフェイスは、ADC データ転送用に 600Mbps で有効になっています		1.62		W

8.7 RF 仕様

推奨動作条件下およびランタイム キャリブレーションを有効にした状態で測定されています (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
レシーバ	ノイズ指数		10		dB
	1-dB 圧縮ポイント (帯域外) ⁽¹⁾		-12		dBm
	48dB ゲイン設定での変換ゲイン		47		dB
	ゲイン範囲		18		dB
	ゲイン ステップ サイズ		2		dB
	IF 帯域幅 ⁽²⁾			20	MHz
	ADC サンプリング レート (実数/疑似実数/複素数 2x)			45	Msp/s
	ADC サンプリング レート (複素数 1x)			22.5	Msp/s
	ADC の分解能		12		ビット
	アイドル チャネル スプリアス		-95		dBFS
トランスミッタ	出力電力		11.7		dBm
	位相シフタの精度	-11.25		+16.875	°
	電源バックオフ範囲		26		dB
クロック サブシステム	周波数範囲	57		64	GHz
	ランプ レート			250	MHz/μs
	1MHz オフセットでの位相ノイズ		-93		dBc/Hz
20GHz 同期出力信号 (FM_CW_CLKOUT および FM_CW_SYNCOUT)	周波数範囲	19		21.33	GHz
	ピンの出力電力		7.5		dBm
	リターン ロス		-8		dB
	インピーダンス		50		Ω
20 GHz 同期入力信号 (FM_CW_SYNCIN)	周波数範囲	19		21.33	GHz
	ピンの入力電力	-3		3 ⁽³⁾	dBm
	リターン ロス		-8		dB
	インピーダンス		50		Ω

- (1) 1-dB 圧縮ポイント (帯域外) は、HPF の最小カットオフ周波数 (10 kHz) よりも十分低い連続波形トーンを供給することで測定されます。
(2) アナログ IF 段は、1 次ハイパス コーナー周波数を 2 つ個別に設定可能なハイパス フィルタ回路を備えています。一連の使用可能な HPF コーナーは次のように要約されます。

使用可能な HPF コーナー周波数 (kHz)

HPF1	HPF2
175, 235, 350, 700	350, 700, 1400, 2800

デジタル ベースバンド チェーンによるフィルタリングは、以下の特長を実現することを目的としています。

- パスバンドリップル / ドロップ ± 0.5 dB 未満、および
- パスバンドにエイリアス バックする可能性のある任意の周波数に対して、60dB 以上のアンチエイリアシング減衰。

- (3) このデバイスは、接合温度 70°C T_J の場合、最大 6dBm に耐えられます。

図 8-1 に、設定されたレシーバ ゲインに対するノイズ指数と帯域内 P1dB パラメータのばらつきを示します。

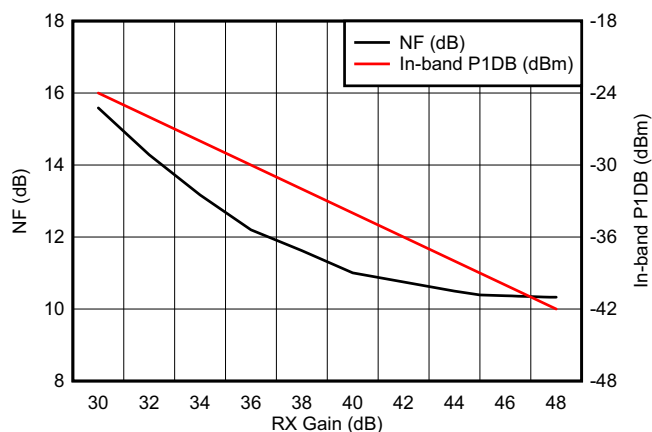


図 8-1. ノイズ指数、帯域内 P1dB とレシーバ ゲインとの関係

8.8 FCBGA パッケージの熱抵抗特性 [ABL0161]

熱評価基準 ⁽¹⁾		°C/W ^{(2) (3)}
RO _{JC}	接合部とケースとの間	5
RO _{JB}	接合部と基板との間	5.9
RO _{JA}	接合部と自由空気との間	21.6
RO _{JMA}	接合部と空気流との間	15.3 ⁽⁴⁾
Psi _{JT}	接合部とパッケージ上面との間	0.69
Psi _{JB}	接合部と基板との間	5.8

- (1) 従来および最新の熱評価基準の詳細については、[半導体および IC パッケージの熱評価基準](#)を参照してください。
- (2) °C/W = 摂氏温度 / ワット。
- (3) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [RO_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
 - JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
 - JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
 - JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』
- (4) エアフロー = 1m/s

8.9 タイミングおよびスイッチング特性

8.9.1 電源シーケンスおよびリセット タイミング

リセットがデアサートされる前に、すべての外部電圧レールおよび SOP ラインが安定する必要があります。図 8-2 に、デバイス ウェークアップ シーケンスを示します。

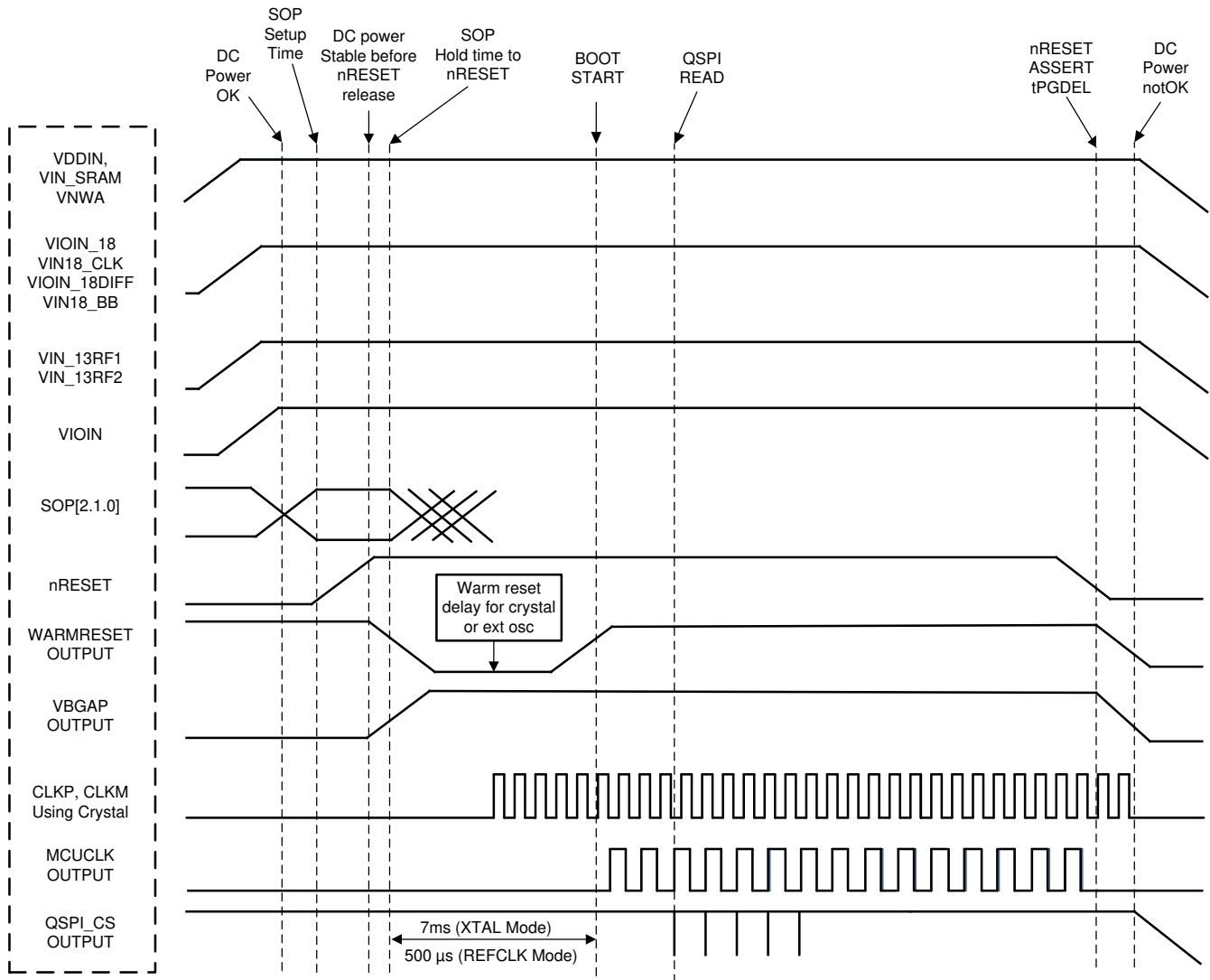


図 8-2. デバイス ウェークアップ シーケンス

8.9.2 同期フレーム トリガ

IWR6243 デバイスは、レーダー フレームをトリガするハードウェア ベースのメカニズムをサポートしています。外部ホストは SYNC_IN 信号パルスを送信することで、レーダー フレームを開始できます。外部パルスの立ち上がりエッジと電波のフレーム送信との時間差 (Tlag) は約 160ns (標準値) です。フレームの開始時間を制御するためにユーザーが設定できる追加のプログラマブル遅延機能も備わっています。

すべてのインスタンスのフレーム構成において、外部 SYNC_IN パルスの周期は、設定されたフレーム周期より常に大きい必要があります。

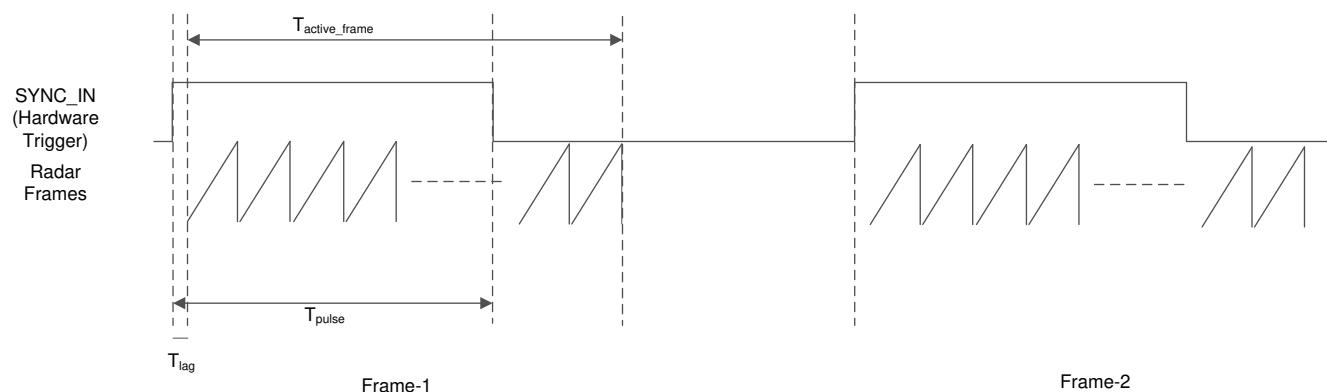


図 8-3. 同期入力ハードウェア トリガ

表 8-5. フレーム トリガのタイミング

パラメータ	説明	最小値	最大値	単位
T_{active_frame}	アクティブ フレーム持続時間	ユーザー定義		ns
T_{pulse}		25	4000	

8.9.3 入カクロックおよび発振器

8.9.3.1 クロック仕様

外部水晶振動子は、デバイスのピンに接続されています。図 8-4 に、水晶振動子の実装を示します。

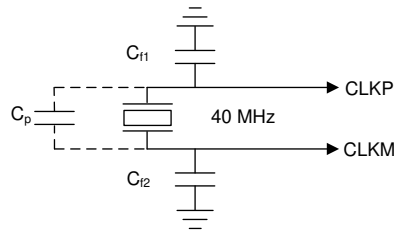


図 8-4. 水晶振動子の実装

注

図 8-4 の負荷コンデンサ C_{f1} および C_{f2} は、式 1 が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリート部品は、関連する発振器の CLKP および CLKM ピンのできるだけ近くに配置する必要があります。 C_{f1} と C_{f2} には、PCB の配線による寄生容量が含まれることに注意してください。

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 8-6 には、クロック水晶振動子の電気的特性を示します。

表 8-6. 水晶振動子の電気的特性 (発振器モード)

名称	説明	最小値	標準値	最大値	単位
f_p	並列共振水晶振動子周波数		40		MHz
C_L	水晶振動子の負荷容量	5	8	12	pF
ESR	水晶振動子の ESR			50	Ω
温度範囲	想定される動作温度範囲	-40		125	$^{\circ}\text{C}$
周波数の許容誤差	水晶振動子周波数の許容誤差 ^{(1) (2)}	-200		200	ppm
励振レベル			50	200	μW

(1) 水晶振動子メーカーの仕様はこの要件を満たす必要があります。

(2) 水晶振動子の初期許容誤差、全温度範囲でのドリフト、経年劣化、不適切な負荷容量による周波数変動が含まれます。

外部クロックをクロック源として使用する場合、その信号は CLKP ピンにのみ入力し、CLKM はグラウンドに接続します。40MHz クロックを外部から入力する場合、位相ノイズ要件は非常に重要です。表 8-7 に、外部クロック信号の電気的特性を示します。

表 8-7. 外部クロック モード仕様

パラメータ		仕様			単位
		最小値	標準値	最大値	
入力クロック: 外部 AC 結合正弦波または DC 結合方形波の 位相ノイズ (40MHz 基準)	周波数		40		MHz
	AC 振幅	700		1200	mV (pp)
	DC- $t_{\text{rise/fall}}$			10	ns
	1kHz での位相ノイズ			-132	dBc/Hz
	10kHz での位相ノイズ			-143	dBc/Hz
	100kHz での位相ノイズ			-152	dBc/Hz
	1MHz での位相ノイズ			-153	dBc/Hz
	デューティ サイクル	35		65	%
	周波数の許容範囲	-50		50	ppm
カスケードモードのセカンダリデバイスの 入力クロック要件 (プライマリデバイスから カスケード接続された 20GHz クロックが 供給されると仮定)	10kHz での位相ノイズ			-127	dBc/Hz
	100kHz での位相ノイズ			-137	dBc/Hz
	1MHz での位相ノイズ			-147	dBc/Hz
	周期ジッタ @40Mhz			1.75	ps rms
	スプリアス レベル (すべてのスプリアスの合計)			-52	dBc

8.9.4 マルチバッファ付き / 標準シリアル ペリフェラル インターフェイス (MibSPI)

8.9.4.1 ペリフェラルの概要

SPI はテキサス・インスツルメンツ の MibSPI プロトコルを使用しています。

MibSPI/SPI は高速な同期シリアル入出力ポートであり、プログラムされたビット転送速度で、シリアル ビット ストリームをデバイスにシフトイン / シフトアウトできます。MibSPI/SPI は、マイクロコントローラと、外部ペリフェラルや他のマイクロコントローラとの間の通信に使用されます。

セクション 8.9.4.1.2 およびセクション 8.9.4.1.3 はセクション 8.9.4.1.1 に、記載された動作条件を前提として、セクション 8.9.4.1.2、セクション 8.9.4.1.3 および 図 8-5 は、MibSPI のタイミング特性およびスイッチング特性を説明しています。

8.9.4.1.1 SPI のタイミング条件

		最小値	標準値	最大値	単位
入力条件					
t_R	入力立ち上がり時間	1		3	ns
t_F	入力立ち下がり時間	1		3	ns
出力条件					
C_{LOAD}	出力負荷容量	2		15	pF

8.9.4.1.2 SPI ペリフェラル モードのスイッチングパラメータ (SPICLK = 入力, SPISIMO = 入力, SPISOMI = 出力)

番号	パラメータ	最小値	標準値	最大値	単位
1	$t_{c(SPC)}S$ サイクル時間、SPICLK	25			ns
2	$t_{w(SPCH)}S$ パルス幅、SPICLK high	10			ns
3	$t_{w(SPCL)}S$ パルス幅、SPICLK low	10			ns
4	$t_{d(SPCL-SOMI)}S$ 遅延時間、SPICLK low から SPISOMI 有効まで			10	ns
5	$t_{h(SPCL-SOMI)}S$ ホールド時間、SPICLK low から SPISOMI データ有効の間	2			ns

8.9.4.1.3 SPI ペリフェラル モードのタイミング要件 (SPICLK = 入力, SPISIMO = 入力, SPISOMI = 出力)

番号		最小値	標準値	最大値	単位
6	$t_{su(SIMO-SPCH)}S$ セットアップ時間、SPISIMO から SPICLK High まで	3			ns
7	$t_{h(SPCH-SIMO)}S$ ホールド時間、SPICLK High から SPISIMO データ有効の間	1			ns

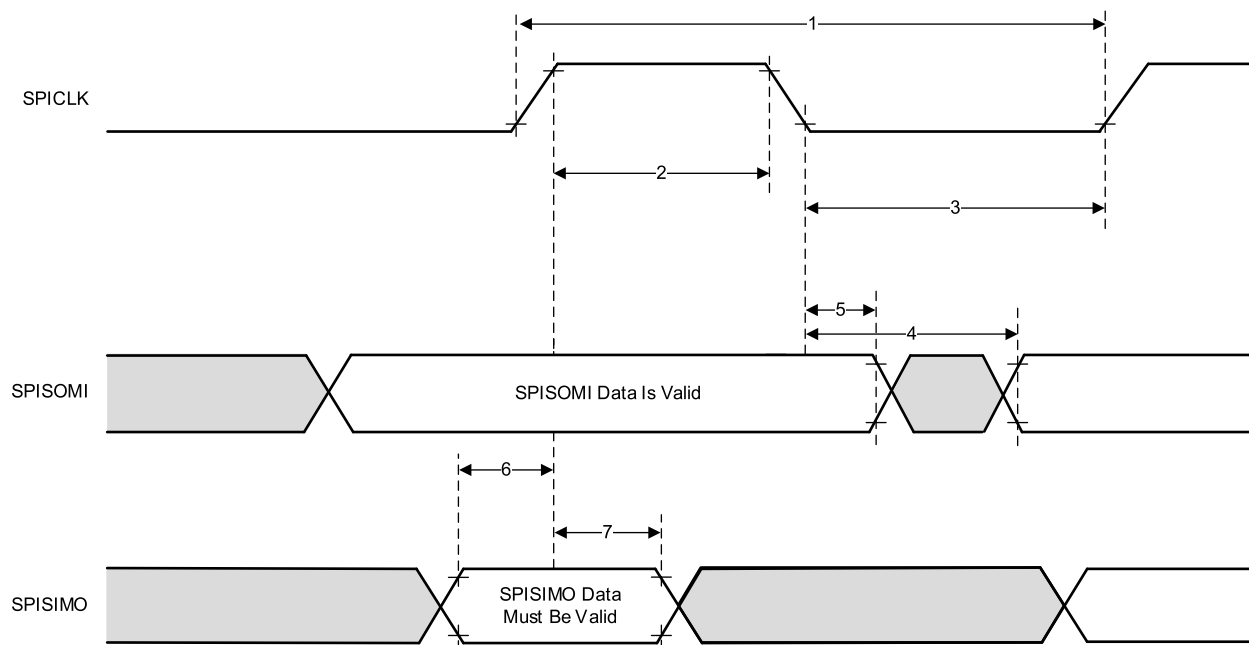


図 8-5. SPI ペリフェラル モードの外部タイミング

8.9.4.2 代表的なインターフェイス プロトコルの図 (ペリフェラル モード)

1. ホストは、CS が Low になる時点と SPI クロックの開始の間に、少なくとも SPI クロック 2 つの遅延が存在するようにする必要があります。
2. ホストは、SPI を経由する転送の 16 ビットごとに CS がトグルされるようにする必要があります。

図 8-6 に、標準的なインターフェイス プロトコルの SPI 通信タイミングを示します。

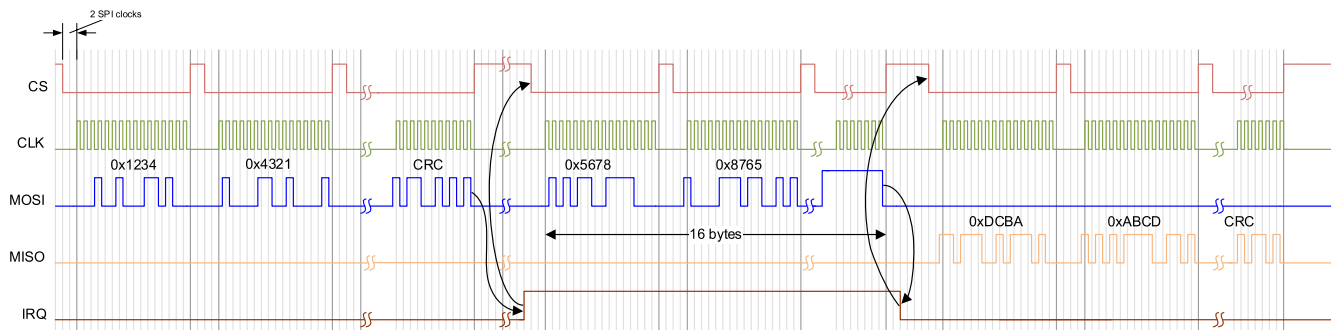


図 8-6. SPI 通信

8.9.5 I2C (Inter-Integrated Circuit Interface)

I2C (Inter-Integrated Circuit) モジュールは、Philips Semiconductors 社の I2C バス仕様バージョン 2.1 に準拠しかつ I²C-bus™ で接続されたデバイス間のインターフェイスとして機能するマルチコントローラ通信モジュールです。このモジュールは、すべてのターゲットまたはコントローラ I2C 互換デバイスをサポートしています。

I2C には次の特長があります。

- Philips I2C バス仕様 v2.1 (I2C 仕様、Philips ドキュメント番号 9398 393 40011) に準拠
 - ビット / バイト形式の転送
 - 7 ビットおよび 10 ビットのデバイス アドレスリング モード
 - ゼネラルコール
 - START バイト
 - マルチコントローラトランスミッタ / ターゲット レシーバ モード
 - マルチコントローラ レシーバ / ターゲット トランスミッタ モード
 - コントローラ送信 / 受信、受信 / 送信の組み合わせモード
 - 100kbps～最大 400kbps (Philips ファースト モード) の転送レートをサポート
- フリー データ形式
- 2 つの DMA イベント (送信および受信)
- DMA イベントのイネーブル / ディセーブル機能
- モジュールのイネーブル / ディセーブル機能
- SDA と SCL を汎用 I/O として構成可能 (任意)
- 出力のスルーレート制御
- 出力のオープンドレイン制御
- 入力のプログラマブル プルアップ / プルダウン機能
- NACK 無視モードをサポート

注

この I2C モジュールは次の機能をサポートしていません。

- High-Speed (HS) モード
 - C バス互換モード
 - 10 ビット アドレス モードの複合フォーマット (I2C がターゲット アドレスの第 1 バイトを送信するたびに、ターゲット アドレスの第 2 バイトを送信する)
-

8.9.5.1 I2C のタイミング要件

(1)		スタンダード モード		ファスト モード		単位
		最小値	最大値	最小値	最大値	
$t_{c(SCL)}$	サイクル時間、SCL	10		2.5		μs
$t_{su(SCLH-SDAL)}$	セットアップ時間、SCL High から SDA Low まで (繰り返しスタート条件の場合)	4.7		0.6		μs
$t_{h(SCLL-SDAL)}$	ホールド時間、SDA Low から SCL Low の間 (スタートおよび繰り返しスタート条件の場合)	4		0.6		μs
$t_{w(SCLL)}$	パルス幅、SCL low	4.7		1.3		μs
$t_{w(SCLH)}$	パルス幅、SCL high	4		0.6		μs
$t_{su(SDA-SCLH)}$	セットアップ時間、SDA 有効から SCL High まで	250		100		μs
$t_{h(SCLL-SDA)}$	ホールド時間、SCL low から SDA 有効の間	0	3.45 ⁽¹⁾	0	0.9	μs
$t_{w(SDAH)}$	パルス幅、ストップ条件とスタート条件の間の SDA High の 期間	4.7		1.3		μs
$t_{su(SCLH-SDAH)}$	セットアップ時間、SCL High から SDA High まで (ストップ条件の場合)	4		0.6		μs
$t_{w(SP)}$	パルス幅、スパイク (抑制が必要)			0	50	ns
C_b (2) (3)	各バスラインの容量性負荷		400		400	pF

- (1) I2C ピンの SDA および SCL は、フェールセーフ I/O バッファを備えていません。これらのピンは、デバイスの電源がオフのときに電流を引き出す可能性があります。
- (2) I2C バス デバイスの $t_h(SDA-SCLL)$ の最大値を満たす必要があるのは、SCL 信号の Low 期間 ($t_w(SCLL)$) を本デバイスがストレッチ (延長) しない場合に限られます。
- (3) $C_b = 1$ 本のバスラインの合計容量 (pF 単位)。ファスト モード デバイスと混在する場合、より高速な立ち下がり時間が許容されます。

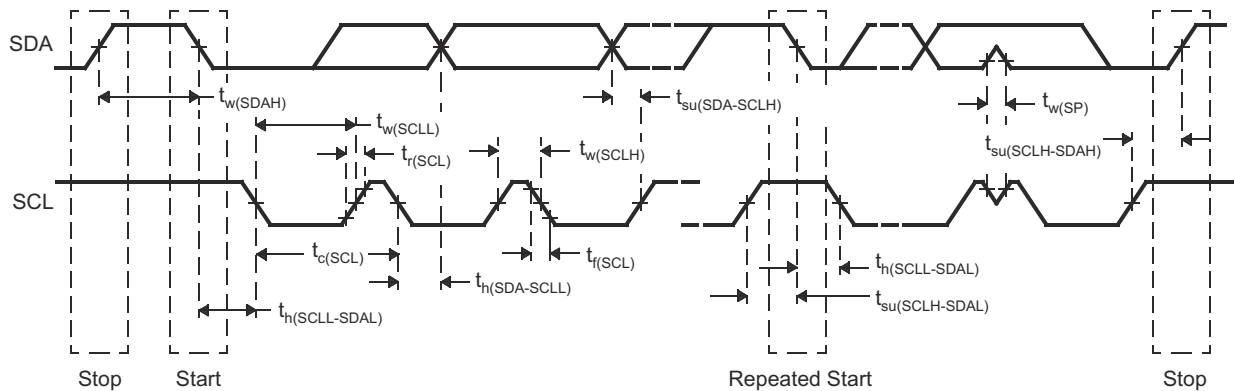


図 8-7. I2C タイミング図

注

- SCL 信号の立ち下がりエッジの未定義領域をブリッジするため、デバイスは SDA 信号のために (SCL 信号の V_{IHmin} を基準として) 300ns 以上のホールド時間を内部的に確保する必要があります。
- $t_h(SDA-SCLL)$ の最大値を満たす必要があるのは、SCL 信号の Low 期間 ($t_w(SCLL)$) を本デバイスがストレッチ (延長) しない場合に限られます。ファースト モード I2C バス デバイスは、スタンダード モード I2C バス システムでも使えますが、その場合、 $t_{su(SDA-SCLH)} \geq 250ns$ の要件を満たす必要があります。本デバイスが SCL 信号の Low 期間をストレッチしない場合、これは自動的に当てはまります。そのようなデバイスが SCL 信号の Low 期間をストレッチする場合、次のデータビットを SDA ラインに $t_r \max + t_{su(SDA-SCLH)}$ の間出力する必要があります。

8.9.6 LVDS インターフェイスの構成

このデバイスは 7 つの差動 LVDS IOs/レーンをサポートして、生の ADC データを抽出できるデバッグを可能にします。サポートされているレーン構成は、4 つのデータ レーン (LVDS_TXP/M)、1 つのビット クロック レーン (LVDS_CLKP/M)、1 つのフレーム クロックレーン (LVDS_FRCLKP/M) です。LVDS インターフェイスは、以下のデータ レートをサポートしています。

- 900Mbps (450MHz DDR クロック)
- 600Mbps (300MHz DDR クロック)
- 450Mbps (225MHz DDR クロック)
- 400Mbps (200MHz DDR クロック)
- 300Mbps (150MHz DDR クロック)
- 225Mbps (112.5MHz DDR クロック)
- 150Mbps (75MHz DDR クロック)

ビット クロックは DDR 形式であるため、クロックのトグルの数はデータに相当します。

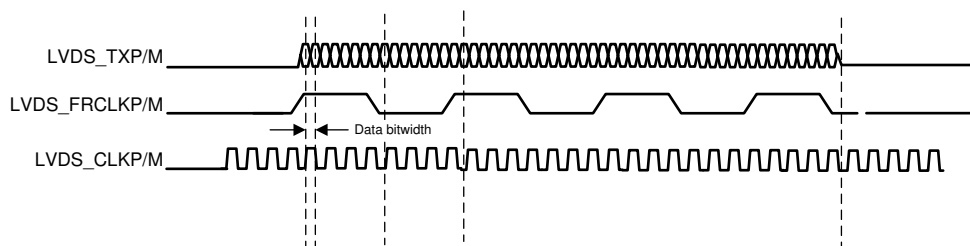


図 8-8. LVDS インターフェイスのレーン構成および相対タイミング

8.9.6.1 LVDS インターフェイスのタイミング

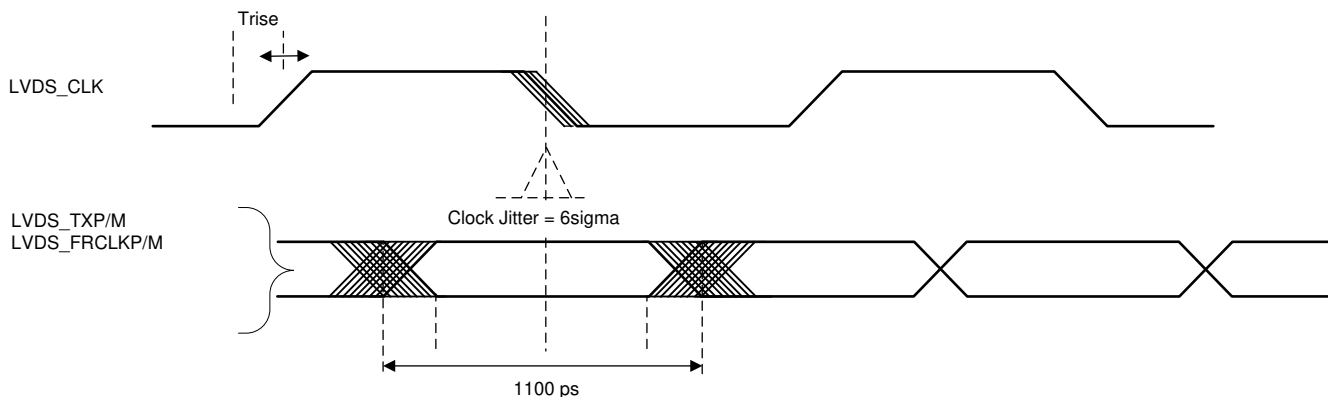


図 8-9. タイミング パラメータ

表 8-8. LVDS の電氣的特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
デューティ サイクル要件	LVDS レーン上で最大 1pF の集中容量性負荷	48%		52%	
出力差動電圧	差動ペア間に 100Ω の抵抗性負荷があるピーク ツー ピークのシングルエンド	250		450	mV
出力オフセット電圧		1125		1275	mV
Trise と Tfall	20%～80%、900Mbps		330		ps
ジッタ (pk-pk)	900Mbps		80		ps

8.9.7 汎用入出力 (General-Purpose Input/Output)

セクション 8.9.7.1 に、出力タイミングのスイッチング特性と負荷容量との関係を示します。

8.9.7.1 出力タイミングと負荷容量 (C_L) のスイッチング特性

パラメータ ^{(1) (2)}		テスト条件		VIOIN = 1.8V	VIOIN = 3.3V	単位
t _r	最大立ち上がり時間	スルー制御 = 0	C _L = 20pF	2.8	3.0	ns
			C _L = 50pF	6.4	6.9	
			C _L = 75pF	9.4	10.2	
t _f	最大立ち下がり時間		C _L = 20pF	2.8	2.8	ns
			C _L = 50pF	6.4	6.6	
			C _L = 75pF	9.4	9.8	

(1) PADxx_CFG_REG で設定されるスルー制御は、出力ドライバの挙動を変化させます (高速または低速の出力スルーレート)。

(2) 立ち上がり / 立ち下がり時間は、VIOIN 電圧の 10% と 90% の間を信号が遷移するのに要する時間として測定されます。

8.9.8 カメラ シリアル インターフェイス (CSI2)

CSI2 は、このデバイスをカメラ レシーバ モジュールに接続するための MIPI D-PHY 準拠インターフェイスです。このインターフェイスは、4 つの差動レーンで構成されており、各レーンはデータまたはクロックを伝送するように構成できます。レーンの各配線の極性も構成可能です。セクション 8.9.8.1、図 8-10、図 8-11 および 図 8-12 では、CSI のクロックおよびデータ タイミングについて説明しています。CSI2 IP がイネーブルになると、クロックは常にオンになります。したがって、HS モードにとどまります。

8.9.8.1 CSI2 のスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			最小値	標準値	最大値	単位
HPTX						
HSTX _{DBR}	データ ビット レート	(1/2/4 データ レーン PHY)	150	600		Mbps
f _{CLK}	DDR クロック周波数	(1/2/4 データ レーン PHY)	75	300		MHz
Δ _{VCMTX(LF)}	共通レベルの変動		-50	50		mV
t _R および t _F	20%～80% の立ち上がり時間と立ち下がり時間			0.3		UI
LPTX DRIVER						
t _{EOT}	THS-TRAIL 期間開始から LP-11 状態開始までの時間			105 + 12*UI		ns
DATA-CLOCK タイミング仕様						
UINOM	公称単位間隔		1.67	13.33		ns
UIINST,MIN	最小瞬時単位間隔		1.131			ns
TSKEW[TX]	トランスミッタで測定されたデータからクロックへのスキュー		-0.15	0.15		UIINST, MIN
CSI2 タイミング仕様						
T _{CLK-PRE}	関連するデータ レーンが LP モードから HS モードへの移行を開始する前の、HS クロックがトランスミッタによって駆動される必要がある時間。		8			ns
T _{CLK-PREPARE}	HS 送信を始める HS-0 ライン状態の直前に、トランスミッタがクロック レーン LP-00 ライン状態を駆動する時間。		38	95		ns
T _{CLK-PREPARE} + T _{CLK-ZERO}	T _{CLK-PREPARE} + クロックを開始する前にトランスミッタが HS-0 状態を駆動する時間。		300			ns
T _{EOT}	T _{HS-TRAIL} または T _{CLKTRAIL} の開始から、HS バーストに続く LP-11 状態の開始までの送信時間間隔。			105 ns + 12*UI		ns
T _{HS-PREPARE}	HS 送信を始める HS-0 ライン状態の直前に、トランスミッタがデータ レーン LP-00 ライン状態を駆動する時間。		40 + 4*UI	85 + 6*UI		ns
T _{HS-PREPARE} + T _{HS-ZERO}	T _{HS-PREPARE} + 同期シーケンスを送信する前にトランスミッタが HS-0 状態を駆動する時間。		145 ns + 10*UI			ns
T _{HS-EXIT}	HS バースト後、トランスミッタが LP-11 を駆動する時間。		100			ns
T _{HS-TRAIL}	HS 送信バーストの最後のペイロード データ ビットの後に、トランスミッタが反転した差動状態を駆動する時間。		max(8*UI, 60ns + 4*UI)			ns
T _{LPX}	低消費電力状態の期間の送信長		50			ns

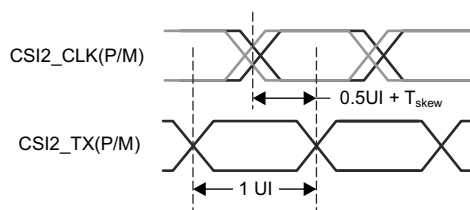


図 8-10. HS 送信におけるクロックとデータのタイミング

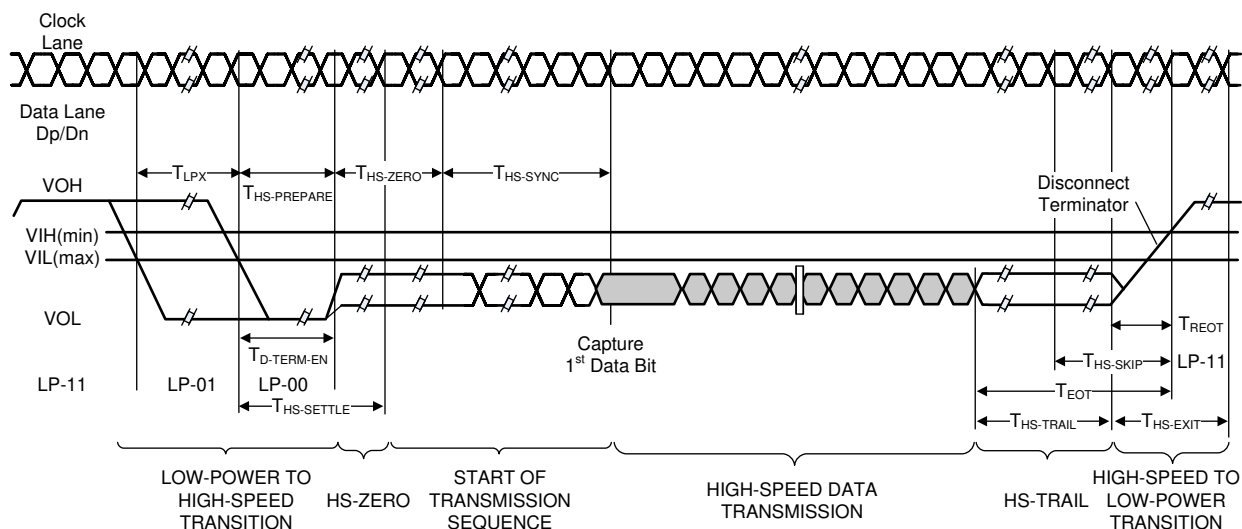
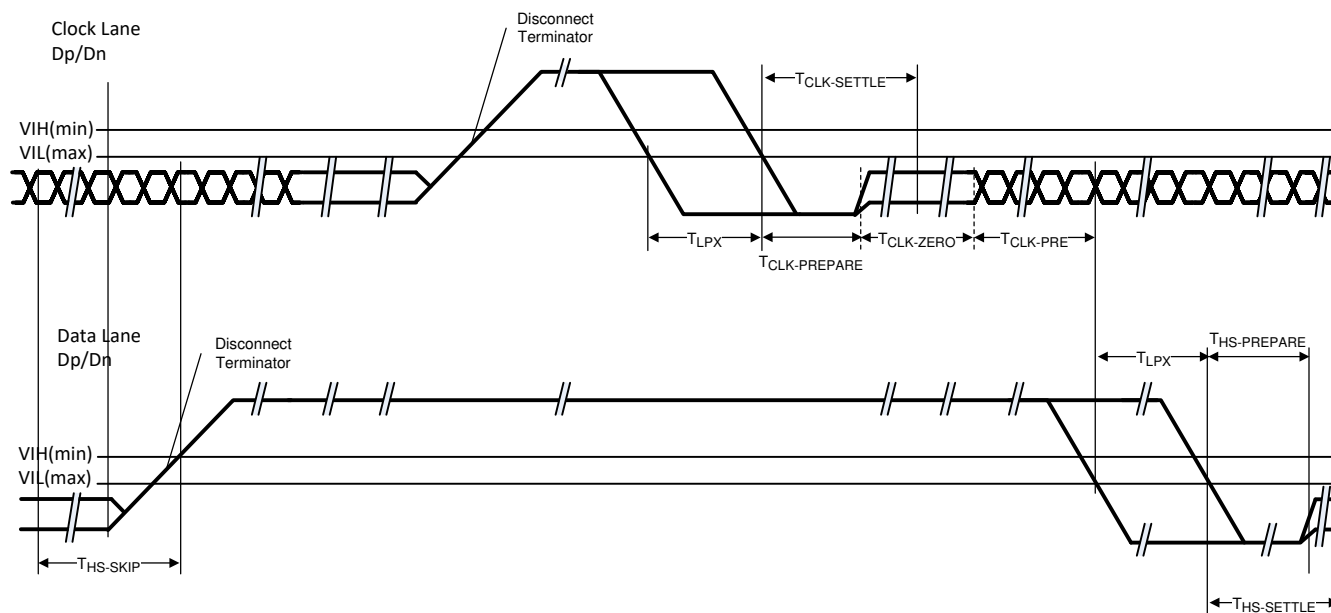


図 8-11. 高速データ送信バースト



A. CLK が HS モードで常時オンになっているため、CLK の HS から LP への遷移は実際には行われません。

図 8-12. クロック伝送モードと低消費電力モードとの間のクロック レーンの切り替え

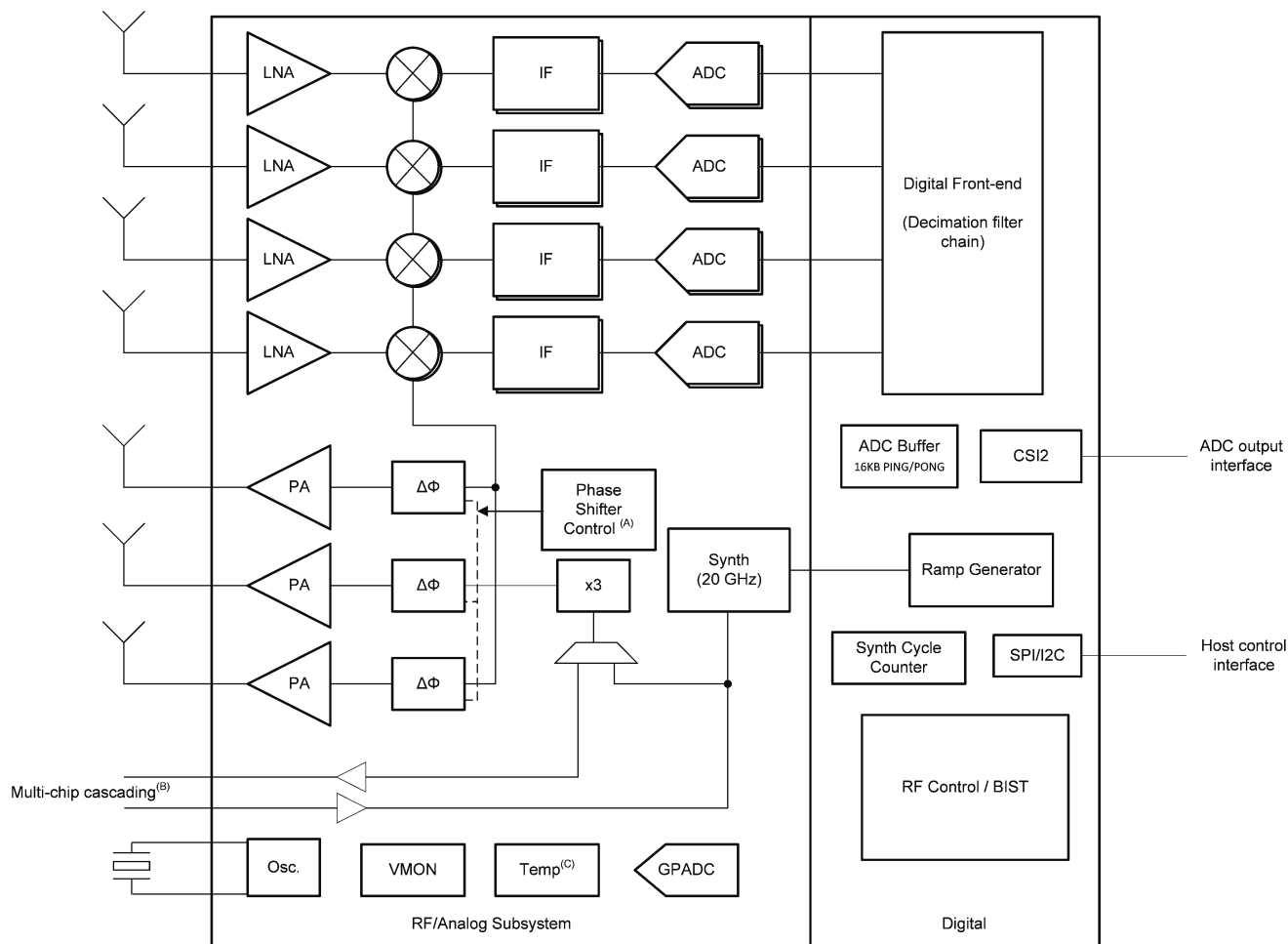
9 詳細説明

9.1 概要

IWR6243 デバイスは、3 つの送信チェーンと 4 つの受信チェーンを内蔵した、シングルチップの高集積 57 ~ 64GHz トランシーバおよびフロントエンドです。このデバイスは、超小型フォームファクタ、超低消費電力で超高分解能を実現します。このデバイスは、画像処理レーダーに TDA3X、TDA2X、または AM27xx と組み合わせて使用することにより、プログラマブルなデジタル信号プロセッサ (DSP) によって高いレベルの性能と柔軟性を実現します。

このデバイスの代表的なアプリケーション例は次のとおりです。産業用レベルセンシング、カスケード接続構成を使用した画像処理レーダー、レーダーとの産業用オートメーション センサ フュージョン、レーダーを使用した交差点監視、産業用レーダー近接監視、人数計測、ジェスチャ検出。

9.2 機能ブロック図



- A. 位相シフト制御:
- 0° / 180° BPM
 - 0°/180°BPM、分解能 5.625°のコントロール オプション
- B. マルチチップのカスケード機能は、このデバイスで使用可能
- C. 内部温度センサの精度は $\pm 7^{\circ}\text{C}$ です。

9.3 サブシステム

9.3.1 RF およびアナログ サブシステム

RF / アナログ サブシステムには RF 回路とアナログ回路 (つまり、シンセサイザ、PA、LNA、ミキサ、IF、ADC) が含まれます。このサブシステムには水晶発振器と温度センサも含まれます。3 つの送信チャネルは、必要に応じて送信ビームフォーミングの目的で同時に動作させることができます。一方、4 つの受信チャネルは、すべて同時に動作させることができます。

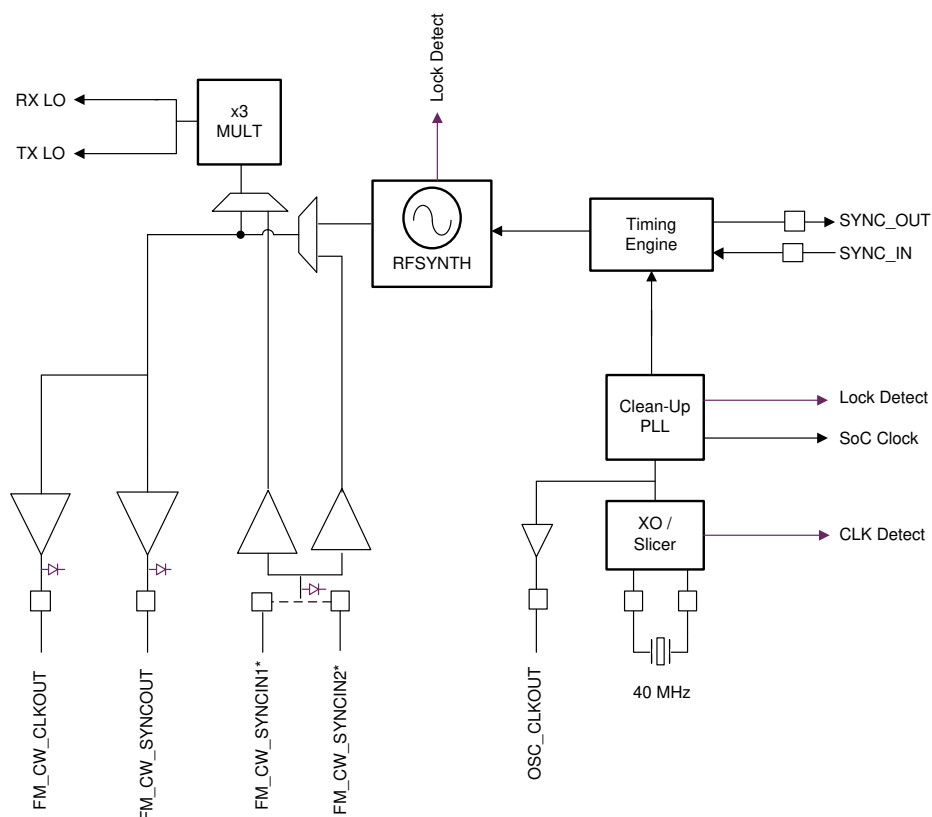
9.3.1.1 クロック サブシステム

IWR6243 のクロック サブシステムは、40MHz 水晶振動子の入力リファレンスから 57 ~ 64GHz を生成します。このサブシステムは、発振器回路と、それに続くクリーンアップ PLL および RF シンセサイザ回路を内蔵しています。次に、RF シンセサイザの出力は X3 通倍器で処理され、リストされたスペクトル内の必要な周波数を生成します。RF シンセサイザの出力は、効果的なセンサ動作に必要な波形を生成するため、タイミング エンジン ブロックによって変調されます。

RF シンセサイザの出力は、マルチチップ カスケード構成のために、デバイス ピン境界で利用可能です。システムのウェークアップ後、クリーンアップ PLL はホスト プロセッサにも基準クロックを提供します。

クロック サブシステムには、水晶振動子の存在を検出し、生成されたクロックの品質を監視するための機能も内蔵されています。

次の図に、クロック サブシステムを示します。



* These pins are 20GHz LO input pins. Connect LO to one pin while grounding the other pin.

図 9-1. クロック サブシステム

9.3.1.2 送信サブシステム

IWR6243 デバイスの送信サブシステムは 3 つの並列送信チェーンで構成され、それぞれが独立して位相および振幅制御を行います。3 つすべてのトランスミッタは、同時使用または時分割方式で使用が可能です。IWR6243 デバイスは、MIMO レーダーおよび干渉軽減のためのバイナリ位相変調をサポートしています。

セクション 8.7 PCB のアンテナポートで、各送信チェーンが供給できる最大電力を規定しています。また、送信チェーンは、システムを最適化するためのプログラム可能なバックオフもサポートして、地域の規制放射要件を満たすことができます。

図 9-2 に、送信サブシステムを示します。

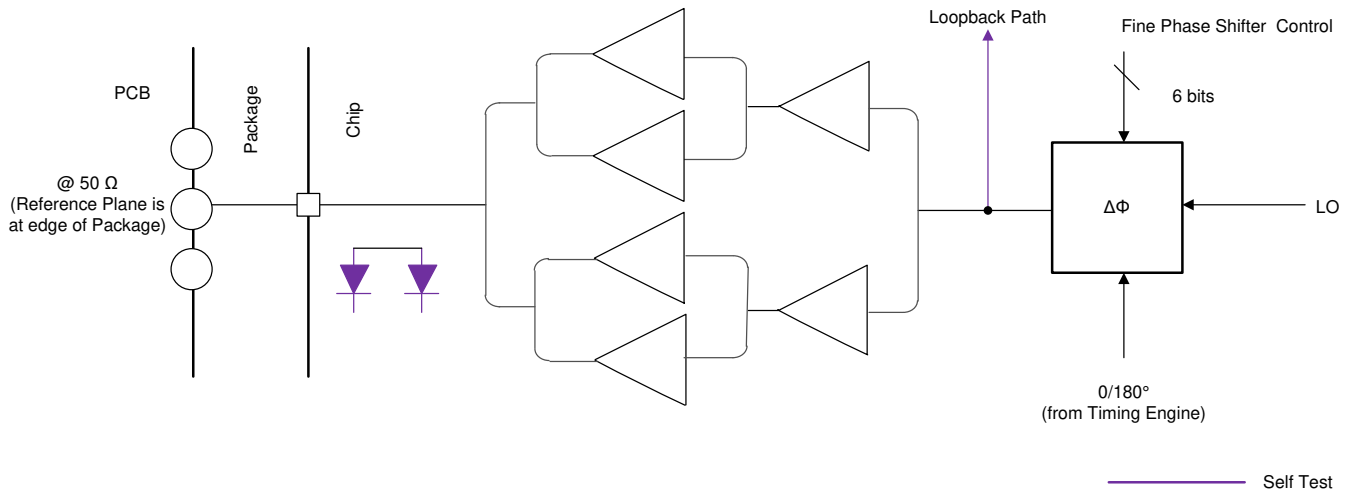


図 9-2. 送信サブシステム (チャンネルごと)

9.3.1.3 受信サブシステム

IWR6243 デバイスの受信サブシステムは、4 つの並列チャンネルで構成されています。1 つの受信チャンネルは LNA、ミキサ、IF フィルタ、ADC 変換、デシメーションで構成されています。4 つの受信チャンネルはすべて同時に動作させることができ、個別のパワーダウン オプションも使用でき、システムの最適化が可能です。

従来型の実数のみのレシーバとは異なり、IWR6243 デバイスは複素ベースバンド アーキテクチャをサポートしており、直交ミキサおよびデュアル IF と ADC チェーンを使用して、各レシーバ チャンネルに複素数の I および Q 出力を提供します。IWR6243 デバイスは、高速チャープ システムを対象としています。バンドパス IF チェーンは下側カットオフ周波数を 175kHz よりも高く設定でき、最大 20 MHz の帯域幅をサポートできます。

図 9-3 に、受信サブシステムを示します。

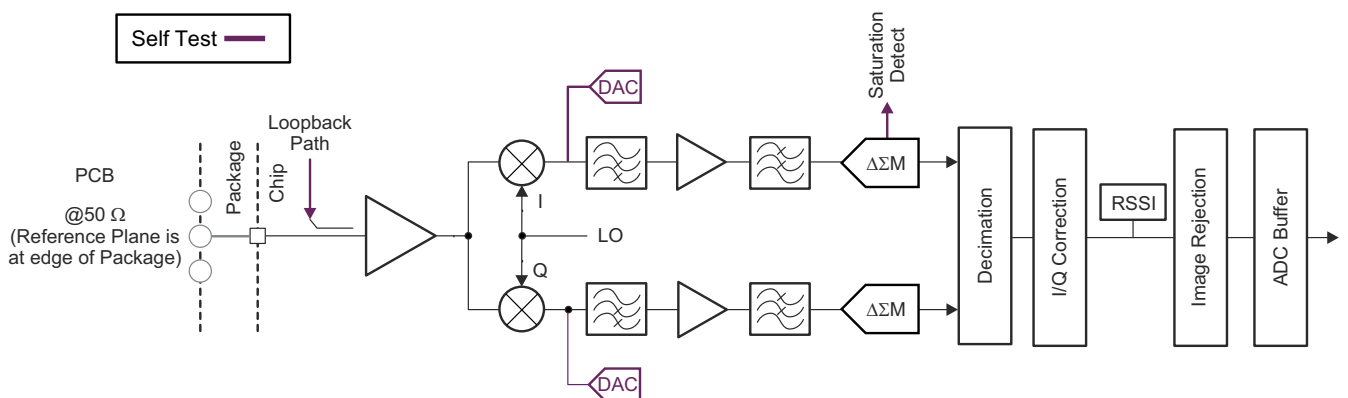


図 9-3. 受信サブシステム (チャンネルごと)

9.3.2 ホスト インターフェイス

IWR6243 デバイスは、以下の主なインターフェイスを介してレーダー プロセッサと通信します：

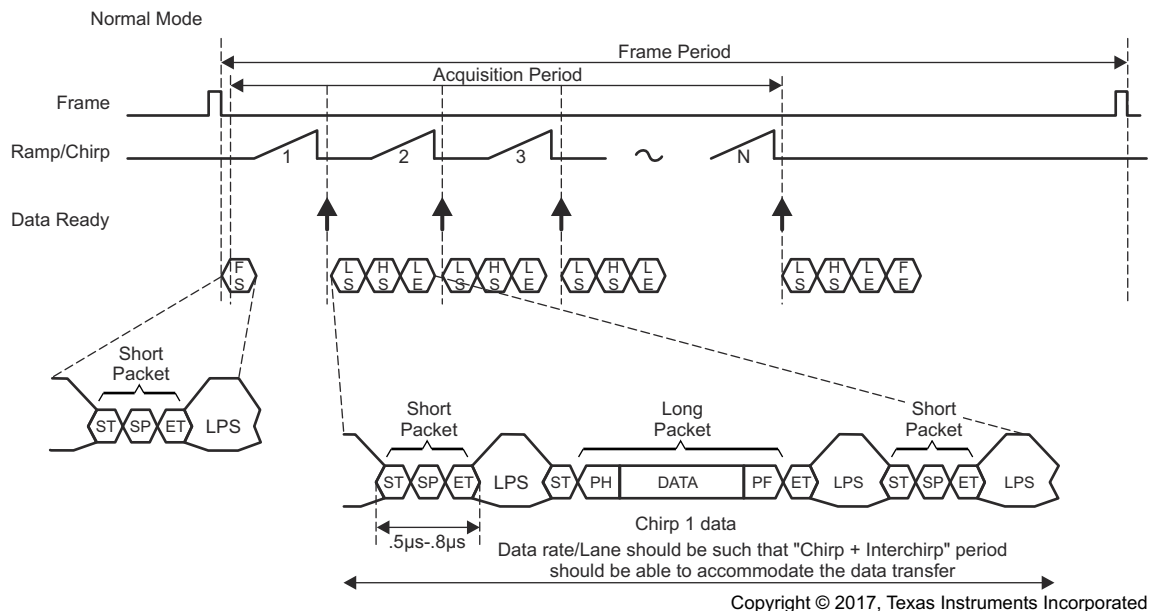
- 基準クロック – デバイス ウェークアップ後にホスト プロセッサ用に使用できる基準クロック
- コントロール – ホスト コントロール用の 4 ポート標準 SPI (ターゲットまたは I2C) と、非同期イベント用の HOST INTR ピン。すべての無線制御コマンド (および応答) は、このインターフェイスを通ります。
- データ – MIPI CSI2 形式に準拠した高速シリアル ポート。4 つのデータおよび 1 つのクロック レーン (すべて差動)。さまざまな受信チャネルからのデータを 1 つのデータ レーンで多重化し、基板の配線を最適化できます。これは、データ転送にのみ使用される単方向インターフェイスです。
- リセット – ホストからのデバイス ウェークアップのためのアクティブ Low のリセット。
- 帯域外割り込み
- エラー – 無線コントローラがフォルトを検出した際にホストに通知するために使用されます。

9.4 その他のサブシステム

9.4.1 CSI2 インターフェイスを介した ADC データ フォーマット

IWR6243 デバイスは、MIPI D-PHY/CSI2 ベースのフォーマットを使用して、未加工の ADC サンプルを外部 MCU に転送します。これは、図 9-4 に示すとおりです。

- 4 つのデータ レーンをサポート
- CSI-2 データレートは、レーンごとに 150 Mbps ~ 600 Mbps の範囲でスケーラブル
- 仮想チャネル ベース
- CRC 生成



フレーム スタート — CSI2 VSYNC スタート ショート パケット

ライン スタート — CSI2 HSYNC スタート ショート パケット

ライン エンド — CSI2 HSYNC エンド ショート パケット

フレーム エンド — CSI2 VSYNC エンド ショート パケット

図 9-4. CSI-2 伝送フォーマット

データペイロードは、次の 3 種類の情報で構成されます。

- チャープ プロファイル情報
- 実際のチャープ番号
- 4 つのチャネルすべてのチャープに対応する ADC データ
 - インターリーブ方式
- チャープ品質データ (構成可能)

その後、ペイロードは 4 つの物理データレーンに分割され、受信 D-PHY に送信されます。図 9-5 に、データ パケットのパッキング形式を示します

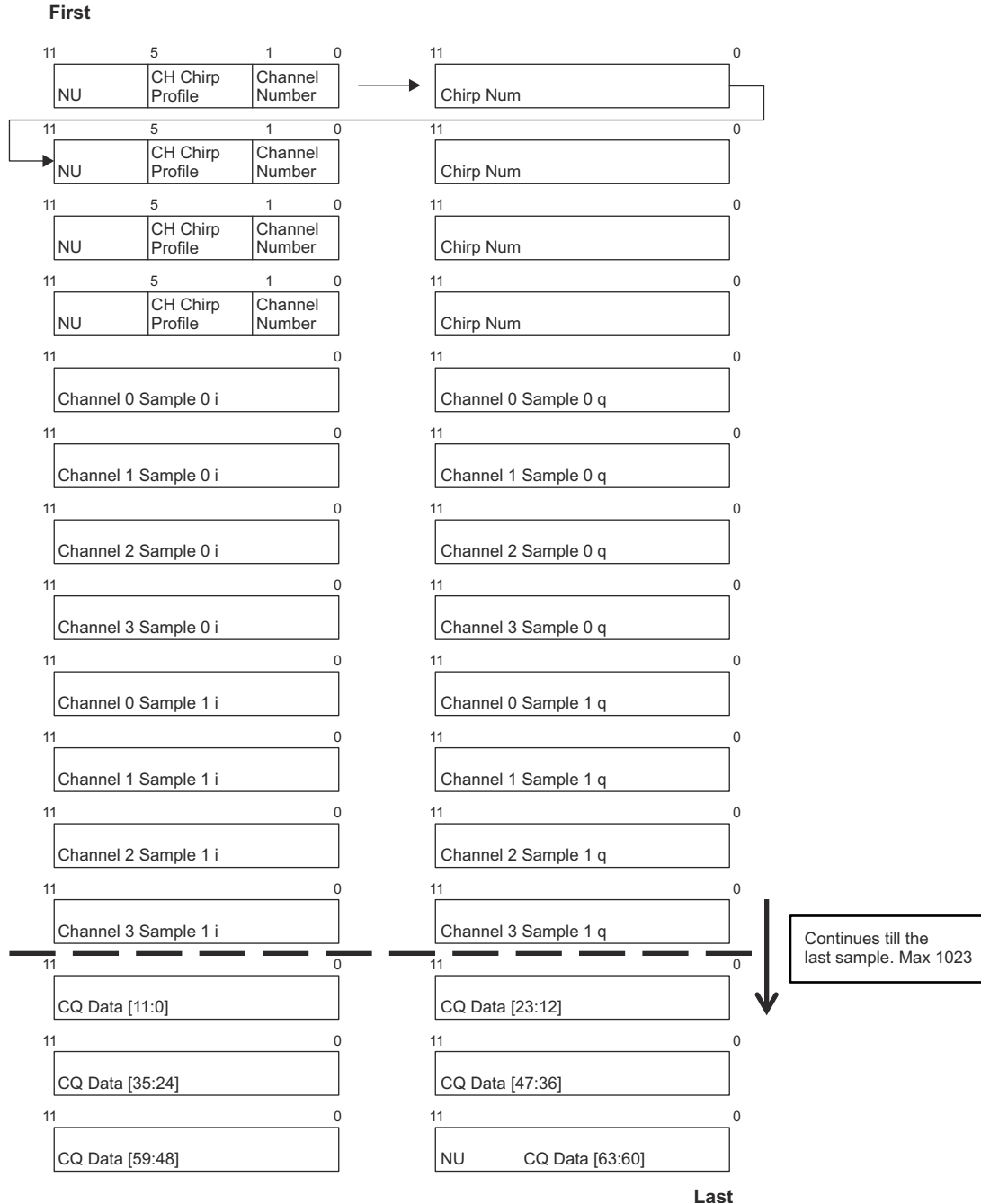


図 9-5. 12 ビット複素数構成用データ パケットのパッキング形式

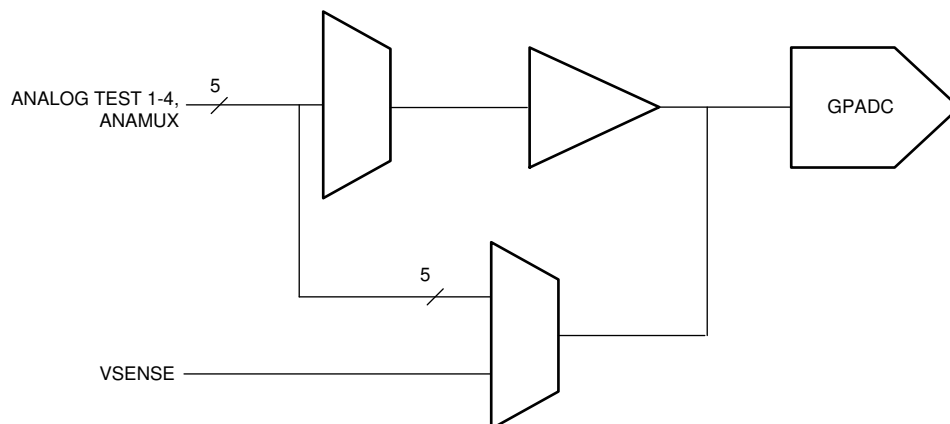
9.4.2 ユーザー アプリケーション向け ADC チャンネル (サービス)

このデバイスにはユーザー アプリケーション向けの ADC サービスが用意されており、デバイス内の GPADC エンジンを使用して最大 6 個の外部電圧を測定できます。この目的で、ADC1、ADC2、ADC3、ADC4、ADC5、ADC6 の各ピンを使用します。

- ADC 自体は、BIST サブシステム内で実行されるテキサス・インスツルメンツのファームウェアによって制御され、ユーザーが外部電圧を監視するためのアクセスは、BIST サブシステムに転送される「監視 API」コールによって行われます。この API は、MSS R4F で動作しているユーザー アプリケーションとリンクさせることができます。
- BIST サブシステム ファームウェアは、これらの測定とともに、他の RF やアナログ監視動作を内部でスケジュールします。この API を使用すると、セトリング時間 (スキップする ADC サンプル数) と取得する連続サンプル数を設定できます。フレームの最後に、監視対象の各電圧について、測定値の最小値、最大値、平均値が報告されます。

GPADC Specifications:

- 625Ksps SAR ADC
- 入力範囲: 0~1.8V
- 10 ビット分解能
- 6 個の入力のうち 5 個について、オプションの内部バッファを使用できます。バッファがない場合、ADC には、5pF のサンプリング容量と 12pF の寄生容量でモデル化されたスイッチト キャパシタ入力負荷があります (GPADC チャンネル 6 では内部バッファは利用できません)。



- A. GPADC 構造は、内部温度センサの出力を測定するために使われます。これらの測定の精度は $\pm 7^{\circ}\text{C}$ です。

図 9-6. ADC パス

9.4.2.1 GPADC のパラメータ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	標準値	単位
ADC 電源	1.8	V
ADC の入力電圧範囲 (バッファなし)	0 ~ 1.8	V
ADC の入力電圧範囲 (バッファ付き) ⁽¹⁾	0.4 ~ 1.3	V
ADC の分解能	10	ビット
ADC のオフセット誤差	±5	LSB
ADC のゲイン誤差	±5	LSB
ADC の DNL	-1/+2.5	LSB
ADC の INL	±2.5	LSB
ADC のサンプリングレート ⁽²⁾	625	kSPS
ADC のサンプリング時間 ⁽²⁾	400	ns
ADC の内部コンデンサ	10	pF
ADC の入力静電容量	2	pF
ADC の入力リーク電流	3	μA

- (1) 規定の範囲を外れると、バッファ出力は非線形になります。
 (2) ADC 自体は、BIST サブシステム内で動作するテキサス・インスツルメンツ製ファームウェアによって制御されます。詳細については、API コールを参照してください。

10 監視と診断のメカニズム

IWR6243 で使用可能で主な監視と診断のメカニズムは以下の通りです

表 10-1. 機能安全準拠デバイス向けの監視および診断のメカニズム

No	機能	説明
1	MSS R4F コアおよび関連 VIM 用ブート時 LBIST	デバイス アーキテクチャは、ハードウェア ロジック BIST (LBIST) エンジン セルフ テスト コントローラ (STC) をサポートしています。このロジックを使って、MSS R4F CPU コアとベクタ割り込みモジュール (VIM) において、トランジスタレベルで非常に高い診断範囲 (>90%) を実現しています。CPU および VIM 用 LBIST は、ブートローダーによってトリガされます。
2	MSS R4F TCM メモリ用ブート時 PBIST	MSS R4F には、TCMA、TCMB0、TCMB1 の 3 つの密結合メモリ (TCM) が搭載されています。デバイスのアーキテクチャは、ハードウェア プログラマブル メモリ BIST (PBIST) エンジンをサポートしています。実装されている MSS R4F TCM において、このロジックを使って、トランジスタレベルで非常に高い診断範囲 (March-13n) を実現しています。TCM メモリ用 PBIST は、ブート時にブートローダーによってトリガされます。CPU は、フォルトが検出されると、ループ内にとどまり、それ以上処理を進めることはありません。
3	MSS R4F TCM メモリ用エンドツー エンド ECC	TCM の診断は、シングル エラー訂正ダブル エラー検出 (SECEDED) ECC 診断によってサポートされています。64 ビットのデータ バスで計算された ECC データを保存するために 8 ビットのコードワードが使用されます。ECC の評価は、CPU 内部の ECC 制御ロジックによって行われます。この方式により、CPU と TCM 間の通信においてエンド ツー エンドの診断が可能になります。CPU は、シングル ビットおよびダブル ビットのエラー状態に対して、あらかじめ決められた応答 (無視または中止) を行うように構成されています。
4	MSS R4F TCM ビット多重化	論理 TCM ワードとそれに関連する ECC コードは分割され、2 つの物理的な SRAM バンクに保存されます。この方式では、物理的な SRAM バンクのアドレス デコード障害に対する固有の診断メカニズムが提供されます。バンク アドレスリングのフォルトは、ECC フォルトとして CPU によって検出されます。さらに、ロジック (CPU) ワードを生成するためにアクセスされるビットが物理的に隣接しないように、ビット多重化方式が実装されています。この方式は、物理的なマルチビット フォルトに起因して論理的なマルチビット フォルトが発生する可能性を低減し、その代わりに、複数のシングルビット フォルトとして現れるようにします。SECEDED TCM ECC はロジックワード内のシングルビット フォルトを修正できるため、この方式により TCM ECC 診断の有効性が向上します。
5	クロック モニタ	デバイス アーキテクチャは、3 つのデジタル クロック コンパレータ (DCC) と 1 つの内部 RCOSC をサポートしています。これらのモジュールでは、クロック検出とクロック監視という 2 つの機能が使用できます。DCCint は、ブート時にリファレンス クロックの可用性 / 範囲をチェックするために使用されます。そうでない場合は、デバイスはリンプ モードに移行します (デバイスはブートを続けますが、RCOSC クロック ソースは 10MHz です。この状態ではデバッグ機能が提供されます)。DCCint はブート時にブートローダーによってのみ使用されます。APLL がイネーブルになり、ロックされると、このブロックはディセーブルになります。DCC1 は APLL ロック検出監視専用であり、デバイスのリファレンス入力クロックと分周された APLL 出力を比較します。最初に (APLL の構成前)、ブートローダは DCC1 を使用して、内蔵 RCOSC クロック ソースに対するリファレンス入力クロックの正確な周波数を識別します。DCC1 に障害が検出されると、デバイスはリンプ モードに移行します。クロック比較 (CC) モジュールは、リファレンス クロック (XTAL) と分周された APLL 周波数を比較するために使用されます。障害の検出は、nERROR OUT 信号によって示されます。
6	MSS R4F 用 RTI/WD	内蔵ウォッチドッグは、ブートローダーによってウィンドウ付きウォッチドッグ (DWWD) モードで有効になります。ウォッチドッグの有効期限切れにより、ホストに内部ウォーム リセットおよび nERROR OUT 信号が発行されます。
7	MSS R4F 用 MPU	Cortex-R4F CPU には MPU が搭載されています。MPU ロジックを使用すると、デバイス メモリ内のソフトウェア タスクを空間的に分離できます。Cortex-R4F MPU は 12 の領域をサポートしています。オペレーティング システムが MPU を制御し、各タスクのニーズに基づいて MPU 設定を変更するよう想定されています。構成済みメモリ保護ポリシーに違反すると、CPU が停止します。
8	ペリフェラル インターフェイス SRAM 用 PBIST - SPI、I2C	デバイス アーキテクチャは、ペリフェラル SRAM 用ハードウェア プログラマブル メモリ BIST (PBIST) エンジンもサポートしています。ペリフェラル SRAM メモリ用 PBIST は、ブートローダーによってトリガされます。PBIST テストはメモリ内容を破壊する可能性があるため、通常はブート時のみ実行されます。PBIST によってエラーが検出された場合、PBIST およびブート ステータス応答メッセージにエラーが示されます。

表 10-1. 機能安全準拠デバイス向けの監視および診断のメカニズム (続き)

No	機能	説明
9	ペリフェラル インターフェイス SRAM 用 ECC - SPI, I2C	ペリフェラル インターフェイス SRAM の診断は、シングル エラー訂正ダブル エラー検出 (SECEDED) ECC 診断によってサポートされています。シングル ビットまたはダブル ビット エラーが検出されると、nERROR (ダブル ビット エラー) または SPI メッセージ (シングル ビットエラー) でエラーが示されます。
10	巡回冗長性検査 -MSS	MSS には巡回冗長性検査 (CRC) モジュールが利用可能です。ファームウェアはこの機能を、メールボックスと SPI 通信のデータ転送チェックに使用します。
11	DMA 用 MPU	デバイス アーキテクチャは、MSS DMA の MPU をサポートしています。ファームウェアではこれをスタック保護に使用します。
12	BIST R4F コアおよび関連 VIM 用ブート時 LBIST	デバイス アーキテクチャは、BIST R4F コアおよび関連する VIM モジュールでもハードウェア ロジック BIST (LBIST) をサポートしています。このロジックは、BIST R4F CPU コアおよび VIM において、非常に高い診断範囲 (>90%) を実現しています。これは、MSS R4F ブートローダによってブート時にトリガされ、フォルトが検出された場合、それ以上処理を進めることはありません。
13	BIST R4F TCM メモリ用ブート時 PBIST	デバイスのアーキテクチャは、BIST R4F TCM 用ハードウェア プログラマブル メモリ BIST (PBIST) エンジンをサポートしており、BIST R4F TCM で非常に高い診断範囲 (March-13n) を実現しています。PBIST は、BIST R4F のパワー アップ時にトリガされます。
14	BIST R4F TCM メモリ用エンドツー エンド ECC	BIST R4F TCM の診断は、シングル エラー訂正ダブル エラー検出 (SECEDED) ECC 診断によってサポートされています。シングル ビット エラーは BIST R4FCPU に、ダブル ビット エラーは MSS R4F に、ホストに非同期イベントを送信する割り込みとして通知されます。
15	BIST R4F TCM ビット多重化	論理 TCM ワードとそれに関連する ECC コードは分割され、2 つの物理的な SRAM バンクに保存されます。この方式では、物理的な SRAM バンクにおけるアドレス デコード障害の固有の診断メカニズムが提供され、物理的なマルチビット フォルトに起因して論理的なマルチビット フォルトが発生する可能性を低減します。
16	温度センサ	デバイス アーキテクチャは、デバイス全体にわたってさまざまな温度センサ (PA や DSP などの電力消費の多いモジュールの付近に配置) をサポートします。これらは、フレームとフレームの間の期間中に監視されます。(1)
17	TX 電力モニタ	デバイス アーキテクチャは、Tx 出力での電力検出器をサポートしています。(2)
18	エラー信号 エラー出力	診断で故障が検出された場合は、エラーを通知する必要があります。デバイス アーキテクチャは、SPI インターフェイスを介した nERROR 信号または非同期イベントを使用して、内部監視/診断メカニズムからのフォルト表示をまとめて示します。
19	シンセサイザ (チャープ) 周波数のモニタ	シンセサイザの周波数ランプにおいて、(分周) クロック サイクルをカウントし、理想的な周波数ランプと比較して監視します。特定のしきい値を超える過剰な周波数エラーが検出された場合、報告されます。
20	TX ポート用ボール破損検出 (TX ボール破損のモニタ)	デバイス アーキテクチャは、TX 出力のインピーダンス測定に基づくボール破損検出メカニズムをサポートしており、ボール破損を示している可能性のある大きな偏差を検出して報告します。監視は、BIST R4F で実行されるテキサス・インスツルメンツのコードによって行われ、障害はホストに通知されます。BIST R4F からのメッセージに基づいて、適切なアクションを決定することは、ユーザーの SW に完全に任されています。
21	RX ループバック テスト	TX から RX へのループバックを内蔵しており、ゲイン、RX 間のバランスなど、RX パスにおける障害を検出できます。
22	IF ループバック テスト	内蔵の IF (方形波) テストトーン入力により、IF フィルタの周波数応答を監視して障害を検出します。
23	RX 飽和検出	過大な受信信号レベルや干渉による ADC 飽和を検出する機能。

- (1) 監視は、BIST R4F で実行されるテキサス・インスツルメンツのコードによって行われます。顧客アプリケーションによって API を介して検出された温度を報告するように構成できる 2 つのモードがあります。
- N フレームごとに検出された温度を報告します。
 - 温度がプログラムされたスレッシュホールドを超えた場合、その状態を通知します。

BIST R4F からメールボックス経由のメッセージに基づいて適切なアクションを決定することは、ユーザーの SW に完全に任されています。

- (2) 監視は、BIST R4F で実行されるテキサス・インスツルメンツのコードによって行われます。ユーザー アプリケーションによって API を介して検出された出力電力を報告するように構成できる 2 つのモードがあります。

- a. N フレームごとに検出された電力を報告します。
- b. 設定されたスレッシュホールドを超えて出力電力が低下した場合、その状態を通知します。

BIST R4F からのメッセージに基づいて、適切なアクションを決定することは、ユーザーの SW に完全に任されています。

注

すべての診断機能の適用可能性の詳細については、『デバイス安全マニュアル』またはその他の関連資料を参照してください。認証の詳細については、デバイスの製品フォルダを参照してください。

11 アプリケーション、実装、およびレイアウト

注

以下のアプリケーションに関するセクションの情報は、テキサス・インスツルメンツの部品仕様の一部ではなく、テキサス・インスツルメンツはこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

11.1 アプリケーション情報

図 11-1 産業用アプリケーションでのレーダー センサの使用方法を提示します。

アプリケーション情報については、[IWR アプリケーション ウェブ ページ](#)を参照してください

11.2 産業用アプリケーション向けレーダー センサ

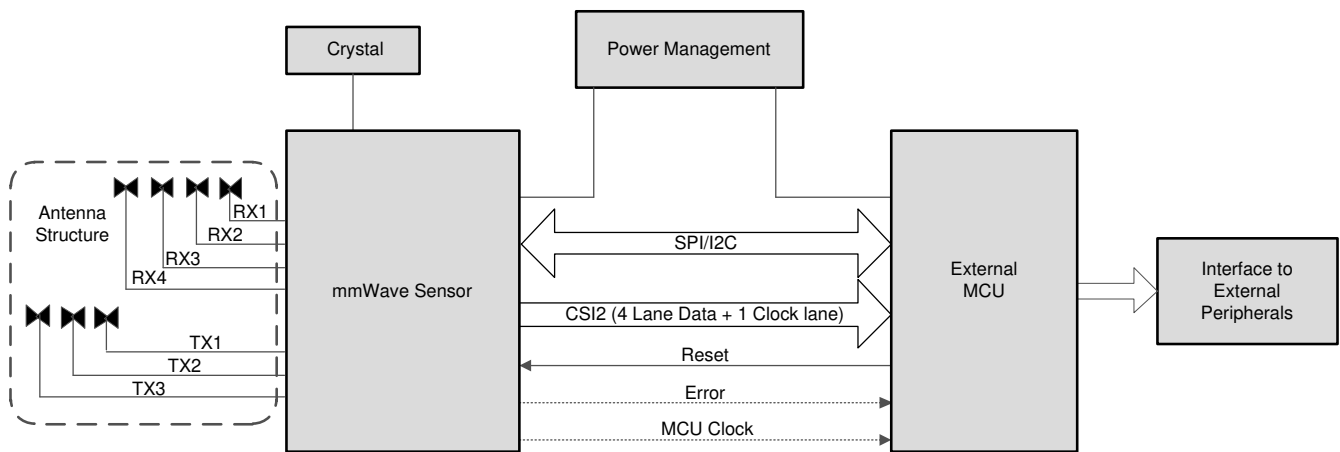


図 11-1. 産業用アプリケーション向けレーダー センサ

11.3 カスケード接続を用いたイメージングレーダー

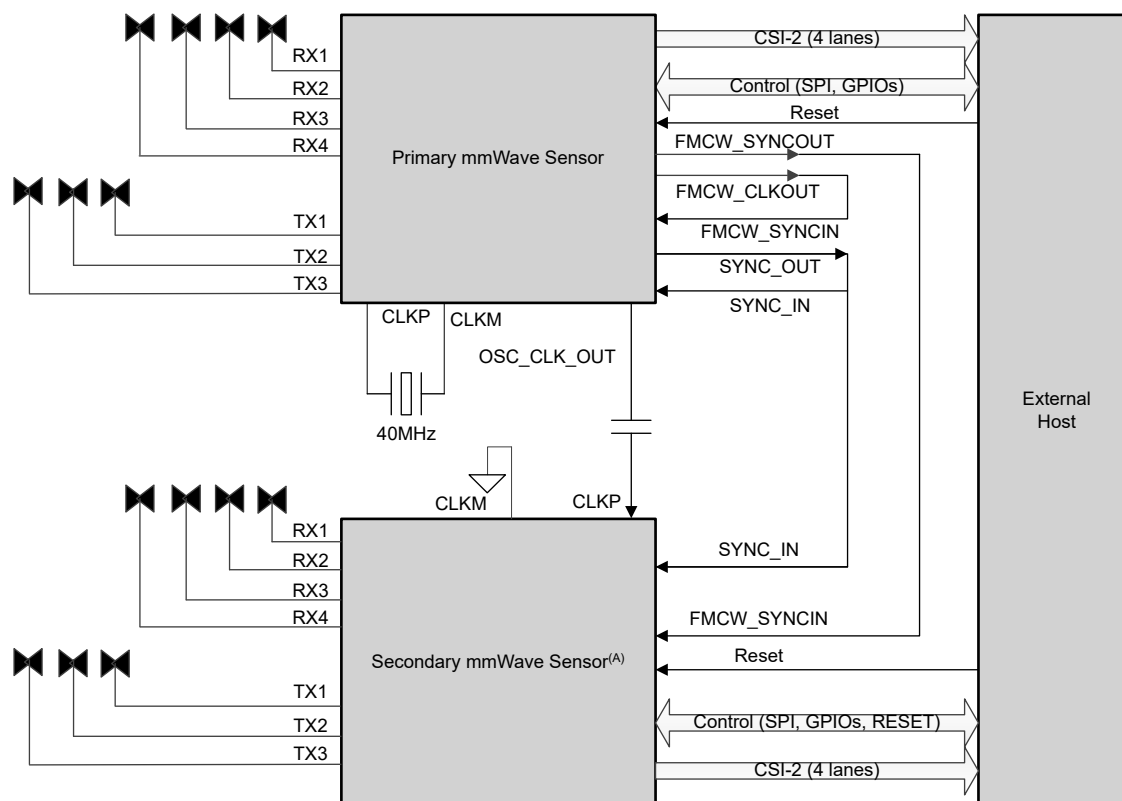


図 11-2. カスケード接続を用いたイメージングレーダー

A. 1つのプライマリミリ波センサで複数のデバイスをカスケード接続できます。

12 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアは、デバイスの性能評価や、コードの生成に使用され、それによってソリューションの開発が行われます。

12.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります: **X**、**P**、または空白 (接頭辞なし) (例: **IWR6243**)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち **TMDX** および **TMDS** の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリングプロトタイプ(**TMDX**)から、完全認定済みの量産デバイスツール(**TMDS**)まであります。

デバイスの開発進展フロー:

- X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。
- P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- 空白** 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

X および **P** デバイスと **TMDX** 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび **TMDS** 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(**X** または **P**)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージのタイプ (例: **ABL0161**) と温度範囲を表しています (たとえば、空白はデフォルトの民生用温度範囲を示します)。図 12-1 に、任意の **IWR6243** デバイスについて、完全なデバイス名を読み取るための凡例を示します。

ABL0161 パッケージ タイプの **IWR6243** デバイスの注文可能な型番については、このドキュメントにある「パッケージ オプションの付録」、TI ウェブ サイト (www.ti.com)、または TI の販売担当者にお問い合わせください。

デバイスの命名規則マーキングの詳細説明については、**IWR6243** デバイス エラッタを参照してください。

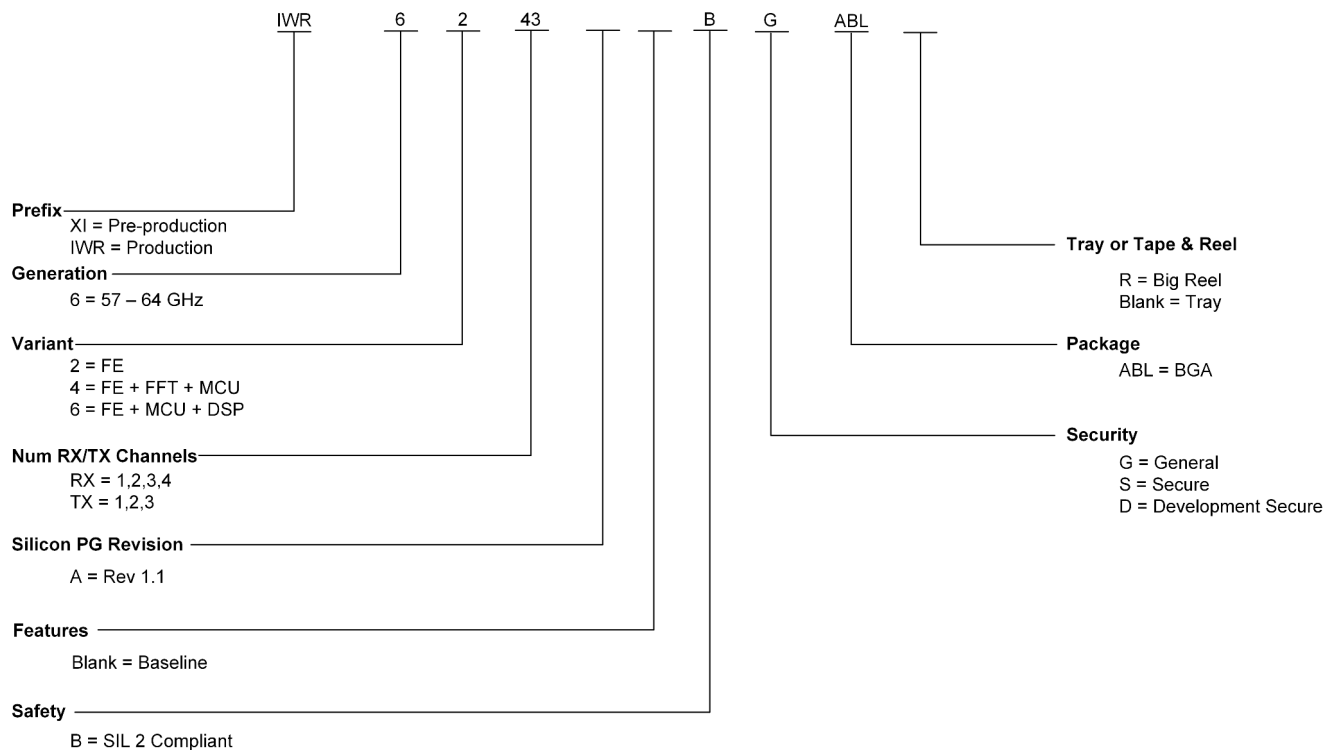


図 12-1. デバイスの命名規則

12.2 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[更新の通知を受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

DSP、関連ペリフェラル、その他の技術的事項を説明した最新のドキュメントを以下に示します。

エラッタ

IWR6243 デバイス エラッタ。

シリコンに関する既知の勧告、制限、注意事項を説明し、回避策を示しています。

12.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

12.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

12.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.6 輸出管理に関する注意事項

受領者は、ソフトウェアを含む製品または技術データ (米国、EU、その他の輸出管理規則で定義される)、または他の適用される国内規制によって制限されている制御製品を含む、非開示義務 (該当する場合) に基づき開示者から受け取った製品、または当該技術の直接製品を、米国または他の適用法によって輸出または再輸出が制限または禁止されている地域へ、米国商務省およびその他の管轄官庁から事前の許可を得ることなく、意図的に輸出または再輸出しないことに同意します。

12.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

13 メカニカル、パッケージ、および注文情報

13.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

注意

以下のパッケージ情報は、予告なく変更されることがあります。

付録：パッケージ オプション

パッケージ情報

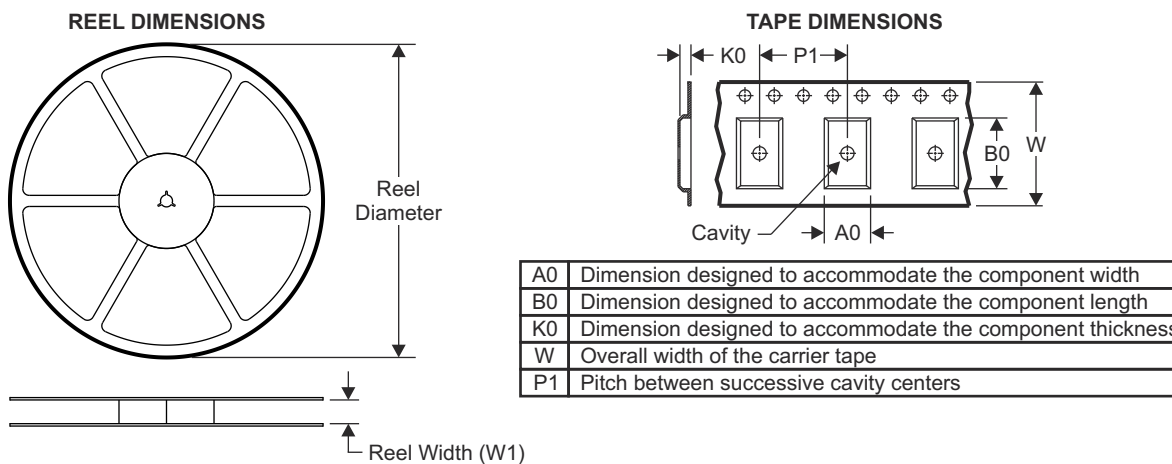
発注可能なデバイス	供給状況 ⁽¹⁾	パッケージ タイプ	パッケージ図	ピン	パッケージの数量	エコ プラン ⁽²⁾	リード / ボール仕上げ ⁽⁶⁾	MSL ピーク温度 ⁽³⁾	動作温度 (°C)	デバイス マーキング ^{(4) (5)}
IWR6243ABGA BL	アクティブ	FCCSP	ABL	161	176	RoHS & グリーン	TI のサポートにお電話ください	Level-3-260C-1 68 HR	-40～105	IWR6243 BG 592A ABL G1
IWR6243ABGA BLR	アクティブ	FCCSP	ABL	161	1000	RoHS & グリーン	TI のサポートにお電話ください	Level-3-260C-1 68 HR	-40～105	IWR6243 BG 592A ABL G1

- (1) マーケティング ステータスの値は次のように定義されています。
供給中: 新しい設計への使用が推奨される量産デバイス。
最終受注中: TI はデバイスの生産終了を発表しており、現在最終受注期間中です。
非推奨品: 新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。
量産開始前: 量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。
プレビュー: デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品: TI は、このデバイスの生産を終了しました。
- (2) エコ プラン - 環境に配慮した計画的な分類: 鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報、および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。
未定: 鉛フリー / グリーン転換プランが策定されていません。
鉛フリー (RoHS): テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した テキサス・インスツルメンツ鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。
鉛フリー (RoHS 適用除外): この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。
グリーン (RoHS 準拠、Sb/Br 非含有): テキサス・インスツルメンツにおける「グリーン」は、鉛フリー (RoHS 準拠) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。
- (3) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。
(4) ロゴ、ロットトレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。
(5) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「～」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。
(6) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。

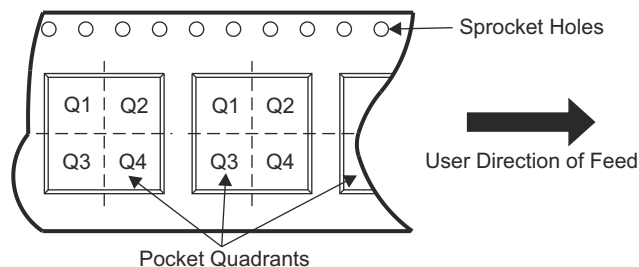
重要なお知らせと免責事項: このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

13.2 テープおよびリール情報

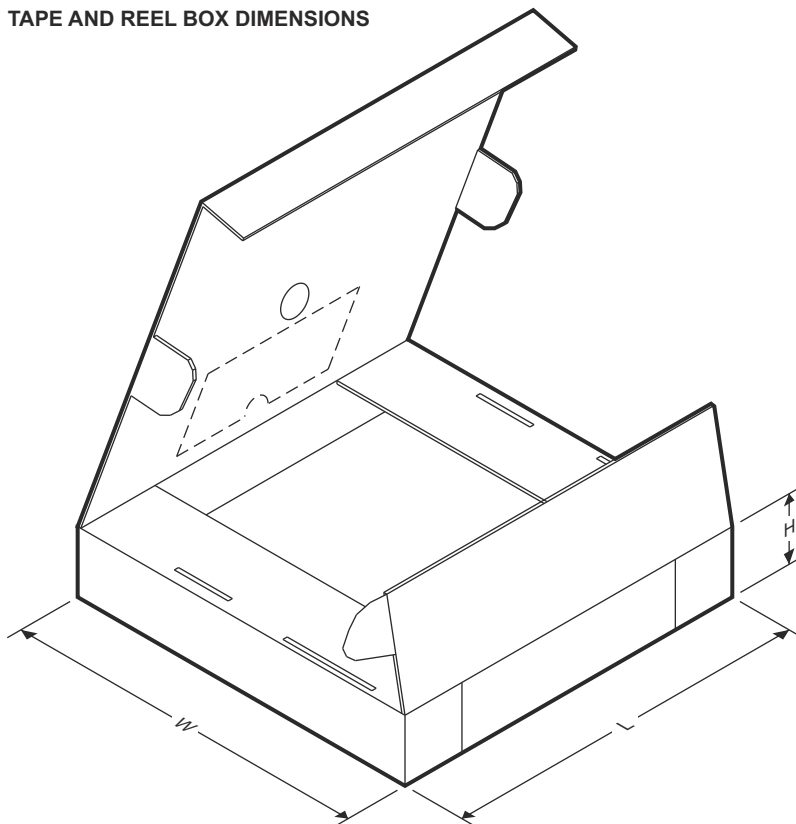


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



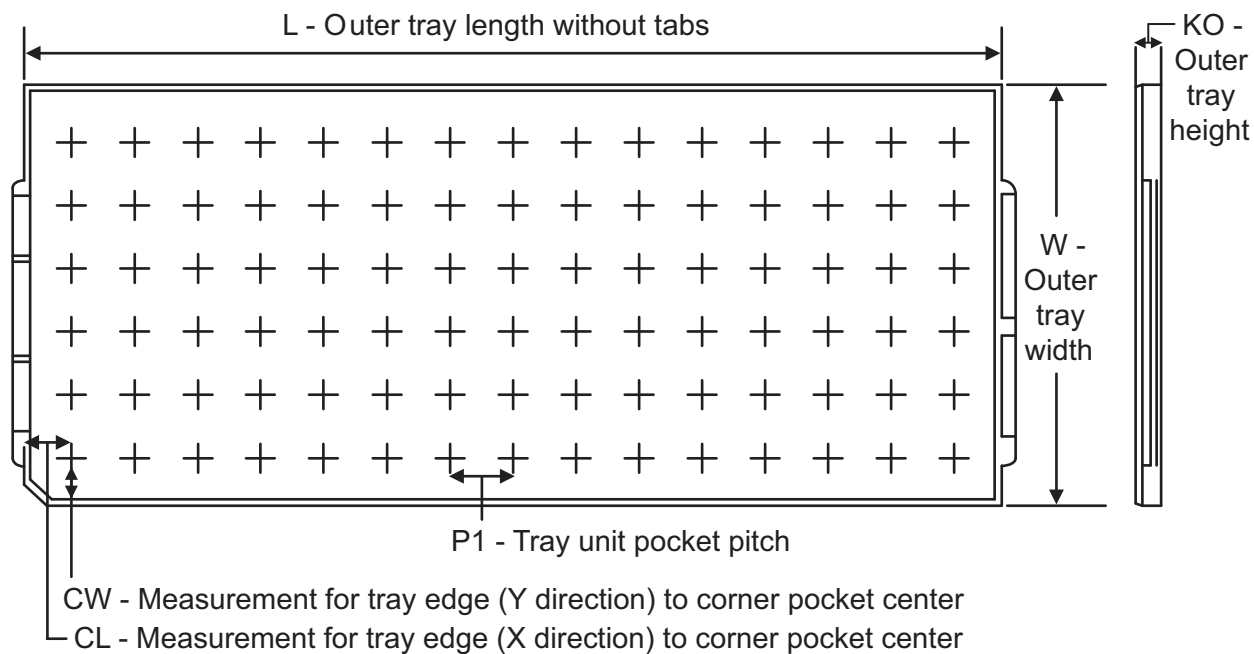
デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
IWR6243ABGABLR	FCCSP	ABL	161	1000	330.0	24.4	10.7	10.7	1.65	16.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
IWR6243ABGABLR	FCCSP	ABL	161	1000	336.6	336.6	41.3

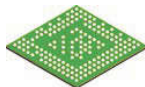
トレイ情報



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

デバイス	パッケージ タイプ	パッケージ 名	ピン	SPQ	製品のアレイ マトリクス	最大温度 (°C)	奥行き L (mm)	幅 W (mm)	K0 (mm)	P1 (mm)	切り欠きの奥行き CL (mm)	切り欠きの幅 CW (mm)
IWR6243ABGABL	ABL	FCCSP	161	176	8 x 22	150	315	135.9	7620	13.4	16.8	17.2

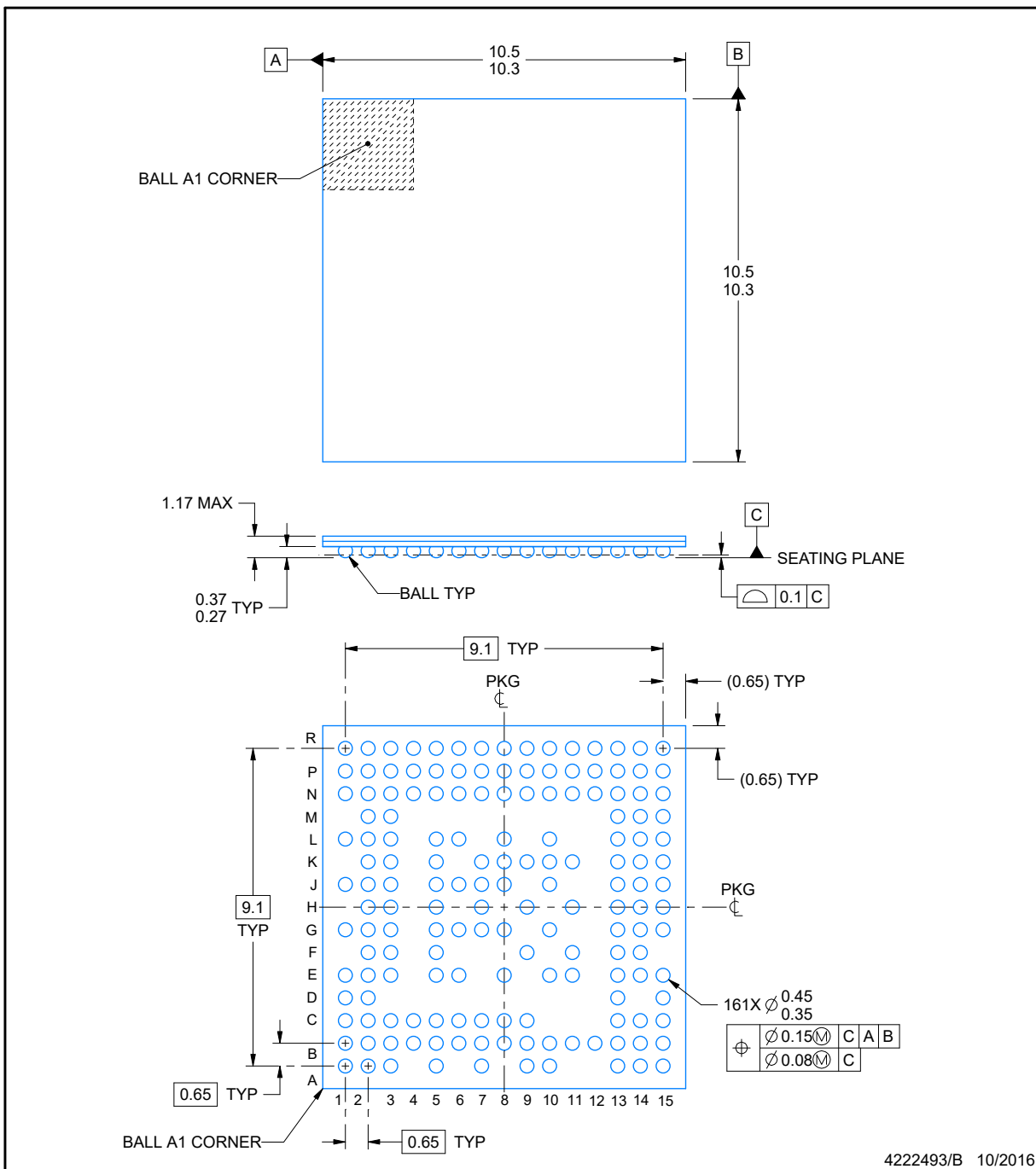
メカニカル データ



ABL0161A

FCBGA - 1.17 mm max height

PLASTIC BALL GRID ARRAY



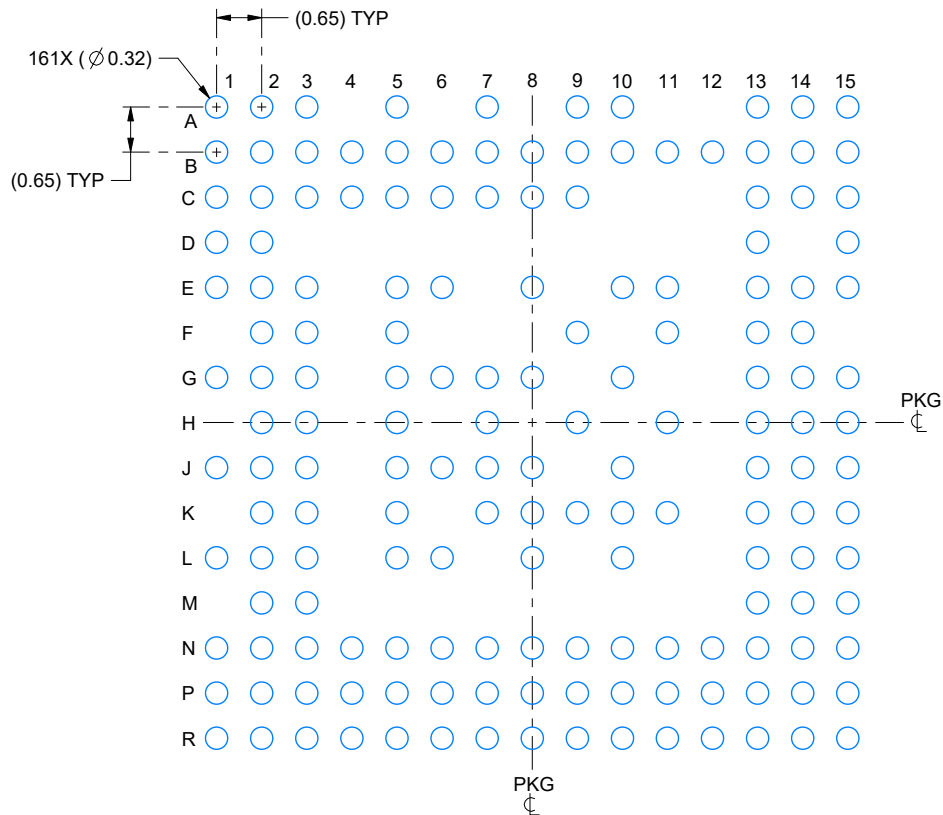
4222493/B 10/2016

NOTES:

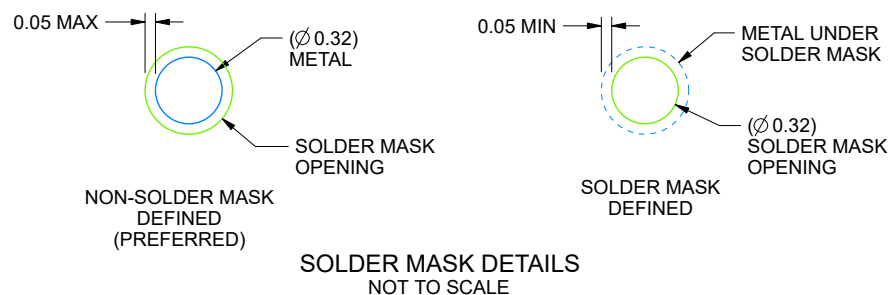
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT**ABL0161A****FCBGA - 1.17 mm max height**

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:10X



4222493/B 10/2016

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

ABL0161A

FCBGA - 1.17 mm max height

PLASTIC BALL GRID ARRAY



4222493/B 10/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
IWR6243ABGABL	Active	Production	FCCSP (ABL) 161	176 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 105	IWR6243 BG 592A (592A ABL, 592 A ABL)
IWR6243ABGABL.B	Active	Production	FCCSP (ABL) 161	176 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 105	IWR6243 BG 592A (592A ABL, 592 A ABL)
IWR6243ABGABLR	Active	Production	FCCSP (ABL) 161	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 105	IWR6243 BG 592A (592A ABL, 592 A ABL)
IWR6243ABGABLR.B	Active	Production	FCCSP (ABL) 161	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 105	IWR6243 BG 592A (592A ABL, 592 A ABL)

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

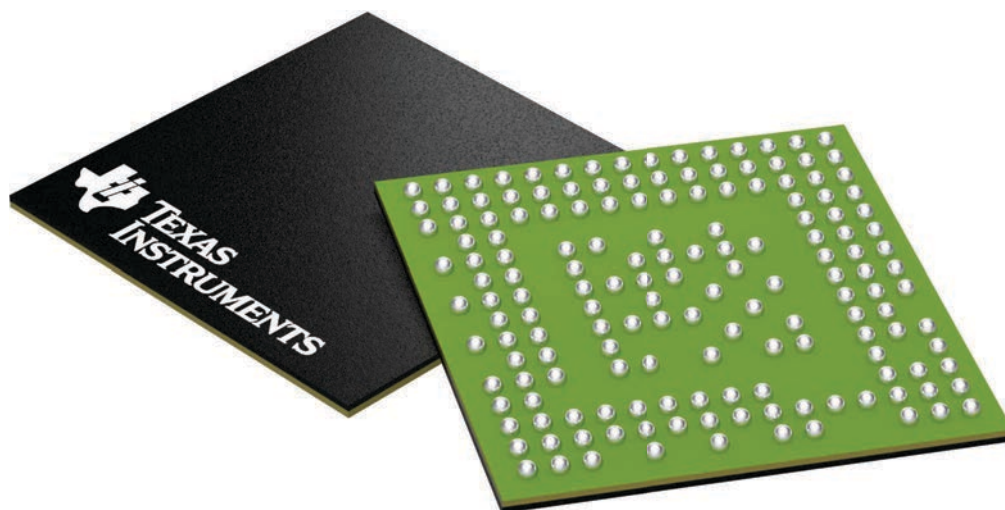
ABL 161

FCBGA - 1.17 mm max height

10.4 x 10.4, 0.65 mm pitch

PLASTIC BALL GRID ARRAY

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225978/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月