

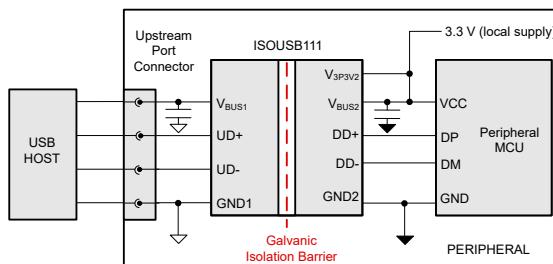
ISOUSB111 Full/Low-Speed 絶縁型 USB リピータ

1 特長

- USB 2.0 準拠
- Low-speed (1.5Mbps) および Full-speed (12Mbps) の信号処理をサポート
- 速度と接続の自動検出
- L1 (スリープ) と L2 (サスペンド) の低消費電力状態をサポート
- USB On-The-Go (OTG) および Type-C® デュアルロールポート (DRP) 設計のための自動ロール反転をサポート
- 高 CMTI: 100kV/μs
- V_{BUS} 電圧範囲: 4.25V ~ 5.5V
 - 3.3V の内部 LDO
- CISPR32 class B 放射型電磁波の制限に適合
- 周囲温度範囲: -40°C ~ 125°C
- 16-SOIC および 16-SSOP パッケージオプション
- 安全関連認証:
 - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した絶縁耐圧: 8000V_{PK} の V_{IOTM} , 2121V_{PK} の V_{IORM} (強化絶縁型)
 - UL 1577 に準拠した絶縁耐圧: 5000V_{RMS} (1 分間)
 - IEC 62368-1、IEC 60601-1、IEC 61010-1 認証
 - CQC、TUV、CSA 認証
 - 16-SOIC の認証は取得済み、16-SSOP の認証は計画中

2 アプリケーション

- USB ハブ、ホスト、ペリフェラル、ケーブルの絶縁
- 医療用
- ファクトリオートメーション
- モータードライブ
- グリッドインフラ
- パワー デリバリー
- USB オーディオ



アプリケーション図

3 説明

ISOUSB111 は、低速 (1.5Mbps) および全速 (12Mbps) の信号速度をサポートする、電気的に絶縁された USB 2.0 に準拠するリピータです。このデバイスは、接続および速度の自動検出、プルアップ / プルダウンの反映、リンクパワー マネージメント機能をサポートしているため、ドロップインにより USB ハブ、ホスト、ペリフェラル、ケーブルを絶縁できます。また、デバイスは自動的なロール反転もサポートします。切断後にアップストリーム側ポートで新しい接続が検出されると、アップストリームおよびダウンストリームのポート定義が反転します。この機能を使って本デバイスは USB On-The-Go (OTG) と Type-C デュアルロールポート (DRP) の実装に対応できます。耐圧 5000V_{RMS} の二酸化ケイ素 (SiO₂) 絶縁膜を採用しており、1500V_{RMS} の動作電圧を実現しています。絶縁型電源と組み合わせて使用すると、高電圧に対して保護とともに、バスからのノイズ電流がローカル グランドに入り込むことを防止できます。ISOUSB111 デバイスは、強化絶縁に対応しています。このデバイスは、-40°C ~ 125°C の広い周囲温度範囲をサポートしています。このデバイスは、SOIC-16 (16-DW) パッケージと小型の SSOP-16 (16-DWX) パッケージで供給されます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
ISOUSB111	SOIC (16) DW	10.30mm × 7.50mm
	SSOP (16) DWX	5.85mm × 7.50mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。

製品情報

部品番号	機能	定格
ISOUSB111 ⁽¹⁾	保護レベル	強化
	サージ絶縁電圧	12800V _{PK}
	定格絶縁電圧	5000V _{RMS}
	絶縁動作電圧	1500V _{RMS} / 2121V _{PK}

(1) 強化絶縁オプション。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLLSFC6](#)

目次

1 特長	1	7 詳細説明	15
2 アプリケーション	1	7.1 概要	15
3 説明	1	7.2 機能ブロック図	15
4 ピン構成および機能	3	7.3 機能説明	16
5 仕様	5	7.4 デバイスの機能モード	17
5.1 絶対最大定格	5	8 アプリケーションと実装	18
5.2 ESD 定格	5	8.1 代表的なアプリケーション	18
5.3 推奨動作条件	5	8.2 電源に関する推奨事項	21
5.4 熱に関する情報	6	8.3 レイアウト	22
5.5 電力定格	6	9 デバイスおよびドキュメントのサポート	24
5.6 絶縁仕様	7	9.1 ドキュメントのサポート	24
5.7 安全関連認証	8	9.2 ドキュメントの更新通知を受け取る方法	24
5.8 安全限界値	8	9.3 サポート・リソース	24
5.9 電気的特性	9	9.4 商標	24
5.10 スイッチング特性	11	9.5 静電気放電に関する注意事項	24
5.11 絶縁特性曲線	13	9.6 用語集	24
5.12 代表的特性	13	10 改訂履歴	24
6 パラメータ測定情報	14	11 メカニカル、パッケージ、および注文情報	25
6.1 テスト回路	14	11.1 テープおよびリール情報	32

4 ピン構成および機能

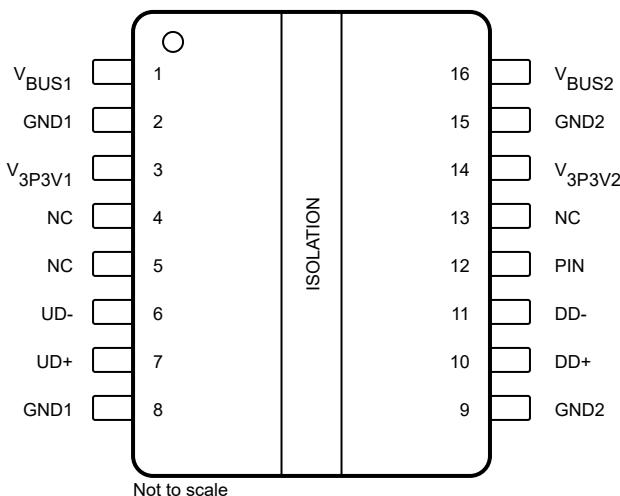


図 4-1. DW パッケージ 16 ピン SOIC 上面図

表 4-1. ピン機能 — 16 DW

番号	ピン 名称	種類 ⁽¹⁾	説明
1	V _{BUS1}	—	サイド 1 の入力電源。4.25V ~ 5.5V (例:USB パワー バス) 電源が利用可能な場合は、その電源を V _{BUS1} に接続します。この場合、内部 LDO が V _{3P3V1} を生成します。それ以外の場合は、V _{BUS1} と V _{3P3V1} を外部の 3.3V 電源に接続します。
2	GND1	—	グランド 1。アイソレータ側 1 のグランド リファレンス。
3	V _{3P3V1}	—	サイド 1 の電源。4.25V~5.5V の電源を V _{BUS1} に接続する場合、V _{3P3V1} と GND1 の間にバイパス コンデンサを接続します。この場合、内部 LDO が V _{3P3V1} を生成します。それ以外の場合は、V _{BUS1} と V _{3P3V1} を外部の 3.3V 電源に接続します。
4	NC	—	できればフローティングのままにするか、V _{3P3V1} に接続します。GND1 に接続することも許容されます。
5	NC	—	できればフローティングのままにするか、V _{3P3V1} に接続します。GND1 に接続することも許容されます。
6	UD-	I/O	アップストリーム側ポート D-。
7	UD+	I/O	アップストリーム側ポート D+。
8	GND1	—	グランド 1。アイソレータ側 1 のグランド リファレンス。
9	GND2	—	グランド 2。アイソレータ側 2 のグランド リファレンス。
10	DD+	I/O	ダウンストリーム側ポート D+。
11	DD-	I/O	ダウンストリーム側ポート D-。
12	ビン	I	アップストリーム プルアップ イネーブル。このピンが Low の場合、DD+ と DD- のプルアップは認識されません。
13	NC	—	できればフローティングのままにするか、V _{3P3V2} に接続します。GND2 に接続することも許容されます。
14	V _{3P3V2}	—	サイド 2 の電源。4.25V~5.5V の電源を V _{BUS2} に接続する場合、V _{3P3V2} と GND1 の間にバイパス コンデンサを接続します。この場合、内部 LDO が V _{3P3V2} を生成します。それ以外の場合は、V _{BUS2} と V _{3P3V2} を外部の 3.3V 電源に接続します。
15	GND2	—	グランド 2。アイソレータ側 2 のグランド リファレンス。
16	V _{BUS2}	—	サイド 2 の入力電源。4.25V ~ 5.5V (例:USB パワー バス) 電源が利用可能な場合は、その電源を V _{BUS2} に接続します。この場合、内部 LDO が V _{3P3V2} を生成します。それ以外の場合は、V _{BUS2} と V _{3P3V2} を外部の 3.3V 電源に接続します。

(1) I = 入力、O = 出力

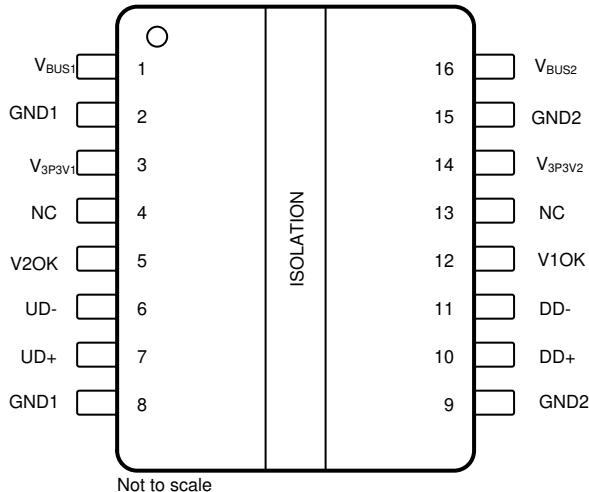


図 4-2. DWX パッケージ 16 ピン SSOP 上面図

表 4-2. ピン機能 — 16 DWX

番号	ピン 名称	種類 ⁽¹⁾	説明
1	V _{BUS1}	—	サイド 1 の入力電源。4.25V ~ 5.5V (例:USB パワー バス) 電源が利用可能な場合は、その電源を V _{BUS1} に接続します。この場合、内部 LDO が V _{3P3V1} を生成します。それ以外の場合は、V _{BUS1} と V _{3P3V1} を外部の 3.3V 電源に接続します。
2	GND1	—	グランド 1。アイソレータ側 1 のグランド リファレンス。
3	V _{3P3V1}	—	サイド 1 の電源。4.25V~5.5V の電源を V _{BUS1} に接続する場合、V _{3P3V1} と GND1 の間にバイパス コンデンサを接続します。この場合、内部 LDO が V _{3P3V1} を生成します。それ以外の場合は、V _{BUS1} と V _{3P3V1} を外部の 3.3V 電源に接続します。
4	NC	—	フローティングのままにするか、V _{3P3V1} に接続します。
5	V2OK	O	このピンが High レベルの場合、サイド 2 に電源が投入されていることを示します。
6	UD-	I/O	アップストリーム側ポート D-。
7	UD+	I/O	アップストリーム側ポート D+。
8	GND1	—	グランド 1。アイソレータ側 1 のグランド リファレンス。
9	GND2	—	グランド 2。アイソレータ側 2 のグランド リファレンス。
10	DD+	I/O	ダウンストリーム側ポート D+。
11	DD-	I/O	ダウンストリーム側ポート D-。
12	V1OK	—	このピンが High レベルの場合、サイド 1 に電源が投入されていることを示します。
13	NC	—	フローティングのままにするか、V _{3P3V2} に接続します。
14	V _{3P3V2}	—	サイド 2 の電源。4.25V~5.5V の電源を V _{BUS2} に接続する場合、V _{3P3V2} と GND1 の間にバイパス コンデンサを接続します。この場合、内部 LDO が V _{3P3V2} を生成します。それ以外の場合は、V _{BUS2} と V _{3P3V2} を外部の 3.3V 電源に接続します。
15	GND2	—	グランド 2。アイソレータ側 2 のグランド リファレンス。
16	V _{BUS2}	—	サイド 2 の入力電源。4.25V ~ 5.5V (例:USB パワー バス) 電源が利用可能な場合は、その電源を V _{BUS2} に接続します。この場合、内部 LDO が V _{3P3V2} を生成します。それ以外の場合は、V _{BUS2} と V _{3P3V2} を外部の 3.3V 電源に接続します。

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
V_{BUS1} 、 V_{BUS2}	V_{BUS} 電源電圧	-0.3	6	V
V_{3P3V1} 、 V_{3P3V2}	3.3V の入力電源電圧	-0.3	4.25	V
V_{DPDM}	バスピンの電圧 (UD+、UD-、DD+、DD-)、合計 1000 回の短絡イベント、累積期間 1000 時間。	-0.3	6	V
V_{IO}	IO 電圧範囲 (PIN、V*OK)	-0.3	$V_{3P3Vx} + 0.3^{(3)}$	V
I_o	出力ピンの出力電流 (V*OK)	-10	10	mA
T_J	接合部温度		150	°C
T_{STG}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) すべての電圧値は、ローカル グランド端子 (GND1 または GND2) を基準としており、ピーク電圧値です。

(3) 最大電圧は 4.25V 以下である必要があります

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、DW パッケージ、すべてのピン ⁽¹⁾	±2000	V
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、DWX パッケージ、すべてのピン ⁽¹⁾	±1500	V
$V_{(ESD)}$	静電放電	デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	±500	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{BUSx}	V_{BUS} 入力電圧 (リップルを含む)	4.25	5	5.5	V
V_{3P3Vx}	3.3V の入力電源電圧 (リップルを含む)	3.0	3.3	3.6	V
T_A	自由空気での動作温度	-40		125	°C
T_J	接合部温度	-55		150	°C

5.4 热に関する情報

热評価基準 1 ⁽¹⁾		ISOUSB111		単位
		DW (SOIC)	DWX (SSOP)	
		16 ピン	16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	53.4	60.6	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	19.6	22.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	22.3	27	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	2.4	2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	21.6	26.1	°C/W
R _{θJC(bot)}	接合部からケース(底面)への熱抵抗	-	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションノートを参照してください。

5.5 電力定格

パラメータ	テスト条件	最小値	標準値	最大値	単位
ISOUSB111					
P _D	最大消費電力(両サイド)	V _{BUS1} = V _{BUS2} = 5.5V, T _J = 150°C, C _L = 50pF (DD- および DD+)、6MHz 50% のデューティサイクル、差動 3.3V 方形波を UD- および UD+ に入力	157	157	mW
P _{D1}	最大消費電力(サイド 1)		72	72	mW
P _{D2}	最大消費電力(サイド 2)		85	85	mW

5.6 絶縁仕様

パラメータ	テスト条件	仕様		単位	
		DW-16	DWX-16		
IEC 60664-1					
CLR	外部空間距離 ⁽¹⁾	空気を通したサイド 1 とサイド 2 の距離	>8	>8 mm	
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面上でのサイド 1 とサイド 2 の距離	>8	>8 mm	
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>21	>21 μm	
CTI	比較トラッキング インデックス	IEC 60112、UL 746A	>600	>600 V	
過電圧カテゴリ	材料グループ	IEC 60664-1 に準拠	I	I	
	定格商用電源 V_{RMS} が 600V 以下	I-IV	I-IV		
	定格商用電源 V_{RMS} が 1000V 以下	I-III	I-III		
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾					
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	2121	2121 V_{PK}	
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト	1500	1500 V_{RMS}	
		DC 電圧	2121	2121 V_{DC}	
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}, t = 60s$ (認定時テスト)、 $V_{TEST} = 1.2 \times V_{IOTM}, t = 1s$ (100% 出荷時テスト)	8000	8000 V_{PK}	
V_{IMP}	最大インパルス電圧 ⁽³⁾	IEC 62368-1 に準拠し空気中でテスト、1.2/50μs の波形	8000	8000 V_{PK}	
V_{IOSM}	最大サージ絶縁電圧 ⁽⁴⁾	IEC 62368-1 に準拠し、油中で 1.2/50μs の波形でテスト済みです (認定時テスト)	12800	12800 V_{PK}	
q_{pd}	見掛けの電荷 ⁽⁵⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}, t_{ini} = 60s, V_{pd(m)} = 1.2 \times V_{IORM}, t_m = 10s$	≤ 5	≤ 5	
		方法 a: 環境テスト サブグループ 1 の後、 $V_{ini} = V_{IOTM}, t_{ini} = 60s, V_{pd(m)} = 1.6 \times V_{IORM}, t_m = 10s$	≤ 5	≤ 5	
		メソッド b: ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) の場合、 $V_{ini} = 1.2 \times V_{IOTM}, t_{ini} = 1s, V_{pd(m)} = 1.875 \times V_{IORM}, t_m = 1s$ (方法 b1) または $V_{pd(m)} = V_{ini}, t_m = t_{ini}$ (方法 b2)	≤ 5	≤ 5 pC	
C_{IO}	絶縁バリア容量、入力から出力へ ⁽⁶⁾	$V_{IO} = 0.4 \times \sin(2\pi f \cdot 2\text{ft}), f = 1\text{MHz}$	0.8	0.7 pF	
R_{IO}	絶縁抵抗、入力から出力へ ⁽⁶⁾	$V_{IO} = 500V, T_A = 25^\circ C$	$> 10^{12}$	$> 10^{12}$	
		$V_{IO} = 500V (100^\circ C \leq T_A \leq 125^\circ C$ 時)	$> 10^{11}$	$> 10^{11}$	
		$V_{IO} = 500V (T_S = 150^\circ C$ 時)	$> 10^9$	$> 10^9$	
汚染度			2	2	
耐候性カテゴリ			40/125/21	40/125/21	
UL 1577					
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}, t = 60s$ (認定時テスト)、 $V_{TEST} = 1.2 \times V_{ISO}, t = 1s$ (100% 出荷時テスト)	5000	5000 V_{RMS}	

- (1) 基板設計時には、プリント基板 (PCB) 上のアイソレータの取り付けパッドによって沿面距離と空間距離が減少しないように注意する必要があります。グループ、リブ、または両方を挿入すると、PCB の沿面距離を延長できます。
- (2) ISOUSB111 は、安全定格内に限定した安全な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
- (4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
- (5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (6) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.7 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 61010-1、IEC 62368-1、IEC 60601-1 による認証	UL 1577 部品認定プログラムの認定	GB 4943.1 に従う認証	EN 61010-1 および EN 62368-1 による認証
強化絶縁、最大過渡絶縁電圧、 ISOUSB111:7071V _{PK} 最大反復ピーク絶縁電圧、 2121V _{PK} 、 最大サージ絶縁電圧、 ISOUSB111:12800V _{PK} (強化)	CSA 62368-1 および IEC 62368-1 による強化絶縁 ISOUSB111:800V _{RMS} 最大動作電圧 (汚染度 2、 材料グループ I)、 ISOUSB111:2 MOPP ----- (Means of Patient Protection)、CSA 60601-1 および IEC 60601-1 に準拠、最大動作電圧 250V _{RMS}	单一保護、 ISOUSB111:5000V _{RMS}	強化絶縁、高度≤5000m、 熱帯気候、 最大動作電圧 700V _{RMS}	EN 61010-1 による 5000V _{RMS} 強化絶縁、最大 動作電圧 600V _{RMS} ----- EN 62368-1 による 5000V _{RMS} 強化絶縁、最大 動作電圧 800V _{RMS}
認証書番号:40040142	マスター契約:220991	ファイル番号:E181974	認証:CQC15001121716	クライアント ID:77311

5.8 安全限界値

安全限界値 ⁽¹⁾ の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DW-16 パッケージ						
I _S	安全入力、出力、または電源電流	R _{θJA} = 53.4°C/W、V _I = 5.5V、T _J = 150°C、 T _A = 25°C、図 5-1 参照		425		mA
		R _{θJA} = 53.4°C/W、V _I = 3.6V、T _J = 150°C、 T _A = 25°C、図 5-1 を参照		650		mA
P _S	安全入力、出力、または合計電力	R _{θJA} = 53.4°C/W、T _J = 150°C、T _A = 25°C、 図 5-3 を参照		2340		mW
T _S	最高安全温度			150		°C
DWX-16 パッケージ						
I _S	安全入力、出力、または電源電流	R _{θJA} = 60.6°C/W、V _I = 5.5V、T _J = 150°C、 T _A = 25°C、図 5-2 参照		374		mA
		R _{θJA} = 60.6°C/W、V _I = 3.6V、T _J = 150°C、 T _A = 25°C、図 5-2 を参照		572		mA
P _S	安全入力、出力、または合計電力	R _{θJA} = 60.6°C/W、T _J = 150°C、T _A = 25°C、 図 5-4 を参照		2062		mW
T _S	最高安全温度			150		°C

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超えてはなりません。これらの限界値は、周囲温度 T_A によって異なります。

表にある接合部から空気への熱抵抗 R_{θJA} は、リード付き表面実装パッケージ向けの High-K テストボードに実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。

T_J = T_A + R_{θJA} × P、ここで P は本デバイスで消費される電力です。

T_{J(max)} = T_S = T_A + R_{θJA} × P_S、ここで T_{J(max)} は最大許容接合部温度です。

P_S = I_S × V_I、ここで V_I は最大入力電圧です。

5.9 電気的特性

推奨動作条件範囲内(特に記述のない限り)。すべての標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUS}x} = 5\text{V}$ 、 $V_{3\text{P}3\text{V}x} = 3.3\text{V}$ です。

パラメータ	テスト条件	最小値	標準値	最大値	単位
電源の特性					
$I_{\text{V}\text{B}\text{U}\text{S}x}$ または $I_{\text{V}3\text{P}3\text{V}x}$	V_{BUS} または $V_{3\text{P}3\text{V}}$ の消費電流 - Full-Speed (FS) および Low-Speed (LS) モード	受信側 FS アクティブ (6MHz 信号レート)、図 7-9、 $C_L = 50\text{pF}$	12	15.3	mA
		送信側 FS アクティブ (6MHz 信号レート)、図 7-9、 $C_L = 50\text{pF}$	9.5	13	mA
		受信側 LS アクティブ (750kHz 信号レート)、図 7-10、 $C_L = 450\text{pF}$	11	13.5	mA
		送信側 LS アクティブ (750kHz 信号レート)、図 7-10、 $C_L = 450\text{pF}$	9.5	13	mA
		FS/LS アイドル状態 (US 側または DS 側)	7.4	11	mA
$I_{\text{V}\text{B}\text{U}\text{S}x}$ または $I_{\text{V}3\text{P}3\text{V}x}$	V_{BUS} または $V_{3\text{P}3\text{V}}$ の消費電流 - L1 スリープモード	アップストリーム側	7.5	9.8	mA
		ダウンストリーム側	7.3	9.5	mA
$I_{\text{V}\text{B}\text{U}\text{S}x}$ または $I_{\text{V}3\text{P}3\text{V}x}$	V_{BUS} または $V_{3\text{P}3\text{V}}$ の消費電流 - L2 サスペンションモード	アップストリーム側	1.07	1.55	mA
		ダウンストリーム側	5.6	7.5	mA
$I_{\text{V}\text{B}\text{U}\text{S}x}$ または $I_{\text{V}3\text{P}3\text{V}x}$	V_{BUS} または $V_{3\text{P}3\text{V}}$ の消費電流 - 接続なし	アップストリーム側	6.2	8.5	mA
		ダウンストリーム側	6.2	8.9	mA
$UV_{+(V\text{B}\text{U}\text{S}x)}$ ⁽¹⁾	電源電圧が上昇しているときの低電圧スレッショルド、 V_{BUS}			4.0	V
$UV_{-(V\text{B}\text{U}\text{S}x)}$ ⁽¹⁾	電源電圧が低下しているときの低電圧スレッショルド、 V_{BUS}		3.6		V
$UVHYS_{(V\text{B}\text{U}\text{S}x)}$ ⁽¹⁾	低電圧スレッショルド ヒステリシス、 V_{BUS}		0.08		V
$UV_{+(V3\text{P}3\text{V}x)}$	電源電圧が上昇しているときの低電圧スレッショルド、 $V_{3\text{P}3\text{V}}$			2.95	V
$UV_{-(V3\text{P}3\text{V}x)}$	電源電圧が低下しているときの低電圧スレッショルド、 $V_{3\text{P}3\text{V}}$		1.95		V
$UVHYS_{(V3\text{P}3\text{V}x)}$	低電圧スレッショルド ヒステリシス、 $V_{3\text{P}3\text{V}}$		0.11		V
デジタル入力					
V_{IH}	High レベル入力電圧		$0.7 \times V_{3\text{P}3\text{V}x}$		V
V_{IL}	Low レベル入力電圧			$0.3 \times V_{3\text{P}3\text{V}x}$	V
V_{IHYS}	入力遷移スレッショルドのヒステリシス		0.3		V
I_{IH}	High レベル入力電流			1	μA
I_{IL}	Low レベル入力電流			10	μA
デジタル出力 (V1OK, V2OK)					
V_{OH}	High レベル出力電圧	$I_O = -3\text{mA}$ ($3.0\text{V} \leq V_{3\text{P}3\text{V}x} \leq 3.6\text{V}$ の場合)	$V_{3\text{P}3\text{V}x} - 0.2$		V
V_{OL}	Low レベル出力電圧	$I_O = 3\text{mA}$ ($3.0\text{V} \leq V_{3\text{P}3\text{V}x} \leq 3.6\text{V}$ の場合)		0.2	V
UDx, DDx, 入力容量、終端					
$Z_{\text{INP_xDx}}$	GND へのインピーダンス、プルアップ / ブルダウンなし	$V_{in} = 3.6\text{V}$ 、 $V_{3\text{P}3\text{V}x} = 3.0\text{V}$ 、 $T_J < 125^\circ\text{C}$ 、USB 2.0 仕様セクション 7.1.6	300		$\text{k}\Omega$
C_{IO_xDx}	対 GND 静電容量	240MHz の VNA、ハイインピーダンスのドライバで測定		10	pF
R_{PUI}	アップストリーム側ポート(アイドル)のバスプルアップ抵抗	USB 2.0 仕様セクション 7.1.5	0.9	1.1	$1.575 \text{ k}\Omega$

推奨動作条件範囲内(特に記述のない限り)。すべての標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{3\text{P}3\text{Vx}} = 3.3\text{V}$ です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{PUR}	アップストリーム側ポート(受信側)のバスプルアップ抵抗	USB 2.0 仕様セクション 7.1.5	1.5	2.2	3	$\text{k}\Omega$
R_{PD}	ダウンストリーム側ポートのバス プルダウン抵抗	USB 2.0 仕様セクション 7.1.5	14.25	19	24.8	$\text{k}\Omega$
V_{TERM}	アップストリーム側ポート プルアップ(RPU)の終端電圧	USB 2.0 仕様セクション 7.1.5、D+ または D- で測定、アップストリーム ポートでプルアップイネーブル、外部負荷は接続解除。	3	3.6	3.6	V
UDx、DDx、入力レベル LS/FS						
V_{IH}	High (駆動)	USB 2.0 仕様セクション 7.1.4 (コネクタで測定)	2			V
V_{IHZ}	High (フローティング)	USB 2.0 仕様セクション 7.1.4 (ホストのダウンストリーム ポートのプルダウン抵抗がイネーブル、およびデバイスが 3.0V~3.6V にプルアップ)。	2.7	3.6	3.6	V
V_{IL}	Low	USB 2.0 仕様セクション 7.1.4		0.8	0.8	V
V_{DI}	差動入力感度	$ (\text{x}\text{D}+) - (\text{x}\text{D}-) $ 、USB 2.0 仕様、図 7-19、(コネクタで測定)	0.2			V
V_{CM}	同相範囲	VDI 範囲を含む、USB 2.0 仕様、図 7-19、(コネクタで測定)	0.8	2.5	2.5	V
UDx、DDx、出力レベル LS/FS						
V_{OL}	Low	USB 2.0 仕様セクション 7.1.1、($0.9\text{k}\Omega$ の RL で 3.6V までコネクタで測定)	0	0.3	0.3	V
V_{OH}	High (駆動)	USB 2.0 仕様セクション 7.1.1、($14.25\text{k}\Omega$ の RL で GND までコネクタで測定。)	2.8	3.6	3.6	V
V_{OSE1}	SE1	USB 2.0 仕様セクション 7.1.1	0.8			V
Z_{FSTERM}	ドライバ シリーズの出力抵抗	USB 2.0 仕様セクション 7.1.1 および図 7-4、V _O L または V _O H の間に測定	28	44	44	Ω
V_{CRS}	出力信号クロスオーバー電圧	USB 2.0 仕様セクション 7.1.1 図 7-8、7-9、7-10 に従って測定、アイドル状態からの最初の遷移は除外	1.3	2	2	V
サーマル シャットダウン						
TSD+	サーマル シャットダウン起動温度		160	170	180	°C
TSD-	サーマル シャットダウン停止温度		150	160	170	°C
TSD _{HYS}	サーマル シャットダウンヒステリシス			10		°C

- (1) V_{BUSx} ピンが対応する $V_{3\text{P}3\text{Vx}}$ ピンに外部接続されている場合、 V_{BUSx} の UVLO スレッショルドは $UV+(V_{3\text{P}3\text{Vx}})$ 、 $UV-(V_{3\text{P}3\text{Vx}})$ 、 $UVHYS(V_{3\text{P}3\text{Vx}})$ によって制御されます

5.10 スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)。すべての標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{3\text{P}3\text{V}\text{x}} = 3.3\text{V}$ です。

パラメータ	テスト条件	最小値	標準値	最大値	単位
電源投入のタイミング					
T_{SUPRAMP}	V_{BUSx} および $V_{3\text{P}3\text{V}\text{x}}$ の外部電源で許容される電源ランプアップ時間		0.005	100	ms
T_{PWRUP}	サイド 1 とサイド 2 の両方に有効な電源が供給された後、デバイスの電源オンと USB 信号の認識に要する時間。	すべての外部電源は、5μs の電源投入時間で同時にランプアップされます。	3.6	8	ms
UDx、DDx、FS ドライバのスイッチング特性					
T_{FR}	立ち上がり時間 (10%~90%)	USB 2.0 仕様の図 7-8、図 7-9、 $C_L = 50\text{pF}$	4	20	ns
T_{FF}	立ち下がり時間 (10%~90%)	USB 2.0 仕様の図 7-8、図 7-9、 $C_L = 50\text{pF}$	4	20	ns
T_{FRFM}	差動立ち上がり / 立ち下がり時間マッチング ($T_{\text{FR}}/T_{\text{FM}}$)	USB 2.0 仕様 7.1.2、アイドル状態からの最初の遷移を除く、図 7-9、 $C_L = 50\text{pF}$	90	111.1	%
UDx、DDx、LS ドライバのスイッチング特性					
T_{LR}	立ち上がり時間 (10%~90%)	USB 2.0 仕様の図 7-8 および 7-10、 C_L の範囲は 50pF~600pF。	75	300	ns
T_{LF}	立ち下がり時間 (10%~90%)	USB 2.0 仕様の図 7-8 および 7-10、 C_L の範囲は 50pF~600pF。	75	300	ns
T_{LRFM}	立ち上がり / 立ち下がり時間マッチング ($T_{\text{LR}}/T_{\text{FM}}$)、アイドル状態からの最初の遷移は除外されます。	USB 2.0 仕様の図 7-8 および 7-10、 C_L の範囲は 50pF~600pF。	80	125	%
リピータのタイミング - 接続、切断、リセット、L1、L2					
T_{FILTCOMP}	FS または LS 接続検出でのデバウンス フィルタ		45	70	80
T_{DDIS}	LS/FS L0 モードでの DS 側ポートの切断を検出するまでの時間。		2	7	μs
T_{DETRST}	LS/FS L0 モードでの US ポートのリセット検出に要する時間		0	7	μs
T_{2SUSP}	バスが継続的にアイドル状態のとき、US 側がサスペンド モード (L2) を検出し、2.5mA 未満の電流を流すために要する時間。		3	10	ms
$t_{\text{DRESUMEL1}}$	US で再開を検出し、DS ポートでスリープ / L1 状態からの再開を反映 / 駆動するまでの最大時間。			1	μs
$t_{\text{DRESUMEL2}}$	US で再開を検出し、DS ポートでサスペンド / L2 状態からの再開を反映 / 駆動するまでの最大時間。			130	μs
t_{DWAKEL1}	sleep/L1 状態で、リモート ウェイクを検出して伝搬するまでの最大時間。			5	μs
t_{DWAKEL2}	サスペンド / L2 状態で、検出が保証されるリモート ウェイクの最大バルス幅。			900	μs
t_{DRSMPROP}	サスペンド / L2 状態で、リモート ウェイクを検出した後、アップストリームおよびダウンストリームで再開が駆動されるまでの最小期間。			1	ms
$CMTI$	同相過渡耐性	PK-PK 同相ノイズ、 $V_{\text{CMPPK}} = 1200\text{V}$ 、USB データ転送中、 図 6-2 を参照してください	75	100	kV/μs

推奨動作条件範囲内(特に記述のない限り)。すべての標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{\text{3P3Vx}} = 3.3\text{V}$ です。

パラメータ	テスト条件	最小値	標準値	最大値	単位
リピータのタイミング - LS、FS					
T_{LSDD}	Low-Speed 差動データ伝搬遅延	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。		358	ns
T_{LSOP}	SOP 後の LS データのビット幅の歪み	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-40	25	ns
T_{LSJP}	LS リピータの追加ジッタ - ペア遷移	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-5	5	ns
T_{LSJN}	LS リピータの追加ジッタ - 次の遷移	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-7.0	7.0	ns
T_{LST}	LS 差動遷移中の SE0 間隔の最小幅 - リピータによってフィルタ処理されます	USB 2.0 仕様セクション 7.1.4。		210	ns
T_{LEOPD}	T_{LSDD} に対するリピータ EOP 遅延	USB 2.0 仕様セクション 7.1.14。図 7-53(C)。	0	200	ns
T_{LESK}	LS EOP 中にリピータが引き起こす SE0 スキュー	USB 2.0 仕様セクション 7.1.14。図 7-53(C)。	-100	100	ns
T_{FSDD}	Full-Speed 差動データ伝搬遅延	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。		70	ns
T_{FSOP}	SOP 後の FS データのビット幅の歪み	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-10	10	ns
T_{FSJP}	FS リピータの追加ジッタ - ペア遷移	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-2	2	ns
T_{FSJN}	FS リピータの追加ジッタ - 次の遷移	USB 2.0 仕様セクション 7.1.14。図 7-52(C)。	-6.0	6.0	ns
T_{FST}	FS 差動遷移中の SE0 間隔の最小幅 - リピータによってフィルタ処理されます	USB 2.0 仕様セクション 7.1.4。		14	ns
T_{FEOPD}	T_{FSDD} に対するリピータ EOP 遅延	USB 2.0 仕様セクション 7.1.14。図 7-53(C)。	0	17	ns
T_{FESK}	FS EOP 中にリピータが引き起こす SE0 スキュー	USB 2.0 仕様セクション 7.1.14。図 7-53(C)。	-15	15	ns

5.11 絶縁特性曲線

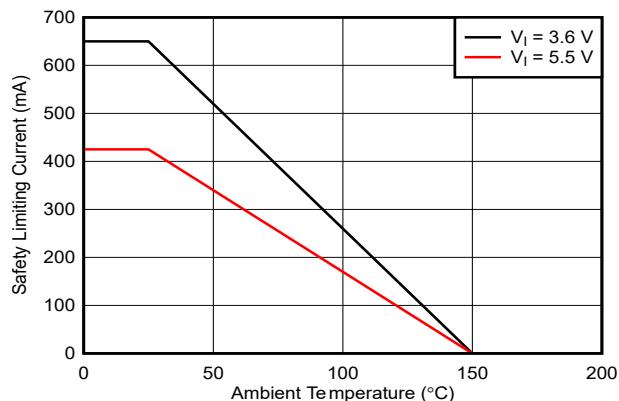


図 5-1. DW-16 パッケージの VDE に従う制限電流の熱特性低下曲線

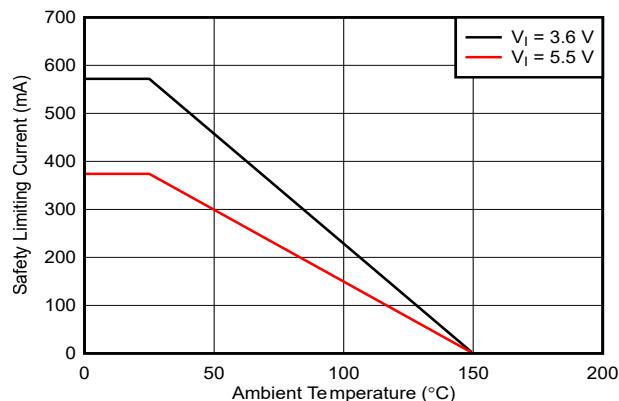


図 5-2. DWX-16 パッケージの VDE に従う制限電流の熱特性低下曲線

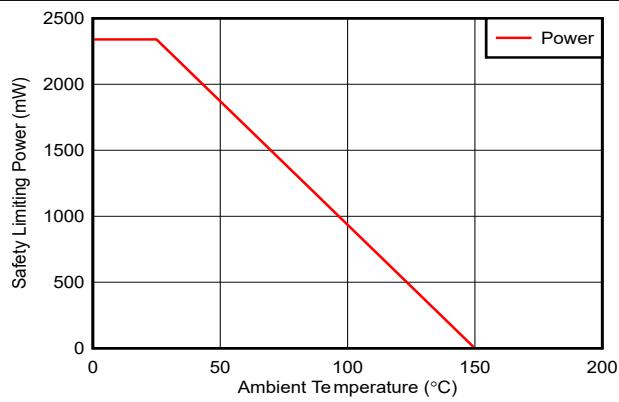


図 5-3. DW-16 パッケージの VDE に従う制限電力の熱特性低下曲線

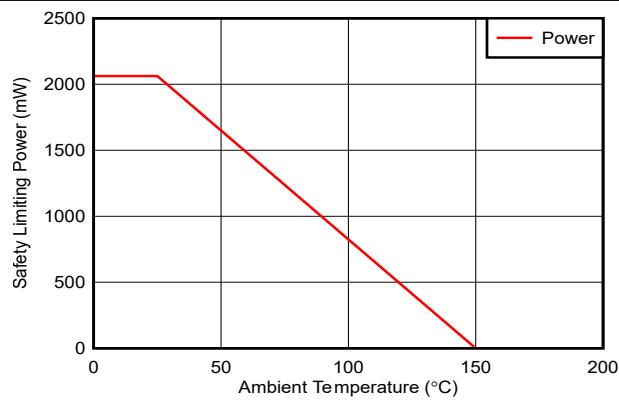


図 5-4. DWX-16 パッケージの VDE に従う制限電力の熱特性低下曲線

5.12 代表的特性

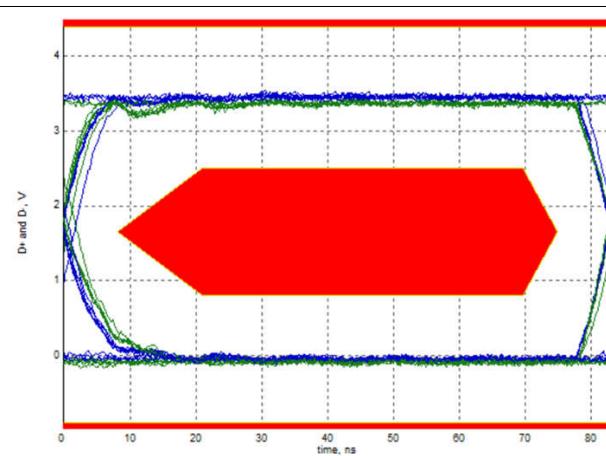


図 5-5. ISOUSB111 による標準 Full-Speed (12Mbps) アイダイアグラム

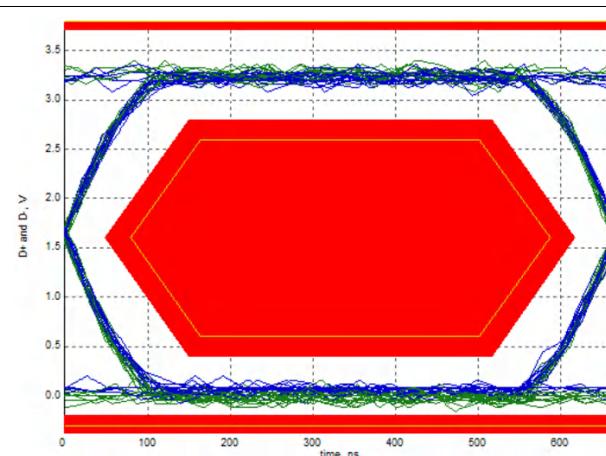


図 5-6. ISOUSB111 による標準 Low-Speed (1.5Mbps) アイダイアグラム

6 パラメータ測定情報

6.1 テスト回路

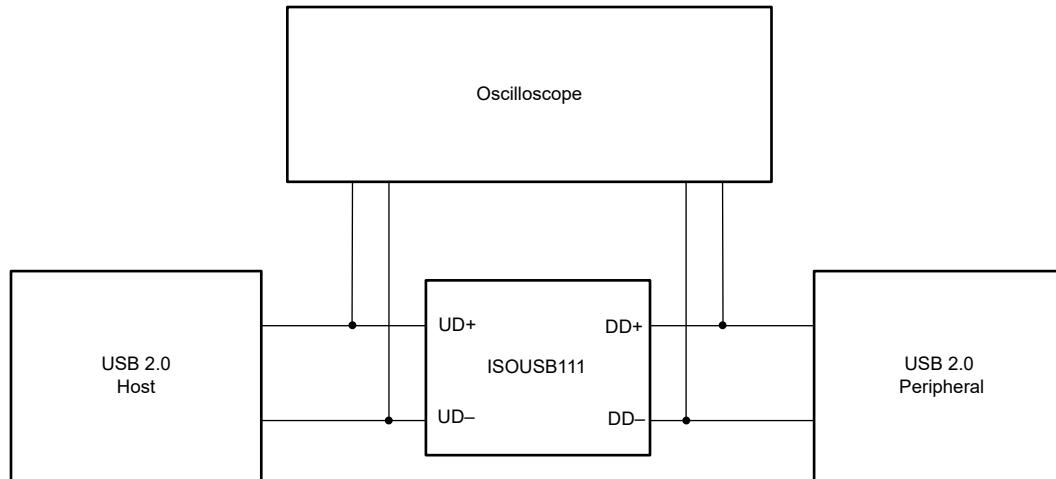


図 6-1. アップストリームおよびダウンストリームのパケット・パラメータとアイ・ダイアグラム測定

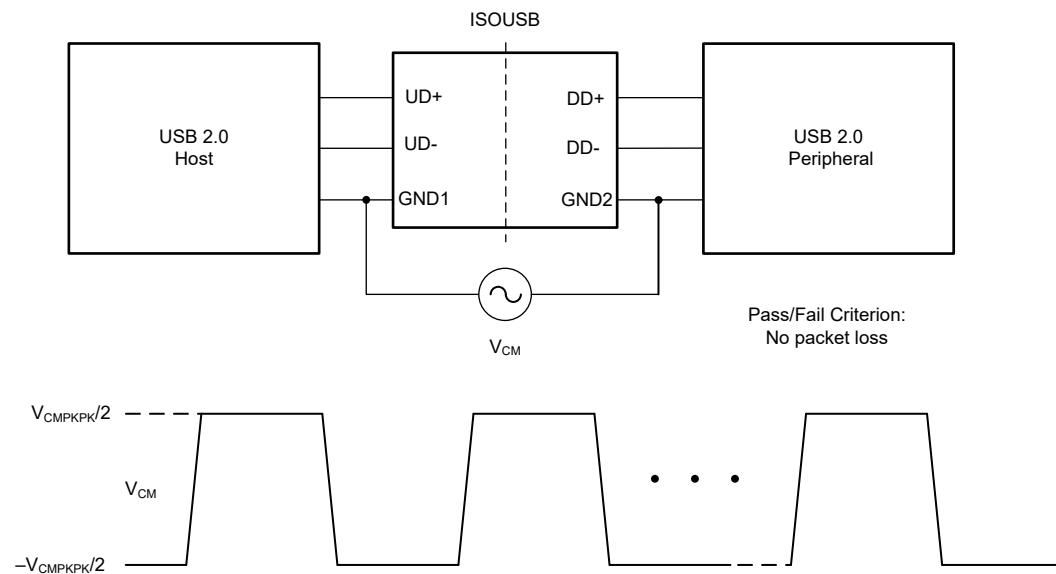


図 6-2. 同相過渡電圧耐性試験回路

7 詳細説明

7.1 概要

ISOUSB111 は、Low-Speed (1.5Mbps) および Full-Speed (12Mbps) の信号速度をサポートする、ガルバニック絶縁された USB2.0 準拠のリピータです。このデバイスは、速度および接続の自動検出、プルアップ / プルダウンの反映、リンクパワー マネージメント機能をサポートしているため、ドロップインにより USB ハブ、ホスト、ペリフェラル、ケーブルを絶縁できます。ほとんどのマイコンは USB PHY を内蔵しているため、D+ と D- のバス ラインのみを外部ピンとして提供します。ISOUSB111 は、マイコンからの介入を必要とせずに、これらのピンを USB バスから絶縁できます。また、デバイスは自動的なロール反転もサポートします。切断後にアップストリーム側ポートで新しい接続が検出されると、アップストリームおよびダウンストリームのポート定義が反転します。ISOUSB111 は、プログラム可能なイコライゼーション機能を内蔵しており、基板の配線に起因する信号損失をキャンセルできるため、USB2.0 High-Speed TX および RX アイダイアグラム テンプレートへの適合に役立ちます。High-Speed (HS) テスト モードのエントリも、USB2.0 規格の要求に応じて自動的に検出され、HS 準拠テストが可能になります。

ISOUSB111 は、絶縁耐圧がそれぞれ 5000VRMS で、サージ試験電圧がそれぞれ $12.8\text{kV}_{\text{PK}}$ の強化絶縁オプションで使用できます。このデバイスは、4.25V~5.5V の電源 (USB VBUS 電源)、またはローカルの 3.3V 電源 (利用可能な場合) により、サイド 1 とサイド 2 の両方で完全に動作させることができます。この電源電圧の柔軟性により、システムで使用可能な電源レールに基づいて熱性能を最適化できます。

7.2 機能ブロック図

ISOUSB111 の簡略化されたブロック図を [図 7-1](#) に示します。このデバイスは、以下で構成されています。

1. USB 規格に準拠した送受信回路とプルアップ / プルダウン抵抗。
2. 双方向通信やさまざまな状態遷移を処理するデジタル ロジック。
3. 内部 LDO により、 V_{BUSx} 電源から V_{3P3Vx} 電源を生成します。
4. ガルバニック絶縁。

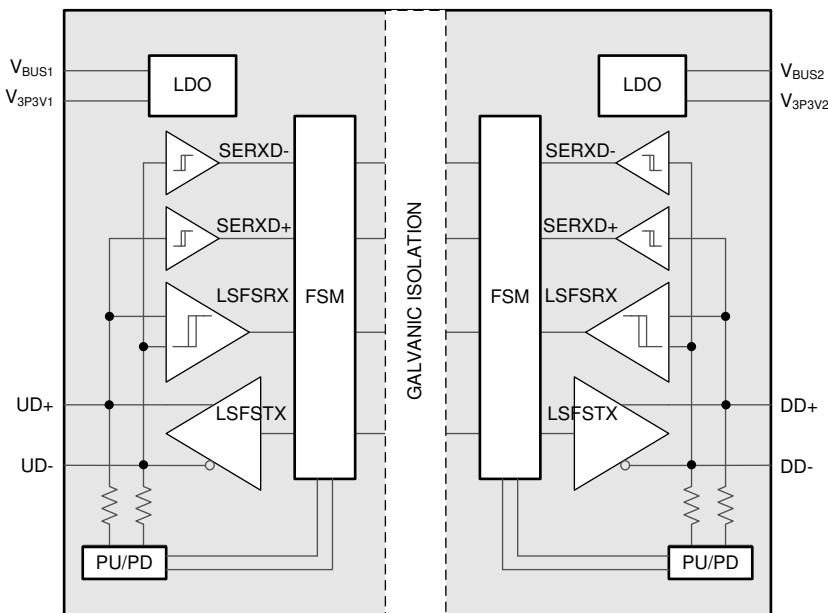


図 7-1. ISOUSB111 簡略化機能ブロック図

7.3 機能説明

7.3.1 電源オプション

ISOUSB111 には、 V_{BUSx} ピンに 4.25V~5.5V の電源を接続することで電力を供給できます。この場合、内部 LDO が V_{3P3Vx} 電圧を生成します。このオプションは、5V VBUS 電源が利用可能な USB コネクタに面する側で使用するのに適しています。または、 V_{BUSx} ピンと V_{3P3Vx} ピンを共に短絡し、外部 3.3V 電源を両方に接続することもできます。この 2 番目のオプションは、5V 電源を常に使用できるとは限らないマイコンに面する側で使用するのに適しています。

7.3.2 パワーアップ

ISOUSB111 の両側にあるすべての電源がそれぞれの UVLO スレッショルドを上回るまで、デバイスはアップストリーム側とダウンストリーム側の両方でバスライン上のアクティビティを無視します。電源が UVLO スレッショルドを上回ると、デバイスはバスライン上のアクティビティに応答する準備が整います。

7.3.3 対称動作、デュアルロールポート、およびロール反転

ISOUSB111 は対称動作をサポートしています。通常、UD+ と UD- はアップストリーム側ポートであり、ホストまたはハブに接続します。DD+ と DD- はダウンストリーム側ポートであり、ペリフェラルに接続します。ただし、UD+ と UD- をペリフェラルに接続し、DD+ と DD- をホストまたはハブに接続することもできます。最初に接続が確認された側 (D+ または D- を 3.3V にプルアップ) がダウンストリーム側になります。この機能により、デュアルロールポート (例: Type-C® デュアルロールポート) とロール反転 (例: OTG ホスト ネゴシエーション プロトコル - HNP) の実装が可能になります。詳細については、『絶縁型 USB 2.0 High-Speed Type-C®DRP の実装方法』アプリケーションノートを参照してください。このドキュメントの残りの部分では、DD+/DD- はダウンストリーム側ポート、UD+/UD- はアップストリーム側ポートとして扱われますが、この割り当てを入れ替えた場合、ここで説明したさまざまな動作と機能は同様に適用できます。

7.3.4 接続および速度検出

ISOUSB111 のダウンストリーム側にペリフェラル デバイスが接続されていない場合、DD+ ピンと DD- ピンには $15k\Omega$ の内部プルダウン抵抗があり、バス ラインがゼロにプルダウンされ、SEO 状態が生成されます。 $T_{FILTCOMP}$ より長い時間、DD+ または DD- ラインが V_{IH} スレッショルドを超えてプルアップされた場合、ISOUSB111 デバイスはこれを接続として扱います。ISOUSB111 デバイスは、アップストリーム側の内部プルアップを、ダウンストリーム側で検出されたプルアップと一致するように構成します。接続が検出されると、ISOUSB111 デバイスは、アップストリーム側のホスト / ハブによってリセットがアサートされるまで待機します。リセットの開始時に DD+ と DD- のどちらをプルアップするかで、ISOUSB111 リピータの速度が決まります。設定後、リピータの速度は、電源オフまたは切断イベントの後でのみ変更できます。

7.3.5 切断検出

Full-Speed (FS) および Low-Speed (LS) モードでは、ホスト / ハブがアップストリーム側の信号を駆動していないとき、および、 T_{DDIS} を上回る時間、ダウンストリーム・バスが SEO 状態 (DD+ と DD- の両方が V_{IL} スレッショルドを下回っている) のとき、ペリフェラルの切断が示されます。FS および LS モードで切断が検出されると、ISOUSB111 デバイスはアップストリーム側からプルアップ抵抗を除去し、アップストリームの UD+ および UD- ラインをゼロに放電できるようにします。その後、ISOUSB111 は次の接続イベントが発生するまで待機します。

7.3.6 リセット

ISOUSB111 デバイスは、アップストリーム側でリセット アサート (SEO 状態の延長) を検出し、同じ信号をダウンストリーム側に送信します。

7.3.7 LS/FS メッセージ トラフィック

ISOUSB111 デバイスは、アップストリーム側とダウンストリーム側の両方でバスの状態を監視します。通信の方向は、どちら側が LS/FS アイドル状態から最初に遷移するか (J から K への遷移) によって設定されます。その後、バリアを経由してデータがデジタル転送され、もう一方の側で再構築されます。データ送信は、EOP (End-Of-Packet) または長いアイドルが検出されるまで継続されます。この時点で、ISOUSB111 デバイスは LS/FS トランスマッタをトライステートにし、LS/FS アイドル状態からの次の遷移を待ちます。

7.3.8 L2 電源管理状態(サスペンド) および再開

ISOUSB111 デバイスは、USB 2.0 リンク パワー マネージメント エンジニアリング 変更通知 (ECN) で、L2 状態とも呼ばれる低消費電力サスペンド状態をサポートしています。バスが 3ms を超える間 LS/FS アイドル状態のままである場合、サスペンド モードが検出されます。LS および FS アイドル状態からサスペンドが検出されると、ISOUSB111 は LS または FS のアイドル状態を継続し、同時に内部消費電力を低減します。L2 低消費電力モードへの移行は、10ms 以内に完了します。

L2 からの終了は、ISOUSB111 のアップストリーム側にあるホストからの再開信号、または ISOUSB111 のダウンストリーム側にあるペリフェラルからのリモート ウエークアップ信号に続く、アップストリーム側にあるホスト / ハブからの再開信号、のいずれかによって発生します。再開またはウェークアップの開始は、それぞれホストまたはデバイスによって「K」状態で通知されます。再開の終了は、SE0 を 2 低速ビット時間駆動し、その後「J」状態になることでホストから通知されます。ISOUSB111 は、アップストリームとダウンストリームの両方で、レジューム信号とウェークアップ信号を適切に複製できます。レジューム / ウェークアップ信号の後、デバイスは、L2 状態に入る前の状態に応じて、LS または FS アイドル状態に戻ります。

7.3.9 L1 電源管理状態(スリープ) および復帰

ISOUSB111 デバイスは、USB 2.0 リンク パワー マネージメント ECN で定義されている追加の L1 またはスリープ低消費電力状態をサポートしています。LS および FS アイドル状態から L1 エントリが検出されると、ISOUSB111 は LS または FS アイドル状態を継続し、同時に内部消費電力を低減します。L1 低消費電力モードへの移行は 50μs 以内に完了します。

L1 からの終了は、ISOUSB111 のアップストリーム側にあるホストからの再開信号、または ISOUSB111 のダウンストリーム側にあるペリフェラルからのリモート ウエークアップ信号に続く、アップストリーム側にあるホスト / ハブからの再開信号、のいずれかによって発生します。再開またはウェークアップの開始は、それぞれホストまたはデバイスによって「K」状態で通知されます。再開の終了は、SE0 を 2 低速ビット時間駆動し、その後「J」状態になることでホストから通知されます。ISOUSB111 は、アップストリームとダウンストリームの両方で K 信号を適切に複製できます。レジューム / ウェークアップ信号の後、デバイスは、L1 状態に入る前の状態に応じて、LS または FS アイドル状態に戻ります。

7.4 デバイスの機能モード

表 7-1 に、ISOUSB111 デバイスの機能モードを示します。

表 7-1. 機能表

SIDE 1 SUPPLY V_{BUS1} 、 V_{3P3V1} (1)	BUS1 (UD+、UD-)	SIDE 2 SUPPLY V_{PIN}	SIDE 2 SUPPLY V_{BUS2} 、 V_{3P3V2}	BUS2 (DD+、DD-)	備考
電源供給	アクティブ	H	電源供給	アクティブ	両側に電力が供給されると、バスの状態がアップストリームからダウンストリームに正しく反映され、そして相互に正しく反映されます。
電源供給	15kΩ の PD	L	電源供給	15kΩ の PD	アップストリームとダウンストリームの両方で切断状態が示されます
電源供給	15kΩ の PD	X	電源なし	Z	電源が供給されていない場合、そのサイドのバスラインは高インピーダンス状態になります。
電源なし	Z	X	電源供給	15kΩ の PD	
電源なし	Z	X	電源なし	不定	

(1) 電源供給 = ($V_{BUSx} \geq UV + (V_{BUSx})$) || ($V_{BUSx} = V_{3P3Vx} \geq UV + (V_{3P3Vx})$)、電源なし = ($V_{BUSx} < UV - (V_{BUSx})$) および ($V_{3P3Vx} < UV - (V_{3P3Vx})$)、X = 無関係、H = High レベル、L = Low レベル、Z = 高インピーダンス

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 代表的なアプリケーション

8.1.1 絶縁型ホストまたはハブ

図 8-1 に、ISOUSB111 を使用してホストまたはハブを絶縁するためのアプリケーションを示します。この例では、マイコン側で V_{3P3V1} と V_{BUS1} を一緒に外部の 3.3V 電源に接続しています。コネクタ側では、USB コネクタからの V_{BUS} が V_{BUS2} に接続され、内部の 3.3V LDO を使用して V_{3P3V2} 電源が生成されます。

デカップリングコンデンサは、「[電源に関する推奨事項](#)」のセクションに記載されている推奨事項に従って、ISOUSB111 の隣に配置します。絶縁型 DC/DC コンバータ (SN6505 など) は、3.3V のローカル電源を使用して V_{BUS} に電力を供給します。ホストまたはハブの場合、USB 規格では、ダウンストリームのペリフェラルを接続したときに突入電流を供給できるように、 V_{BUS} に $120\mu F$ のコンデンサを配置する必要があることに注意してください。さらに、過渡電流に対応するため、 V_{BUS} ピンの近くに $100nF$ のコンデンサを配置することをお勧めします。

静電容量が小さく動的抵抗が小さい ESD ダイオード (PESD5V0C1USF など) は、D+ および D- ラインに配置できます。図に示すように、DC 抵抗が $100m\Omega$ 未満のフェライトビーズを、コネクタの V_{BUS} ピンと ISOUSB111 の V_{BUS} ピンの間にオプションで配置することで、ESD などの過渡現象を抑制できます。

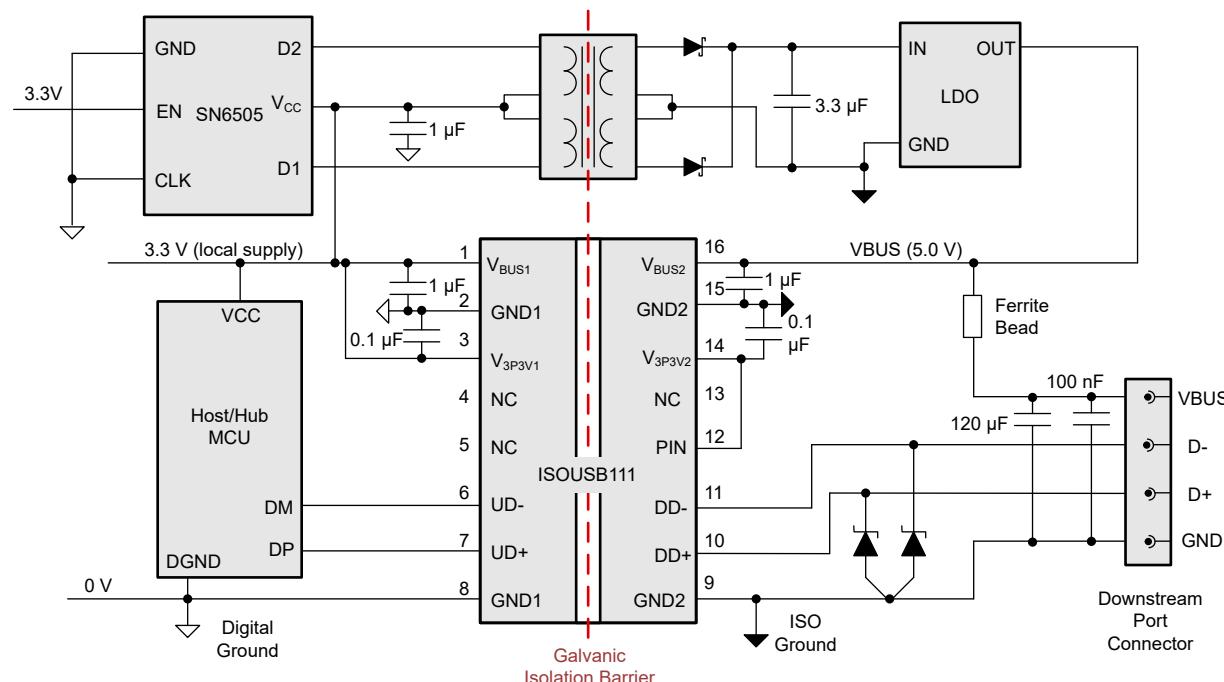


図 8-1. ISOUSB111 を使用した絶縁型ホストまたはハブ

8.1.2 絶縁型ペリフェラル - 自己給電

図 8-2 に、ISOUSB111 を使用して自己給電ペリフェラルを絶縁するためのアプリケーションを示します。この例では、マイコン側で V_{3P3V2} と V_{BUS2} を一緒に外部の 3.3V 電源に接続しています。コネクタ側では、USB コネクタからの VBUS が V_{BUS1} に接続され、内部の 3.3V LDO を使用して V_{3P3V1} 電源が生成されます。

デカップリング コンデンサは、「[電源に関する推奨事項](#)」のセクションに記載されている推奨事項に従って、ISOUSB111 の隣に配置します。USB 規格では、ペリフェラルの場合、VBUS の合計コンデンサ容量は 10 μ F 未満である必要があることに注意してください。過渡電流に対応するため、VBUS ピンの近くに 100nF のコンデンサを配置することをお勧めします。

静電容量が小さく動的抵抗が小さい ESD ダイオード (PESD5V0C1USF など) は、D+ および D- ラインに配置できます。図に示すように、DC 抵抗が 100m Ω 未満のフェライトビーズを、コネクタの VBUS ピンと ISOUSB111 の V_{BUS} ピンの間にオプションで配置することで、ESD などの過渡現象を抑制できます。

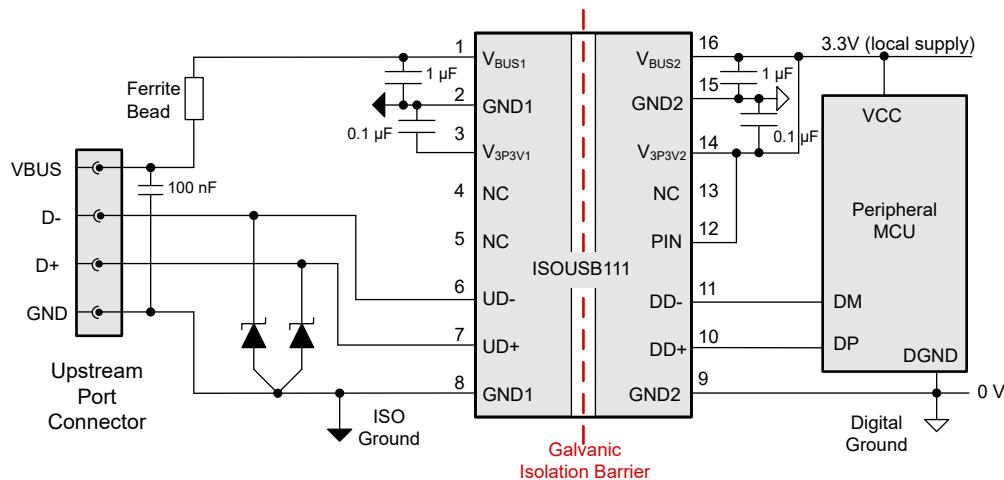


図 8-2. ISOUSB111 を使用した絶縁型自己給電ペリフェラル

8.1.3 絶縁型ペリフェラル - バス給電

図 8-3 に、ISOUSB111 を使用して自己給電ペリフェラルを絶縁するためのアプリケーションを示します。この例では、絶縁型 DC/DC コンバータ (例: SN6505) を使用して、USB VBUS から電力を取得しながら 3.3V のローカル電源を作成します。マイコン側では、 V_{3P3V2} と V_{BUS2} を一緒に外部の 3.3V 電源に接続しています。コネクタ側では、USB コネクタからの VBUS が V_{BUS1} に接続され、内部の 3.3V LDO を使用して V_{3P3V1} 電源が生成されます。

デカップリング コンデンサは、「[電源に関する推奨事項](#)」のセクションに記載されている推奨事項に従って、ISOUSB111 の隣に配置します。USB 規格では、ペリフェラルの場合、絶縁型 DC/DC コンバータを経由して 2 次側から反射されるすべてのデカップリング コンデンサも含め、VBUS の合計コンデンサ容量が 10 μ F 未満である必要があることに注意してください。過渡電流に対応するため、VBUS コネクタの近くに 100nF のコンデンサを配置することをお勧めします。

静電容量が小さく動的抵抗が小さい ESD ダイオード (PESD5V0C1USF など) は、D+ および D- ラインに配置できます。図に示すように、DC 抵抗が 100m Ω 未満のフェライトビーズを、コネクタの VBUS ピンと ISOUSB111 の V_{BUS} ピンの間にオプションで配置することで、ESD などの過渡現象を抑制できます。

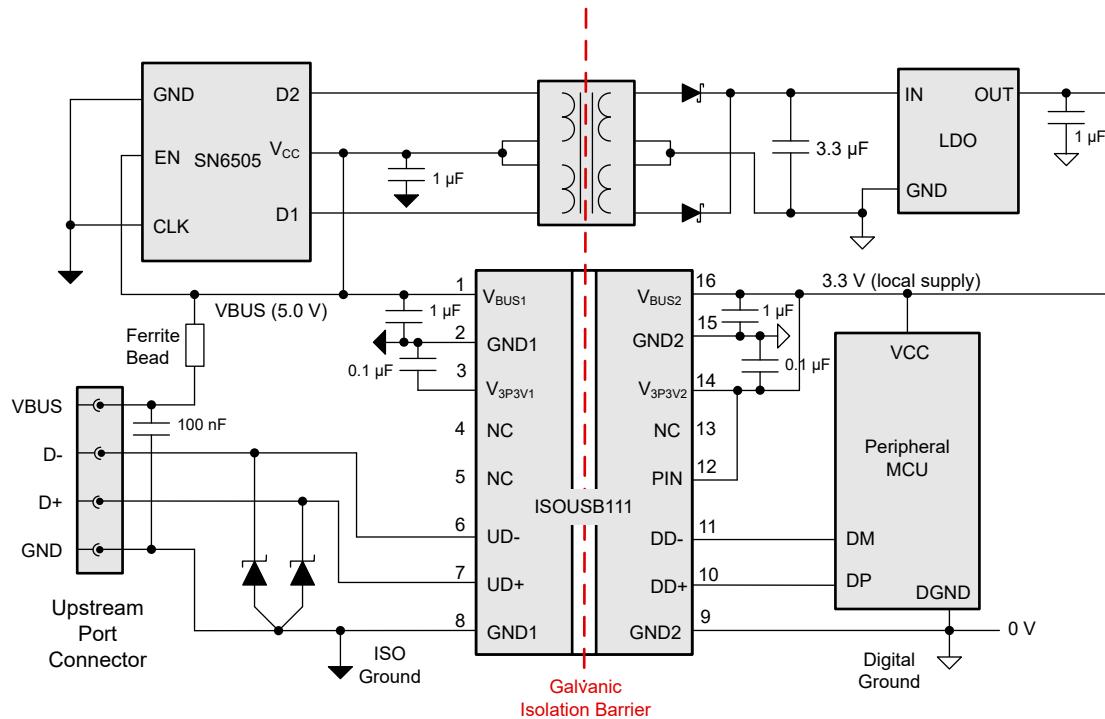


図 8-3. ISOUSB111 を使用する絶縁型バス電源ペリフェラル

8.1.4 アプリケーション曲線

8.1.4.1 絶縁寿命

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テスト構成については、図 8-4 を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧について 20%、寿命について 50% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、30 年の最小絶縁寿命が必要であることになります。

図 8-5 に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDB データによれば、絶縁バリアの固有能力は 1500 V_{RMS}、寿命は 169 年です。パッケージ サイズ、汚染度、材料グループなど他の要因により、部品の動作電圧がさらに制限される場合があります。DW-16 および DWX-16 パッケージの動作電圧は、最大 1500V_{RMS} と規定されています。動作電圧が低い場合、対応する絶縁寿命は 169 年よりはるかに長くなります。

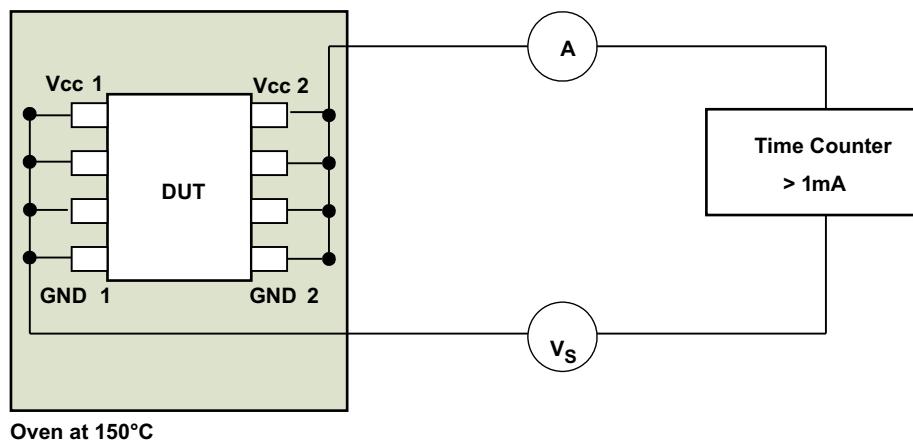


図 8-4. 絶縁寿命測定用のテスト構成

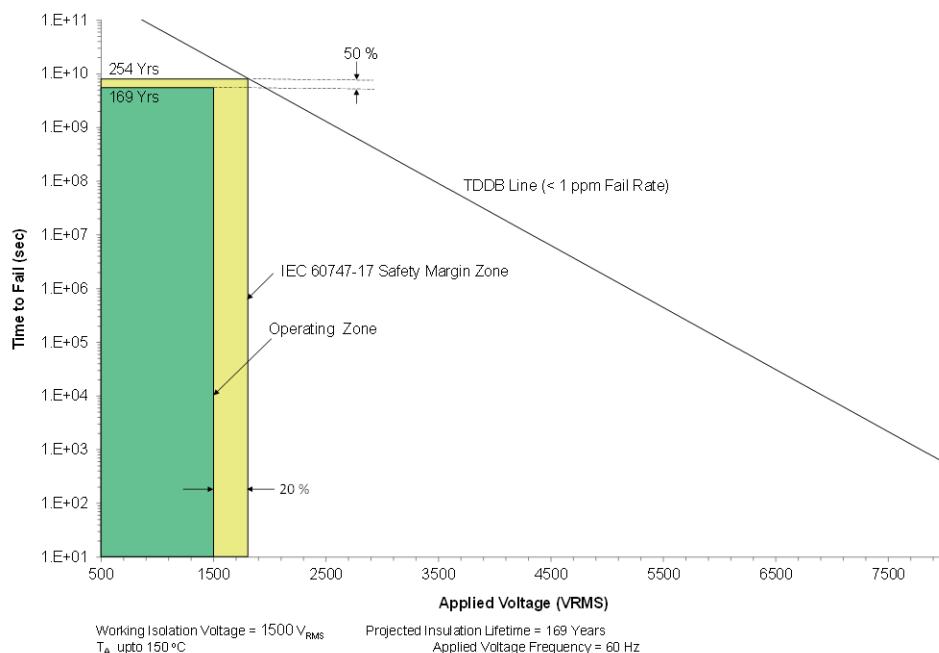


図 8-5. 絶縁寿命予測データ

8.2 電源に関する推奨事項

0.1μF のコンデンサは、GNDx に接続した V_{3P3Vx} ピンの近くに配置することを推奨します。1μF のコンデンサは、GNDx に接続した V_{BUSx} ピンの近くに配置することを推奨します。

これらのデカッピング コンデンサに関する推奨事項は、3.3V 電源が外部から供給されるか、内部 LDO を使用して生成されるかに関係なく適用されます。

デカッピング コンデンサの推奨配置については、[セクション 8.3.1.1](#) セクションを参照してください。小さなフットプリントのコンデンサ (0402/0201) を推奨します。これにより、ビアを使用せずに、電源ピンと最上層の対応するグランド ピンの近くに配置できます。

ホスト / ハブまたはバスパワーのペリフェラルを絶縁する場合、絶縁型電源が必要であり、テキサス・インスツルメンツの SN6505B などのトランジistorドライバを使用して生成できます。このようなアプリケーションについては、[SN6505 絶縁型電](#)

源用の低ノイズ 1A トランジストライバデータシートに、詳細な電源設計とトランジスト選択に関する推奨事項が記載されています。

8.3 レイアウト

8.3.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、2 層で十分です。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランジミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 最高の性能を得るために、MCU から ISOUSB111 まで、および ISOUSB111 からコネクタまでの D+/D- 基板パターンの長さを最小限に抑えることが推奨されます。D+/D- ライン上のビアとスタブは避ける必要があります。
- 高速信号層のすぐ下に、ベタのグランドプレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンスパスを実現します。D+ および D- トレースは、90Ω の差動インピーダンスが、45Ω のシングルエンドインピーダンスにできる限り近くなるように設計する必要があります。
- グランドプレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100 pF/in² 増加させることができます。
- デカップリングコンデンサは最上層に配置する必要があり、コンデンサと、対応する電源ピンおよびグランドピンとの間の配線は最上層で完了する必要があります。デカップリングコンデンサと、対応する電源ピンとグランドピンの間の配線パスにビアを配置しないでください。
- ESD 構造は、最上層のコネクタの近くに配置し、ビアなしで D+/D- トレースのすぐ上に配置する必要があります。ESD 構造のグランド配線は、可能であれば最上層で行う必要があります。それ以外の場合は、複数のビアを使用してグランドプレーンと強く接続されている必要があります。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

8.3.1.1 レイアウト例

このセクションのレイアウト例は、デカップリングコンデンサと ESD 保護ダイオードの推奨配置を示しています。D+/D- 信号トレースの下には、連続的なグランドプレーンを推奨します。電源ピンと対応するグランドピンの近くに配置し、最上層を使用して接続できるように、小型のフットプリントコンデンサ (0402/0201) を推奨します。デカップリングコンデンサと、対応する電源ピンとグランドピンの間の配線パスにビアを配置しないでください。ESD 保護ダイオードはコネクタの近くに配置し、グランドプレーンと強く接続されている必要があります。ここに示す例は絶縁型ホストまたはハブの場合ですが、絶縁型ペリフェラルについても同様の検討事項が当てはまります。VBUS の 120μF コンデンサは、ホストまたはハブにのみ適用され、ペリフェラルには使用できません。オプションとして、100nF (および 120μF) のコンデンサの後に、100mΩ 未満の DC 抵抗を持つフェライトビーズを VBUS 配線に配置し、ESD などの過渡現象が回路の他の部分に影響を与えないようにすることもできます。

最高の性能を得るために、MCU から ISOUSB111 まで、および ISOUSB111 からコネクタまでの D+/D- 基板パターンの長さを最小限に抑えることが推奨されます。D+/D- ライン上のビアとスタブは避ける必要があります。

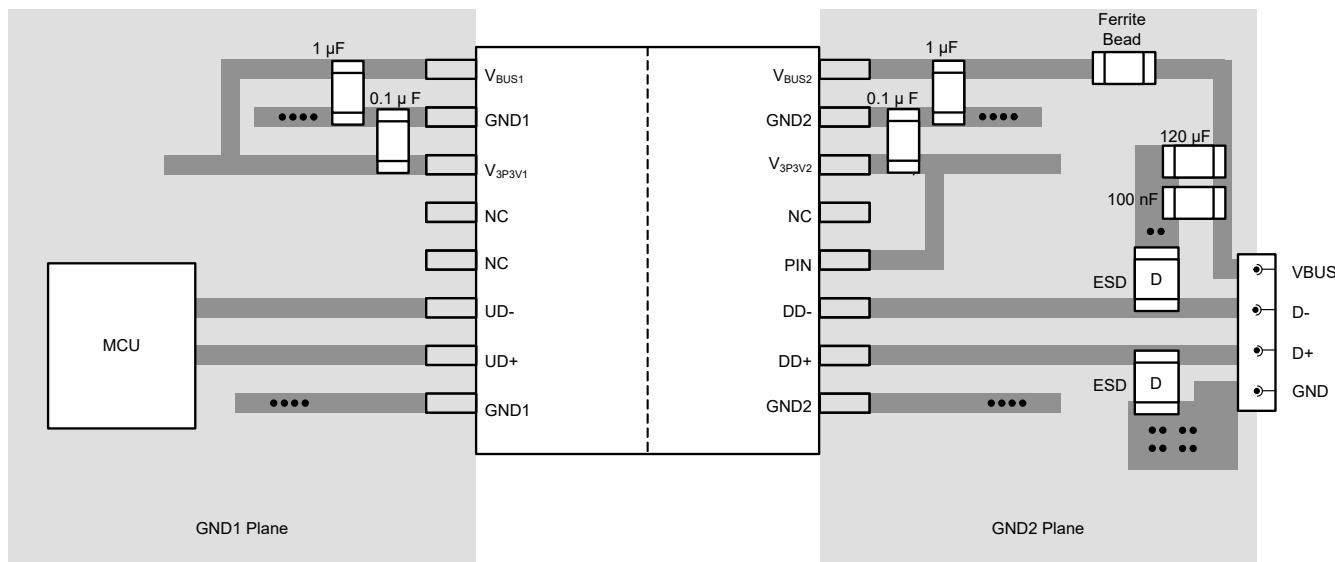


図 8-6. ISOUSB111 のレイアウト例

8.3.1.2 PCB 材料

500Mbps 未満で動作する場合 (または、立ち上がり / 立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、低価格な代替品よりも推奨されます。

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『デジタルアイソレータ設計ガイド』アプリケーションノート
- テキサス・インスツルメンツ、『絶縁用語集』アプリケーションノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (January 2023) to Revision E (July 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• VIOTM を 8000Vpk に更新済み.....	7

Changes from Revision C (September 2022) to Revision D (January 2023)	Page
• データシートから「基本」オプションを削除。.....	1

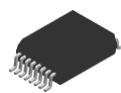
Changes from Revision B (July 2022) to Revision C (September 2022)	Page
• ESD の仕様を更新。.....	5

Changes from Revision A (April 2022) to Revision B (July 2022)	Page
• デバイスのステータスを「量産データ」に更新。.....	1

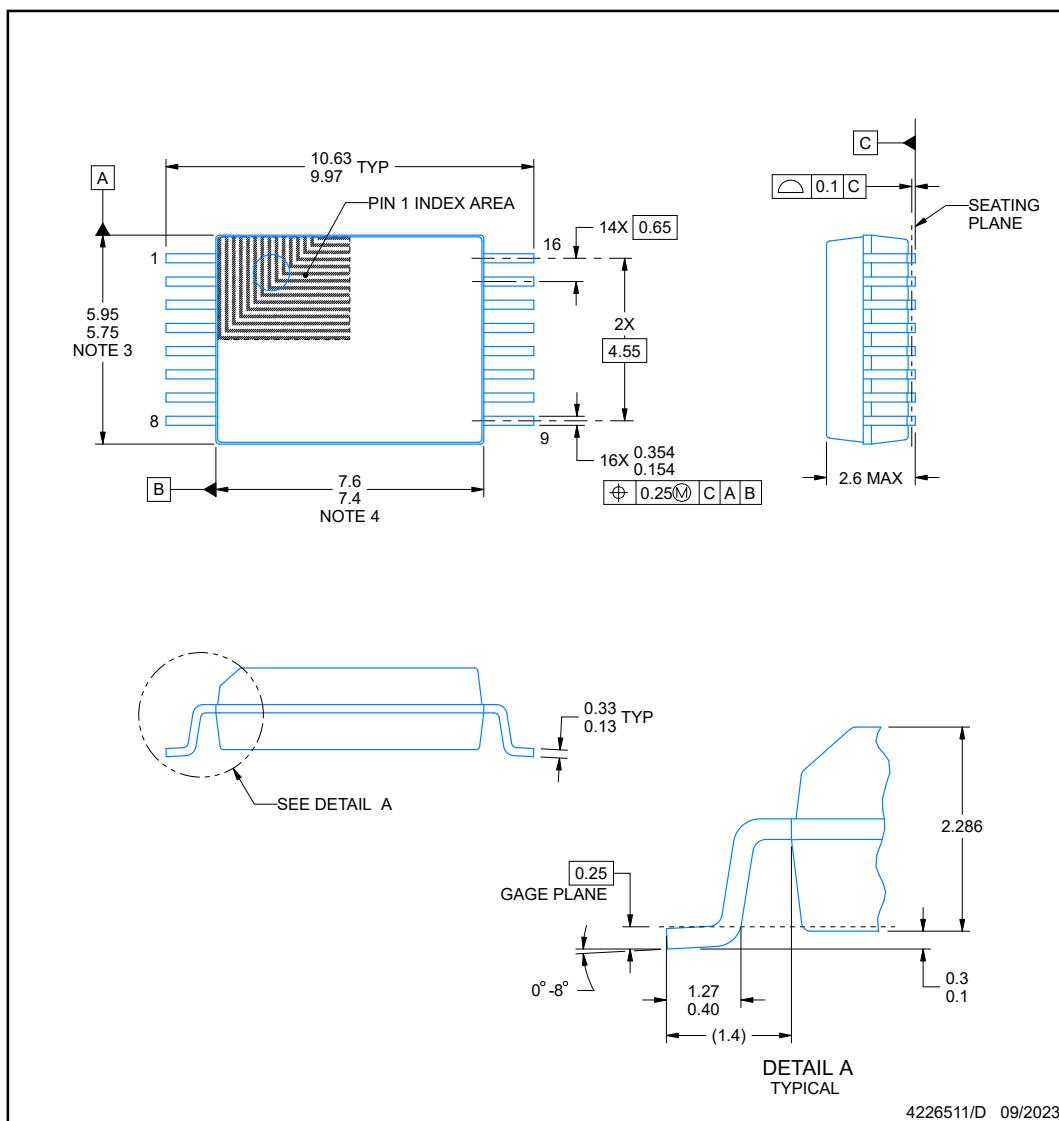
Changes from Revision * (November 2021) to Revision A (April 2022)	Page
• T_A の最大値を 125°C に更新.....	5

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

DWX0016A**PACKAGE OUTLINE****SSOP - 2.6 mm max height**

SMALL OUTLINE PACKAGE



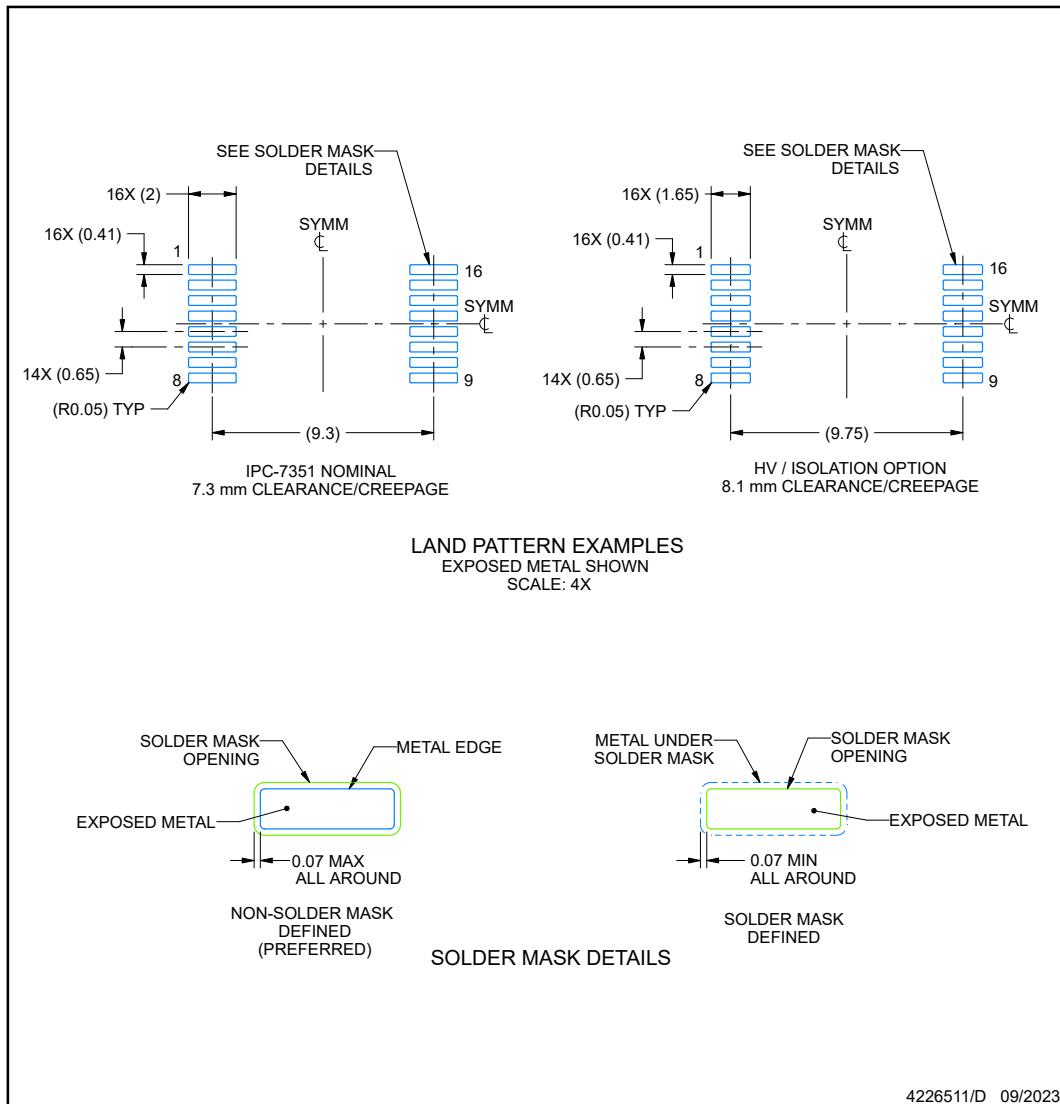
NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

DWX0016A SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

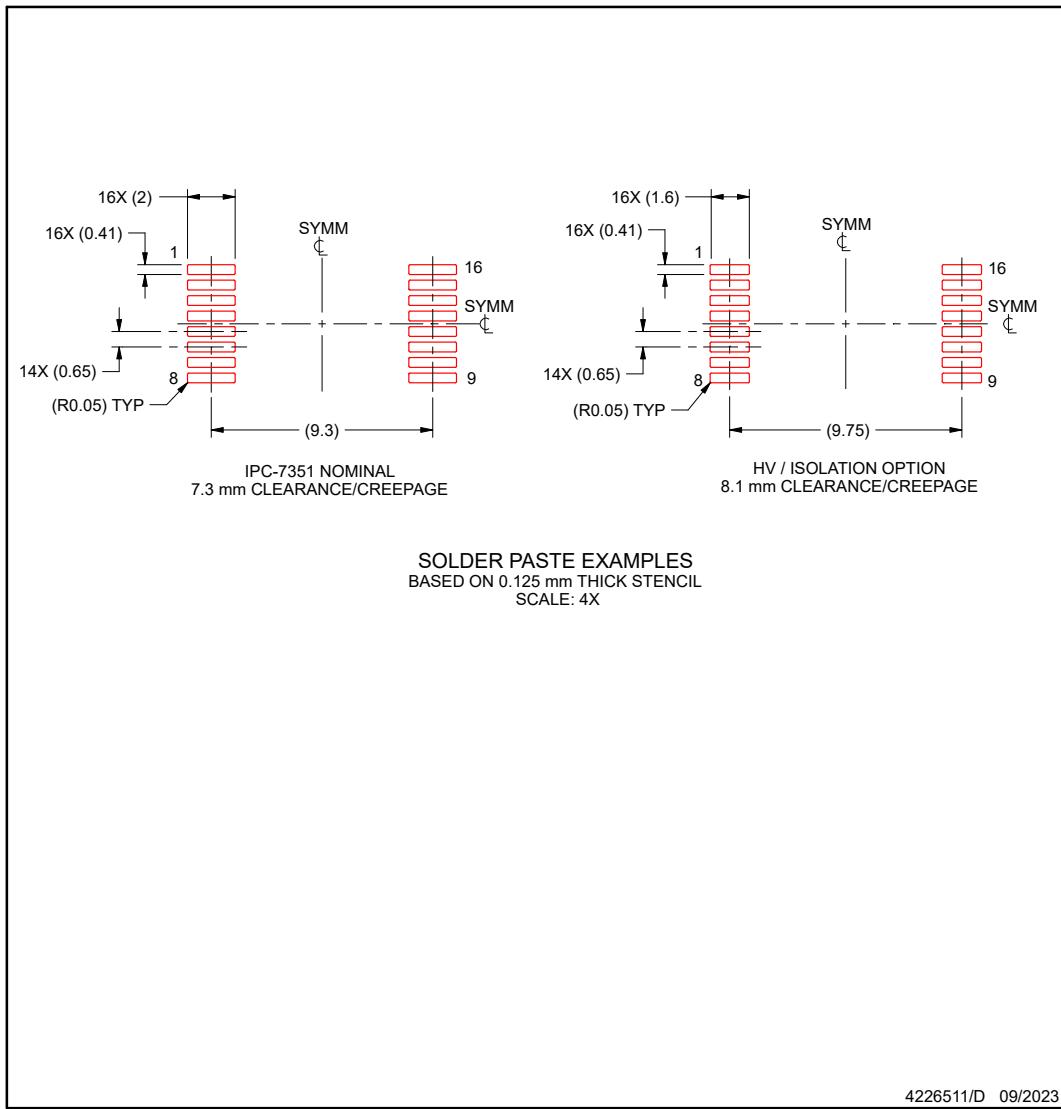
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DWX0016A

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



4226511/D 09/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

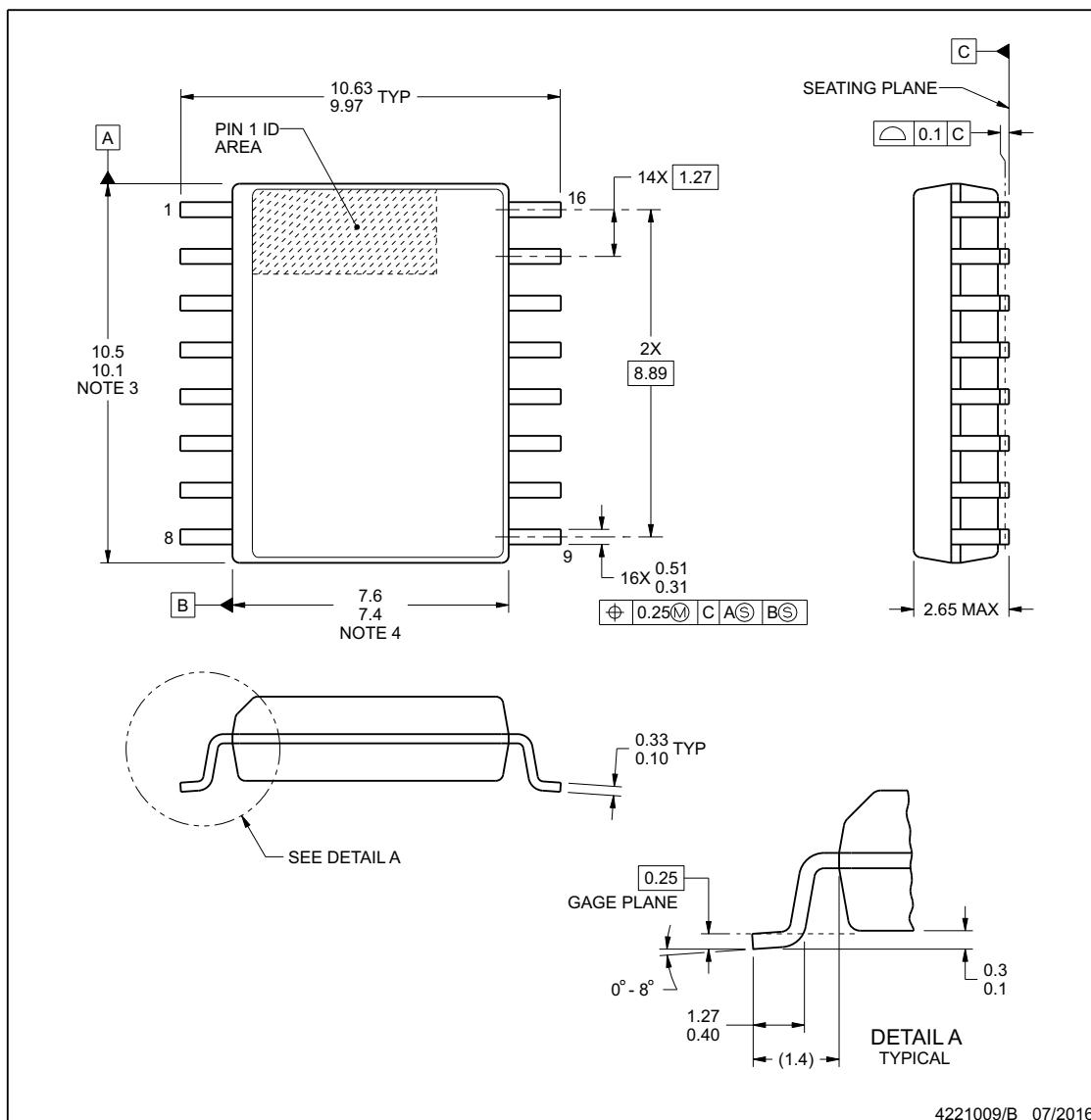
DW0016B



PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



NOTES:

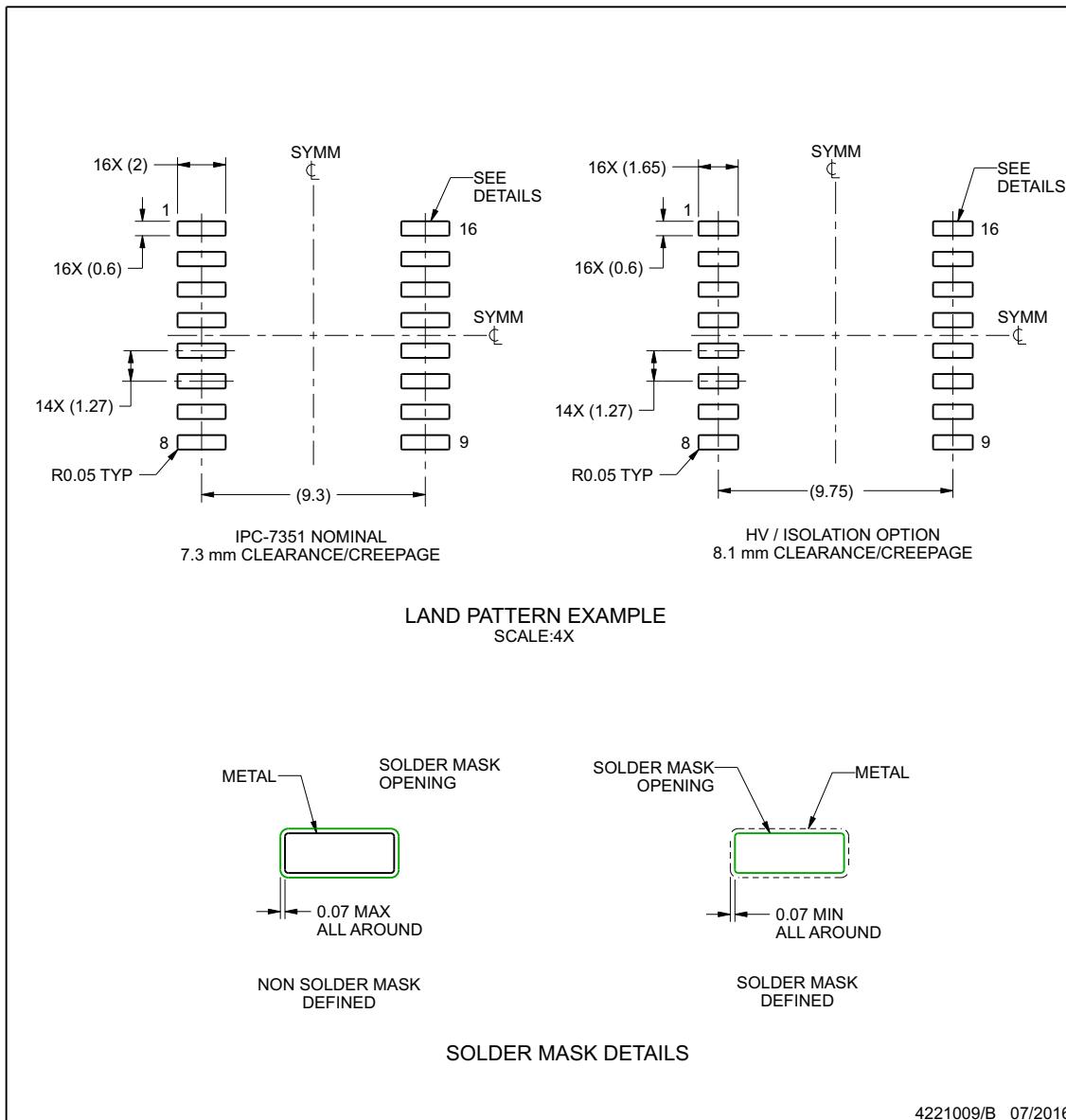
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

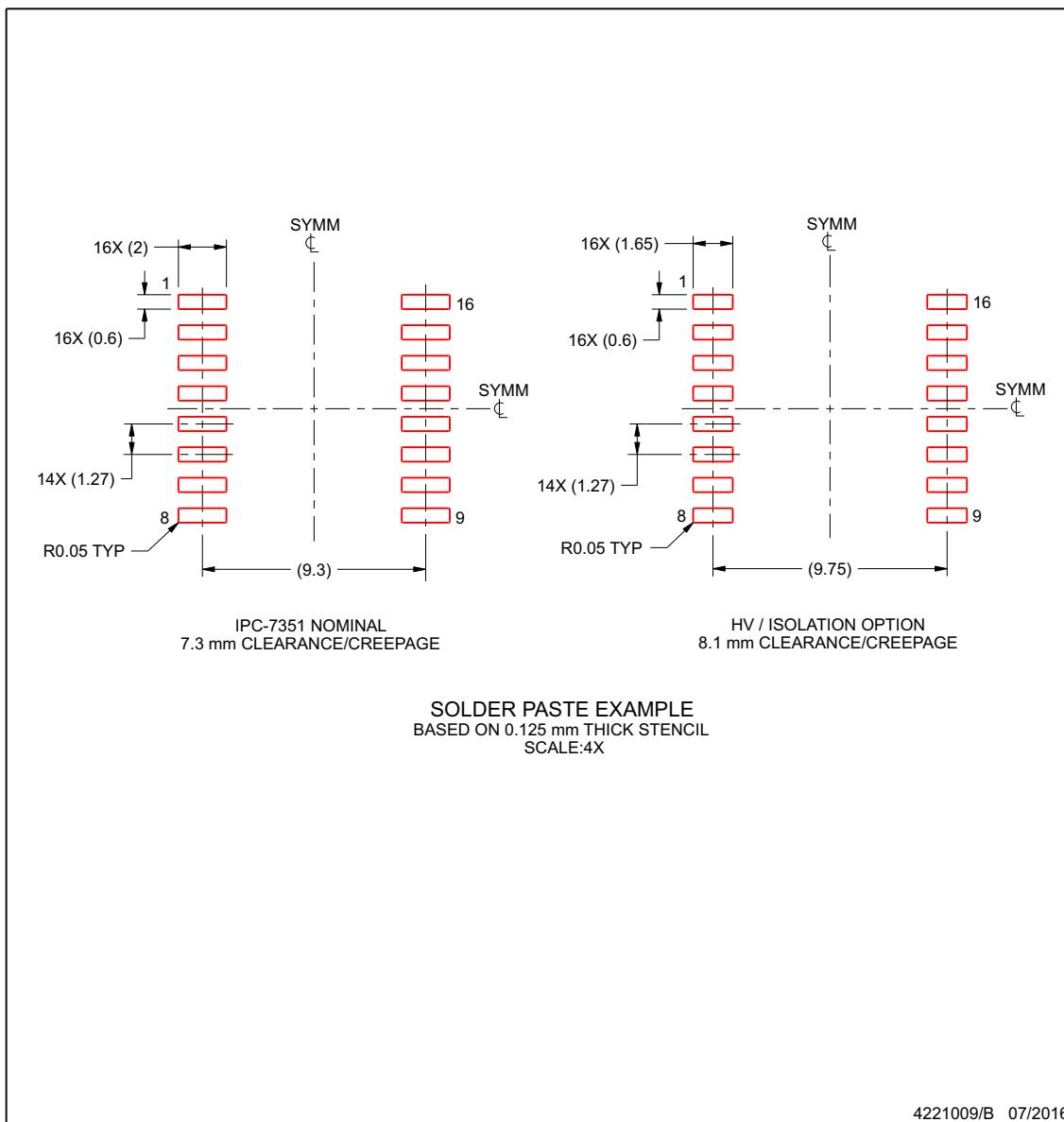
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC

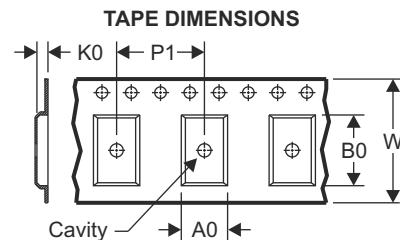
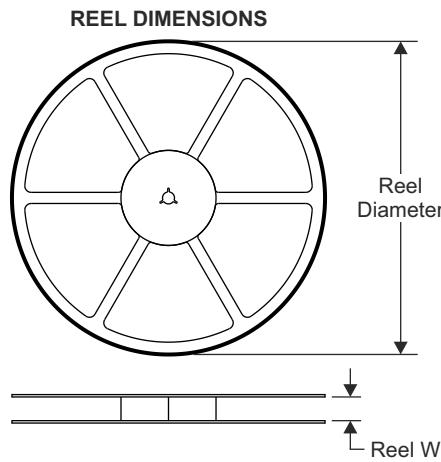


NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

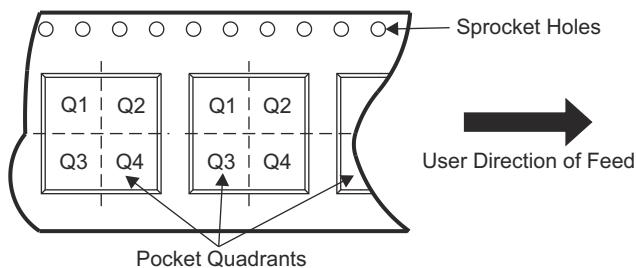
www.ti.com

11.1 テープおよびリール情報



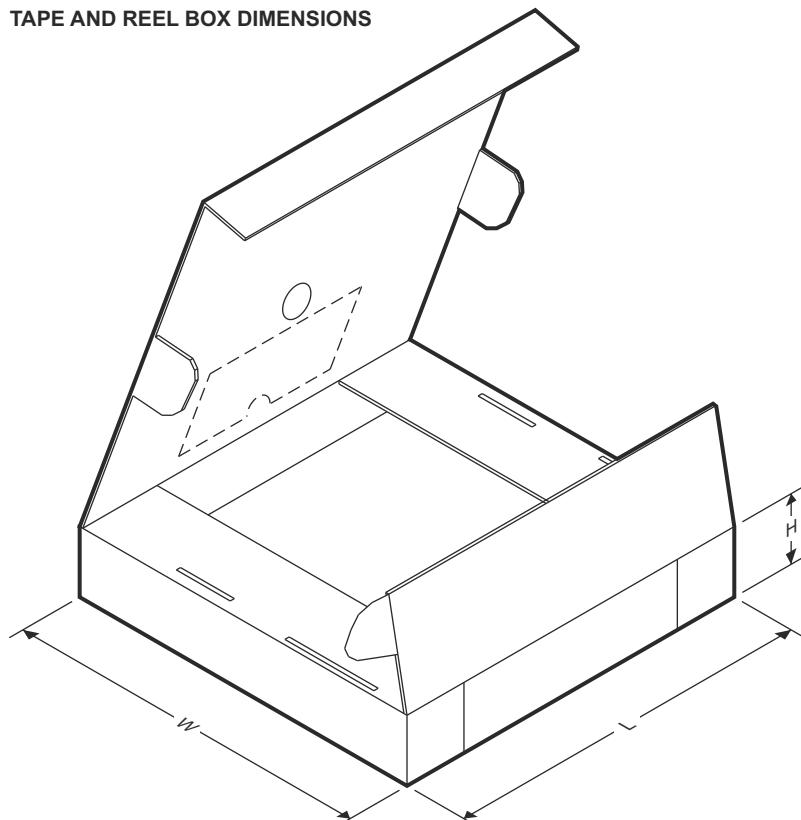
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の象限
ISOUSB111DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOUSB111DWXR	SSOP	DWX	16	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
ISOUSB111DWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISOUSB111DWXR	SSOP	DWX	16	1000	350.0	350.0	43.0

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOUSB111DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOUSB111
ISOUSB111DWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOUSB111
ISOUSB111DWR.B	Active	Production	SOIC (DW) 16	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOUSB111DWXR	Active	Production	SSOP (DWX) 16	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOU111
ISOUSB111DWXR.A	Active	Production	SSOP (DWX) 16	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOU111
ISOUSB111DWXR.B	Active	Production	SSOP (DWX) 16	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

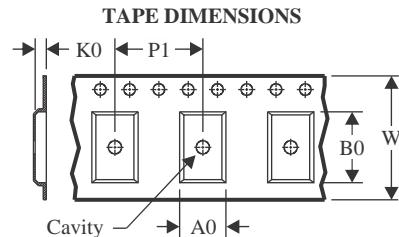
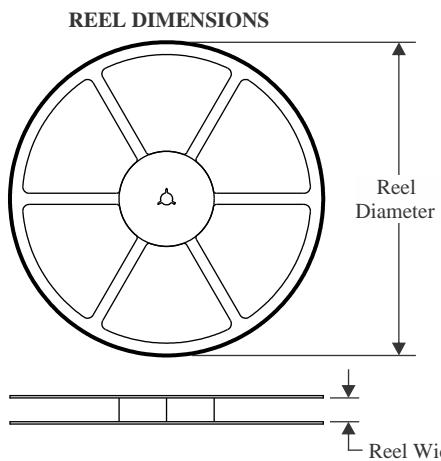
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

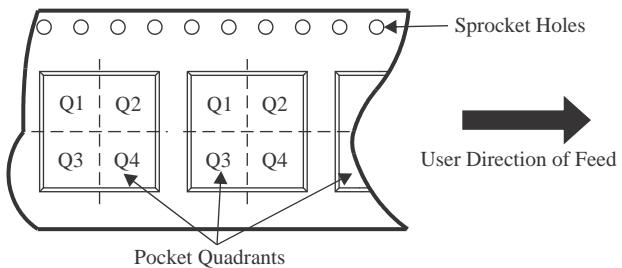
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



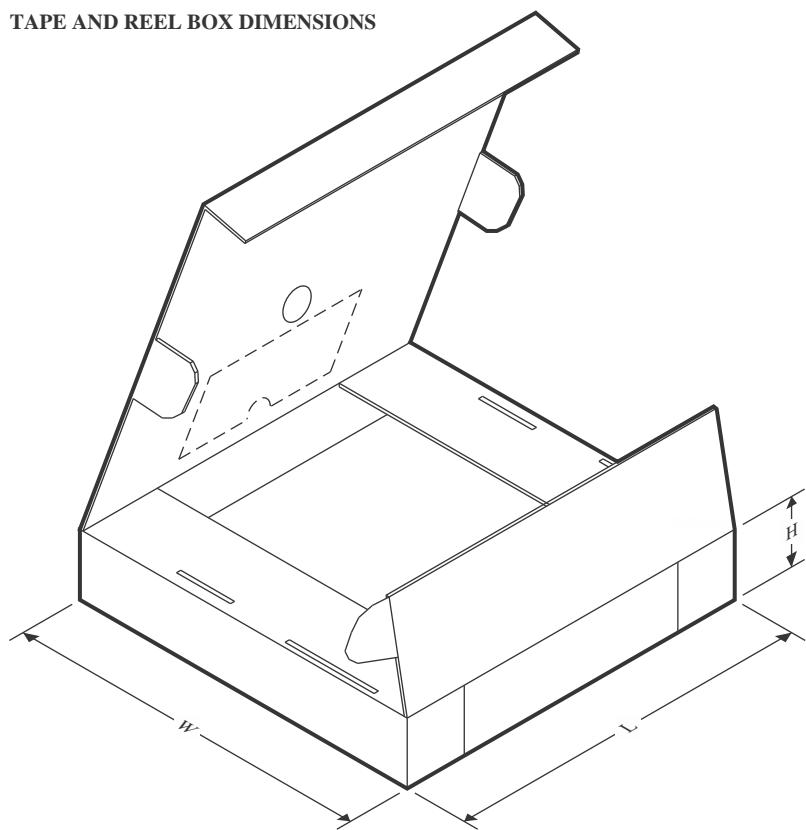
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOUSB111DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOUSB111DWXR	SSOP	DWX	16	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOUSB111DWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISOUSB111DWXR	SSOP	DWX	16	1000	350.0	350.0	43.0

GENERIC PACKAGE VIEW

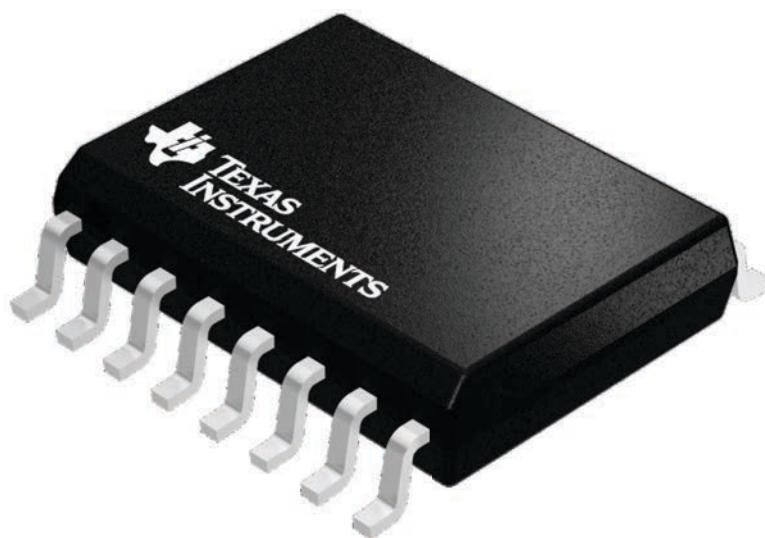
DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月