

ISOM811x-Q1 車載用 シングル チャネル オプト エミュレータ、アナログ トランジスタ出力付き

1 特長

- 業界標準のフォトトランジスタ オプトカプラに対してフットプリント互換かつピン互換アップグレード
- 以下の結果で AEC-Q100 認定済み:
 - デバイス温度グレード 1: 動作時周囲温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$
- 1 チャネルの LED エミュレータ入力
- 電流伝達率 (CTR): $I_F = 5\text{mA}$, $V_{CE} = 5\text{V}$ のとき
 - ISOM8110-Q1, ISOM8115-Q1: 100% ~ 155%
 - ISOM8111-Q1, ISOM8116-Q1: 150% ~ 230%
 - ISOM8112-Q1, ISOM8117-Q1: 255% ~ 380%
 - ISOM8113-Q1, ISOM8118-Q1: 375% ~ 560%
- 高いコレクタ - エミッタ電圧: $V_{CE}(\text{max}) = 80\text{V}$
- 堅牢 SiO_2 絶縁バリア
 - 絶縁定格: 最大 $5000\text{V}_{\text{RMS}}$
 - 動作電圧: 最大 750V_{RMS} 、 1061V_{PK}
 - サージ耐性: 最大 10kV_{PK}
- 応答時間: $V_{CE} = 10\text{V}$, $I_C = 2\text{mA}$, $R_L = 100\Omega$ で $3\mu\text{s}$ (標準値)
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能: [ISOM811x-Q1](#)
- 安全関連認証 (予定)
 - VDE による DIN EN IEC 60747-17 (VDE 0884-17) 準拠
 - UL 1577 認証、 $3750\text{V}_{\text{RMS}}$ および $5000\text{V}_{\text{RMS}}$ の絶縁
 - IEC 62368-1 認証、IEC 61010-1 認証
 - CQC GB 4943.1 認証

2 アプリケーション

- スイッチング電源
- HV/EV (ハイブリッド車と電気自動車) の OBC (オンボードチャージャ) と DC/DC コンバータ
- 先進運転支援システム (ADAS)
- ボディエレクトロニクス / ライティング
- インフォテインメントおよびクラスタ
- HEV/EV のバッテリー管理システム (BMS)

3 説明

ISOM811x-Q1 デバイスは、LED エミュレータ入力とトランジスタ出力を備えたシングル チャネルのオプトカプラ エミュレータです。本デバイスは、従来の多くのオプトカプラとフットプリント互換かつピン互換のアップグレードであり、PCB の再設計なしで既存システムを拡張できます。

ISOM811x-Q1 フォトカプラ エミュレータは、フォトカプラと比較して信頼性が高く、高帯域幅、短いターンオフ遅延、低消費電力、広い温度範囲、平坦な CTR 制御と厳格なプロセス制御を実現しており、部品間スキューが小さい、という性能面での優位性もあります。経年変化や温度変化を補正する必要がないため、エミュレートされた LED 入力段の消費電力はオプトカプラよりも低減されます。

ISOM811x-Q1 デバイスは、 2.54mm および 1.27mm ピン ピッチの小型 SOIC-4 パッケージで供給され、 $3750\text{V}_{\text{RMS}}$ および $5000\text{V}_{\text{RMS}}$ 絶縁定格で、DC (ISOM811[0-3]-Q1) および双方向 DC (ISOM811[5-8]-Q1) 入力を選択できます。ISOM811x-Q1 は性能と信頼性が高いため、電源フィードバック設計、モータードライブ、産業用コントローラの I/O モジュール、ファクトリオートメーションアプリケーションなどに使用できます。

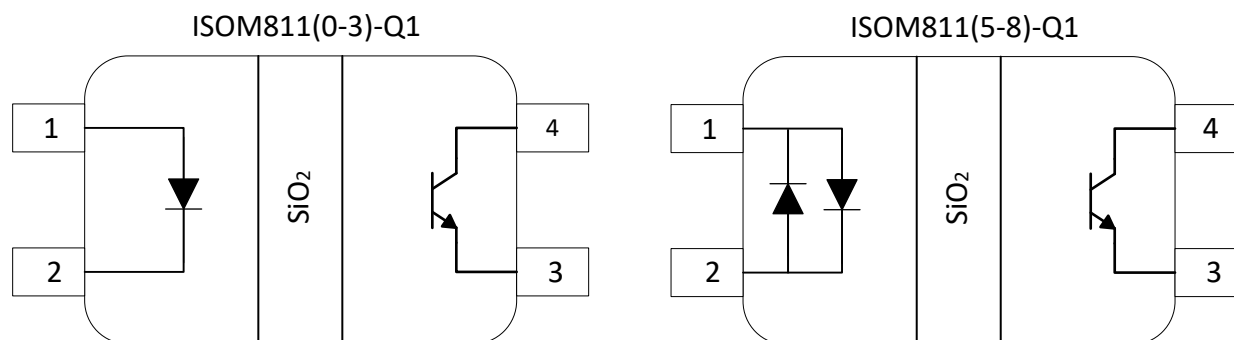
パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ (公称)
ISOM811x-Q1	SO-4 (DFG)	$7.0\text{mm} \times 3.5\text{mm}$	$4.8\text{mm} \times 3.5\text{mm}$
	SO-4 (DFH)	$7.0\text{mm} \times 2.7\text{mm}$	$4.8\text{mm} \times 2.7\text{mm}$
	SO-4 (DFS)	$10.0\text{mm} \times 3.6\text{mm}$	$7.5\text{mm} \times 3.6\text{mm}$

(1) 詳細については、[セクション 12](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





概略回路図

目次

1 特長.....	1	8.1 概要.....	20
2 アプリケーション.....	1	8.2 機能ブロック図.....	20
3 説明.....	1	8.3 機能説明.....	21
4 デバイスの比較.....	4	8.4 デバイスの機能モード.....	21
5 ピン構成および機能.....	4	9 アプリケーションと実装.....	22
6 仕様.....	5	9.1 アプリケーション情報.....	22
6.1 絶対最大定格.....	5	9.2 電源に関する推奨事項.....	26
6.2 ESD 定格.....	5	9.3 レイアウト.....	26
6.3 推奨動作条件.....	5	10 デバイスおよびドキュメントのサポート.....	27
6.4 熱に関する情報.....	5	10.1 ドキュメントのサポート.....	27
6.5 絶縁仕様.....	7	10.2 ドキュメントの更新通知を受け取る方法.....	27
6.6 安全関連認証.....	8	10.3 サポート・リソース.....	27
6.7 安全限界値.....	8	10.4 商標.....	27
6.8 電気的特性.....	9	10.5 静電気放電に関する注意事項.....	27
6.9 スイッチング特性.....	11	10.6 用語集.....	27
6.10 代表的特性.....	13	11 改訂履歴.....	27
7 パラメータ測定情報.....	19	12 メカニカル、パッケージ、および注文情報.....	28
8 詳細説明.....	20		

4 デバイスの比較

表 4-1. デバイスの選択

部品番号	CTR ($I_F = 5\text{mA}$)	パッケージ	ピンピッチ
ISOM8110-Q1, ISOM8115-Q1	100%~155%	4 ピン SOIC (DFG)、4 ピン SOIC (DFH)、4 ピン SOIC (DFS)	2.54mm、1.27mm、2.54mm
ISOM8111-Q1, ISOM8116-Q1	150%~230%		
ISOM8112-Q1, ISOM8117-Q1	255%~380%		
ISOM8113-Q1, ISOM8118-Q1	375%~560%		

5 ピン構成および機能

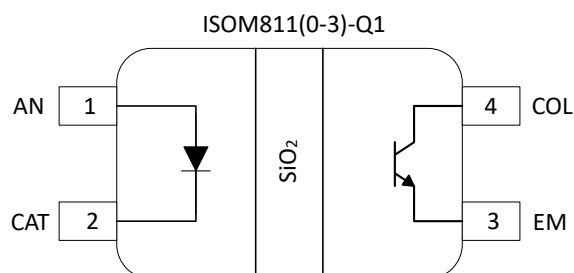


図 5-1. ISOM811[0-3]-Q1 4 ピン SOIC (上面図)

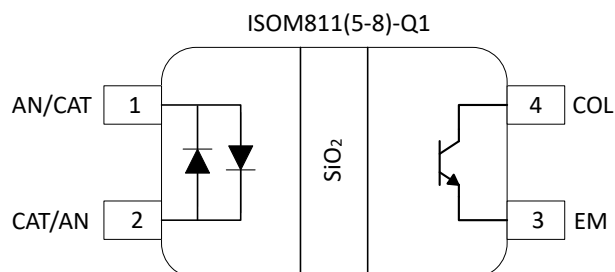


図 5-2. ISOM811[5-8]-Q1 4 ピン SOIC (上面図)

表 5-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
番号	名称		
1	AN	I	入力 LED エミュレータのアノード接続
2	CAT	I	入力 LED エミュレータのカソード接続
3	EM	O	トランジスタのエミッタ
4	COL	O	トランジスタのコレクタ

(1) I = 入力、O = 出力

6 仕様

6.1 絶対最大定格

(2) (1)を参照

		最小値	最大値	単位
$I_{F(max)}$	最大入力順方向電流		50	mA
V_{CEO}	コレクタ - エミッタ間の電圧		80	V
V_{ECO}	エミッタ - コレクタ電圧		7	V
I_{FP}	入力パルス順方向電流 (1 μ s 幅)		1	A
V_R	$I_R = 10\mu A$ での入力逆電圧 (3)		7	V
P_I	入力消費電力		140	mW
I_C	コレクタ電流		50	mA
P_C	コレクタ消費電力		150	mW
P_T	全消費電力		290	mW
T_A	周囲温度	-55	125	°C
T_J	動作時接合部温度		150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、またはこの文書の動作セクションに示された値を超えるその他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても記載された動作条件の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての仕様は $T_A = 25^\circ\text{C}$ のものです (特に記述のない限り)
- (3) ISOM8110-Q1, ISOM8112-Q1, ISOM8113-Q1 にのみ適用されます

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾ HBM ESD 分類レベル 3A	± 2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 CDM ESD 分類レベル C6	± 1000	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

		最小値	公称値	最大値	単位
$I_{F(ON)}$	オン状態の入力順方向電流	0.7		20	mA
V_{CEO}	コレクタ - エミッタ間の電圧	-5		48	V
T_A	周囲温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		ISOM811x-Q1			単位
		DFS (SOIC)	DFG (SOIC)	DFH (SOIC)	
		4 ピン	4 ピン	4 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	269.1	283.9	288.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	156.7	173.1	173.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	194.2	201.4	192.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	128.4	125.1	121.5	°C/W

熱評価基準 ⁽¹⁾		ISOM811x-Q1			単位
		DFS (SOIC)	DFG (SOIC)	DFH (SOIC)	
		4 ピン	4 ピン	4 ピン	
Ψ_{JB}	接合部から基板への特性パラメータ	191.0	198.0	190.0	°C/W

(1) 従来および新しい熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.5 絶縁仕様

パラメータ		テスト条件	値		単位
			4-DFG、 4-DFH	4-DFS	
IEC 60664-1					
CLR	外部空間距離 ⁽¹⁾	空気を通したサイド 1 とサイド 2 の距離	> 5	> 8	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面上でのサイド 1 とサイド 2 の距離	> 5	> 8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>17	>17	μm
CTI	比較トラッキング インデックス	IEC 60112、UL 746A	>400	>400	V
	材料グループ	IEC 60664-1 に準拠	II	II	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V _{RMS} が 150V 以下	I-IV	I-IV	
		定格商用電源 V _{RMS} が 300V 以下	I-IV	I-IV	
		定格商用電源 V _{RMS} が 600V 以下	I-III	I-IV	
DIN VDE V 0884-11:2017 ⁽⁶⁾					
V _{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (パイボレー)	707	1061	V _{PK}
V _{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDb) テスト	500	750	V _{RMS}
		DC 電圧	707	1061	V _{DC}
V _{IOTM}	最大過渡絶縁電圧	V _{TEST} = V _{IOTM} 、 t = 60s (認定)、 V _{TEST} = 1.2 × V _{IOTM} 、 t = 1s (100% 出荷時テスト)	5303	7071	V _{PK}
V _{IMP}	最大インパルス電圧 ⁽²⁾	気中でテスト、IEC 62368-1 に準拠した 1.2/50μs の波形	7200	8000	V _{PK}
V _{IOSM}	最大サージ絶縁電圧 ⁽³⁾	V _{IOSM} ≥ 1.3 × V _{IMP} 、油中でテスト (認定試験)、IEC 62368-1 に準拠した 1.2/50μs 波形	10000	10400	V _{PK}
q _{pd}	見掛けの電荷 ⁽⁴⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10s	≤ 5	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、V _{pd(m)} = 1.6 × V _{IORM} 、t _m = 10s	≤ 5	≤ 5	
		メソッド b: ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) で、V _{ini} = 1.2 × V _{IOTM} 、t _{ini} = 1s、V _{pd(m)} = 1.875 × V _{IORM} 、t _m = 1s	≤ 5	≤ 5	
C _{IO}	絶縁バリア容量、入力から出力へ ⁽⁵⁾	V _{IO} = 0.4 × sin (2πft)、f = 1MHz	1	1	pF
R _{IO}	絶縁抵抗、入力から出力へ ⁽⁵⁾	V _{IO} = 500V、T _A = 25°C	> 10 ¹²	> 10 ¹²	Ω
		V _{IO} = 500V (100°C ≤ T _A ≤ 125°C時)	> 10 ¹¹	> 10 ¹¹	
		V _{IO} = 500V (T _S = 150°C時)	> 10 ⁹	> 10 ⁹	
	汚染度		2	2	
	耐候性カテゴリ		40/125/2 1	40/125/2 1	
UL 1577					
V _{ISO}	絶縁耐圧	V _{TEST} = V _{ISO} 、t = 60s (認定)、V _{TEST} = 1.2 × V _{ISO} 、t = 1s (100% 出荷時テスト)	3750	5000	V _{RMS}

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でインシュレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
- (2) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。

- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。
(6) この絶縁素子は、安全定格内の安全な電氣的絶縁のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。

6.6 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) による認証 を計画	IEC 61010-1、IEC 62368-1、IEC 60601-1 に よる認証を計画	UL 1577 部品認定プログラ ムに従う認証を計画中	GB4943.1-2011 に従う認証 を計画中	EN 61010-1:2010/A1:2019 および EN 62368-1:2014 による認証を計画
認証計画中	認証計画中	認証計画中	認証計画中	認証計画中

6.7 安全限界値

安全限界値 ⁽¹⁾ の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
SO-4 パッケージ (DFG)						
I _S	安全性により入力電流を制限	R _{θJA} = 283.9°C/W, V _F = 1.4V, T _J = 150°C, T _A = 25°C			300	mA
		R _{θJA} = 283.9°C/W, V _{CEO} = 40V, T _J = 150°C, T _A = 25°C			10.5	mA
		R _{θJA} = 283.9°C/W, V _{CEO} = 24V, T _J = 150°C, T _A = 25°C			17.5	mA
		R _{θJA} = 283.9°C/W, V _{CEO} = 15V, T _J = 150°C, T _A = 25°C			28	mA
P _S	安全性により合計電力を制限	R _{θJA} = 283.9°C/W, T _J = 150°C, T _A = 25°C			420	mW
T _S	最高安全温度				150	°C
SO-4 パッケージ (DFH)						
I _S	安全性により入力電流を制限	R _{θJA} = 288.8°C/W, V _F = 1.4V, T _J = 150°C, T _A = 25°C			300	mA
I _S	安全性により入力電流を制限	R _{θJA} = 288.8°C/W, V _{CEO} = 40V, T _J = 150°C, T _A = 25°C			10.5	mA
I _S	安全性により入力電流を制限	R _{θJA} = 288.8°C/W, V _{CEO} = 24V, T _J = 150°C, T _A = 25°C			17.5	mA
I _S	安全性により入力電流を制限	R _{θJA} = 288.8°C/W, V _{CEO} = 15V, T _J = 150°C, T _A = 25°C			28	mA
P _S	安全性により合計電力を制限	R _{θJA} = 288.8°C/W, T _J = 150°C, T _A = 25°C			420	mW
T _S	最高安全温度				150	°C
SO-4 パッケージ (DFS)						
I _S	安全性により入力電流を制限	R _{θJA} = 269.1°C/W, V _F = 1.4V, T _J = 150°C, T _A = 25°C			320	mA
I _S	安全性により入力電流を制限	R _{θJA} = 269.1°C/W, V _{CEO} = 40V, T _J = 150°C, T _A = 25°C			11	mA
I _S	安全性により入力電流を制限	R _{θJA} = 269.1°C/W, V _{CEO} = 24V, T _J = 150°C, T _A = 25°C			18	mA
I _S	安全性により入力電流を制限	R _{θJA} = 269.1°C/W, V _{CEO} = 15V, T _J = 150°C, T _A = 25°C			30	mA
P _S	安全性により合計電力を制限	R _{θJA} = 269.1°C/W, T _J = 150°C, T _A = 25°C			470	mW

安全限界値 ⁽¹⁾ の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
T _S	最高安全温度				150	°C

(1) I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。

表にある接合部から空気への熱抵抗 R_{θJA} は、リード付き表面実装パッケージ向けの High-K テスト ボードに実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。

T_J = T_A + R_{θJA} × P、ここで P は本デバイスで消費される電力です。

T_{J(max)} = T_S = T_A + R_{θJA} × P_S、ここで T_{J(max)} は最大許容接合部温度です。

P_S = I_S × V_I、ここで V_I は最大入力電圧です。

6.8 電気的特性

すべての仕様は T_A = 25°Cでのものです (特に記述のない限り)

パラメータ		テスト条件	GPN	最小値	標準値	最大値	単位
入力							
V _F	入力順方向電圧	I _F = 5mA	ISOM8110-Q1、 ISOM8111-Q1、 ISOM8112-Q1、 ISOM8113-Q1		1.2	1.4	V
V _F	入力順方向電圧	I _F = 5mA、T _A = -40~125°C	ISOM8110-Q1、 ISOM8111-Q1、 ISOM8112-Q1、 ISOM8113-Q1		1.2	1.6	V
V _F	入力順方向電圧	I _F = ±5mA	ISOM8115-Q1、 ISOM8116-Q1、 ISOM8117-Q1、 ISOM8118-Q1		1.2	1.5	V
V _F	入力順方向電圧	I _F = ±5mA、T _A = -40 ~ 125°C	ISOM8115-Q1、 ISOM8116-Q1、 ISOM8117-Q1、 ISOM8118-Q1		1.2	1.5	V
I _R	入力逆電流	V _R = 5V、T _A = -40~125°C	ISOM8110-Q1、 ISOM8111-Q1、 ISOM8112-Q1、 ISOM8113-Q1			10	μA
C _{IN}	入力容量	1MHz で、V _F = 0V	ISOM8110-Q1、 ISOM8111-Q1、 ISOM8112-Q1、 ISOM8113-Q1		19		pF
C _{IN}	入力容量	1MHz で、V _F = 0V	ISOM8115-Q1、 ISOM8116-Q1、 ISOM8117-Q1、 ISOM8118-Q1		6		pF
出力							
C _{CE}	コレクタ - エミッタ間の容量	1MHz、V _F = 0V	ISOM811x-Q1		10		pF
V _{CE(SAT)}	コレクタ - エミッタ間の飽和電圧	I _F = 20mA、I _C = 1mA、T _A = -40~125°C	ISOM811x-Q1			0.3	V
I _{C_DARK}	コレクタの暗電流	V _{CE} = 20V、I _F = 0mA、T _A = -40~125°C	ISOM811x-Q1			100	nA
I _{EC}	逆電流	V _{EC} = 7V、I _F = 0mA、T _A = -40~125°C	ISOM811x-Q1			50	μA
I _{C_OFF}	OFF_state コレクタ電流	V _F = 0.7V、V _{CE} = 48V、T _A = -40~125°C	ISOM811x-Q1			10	μA

すべての仕様は $T_A = 25^{\circ}\text{C}$ のものです (特に記述のない限り)

パラメータ		テスト条件	GPN	最小 値	標準値	最大値	単位
CTR ⁽¹⁾							
CTR	電流の転送率	$I_F = 2\text{mA}$, $V_{CE} = 5\text{V}$, $T_A = -40 \sim 125^{\circ}\text{C}$	ISOM8110-Q1	80	130	180	%
			ISOM8115-Q1	80	130	180	%
			ISOM8111-Q1	120	180	270	%
			ISOM8116-Q1	120	180	270	%
			ISOM8112-Q1	200	300	450	%
			ISOM8117-Q1	200	300	450	%
			ISOM8113-Q1	295	440	655	%
			ISOM8118-Q1	295	440	655	%
CTR	電流の転送率	$I_F = 5\text{mA}$, $V_{CE} = 5\text{V}$, $T_A = -40 \sim 125^{\circ}\text{C}$	ISOM8110-Q1	100	120	155	%
			ISOM8115-Q1	100	120	155	%
			ISOM8111-Q1	150	180	230	%
			ISOM8116-Q1	150	180	230	%
			ISOM8112-Q1	255	300	380	%
			ISOM8117-Q1	255	300	380	%
			ISOM8113-Q1	375	440	560	%
			ISOM8118-Q1	375	440	560	%

(1) $\text{CTR} (\%) = (I_C / I_F) \times 100\%$

6.9 スイッチング特性

すべての仕様は $T_A = 25^\circ\text{C}$ のものです (特に記述のない限り)

パラメータ		テスト条件	GPN	最小値	標準値	最大値	単位
AC							
t_r	立ち上がり時間、 図 7-3 および 図 7-2 を参照	$V_{CC} = 10\text{V}$, $I_C = 2\text{mA}$, $R_L = 100\Omega$, $C_L = 50\text{pF}$	ISOM8110-Q1		3.2		μs
			ISOM8113-Q1		2.5		μs
t_f	立ち下がり時間、 図 7-3 および 図 7-2 を参照	$V_{CC} = 10\text{V}$, $I_C = 2\text{mA}$, $R_L = 100\Omega$, $C_L = 50\text{pF}$	ISOM8110-Q1		4.0		μs
			ISOM8113-Q1		7.5		μs
T_{ON}	ターンオン時間、 図 7-2 および 図 7-3 を参照	$V_{CC} = 10\text{V}$, $I_C = 2\text{mA}$, $R_L = 100\Omega$, $C_L = 50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		5.7		μs
			ISOM8111-Q1、 ISOM8116-Q1		4.5		μs
			ISOM8112-Q1、 ISOM8117-Q1		6.2		μs
			ISOM8113-Q1、 ISOM8118-Q1		16.7		μs
		$V_{CC}=5\text{V}$, $R_L=4.7\text{k}\Omega$, $I_F=1.6\text{mA}$, $C_L=50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		3.5		μs
			ISOM8111-Q1、 ISOM8116-Q1		2.7		μs
			ISOM8112-Q1、 ISOM8117-Q1		2.1		μs
			ISOM8113-Q1、 ISOM8118-Q1		1.8		μs
		$V_{CC}=5\text{V}$, $R_L=1.9\text{k}\Omega$, $I_F=16\text{mA}$, $C_L=50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		0.62		μs
			ISOM8111-Q1、 ISOM8116-Q1		0.56		μs
			ISOM8112-Q1、 ISOM8117-Q1		0.48		μs
			ISOM8113-Q1、 ISOM8118-Q1		0.44		μs

すべての仕様は $T_A = 25^\circ\text{C}$ のものです (特に記述のない限り)

パラメータ		テスト条件	GPN	最小値	標準値	最大値	単位
T_{OFF}	ターンオフ時間、 図 7-3 および 図 7-2 を参照	$V_{\text{CC}} = 10\text{V}$, $I_{\text{C}} = 2\text{mA}$, $R_{\text{L}} = 100\Omega$, $C_{\text{L}} = 50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		3.6		μs
			ISOM8111-Q1、 ISOM8116-Q1		3.7		μs
			ISOM8112-Q1、 ISOM8117-Q1		3.1		μs
			ISOM8113-Q1、 ISOM8118-Q1		2.7		μs
		$V_{\text{CC}} = 5\text{V}$, $R_{\text{L}} = 4.7\text{k}\Omega$, $I_{\text{F}} = 1.6\text{mA}$, $C_{\text{L}} = 50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		8		μs
			ISOM8111-Q1、 ISOM8116-Q1		9		μs
			ISOM8112-Q1、 ISOM8117-Q1		11.5		μs
			ISOM8113-Q1、 ISOM8118-Q1		13.5		μs
		$V_{\text{CC}} = 5\text{V}$, $R_{\text{L}} = 1.9\text{k}\Omega$, $I_{\text{F}} = 16\text{mA}$, $C_{\text{L}} = 50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		10		μs
			ISOM8111-Q1、 ISOM8116-Q1		11		μs
			ISOM8112-Q1、 ISOM8117-Q1		12.3		μs
			ISOM8113-Q1、 ISOM8118-Q1		14.5		μs
t_{s}	保存時間。入力をオンにしてからオフに戻ったときに、出力波形が 0% (100%) から 10% (90%) に変化するために必要な時間です。 図 7-3 を参照してください	$V_{\text{CC}} = 5\text{V}$, $I_{\text{F}} = 1.6\text{mA}$, $R_{\text{L}} = 4.7\text{k}\Omega$	ISOM811x-Q1			21	μs
BW	帯域幅、 図 7-5 および 図 7-4 を参照	$V_{\text{IN_DC}} = 5\text{V}$, $V_{\text{IN_AC}} = 1\text{Vpk}$, $R_{\text{IN}} = 2\text{k}\Omega$, $V_{\text{CC}} = 5\text{V}$, $R_{\text{LOAD}} = 100\Omega$, $C_{\text{L}} = 50\text{pF}$, $V_{\text{CE}} - 3\text{dB}$ で測定 (正弦波)	ISOM811x-Q1		680		kHz

6.10 代表的特性

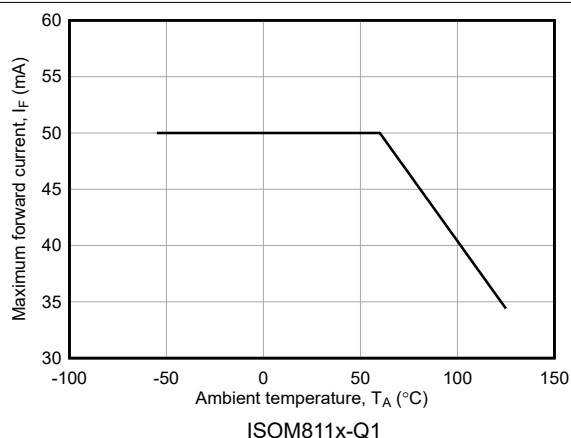


図 6-1. 最大順方向電流と周囲温度との関係

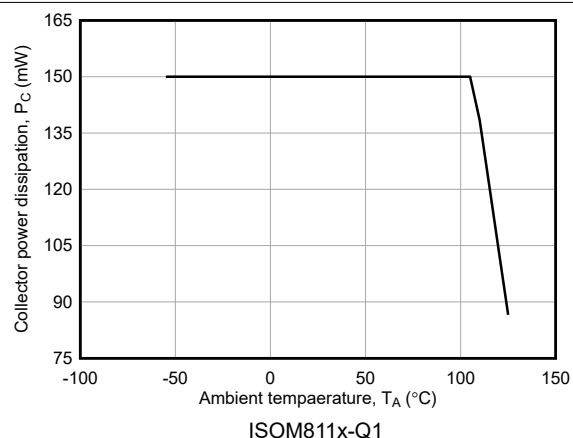


図 6-2. 最大コレクタ消費電力と周囲温度との関係

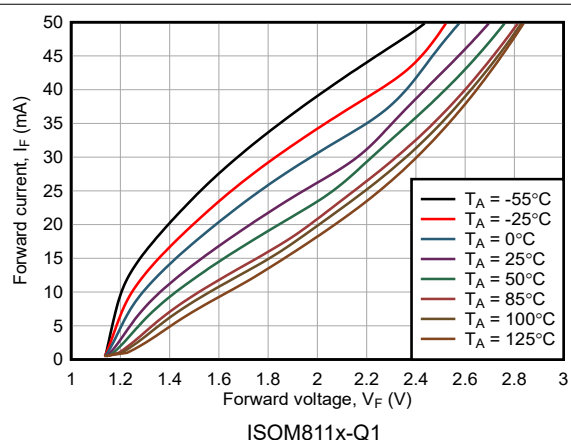


図 6-3. 順方向電圧と順方向電流との関係

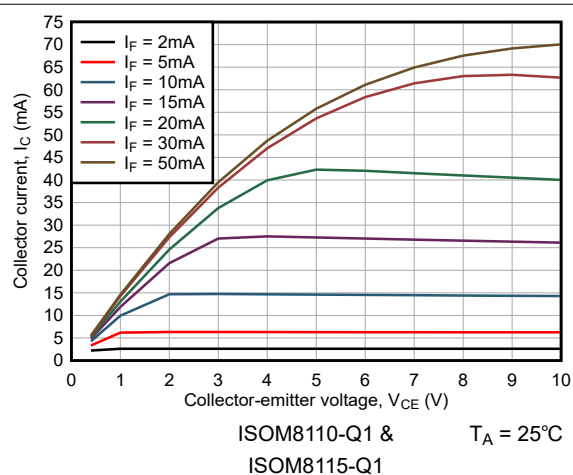


図 6-4. コレクタ電流とコレクタ-エミッタ電圧の関係

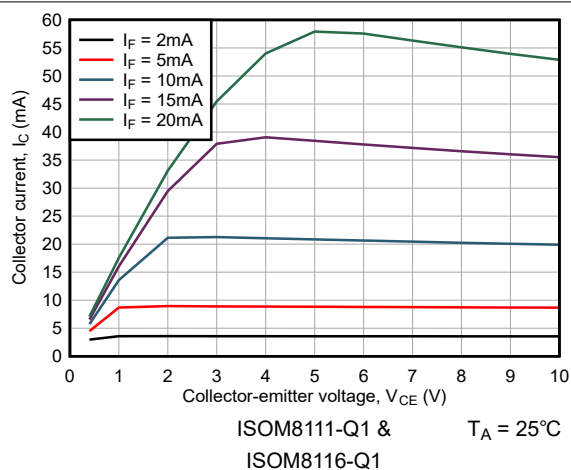


図 6-5. コレクタ電流とコレクタ-エミッタ電圧の関係

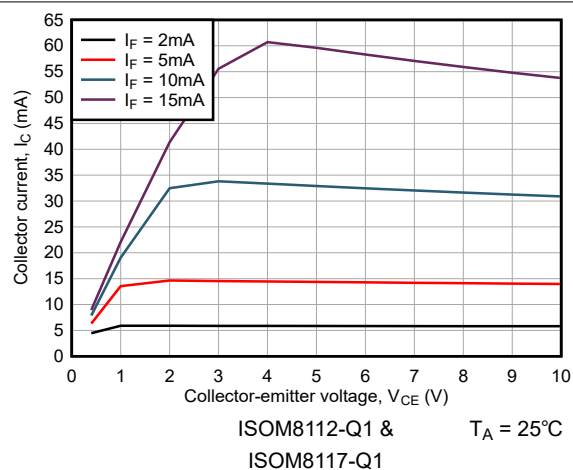


図 6-6. コレクタ電流とコレクタ-エミッタ電圧の関係

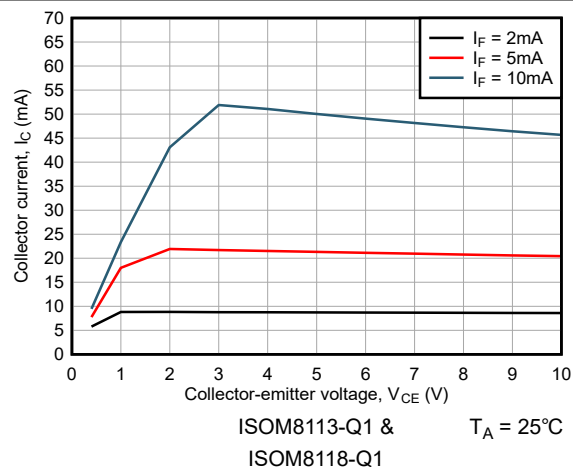


図 6-7. コレクタ電流とコレクタ-エミッタ電圧の関係

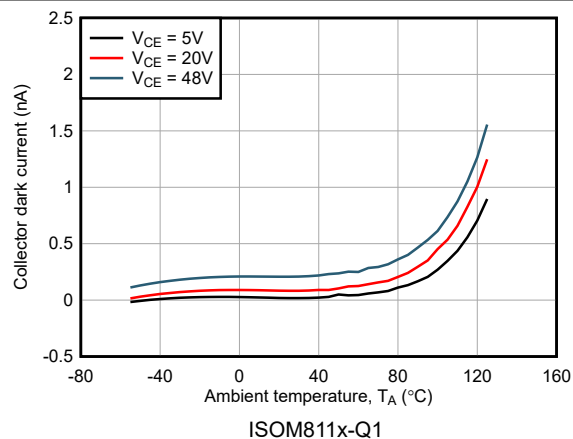


図 6-8. コレクタ暗電流と周囲温度との関係

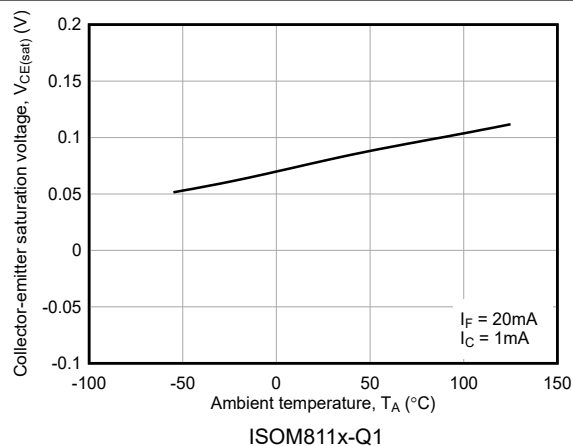


図 6-9. コレクタ-エミッタ間の飽和電圧と周囲温度の関係

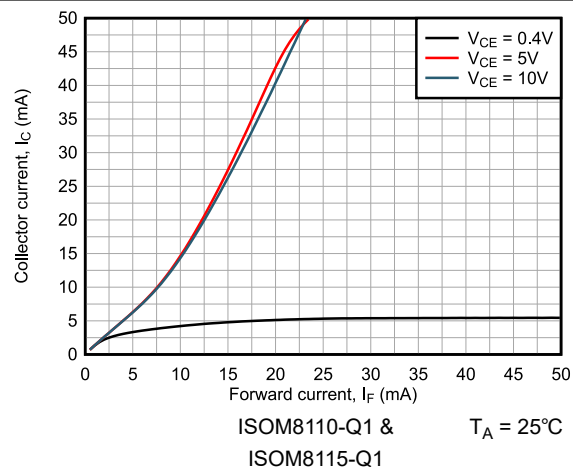


図 6-10. コレクタ電流と順方向電流との関係

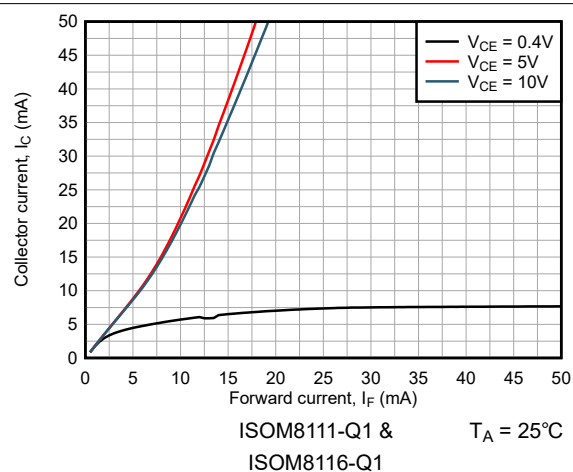


図 6-11. コレクタ電流と順方向電流との関係

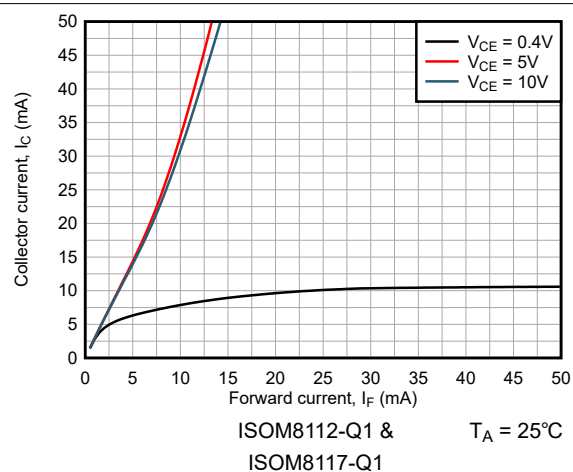
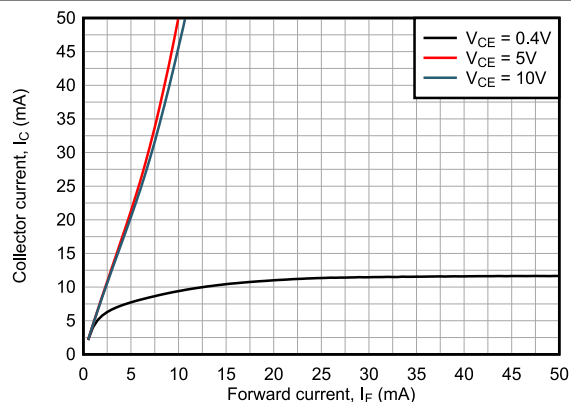
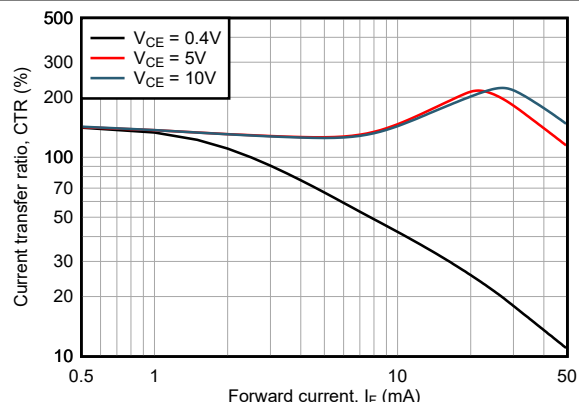


図 6-12. コレクタ電流と順方向電流との関係



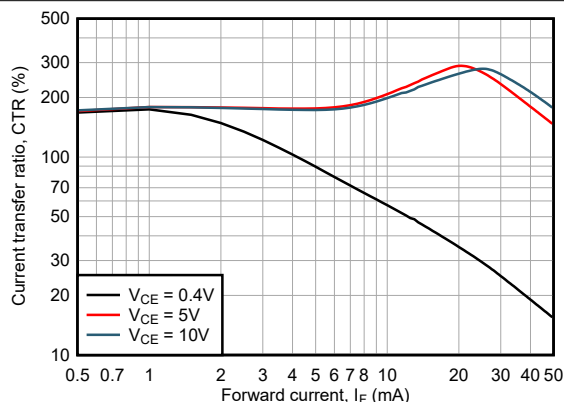
ISOM8113-Q1 & ISOM8118-Q1 $T_A = 25^\circ C$

図 6-13. コレクタ電流と順方向電流との関係



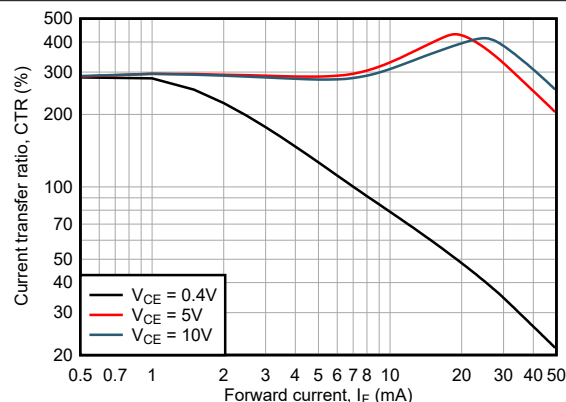
ISOM8110-Q1 & ISOM8115-Q1 $T_A = 25^\circ C$

図 6-14. 電流伝達率と順方向電流との関係



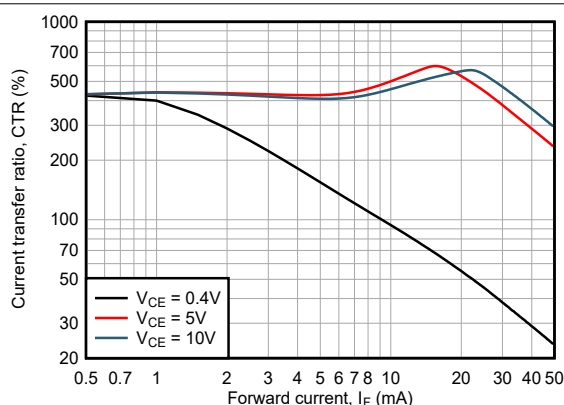
ISOM8111-Q1 & ISOM8116-Q1 $T_A = 25^\circ C$

図 6-15. 電流伝達率と順方向電流との関係



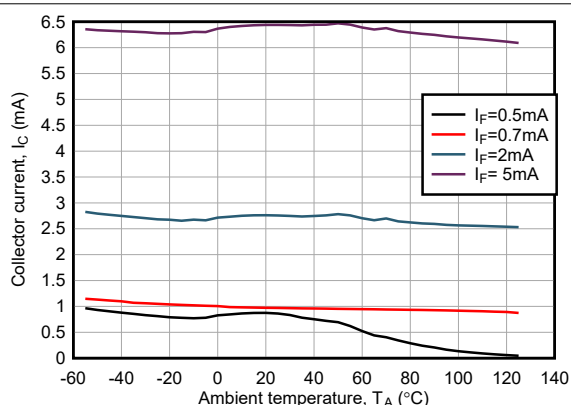
ISOM8112-Q1 & ISOM8117-Q1 $T_A = 25^\circ C$

図 6-16. 電流伝達率と順方向電流との関係



ISOM8113-Q1 & ISOM8118-Q1 $T_A = 25^\circ C$

図 6-17. 電流伝達率と順方向電流との関係



ISOM8110-Q1 & ISOM8115-Q1 $V_{CE} = 5V$

図 6-18. コレクタ電流と周囲温度の関係

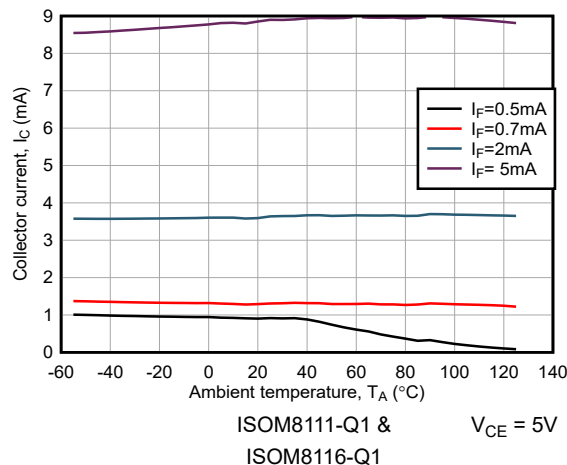


図 6-19. コレクタ電流と周囲温度の関係

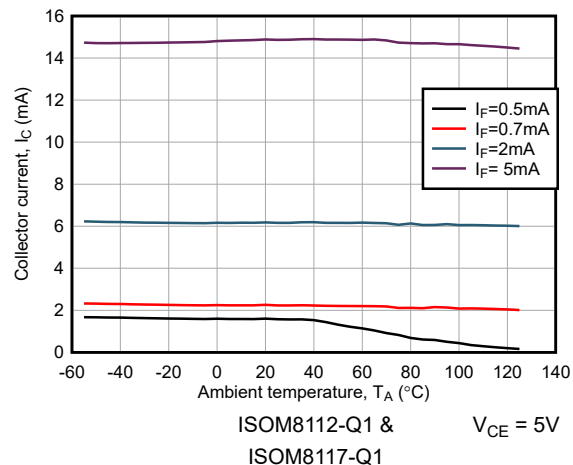


図 6-20. コレクタ電流と周囲温度の関係

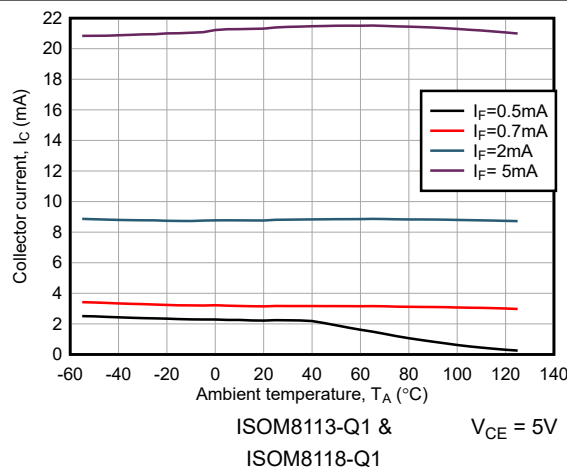


図 6-21. コレクタ電流と周囲温度の関係

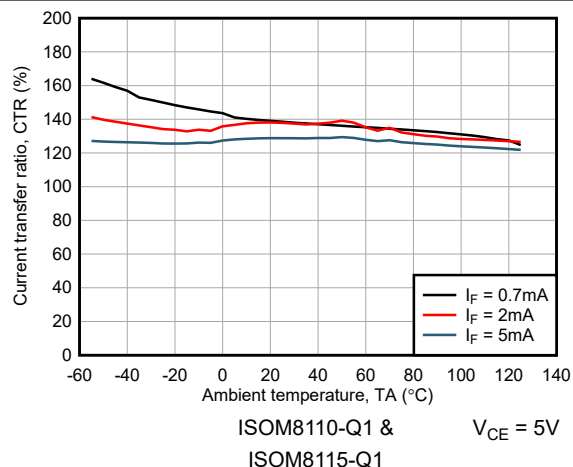


図 6-22. 電流伝達率と周囲温度との関係

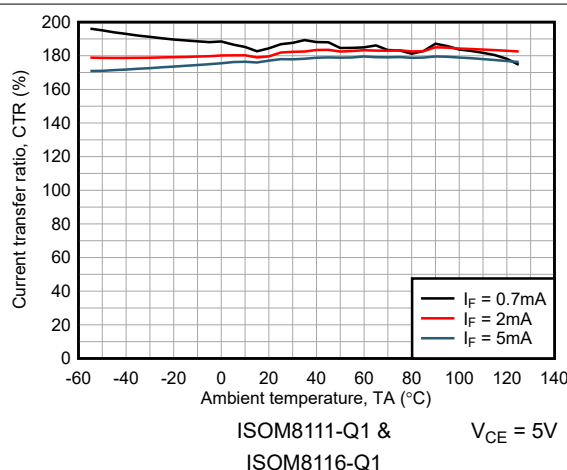


図 6-23. 電流伝達率と周囲温度との関係

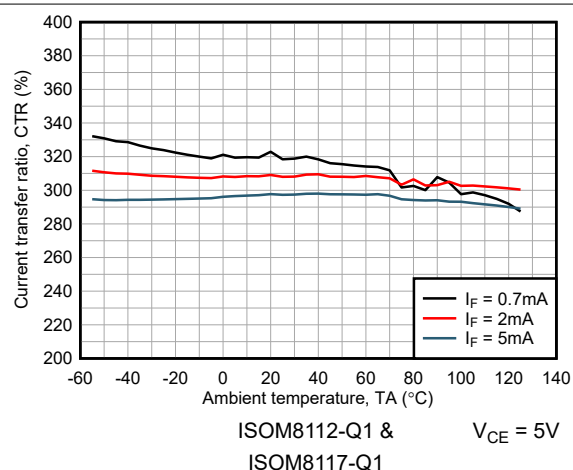


図 6-24. 電流伝達率と周囲温度との関係

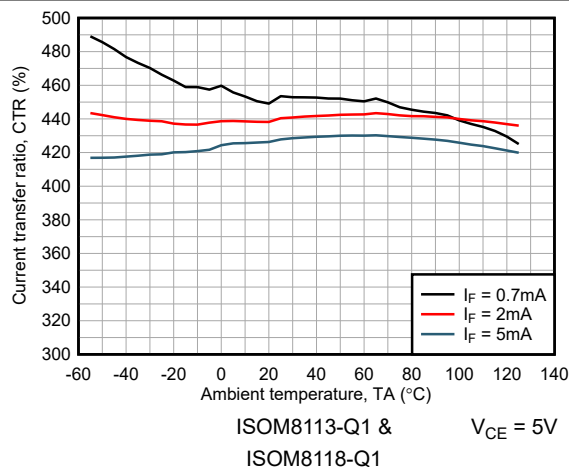


図 6-25. 電流伝達率と周囲温度との関係

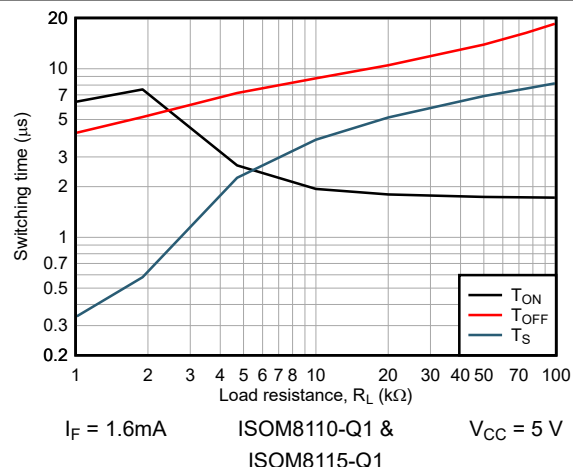


図 6-26. スイッチング時間と負荷抵抗との関係

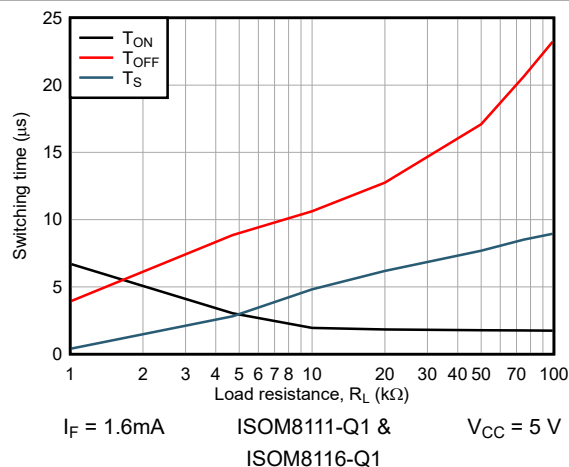


図 6-27. スイッチング時間と負荷抵抗との関係

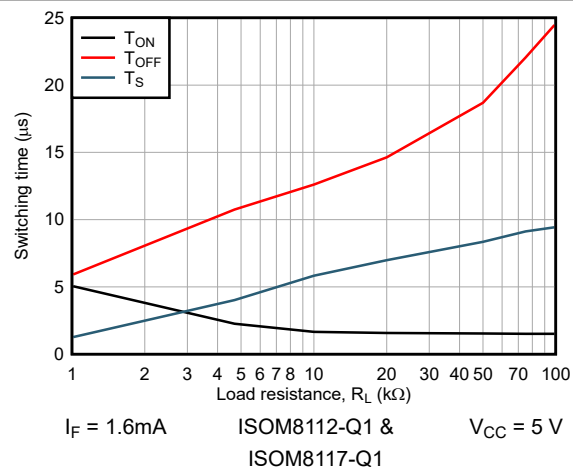


図 6-28. スイッチング時間と負荷抵抗との関係

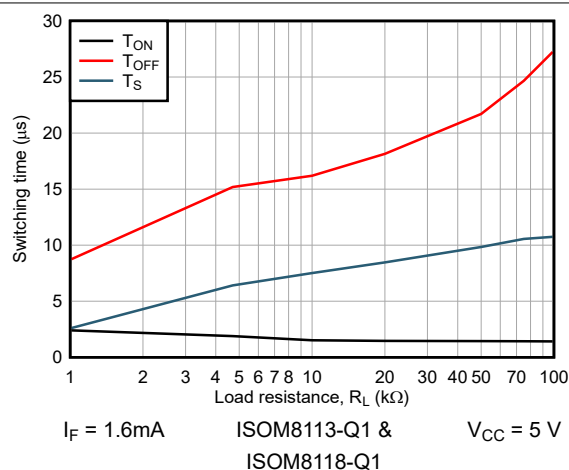


図 6-29. スイッチング時間と負荷抵抗との関係

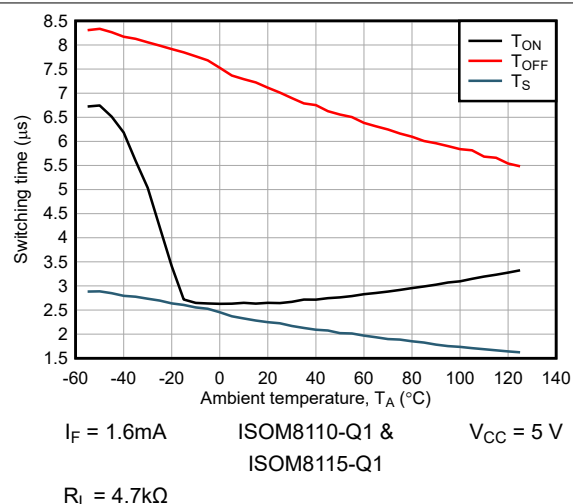
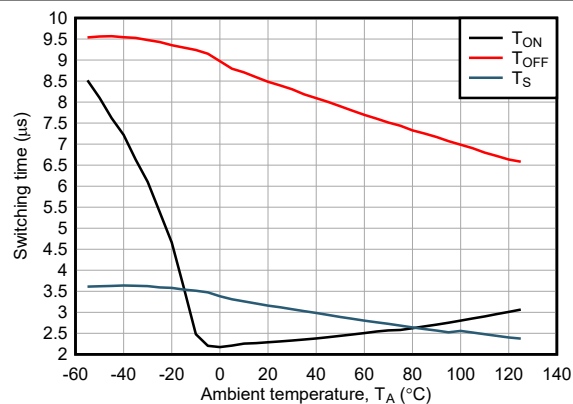
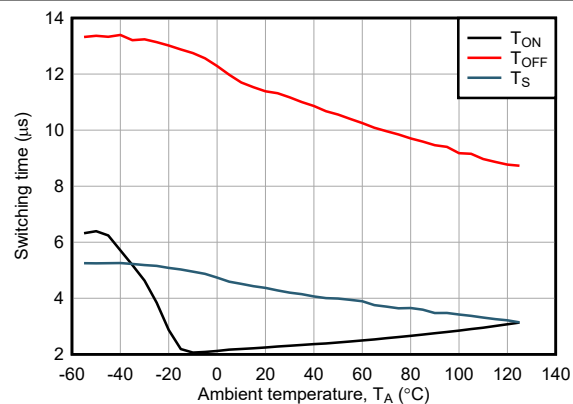


図 6-30. スイッチング時間と周囲温度との関係



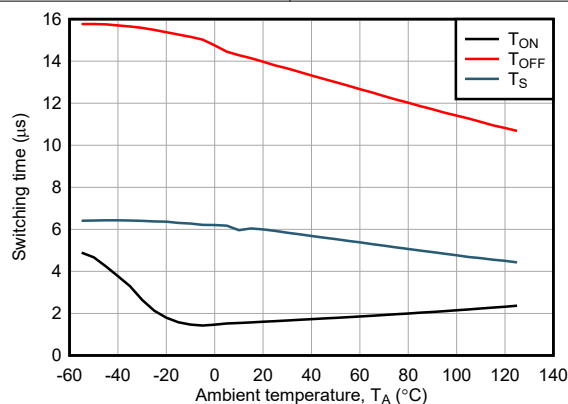
$I_F = 1.6\text{mA}$ ISOM8111-Q1 & ISOM8116-Q1 $V_{CC} = 5\text{V}$
 $R_L = 4.7\text{k}\Omega$

図 6-31. スイッチング時間と周囲温度との関係



$I_F = 1.6\text{mA}$ ISOM8112-Q1 & ISOM8117-Q1 $V_{CC} = 5\text{V}$
 $R_L = 4.7\text{k}\Omega$

図 6-32. スイッチング時間と周囲温度との関係



$I_F = 1.6\text{mA}$ ISOM8113-Q1 & ISOM8118-Q1 $V_{CC} = 5\text{V}$
 $R_L = 4.7\text{k}\Omega$

図 6-33. スイッチング時間と周囲温度との関係

7 パラメータ測定情報

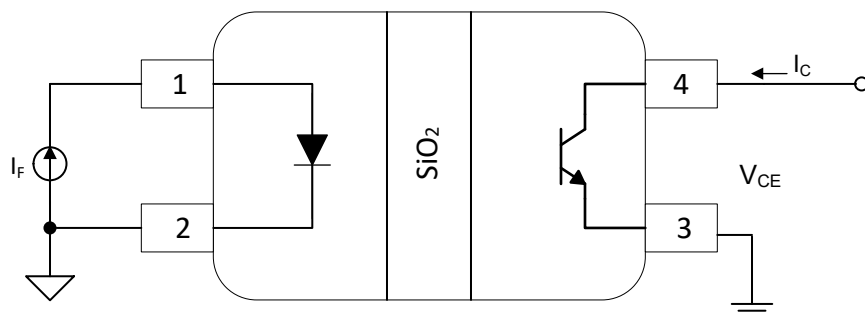


図 7-1. ISOM811x-Q1 CTR のテスト回路

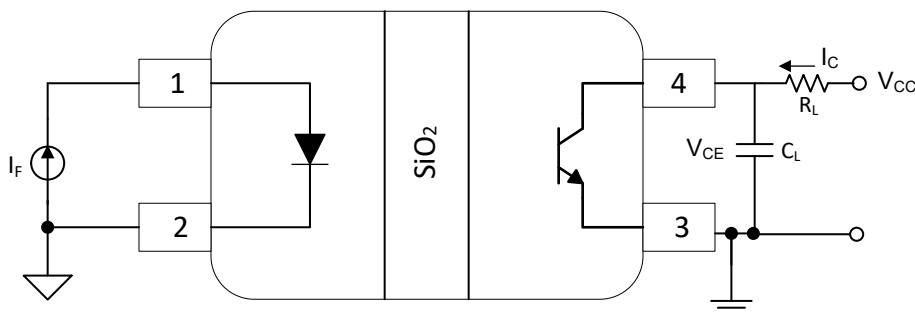


図 7-2. ISOM811x-Q1 スイッチング タイミングのテスト回路

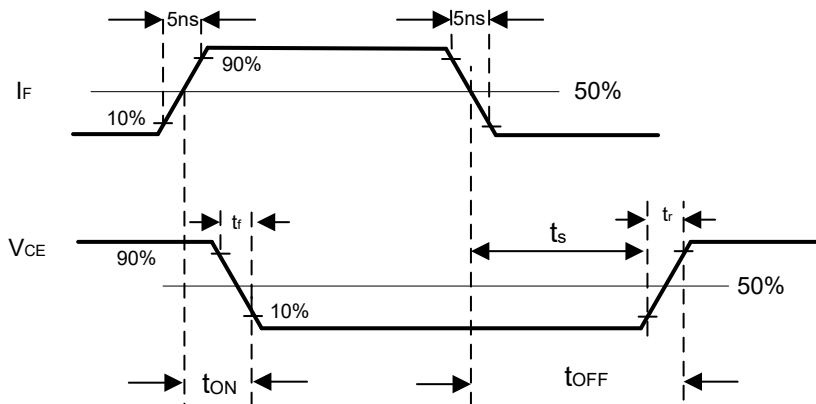


図 7-3. ISOM811x-Q1 スイッチング タイミング波形

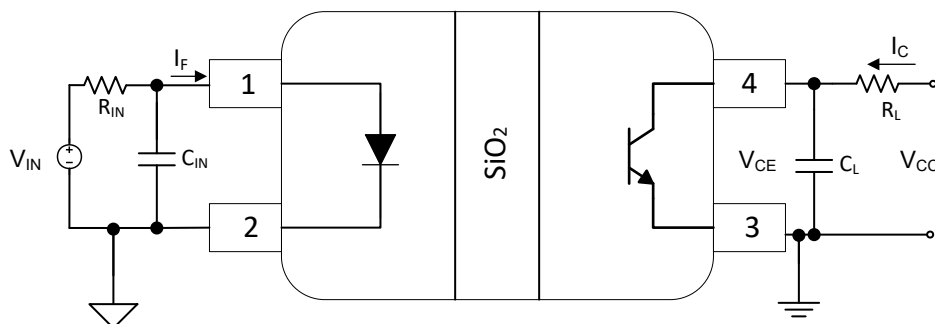


図 7-4. ISOM811[0-3]-Q1 帯域幅のテスト回路

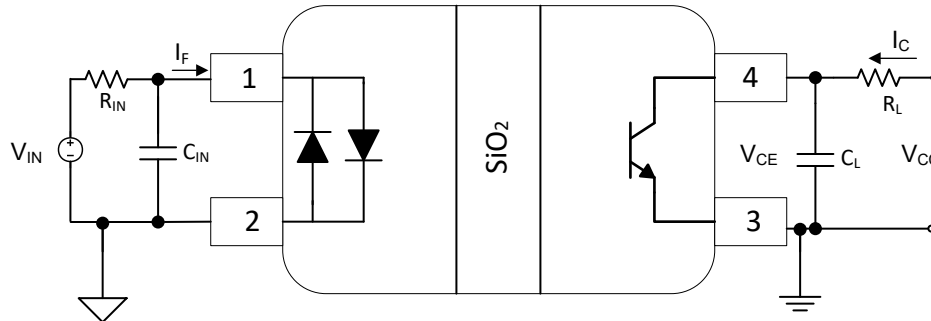


図 7-5. ISOM811[5-8]-Q1 帯域幅のテスト回路

8 詳細説明

8.1 概要

ISOM811x-Q1 フォトカプラ エミュレータは、多くの従来のフォトカプラに対するシングルチャネルのピン互換アップグレードです。標準的なフォトカプラは LED を入力段として使用しますが、ISOM811x-Q1 は入力段としてエミュレーション LED を使用します。入力段および出力段は、テキサス・インスツルメンツ独自の二酸化シリコン ベース (SiO₂) 絶縁バリアによって絶縁されています。この絶縁テクノロジーにより、ISOM811x-Q1 は温度や順方向電流の増加、およびデバイスの経年変化に伴って性能が低下する、フォトカプラに見られる磨耗効果に耐性があります。注文のオプションには、4 種類の異なる電流伝達率 (CTR) の範囲と、単極および双極 DC フローをサポートする入力オプションが含まれます。

ISOM811x-Q1 デバイス ファミリーは、DC 信号および双方向 DC 信号を絶縁し、従来のフォトカプラでは得られなかった性能、信頼性、および柔軟性の利点を提供します。

セクション 8.2 に、ISOM811x-Q1 デバイスの機能ブロック図を示します。入力信号は、オン / オフ キーイング (OOK) 変調方式を使用して絶縁バリアを通過します。トランスミッタは、バリアを介して高周波キャリアを送信します。このキャリアには、入力ピンに流れている電流の量に関する情報が含まれています。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、出力段経由で信号を生成します。これらのデバイスは、帯域幅を最大化し、放射エミッションを最小化するための高度な回路手法も採用しています。図 8-3 に、OOK 方式の作用の詳細な概念図を示します。

8.2 機能ブロック図

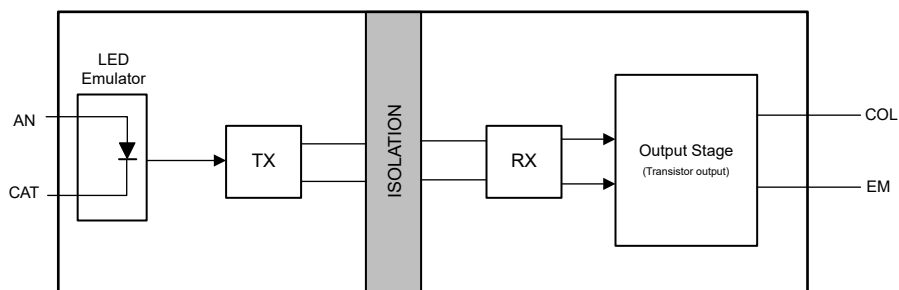


図 8-1. フォトカプラ エミュレータの概念ブロック図 ISOM811[0-3]-Q1

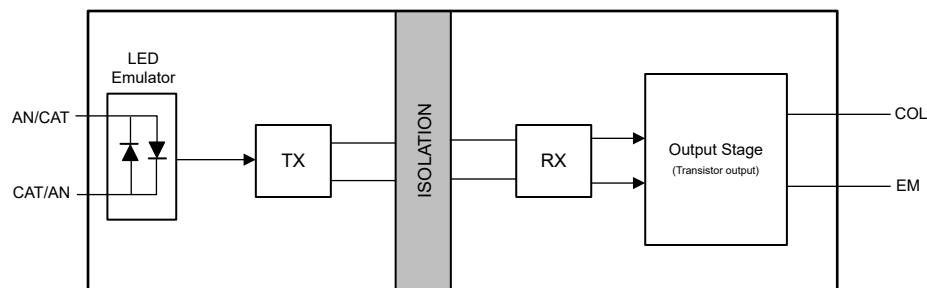


図 8-2. フォトカプラ エミュレータの概念ブロック図 ISOM811[5-8]-Q1

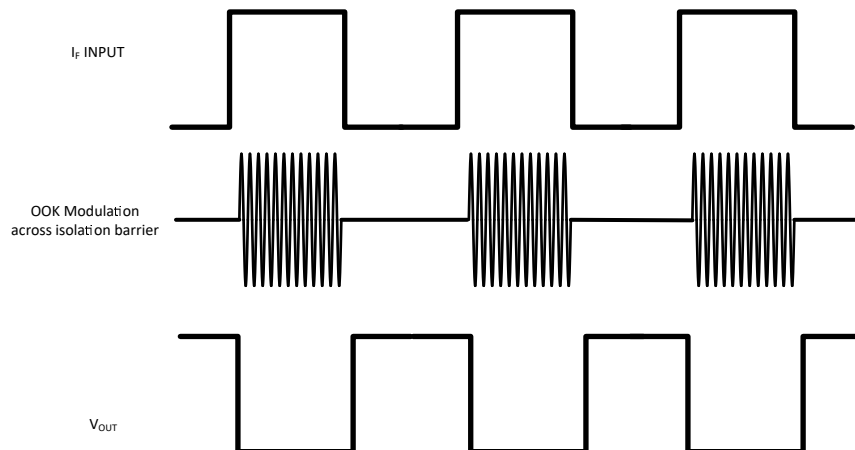


図 8-3. オン オフ キーイング (OOK) による変調方式

8.3 機能説明

ISOM811x-Q1 デバイスは、DC 信号と双方向 DC 信号を絶縁します。ISOM811x-Q1 は、複数の CTR オプションを備えたオープンコレクタ出力を備えています。使用しているパッケージ オプションに応じて、これらのデバイスは、サイド 1 とサイド 2 の間の絶縁耐圧 (V_{ISO}) を最大 5000V_{RMS} サポートできます。

8.4 デバイスの機能モード

表 8-1 に ISOM811x-Q1 デバイスの機能モードを示します。

表 8-1. 機能表

CTR ¹	部品番号	入力タイプ
100%~155%	ISOM8110-Q1	DC
	ISOM8115-Q1	双方向 DC
150%~230%	ISOM8111-Q1	DC
	ISOM8116-Q1	双方向 DC
255%~380%	ISOM8112-Q1	DC
	ISOM8117-Q1	双方向 DC
375%~560%	ISOM8113-Q1	DC
	ISOM8118-Q1	双方向 DC

1. $I_F = 5\text{mA}$, $T_A = 25^\circ\text{C}$, $V_{CE} = 5\text{V}$ 。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

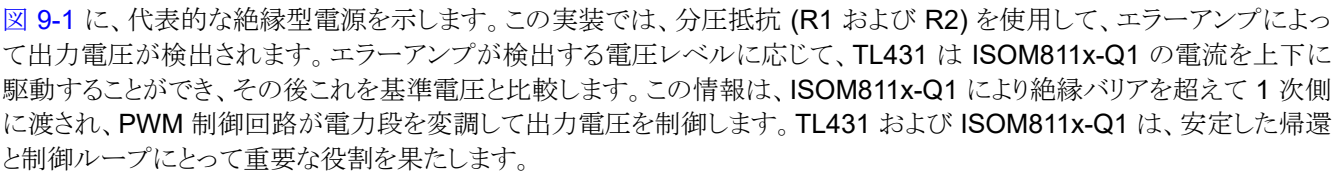
ISOM811x-Q1 デバイスは、LED エミュレータ入力とトランジスタ出力を備えたシングル チャネルのフォトカプラ エミュレータです。これらのデバイスはオン / オフ キーイング変調を使用して、絶縁バリアをまたぐデータを送信します。入力段は、テキサス・インスツルメンツ独自の二酸化シリコン ベース (SiO_2) の絶縁バリアによってドライバ段から絶縁され、堅牢な絶縁を実現しています。ISOM811x-Q1 フォトカプラ エミュレータは温度定格が従来のフォトカプラよりも広いため、過酷な環境でも信頼性の高い信号絶縁を実現できます。

ISOM811x-Q1 デバイスは、外部負荷が接続されたときに電流をシンクすることが可能です。標準的なトランジスタ出力フォトカプラと同様に、出力電流は入力電流レベル (I_F) と電流伝達率 (CTR) に依存します。複数の CTR オプション (100%~560%)、低入力電流、高帯域幅、短いターンオフ遅延、低消費電力、広い温度範囲を備えた ISOM811x-Q1 デバイスは、ファクトリオートメーション、ビルオートメーション、電動モビリティ、自動車、航空、医療、電力供給などさまざまな業界で使用するよう設計されています。

9.1.1 代表的なアプリケーション

ISOM811x-Q1 フォトカプラエミュレータは、絶縁型電源のフィードバック制御ループに一般的に使用されます。これらのデバイスは、1 次側と 2 次側のドメインを絶縁して出力電圧を制御しながら、電流のフィードバックの問題を解決するために使用されます。

電源では、トランス (例: フライバック コンバータ) を使用して、出力電圧をメイン入力電圧から絶縁します。アナログ電源ユニットの場合、通常、コントローラ IC はトランスの 1 次側に配置します。閉ループ制御を実現するには、2 次側の出力電圧を測定し、その電圧を 1 次側のコントローラにフィードバックする必要があります。この設計を実現する最も一般的な方法は、ISOM811x-Q1、エラーアンプ (一般に TL431)、電圧コンパレータなどのフォトカプラ エミュレータを使用して、絶縁バリアをまたがって帰還ループを形成することです。

 図 9-1 に、代表的な絶縁型電源を示します。この実装では、分圧抵抗 (R1 および R2) を使用して、エラーアンプによって出力電圧が検出されます。エラーアンプが検出する電圧レベルに応じて、TL431 は ISOM811x-Q1 の電流を上下に駆動することができ、その後これを基準電圧と比較します。この情報は、ISOM811x-Q1 により絶縁バリアを超えて 1 次側に渡され、PWM 制御回路が電力段を変調して出力電圧を制御します。TL431 および ISOM811x-Q1 は、安定した帰還と制御ループにとって重要な役割を果たします。

ISOM811x-Q1 デバイスは、その CTR が広い温度範囲にわたって安定しており、小型で低コスト、信頼性が高く、設計しやすい実装を実現するため、一般的に使用されるフォトカプラに比べて過渡応答、信頼性、安定性を改善することができます。

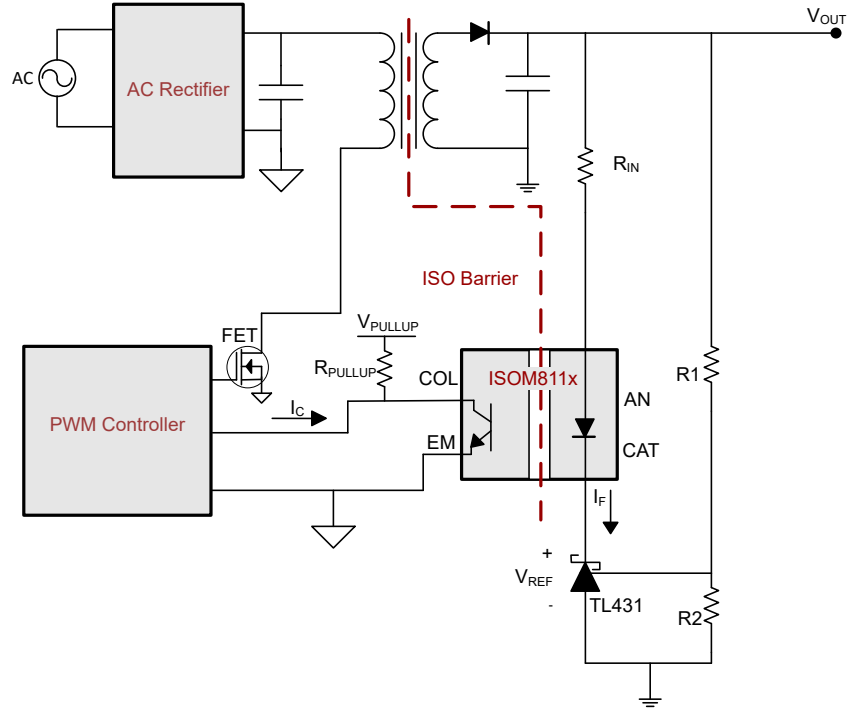


図 9-1. ISOM811x-Q1 を使用した代表的な絶縁型電源アプリケーション

9.1.1.1 設計要件

ISOM811x-Q1 デバイスを使用する設計には 表 9-1 に記載されているパラメータを使用します。

表 9-1. 設計パラメータ

パラメータ	値
入力順方向電流範囲、 I_F	0.7mA (最小)、20mA (最大)
電流伝達率 (CTR): $I_F = 5\text{mA}$, CTR のとき	100%~155%
コレクタの電流許容誤差、 I_C	50mA (最大)
コレクタ - エミッタ間電圧 (飽和)、 $V_{CE(SAT)}$	0.3V (最大値)
入力順方向電圧、 V_F	1.2V (標準値)

9.1.1.2 詳細な設計手順

このセクションでは、ISOM811x-Q1 フォトカプラ エミュレータを使用するための設計手順について説明します。推奨動作条件内で ISOM811x-Q1 を動作させるには、外部部品を選択する必要があります。部品選択に関する以下の推奨事項は、絶縁型フライバックコンバータの標準的な帰還制御ループの設計に重点を置いています。

絶縁型電源のフィードバック制御ループでフォトカプラを使用する場合、電源の出力電圧やフィードバック信号を送信するコントローラの種類など、多くの変数がフォトカプラの適切な使用方法に影響を及ぼす可能性があります。この例では、この電源の出力電圧 V_{OUT} が 5V であり、使用されている PWM コントローラにはエラー アンプが内蔵されており、COMP ピンがこのアンプの出力となるものと仮定します。

9.1.1.2.1 R_{PULLUP} のサイズ設定

ISOM811x-Q1 のトランジスタ出力は、通常のトランジスタと同様に、アクティブ、飽和、リバース、カットオフ領域で動作します。出力が飽和してもダメージにならないことを確認するために、与えられたプルアップ電圧 V_{PULLUP} について 式 1 により R_{PULLUP} の最小値を計算できます。

$$R_{PULLUP} > \frac{V_{PULLUP} - V_{CE(SAT)}}{I_C(MAX)} \quad (1)$$

帰還ループ アプリケーションの例として、 V_{PULLUP} が 10V のときの R_{PULLUP} の必要な最低値を計算することができ、誤差アンプの最大出力電圧 ($V_{COMP(MAX)}$) は 2.5V、エラーアンプの最大出力電流は内部で 1.6mA にクランプされます。 R_{PULLUP} の計算式を式 2 に示します。

$$R_{PULLUP} > \frac{V_{PULLUP} - V_{COMP(MAX)}}{I_{COMP(CLAMP)}} = \frac{10V - 2.5V}{1.6mA} = 4.66k\Omega \quad (2)$$

9.1.1.2.2 R_{IN} のサイズ設定

ISOM811x-Q1 の入力側は電流駆動です。AN ピンに流れる電流の量を制限するには、図 9-1 に示すように、直列抵抗 R_{IN} を入力と直列に配置することをお勧めします。

ISOM811x-Q1 デバイスがどのように使用されているかに応じて、 R_{IN} の値はかなり変動します。ただし、High レベルで入力が損傷しないようにするため、与えられた入力電圧 V_{IN} に対して R_{IN} の最小値を式 3 で計算できます。

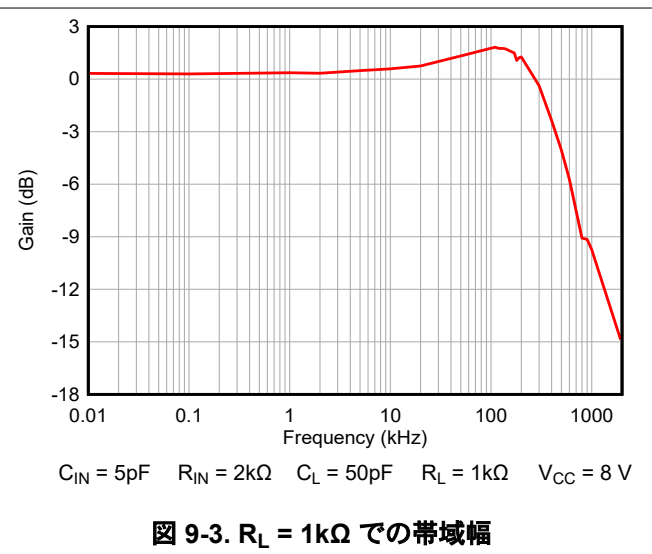
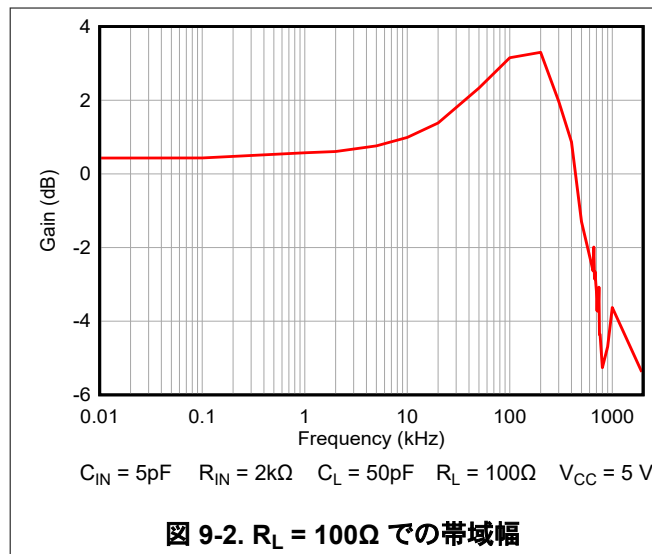
$$R_{IN} > \frac{V_{IN} - V_F}{I_C(MAX)} \quad (3)$$

ただし、帰還ループの使用事例では、 R_{IN} がループの中帯域ゲインに直接影響を及ぼします。TL431 が 2.5V の基準電圧 V_{REF} を供給するように構成されており、 R_{PULLUP} が 5k Ω であると仮定すると、式 4 を使用して R_{IN} の最大値を計算することができ、1 次側の V_{COMP} 電圧を ISOM811x-Q1 の飽和電圧 $V_{CE(SAT)}$ までプルアップできることが確認できます。

$$R_{IN} < \frac{(V_{OUT} - V_{REF} - V_F) \times R_{PULLUP} \times CTR_{MIN}}{V_{PULLUP} - V_{CE(SAT)}} = \frac{(5V - 2.5V - 1.2V) \times 5k\Omega \times 100\%}{10V - 0.3V} = 670\Omega \quad (4)$$

9.1.1.3 アプリケーション曲線

以下の曲線は、 $V_{IN} = 5V_{DC} + 2V_{PK}$ のさまざまな負荷条件における帯域幅性能を示して ISOM8110-Q1 います。設定の詳細については、図 7-4 を参照してください。



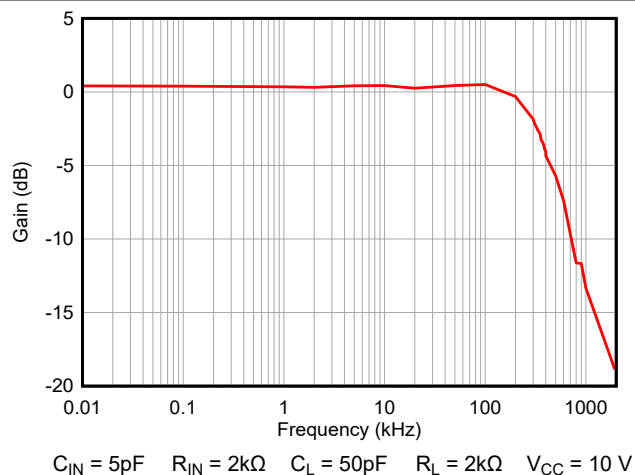


図 9-4. $R_L = 2\text{k}\Omega$ での帯域幅

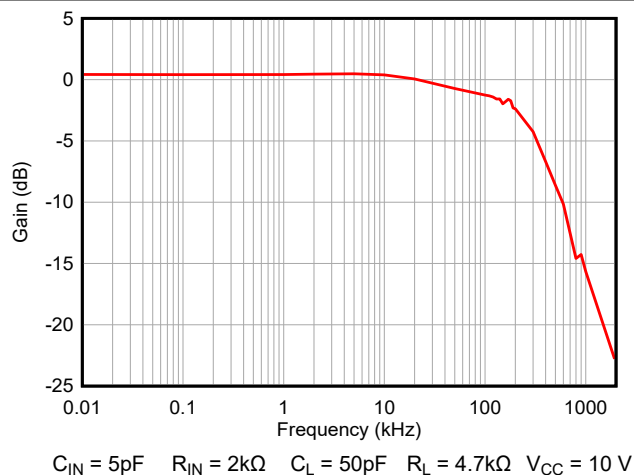


図 9-5. $R_L = 4.7\text{k}\Omega$ での帯域幅

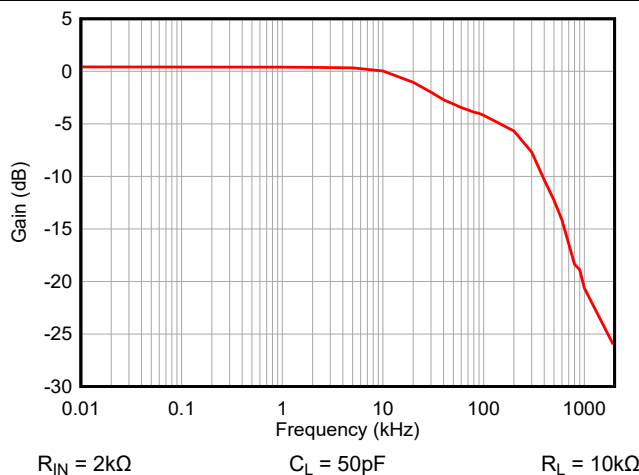


図 9-6. $R_L = 10\text{k}\Omega$ での帯域幅

9.2 電源に関する推奨事項

ISOM811x-Q1 には電源ピンがないため、動作に専用電源は必要ありません。デバイスが適切に機能するように、推奨される I/O 仕様に違反しないように注意してください。

9.3 レイアウト

9.3.1 レイアウトのガイドライン

- インダクタンスを最小限に抑えるために、直接接続または 2 つのビアを使用して、グラウンドへのデバイス接続を PCB グランドプレーンに接続する必要があります。
- コンデンサや他の部品を PCB グランドプレーンに接続するには、インダクタンスを最小限に抑えるために、直接接続または 2 つのビアを使用する必要があります。

9.3.2 レイアウト例

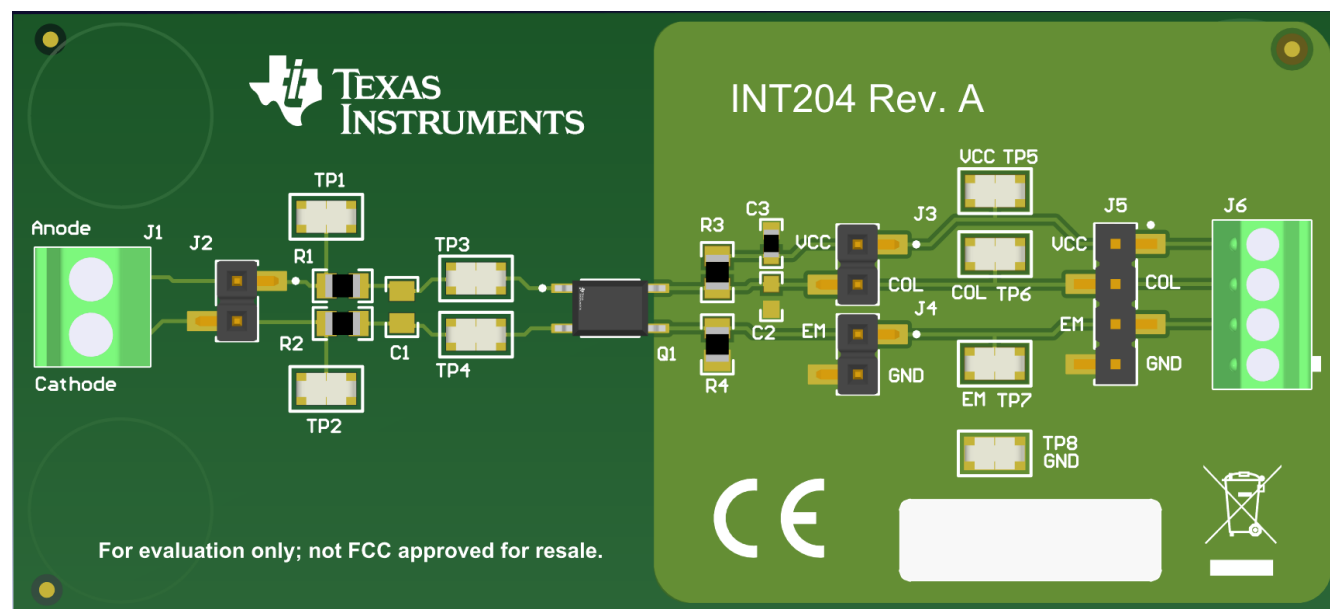


図 9-7. 1 層基板を使用した ISOM811x-Q1 のレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[絶縁用語集](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[フォトカプラ エミュレータの概要](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[ISOM8110 シングルチャネル フォトカプラ エミュレータ、アナログトランジスタ出力評価基板付き](#)』、EVM ユーザーガイド

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (October 2024) to Revision D (April 2025)	Page
---	------

- | | |
|--------------------------------------|---|
| • ドキュメント全体にわたって図、表、相互参照の採番方法を更新..... | 1 |
| • プレビュー版の DFS パッケージ情報で更新..... | 1 |

Changes from Revision B (August 2024) to Revision C (October 2024)	Page
--	------

- | | |
|--------------------------------------|---|
| • ドキュメント全体にわたって図、表、相互参照の採番方法を更新..... | 1 |
|--------------------------------------|---|

Changes from Revision A (December 2023) to Revision B (August 2024)	Page
---	------

- | | |
|--------------------------------------|----|
| • ドキュメント全体にわたって図、表、相互参照の採番方法を更新..... | 1 |
| • 「デバイスおよびドキュメントのサポート」セクションを追加 | 27 |
-

Changes from Revision * (April 2024) to Revision A (July 2024)	Page
--	------

- | | |
|--------------------------------------|---|
| • ドキュメント全体にわたって図、表、相互参照の採番方法を更新..... | 1 |
| • ドキュメント全体にわたってパッケージおよび製品情報を更新..... | 1 |
-

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOM8110DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8110DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8110DFSRQ1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFSRQ1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFSRQ1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8111DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8111DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8111DFSRQ1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFSRQ1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFSRQ1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8112DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8112DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8112DFSRQ1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFSRQ1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFSRQ1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8113DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOM8113DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8113DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8113DFSQR1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFSQR1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFSQR1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8115DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8115DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8115DFSQR1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFSQR1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFSQR1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8116DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8116DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8116DFSQR1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFSQR1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFSQR1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8117DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8117DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOM8117DFSRQ1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFSRQ1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFSRQ1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8118DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8118DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISOM8118DFSRQ1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFSRQ1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFSRQ1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISOM8110-Q1, ISOM8111-Q1, ISOM8112-Q1, ISOM8113-Q1, ISOM8115-Q1, ISOM8116-Q1, ISOM8117-Q1, ISOM8118-Q1 :

- Catalog : [ISOM8110](#), [ISOM8111](#), [ISOM8112](#), [ISOM8113](#), [ISOM8115](#), [ISOM8116](#), [ISOM8117](#), [ISOM8118](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

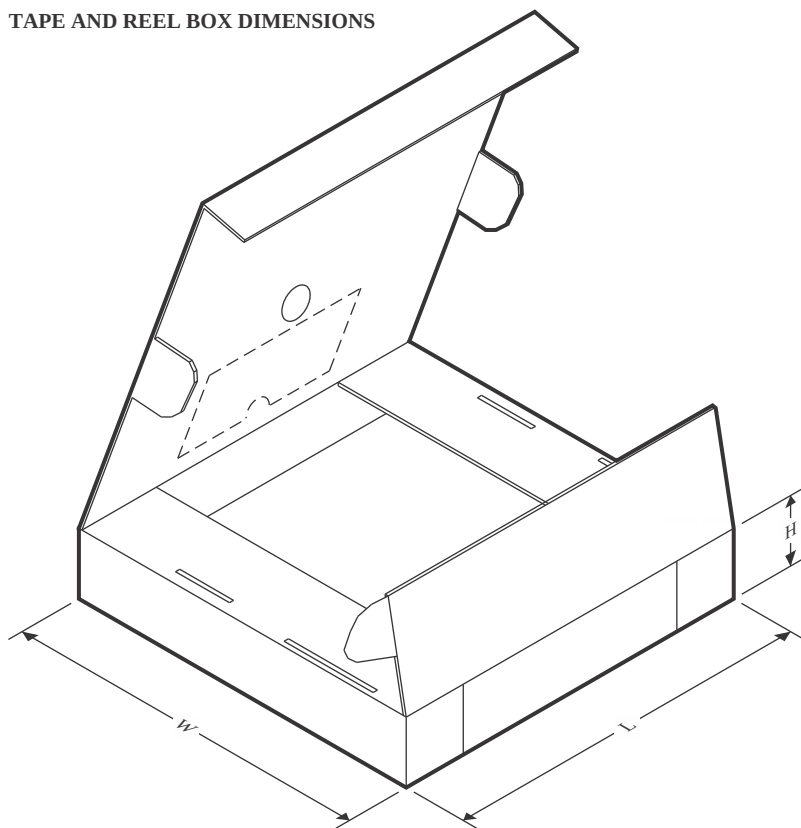


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOM8110DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8110DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8110DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8111DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8111DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8111DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8112DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8112DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8112DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8113DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8113DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8113DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8115DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8115DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8115DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8116DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOM8116DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8116DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8117DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8117DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8117DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8118DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8118DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8118DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1

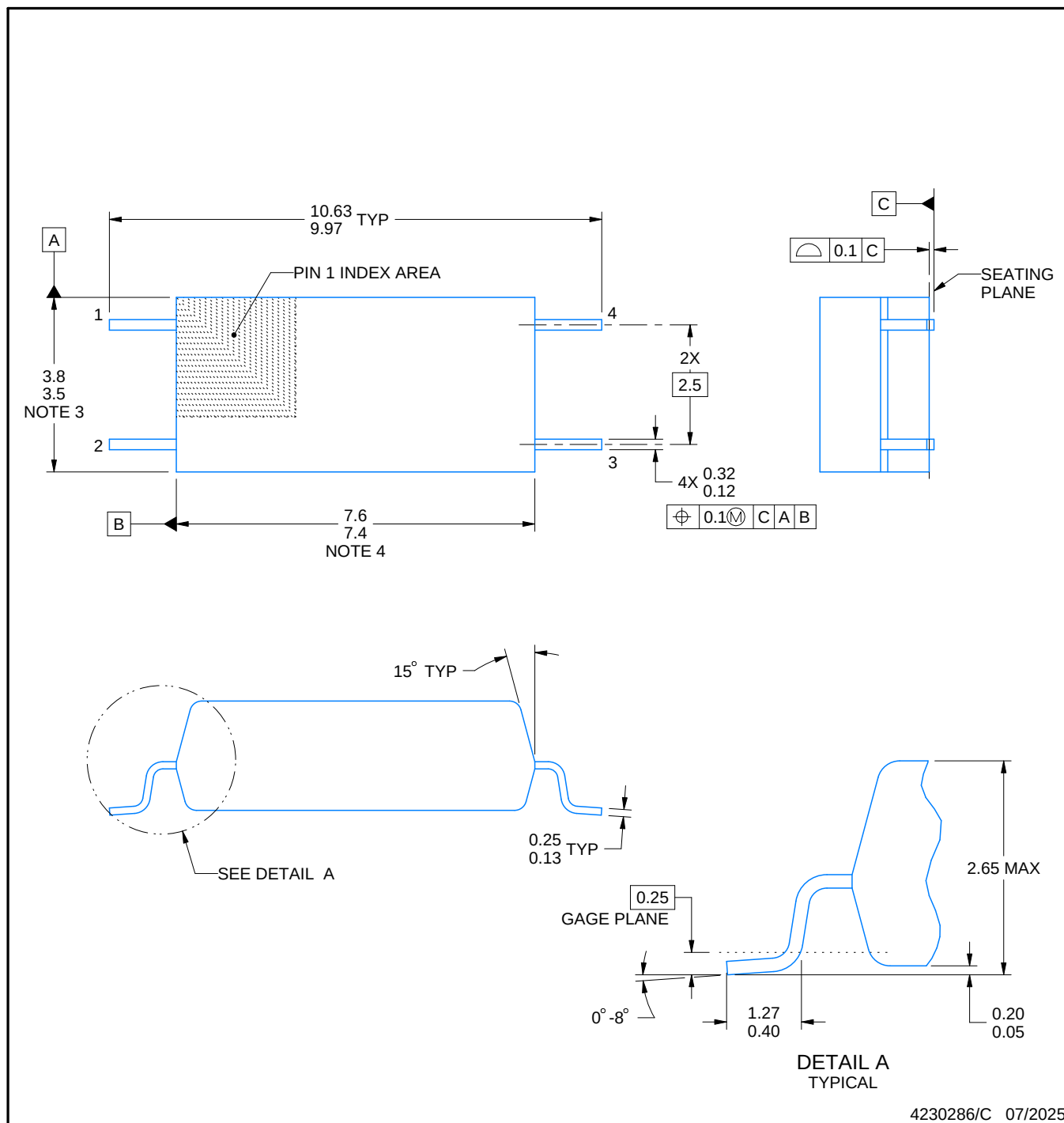
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOM8110DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8110DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8110DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8111DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8111DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8111DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8112DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8112DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8112DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8113DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8113DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8113DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8115DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8115DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8115DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8116DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8116DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8116DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOM8117DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8117DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8117DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8118DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8118DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8118DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0



4230286/C 07/2025

NOTES:

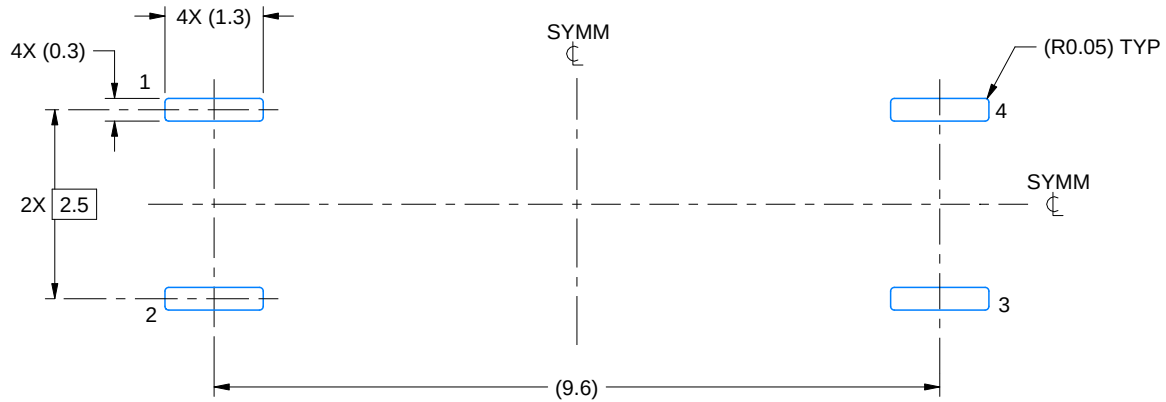
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

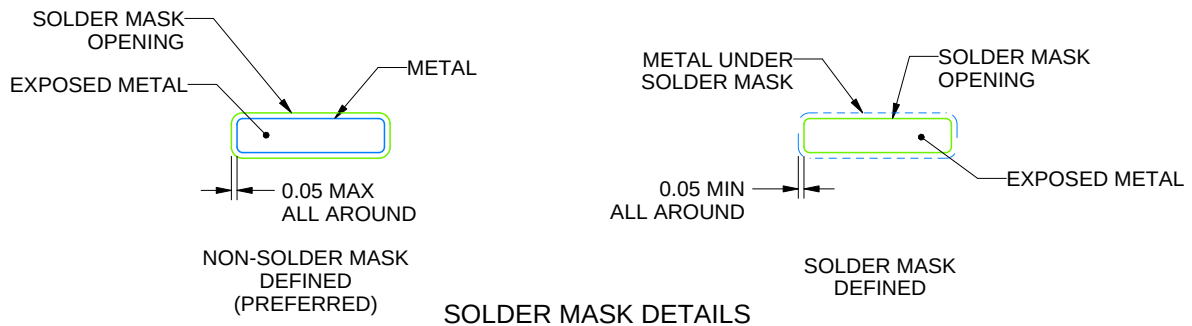
DFS0004A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4230286/C 07/2025

NOTES: (continued)

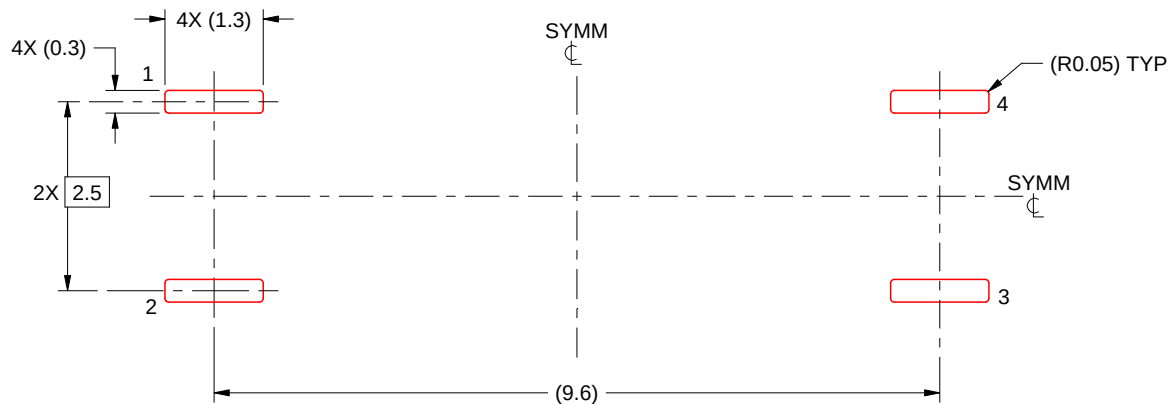
- Publication IPC-7351 may have alternate designs.
- Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFS0004A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4230286/C 07/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

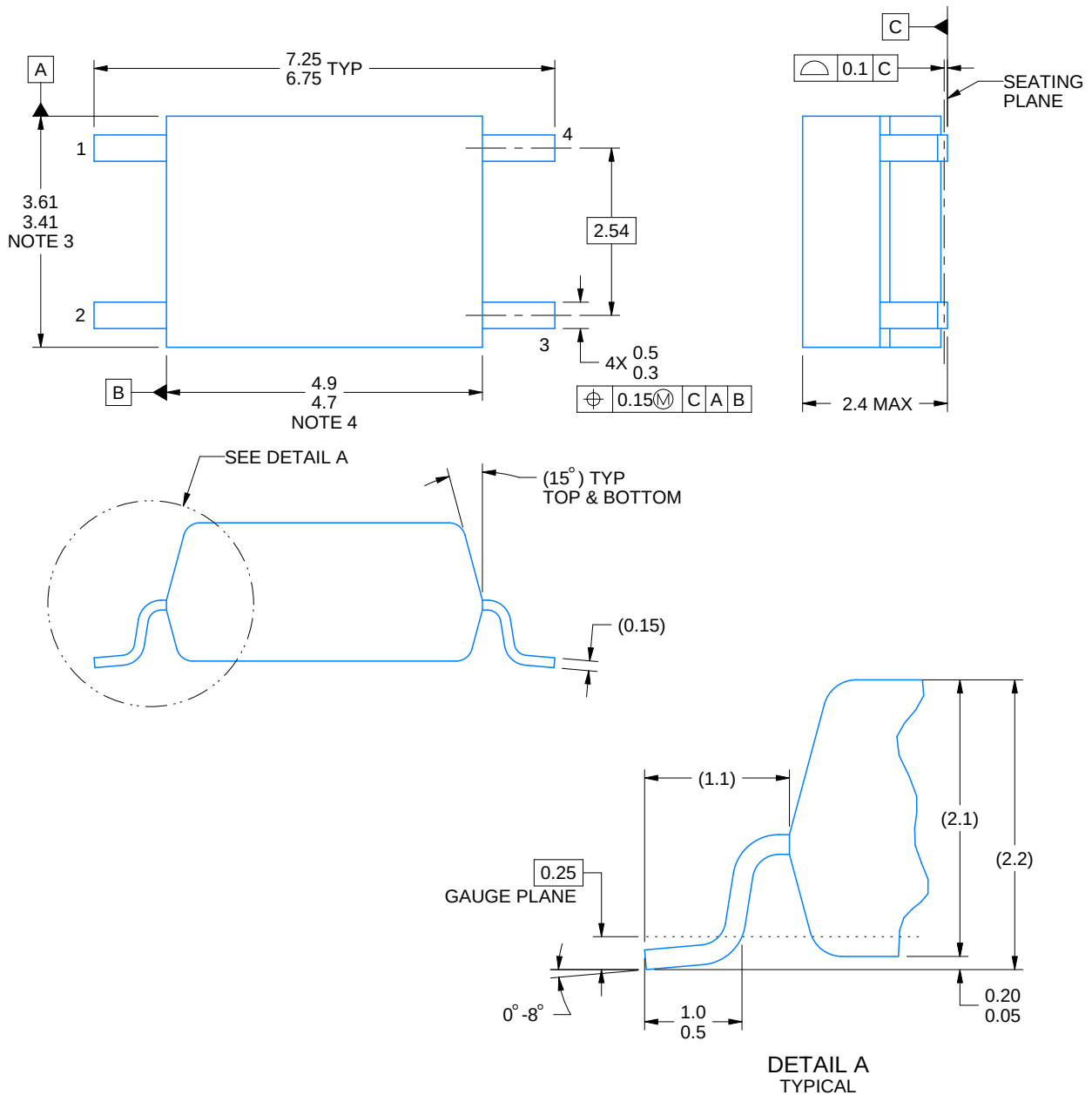
DFG0004A



PACKAGE OUTLINE

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4227022/C 07/2024

NOTES:

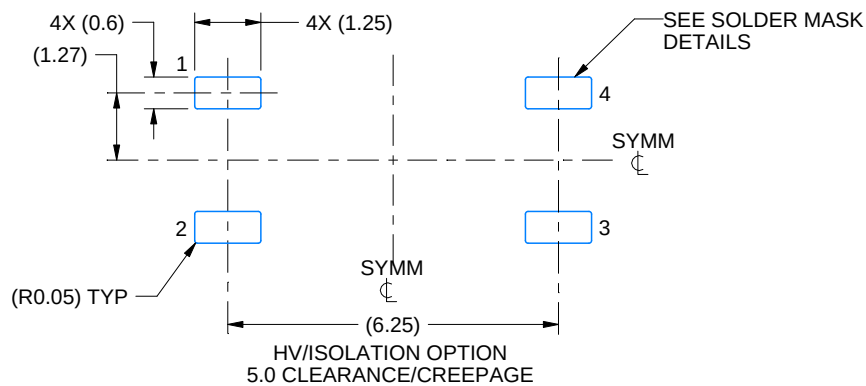
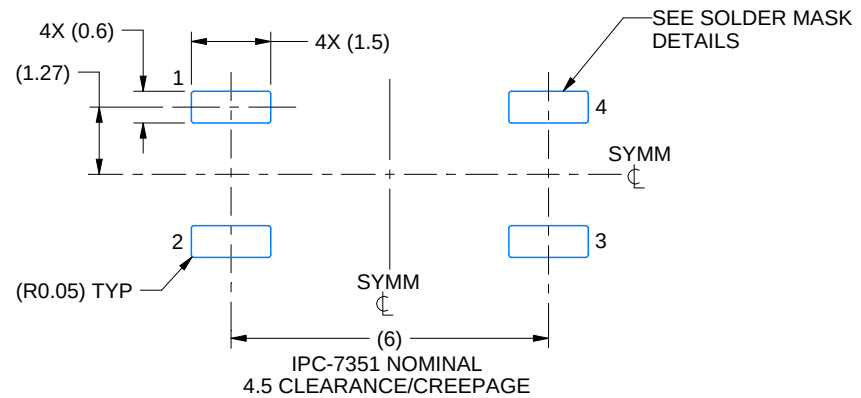
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash.

EXAMPLE BOARD LAYOUT

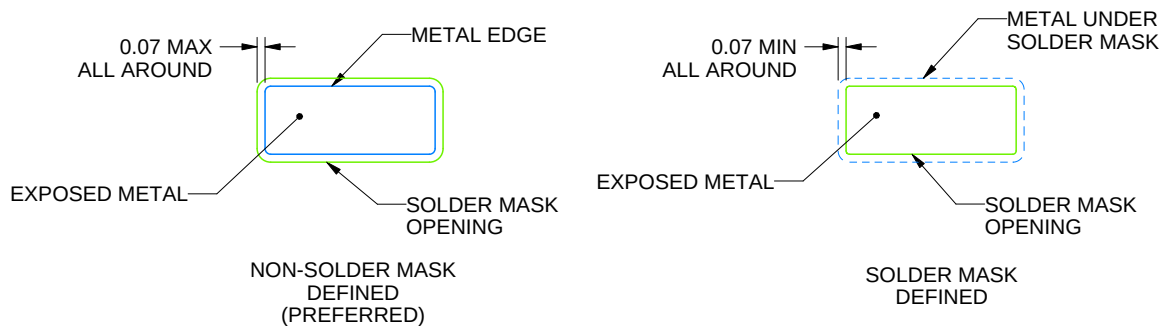
DFG0004A

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 7X



SOLDER MASK DETAILS

4227022/C 07/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

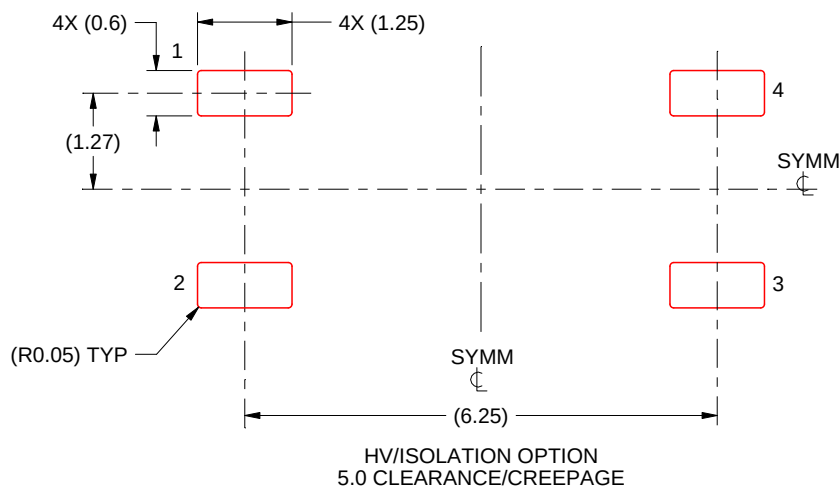
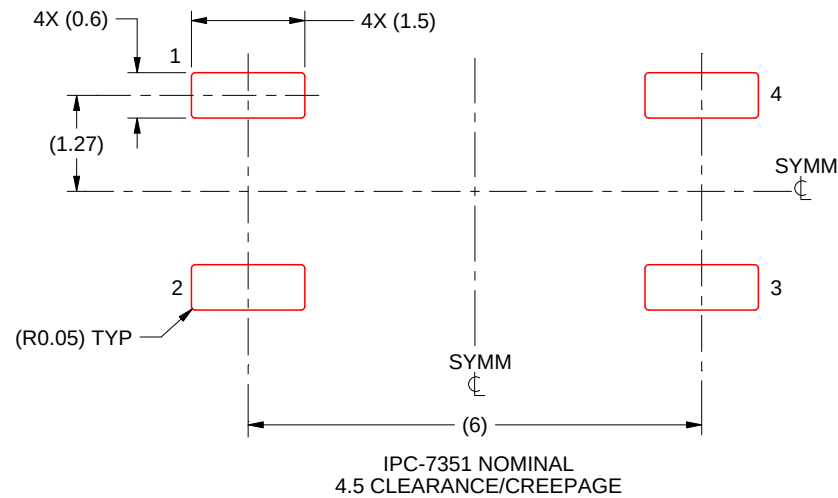
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFG0004A

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4227022/C 07/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

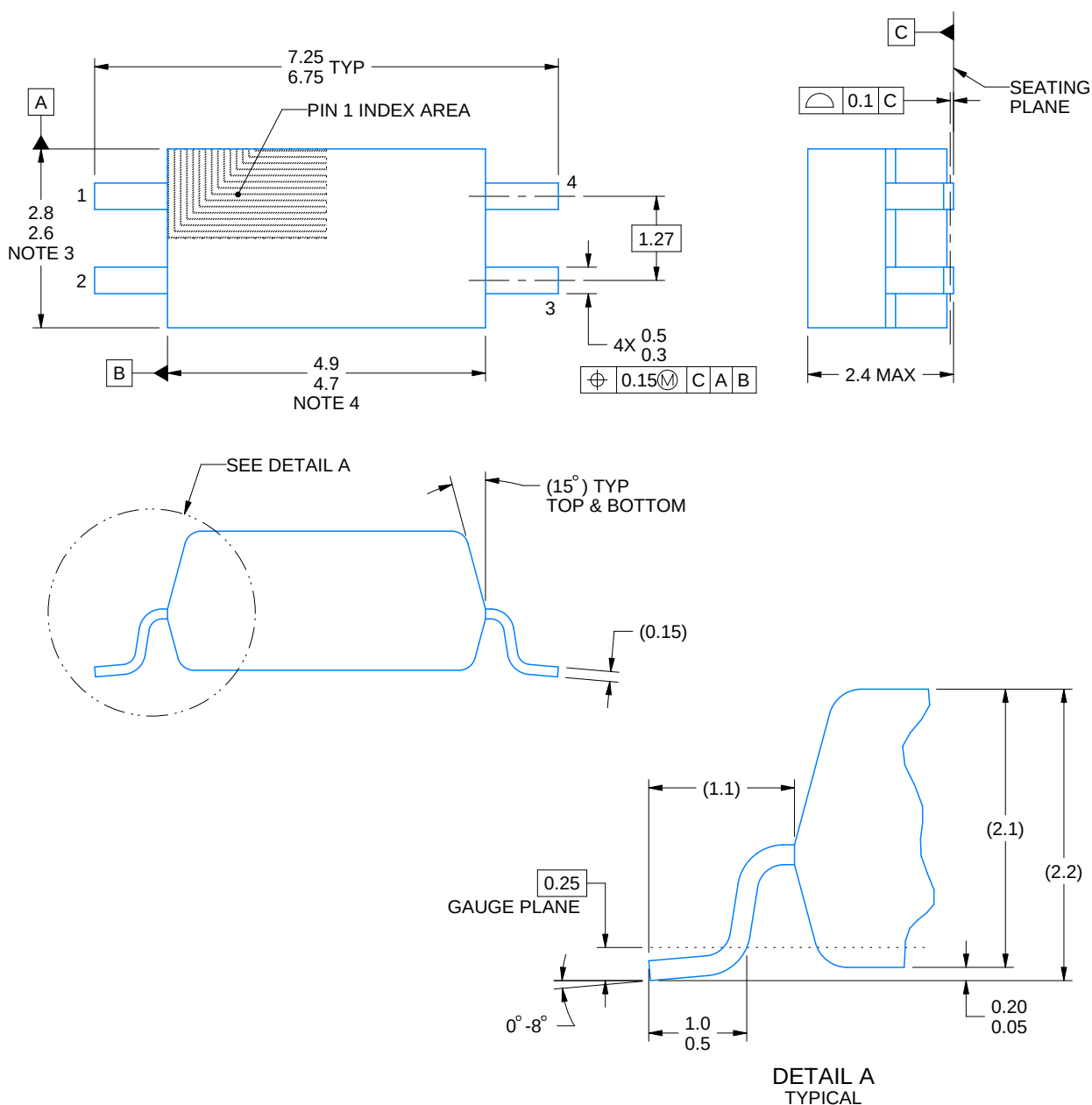
DFH0004A



PACKAGE OUTLINE

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4227156/D 03/2025

NOTES:

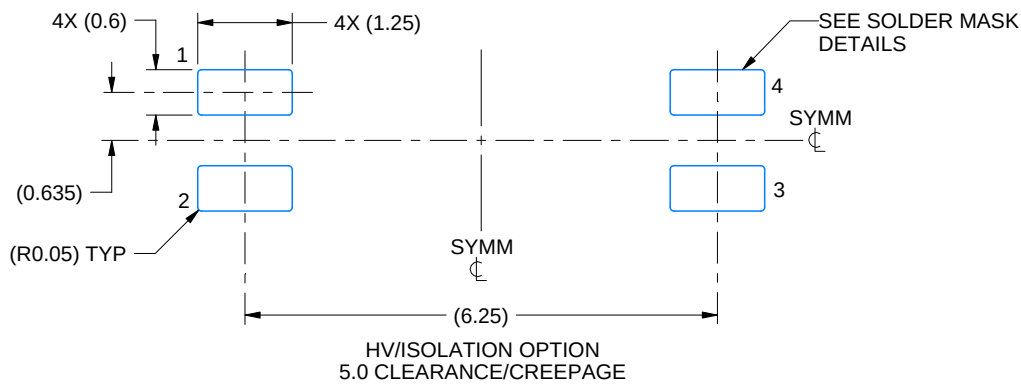
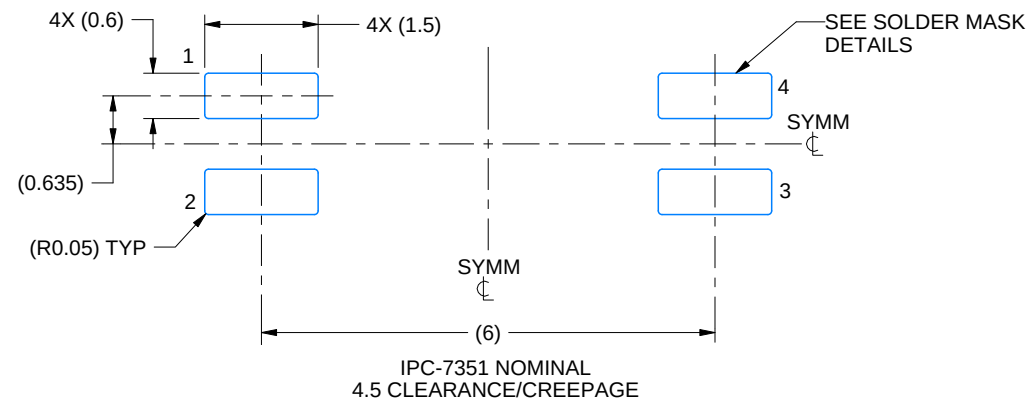
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash.

EXAMPLE BOARD LAYOUT

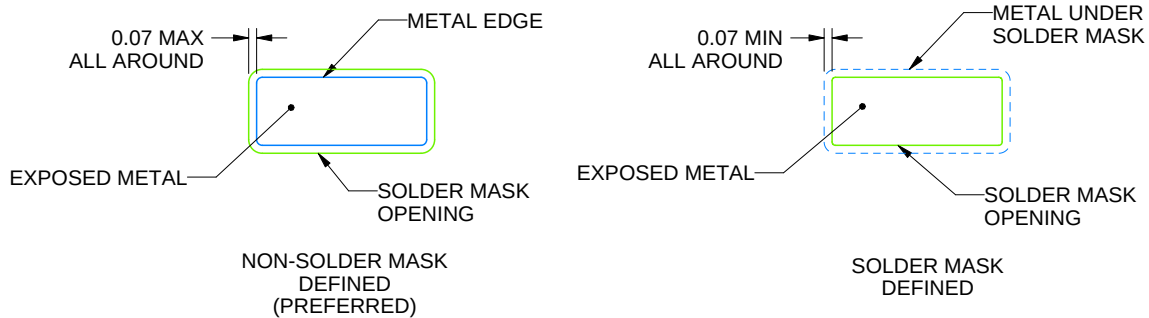
DFH0004A

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4227156/D 03/2025

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

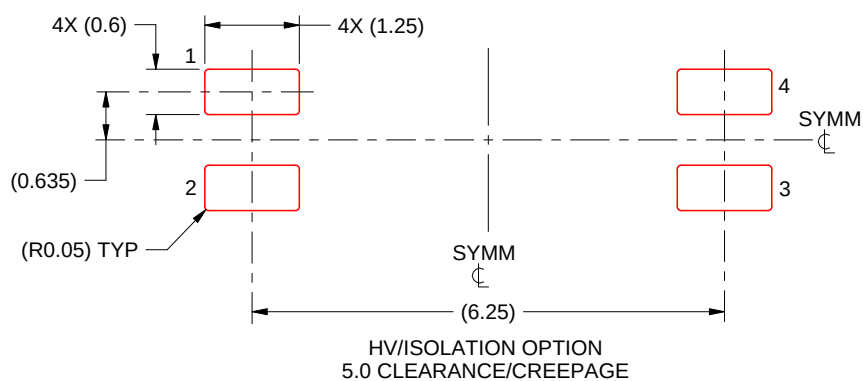
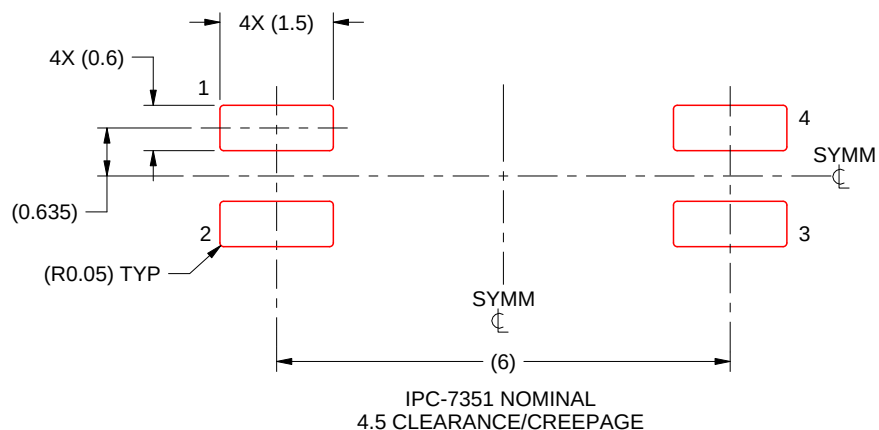
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFH0004A

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4227156/D 03/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated