

## ISO72x シングルチャネル高速デジタルアイソレータ

### 1 特長

- 100Mbps および 150Mbps の信号速度オプション
- 伝搬遅延は 12ns (標準値) です。
- パルススキューは 0.5ns (標準値) です。
- 低消費電力スリープ モード
- 定格動作電圧で標準寿命 28 年(「絶縁寿命予測」を参照)
- 高い電磁気耐性
- フェイルセーフ出力
- 大半の光・磁気アイソレータに対しドロップイン代替可能
- 3.3V および 5V 電源で動作
- -40°C～+125°C の動作温度範囲
- 安全関連認証:
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 部品認定プログラム
  - IEC 61010-1 認定、IEC 62368-1 認定

### 2 アプリケーション

- ファクトリ オートメーション
  - Modbus
  - Profibus™
  - DeviceNet™ データバス
- コンピュータペリフェラル インターフェイス
- サーボ制御インターフェイス
- データアクイジション

### 3 説明

ISO721、ISO721M、ISO722、ISO722M デバイスは、ロジック入力および出力バッファが二酸化ケイ素 ( $\text{SiO}_2$ ) の絶縁膜によって分離されたデジタル アイソレータです。この絶縁膜は、VDE 0884-17 に準拠した、最大  $4000\text{V}_{\text{PK}}$  のガルバニック絶縁を提供します。これらのデバイスを絶縁型電源と組み合わせて使用すると、データバスや他の回路上のノイズ電流がローカル グランドに入り込んでノイズに敏感な回路に干渉または損傷を与えることを防止できます。

バイナリ入力信号がコンディショニングされ、平衡信号に変換されてから、絶縁バリアによって差動化されます。絶縁バリアを通過して、差動コンパレータがロジック変換情報を受け取り、それに応じてフリップフロップおよび出力回路を設定またはリセットします。バリアを通して周期的に更新パルスが送信され、適切な DC 出力レベルを実現します。

この DC 更新パルスが  $4\mu\text{s}$  を超えて受信されない場合、入力に電力が供給されていない、または入力がアクティブ

に駆動されていないと見なされ、フェイルセーフ回路により出力が論理 HIGH 状態に駆動されます。

これらのデバイスは、3.3V、5V、または任意の組み合わせの 2 つの電源電圧を必要とします。3.3V 電源で動作するとき、すべての入力は 5V 許容で、すべての出力は 4mA CMOS です。

ISO722 および ISO722M デバイスは、アクティブ LOW 出力イネーブルを備えており、HIGH ロジック レベルに駆動すると出力が高インピーダンス状態になり、内部バイアス回路をオフにして消費電力を節約します。

ISO721 および ISO722 デバイスは、TTL 入力しきい値とノイズ フィルタが入力に存在し、パルス幅 2ns までの遷移パルスがデバイスの出力に渡されることを防止します。

ISO721M および ISO722M デバイスには CMOS  $V_{\text{CC}}/2$  入力しきい値が存在しますが、入力ノイズ フィルタがなく追加の伝搬遅延はありません。ISO721M デバイスのこれらの機能は、ジッタ低減の動作も実現しています。

ISO721、ISO721M、ISO722、ISO722M デバイスは、-40°C～+125°C の周囲温度範囲で動作することが特徴です。



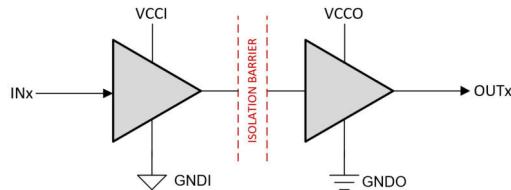
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ(公称)	パッケージサイズ <sup>(2)</sup>
ISO721			
ISO721M	D (SOIC, 8)	4.90mm × 3.91mm	4.9mm × 6mm
ISO722			
ISO722M			

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージサイズ(長さ×幅)は公称値であり、該当する場合はピンも含まれます。



概略回路図

## 目次

1 特長	1	6.17 代表的特性	15
2 アプリケーション	1	7 パラメータ測定情報	17
3 説明	1	8 詳細説明	20
4 デバイス比較表	3	8.1 概要	20
5 ピン構成および機能	4	8.2 機能ブロック図	20
6 仕様	5	8.3 デバイスの機能モード	21
6.1 絶対最大定格	5	9 アプリケーションと実装	22
6.2 ESD 定格	5	9.1 アプリケーション情報	22
6.3 推奨動作条件	5	9.2 代表的なアプリケーション	22
6.4 熱に関する情報	6	9.3 電源に関する推奨事項	25
6.5 電力定格	6	9.4 レイアウト	25
6.6 安全限界値	6	10 デバイスおよびドキュメントのサポート	27
6.7 絶縁仕様	7	10.1 デバイスサポート	27
6.8 安全関連認証	7	10.2 ドキュメントのサポート	27
6.9 電気的特性、5V、3.3V	8	10.3 ドキュメントの更新通知を受け取る方法	27
6.10 電気的特性、5V	8	10.4 サポート・リソース	27
6.11 スイッチング特性、3.3V、5V	9	10.5 商標	27
6.12 電気的特性、3.3V、5V	10	10.6 静電気放電に関する注意事項	27
6.13 電気的特性、3.3V	11	10.7 用語集	27
6.14 スイッチング特性、3.3V	12	11 改訂履歴	28
6.15 スイッチング特性、5V、3.3V	13	12 メカニカル、パッケージ、および注文情報	29
6.16 スイッチング特性、5V	14		

## 4 デバイス比較表

部品番号	信号速度	出力 イネーブル	入力 スレッショルド	ノイズ フィルタ
ISO721	100Mbps	なし	TTL	あり
ISO721M	150Mbps	なし	CMOS	なし
ISO722	100Mbps	あり	TTL	あり
ISO722M	150Mbps	あり	CMOS	なし

## 5 ピン構成および機能

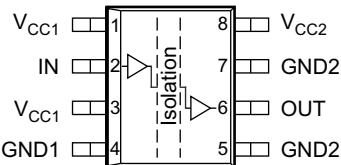


図 5-1. ISO721 および ISO721M  
D パッケージ 8 ピン SOIC  
上面図

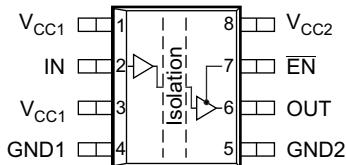


図 5-2. ISO722 および ISO722M  
D パッケージ 8 ピン SOIC  
上面図

図 5-3. I

表 5-1. ピンの機能

名称	ピン		種類 <sup>(1)</sup>	説明		
	番号					
	ISO721x	ISO722x				
V <sub>CC1</sub>	1	1	—	電源、V <sub>CC1</sub>		
	3	3				
V <sub>CC2</sub>	8	8	—	電源、V <sub>CC2</sub>		
IN	2	2	I	入力		
OUT	6	6	O	出力		
EN	—	7	I	出力有効。OUT は、EN が Low または切断されたときはイネーブルで、EN が High のときはディスエーブルです。		
GND1	4	4	—	V <sub>CC1</sub> のグラウンド接続		
GND2	5	5	—	V <sub>CC2</sub> のグラウンド接続		
	7					

(1) I = 入力、O = 出力

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

			最小値	最大値	単位
V <sub>CC</sub>	電源電圧	V <sub>CC1</sub> , V <sub>CC2</sub>	-0.5	6	V
V <sub>I</sub>	入力電圧	IN, OUT、または $\overline{EN}$	-0.5	$V_{CC} + 0.5$ <sup>(2)</sup>	V
I <sub>O</sub>	出力電流			$\pm 15$	mA
T <sub>J</sub>	最大接合部温度			170	°C
T <sub>stg</sub>	保存温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 最大電圧は 6V 以下である必要があります。

### 6.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	$\pm 2000$	V
		荷電デバイスモデル (CDM), JEDEC 仕様 JESD22-C101 準拠 <sup>(2)</sup>	$\pm 1000$	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。  
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 6.3 推奨動作条件

			最小値	公称値	最大値	単位
V <sub>CC</sub>	電源電圧 <sup>(1)</sup> 、V <sub>CC1</sub> 、V <sub>CC2</sub>		3	5.5		V
I <sub>OH</sub>	High レベル出力電流			4		mA
I <sub>OL</sub>	Low レベル出力電流		-4			mA
t <sub>ui</sub>	入力パルス持続時間	ISO72x	10			ns
		ISO72xM	6.67			
1/t <sub>ui</sub>	信号速度	ISO72x	0	100		Mbps
		ISO72xM	0	150		
V <sub>IH</sub>	High レベル入力電圧 (IN, $\overline{EN}$ )	ISO72x	2	5.5		V
		IOS72xM	$0.7 \times V_{CC}$	$V_{CC}$		
V <sub>IL</sub>	Low レベル入力電圧 (IN, $\overline{EN}$ )	ISO72x	0	0.8		V
		IOS72xM	0	$0.3 \times V_{CC}$		
T <sub>A</sub>	周囲温度		-40	25	125	°C
T <sub>J</sub>	接合部温度、「熱に関する情報」を参照				150	°C
H	IEC 61000-4-8 および IEC 61000-4-9 認定に準拠する外部磁界強度				1000	A/m

- (1) 5V 動作の場合、V<sub>CC1</sub> または V<sub>CC2</sub> は 4.5V ~ 5.5V の動作が規定されています。3V 動作の場合、V<sub>CC1</sub> または V<sub>CC2</sub> は 3V~3.6V が規定されています。

## 6.4 热に関する情報

热評価基準 <sup>(1)</sup>			ISO72x	単位
			D (SOIC)	
			8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	High-K 基板	114.7	°C/W
		Low-K 基板	263	
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		63	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		54.8	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ		18.9	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ		54.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 6.5 電力定格

$V_{CC1} = V_{CC2} = 5.5V$ 、 $T_J = 150^{\circ}C$ 、 $C_L = 15pF$ 、100Mbps 50% のデューティサイクルの方形波を入力 (記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>D パッケージの ISO721 および ISO722</b>					
$P_D$	消費電力			159	mW
<b>D パッケージの ISO721M および ISO722M</b>					
$P_D$	消費電力			195	mW

## 6.6 安全限界値

安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$I_S$	$R_{\theta JA} = 263^{\circ}C/W$ 、 $V_I = 5.5V$ 、 $T_J = 170^{\circ}C$ 、 $T_A = 25^{\circ}C$ 、図 9-6 を参照			100	mA
	$R_{\theta JA} = 263^{\circ}C/W$ 、 $V_I = 3.6V$ 、 $T_J = 170^{\circ}C$ 、 $T_A = 25^{\circ}C$ 、図 9-6 を参照			153	
$T_S$	安全温度			150	°C

## 6.7 絶縁仕様

パラメータ		テスト条件	値	単位	
<b>一般</b>					
CLR	外部空間距離 <sup>(1)</sup>	空気を介した最短のピン間距離	D パッケージ	4	mm
CPG	外部沿面距離 <sup>(1)</sup>	パッケージ表面に沿った最短のピン間距離	D パッケージ	4	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)		0.008	mm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112		≥ 400	V
	材料グループ			II	
過電圧カテゴリ	定格商用電源 $V_{RMS}$ が 150V 以下	定格商用電源 $V_{RMS}$ が 300V 以下	I-IV		
<b>DIN EN IEC 60747-17 (VDE 0884-17):<sup>(2)</sup></b>					
$V_{IORM}$	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	560	$V_{PK}$	
$V_{IOTM}$	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}, t = 60s$ (認定), $V_{TEST} = 1.2 \times V_{IOTM}, t = 1s$ (100% 出荷時)	4000	$V_{PK}$	
$q_{pd}$	見掛けの電荷 <sup>(3)</sup>	方法 a: I/O 安全テスト サブグループ 2/3 の後, $V_{ini} = V_{IOTM}, t_{ini} = 60s,$ $V_{pd(m)} = 1.2 \times V_{IORM}, t_m = 10s,$	≤ 5	pC	
		方法 a: 環境テストサブグループ 1 の後, $V_{ini} = V_{IOTM}, t_{ini} = 60s,$ $V_{pd(m)} = 1.3 \times V_{IORM}, t_m = 10s,$	≤ 5		
		メソッド b: ルーチンテスト (100% 出荷時), $V_{ini} = 1.2 \times V_{IOTM}, t_{ini} = 1s,$ $V_{pd(m)} = 1.5 \times V_{IORM}, t_m = 1s$ (メソッド b1) または $V_{pd(m)} = V_{ini}, t_m = t_{ini}$ (メソッド b2)	≤ 5		
$C_{IO}$	絶縁バリア容量、入力から出力へ <sup>(4)</sup>	$V_i = 0.4 \sin(2\pi ft), f = 1MHz$	1	pF	
$R_{IO}$	絶縁抵抗、入力から出力へ <sup>(4)</sup>	$V_{IO} = 500V, T_A = 25^\circ C$	$>10^{12}$	$\Omega$	
		$V_{IO} = 500V (100^\circ C \leq T_A \leq 125^\circ C$ 時)	$>10^{11}$		
		$V_{IO} = 500V (T_S = 150^\circ C$ 時)	$>10^9$		
	汚染度		2		
	耐候性カテゴリ		40/125/21		
<b>UL 1577</b>					
$V_{ISO}$	絶縁耐圧	$V_{TEST} = V_{ISO} = 2500 V_{RMS}, t = 60s$ (認定), $V_{TEST} = 1.2 \times V_{ISO} = 3000 V_{RMS}, t = 1s$ (100% 出荷時)	2500	$V_{RMS}$	

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上にグループやリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
- (2) この絶縁素子は、最大動作定格内に限定した基本的な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (4) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 端子のデバイスを構成します。

## 6.8 安全関連認証

VDE	CSA	UL
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 62368-1 による認証	UL 1577 部品認定プログラムによる認証
基本認証: 40047657	マスタ契約書番号: 220991	ファイル番号: E181974

## 6.9 電気的特性、5V、3.3V

5 V ± 10% の  $V_{CC1}$ 、3.3V ± 10% の  $V_{CC2}$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{CC1}$	$V_{CC1}$ の電源電流	静止、 $V_I = V_{CC}$ または 0V、無負荷		0.5	1	mA
		25Mbps、 $V_I = V_{CC}$ または 0V、無負荷		2	4	
$I_{CC2}$	$V_{CC2}$ の電源電流	ISO722 および ISO722M、スリープモード、 $V_I = V_{CC}$ または 0V、無負荷、 $V_{CC}$ の $\bar{EN}$			150	μA
		静止、 $V_I = V_{CC}$ または 0V、無負荷、0V の $\bar{EN}$ または ISO721 および ISO721M		4	6.5	
		25Mbps、 $V_I = V_{CC}$ または 0V、無負荷		5	7.5	
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4mA$ 、図 7-1 を参照	$V_{CC} - 0.4$	3		V
		$I_{OH} = -20\mu A$ 、図 7-1 を参照	$V_{CC} - 0.1$	3.3		
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4mA$ 、図 7-1 を参照		0.2	0.4	V
		$I_{OL} = 20\mu A$ 、図 7-1 を参照		0	0.1	
$V_{I(HYS)}$	入力電圧ヒステリシス			150		mV
$I_{IH}$	High レベル入力電流	$\bar{EN}, 2V$ の IN			10	μA
$I_{IL}$	Low レベル入力電流	$\bar{EN}, 0.8V$ の IN		-10		μA
$I_{OZ}$	高インピーダンス出力電流、ISO722、ISO722M	$\bar{EN}, V_{CC}$ の IN			1	μA
$C_I$	グランドの入力容量	$VCC$ の IN、 $V_I = 0.4 \sin(2\pi ft), f = 2MHz$			1	pF
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V、図 7-5 を参照	25	40		kV/μs

## 6.10 電気的特性、5V

5V ± 10% 時の  $V_{CC1}$  および  $V_{CC2}$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{CC1}$	$V_{CC1}$ の電源電流	静止、 $V_I = V_{CC}$ または 0V、無負荷		0.5	1	mA
		25Mbps、 $V_I = V_{CC}$ または 0V、無負荷		2	4	
$I_{CC2}$	$V_{CC2}$ の電源電流	ISO722 および ISO722M、スリープモード、 $V_I = V_{CC}$ または 0V、無負荷、 $V_{CC}$ の $\bar{EN}$			200	μA
		静止、 $V_I = V_{CC}$ または 0V、無負荷、0V の $\bar{EN}$ または ISO721 および ISO721M		8	12	
		25Mbps、 $V_I = V_{CC}$ または 0V、無負荷		10	14	
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4mA$ 、図 7-1 を参照	$V_{CC} - 0.8$	4.6		V
		$I_{OH} = -20\mu A$ 、図 7-1 を参照	$V_{CC} - 0.1$	5		
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4mA$ 、図 7-1 を参照		0.2	0.4	V
		$I_{OL} = 20\mu A$ 、図 7-1 を参照		0	0.1	
$V_{I(HYS)}$	入力電圧ヒステリシス			150		mV
$I_{IH}$	High レベル入力電流	$\bar{EN}, 2V$ の IN			10	μA
$I_{IL}$	Low レベル入力電流	$\bar{EN}, 0.8V$ の IN		-10		
$I_{OZ}$	高インピーダンス出力電流、ISO722、ISO722M	$\bar{EN}, V_{CC}$ の IN			1	μA
$C_I$	グランドの入力容量	$VCC$ の IN、 $V_I = 0.4 \sin(2\pi ft), f = 2MHz$			1	pF
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V、図 7-5 を参照	25	50		kV/μs

## 6.11 スイッチング特性、3.3V、5V

3.3 V ± 10% の  $V_{CC1}$ 、5V ± 10% の  $V_{CC2}$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位	
$t_{PLH}$	伝搬遅延、Low から High レベル出力まで	ISO72x	0V の $\overline{EN}$ 、 <a href="#">図 7-1</a> を参照	12	17	30	ns
$t_{PHL}$	伝搬遅延、High から Low レベル出力まで			12	17	30	ns
$t_{sk(p)}$	パルススキュー $ t_{PHL} - t_{PLH} $			0.5	2	ns	
$t_{PLH}$	伝搬遅延、Low から High レベル出力まで	ISO72xM	<a href="#">図 7-1</a> を参照	10	12	21	ns
$t_{PHL}$	伝搬遅延、High から Low レベル出力まで			10	12	21	ns
$t_{sk(p)}$	パルススキュー $ t_{PHL} - t_{PLH} $			0.5	1	ns	
$t_{sk(pp)}^{(1)}$	部品間スキュー			0	5	ns	
$t_r$	出力信号の立ち上がり時間		0V の $\overline{EN}$ 、 <a href="#">図 7-1</a> を参照	2.3		ns	
$t_f$	出力信号の立ち下がり時間			2.3		ns	
$t_{pHZ}$	スリープモードの伝搬遅延、 High レベルから高インピーダンス出力まで	ISO722 ISO722M	<a href="#">図 7-2</a> を参照	5.4	9	15	ns
$t_{pZH}$	スリープモードの伝搬遅延、 高インピーダンスから High レベル出力まで			4.5	5	15	$\mu s$
$t_{pLZ}$	スリープモードの伝搬遅延、 Low レベルから高インピーダンス出力まで		<a href="#">図 7-3</a> を参照	5.4	9	15	ns
$t_{pZL}$	スリープモードの伝搬遅延、 高インピーダンスから Low レベル出力まで			4.5	5	15	$\mu s$
$t_{fs}$	入力電源喪失からフェイルセーフ出力までの遅延時間		<a href="#">図 7-4</a> を参照	3			$\mu s$
$t_{j(t)(PP)}$	ピークツーピークのアイパターンジッタ	ISO72x	100Mbps の NRZ データ入力、 <a href="#">図 7-6</a> を参照	2			ns
			100Mbps 無制限ビットラン長データ入力、 <a href="#">図 7-6</a> を参照	3			
		ISO72xM	150Mbps の NRZ データ入力、 <a href="#">図 7-6</a> を参照	1			
			150Mbps 無制限ビットラン長データ入力、 <a href="#">図 7-6</a> を参照	2			

- (1)  $t_{sk(pp)}$  は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の差です。

## 6.12 電気的特性、3.3V、5V

3.3 V ± 10% の  $V_{CC1}$ 、5V ± 10% の  $V_{CC2}$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{CC1}$	$V_{CC1}$ の電源電流	静止、 $V_I = V_{CC}$ または 0V、無負荷	0.3	0.6		mA
		25Mbps、 $V_I = V_{CC}$ または 0V、無負荷	1	2		
$I_{CC2}$	$V_{CC2}$ の電源電流	ISO722 および ISO722M、スリープモード、 $V_I = V_{CC}$ または 0V、無負荷、 $V_{CC}$ の $\bar{EN}$			200	$\mu A$
		静止、 $V_I = V_{CC}$ または 0V、無負荷、0V の $\bar{EN}$ または ISO721 および ISO721M	8	12		mA
		25Mbps、 $V_I = V_{CC}$ または 0V、無負荷	10	14		
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4mA$ 、図 7-1 を参照	$V_{CC} - 0.8$	4.6		V
		$I_{OH} = -20\mu A$ 、図 7-1 を参照	$V_{CC} - 0.1$	5		
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4mA$ 、図 7-1 を参照	0.2	0.4		V
		$I_{OL} = 20\mu A$ 、図 7-1 を参照	0	0.1		
$V_{I(HYS)}$	入力電圧ヒステリシス			150		mV
$I_{IH}$	High レベル入力電流	$\bar{EN}, 2V$ の IN			10	$\mu A$
$I_{IL}$	Low レベル入力電流	$\bar{EN}, 0.8V$ の IN	-10			$\mu A$
$I_{OZ}$	高インピーダンス出力電流、ISO722、ISO722M	$\bar{EN}, V_{CC}$ の IN			1	$\mu A$
$C_I$	グランドの入力容量	$V_{CC}$ の IN、 $V_I = 0.4 \sin(2\pi ft), f = 2MHz$		1		pF
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V、図 7-5 を参照	25	40		kV/ $\mu s$

## 6.13 電気的特性、3.3V

3.3V ± 10% 時の  $V_{CC1}$  および  $V_{CC2}$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{CC1}$	$V_{CC1}$ の電源電流	静止、 $V_I = V_{CC}$ または 0V、無負荷	0.3	0.6		mA
		25Mbps、 $V_I = V_{CC}$ または 0V、無負荷	1	2		
$I_{CC2}$	$V_{CC2}$ の電源電流	ISO722 および ISO722M、スリープモード、 $V_I = V_{CC}$ または 0V、無負荷、 $V_{CC}$ の $\bar{EN}$			150	$\mu A$
		静止、 $V_I = V_{CC}$ または 0V、無負荷、0V の EN または ISO721 および ISO721M	4	6.5		mA
		25Mbps、 $V_I = V_{CC}$ または 0V、無負荷	5	7.5		
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4mA$ 、図 7-1 を参照	$V_{CC} - 0.4$	3		V
		$I_{OH} = -20\mu A$ 、図 7-1 を参照	$V_{CC} - 0.1$	3.3		
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4mA$ 、図 7-1 を参照	0.2	0.4		V
		$I_{OL} = 20\mu A$ 、図 7-1 を参照	0	0.1		
$V_{I(HYS)}$	入力電圧ヒステリシス			150		mV
$I_{IH}$	High レベル入力電流	$\bar{EN}, 2V$ の IN			10	$\mu A$
$I_{IL}$	Low レベル入力電流	$\bar{EN}, 0.8V$ の IN		-10		$\mu A$
$I_{OZ}$	高インピーダンス出力電流、ISO722、ISO722M	$\bar{EN}, V_{CC}$ の IN			1	$\mu A$
$C_I$	グランドの入力容量	$V_{CC}$ の IN、 $V_I = 0.4 \sin(2\pi ft), f = 2MHz$			1	pF
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V、図 7-5 を参照	25	40		kV/ $\mu s$

## 6.14 スイッチング特性、3.3V

3.3V ± 10% 時の  $V_{CC1}$  および  $V_{CC2}$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件		最小値	標準値	最大値	単位
$t_{PLH}$	伝搬遅延、Low から High レベル出力まで	ISO72x	0V の $\overline{EN}$ 、 図 7-1 を参照	12	20	34	ns
$t_{PHL}$	伝搬遅延、High から Low レベル出力まで			12	20	34	ns
$t_{sk(p)}$	パルスススキュー $ t_{PHL} - t_{PLH} $			0.5	3	ns	
$t_{PLH}$	伝搬遅延、Low から High レベル出力まで	ISO72xM		10	12	25	ns
$t_{PHL}$	伝搬遅延、High から Low レベル出力まで			10	12	25	ns
$t_{sk(p)}$	パルスススキュー $ t_{PHL} - t_{PLH} $			0.5	1	ns	
$t_{sk(pp)}^{(1)}$	部品間スキュー			0	5	ns	
$t_r$	出力信号の立ち上がり時間		0V の $\overline{EN}$ 、 図 7-1 を参照	2.3			
$t_f$	出力信号の立ち下がり時間			2.3			ns
$t_{pHZ}$	スリープモードの伝搬遅延、 High レベルから高インピーダンス出力まで	ISO722 ISO722M	図 7-2 を参照	7	13	25	ns
$t_{pZH}$	スリープモードの伝搬遅延、 高インピーダンスから High レベル出力まで			5	6	15	μs
$t_{pLZ}$	スリープモードの伝搬遅延、 Low レベルから高インピーダンス出力まで		図 7-3 を参照	7	13	25	ns
$t_{pZL}$	スリープモードの伝搬遅延、 高インピーダンスから Low レベル出力まで			5	6	15	μs
$t_{fs}$	入力電源喪失からフェイルセーフ出力までの遅延時間		図 7-4 を参照	3			μs
$t_{jit(PP)}$	ピークツーピークのアイパターンジッタ	ISO72x	100Mbps の NRZ データ入力、図 7-6 を参照	2			ns
			100Mbps 無制限ビットラン長データ入力、 図 7-6 を参照	3			
		ISO72xM	150Mbps の NRZ データ入力、図 7-6 を参照	1			
			150Mbps 無制限ビットラン長データ入力、 図 7-6 を参照	2			

- (1)  $t_{sk(PP)}$  は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の差です。

## 6.15 スイッチング特性、5V、3.3V

5 V ± 10% の  $V_{CC1}$ 、3.3V ± 10% の  $V_{CC2}$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PLH}$	伝搬遅延、Low から High レベル出力まで	ISO72x 0V の $\overline{EN}$ 、 図 7-1 を参照	10	19	30	ns
$t_{PHL}$	伝搬遅延、High から Low レベル出力まで		10	19	30	ns
$t_{sk(p)}$	パルススキュー $ t_{PHL} - t_{PLH} $		0.5	3	ns	
$t_{PLH}$	伝搬遅延、Low から High レベル出力まで	ISO72xM 図 7-1 を参照	10	12	20	ns
$t_{PHL}$	伝搬遅延、High から Low レベル出力まで		10	12	20	ns
$t_{sk(p)}$	パルススキュー $ t_{PHL} - t_{PLH} $		0.5	1	ns	
$t_{sk(pp)}$ <sup>(1)</sup>	部品間スキュー		0	5	ns	
$t_r$	出力信号の立ち上がり時間	0V の $\overline{EN}$ 、 図 7-1 を参照		2.3		ns
$t_f$	出力信号の立ち下がり時間			2.3		ns
$t_{pHZ}$	スリープモードの伝搬遅延、 High レベルから高インピーダンス出力まで	ISO722 ISO722M 図 7-2 を参照	7	11	25	ns
$t_{pZH}$	スリープモードの伝搬遅延、 高インピーダンスから High レベル出力まで		4.5	6	15	μs
$t_{pLZ}$	スリープモードの伝搬遅延、 Low レベルから高インピーダンス出力まで		7	13	25	ns
$t_{pZL}$	スリープモードの伝搬遅延、 高インピーダンスから Low レベル出力まで		4.5	6	15	μs
$t_{fs}$	入力電源喪失からフェイルセーフ出力までの遅延時間	図 7-4 を参照		3		μs
$t_{jit(PP)}$	ピークツーピークのアイパターンジッタ	ISO72x 100Mbps の NRZ データ入力、図 7-6 を参照		2		ns
				3		
		ISO72xM 150Mbps の NRZ データ入力、図 7-6 を参照		1		
				2		

- (1)  $t_{sk(PP)}$  は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の差です。

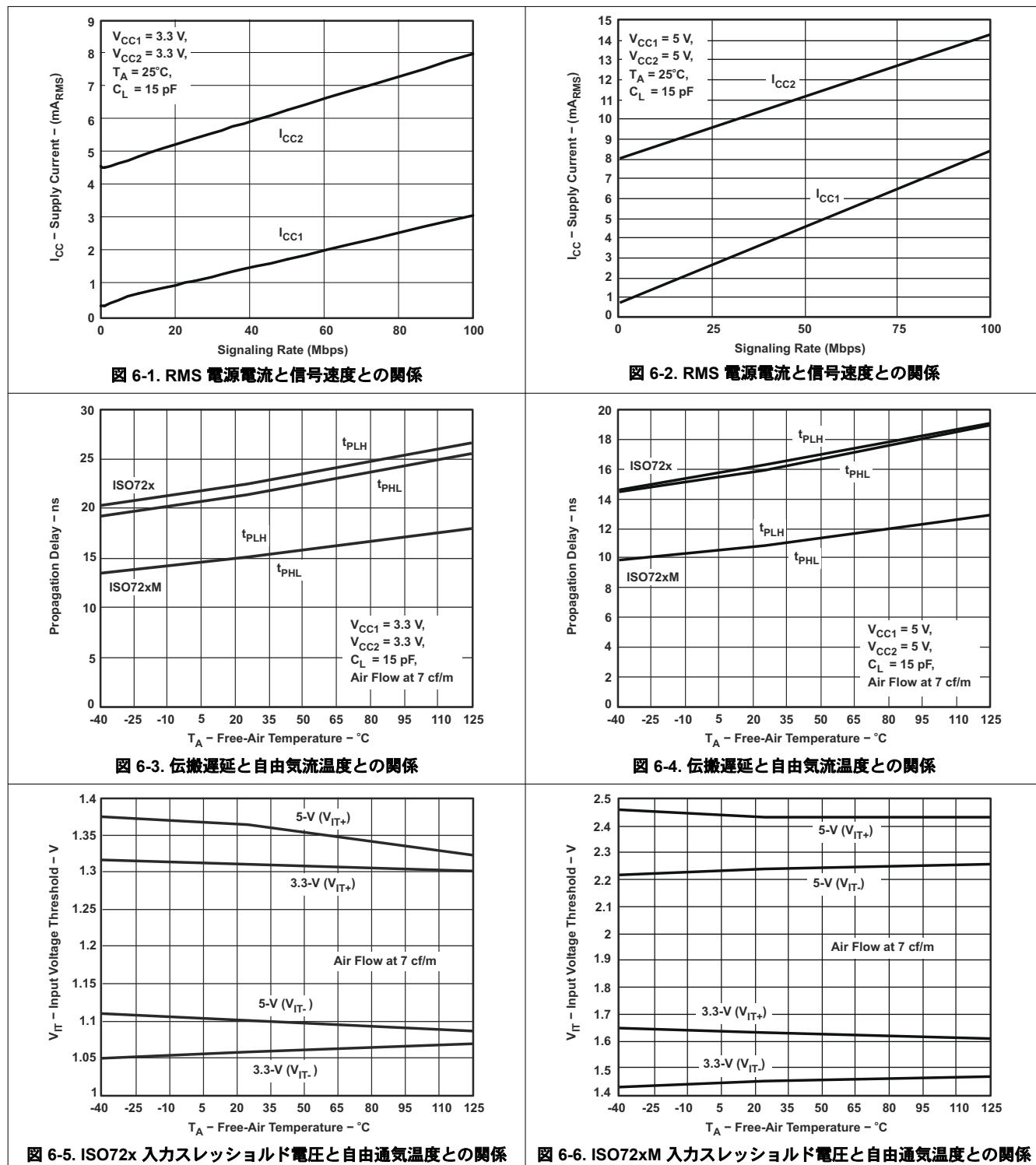
## 6.16 スイッチング特性、5V

5V  $\pm 10\%$  時の  $V_{CC1}$  および  $V_{CC2}$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PLH}$	伝搬遅延、Low から High レベル出力まで	ISO72x 0V の $\overline{EN}$ 、 図 7-1 を参照	10	17	24	ns
$t_{PHL}$	伝搬遅延、High から Low レベル出力まで		10	17	24	ns
$t_{sk(p)}$	パルススキュー $ t_{PHL} - t_{PLH} $		0.5	2		ns
$t_{PLH}$	伝搬遅延、Low から High レベル出力まで	ISO72xM 0V の $\overline{EN}$ 、 図 7-1 を参照	8	10	16	ns
$t_{PHL}$	伝搬遅延、High から Low レベル出力まで		8	10	16	ns
$t_{sk(p)}$	パルススキュー $ t_{PHL} - t_{PLH} $		0.5	1		ns
$t_{sk(pp)}^{(1)}$	部品間スキュー		0	3		ns
$t_r$	出力信号の立ち上がり時間	0V の $\overline{EN}$ 、 図 7-1 を参照	2.3			
$t_f$	出力信号の立ち下がり時間		2.3			ns
$t_{pHZ}$	スリープモードの伝搬遅延、 High レベルから高インピーダンス出力まで	ISO722 ISO722M 図 7-2 を参照	6	8	15	ns
$t_{pZH}$	スリープモードの伝搬遅延、 高インピーダンスから High レベル出力まで		3.5	4	15	$\mu s$
$t_{pLZ}$	スリープモードの伝搬遅延、 Low レベルから高インピーダンス出力まで		5.5	8	15	ns
$t_{pZL}$	スリープモードの伝搬遅延、 高インピーダンスから Low レベル出力まで		4	5	15	$\mu s$
$t_{fs}$	入力電源喪失からフェイルセーフ出力までの遅延時間	図 7-4 を参照	3			$\mu s$
$t_{jit(PP)}$	ピークツーピークのアイパターンジッタ	ISO72x 100Mbps の NRZ データ入力、図 7-6 を参照	2			ns
			3			
		ISO72xM 150Mbps の NRZ データ入力、図 7-6 を参照	1			
			2			

- (1)  $t_{sk(PP)}$  は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の差です。

## 6.17 代表的特性



## 6.17 代表的特性 (続き)

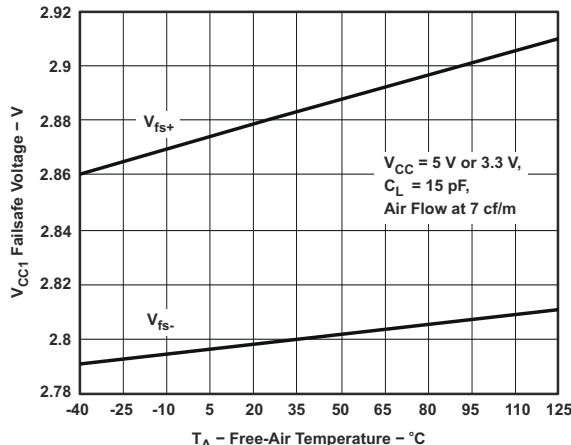


図 6-7.  $V_{CC1}$  フェイルセーフスレッショルド電圧と自由通気温度との関係

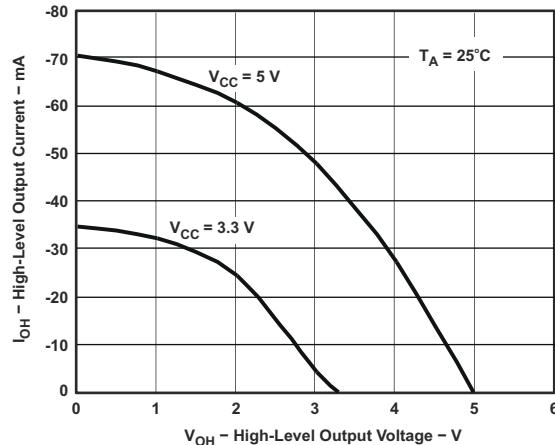


図 6-8. High レベル出力電流と High レベル出力電圧との関係

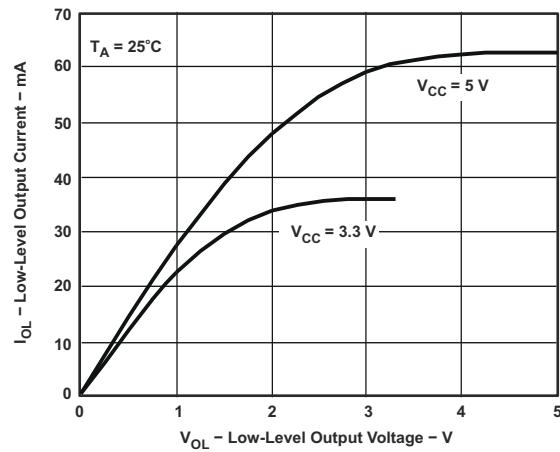


図 6-9. Low レベル出力電流と Low レベル出力電圧との関係

## 7 パラメータ測定情報

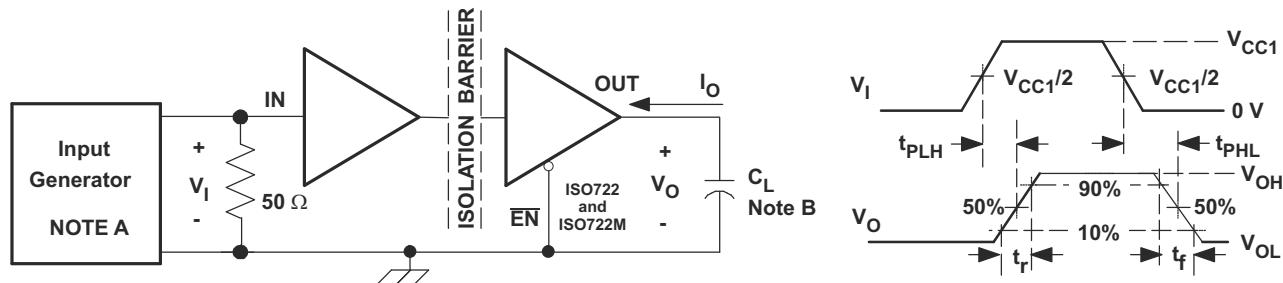


図 7-1. スイッチング特性テスト回路と電圧波形

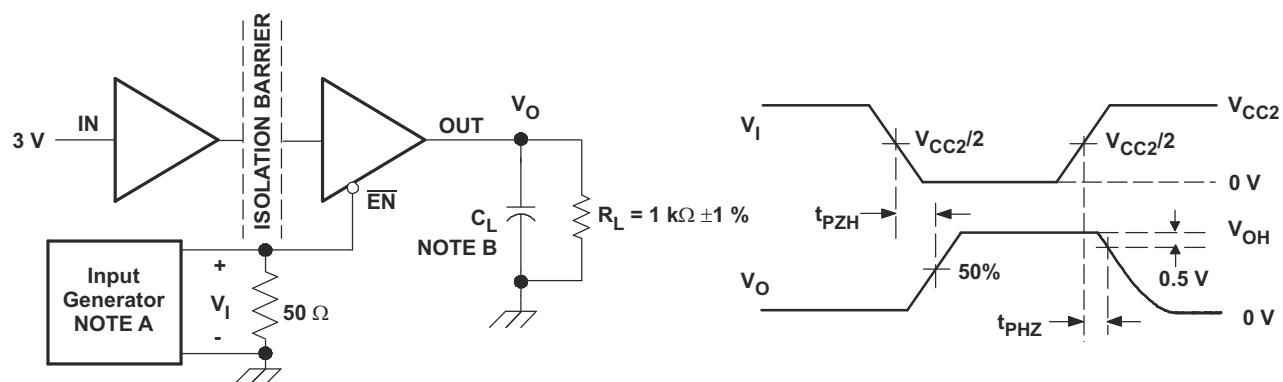


図 7-2. ISO722 のスリープモードの High レベル出力テスト回路と電圧波形

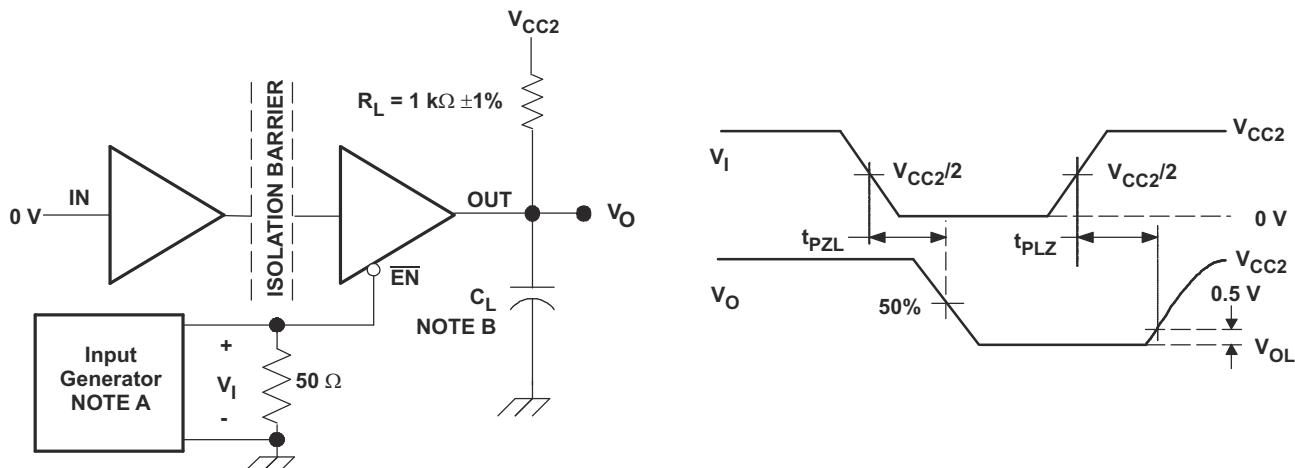


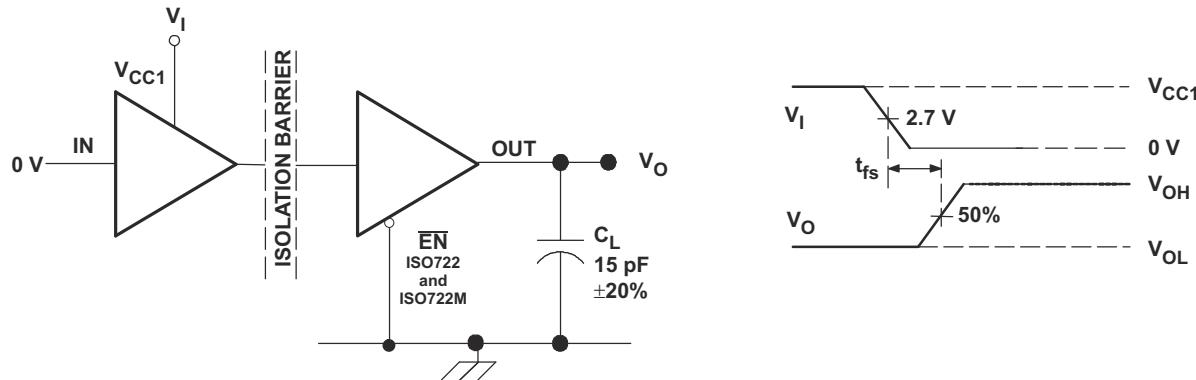
図 7-3. ISO722 のスリープモードの Low レベル出力テスト回路と電圧波形

### 注

A: 入力パルスは、以下の特性を持つジェネレータから供給されます。

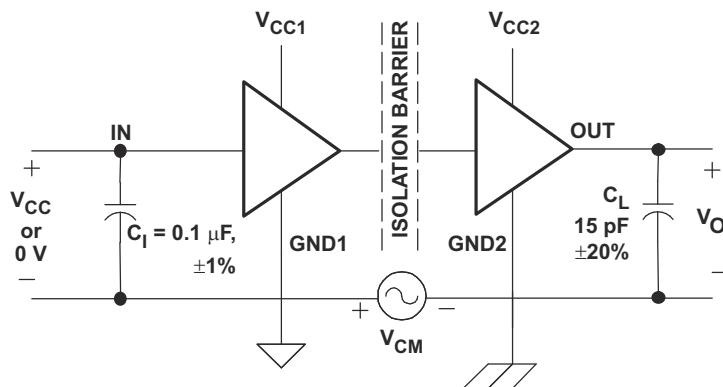
$\text{PRR} \leq 50\text{kHz}$ 、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_O = 50\Omega$ 。

B:  $C_L = 15\text{pF} \pm 20\%$  であり、計測機器および治具の容量が含まれています。



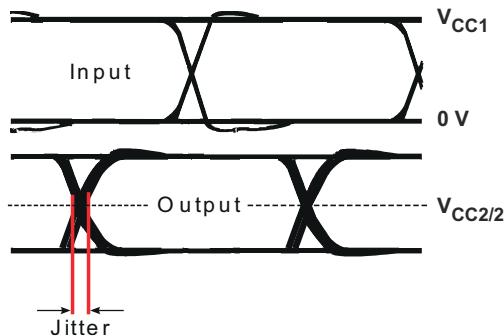
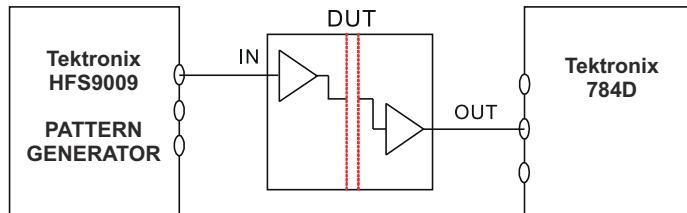
注:  $V_I$  遷移時間は 100ns です。

図 7-4. フェイルセーフ遅延時間テスト回路と電圧波形



注: 合格/不合格の基準は  $V_O$  で変化しません。

図 7-5. 同相モード過渡耐性テスト回路と電圧波形



注:ビットパターンの実行長は  $2^{16} - 1$  です。遷移時間は 800ps です。NRZ データ入力で連続した 1s または 0s は 5 つ以下です。

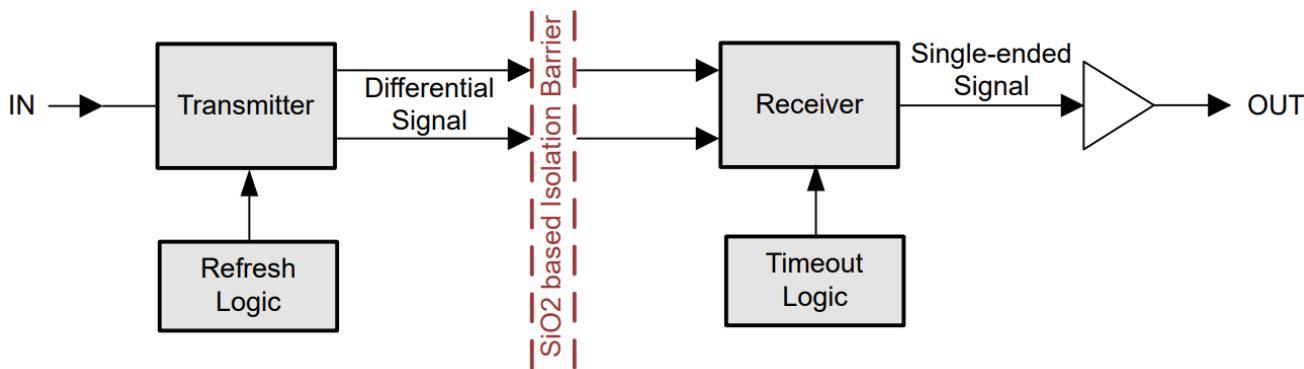
図 7-6. ピークツーピークのアイパターンジッタテスト回路と電圧波形

## 8 詳細説明

### 8.1 概要

ISO72x ファミリのデバイスは、二酸化ケイ素ベースの絶縁膜越しにデジタルデータを送信します。デバイスのデジタル入力信号 (IN) はトランスマッタによってサンプリングされ、すべてのデータ エッジで、トランスマッタは絶縁バリア越しに対応する差動信号を送信します。入力信号が静的である場合、リフレッシュ ロジックは定期的にトランスマッタから必要な差動信号を送信します。絶縁バリアの反対側では、レシーバが差動信号をシングルエンド信号に変換し、バッファを介して OUT ピンに出力します。レシーバがデータまたはリフレッシュ信号を受信しない場合、タイムアウト ロジックが入力側から信号または電力が失われたことを検出し、出力をデフォルト レベルに駆動します。

### 8.2 機能ブロック図



## 8.3 デバイスの機能モード

表 8-1 と 表 8-2 に ISO72x デバイスファミリの機能モードを示します。

表 8-1. ISO721 の機能表

$V_{CC1}$	$V_{CC2}$	入力 (IN)	出力 (OUT)
PU	PU	H	H
		L	L
		オープン	H
PD	PU	X	H
X	PD	X	不定

表 8-2. ISO722 の機能表

$V_{CC1}$	$V_{CC2}$	入力 (IN)	出力イネーブル (EN)	出力 (OUT)
PU	PU	H	L またはオープン	H
		L	L またはオープン	L
		X	H	Z
		オープン	L またはオープン	H
PD	PU	X	L またはオープン	H
PD	PU	X	H	Z
X	PD	X	X	不定

### 8.3.1 デバイス I/O 回路図

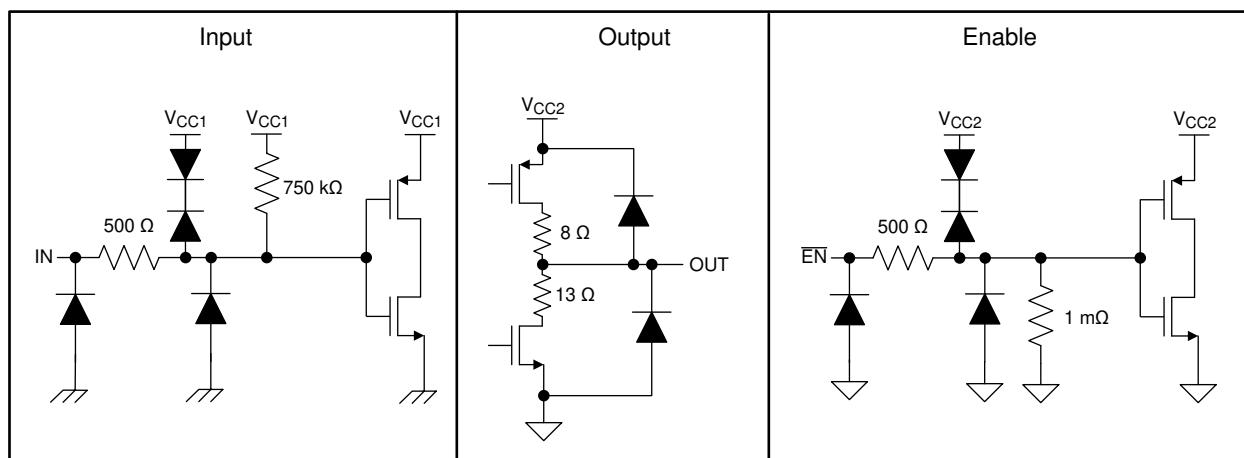


図 8-1. 等価な入力および出力回路図

## 9 アプリケーションと実装

### 注

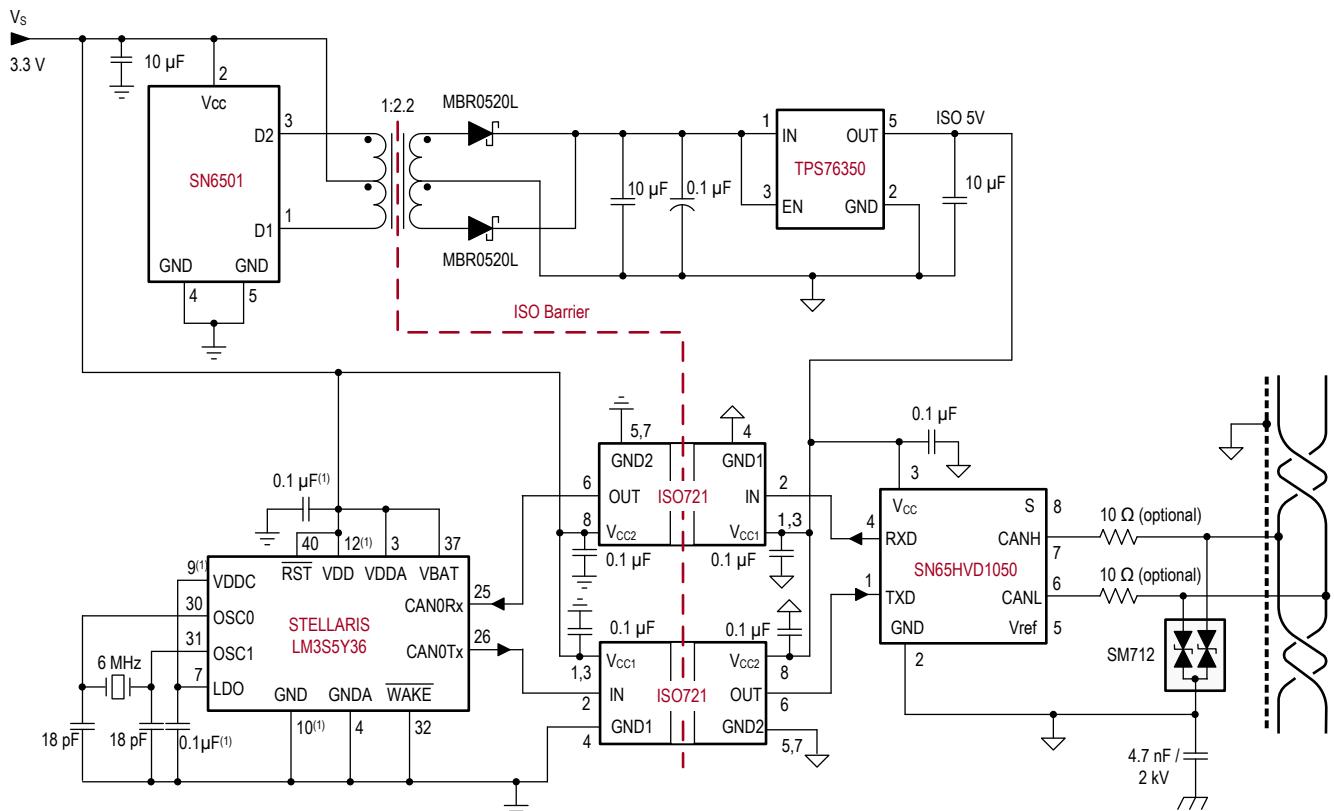
以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

ISO72x は、シングルエンドの TTL または CMOS ロジックスイッチング技術を使用しています。デバイスの電源電圧の範囲は、 $V_{CC1}$  と  $V_{CC2}$  の両方の電源で 3V ~ 5.5V です。デジタルアイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタルアイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは通常、インターフェイスの種類や規格にかかわらず、データコントローラ ( $\mu$ C または UART) と、データコンバータまたはライントランシーバとの間に配置されます。

### 9.2 代表的なアプリケーション

図 9-1 に示すとおり、ISO721 デバイスは、テキサス インストゥルメンツのマイクロコントローラ、CAN トランシーバ、トランジスタライバ、低ドロップアウト電圧レギュレータと組み合わせて、絶縁型 CAN インターフェイスを作成するために使用できます。



Copyright © 2016, Texas Instruments Incorporated

A. 目的を明確にするために複数のピンとコンデンサを省略。

図 9-1. 絶縁型 CAN インターフェイス

### 9.2.1 設計要件

ISO72x デバイスは、フォトカプラとは異なり、性能向上、バイアス供給、電流制限のために外付け部品を必要としません。必要なのは、動作に必要な外付けバイパスコンデンサ 2 個のみです。

### 9.2.2 詳細な設計手順

図 9-2 に、ISO721 デバイスの標準的な回路接続を示します。

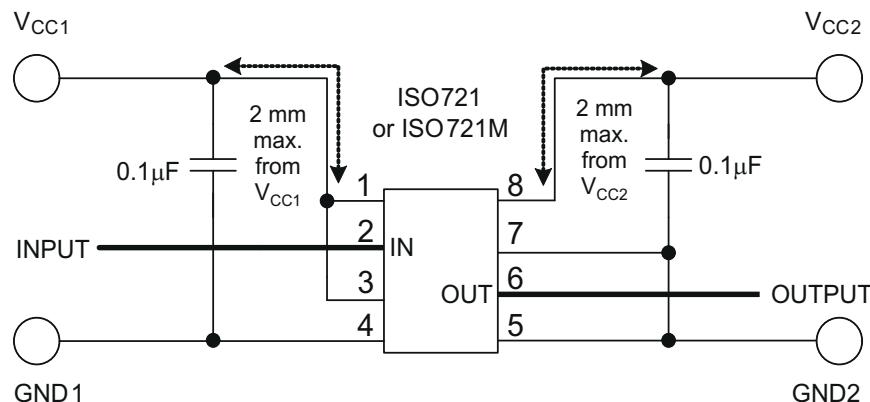


図 9-2. ISO721 の標準の回路接続図

ISO72x アイソレータは、図 9-3 に示すような、他の大半のベンダ製のものと同じ機能ピン配置を採用しており、多くの場合ピンの互換性があります。この製品の主な違いは、伝搬遅延、信号速度、消費電力、過渡保護定格です。表 9-1 は、他のアイソレータを ISO72x ファミリのシングルチャネルアイソレータに置き換えるためのガイドとして使用します。

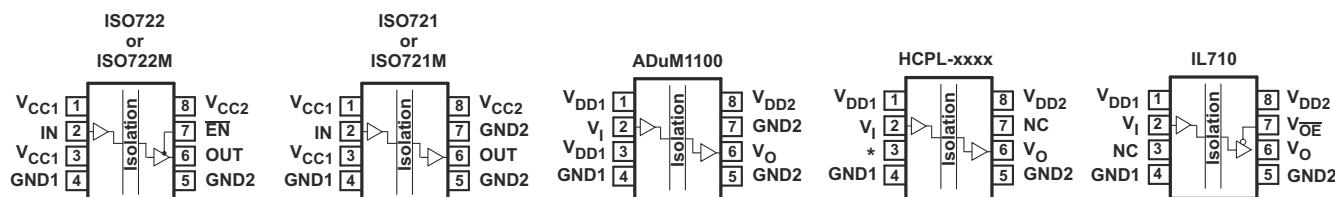


図 9-3. ピンクロスリファレンス

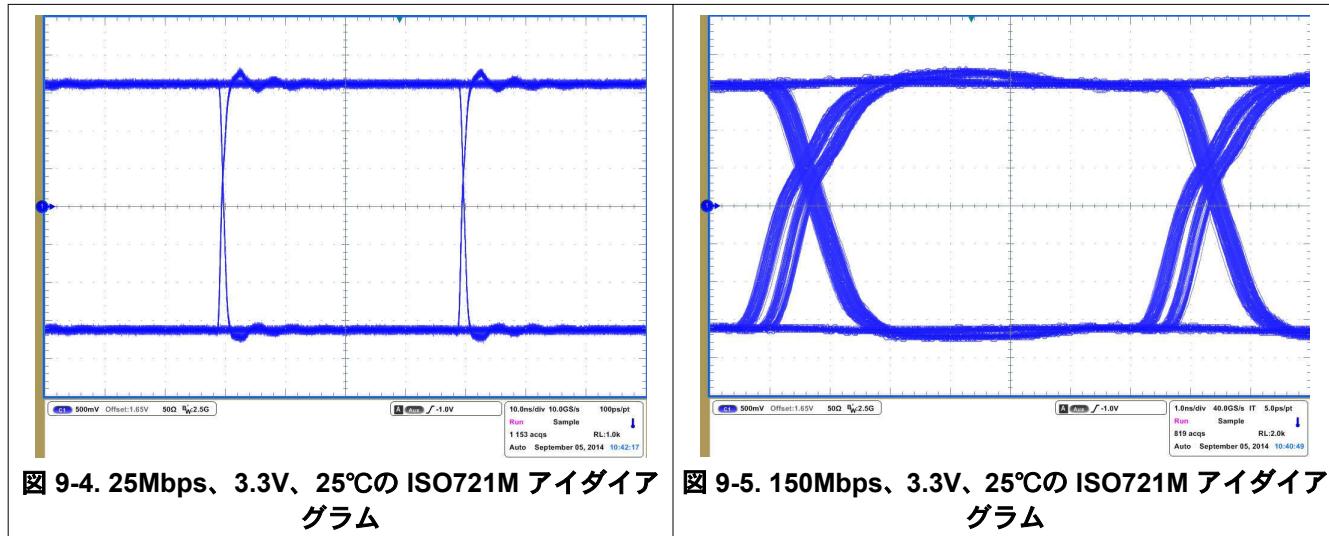
表 9-1. クロスリファレンス

アイソレータ	ピン 1	ピン 2	ピン 3	ピン 4	ピン 5	ピン 6	ピン 7		ピン 8
							ISO721 OR ISO721M	ISO722 OR ISO722M	
ISO721 <sup>(1)</sup> (2)	V <sub>CC1</sub>	IN	V <sub>CC1</sub>	GND1	GND2	OUT	GND2	EN	V <sub>CC2</sub>
ADuM1100 <sup>(1)</sup> (2)	V <sub>DD1</sub>	V <sub>I</sub>	V <sub>DD1</sub>	GND1	GND2	V <sub>O</sub>	GND2		V <sub>DD2</sub>
HCPL-xxxx	V <sub>DD1</sub>	V <sub>I</sub>	*開放にしま す <sup>(3)</sup>	GND1	GND2	V <sub>O</sub>	NC <sup>(5)</sup>		V <sub>DD2</sub>
IL710	V <sub>DD1</sub>	V <sub>I</sub>	NC <sup>(4)</sup>	GND1	GND2	V <sub>O</sub>	V <sub>OE</sub>		V <sub>DD2</sub>

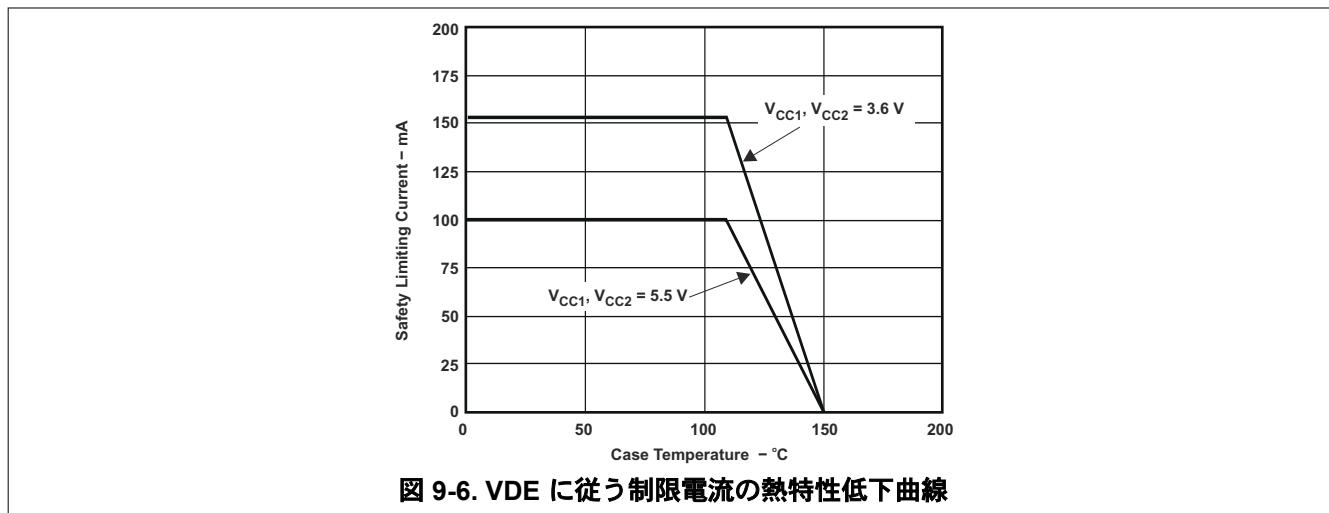
- (1) ピン 1 は V<sub>CC1</sub> として使用する必要があります。ピン 1 を V<sub>CC1</sub> に接続している限り、ピン 3 も V<sub>CC1</sub> として使用、または開放にできます。
- (2) ピン 5 は GND2 として使用する必要があります。ピン 5 を GND2 に接続している限り、ピン 7 も GND2 として使用、または開放にできます。
- (3) HCPL デバイスのピン 3 は開放のままにする必要があります。ISO72x デバイスを代わりに使用する場合、ピン 3 の余分の V<sub>CC1</sub> を開放回路のままにすることもできるため、これは問題になりません。
- (4) ISO72x の V<sub>CC1</sub> がグランドに短絡されるため、IL710 のピン 3 は基板のグランドに接続しないでください。IL710 のピン 3 は、V<sub>CC</sub> にのみ接続、または ISO72x デバイスに取り替えるために開放のままにできます。

- (5) ISO722 または ISO722M デバイスを代替品として使用する場合、HCPL デバイスのピン 7 をフローティング(開放)のままにするか、接地する必要があります。ISO722 または ISO722M デバイスのピン 7 が High ロジック状態になると、デバイスの出力はディスエーブルになります。

### 9.2.3 アプリケーション曲線



#### 9.2.3.1 絶縁特性曲線



#### 9.2.3.2 絶縁寿命

最大動作電圧において、ISO72x および ISO72xM ファミリのデバイスに搭載されたアイソレーション バリアの寿命は 28 年以上あります。

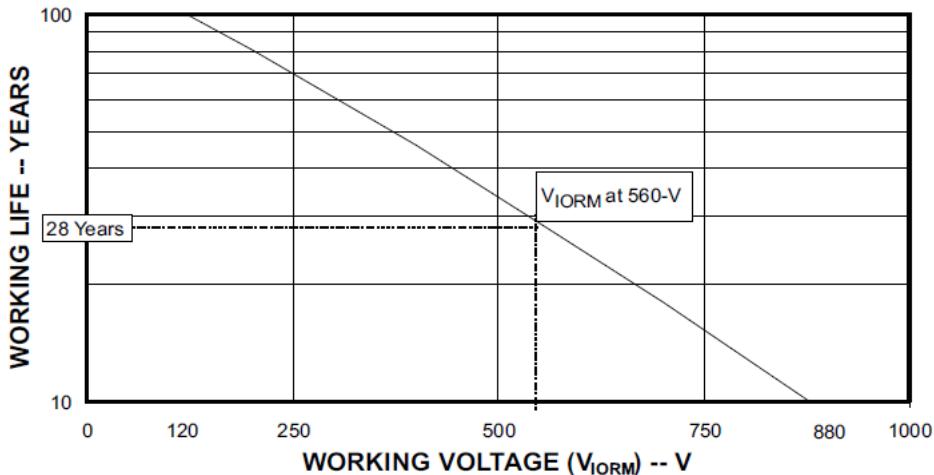


図 9-7. 絶縁寿命の予測

### 9.3 電源に関する推奨事項

データレートおよび電源電圧での信頼性の高い動作を確保するため、入力および出力の電源ピン ( $V_{CC1}$  および  $V_{CC2}$ ) に  $0.1\mu F$  のバイパスコンデンサを接続する必要があります。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、テキサス インスツルメンツの SN6501 デバイスなどのトランジストライバを使用して、2 次側用の絶縁型電源を生成できます。このようなアプリケーションについては、『SN6501 絶縁型電源用のトランジストライバ』データシートに、詳細な電源設計とトランス選択に関する推奨事項が記載されています。

### 9.4 レイアウト

#### 9.4.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (図 9-8 を参照)。層の構成は、上層から下層に向かって、高速信号層、グランド プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス パスを実現します。
- グランド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約  $100 \text{ pF/in}^2$  増加させることができます。
- 最下層に低速の制御信号を配線すれば、通常、これらの信号リンクには、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド プレーン系統を層構成に追加します。これにより、基板の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『デジタル アイソレータ設計ガイド』を参照してください。

##### 9.4.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が  $1\text{ns}$  超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

#### 9.4.2 レイアウト例

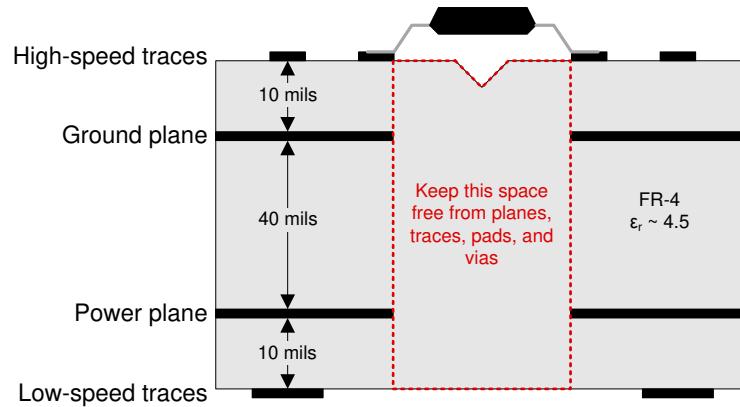


図 9-8. 推奨されるレイヤ・スタック

## 10 デバイスおよびドキュメントのサポート

### 10.1 デバイス サポート

#### 10.1.1 開発サポート

開発サポートについては、以下を参照してください。

- テキサス・インスツルメンツ、『36Vdc–75Vdc 入力、20V @ 4A 出力、アクティブクランプフォワード』TI リファレンスデザイン
- テキサス・インスツルメンツ、『18Vdc–54Vdc 入力、24V @ 5A 出力、アクティブクランプフォワード』TI リファレンスデザイン
- テキサス・インスツルメンツ、『36Vdc–75Vdc 入力、6V @ 20A 出力、アクティブクランプフォワード』TI リファレンスデザイン
- テキサス・インスツルメンツ、『ISO72x IBIS モデル』

### 10.2 ドキュメントのサポート

#### 10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『デジタル アイソレータ設計ガイド』
- テキサス・インスツルメンツ、『絶縁の用語集』
- テキサス・インスツルメンツ、『絶縁型 RS-485 リファレンスデザイン』アプリケーションレポート
- テキサス・インスツルメンツ、『ISO721EVM ユーザー ガイド』

### 10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 10.5 商標

Profibus™ is a trademark of Profibus.

DeviceNet™ is a trademark of Open DeviceNet Vendors Association.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.7 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision N (February 2025) to Revision O (October 2025)	Page
• 「絶縁仕様」表の誤字と誤りを修正.....	5
• 「自己関連認証」セクションの 2 行目の 3 か所すべてで「認定予定」を「認定済み」に変更.....	5
• 「証明書計画中」を「基本認証:40047657」(VDE 列) に、「マスタ契約書番号:220991」(CSA 列) に、「ファイル番号:E181974」(UL 列) に変更 ('自己関連認証' セクション).....	5

Changes from Revision M (July 2021) to Revision N (February 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• ドキュメント全体で VDE V 0884-11 を DIN VDE 0884-17 に更新.....	1
• 熱特性、安全限界値、熱軽減曲線を更新し、より正確なシステムレベルの熱計算を提供.....	6
• デバイスの性能に合わせて電気的特性およびスイッチング特性を更新.....	8

Changes from Revision L (October 2015) to Revision M (October 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• ドキュメント全体を通して容量性絶縁から絶縁バリアに参照を更新.....	1
• 「消費電力」表を「電力定格」に変更。「絶縁仕様」表の、「パッケージ絶縁特性」表、「IEC 60664-1 定格」表、「絶縁特性」表を結合。「規制情報」表を「安全関連認証」に変更.....	6
• L (I01) のパラメータ名を外部空間距離 (CLR) に、L (I02) を外部沿面距離 (CPG) に変更。また、入力から出力へのテスト電圧 ( $V_{PR}$ ) のパラメータ名を見掛けの電荷 ( $q_{pd}$ ) に変更.....	7
• データシート全体で $V_{peak}$ を $V_{PK}$ に変更.....	7
• 「安全関連認証」表の CSA 情報を変更.....	7
• 「絶縁特性曲線」セクションを「アプリケーション曲線」セクションに移動.....	24
• アプリケーション曲線セクションの名称を絶縁寿命に変更し、アプリケーション曲線セクション内に移動.....	24

Changes from Revision K (February 2012) to Revision L (September 2015)	Page
• 消費電力指標を「消費電力」と呼ばれる新しい表に移動.....	6
• 「絶縁特性」表で「 $V_{IORM}$ 」行の上に「DIN VDE V 0884-10 (VDE V 0884-10):2006-12」というテキストを含むヘッダー一行を追加.....	7
• 「絶縁特性」表の「絶縁電圧」の「UL 準拠」を削除.....	7
• 「パッケージの絶縁特性」表のテスト条件「DIN IEC 60112/VDE 0303 パート 1」を「DIN EN 60112 (VDE 0303-11)、IEC 60112」に変更.....	7
• 「パッケージ絶縁特性」表の、L (102) の D-8 の最小値を「4.3」から「4」に変更.....	7
• 「パッケージの絶縁特性」表の下部行を削除.....	7
• 「絶縁特性」表の「 $V_{ISO}$ 」行を下部に移動.....	7
• 「パッケージ絶縁特性」表の、L (101) の D-8 の最小値を「4.8」から「4」に変更.....	7
• 「絶縁特性」表の「 $V_{ISO}$ 」の行に「UL 1577」ヘッダー一行を追加.....	7

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">ISO721D</a>	Obsolete	Production	SOIC (D)   8	-	-	Call TI	Call TI	-40 to 125	ISO721
<a href="#">ISO721DR</a>	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	FULL NIPDAU	Level-1-260C-UNLIM	-40 to 125	ISO721
ISO721DR.A	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	FULL NIPDAU	Level-1-260C-UNLIM	-40 to 125	ISO721
ISO721DR.B	Active	Production	SOIC (D)   8	2500   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">ISO721MDR</a>	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	FULL NIPDAU   NIPDAU	Level-1-260C-UNLIM	-40 to 125	IS721M
ISO721MDR.A	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	FULL NIPDAU	Level-1-260C-UNLIM	-40 to 125	IS721M
ISO721MDR.B	Active	Production	SOIC (D)   8	2500   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">ISO722D</a>	Obsolete	Production	SOIC (D)   8	-	-	Call TI	Call TI	-40 to 125	ISO722
<a href="#">ISO722DR</a>	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	FULL NIPDAU	Level-1-260C-UNLIM	-40 to 125	ISO722
ISO722DR.A	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	FULL NIPDAU	Level-1-260C-UNLIM	-40 to 125	ISO722
ISO722DR.B	Active	Production	SOIC (D)   8	2500   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">ISO722MD</a>	Obsolete	Production	SOIC (D)   8	-	-	Call TI	Call TI	-40 to 125	IS722M
<a href="#">ISO722MDR</a>	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	FULL NIPDAU	Level-1-260C-UNLIM	-40 to 125	IS722M
ISO722MDR.A	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	FULL NIPDAU	Level-1-260C-UNLIM	-40 to 125	IS722M
ISO722MDR.B	Active	Production	SOIC (D)   8	2500   LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISO722MDRG4	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	FULL NIPDAU	Level-1-260C-UNLIM	-40 to 125	IS722M

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

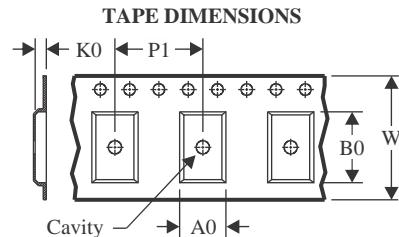
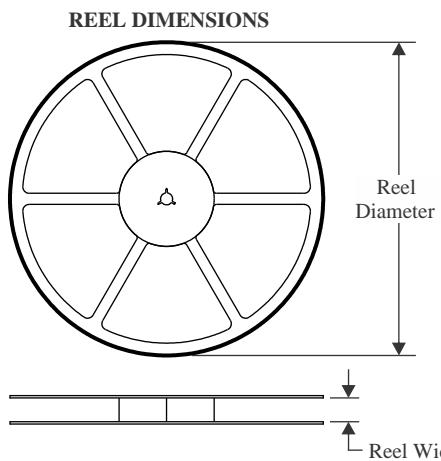
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF ISO721, ISO721M, ISO722 :**

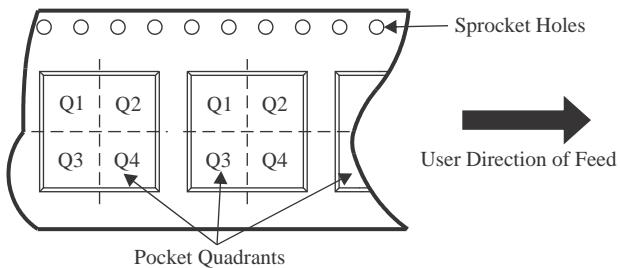
- Automotive : [ISO721-Q1](#), [ISO721-Q1](#), [ISO722-Q1](#)
- Enhanced Product : [ISO721M-EP](#)
- Military : [ISO721M](#)

**NOTE: Qualified Version Definitions:**

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

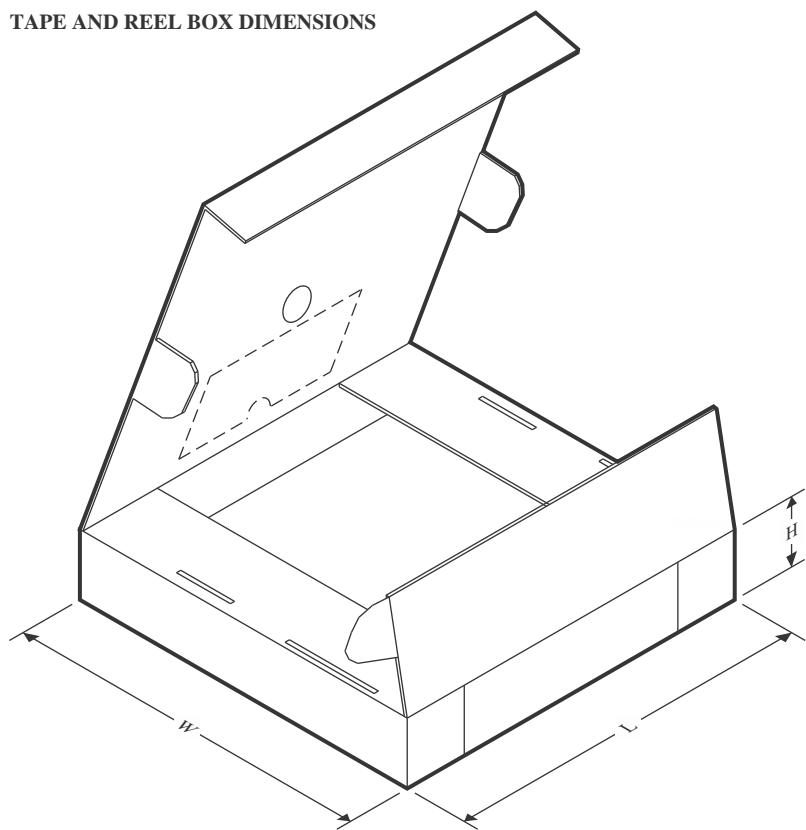
**TAPE AND REEL INFORMATION**

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**

\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO721DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO721MDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO722DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO722MDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO721DR	SOIC	D	8	2500	350.0	350.0	43.0
ISO721MDR	SOIC	D	8	2500	350.0	350.0	43.0
ISO722DR	SOIC	D	8	2500	350.0	350.0	43.0
ISO722MDR	SOIC	D	8	2500	350.0	350.0	43.0

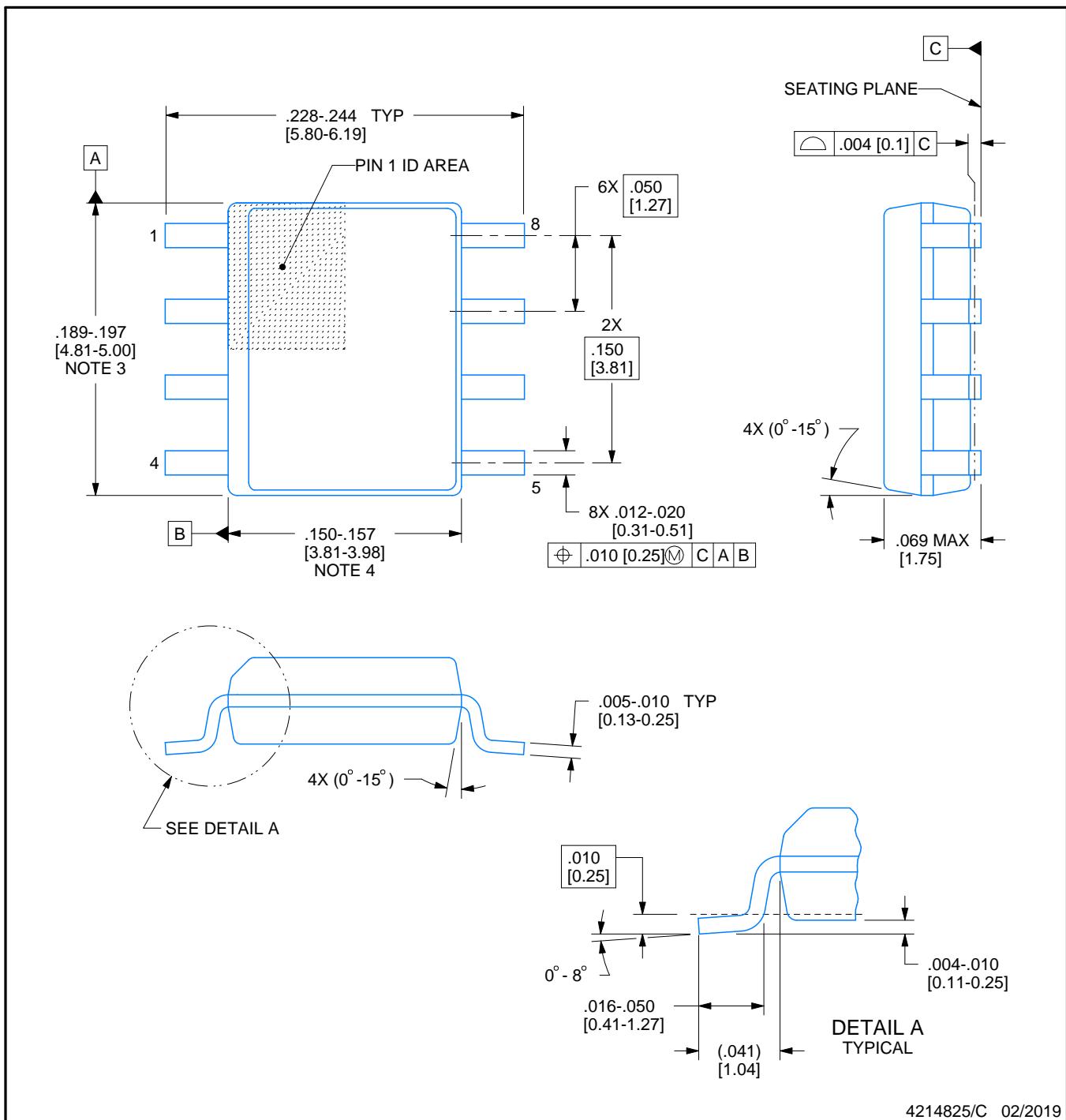
D0008A



# PACKAGE OUTLINE

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



### NOTES:

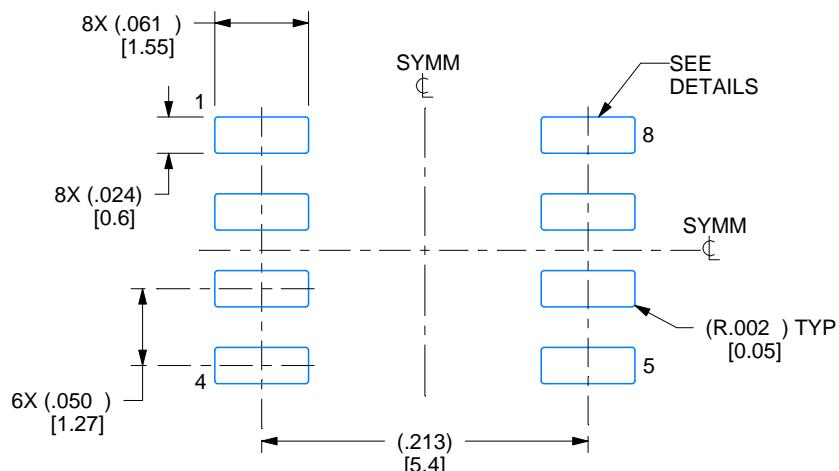
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

# EXAMPLE BOARD LAYOUT

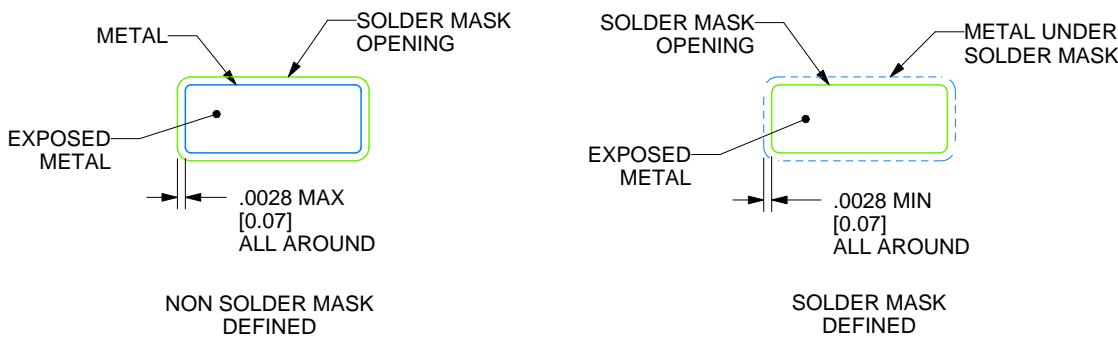
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

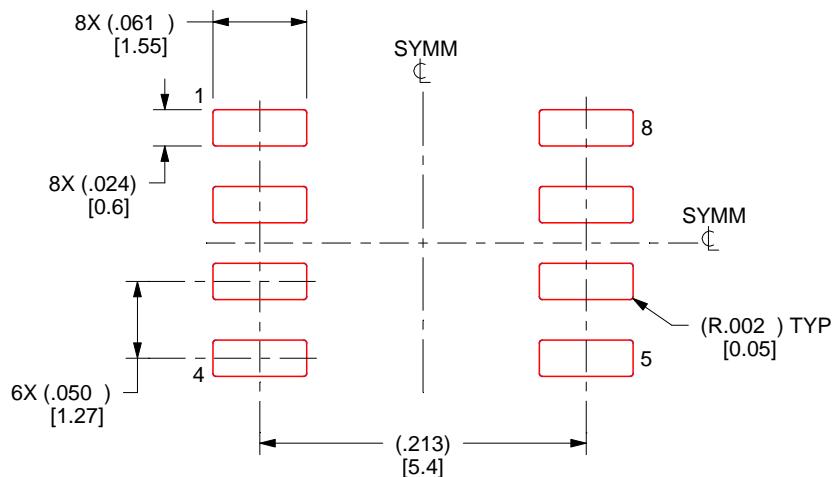
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月