

# ISO652x-Q1 汎用、デュアルチャネル、車載用機能的アイソレータ

## 1 特長

- デュアルチャネル、CMOS 出力機能的アイソレータ
- 50Mbps のデータレート
- 以下の結果で AEC-Q100 認定済み:
  - デバイス温度グレード 1: 動作時周囲温度範囲  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- CMTI が  $\pm 150\text{kV}/\mu\text{s}$  (標準値) の堅牢な  $\text{SiO}_2$  絶縁バリア
- 機能絶縁 (8-D):
  - $450\text{V}_{\text{RMS}}$ 、 $637\text{V}_{\text{DC}}$  の動作電圧
  - $707\text{V}_{\text{RMS}}$ 、 $1000\text{V}_{\text{DC}}$  の過渡電圧 (60s)
- 幅広い電源電圧範囲:  $1.71\text{V} \sim 1.89\text{V}$ 、 $2.25\text{V} \sim 5.5\text{V}$
- $1.71\text{V}$  から  $5.5\text{V}$  への電圧変換
- デフォルト出力 HIGH (ISO652x-Q1) および LOW (ISO652xF-Q1) のオプション
- チャンネルごとに  $1.8\text{mA}$  (標準値、 $3.3\text{V}$ 、 $1\text{Mbps}$  時)
- 小さい伝搬遅延:  $11\text{ns}$  (標準値、 $3.3\text{V}$  時)
- 堅牢な電磁両立性 (EMC)
  - システムレベルでの ESD、EFT、サージ耐性
  - きわめて低い電磁放射
- ナロー SOIC (8-D) パッケージ オプション

## 2 アプリケーション

- ボディ エレクトロニクスおよび照明
- プレミアム オーディオ
- スタータ ジェネレータ
- バッテリー管理システム (BMS)
- アクティブ サスペンション

## 3 概要

ISO652x-Q1 デバイスは、安全ではないアプリケーション用の絶縁を必要とするが、コスト重視でスペースに制約があるようなアプリケーション向けに設計された、高性能なデュアルチャネルの機能的アイソレータです。この絶縁バリアは、 $450\text{V}_{\text{RMS}}$  の動作電圧と、 $1000\text{V}_{\text{DC}}$  の過渡電圧に対応しています。

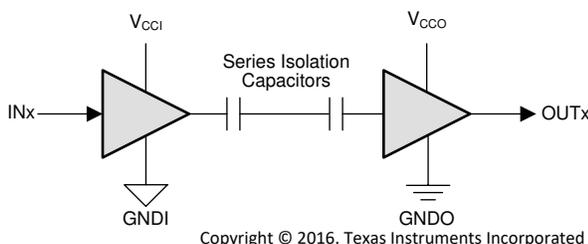
ISO652x-Q1 デバイスは電磁気耐性が高く、エミッションが少なく、低消費電力を実現し、CMOS または LVCMOS デジタル I/O が絶縁されています。各絶縁チャンネルは、テキサス・インスツルメンツの二重容量性二酸化ケイ素 ( $\text{SiO}_2$ ) 絶縁バリアで分離されたロジック入力および出力バッファを備えています。ISO6520-Q1 は 2 つの絶縁チャンネルを備えており、どちらのチャンネルも同一方向です。ISO6521-Q1 は 2 つの絶縁チャンネルを備えており、各チャンネルは別方向です。入力電力または入力信号が失われた場合のデフォルト出力は、接尾辞 F のないデバイスでは High、接尾辞 F のあるデバイスでは Low です。詳細は「デバイスの機能モード」のセクションを参照してください。

これらのデバイスにより、CAN や LIN などの混在電圧ドメイン システム間のデータバスで発生したグラウンド ループやノイズ電流によってデータの破損が引き起こされるのを防止できます。チップ設計およびレイアウト技法により、ISO652x-Q1 は電磁両立性が大幅に強化されているため、システムレベルの ESD および放射のコンプライアンスを容易に達成できます。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージサイズ <sup>(2)</sup>
ISO6520-Q1, ISO6520F-Q1	D (SOIC, 8)	4.9mm × 6.0mm
ISO6521-Q1, ISO6521F-Q1		

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



$V_{\text{CCI}}$ =入力電源、 $V_{\text{CCO}}$ =出力電源

$\text{GNDI}$ =入力グラウンド、 $\text{GNDO}$ =出力グラウンド

### 概略回路図



## 目次

1 特長.....	1	6 パラメータ測定情報.....	14
2 アプリケーション.....	1	7 詳細説明.....	15
3 概要.....	1	7.1 概要.....	15
4 ピン構成および機能.....	3	7.2 機能ブロック図.....	15
5 仕様.....	4	7.3 機能説明.....	16
5.1 絶対最大定格.....	4	7.4 デバイスの機能モード.....	16
5.2 ESD 定格.....	4	8 アプリケーションと実装.....	18
5.3 推奨動作条件.....	4	8.1 アプリケーション情報.....	18
5.4 熱に関する情報.....	5	8.2 代表的なアプリケーション.....	19
5.5 パッケージの特性.....	5	8.3 電源に関する推奨事項.....	20
5.6 電気的特性— 5V 電源.....	6	8.4 レイアウト.....	20
5.7 電源電流特性— 5V 電源.....	6	9 デバイスおよびドキュメントのサポート.....	22
5.8 電気的特性— 3.3V 電源.....	7	9.1 ドキュメントのサポート.....	22
5.9 電源電流特性— 3.3V 電源.....	7	9.2 ドキュメントの更新通知を受け取る方法.....	22
5.10 電気的特性— 2.5V 電源.....	8	9.3 サポート・リソース.....	22
5.11 電源電流特性— 2.5V 電源.....	8	9.4 商標.....	22
5.12 電気的特性— 1.8V 電源.....	9	9.5 静電気放電に関する注意事項.....	22
5.13 電源電流特性— 1.8V 電源.....	9	9.6 用語集.....	22
5.14 スイッチング特性— 5V 電源.....	10	10 改訂履歴.....	22
5.15 スイッチング特性— 3.3V 電源.....	10	11 メカニカル、パッケージ、および注文情報.....	23
5.16 スイッチング特性— 2.5V 電源.....	11	11.1 付録: パッケージ オプション.....	27
5.17 スイッチング特性— 1.8V 電源.....	11	11.2 テープおよびリール情報.....	29
5.18 代表的特性.....	12		

## 4 ピン構成および機能

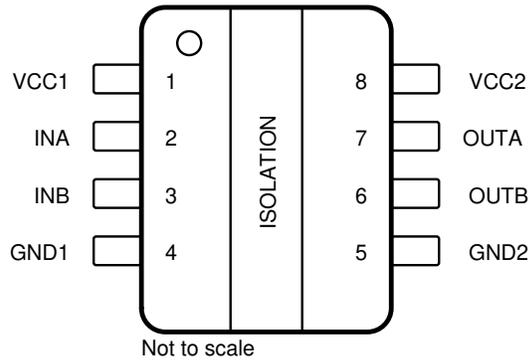


図 4-1. ISO6520 D パッケージ 8 ピン SOIC 上面図

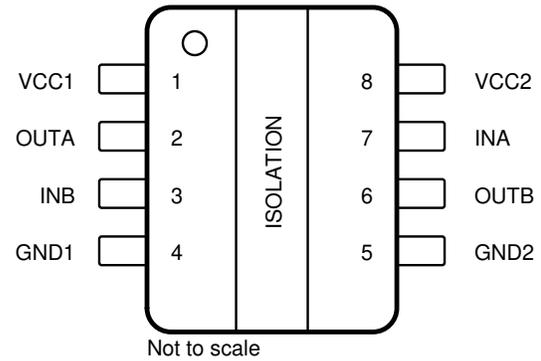


図 4-2. ISO6521 D パッケージ 8 ピン SOIC 上面図

表 4-1. ピンの機能

名称	ピン		タイプ <sup>(1)</sup>	概要
	ISO6520	ISO6521		
GND1	4	4	-	V <sub>CC1</sub> のグランド接続
GND2	5	5	-	V <sub>CC2</sub> のグランド接続
INA	2	7	I	入力、チャンネル A
INB	3	3	I	入力、チャンネル B
OUTA	7	2	O	出力、チャンネル A
OUTB	6	6	O	出力、チャンネル B
V <sub>CC1</sub>	1	1	P	電源、V <sub>CC1</sub>
V <sub>CC2</sub>	8	8	P	電源、V <sub>CC2</sub>

(1) I = 入力、O = 出力、P = 電源

## 5 仕様

### 5.1 絶対最大定格

(1) を参照

		最小値	最大値	単位
電源電圧 (2)	V <sub>CC1</sub> から GND1	-0.5	6	V
	V <sub>CC2</sub> から GND2	-0.5	6	
入力 / 出力電圧	INx から GNDx	-0.5	V <sub>CCX</sub> + 0.5 (3)	V
	OUTx から GNDx	-0.5	V <sub>CCX</sub> + 0.5 (3)	
出力電流	I <sub>o</sub>	-15	15	mA
温度	動作時の接合部温度、T <sub>J</sub>		150	°C
	保管温度、T <sub>stg</sub>	-65	150	°C
過渡絶縁電圧 (SOIC-8)	AC 電圧、t = 60s		707	V <sub>RMS</sub>
	DC 電圧、t = 60s		1000	V <sub>DC</sub>

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用方法の場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド ピン (GND1 または GND2) を基準としており、ピーク電圧値です。
- (3) 最大電圧は 6V 以下である必要があります。

### 5.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン(1)	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

		テスト条件	最小値	公称値	最大値	単位
V <sub>CC1</sub> (1)	サイド 1 電源電圧	V <sub>CC</sub> = 1.8V (3)	1.71		1.89	V
V <sub>CC1</sub> (1)	サイド 1 電源電圧	V <sub>CC</sub> = 2.5V~5V (3)	2.25		5.5	V
V <sub>CC2</sub> (1)	サイド 2 電源電圧	V <sub>CC</sub> = 1.8V (3)	1.71		1.89	V
V <sub>CC2</sub> (1)	サイド 2 電源電圧	V <sub>CC</sub> = 2.5V~5V (3)	2.25		5.5	V
V <sub>CC</sub> (UVLO+)	電源電圧が上昇しているときの UVLO スレッシュホールド			1.53	1.71	V
V <sub>CC</sub> (UVLO-)	電源電圧が下降しているときの UVLO スレッシュホールド		1.1	1.41		V
V <sub>hys</sub> (UVLO)	電源電圧 UVLO ヒステリシス		0.08	0.13		V
V <sub>IH</sub>	High レベル入力電圧		0.7 × V <sub>CCI</sub> (2)		V <sub>CCI</sub>	V
V <sub>IL</sub>	Low レベル入力電圧		0		0.3 × V <sub>CCI</sub>	V

		テスト条件	最小値	公称値	最大値	単位
I <sub>OH</sub>	High レベル入力電流	V <sub>CCO</sub> <sup>(2)</sup> = 5V	-4			mA
		V <sub>CCO</sub> = 3.3V	-2			mA
		V <sub>CCO</sub> = 2.5V	-1			mA
		V <sub>CCO</sub> = 1.8V	-1			mA
I <sub>OL</sub>	Low レベル出力電流	V <sub>CCO</sub> = 5V			4	mA
		V <sub>CCO</sub> = 3.3V			2	mA
		V <sub>CCO</sub> = 2.5V			1	mA
		V <sub>CCO</sub> = 1.8V			1	mA
DR	データレート		0		50	Mbps
T <sub>A</sub>	周囲温度		-40	25	125	°C
V <sub>IOWM</sub>	機能絶縁の動作電圧 (SOIC-8)	AC 電圧 (正弦波)			450	V <sub>RMS</sub>
		DC 電圧			637	V <sub>DC</sub>

- (1) V<sub>CC1</sub> と V<sub>CC2</sub> は、互いに独立して設定できます  
(2) V<sub>CC1</sub> = 入力側 V<sub>CC</sub>, V<sub>CCO</sub> = 出力側 V<sub>CC</sub>  
(3) 1.89V < V<sub>CC1</sub>, V<sub>CC2</sub> < 2.25V かつ 1.05V < V<sub>CC1</sub>, V<sub>CC2</sub> < 1.71V のとき、チャネル出力は不定状態です

## 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		ISO652x-Q1		単位
		D (SOIC-8)		
		8 ピン		
R <sub>θJA</sub>	接合部から周囲への熱抵抗	104.6		°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	48.9		°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	52.9		°C/W
ψ <sub>JT</sub>	接合部から上面への特性パラメータ	7.9		°C/W
ψ <sub>JB</sub>	接合部から基板への特性パラメータ	52.1		°C/W

- (1) 従来および最新の熱評価基準の詳細については、「[半導体および IC パッケージの熱評価基準](#)」アプリケーション ノートを参照してください。

## 5.5 パッケージの特性

パラメータ		テスト条件	値	単位
			8-D	
CLR	空間距離 <sup>(1)</sup>	空気中での最短のピン間距離	>4	mm
CPG	沿面距離 <sup>(1)</sup>	パッケージ表面に沿った最短のピン間距離	>4	mm
CTI	比較トラックインデックス	IEC 60112, UL 746A	>400	V
	材料グループ	IEC 60664-1 に準拠	II	
C <sub>IO</sub>	容量、入力から出力へ <sup>(2)</sup>	V <sub>IO</sub> = 0.4 × sin(2πft), f = 1MHz	≅0.5	pF
R <sub>IO</sub>	抵抗、入力から出力へ <sup>(2)</sup>	T <sub>A</sub> = 25°C	>10 <sup>12</sup>	Ω

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。  
(2) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

## 5.6 電気的特性— 5V 電源

$V_{CC1} = V_{CC2} = 5\text{ V} \pm 10\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4\text{ mA}$ 、 <a href="#">図 6-1</a> を参照	$V_{CCO} - 0.4$			V
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4\text{ mA}$ 、 <a href="#">図 6-1</a> を参照			0.4	V
$V_{IT+(IN)}$	立ち上がり入力のスウィッチング スレッシュ ホールド			$0.7 \times V_{CCI}^{(1)}$		V
$V_{IT-(IN)}$	立ち下がり入力のスウィッチング スレッシュ ホールド		$0.3 \times V_{CCI}$			V
$V_{I(HYS)}$	入力スレッシュホールド電圧のヒステリシス		$0.1 \times V_{CCI}$			V
$I_{IH}$	High レベル入力電流	INx で $V_{IH} = V_{CCI}^{(1)}$			10	$\mu\text{A}$
$I_{IL}$	Low レベル入力電流	INx で $V_{IL} = 0\text{ V}$	-10			$\mu\text{A}$
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0\text{ V}$ 、 $V_{CM} = 700\text{ V}$ 、 <a href="#">図 6-3</a> を参照	100	150		$\text{kV}/\mu\text{s}$
$C_i$	入力容量 <sup>(2)</sup>	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ 、 $f = 2\text{ MHz}$ 、 $V_{CC} = 5\text{ V}$		2.8		pF

(1)  $V_{CCI} =$  入力側  $V_{CC}$ 、 $V_{CCO} =$  出力側  $V_{CC}$ 。

(2) 入力ピンから同じ側のグランドまで測定。

## 5.7 電源電流特性— 5V 電源

$V_{CC1} = V_{CC2} = 5\text{ V} \pm 10\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位	
<b>ISO6520</b>							
電源電流 - DC 信号 <sup>(2)</sup>	$V_I = V_{CCI}^{(1)}$ (ISO6520)、 $V_I = 0\text{ V}$ (F 接尾辞付き ISO6520)	$I_{CC1}$		1.1	1.7	mA	
		$I_{CC2}$		1.3	2.2		
	$V_I = 0\text{ V}$ (ISO6520)、 $V_I = V_{CC1}$ (接尾辞 F 付き ISO6520)	$I_{CC1}$		3.2	4.6		
		$I_{CC2}$		1.4	2.3		
電源電流 - AC 信号 <sup>(3)</sup>	すべてのチャンネルが方形波クロック入 力でスウィッチング、 $C_L = 15\text{ pF}$	1Mbps	$I_{CC1}$		2.1		3.1
			$I_{CC2}$		1.5		2.4
		10Mbps	$I_{CC1}$		2.2		3.2
			$I_{CC2}$		2.7		3.6
		50Mbps	$I_{CC1}$		2.5	3.6	
			$I_{CC2}$		7.9	9.5	
<b>ISO6521</b>							
電源電流 - DC 信号 <sup>(2)</sup>	$V_I = V_{CCI}^{(1)}$ (ISO6521)、 $V_I = 0\text{ V}$ (F 接尾辞付き ISO6521)	$I_{CC1}$ 、 $I_{CC2}$		1.2	2.2	mA	
		$I_{CC1}$ 、 $I_{CC2}$		2.3	3.5		
電源電流 - AC 信号 <sup>(3)</sup>	すべてのチャンネルが方形波クロック入 力でスウィッチング、 $C_L = 15\text{ pF}$	1Mbps	$I_{CC1}$ 、 $I_{CC2}$		1.9		2.9
		10Mbps	$I_{CC1}$ 、 $I_{CC2}$		2.5		3.6
		50Mbps	$I_{CC1}$ 、 $I_{CC2}$		5.2		6.7

(1)  $V_{CCI} =$  入力側  $V_{CC}$

(2) 電源電流は  $ENx = V_{CCx}$  および  $ENx = 0\text{ V}$  の場合に有効

(3) 電源電流は  $ENx = V_{CCx}$  の場合に有効

## 5.8 電気的特性— 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3\text{ V} \pm 10\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OH}$	High レベル出力電圧	$I_{OH} = -2\text{mA}$ 、図 6-1 を参照	$V_{CCO} - 0.2$			V
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 2\text{mA}$ 、図 6-1 を参照			0.2	V
$V_{IT+(IN)}$	立ち上がり入力のスウィッチング スレッシュホールド			$0.7 \times V_{CCI}^{(1)}$		V
$V_{IT-(IN)}$	立ち下がり入力のスウィッチング スレッシュホールド		$0.3 \times V_{CCI}$			V
$V_{I(HYS)}$	入力スレッシュホールド電圧のヒステリシス		$0.1 \times V_{CCI}$			V
$I_{IH}$	High レベル入力電流	INx で $V_{IH} = V_{CCI}^{(1)}$			10	$\mu\text{A}$
$I_{IL}$	Low レベル入力電流	INx で $V_{IL} = 0\text{V}$	-10			$\mu\text{A}$
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0\text{V}$ 、 $V_{CM} = 700\text{V}$ 、図 6-3 を参照	100	150		$\text{kV}/\mu\text{s}$
$C_i$	入力容量 <sup>(2)</sup>	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ 、 $f = 2\text{MHz}$ 、 $V_{CC} = 3.3\text{V}$		2.8		pF

(1)  $V_{CCI} =$  入力側  $V_{CC}$ 、 $V_{CCO} =$  出力側  $V_{CC}$ 。

(2) 入力ピンから同じ側のグランドまで測定。

## 5.9 電源電流特性— 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3\text{ V} \pm 10\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位	
<b>ISO6520</b>							
電源電流 - DC 信号 <sup>(2)</sup>	$V_I = V_{CCI}^{(1)}$ (ISO6520)、 $V_I = 0\text{V}$ (F 接尾辞付き ISO6520)	$I_{CC1}$		1.1	1.6	mA	
		$I_{CC2}$		1.3	2.2		
	$V_I = 0\text{V}$ (ISO6520)、 $V_I = V_{CC1}$ (接尾辞 F 付き ISO6520)	$I_{CC1}$		3.2	4.5		
		$I_{CC2}$		1.4	2.3		
電源電流 - AC 信号 <sup>(3)</sup>	すべてのチャンネルが方形波クロック入力 でスウィッチング、 $C_L = 15\text{pF}$	1Mbps	$I_{CC1}$		2.1		3.1
			$I_{CC2}$		1.4		2.3
		10Mbps	$I_{CC1}$		2.2		3.1
			$I_{CC2}$		2.3		3.2
		50Mbps	$I_{CC1}$		2.4	3.4	
			$I_{CC2}$		6	7.3	
<b>ISO6521</b>							
電源電流 - DC 信号 <sup>(2)</sup>	$V_I = V_{CCI}^{(1)}$ (ISO6521)、 $V_I = 0\text{V}$ (F 接尾辞付き ISO6521)	$I_{CC1}$ 、 $I_{CC2}$		1.2	2.2	mA	
		$I_{CC1}$ 、 $I_{CC2}$		2.3	3.5		
電源電流 - AC 信号 <sup>(3)</sup>	すべてのチャンネルが方形波クロック入力 でスウィッチング、 $C_L = 15\text{pF}$	1Mbps	$I_{CC1}$ 、 $I_{CC2}$		1.8		2.9
			10Mbps	$I_{CC1}$ 、 $I_{CC2}$			2.3
		50Mbps	$I_{CC1}$ 、 $I_{CC2}$		4.2		5.5

(1)  $V_{CCI} =$  入力側  $V_{CC}$

(2) 電源電流は  $ENx = V_{CCx}$  および  $ENx = 0\text{V}$  の場合に有効

(3) 電源電流は  $ENx = V_{CCx}$  の場合に有効

## 5.10 電気的特性— 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5\text{ V} \pm 10\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OH}$	High レベル出力電圧	$I_{OH} = -1\text{mA}$ 、 <a href="#">図 6-1</a> を参照	$V_{CCO} - 0.1$			V
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 1\text{mA}$ 、 <a href="#">図 6-1</a> を参照			0.1	V
$V_{IT+(IN)}$	立ち上がり入力のスウィッチング スレッシュホールド			$0.7 \times V_{CCI}^{(1)}$		V
$V_{IT-(IN)}$	立ち下がり入力のスウィッチング スレッシュホールド		$0.3 \times V_{CCI}$			V
$V_{I(HYS)}$	入力スレッシュホールド電圧のヒステリシス		$0.1 \times V_{CCI}$			V
$I_{IH}$	High レベル入力電流	$I_{Nx}$ で $V_{IH} = V_{CCI}^{(1)}$			10	$\mu\text{A}$
$I_{IL}$	Low レベル入力電流	$I_{Nx}$ で $V_{IL} = 0\text{V}$	-10			$\mu\text{A}$
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0\text{V}$ 、 $V_{CM} = 700\text{V}$ 、 <a href="#">図 6-3</a> を参照	100	150		$\text{kV}/\mu\text{s}$
$C_i$	入力容量 <sup>(2)</sup>	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ 、 $f = 2\text{MHz}$ 、 $V_{CC} = 2.5\text{V}$		2.8		pF

(1)  $V_{CCI} =$  入力側  $V_{CC}$ 、 $V_{CCO} =$  出力側  $V_{CC}$ 。

(2) 入力ピンから同じ側のグランドまで測定。

## 5.11 電源電流特性— 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5\text{ V} \pm 10\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位	
<b>ISO6520</b>							
電源電流 - DC 信号 <sup>(2)</sup>	$V_I = V_{CCI}^{(1)}$ (ISO6520)、 $V_I = 0\text{V}$ (F 接尾辞付き ISO6520)	$I_{CC1}$		1.1	1.6	mA	
		$I_{CC2}$		1.3	2.1		
	$V_I = 0\text{V}$ (ISO6520)、 $V_I = V_{CC1}$ (接尾辞 F 付き ISO6520)	$I_{CC1}$		3.1	4.5		
		$I_{CC2}$		1.4	2.3		
電源電流 - AC 信号 <sup>(3)</sup>	すべてのチャンネルが方形波クロック入力 でスウィッチング、 $C_L = 15\text{pF}$	1Mbps	$I_{CC1}$		2.1		3.1
			$I_{CC2}$		1.4		2.3
		10Mbps	$I_{CC1}$		2.1		3.1
			$I_{CC2}$		2		2.9
		50Mbps	$I_{CC1}$		2.3	3.3	
			$I_{CC2}$		4.8	6	
<b>ISO6521</b>							
電源電流 - DC 信号 <sup>(2)</sup>	$V_I = V_{CCI}^{(1)}$ (ISO6521)、 $V_I = 0\text{V}$ (F 接尾辞付き ISO6521)	$I_{CC1}$ 、 $I_{CC2}$		1.2	2.2	mA	
		$I_{CC1}$ 、 $I_{CC2}$		2.3	3.5		
電源電流 - AC 信号 <sup>(3)</sup>	すべてのチャンネルが方形波クロック入力 でスウィッチング、 $C_L = 15\text{pF}$	1Mbps	$I_{CC1}$ 、 $I_{CC2}$		1.8		2.9
		10Mbps	$I_{CC1}$ 、 $I_{CC2}$		2.1		3.2
		50Mbps	$I_{CC1}$ 、 $I_{CC2}$		3.6		4.9

(1)  $V_{CCI} =$  入力側  $V_{CC}$

(2) 電源電流は  $ENx = V_{CCx}$  および  $ENx = 0\text{V}$  の場合に有効

(3) 電源電流は  $ENx = V_{CCx}$  の場合に有効

## 5.12 電気的特性— 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8 \text{ V} \pm 5\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OH}$	High レベル出力電圧	$I_{OH} = -1\text{mA}$ 、 <a href="#">図 6-1</a> を参照	$V_{CC0} - 0.1$			V
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 1\text{mA}$ 、 <a href="#">図 6-1</a> を参照			0.1	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッシュ ホールド			$0.7 \times V_{CCI}^{(1)}$		V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッシュ ホールド		$0.3 \times V_{CCI}$			V
$V_{I(HYS)}$	入力スレッシュホールド電圧のヒステリシス		$0.1 \times V_{CCI}$			V
$I_{IH}$	High レベル入力電流	$INx$ で $V_{IH} = V_{CCI}^{(1)}$			10	$\mu\text{A}$
$I_{IL}$	Low レベル入力電流	$INx$ で $V_{IL} = 0\text{V}$	-10			$\mu\text{A}$
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0\text{V}$ 、 $V_{CM} = 700\text{V}$ 、 <a href="#">図 6-3</a> を参照	100	150		$\text{kV}/\mu\text{s}$
$C_i$	入力容量 <sup>(2)</sup>	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ 、 $f = 2\text{MHz}$ 、 $V_{CC} = 1.8\text{V}$		2.8		pF

(1)  $V_{CCI} =$  入力側  $V_{CC}$ 、 $V_{CC0} =$  出力側  $V_{CC}$ 。

(2) 入力ピンから同じ側のグランドまで測定。

## 5.13 電源電流特性— 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8 \text{ V} \pm 5\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位	
<b>ISO6520</b>							
電源電流 - DC 信号 <sup>(2)</sup>	$V_I = V_{CCI}^{(1)}$ (ISO6520)、 $V_I = 0\text{V}$ (F 接尾辞付き ISO6520)	$I_{CC1}$		0.8	1.5	mA	
		$I_{CC2}$		1.2	2.1		
	$V_I = 0\text{V}$ (ISO6520)、 $V_I = V_{CC1}$ (接尾辞 F 付き ISO6520)	$I_{CC1}$		2.8	4.3		
		$I_{CC2}$		1.3	2.3		
電源電流 - AC 信号 <sup>(3)</sup>	すべてのチャンネルが方形波クロック入 力でスイッチング、 $C_L = 15\text{pF}$	1Mbps	$I_{CC1}$		1.8		2.9
			$I_{CC2}$		1.3		2.3
		10Mbps	$I_{CC1}$		1.8		2.9
			$I_{CC2}$		1.8		2.7
		50Mbps	$I_{CC1}$		2	3.1	
			$I_{CC2}$		3.8	4.9	
<b>ISO6521</b>							
電源電流 - DC 信号 <sup>(2)</sup>	$V_I = V_{CCI}^{(1)}$ (ISO6521)、 $V_I = 0\text{V}$ (F 接尾辞付き ISO6521)	$I_{CC1}$ 、 $I_{CC2}$		1.1	2.1	mA	
		$I_{CC1}$ 、 $I_{CC2}$		2.1	3.4		
電源電流 - AC 信号 <sup>(3)</sup>	すべてのチャンネルが方形波クロック入 力でスイッチング、 $C_L = 15\text{pF}$	1Mbps	$I_{CC1}$ 、 $I_{CC2}$		1.6		2.7
			$I_{CC1}$ 、 $I_{CC2}$		1.9		3
		10Mbps	$I_{CC1}$ 、 $I_{CC2}$		1.9		3
			$I_{CC1}$ 、 $I_{CC2}$		3		4.2
50Mbps	$I_{CC1}$ 、 $I_{CC2}$		3	4.2			
	$I_{CC1}$ 、 $I_{CC2}$		3	4.2			

(1)  $V_{CCI} =$  入力側  $V_{CC}$

(2) 電源電流は  $ENx = V_{CCx}$  および  $ENx = 0\text{V}$  の場合に有効

(3) 電源電流は  $ENx = V_{CCx}$  の場合に有効

## 5.14 スイッチング特性— 5V 電源

$V_{CC1} = V_{CC2} = 5\text{ V} \pm 10\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{PLH}, t_{PHL}$	伝搬遅延時間		11	18	ns
$t_{P(dft)}$	伝搬遅延のドリフト		8		ps/°C
$t_{UI}$	最小パルス幅	20			ns
PWD	パルス幅歪み <sup>(1)</sup> $ t_{PHL} - t_{PLH} $		0.2	7	ns
$t_{sk(o)}$	チャンネル間の出力スキュー時間 <sup>(2)</sup>			6	ns
$t_{sk(p-p)}$	部品間のスキュー時間 <sup>(3)</sup>			6	ns
$t_r$	出力信号の立ち上がり時間		2.6	4.5	ns
$t_f$	出力信号の立ち下がり時間		2.6	4.5	ns
$t_{PU}$	UVLO から有効な出力データまでの時間			300	μs
$t_{DO}$	入力電源喪失からデフォルト出力までの遅延時間	$V_{CC}$ が 1.2V を下回る時間から測定。図 6-2 を参照してください	0.1	0.3	μs
$t_{ie}$	タイム インターバル エラー	50Mbps で 2 <sup>16</sup> - 1 PRBS データ	1		ns

- (1) 別名パルス スキュー。  
 (2)  $t_{sk(o)}$  は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。  
 (3)  $t_{sk(pp)}$  は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

## 5.15 スイッチング特性— 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3\text{ V} \pm 10\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{PLH}, t_{PHL}$	伝搬遅延時間		11	18	ns
$t_{P(dft)}$	伝搬遅延のドリフト		9.2		ps/°C
$t_{UI}$	最小パルス幅	20			ns
PWD	パルス幅歪み <sup>(1)</sup> $ t_{PHL} - t_{PLH} $		0.5	7	ns
$t_{sk(o)}$	チャンネル間の出力スキュー時間 <sup>(2)</sup>			6	ns
$t_{sk(p-p)}$	部品間のスキュー時間 <sup>(3)</sup>			6	ns
$t_r$	出力信号の立ち上がり時間		1.6	3.2	ns
$t_f$	出力信号の立ち下がり時間		1.6	3.2	ns
$t_{PU}$	UVLO から有効な出力データまでの時間			300	μs
$t_{DO}$	入力電源喪失からデフォルト出力までの遅延時間	$V_{CC}$ が 1.2V を下回る時間から測定。図 6-2 を参照してください	0.1	0.3	μs
$t_{ie}$	タイム インターバル エラー	50Mbps で 2 <sup>16</sup> - 1 PRBS データ	1		ns

- (1) 別名パルス スキュー。  
 (2)  $t_{sk(o)}$  は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。  
 (3)  $t_{sk(pp)}$  は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

## 5.16 スイッチング特性— 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5\text{ V} \pm 10\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{PLH}, t_{PHL}$	伝搬遅延時間		12	20.5	ns
$t_{P(dft)}$	伝搬遅延のドリフト		14.3		ps/°C
$t_{UI}$	最小パルス幅	20			ns
PWD	パルス幅歪み <sup>(1)</sup> $ t_{PHL} - t_{PLH} $		0.6	7.1	ns
$t_{sk(o)}$	チャンネル間の出力スキュー時間 <sup>(2)</sup>			6	ns
$t_{sk(p-p)}$	部品間のスキュー時間 <sup>(3)</sup>			6.1	ns
$t_r$	出力信号の立ち上がり時間		2	4	ns
$t_f$	出力信号の立ち下がり時間		2	4	ns
$t_{PU}$	UVLO から有効な出力データまでの時間			300	μs
$t_{DO}$	入力電源喪失からデフォルト出力までの遅延時間	$V_{CC}$ が 1.2V を下回る時間から測定。図 6-2 を参照してください	0.1	0.3	μs
$t_{ie}$	タイム インターバル エラー	50Mbps で $2^{16} - 1$ PRBS データ	1		ns

- (1) 別名パルス スキュー。
- (2)  $t_{sk(o)}$  は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
- (3)  $t_{sk(pp)}$  は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

## 5.17 スイッチング特性— 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8\text{ V} \pm 5\%$  (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{PLH}, t_{PHL}$	伝搬遅延時間		15	25.1	ns
$t_{P(dft)}$	伝搬遅延のドリフト		15.2		ps/°C
$t_{UI}$	最小パルス幅	20			ns
PWD	パルス幅歪み <sup>(1)</sup> $ t_{PHL} - t_{PLH} $		0.7	8.2	ns
$t_{sk(o)}$	チャンネル間の出力スキュー時間 <sup>(2)</sup>			6	ns
$t_{sk(p-p)}$	部品間のスキュー時間 <sup>(3)</sup>			8.8	ns
$t_r$	出力信号の立ち上がり時間		2.7	5.3	ns
$t_f$	出力信号の立ち下がり時間		2.7	5.3	ns
$t_{PU}$	UVLO から有効な出力データまでの時間			300	μs
$t_{DO}$	入力電源喪失からデフォルト出力までの遅延時間	$V_{CC}$ が 1.2V を下回る時間から測定。図 6-2 を参照してください	0.1	0.3	μs
$t_{ie}$	タイム インターバル エラー	50Mbps で $2^{16} - 1$ PRBS データ	1		ns

- (1) 別名パルス スキュー。
- (2)  $t_{sk(o)}$  は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
- (3)  $t_{sk(pp)}$  は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

## 5.18 代表的特性

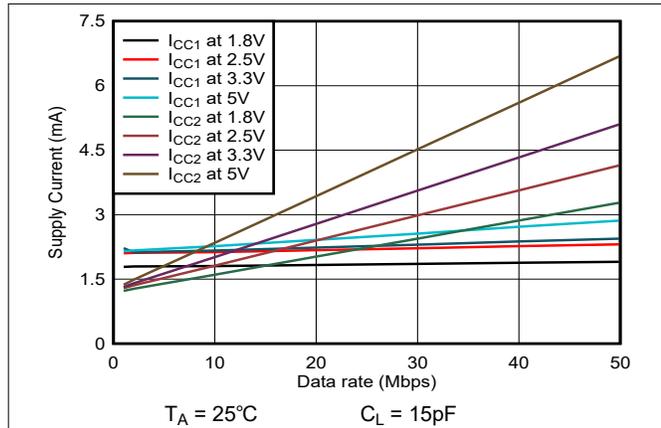


図 5-1. ISO6520 の消費電流とデータ レートとの関係 (15pF 負荷時)

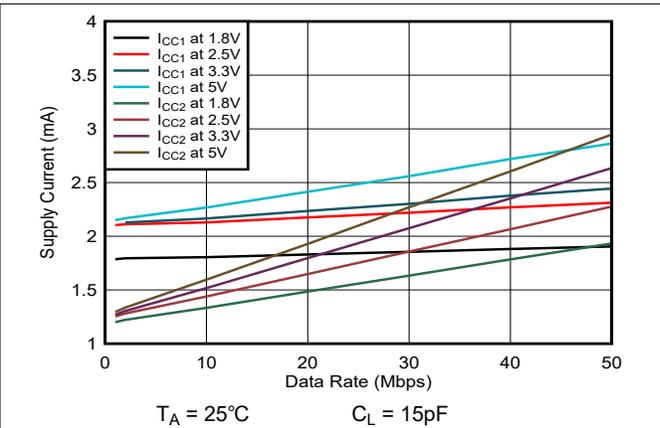


図 5-2. ISO6520 の電源電流とデータ レートとの関係 (負荷なし)

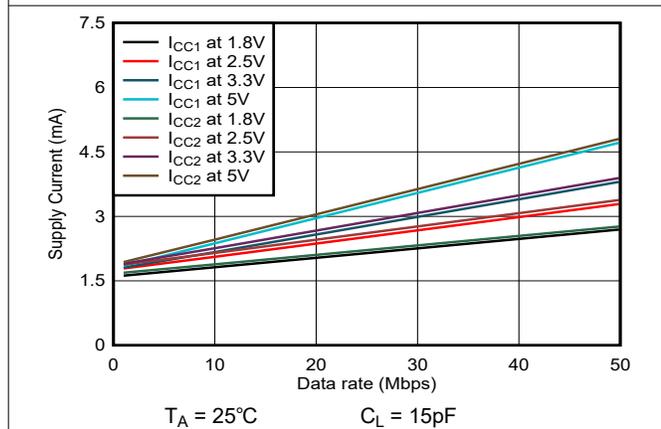


図 5-3. ISO6521 の消費電流とデータ レートとの関係 (15pF 負荷時)

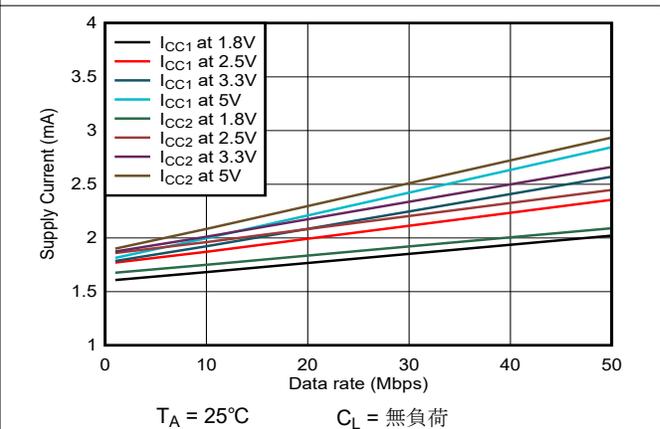


図 5-4. ISO6521 の電源電流とデータ レートとの関係 (負荷なし)

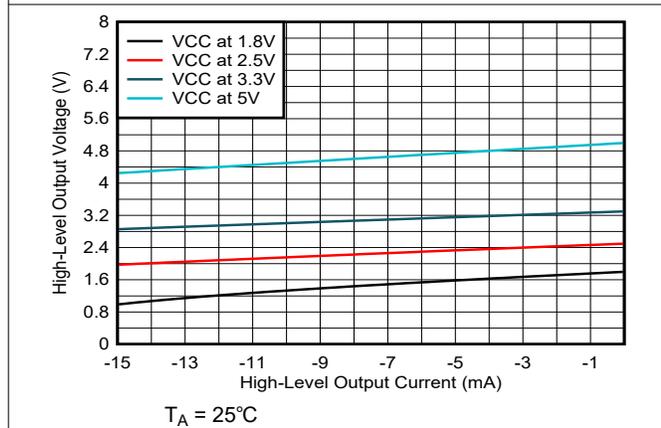


図 5-5. High レベル出力電圧と High レベル出力電流との関係

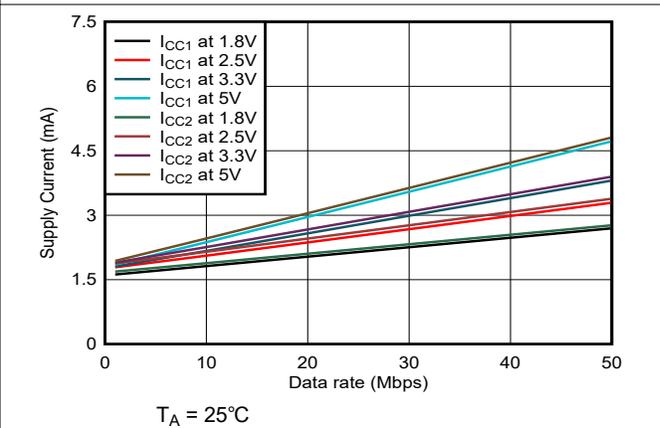


図 5-6. Low レベル出力電圧と Low レベル出力電流との関係

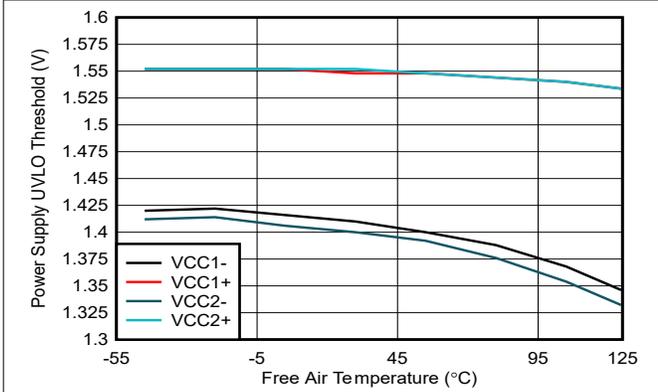


図 5-7. 電源低電圧スレッシュホールドと周囲温度との関係

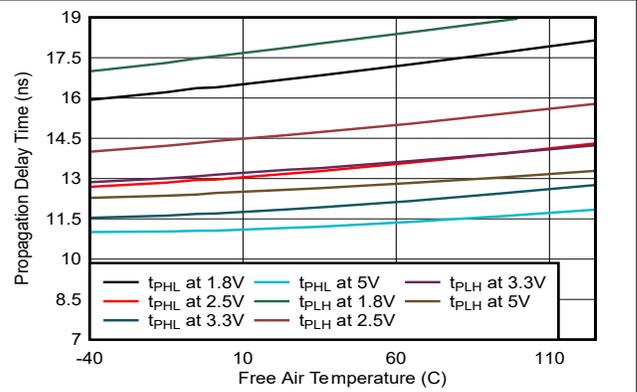
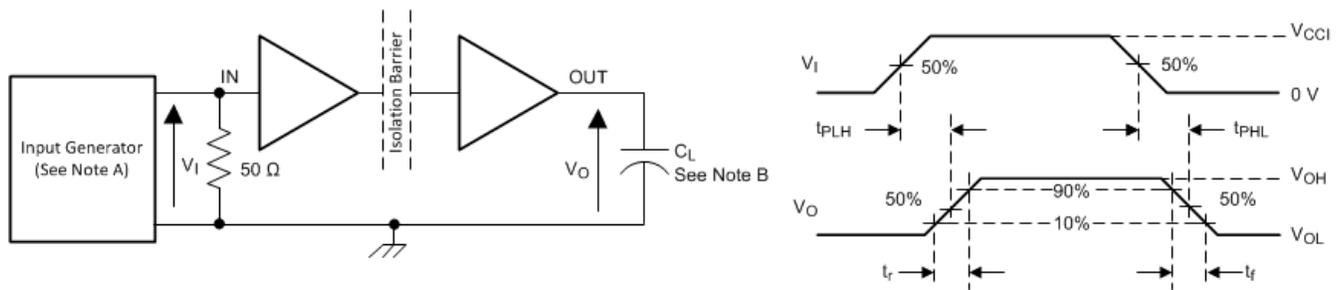


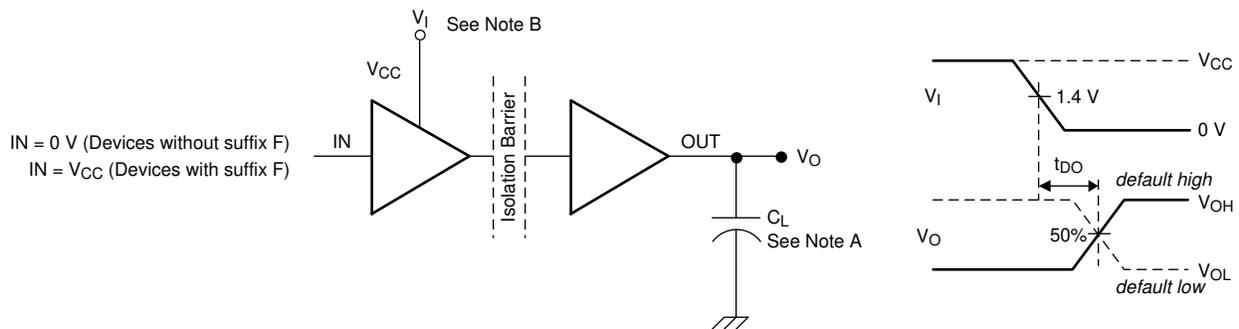
図 5-8. 伝搬遅延時間と周囲温度との関係

## 6 パラメータ測定情報



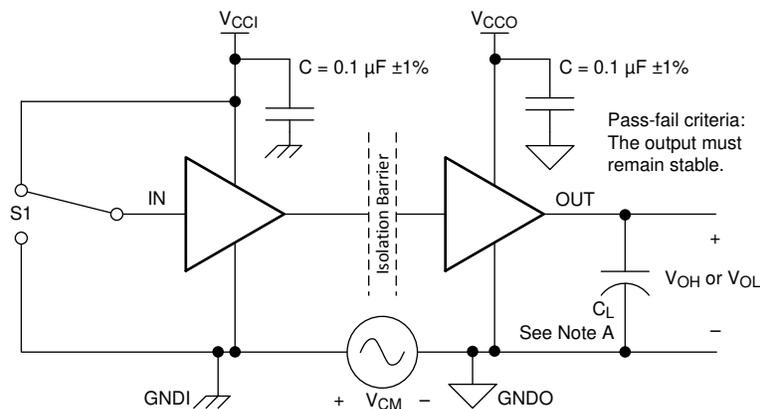
- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 50kHz、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_0 = 50\Omega$ 。入力ジェネレータ信号を終端するため、入力に  $50\Omega$  の抵抗が必要です。実際のアプリケーションでは、この  $50\Omega$  抵抗は不要です。
- B.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

図 6-1. スイッチング特性試験回路と電圧波形



- A.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。
- B. 電源ランプ レート =  $10\text{mV/ns}$

図 6-2. デフォルトの出力遅延時間テスト回路と電圧波形



- A.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

図 6-3. 同相過渡電圧耐性試験回路

## 7 詳細説明

### 7.1 概要

ISO652x-Q1 ファミリのデバイスは、オン オフ キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します。トランスミッタは、バリアを介して高周波キャリアを送信することによって、1 つのデジタル状態を表しています。また、信号を送信しないことによって、もう 1 つのデジタル状態を表しています。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、バッファ段経由で出力を生成します。これらのデバイスには高度な回路技法も使用されており、CMTI 性能を最大化し、高周波キャリアと IO バッファのスイッチングによる放射ノイズを最小化しています。デジタル容量性アイソレータの概念ブロック図である図 7-1 は、代表的なチャンネルの機能ブロック図を示しています。

### 7.2 機能ブロック図

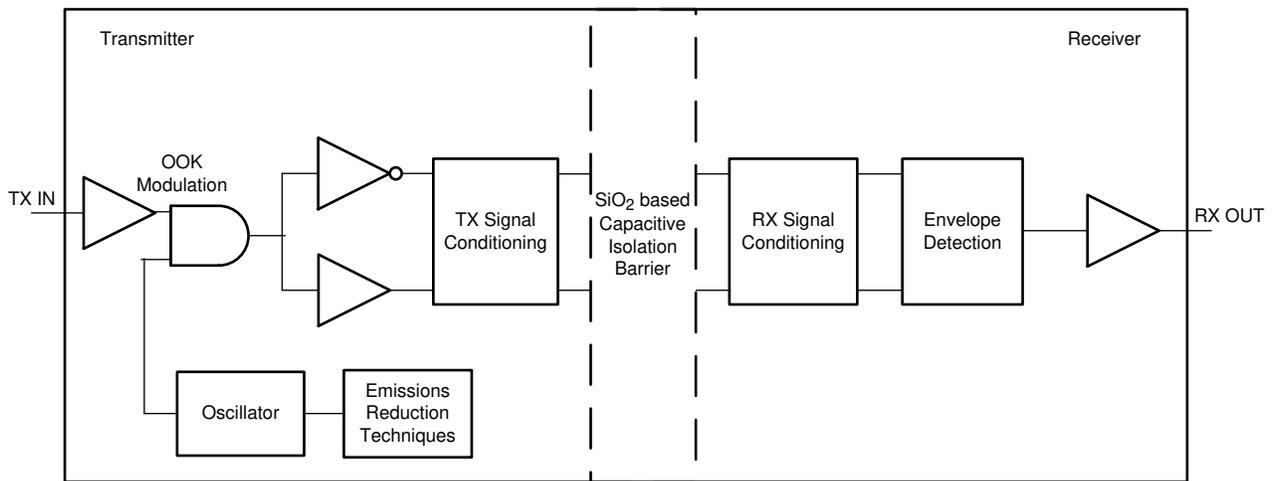


図 7-1. デジタル容量性アイソレータの概念ブロック図

図 7-2 に、OOK 方式の動作概念の詳細を示します。

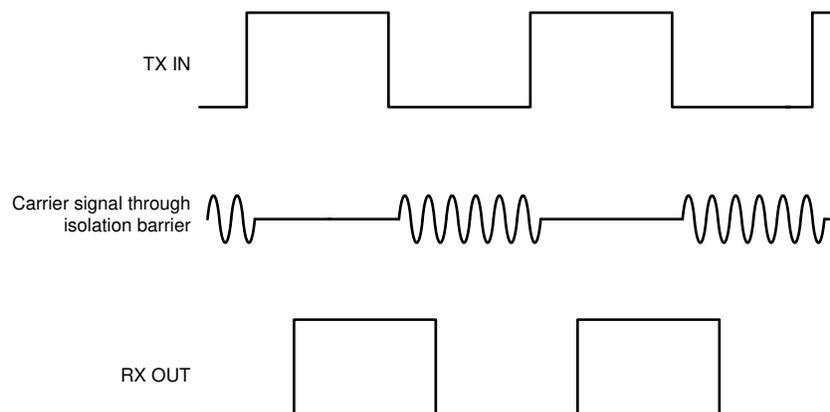


図 7-2. オン オフ キーイング (OOK) による変調方式

### 7.3 機能説明

ISO652x-Q1 ファミリのデバイスは、2 つのチャンネル構成とデフォルトの出力状態オプションで利用でき、さまざまなアプリケーション用途に使用できます。表 7-1 に、ISO652x-Q1 デバイスの機能を示します。

表 7-1. デバイスの機能

部品番号	最大データレート	チャンネル方向	デフォルト出力状態	パッケージ
ISO6520-Q1	50Mbps	正方向 2、逆方向 0	HIGH	SOIC-8
ISO6520F-Q1	50Mbps	正方向 2、逆方向 0	LOW	SOIC-8
ISO6521-Q1	50Mbps	正方向 1、逆方向 1	HIGH	SOIC-8
ISO6521F-Q1	50Mbps	正方向 1、逆方向 1	LOW	SOIC-8

### 7.4 デバイスの機能モード

ISO652x-Q1 デバイスの機能モードを、表 7-2 に示します。

表 7-2. 機能表

V <sub>CCI</sub> <sup>(1)</sup>	V <sub>CCO</sub>	入力 (IN <sub>x</sub> ) <sup>(2)</sup>	出力 (OUT <sub>x</sub> )	備考
PU	PU	H	H	通常動作: チャンネルの出力は、入力の論理状態になります。
		L	L	
		オープン	デフォルト	デフォルトモード: IN <sub>x</sub> がオープンするとき、対応するチャンネル出力はデフォルトのロジック状態に移行します。デフォルトは、ISO652x-Q1 では High、F 接尾辞付きの ISO652x-Q1 では Low です。
PD	PU	X	デフォルト	デフォルトモード: V <sub>CCI</sub> に電源が供給されていないとき、チャンネル出力は選択されたデフォルトオプションに基づいたロジック状態になります。デフォルトは、ISO652x-Q1 では High、F 接尾辞付きの ISO652x-Q1 では Low です。V <sub>CCI</sub> が電源オフから電源オンに遷移すると、チャンネル出力は入力のロジック状態と同じになります。V <sub>CCI</sub> が電源オンから電源オフに遷移すると、チャンネル出力は選択されているデフォルト状態になります。
X	PD	X	不定	V <sub>CCO</sub> の電源がオフのとき、チャンネルの出力は不定です <sup>(3)</sup> 。 V <sub>CCO</sub> が電源オフから電源オンに遷移すると、チャンネル出力は入力のロジック状態と同じになります。

- (1) V<sub>CCI</sub> = 入力側 V<sub>CC</sub>、V<sub>CCO</sub> = 出力側 V<sub>CC</sub>、PU = 電源オン (V<sub>CC</sub> ≥ 1.71 V)、PD = 電源オフ (V<sub>CC</sub> ≤ 1.05 V)、X = 無関係、H = High レベル、L = Low レベル
- (2) 強く駆動される入力信号は、内部保護ダイオードを経由してフローティング V<sub>CC</sub> に弱い電力を供給し、出力が不定になる可能性があります。
- (3) 1.89V < V<sub>CCI</sub>、V<sub>CCO</sub> < 2.25V、1.05V < V<sub>CCI</sub>、V<sub>CCO</sub> < 1.71V のとき、出力の状態は不定です。

7.4.1 デバイス I/O 回路図

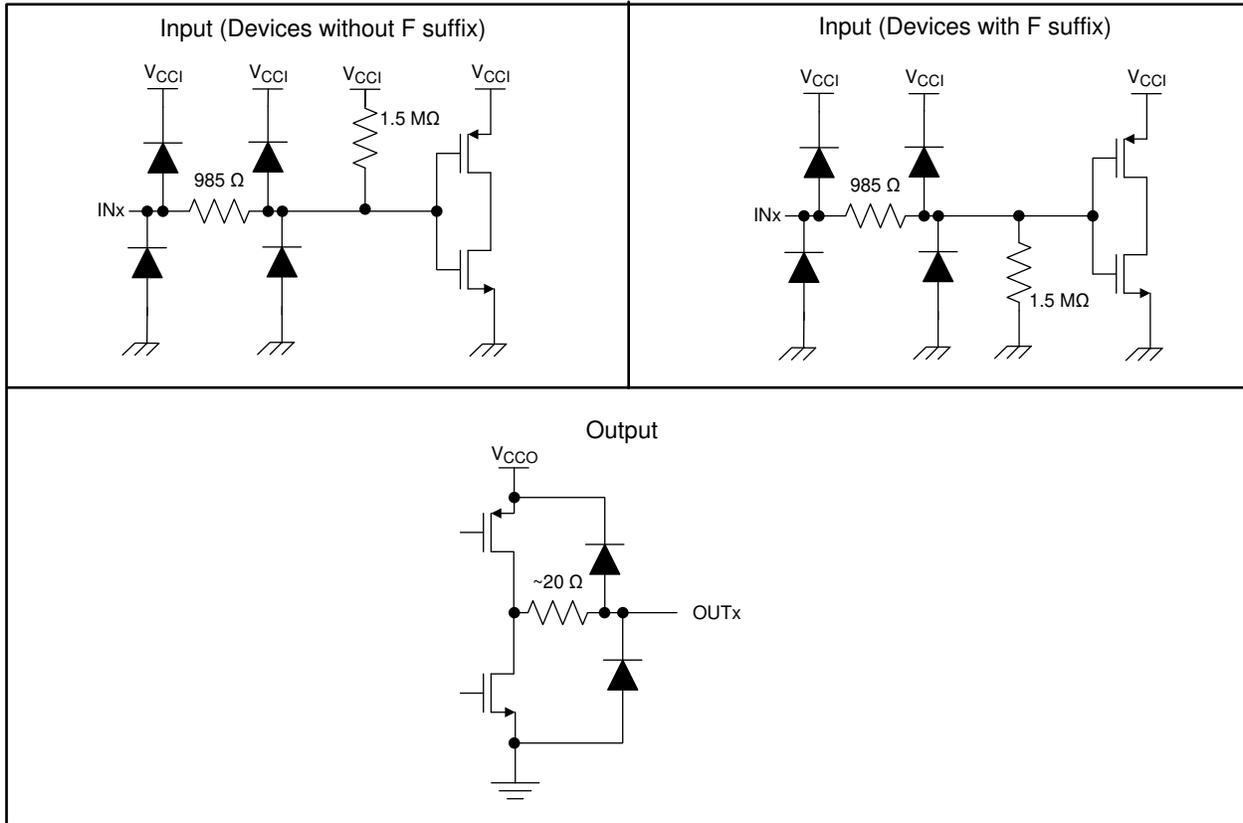


図 7-3. デバイス I/O 回路図

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

ISO652x-Q1 デバイスは、高性能のデュアル チャネル デジタル アイソレータです。これらのデバイスは、シングルエンドの CMOS ロジック スイッチング技術を使用しています。電源電圧の範囲は、 $V_{CC1}$  と  $V_{CC2}$  の両方の電源で 1.71V～5.5V です。絶縁バリアは 2 つの側を分離するため、推奨動作条件内の任意の電圧を使用し、それぞれの側を独立してソースできます。たとえば、ISO652x-Q1 の  $V_{CC1}$  に 3.3V (1.71V～1.89V と 2.25V～5V の範囲内)、 $V_{CC2}$  に 5V (これも 1.71V～1.89V と 2.25V～5V の範囲内) を供給できます。デジタル アイソレータは、絶縁に加えて、ロジックレベルトランスレータとしても使用できます。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは通常、インターフェイスの種類や規格にかかわらず、データ コントローラ (MCU または FPGA) と、データ コンバータまたはライン トランシーバとの間に配置されます。

### 注

ISO652x-Q1 は機能絶縁デバイスであり、標準化機構による絶縁に関する認証を受けていません。標準化機構による絶縁の認証が必要な用途では、ISO672x、ISO772x、ISO782x のいずれかのデジタル アイソレータファミリを選択する必要があります。

## 8.2 代表的なアプリケーション

車載アプリケーション向けに、ISO652x-Q1 デバイスは、テキサス インストルメンツの Piccolo™ マイクロコントローラ、CAN トランシーバ、トランスドライバ、電圧レギュレータと組み合わせて、絶縁型 CAN インターフェイスを作成するためにも使用できます。ISO652x-Q1 は機能絶縁デバイスであるため、このデバイスは、正しいシステム動作のためにガルバニック絶縁を必要とし、高基板密度のために小型のソリューション サイズが必要なアプリケーション向けに設計されています。図 8-1 に示すように、ISO652x-Q1 は、各種ボディ エレクトロニクス回路で一般的に見られる 12V~48V グランド絶縁などの車載アプリケーションで使用できます。

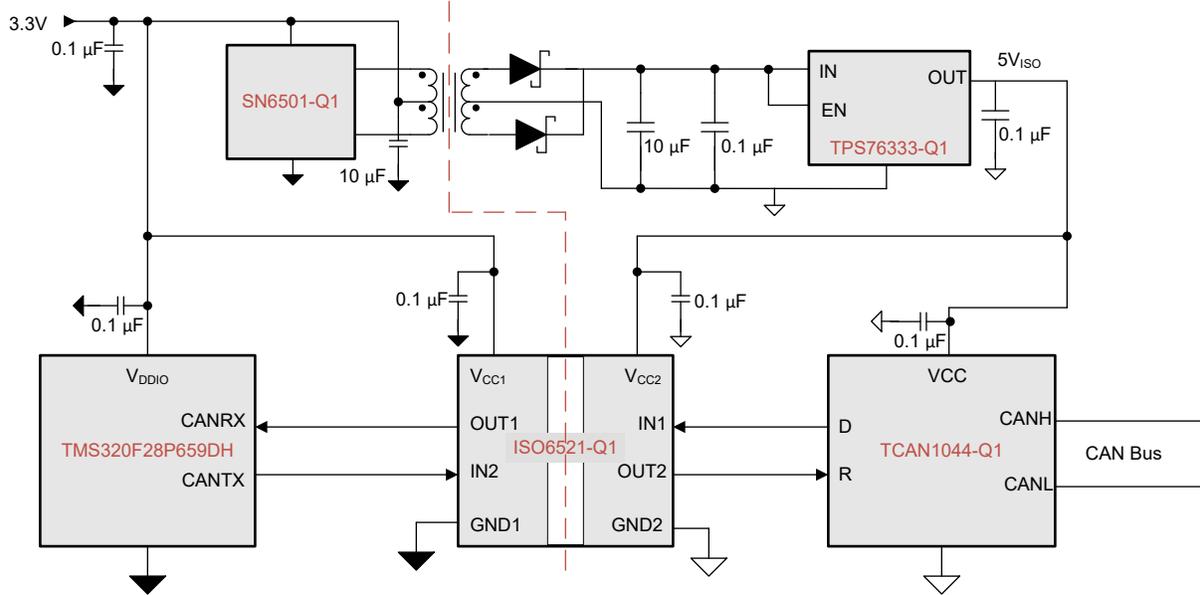


図 8-1. 代表的な絶縁型 CAN アプリケーション回路

### 8.2.1 設計要件

このデバイスを使用する設計には、表 8-1 に記載されているパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
電源電圧、 $V_{CC1}$ および $V_{CC2}$	1.71V~1.89V、2.25V~5.5V
$V_{CC1}$ と GND1 との間のデカップリング コンデンサ	0.1 $\mu$ F
$V_{CC2}$ と GND2 との間のデカップリング コンデンサ	0.1 $\mu$ F

## 8.3 電源に関する推奨事項

データ レートおよび電源電圧に対する信頼性の高い動作を確保するため、入力および出力電源ピン ( $V_{CC1}$  および  $V_{CC2}$ ) に  $0.1\mu\text{F}$  のバイパス コンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、トランスドライバを使用して 2 次側用の絶縁型電源を生成できます。車載アプリケーションには、**SN6501-Q1** または **SN6505B-Q1** を使用してください。このようなアプリケーションでは、『**SN6501-Q1 絶縁電源用トランス ドライバ**』または『**SN6505B-Q1 車載用、低ノイズ、絶縁型電源用ソフトスタート機能搭載 1A、420kHz トランス ドライバ**』で、電源の詳細な設計とトランスの選択についての推奨事項を参照できます。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

コストが最適化された低 EMI PCB の設計を実現するには、最小 2 層が必要です。EMI をさらに改善するために、4 層基板を使用できます。4 層基板の層は、上層から下層に向かって、高速信号層、グランド プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス パスを実現します。
- グランド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約  $100\text{pF}/\text{インチ}^2$  増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。
- 低 ESR セラミック バイパス コンデンサを使用して、VCC ピンをグランドにバイパスします。X5R または X7R 定格の誘電体でセラミック コンデンサを使用する場合、推奨される標準バイパス容量は  $0.1\mu\text{F}$  です。コンデンサは、PCB レイアウトの同じ層で、VCC ピンのできるだけ近くに配置する必要があります。このコンデンサの電圧定格は、VCC 電圧レベルよりも大きい必要があります。

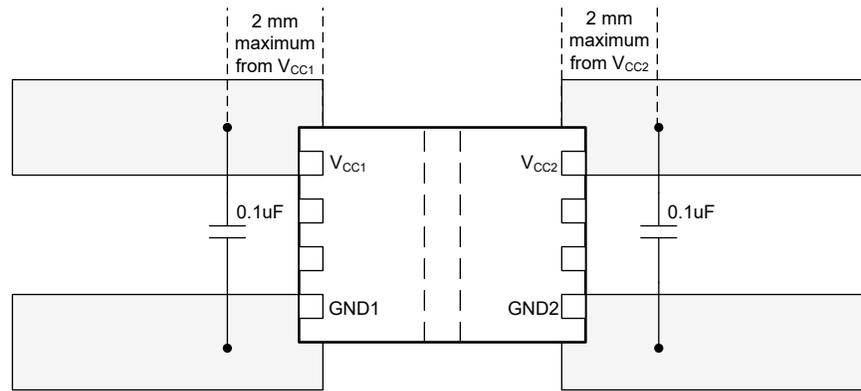
電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド プレーン系統を層構成に追加します。この設計により、基板の層構成が機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『**デジタル アイソレータ設計ガイド**』を参照してください。

#### 8.4.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が  $1\text{ns}$  超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

### 8.4.2 レイアウト例



Solid ground islands help  
dissipate heat through PCB

図 8-2. レイアウト例

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[絶縁用語集](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[SN6501 絶縁電源用のトランスドライバ](#)』データシート
- テキサス・インスツルメンツ、『[SN6505x 絶縁電源用の低ノイズ、1A トランスドライバ](#)』データシート
- テキサス・インスツルメンツ、『[SN6507 デューティ サイクル制御機能搭載、絶縁電源用の低エミッション、36V プッシュプルトランスドライバ](#)』データシート

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

Piccolo™ is a trademark of Texas Instruments.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision \* (December 2024) to Revision A (February 2025)

Page

- |                                      |   |
|--------------------------------------|---|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... | 1 |
| • ドキュメントから開発中製品パッケージを削除.....         | 1 |

## 11 メカニカル、パッケージ、および注文情報

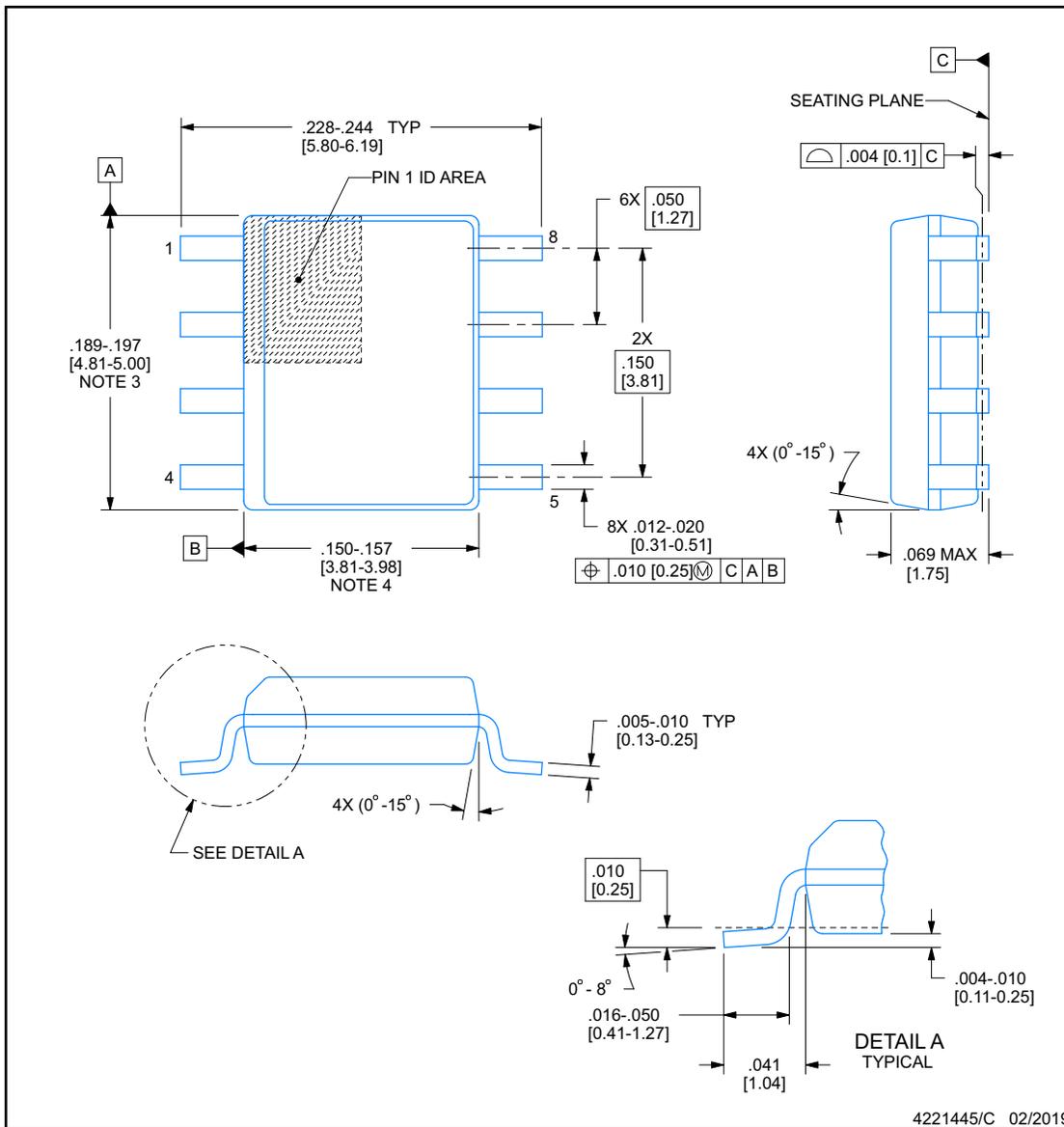
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



**D0008B**

**PACKAGE OUTLINE**  
**SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

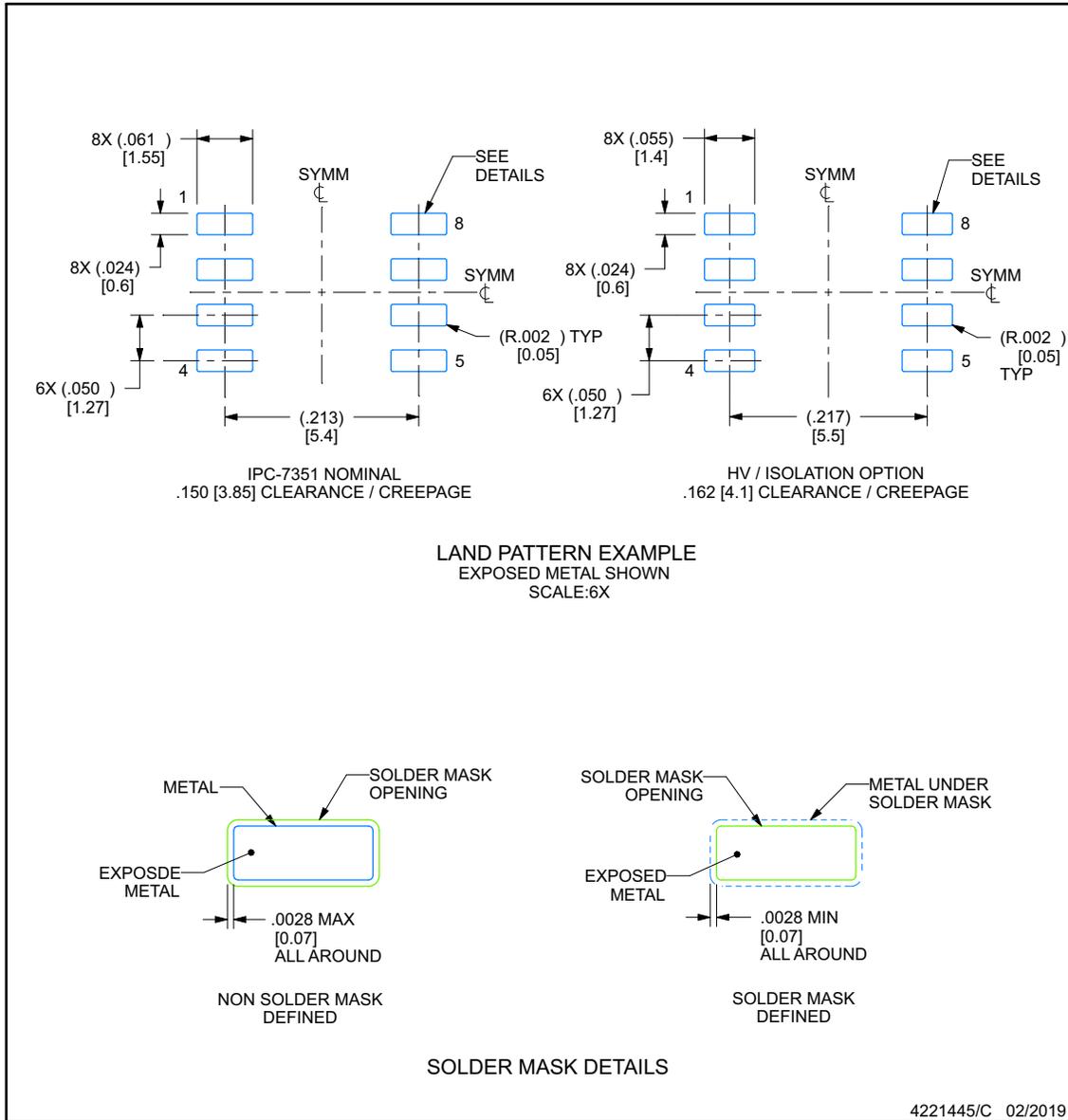
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15], per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

## EXAMPLE BOARD LAYOUT

**D0008B**

**SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES: (continued)

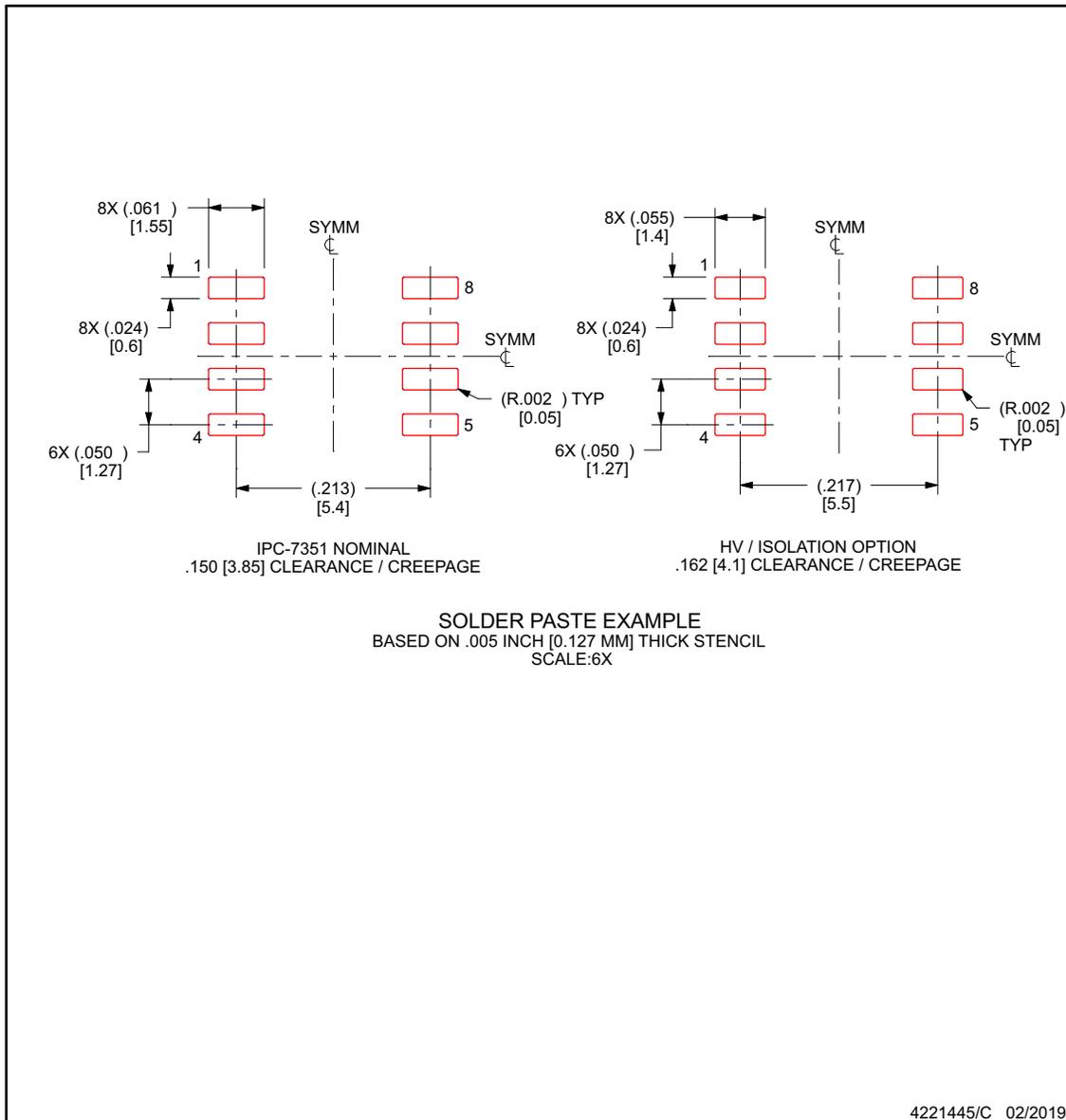
- Publication IPC-7351 may have alternate designs.
- Solder mask tolerances between and around signal pads can vary based on board fabrication site.

## EXAMPLE STENCIL DESIGN

**D0008B**

**SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

## 11.1 付録 : パッケージ オプション

### パッケージ情報

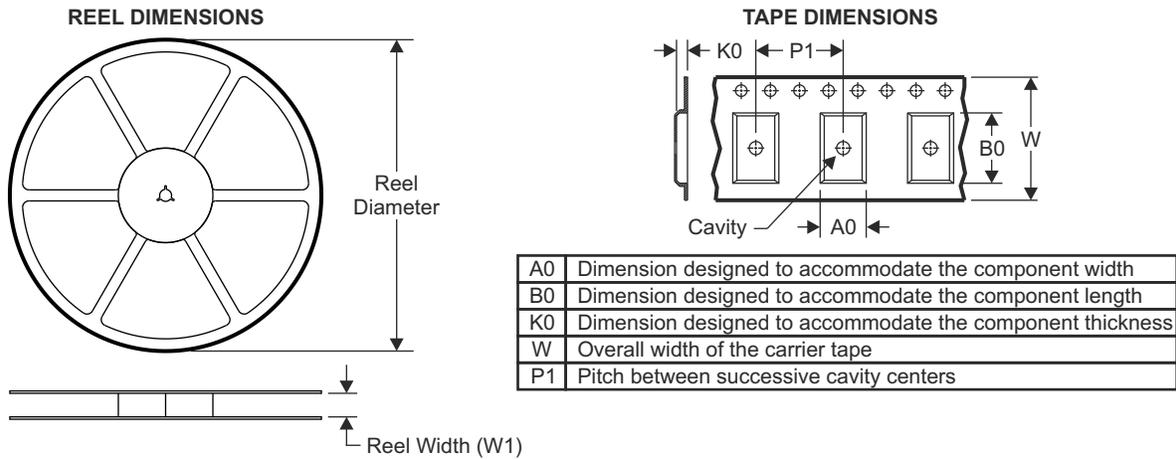
発注可能なデバイス	供給状況 <sup>(1)</sup>	パッケージ タイプ	パッケージ図	ピン数	パッケージの数量	エコ プラン <sup>(2)</sup>	リード / ボール仕上げ <sup>(6)</sup>	MSL ピーク温度 <sup>(3)</sup>	動作温度 (°C)	デバイス マーキング <sup>(4) (5)</sup>
ISO6521QDRQ1	アクティブ	SOIC	D	8	3000	RoHS & グリーン	NiPdAu	Level-2-260C-1 YEAR	-40~125	6520
ISO6521FQDRQ1	アクティブ	SOIC	D	8	3000	RoHS & グリーン	NiPdAu	Level-2-260C-1 YEAR	-40~125	6520F
ISO6520QDRQ1	アクティブ	SOIC	D	8	3000	RoHS & グリーン	NiPdAu	Level-2-260C-1 YEAR	-40~125	6521
ISO6520FQDRQ1	アクティブ	SOIC	D	8	3000	RoHS & グリーン	NiPdAu	Level-2-260C-1 YEAR	-40~125	6521F

- (1) マーケティング ステータスの値は次のように定義されています。  
**供給中:** 新しい設計への使用が推奨される量産デバイス。  
**最終受注中:** テキサス・インスツルメンツはデバイスの生産終了を発表しており、現在最終受注期間中です。  
**非推奨品:** 新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。  
**量産開始前:** 量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。  
**プレビュー:** デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。  
**生産中止品:** テキサス・インスツルメンツは、このデバイスの生産を終了しました。
- (2) エコ プラン - 環境に配慮した計画的な分類: 鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報、および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。  
**未定:** 鉛フリー / グリーン 転換プランが策定されていません。  
**鉛フリー (RoHS):** テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した テキサス・インスツルメンツ 鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。  
**鉛フリー (RoHS 適用除外):** この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。  
**グリーン (RoHS および Sb/Br 非含有):** テキサス・インスツルメンツにおける「グリーン」は、鉛フリー (RoHS 準拠) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。
- (3) MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。
- (4) ロゴ、ロットトレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。
- (5) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「~」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。
- (6) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。

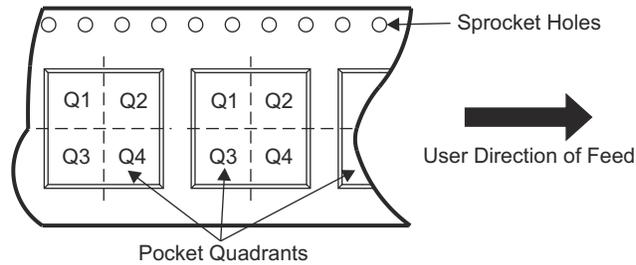
**重要なお知らせと免責事項:** このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格 (年次ベース) を超えることはありません。

## 11.2 テープおよびリール情報

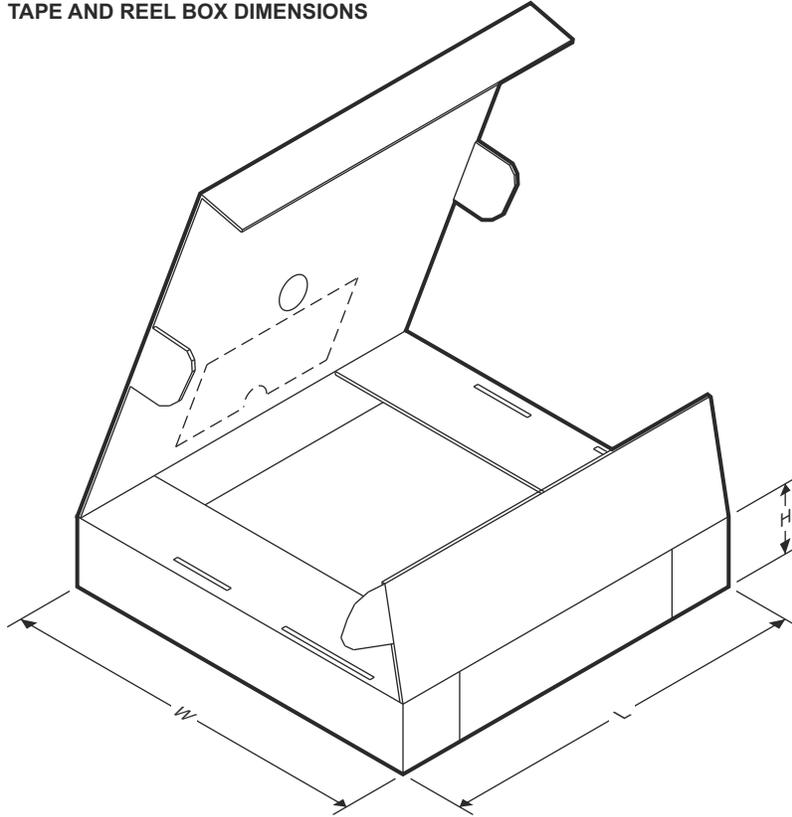


### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン数	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
ISO6521QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6521FQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6520QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6520FQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
ISO6521QDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6521FQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6520QDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6520FQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated