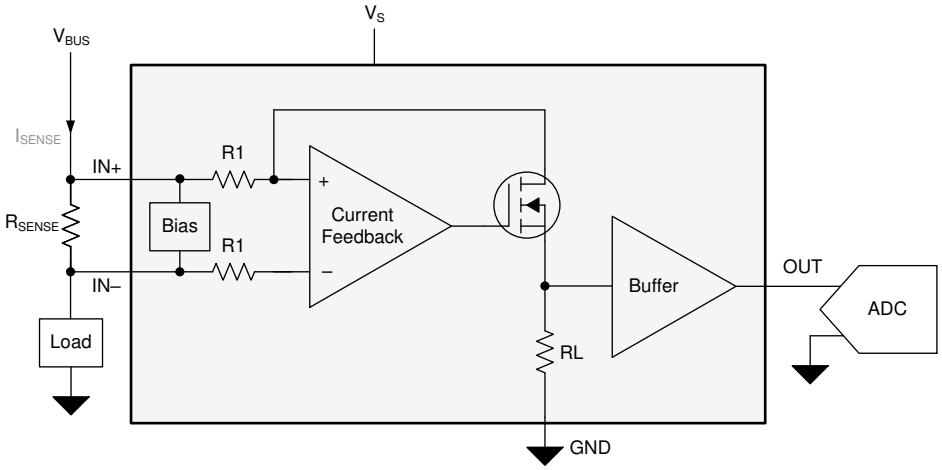
INA950-SEP 2.7V ～ 80V、1.1MHz、超高精度電流センス アンプ

1 特長

- VID V62/25635
- 放射線 - トータル ドーズ効果 (TID):
  - 30krad(Si) まで吸収線量 (TID) 性能保証
  - すべてのウェハー ロットについて、30krad(Si) までの放射線ロット受け入れテスト (RLAT)
- 放射線 - シングル イベント効果 (SEE):
  - 単一イベント ラッチアップ (SEL) 耐性:125℃で 43MeV-cm^2 /mg まで
  - シングル イベント過渡 (SET) 特性:LET = 47.5MeV-cm2 (最大値)
- 宇宙向けに強化されたプラスチック
  - 動作温度範囲:-55℃～+125℃
  - 管理されたベースライン
  - Au ボンド ワイヤと NiPdAu リード仕上げ
  - ASTM E595 に準拠した気体排出試験実施済み
  - 単一の製造、アセンブリ、テスト施設
  - 長期にわたる製品ライフ サイクル
  - 製品のトレーサビリティ
- 広いコモン モード電圧範囲:
  - 動作電圧:2.7V～80V
  - 残存電圧:-20V～85V
- 非常に優れた CMRR:
  - 160dB DC
  - 50kHz で 85dB AC
- 20V/V のゲイン
  - ゲイン誤差:±0.1% (最大値)
  - ゲイン ドリフト:±1.5ppm/℃
- オフセット電圧:±12μV (最大値)
- オフセット ドリフト:±0.05μV/℃
- 広い帯域幅:1.1 MHz
- スルーレート:2V/μs
- 静止電流:370μA

2 アプリケーション

- 衛星用電源システム (EPS)
- コマンドとデータの処理 (C&DH)
- レーダー画像処理ペイロード
- 通信ペイロード



代表的なアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

3 概要

INA950-SEP は、電源電圧に関係なく、2.7V～80V の広い同相電圧範囲にわたってシャント抵抗両端での電圧降下を測定できる超高精度の電流センス アンプです。±12μV 以下の極めて低いオフセット電圧、±0.1% 以下の小さいゲイン誤差、160dB（標準値）の高い DC CMRR により、超高精度の電流測定を実現します。INA950-SEP は DC 電流測定だけでなく、高速アプリケーション（高速過電流保護など）にも対応するように設計されており、1.1MHz の広い帯域幅と 85dB の AC CMRR（50kHz 時）を特長としています。

INA950-SEP を使用すると、2.7V～80V の広い同相範囲にわたってシャント抵抗の電圧降下を検出することで、超高精度で電流を測定できます。INA950-SEP は、TSSOP-8 パッケージで供給されます。

INA950-SEP は 2.7V～5.5V 単電源で動作し、消費電流は 370μA（標準値）です。ゼロドリフト アーキテクチャの小さなオフセットを利用すると、動作温度範囲 (−55℃～125℃) で規定される、低抵抗シャントによる電流センシングが可能です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
INA950-SEP	PW (TSSOP、8)	3.00mm × 4.4mm

(1) パッケージ サイズ（長さ × 幅）は公称値であり、該当する場合はピンも含まれます。
(2) 詳細については、セクション 10 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....2
4 ピン構成および機能.....4
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 代表的特性.....7
6 詳細説明.....11
6.1 概要.....11
6.2 機能ブロック図.....11
6.3 機能説明.....12
6.4 デバイスの機能モード.....14
7 アプリケーションと実装.....15
7.1 アプリケーション情報.....15
7.2 代表的なアプリケーション.....17
7.3 電源に関する推奨事項.....19
7.4 レイアウト.....19
8 デバイスおよびドキュメントのサポート.....20
8.1 ドキュメントのサポート.....20
8.2 ドキュメントの更新通知を受け取る方法.....20
8.3 サポート・リソース.....20
8.4 商標.....20
8.5 静電気放電に関する注意事項.....20
8.6 用語集.....20
9 改訂履歴.....20
10 メカニカル、パッケージ、および注文情報.....20
10.1 メカニカル データ.....21
パッケージ情報.....24
10.2 テープおよびリール情報.....25

4 ピン構成および機能

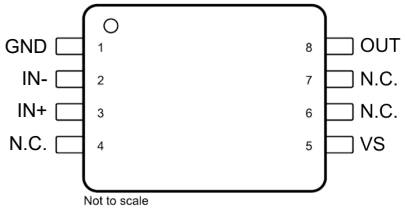


図 4-1. INA950-SEP：PW パッケージ 8 ピン TSSOP 上面図

表 4-1. ピンの機能：INA950-SEP

ピン		タイプ	説明
名称	番号		
GND	1	グランド	グランド
IN-	2	入力	シャント抵抗の負荷側に接続。
IN+	3	入力	シャント抵抗の電源側に接続。
N.C.	4,6,7	-	内部接続なし
OUT	8	出力	出力電圧
VS	5	電源	電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_s	電源電圧	-0.3	6	V
V_{IN+}、V_{IN-} (2)	アナログ入力、差動電圧 (V_{IN+}) – (V_{IN-})	-30	30	V
	アナログ入力、同相 (V_{IN+} または V_{IN-})	-20	90	
V_{OUTx}	アナログ出力、出力電圧	GND - 0.3	Vs + 0.3	V
T_A	動作温度	-55	150	℃
T_J	接合部温度		150	℃
T_{stg}	保存温度	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) VIN+ と VIN- はそれぞれ VIN+ ピンと VIN- ピンの電圧です。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CM}	同相入力範囲 (1)	V_S	48	80	V
V_S	動作電源電圧範囲	2.7		5.5	V
T_A	周囲温度	-55		125	℃

(1) 特定の条件では、同相電圧が V_S を下回ることがあります。「最小同相電圧と電源との関係」または動作範囲の詳細情報を参照してください。

5.4 熱に関する情報

熱評価基準(1)		INA950-SEP PW (TSSOP) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	161.8	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	70.5	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	100.8	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	10.4	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	99.3	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

T_A = 25℃、V_S = 5V、V_{SENSE} = V_{IN+} - V_{IN-} = 0.5V / ゲイン、V_{CM} = V_{IN-} = 48V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力						
CMRR	同相除去比	V_{CM} = 2.7V～80V、T_A = –55°C～+125°C	140	160		dB
		f = 50kHz		85		
V_{os}	オフセット電圧、入力換算			±6	±25	µV
dV_{os}/dT	オフセット電圧ドリフト	T_A = –55℃～+125℃		±0.05		µV/℃
PSRR	電源電圧除去比、参照入力	V_S = 2.7V～5.5V、T_A = –55°C～+125°C		±0.05	±0.5	µV/V
I_B	入力バイアス電流	I_{B+}、V_{SENSE} = 0mV、V_{CM} = 80V、T_A = –55°C～+125°C	10	20	30	µA
		$I_{B–}$、V_{SENSE} = 0mV、V_{CM} = 80V、T_A = –55°C～+125°C	10	20	30	µA
出力						
G	ゲイン			20		V/V
	ゲイン誤差	GND + 50mV ≦ V_{OUT} ≦ V_S - 200mV		±0.02	±0.1	%
	ゲイン ドリフト	T_A = –55℃～+125℃		±1.5		ppm/℃
	非直線性誤差			0.01		%
	最大容量性負荷	発振が持続しない、絶縁抵抗なし		500		pF
電圧出力						
	V_S 電源レールまでスイング	R_{LOAD} = 10kΩ、T_A = –55°C～+125°C		V_S - 0.07	V_S - 0.2	V
	グランドまでスイング	R_{LOAD} = 10kΩ、V_{SENSE} = 0V、T_A = –55°C～+125°C		0.005	0.025	V
周波数応答						
BW	帯域幅	C_{LOAD} = 5pF、V_{SENSE} = 200mV		1100		kHz
SR	スルー レート			2		V/µs
	セトリング時間	V_{OUT} = 4V ± 0.1V ステップ、出力が 0.5% までセトリング		9		µs
		V_{OUT} = 4V ± 0.1V ステップ、出力が 1% までセトリング		5		
ノイズ						
Ve_n	電圧ノイズ密度			50		nV/√Hz
電源						
V_S	電源電圧	T_A = –55°C～+125°C	2.7		5.5	V
I_Q	静止時電流			370	500	µA
		T_A = –55℃～+125℃			600	

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性

T_A = 25℃、V_S = 5V、V_{SENSE} = V_{IN+} - V_{IN-} = 0.5V / ゲイン、および V_{CM} = V_{IN-} = 48V でのすべての仕様（特に記述のない限り）。

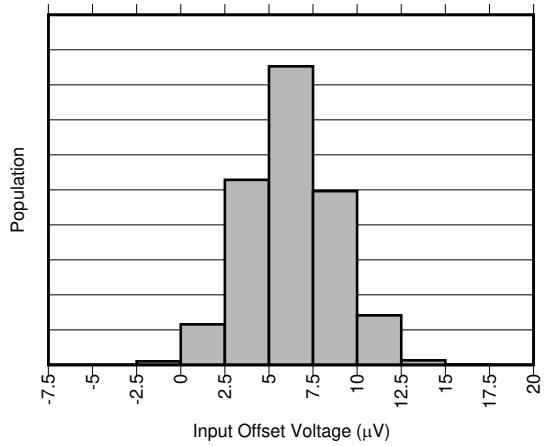


図 5-1. 入力オフセットの製品分布

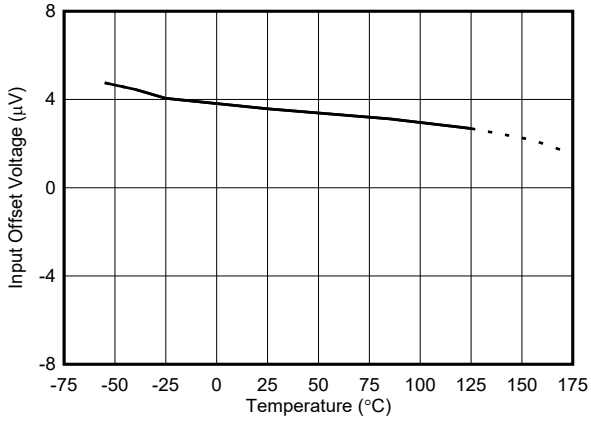


図 5-2. 入力オフセット電圧と温度との関係

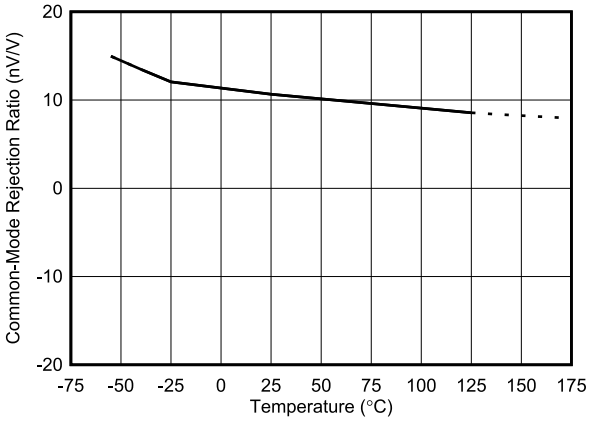


図 5-3. 同相除去比と温度との関係

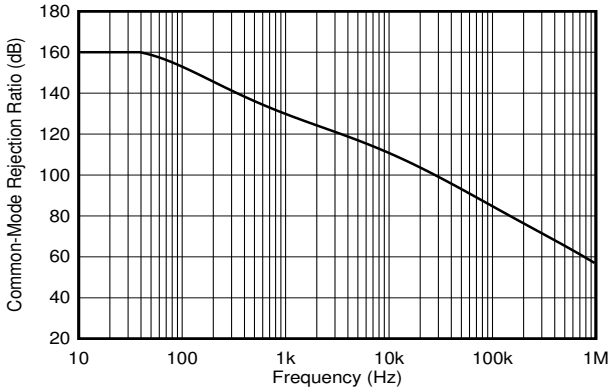
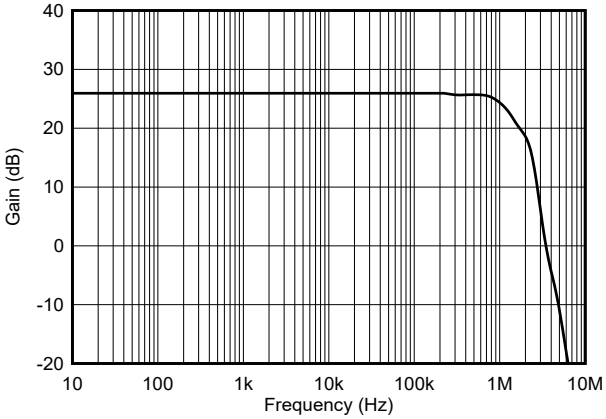


図 5-4. 同相除去比と周波数との関係



V_{SENSE} = 4V / ゲイン

図 5-5. ゲインと周波数との関係

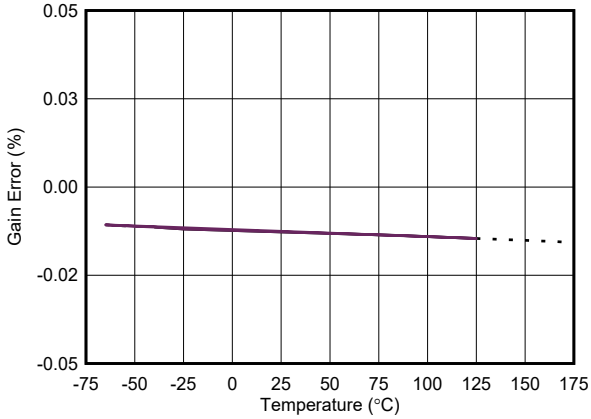


図 5-6. ゲイン誤差と温度との関係

5.6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、V_{SENSE} = V_{IN+} - V_{IN-} = 0.5V / ゲイン、および V_{CM} = V_{IN-} = 48V でのすべての仕様（特に記述のない限り）。

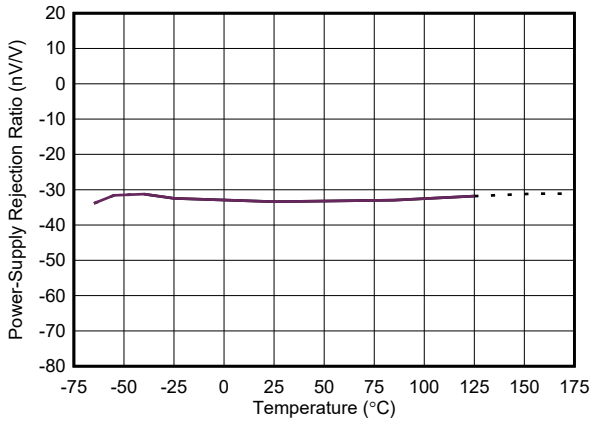


図 5-7. 電源除去比と温度との関係

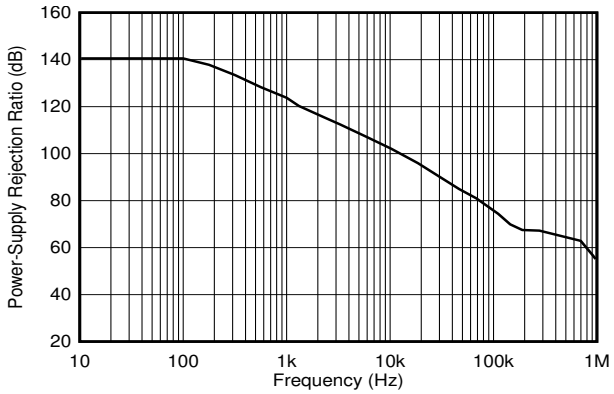
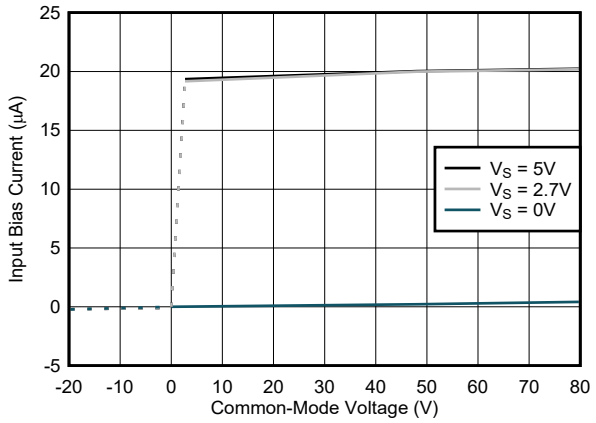


図 5-8. 電源除去比と周波数との関係



V_{SENSE} = 0V

図 5-9. 入力バイアス電流と同相電圧との関係

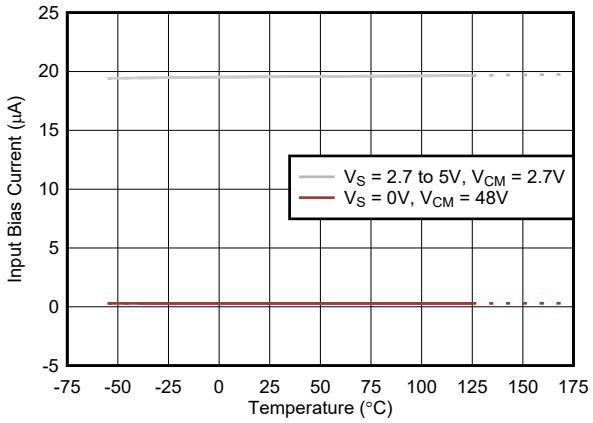


図 5-10. 入力バイアス電流と温度の関係

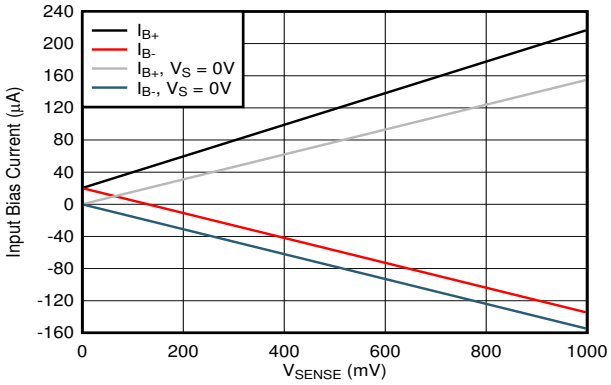
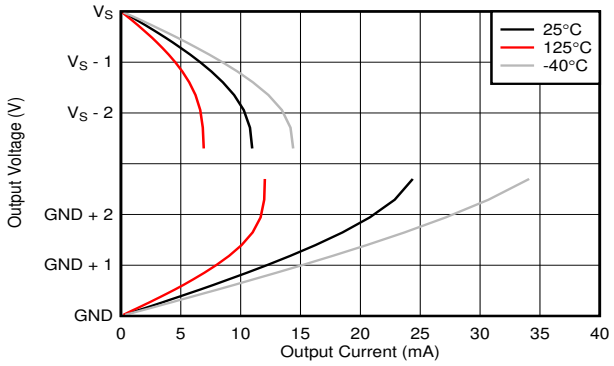


図 5-11. 入力バイアス電流と V_{SENSE} との関係



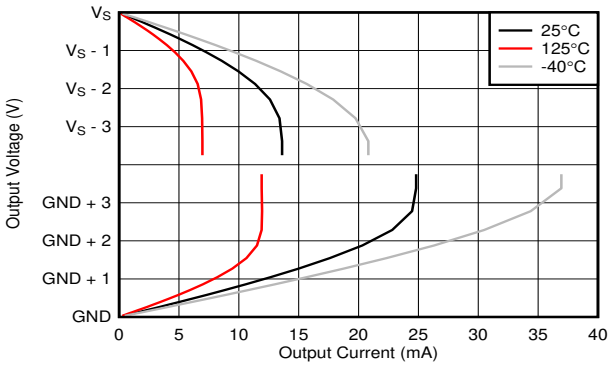
V_S = 2.7 V

図 5-12. 出力電圧と出力電流の関係

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、V_{SENSE} = V_{IN+} - V_{IN-} = 0.5V / ゲイン、および V_{CM} = V_{IN-} = 48V でのすべての仕様（特に記述のない限り）。



V_S = 5 V

図 5-13. 出力電圧と出力電流の関係

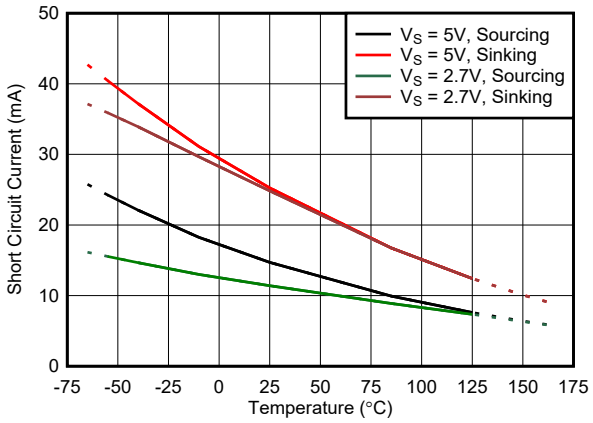


図 5-14. 短絡電流と温度との関係

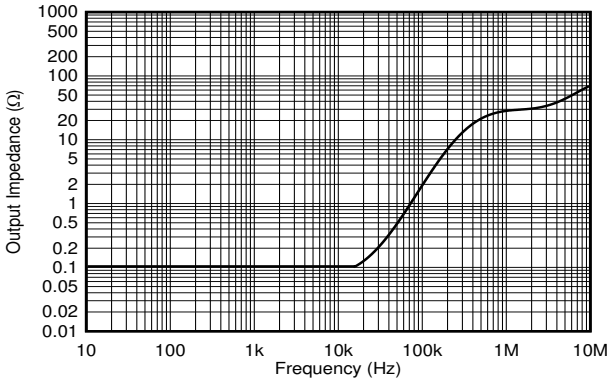
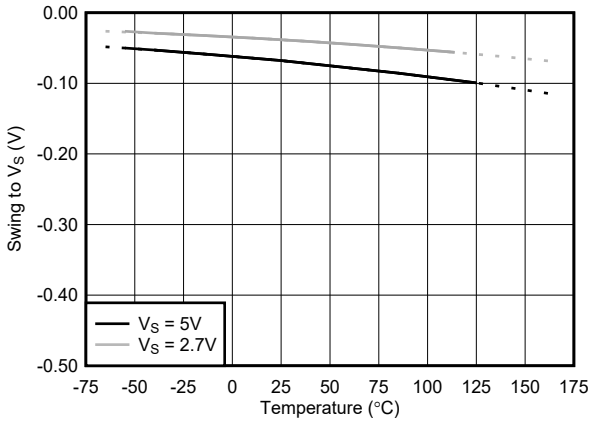
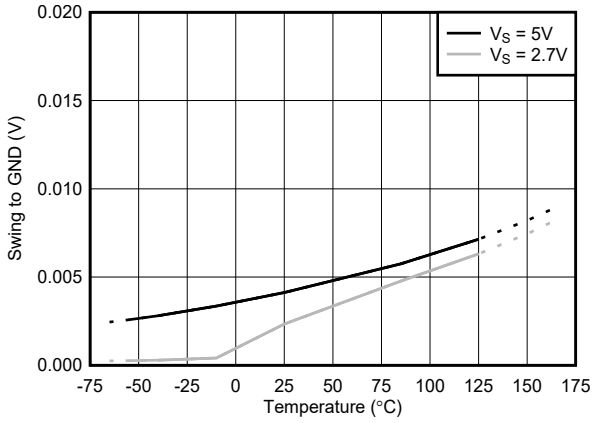


図 5-15. 出力インピーダンスと周波数との関係



R_L = 10kΩ

図 5-16. 電源電圧までのスイングと温度との関係



R_L = 10kΩ

図 5-17. GND までのスイングと温度との関係

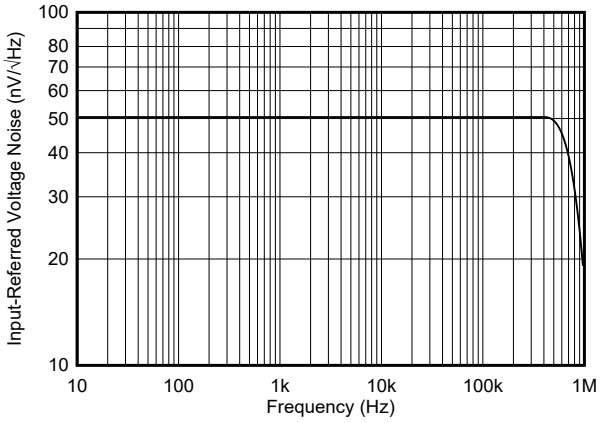


図 5-18. 入力換算ノイズと周波数との関係

5.6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、V_{SENSE} = V_{IN+} - V_{IN-} = 0.5V / ゲイン、および V_{CM} = V_{IN-} = 48V でのすべての仕様（特に記述のない限り）。

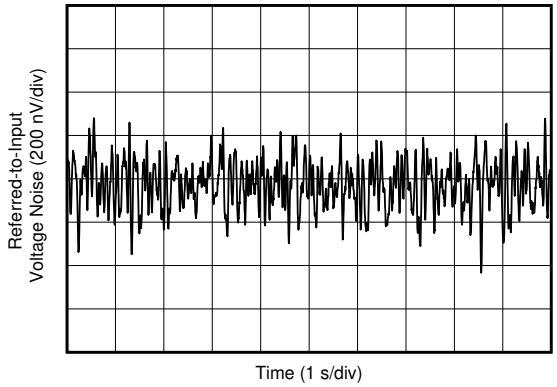


図 5-19. 入力換算ノイズ

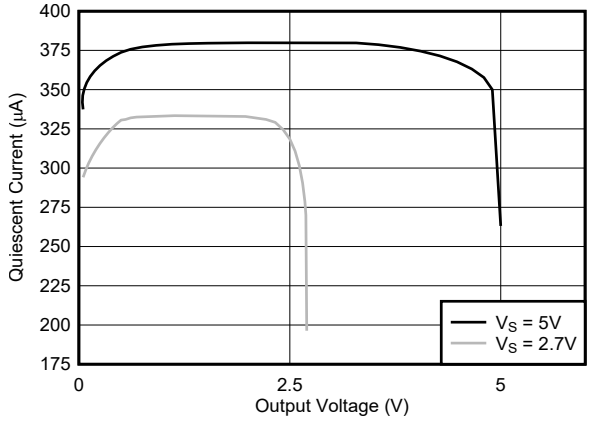


図 5-20. 静止電流と出力電圧との関係

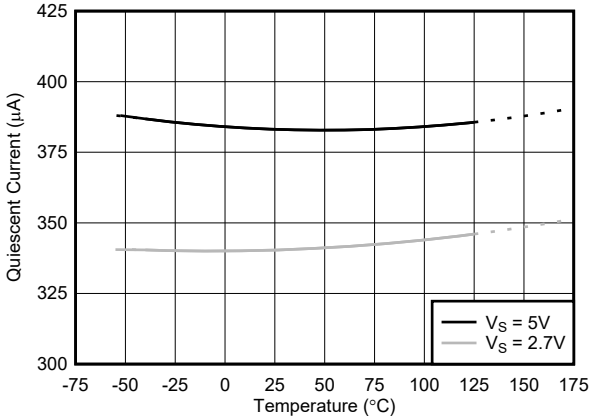


図 5-21. 静止電流と温度との関係

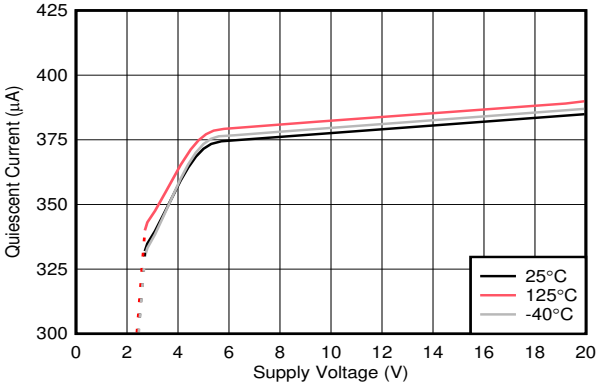


図 5-22. 静止電流と電源電圧との関係

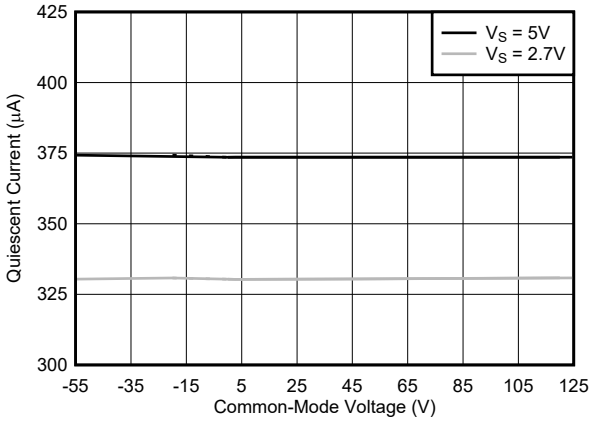
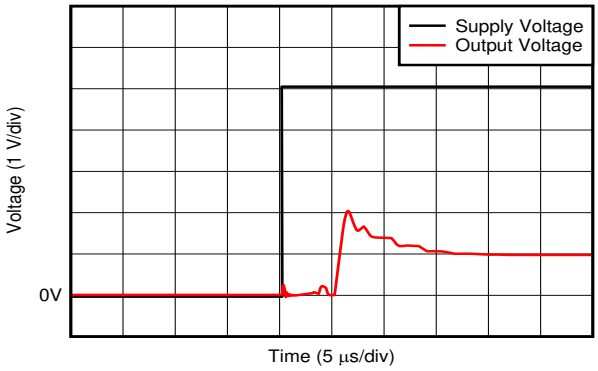


図 5-23. 静止電流と同相電圧との関係



V_{SENSE} = 0mV

図 5-24. スタートアップ応答

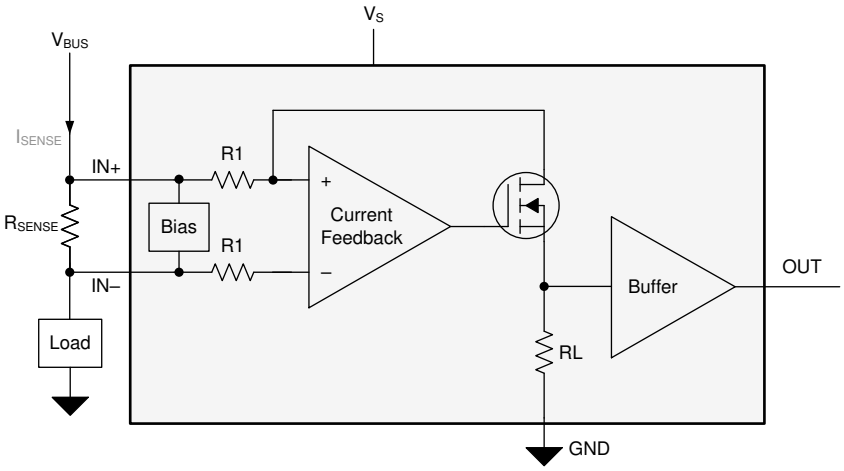
Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

INA950-SEP は、ハイサイドのみの電流検出アンプで、広い同相範囲、高精度のゼロドリフトトポロジ、優れた同相除去比（CMRR）、高帯域幅、高速スルーレートを実現します。アプリケーションに応じて出力ダイナミック・レンジを最適化できるよう、各種のゲイン・バージョンが用意されています。INA950-SEP は、20µA の低バイアス電流と 80V の同相電圧を実現する電流帰還アンプを使った相互コンダクタンス アーキテクチャを使用して設計されています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 アンプ入力同相範囲

INA950-SEP、2.7V~80V の大きな入力同相電圧をサポートし、160dB（標準値）の高い DC CMRR と、50kHz で 85dB AC CMRR を備えています。図 6-1 に示す最小同相電圧は、電源電圧によって制限されます。内部アンプ INA950-SEP トポロジにより、ハイサイドの電流検出アプリケーションに動作が制限されます。

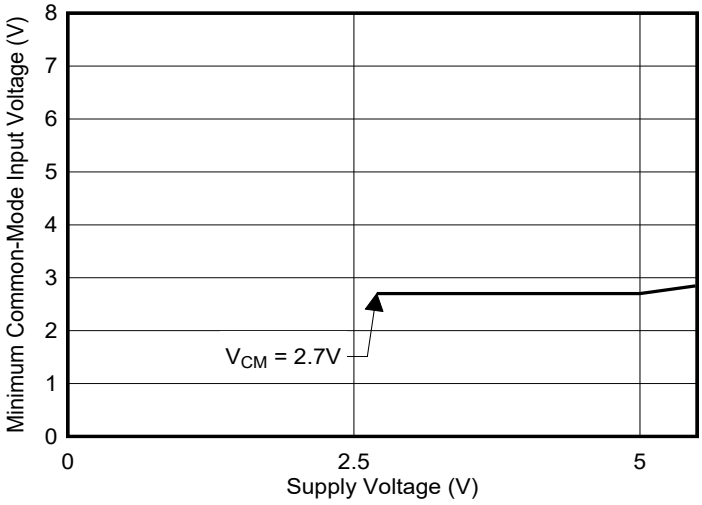


図 6-1. 最小同相電圧と電源との関係

6.3.2 入力信号の帯域幅

図 5-5 に、INA950-SEP の帯域幅 INA950-SEP −3dB を示します。高帯域幅により、過電流イベントの迅速な検出と処理に必要なスループットと高速応答が可能になります。

デバイスの帯域幅は、印加されている V_{SENSE} 電圧にも依存します。図 6-2 に、出力電圧は増加するため、周波数帯域におけるデバイスの帯域幅性能プロファイルを示します。図 6-2 に示すように、このデバイスは V_{SENSE} 電圧が高い場合に最大の帯域幅を示します。

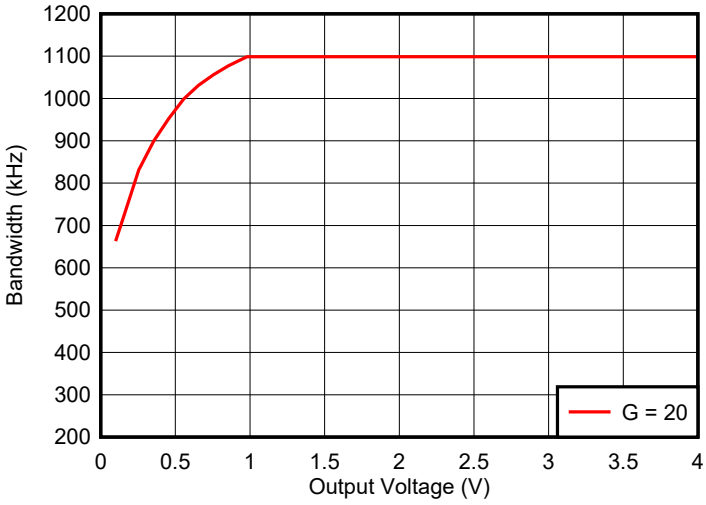


図 6-2. 帯域幅と出力電圧との関係

Copyright © 2025 Texas Instruments Incorporated

6.3.3 低い入力バイアス電流

INA950-SEP 入力バイアス電流は、同相電圧が最大 80V の場合も、20µA (標準値) を消費します。この電流により、検出電流が小さい用途や、入力リーク電流の低減を必要とする用途で、高精度の電流センシングを実現できます。

6.3.4 低い V_{SENSE} での動作

INA950-SEP は、有効な V_{SENSE} 範囲全体にわたって正確な電流測定を可能にします。INA950-SEP のゼロドリフト入力アーキテクチャにより、55°C 125°C の広い動作温度範囲にわたって低 V_{SENSE} レベルを正確に測定するのに必要な低いオフセット電圧と低いオフセット ドリフトを実現します。低い検出電圧を測定できるため、低負荷電流で正確に測定でき、特定の動作電流の検出抵抗値を減少させることができ、電流センシング素子の電力損失を最小化できます。

6.3.5 広い固定ゲイン出力

INA950-SEP のゲイン誤差はほとんどのゲインオプションで室温で 0.1% 未満、-55℃～+125℃の温度範囲全体で最大ドリフトは 5ppm/℃です。

INA950-SEP 閉ループ ゲインは、高精度で低ドリフトの内部抵抗ネットワークによって設定されます。これらの抵抗の比は非常によく一致していますが、絶対値は大きく異なる場合があります。この変動があるため、TI では INA950-SEP の周囲に抵抗を追加して実効ゲインを変更することは推奨しません。表 6-1 は、上記の機能図に示される内部ゲイン抵抗の標準値を示しています。

表 6-1. 固定ゲイン抵抗

ゲイン	R1	RL
20 (V/V)	25kΩ	500kΩ

6.4 デバイスの機能モード

6.4.1 単方向動作

INA950-SEP は、一般に*電流検出抵抗*または*電流シャント抵抗*と呼ばれる抵抗を流れる電流によって発生する差動電圧を測定します。図 6-3 に示すように、INA950-SEP は、単方向モードのみで動作し、電源からシステム負荷に供給された電流のみを検出します。

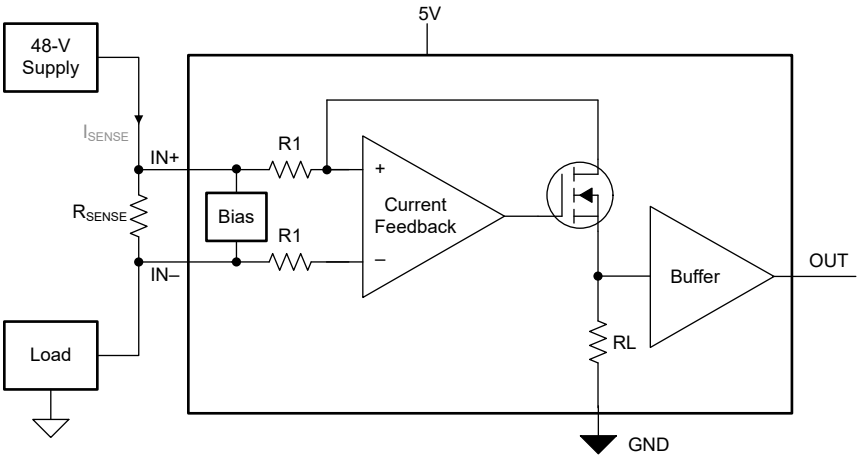


図 6-3. 単方向アプリケーション

出力段のリニア動作範囲は、ゼロ入力条件で出力電圧がグランドにどれだけ近づくことができるかに制限されます。INA950-SEP のゼロ電流出力電圧は非常に小さく、最大 GND + 25mV です。INA950-SEP 出力が線形動作領域に維持されるように、(25mV / ゲイン) 以上の差動入力電圧を印加してください。

6.4.2 高い信号スループット

INA950-SEP は 1.1MHz の帯域幅、20V/V のゲイン、2V/µs のスルーレートを実現しており、高速な突入電流を検出して、それに対してアプリケーションを保護するよう特別に設計されています。表 6-2 に示すように、INA950-SEP は 2mΩ シャントの 75A スレッショルドを測定するシステムにおいて、2µs 未満で応答します。

表 6-2. 応答時間

パラメータ		式	値
V_S	電源電圧		5V
G	ゲイン		20 V/V
I_{MAX}	最大電流		100A
$I_{Threshold}$	スレッショルド電流		75A
R_{SENSE}	電流検出抵抗の値		2mΩ
V_{OUT_MAX}	最大電流時の出力電圧	$V_{OUT} = I_{MAX} \times R_{SENSE} \times G$	4V
V_{OUT_THR}	スレッショルド電流での出力電圧	$V_{OUT_THR} = I_{THR} \times R_{SENSE} \times G$	3V
SR	スルー レート		2V/µs
	出力応答時間	$T_{response} = V_{OUT_THR} / SR$	2µs 未満

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

INA950-SEP は、電流が抵抗を経由して負荷に流れるとき、電流検出抵抗の両端に発生する電圧を増幅します。INA950-SEP は入力同相電圧範囲が広く、同相除去率が高いため、高精度の電流測定を維持しながら、広い範囲の電圧レールで使用できます。

7.1.1 R_{SENSE} とデバイスのゲインの選択

電流検出アンプの精度を最大限に上げるには、できるだけ大きな電流検出抵抗を選択します。検出抵抗が大きいほど、与えられた電流の量に対する差動入力信号が大きくなり、オフセット電圧が誤差に与える影響が低減されます。ただし、抵抗のサイズと許容される最大消費電力によって、特定のアプリケーションで電流検出抵抗の値をどれだけ大きくできるかには実用的な制限があります。特定の消費電力予算について、電流検出抵抗の最大値は 式 1 で与えられます。

$$R_{SENSE} < \frac{PD_{MAX}}{I_{MAX}^2} \tag{1}$$

ここで

- PD_{MAX} は、R_{SENSE} で許容される最大消費電力です。
- I_{MAX} は、R_{SENSE} を流れる最大電流です。

電流検出抵抗とデバイスのゲインの大きさは、電源電圧、V_S、およびデバイスのスイング ツー レール制限によっても制限されます。電流検出信号が出力に正しく渡されるよう、正と負の両方の出力スイングについて制限を調べる必要があります。デバイスが正のスイング制限を超えないための R_{SENSE} とゲインの最大値は、式 2 で示されます。

$$I_{MAX} \times R_{SENSE} \times GAIN < V_{SP} \tag{2}$$

ここで

- I_{MAX} は、R_{SENSE} を流れる最大電流です。
- GAIN は電流検出アンプのゲインです。
- V_{SP} は、このデータシートに規定されている正の出力スイングです。

R_{SENSE} の値を選択するときに正の出力スイング制限を回避するため、検出抵抗の値とデバイスのゲインとの間には常にトレードオフが存在します。最大消費電力に対して選択した検出抵抗が大きすぎる場合は、正のスイング制限を回避するため、ゲインの低いデバイスを選択できます。

負のスイング制限は、特定のアプリケーションで検出抵抗の値をどれだけ小さくできるかを制限します。検出抵抗の最小値の制限は、式 3 で示されます。

$$I_{MIN} \times R_{SENSE} \times GAIN > V_{SN} \tag{3}$$

ここで

- I_{MIN} は、R_{SENSE} を流れる最小電流です。
- GAIN は電流検出アンプのゲインです。
- V_{SN} はデバイスの負の出力スイングです。

INA950-SEP の 5 種類の異なるゲインのバージョンを使用した場合のさまざまな結果の例を、表 7-1 に示します。表のデータから、最もゲインの大きなデバイスでは、電流シャント抵抗を小さくでき、素子の消費電力も減らすことができます。

表 7-1. R_{SENSE} の選択と消費電力

パラメータ(1)		式	結果
V_S	電源電圧		5V
G	ゲイン		20 V/V
V_{SENSE}	理想的な差動入力電圧（スイング制限と電源の変動を無視）	$V_{SENSE} = V_{OUT} / G$	250mV
R_{SENSE}	電流検出抵抗の値	$R_{SENSE} = V_{SENSE} / I_{MAX}$	25mΩ
P_{SENSE}	電流検出抵抗の消費電力	$R_{SENSE} \times I_{MAX}2$	2.5W

(1) 10A フルスケール電流で、最大出力電圧が 5V に設定された設計例。

7.1.2 入力フィルタリング

注

INA950-SEP を使用する高精度測定には入力フィルタの必要はなく、この場所でのフィルタの使用はお勧めしません。アンプの入力にフィルタ部品を使用する場合、性能への影響を最小限に抑えるため、このセクションのガイドラインに従ってください。

ユーザーの設計要件に厳密に基づくと、電流信号の外部フィルタリングが求められることがあります。フィルタを配置する場所として、電流検出アンプの出力を最初に検討します。出力にフィルタを配置するとフィルタリング要件は満たされますが、この場所に配置すると、出力電圧ピンに接続されている回路で測定される低い出力インピーダンスが変化します。フィルタを配置できるもう 1 つの場所は、電流検出アンプの入力ピンです。この場所でもフィルタリング要件は満たされますが、デバイスの性能への影響を最小限に抑えるよう、部品を注意深く選択する必要があります。入力ピンに配置されたフィルタを、図 7-1 に示します。

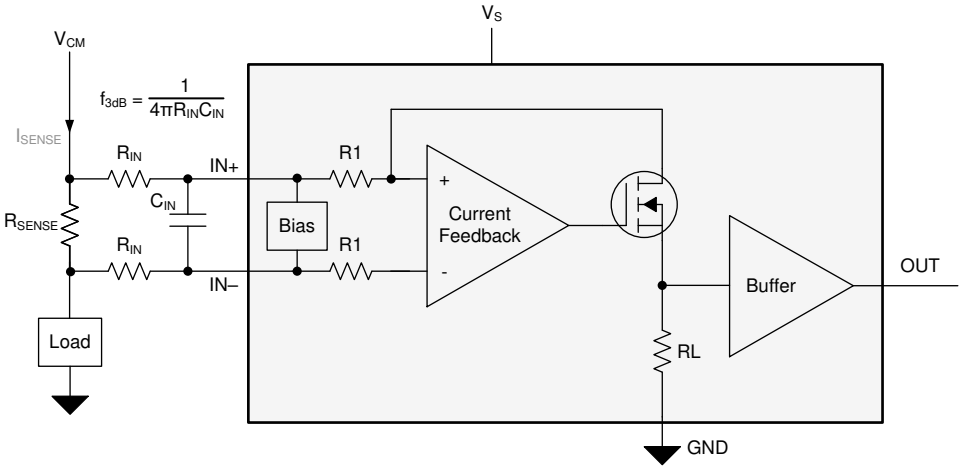


図 7-1. 入力ピンでのフィルタリング

外付けの直列抵抗は測定誤差が増える原因になるため、精度の低下を低減するため、これらの直列抵抗の値は 10Ω 以下にしてください。図 7-1 に示す内部バイアス ネットワークは、入力ピンの間に差動電圧が印加されたとき、入力バイアス電流の不一致を引き起こします (セクション 5.6 を参照)。外付けの直列フィルタ抵抗を回路に追加すると、フィルタ抵抗の両端の電圧降下にミスマッチが発生します。この電圧は、シャント抵抗電圧の差動誤差電圧です。抵抗の絶対値に加えて、抵抗の許容誤差に起因するミスマッチは、実際の抵抗の測定結果に基づいて計算されるため、誤差に大きな影響を及ぼす可能性があります。

式 4 を使用して、追加の外付けフィルタ抵抗から予測される測定誤差を計算し、式 5 を使用してゲイン誤差係数を計算します。

Copyright © 2025 Texas Instruments Incorporated

$$\text{Gain Error (\%)} = 100 \times (\text{Gain Error Factor} - 1) \tag{4}$$

$$\text{Gain Error Factor} = \frac{R_B \times R1}{(R_B \times R1) + (R_B \times R_{IN}) + (2 \times R_{IN} \times R1)} \tag{5}$$

ここで

- R_{IN} は外付けフィルタ抵抗の値です。
- R1 は、表 6-1 に規定されている INA950-SEP 入力抵抗値です。
- 内部バイアス抵抗の R_B で、6600Ω ± 20% です。

式 4 に示すゲイン誤差係数の計算によって、追加の外付け直列抵抗によって生じるゲイン誤差を決定します。式 4 は、追加された外付けフィルタ抵抗によって生じる減衰と不均衡に起因する、シャント電圧の偏差を計算します。表 7-2 は、いくつかの抵抗の値について、ゲイン誤差係数とゲイン誤差を示したものです。

表 7-2. 10Ω の外付けフィルタ入力抵抗のゲイン誤差係数とゲイン誤差の例

デバイス (ゲイン)	ゲイン誤差係数	ゲイン誤差 (%)
20	0.99658	-0.34185

7.2 代表的なアプリケーション

INA950-SEP は単方向の電流検出アンプで、2.7V～80V のシャント同相電圧で抵抗性シャントを通過する電流を測定できます。図 7-2 に、ハイサイド無線周波数 (RF) パワーアンプ (PA) アプリケーションで電流を監視する回路構成を示します。

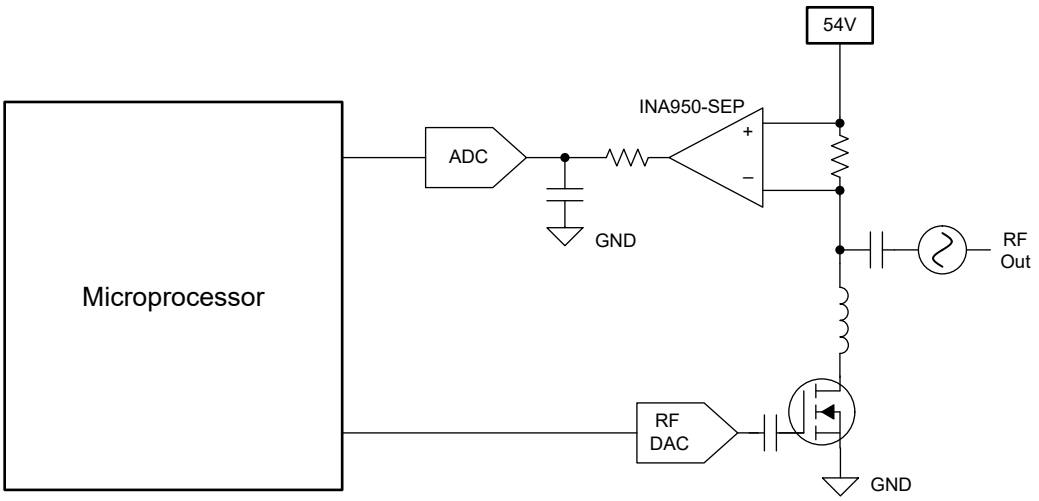


図 7-2. PA アプリケーションでの電流検出

7.2.1 設計要件

V_{SUPPLY} は 5V に、同相電圧は 54V に設定されています。このアプリケーションの設計設定を表 7-3 に示します。

表 7-3. 設計パラメータ

設計パラメータ	数値の例
INA950-SEP の電源電圧	5V
ハイサイド電源電圧	5V
最大センス電流（I_{MAX}）	5A
ゲイン オプション	20 V/V

7.2.2 詳細な設計手順

電流検出抵抗の最大値は、選択したゲイン、検出する最大電流の値 (I_{MAX})、電源電圧 (V_S) をもとに算出されます。最大電流で動作するとき、出力電圧は正の出力スイング仕様 (V_{SP}) を超えないようにする必要があります。与えられた設計パラメータで、式 6 を使用して R_{SENSE} の最大値を 48mΩ として計算します。

$$R_{SENSE} < \frac{V_{SP}}{I_{MAX} \times GAIN} \tag{6}$$

計算された 45.3mΩ は最大値より小さいものの、電流検出アンプの出力で十分な信号を得ることができ、かつ標準的な 1%精度の抵抗値であるため、本設計例では 45.3mΩ を選択しています。

7.2.2.1 負の V_{SENSE} による過負荷復帰

INA950-SEP は単方向の電流検出アンプで、正の差動入力電圧 (V_{SENSE}) で動作するよう設計されています。負の V_{SENSE} が印加された場合、デバイスは過負荷状態になり、V_{SENSE} が正に戻ってから回復するまでの時間が必要です。V_{SENSE} が負になると、必要な過負荷復帰時間が長くなります。

7.2.3 アプリケーション曲線

図 7-3 に、高周波の正弦波電流に対するデバイスの出力応答を示します。

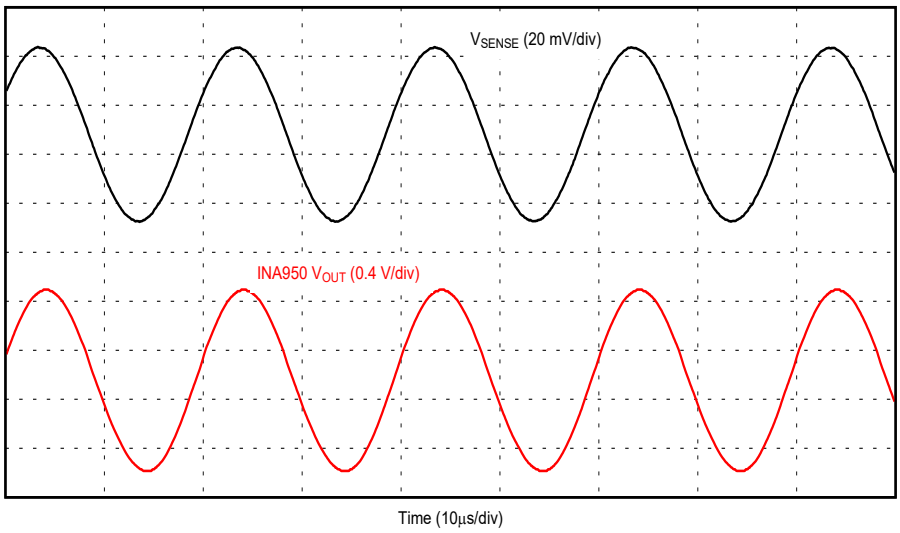


図 7-3. INA950-SEP の出力応答

Copyright © 2025 Texas Instruments Incorporated

7.3 電源に関する推奨事項

INA950-SEP の入力回路は、電源電圧を超える電圧を正確に測定できます。電源電圧は 5.5V にすることができ、IN+ および IN– の負荷電源電圧は最大 80V まで対応可能です。OUT ピンの出力電圧範囲は、VS ピンの電圧とデバイスのスイングによって電源仕様に制限されます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

TI は、常に優れたレイアウト手法に従うことを推奨します:

- 入力ピンと検出抵抗との接続には、ケルビン接続や 4 線接続を使用します。この接続技術により、入力ピン間の電流検出抵抗のインピーダンスだけを検出できます。一般に、電流検出抵抗の配線に不備があると、入力ピン間の抵抗が増加します。電流検出抵抗の値が非常に低い場合、大電流が流れるインピーダンスを追加すると、測定値に大きな誤差が生じます。
- 電源バイパス コンデンサは、デバイスの電源ピンとグランド ピンのできるだけ近くに配置します。このバイパス コンデンサの推奨値は 0.1µF です。ノイズが多い、またはインピーダンスが高い電源を補償するため、デカップリング容量を増やすこともできます。
- 電流検出抵抗からデバイスに接続を配線するときは、トレース長ができるだけ短くなるようにしてください。

7.4.2 レイアウト例

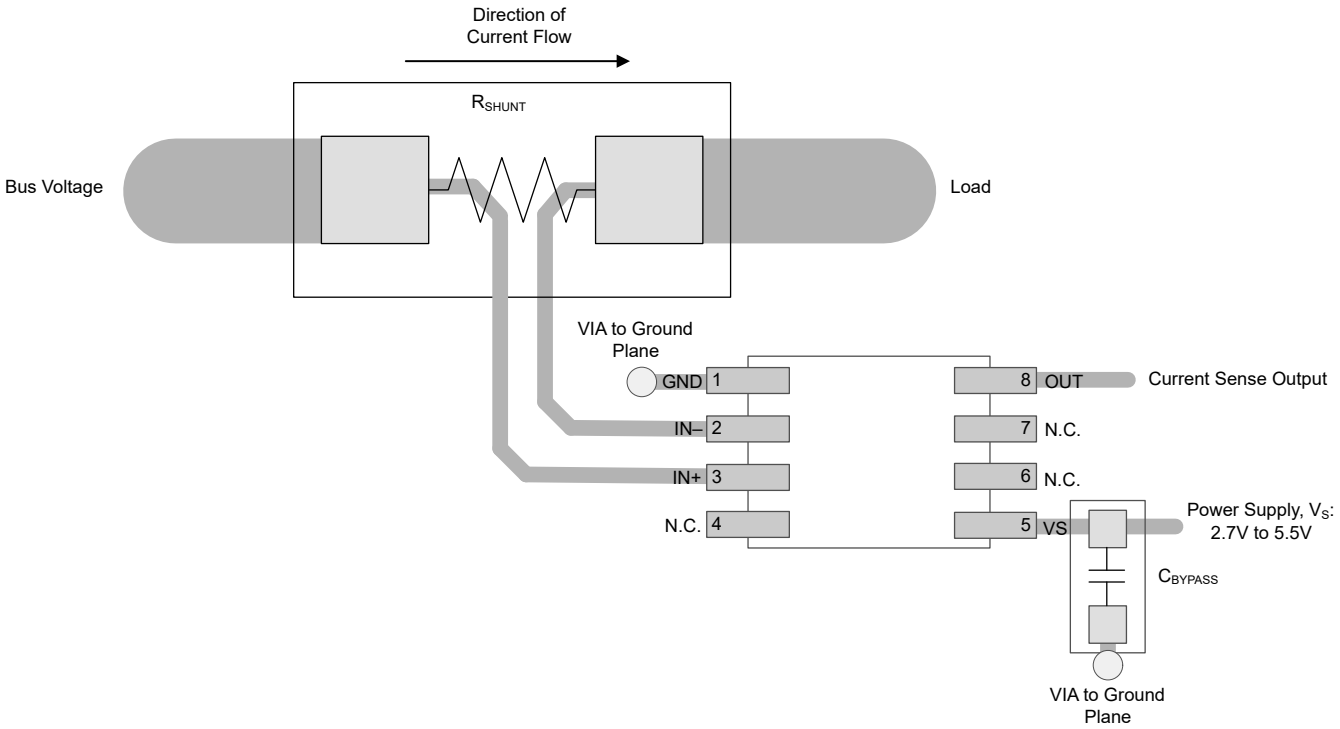


図 7-4. INA950-SEP の推奨レイアウト

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサスインスツルメンツ、*INA950-SEP 生産フローおよび信頼性レポート*放射線レポート
- テキサスインスツルメンツ、*INA950-SEP 総電離線量 (TID) レポート*放射線レポート
- テキサスインスツルメンツ、*INA950-SEP シングル イベント効果 (SEE) 放射線テストレポート*放射線レポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2025	*	初版

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

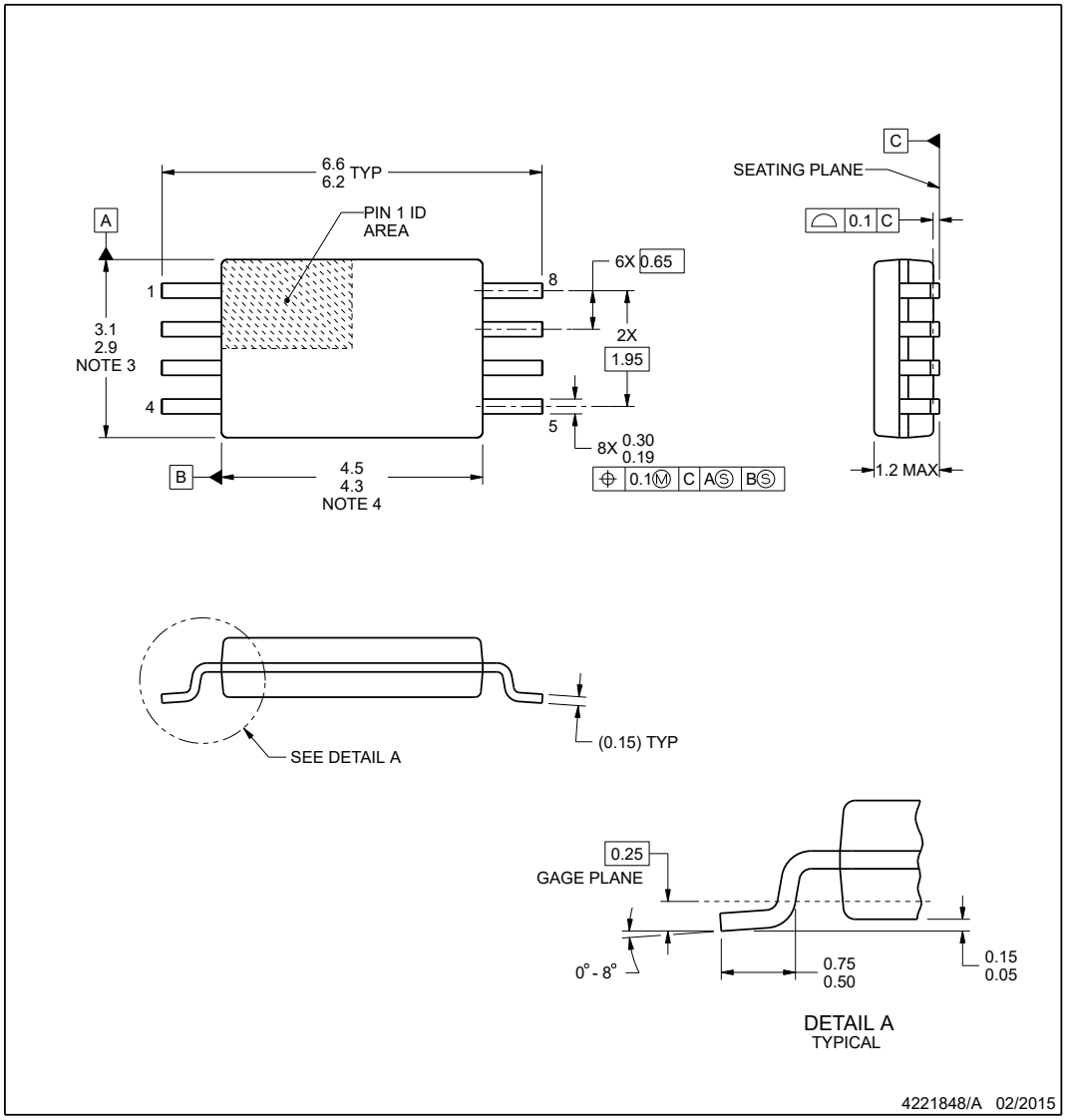
10.1 メカニカル データ

PW0008A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

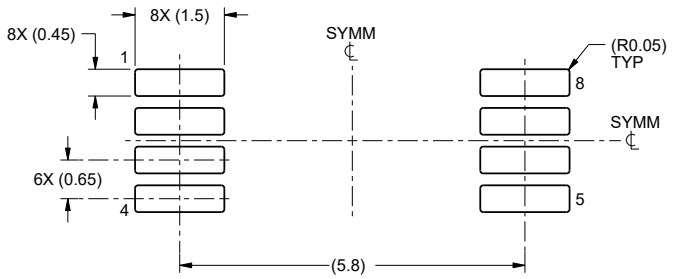
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.

Copyright © 2025 Texas Instruments Incorporated

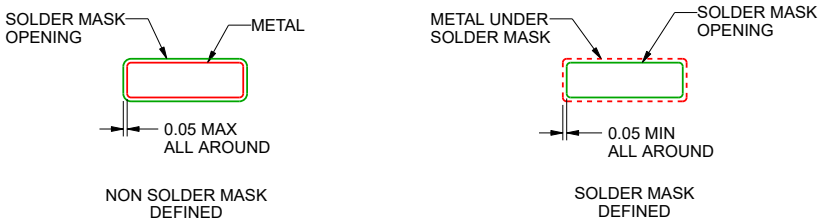
EXAMPLE BOARD LAYOUT

PW0008A **TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

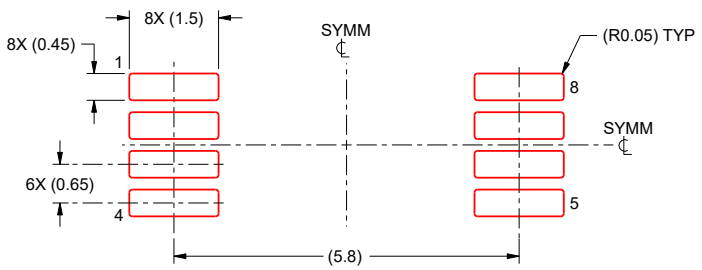
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PW0008A **TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

パッケージ情報

発注可能なデバイス	供給状況(1)	パッケージ タイプ	パッケージ図	ピン数	パッケージの数量	エコ プラン(2)	リード端子の仕上げ / ボールの原材料 (6)	MSL ピーク温度 (3)	動作温度 (℃)	デバイス マーキング(4) (5)
NA950A1MPWTSEP	PRE_PROD	TSSOP	PW	8	250	RoHS & グリーン	NiPdAu	Level-3-260C-168 HR	-55℃ ～ 125℃	950SEP

(1) マーケティング ステータスの値は次のように定義されています。
供給中:新しい設計への使用が推奨される量産デバイス。
最終受注中:テキサス・インスツルメンツはデバイスの生産終了を発表しており、現在最終受注期間中です。
非推奨品:新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。**開発中製品:**デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品:テキサス・インスツルメンツは、このデバイスの生産を終了しました。

(2) **RoHS:**TI は「RoHS」を、10 種類の RoHS 物質すべてに対する現在の EU の RoHS 要件に準拠した半導体製品を意味すると定義しています。これには 10 種類のすべての RoHS 物質が同種の材質内で 0.1% を超えないという要件も含まれています。高温で半田付けするように設計された「RoHS」製品は、規定された鉛フリー プロセスでの使用に適しています。TI ではこのタイプの製品を「鉛フリー」と呼ぶことがあります。
RoHS 適用除外:TI が定義した「RoHS 適用除外」とは、鉛を含有しているが、特定の EU RoHS 免除の対象になった EU RoHS に準拠している製品を意味します。
グリーン:TI が定義した「グリーン」とは、塩素 (Cl) および臭素 (Br) をベースとした難燃材の含有量が JS709B の低ハロゲン要件である 1,000ppm 以下の閾値を満たしていることを意味します。三酸化アンチモンをベースとする難燃材も、1,000ppm 以下の閾値要件を満たす必要があります。

(3) MSL、ピーク温度- JEDEC 業界標準分類に従った耐湿性レベル評価、およびピークはんだ温度です。

(4) ロゴ、ロット トレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。

(5) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「～」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。

(6) リード端子の仕上げ / ボールの原材料 - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード端子の仕上げ / ボールの原材料の値が最大列幅に収まらない場合は、2 行にまたがります。

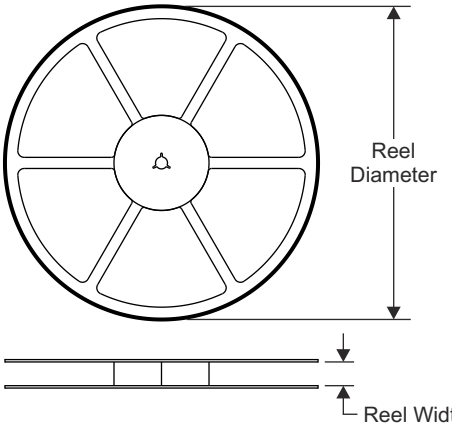
重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格 (年次ベース) を超えることはありません。

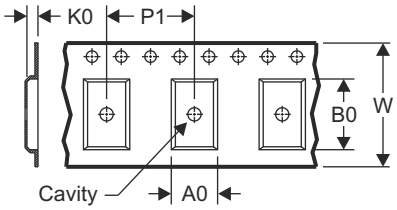
Copyright © 2025 Texas Instruments Incorporated

10.2 テープおよびリール情報

REEL DIMENSIONS

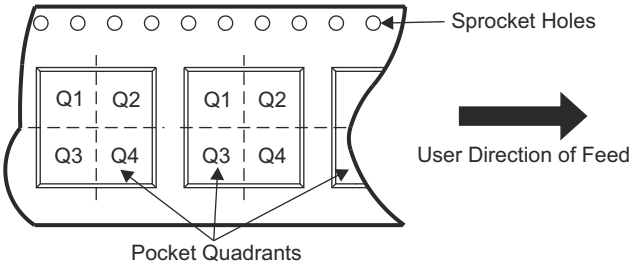


TAPE DIMENSIONS



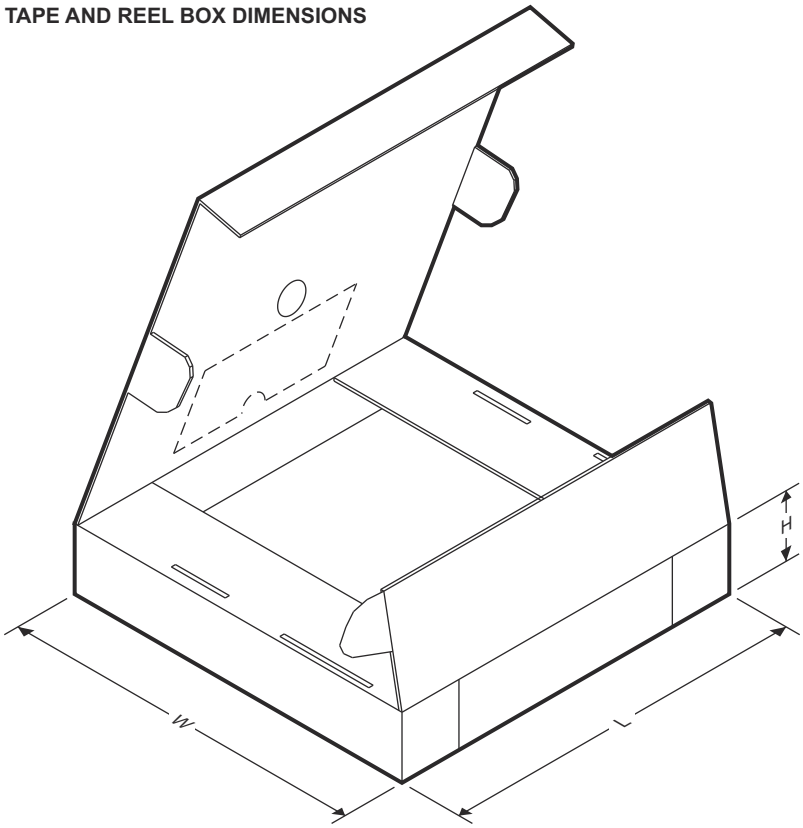
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージタイプ	パッケージ図	ピン数	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の象限
INA950A1MPWTSEP	TSSOP	PW	8	250	180	12.4	7	3.6	1.6	8	12	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
NA950A1MPWTSEP	TSSOP	PW	8	250	210	185	35

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA950A1MPWTSEP	Active	Production	TSSOP (PW) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	950SEP
V62/25635-01XE	Active	Production	TSSOP (PW) | 8	250 | SMALL T&R	-	NIPDAU	Level-3-260C-168 HR	-55 to 125	950SEP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

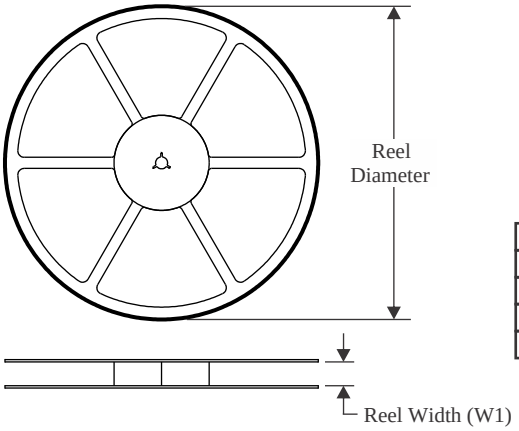
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

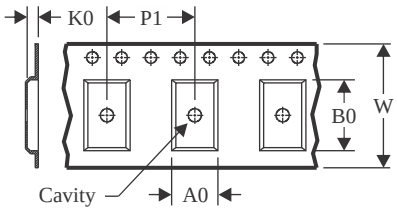
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

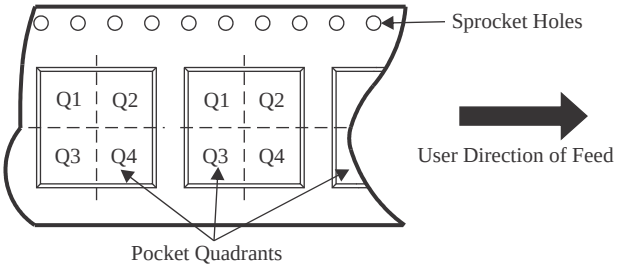


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

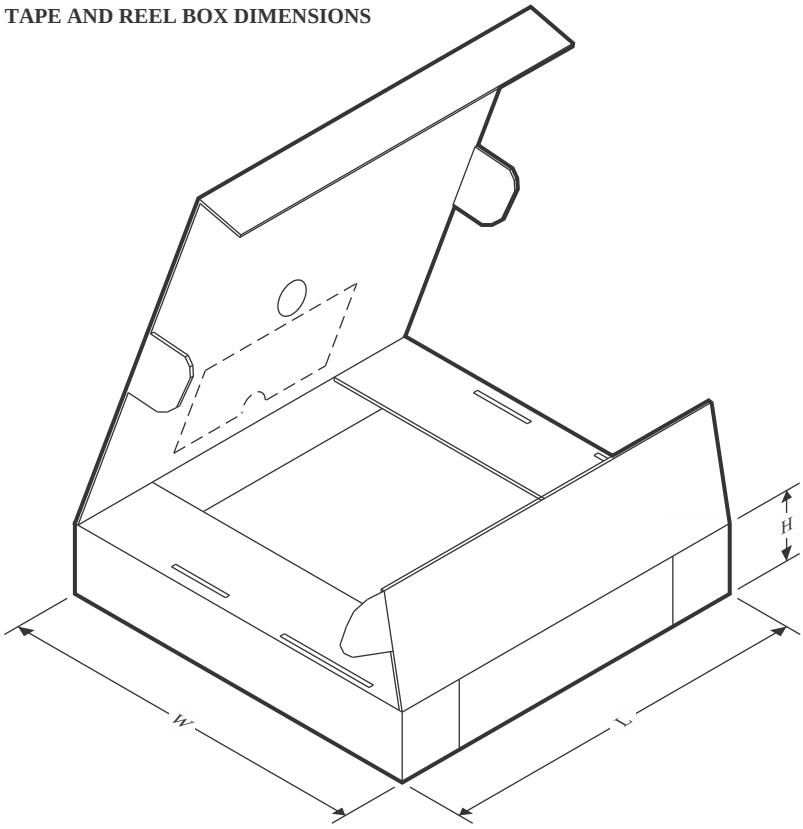
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

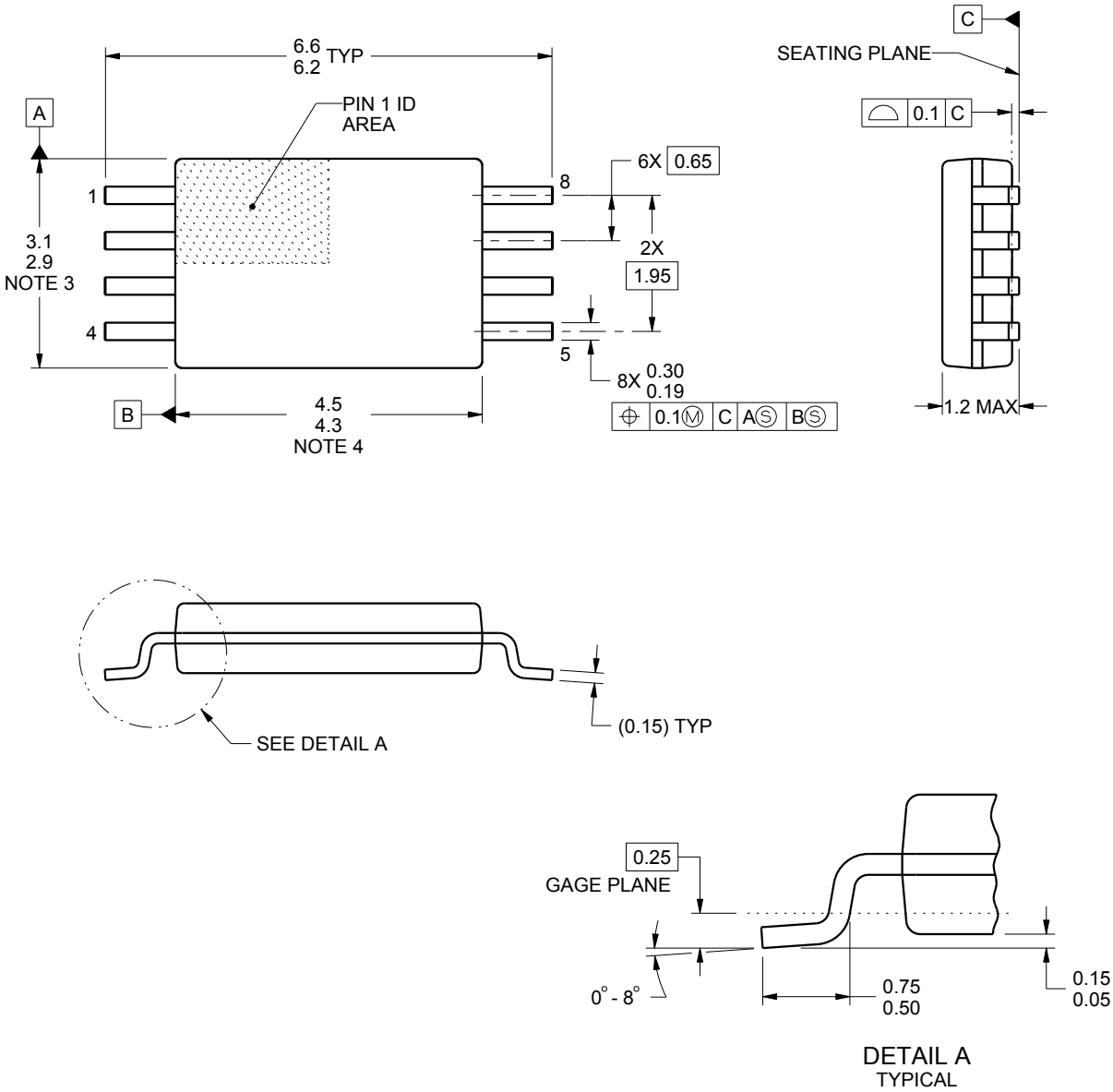
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA950A1MPWTSEP	TSSOP	PW	8	250	180.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



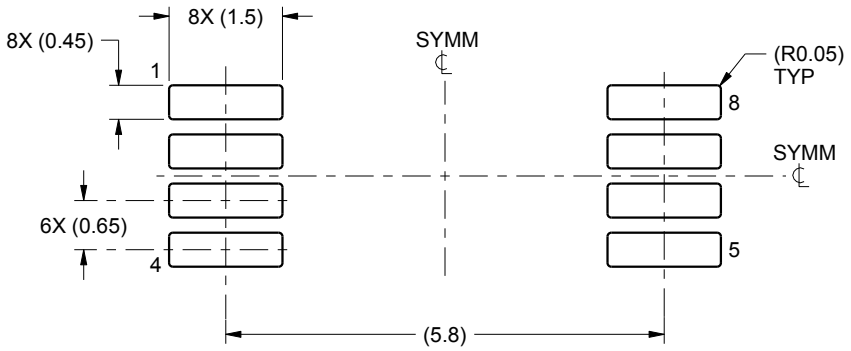
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA950A1MPWTSEP	TSSOP	PW	8	250	213.0	191.0	35.0

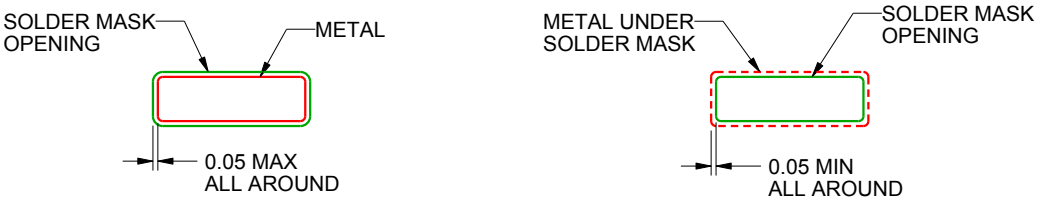


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X



NON SOLDER MASK
DEFINED

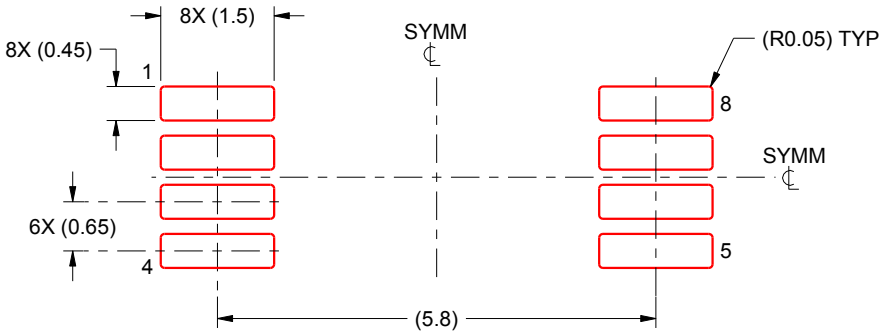
SOLDER MASK
DEFINED

SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated