

INA114 高精度計測アンプ

1 特長

- 低いオフセット電圧: 高ゲインの場合最大 $50\mu\text{V}$
- 低いドリフト: 高ゲインの場合最大 $0.3\mu\text{V}/^\circ\text{C}$
- 低い入力バイアス電流: 最大 2nA
- 大きい同相除去: 115dB 以上
- 入力過電圧保護回路: $\pm 40\text{V}$
- 幅広い電源電圧範囲: $\pm 2.25\text{V} \sim \pm 18\text{V}$
- パッケージ: PDIP-8 および SOIC-16

2 アプリケーション

- 外科用機器
- アクチュエータ
- マルチファンクション リレー
- 列車制御 / 管理
- 路側信号伝送 / 制御

3 概要

INA114 は、精度の優れた低消費電力の汎用計装アンプです。本デバイスは、用途が広い 3 オペアンプ設計を採用しており、サイズが小型であるため、広範なアプリケーションに非常に適しています。

単一の外付け抵抗により、 $1 \sim 10,000$ の範囲で任意のゲインを設定できます。内部入力保護機能は、損傷なしに $\pm 40\text{V}$ まで耐えます。

INA114 はレーザー トリムにより、非常に低いオフセット電圧 ($50\mu\text{V}$) と低ドリフト係数 ($0.3\mu\text{V}/^\circ\text{C}$)、高い同相除去 ($G = 1000$ で 115dB) を実現しています。このデバイスは最低 $\pm 2.25\text{V}$ の電源で動作するため、バッテリー駆動および 5V 単一電源のシステムで使用できます。

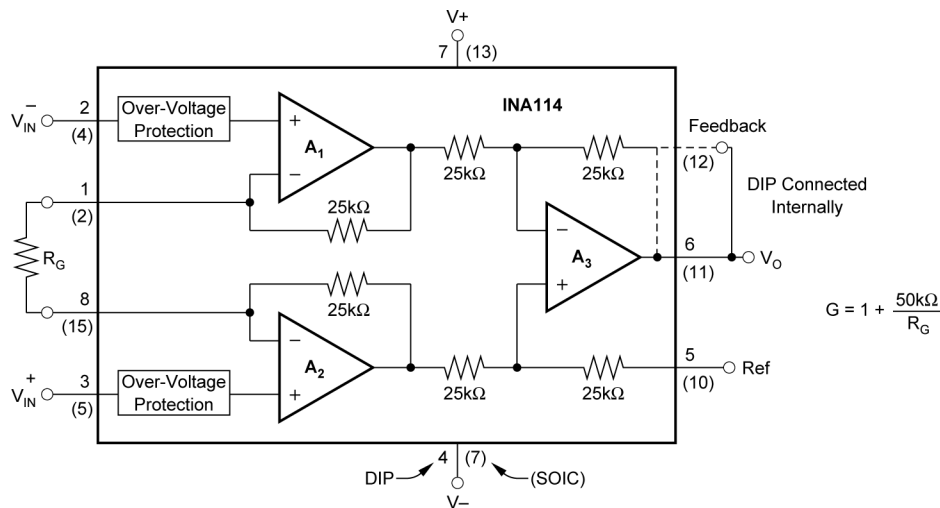
INA114 は 8 ピン PDIP および 16 ピン SOIC 表面実装パッケージで供給されます。どちらも、動作温度範囲の仕様は $-40^\circ\text{C} \sim +85^\circ\text{C}$ です。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
INA114	P (PDIP, 8)	$9.81\text{mm} \times 9.43\text{mm}$
	DW (SOIC, 16)	$10.3\text{mm} \times 10.3\text{mm}$

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージ サイズ (長さ $\times$ 幅) は公称値であり、該当する場合はピンも含まれます。



回路図



Table of Contents

1 特長	1	6.1 Application Information.....	10
2 アプリケーション	1	7 Typical Applications	15
3 概要	1	8 Device and Documentation Support	18
4 Pin Configuration and Functions	2	8.1 ドキュメントの更新通知を受け取る方法.....	18
5 Specifications	3	8.2 サポート・リソース.....	18
5.1 Absolute Maximum Ratings.....	3	8.3 Trademarks.....	18
5.2 ESD Ratings	3	8.4 静電気放電に関する注意事項.....	18
5.3 Recommended Operating Conditions.....	3	8.5 用語集.....	18
5.4 Thermal Information.....	3	9 Revision History	18
5.5 Electrical Characteristics.....	4	10 Mechanical, Packaging, and Orderable Information	19
5.6 Typical Characteristics.....	6		
6 Application and Implementation	10		

4 Pin Configuration and Functions

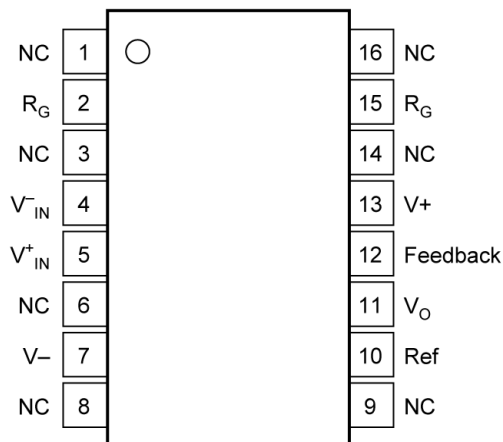


図 4-1. DW Package, 16-Pin SOIC (Top View)

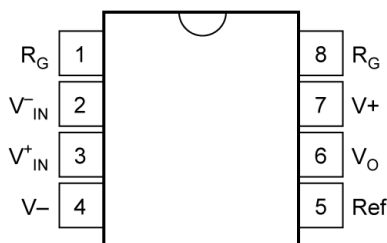


図 4-2. P Package, 8-Pin PDIP (Top View)

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _S	Supply voltage	Single supply, V _S = (+V _S)		36	V
		Dual supply, V _S = (+V _S) – (–V _S)	–18	18	V
	Signal input pins		–40	40	V
V _O	Signal output voltage		(–V _S) – 0.5	(+V _S) + 0.5	V
I _S	Output short-circuit (to V _S /2)		Continuous		
T _A	Operating temperature		–40	125	°C
T _J	Junction temperature			150	°C
T _{stg}	Storage temperature		–40	125	°C

- (1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. *Absolute Maximum Ratings* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If used outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.

5.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±1500	V
		Charged-device model (CDM), per ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±1500	

- (1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
(2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	MAX	UNIT
V _S	Supply voltage	Single supply, V _S = (+V _S)	4.5	36	V
		Dual supply, V _S = (+V _S) – (–V _S)	±2.25	±18	
T _A	Specified temperature		–40	85	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		INA114		UNIT
		DW (SOIC)	P (PDIP)	
		16 PINS	8 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	74.2	110.2	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics

at $T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 2\text{k}\Omega$, $V_{\text{REF}} = 0\text{V}$, and $G = 1$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS			MIN	TYP	MAX	UNIT	
INPUT									
V _{OS}	Offset voltage	RTI	INA114BP, BU		±10 + 20/G		±50 + 150/G		μV
			INA114AP, AU		±25 + 30/G		±125 + 500/G		
	Offset voltage drift	T _A = −40°C to +85°C, RTI	INA114BP, BU		±0.1 + 0.5/G		±0.3 + 5/G		μV/°C
			INA114AP, AU		±0.25 + 5/G		±1 + 10/G		
	Long-term stability				±0.2 + 0.5/G				μV/mo
	Differential impedance				100 6				GΩ pF
	Common-mode impedance				100 6				GΩ pF
	Operating input voltage				(V−) + 4		(V+) − 4		V
PSRR	Power-supply rejection ratio	RTI, ±2.25V to ±18V			0.5 + 2/G		3 + 10/G		μV/V
CMRR	Common-mode rejection ratio	At dc to 60Hz, RTI, V _{CM} = ±10V, ΔR _S = 1kΩ	G = 1	INA114BP, BU	80	96			dB
				INA114AP, AU	75	90			
			G = 10	INA114BP, BU	96	115			dB
				INA114AP, AU	90	106			
			G = 100	INA114BP, BU	110	120			
				INA114AP, AU	106	110			
			G = 1000	INA114BP, BU	115	120			
				INA114AP, AU	106	110			
BIAS CURRENT									
I _B	Input bias current	V _{CM} = V _S / 2	INA114BP, BU		±0.5		±2		nA
			INA114AP, AU		±0.5		±5		
	Input bias current drift	T _A = −40°C to +85°C	INA114BP, BU		±8				pA/°C
			INA114AP, AU		±8				
I _{OS}	Input offset current	V _{CM} = V _S / 2	INA114BP, BU		±0.5		±2		nA
			INA114AP, AU		±0.5		±5		
	Input offset current drift	T _A = −40°C to +85°C	INA114BP, BU		±8				pA/°C
			INA114AP, AU		±8				
NOISE VOLTAGE									
	Voltage noise	G = 1000, R _S = 0Ω	f = 10Hz		15				nV/√Hz
			f = 100Hz		11				
			f = 1kHz		11				
			f _B = 0.1Hz to 10Hz		0.4				μV _{PP}
	Noise current	f = 10Hz		0.4				pA/√Hz	
		f = 1kHz		0.2				pA/√Hz	
		f _B = 0.1Hz to 10Hz		18				pA _{PP}	

5.5 Electrical Characteristics (続き)

at $T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 2\text{k}\Omega$, $V_{\text{REF}} = 0\text{V}$, and $G = 1$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS			MIN	TYP	MAX	UNIT
GAIN								
G	Gain equation				1 + (50kΩ / R _G)			V/V
	Range of gain				1		10000	V/V
GE	Gain error	V _O = ±10V, G = 1			±0.01		±0.05	%
		V _O = ±10V	G = 10	INA114BP, BU	±0.02		±0.4	
				INA114AP, AU	±0.02		±0.5	
			G = 100	INA114BP, BU	±0.05		±0.5	
				INA114AP, AU	±0.05		±0.7	
			G = 1000	INA114BP, BU	±0.5		±1	
				INA114AP, AU	±0.5		±2	
	Gain drift				±2		±10	ppm/°C
		R _S = 50kΩ ⁽¹⁾			±25		±100	
	Gain nonlinearity	V _O = −10V to +10V	G = 1	INA114BP, BU	±0.0001		±0.001	% of FSR
				INA114AP, AU	±0.0001		±0.002	
			G = 10, 100	INA114BP, BU	±0.0005		±0.002	
				INA114AP, AU	±0.0005		±0.004	
			G = 1000	INA114BP, BU	±0.002		±0.01	
				INA114AP, AU	±0.002		±0.02	
OUTPUT								
	Output voltage	I _O = 5mA, T _A = −40°C to 85°C			(V−) +1.5	(V+) −1.5		V
			V _S = ±11.4V		(V−) + 1.4	(V+) − 1.4		
			V _S = ±2.25V		(V−) +1	(V+) − 1		
	Load capacitance stability				1000			pF
I _{SC}	Short-circuit current	Continuous to V _S / 2			+20 / −15			mA
FREQUENCY RESPONSE								
BW	Bandwidth, −3dB	G = 1			1			MHz
		G = 10			100			kHz
		G = 100			10			
		G = 1000			1			
SR	Slew rate	G = 10, V _O = ±10V			0.3	0.6		V/μs
t _S	Settling time	0.01%, V _{STEP} = 10V	G = 1	18				μs
			G = 10	20				
			G = 100	120				
			G = 1000	1100				
	Overload recovery	50% overdrive			20			μs
POWER SUPPLY								
I _Q	Quiescent current	V _S = ±2.25V to ±18V, V _{IN} = 0V			±2.2		±3	mA

(1) Temperature coefficient of the "50k Ω " term in the gain equation.

5.6 Typical Characteristics

at $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $G = 1\text{V/V}$ (unless otherwise noted)

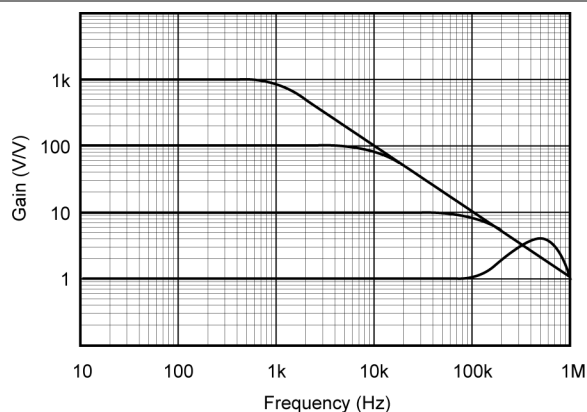


Figure 5-1. Gain vs Frequency

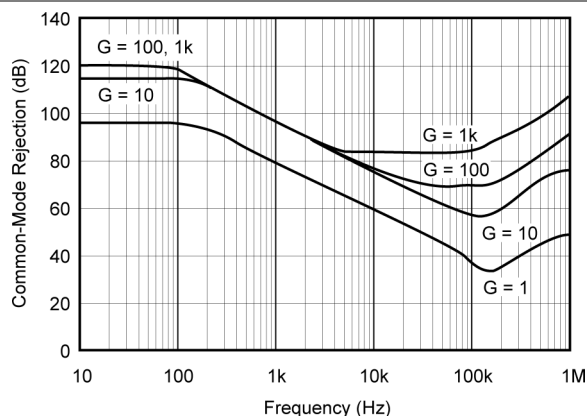


Figure 5-2. Common-mode Rejection vs Frequency

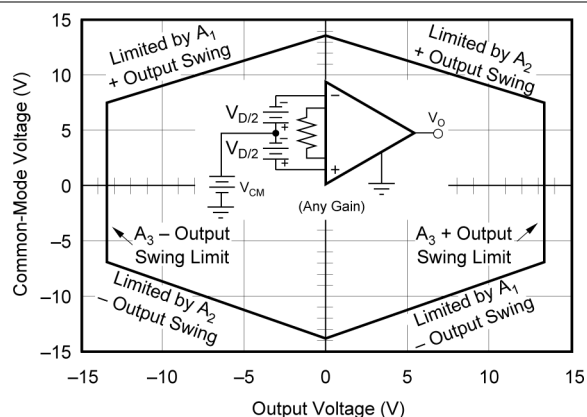


Figure 5-3. Input Common-mode Voltage Range vs Output Voltage

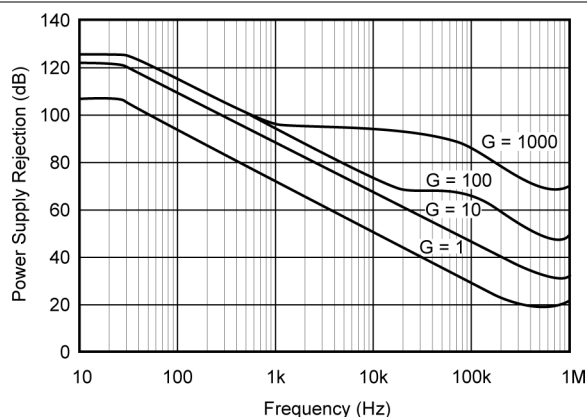


Figure 5-4. Positive Power Supply Rejection vs Frequency

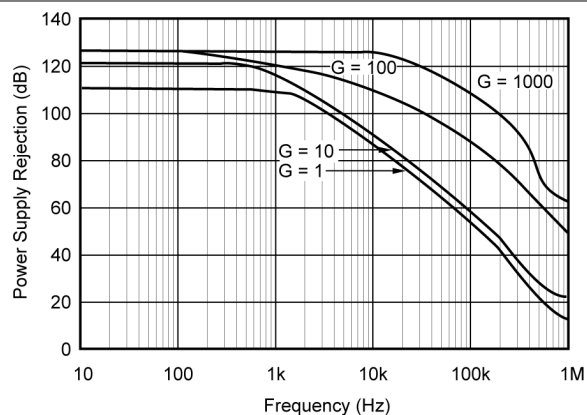


Figure 5-5. Negative Power Supply Rejection vs Frequency

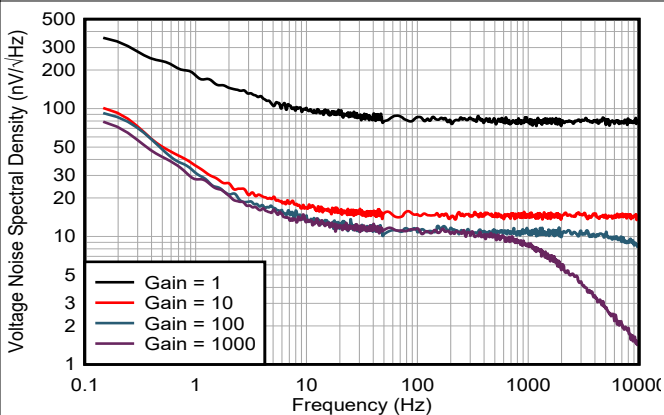


Figure 5-6. Input-Referred Noise Voltage vs Frequency

5.6 Typical Characteristics (continued)

at $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $G = 1\text{V/V}$ (unless otherwise noted)

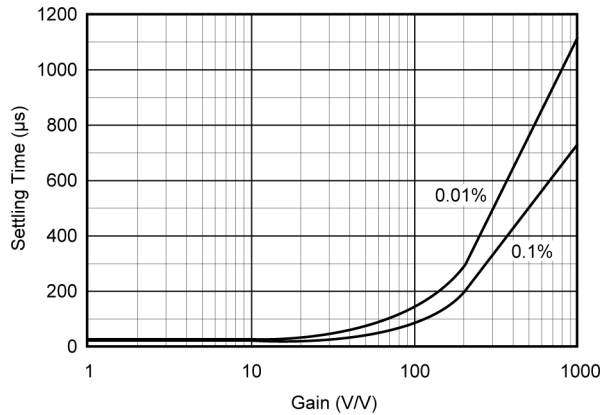


FIG 5-7. Settling Time vs Gain

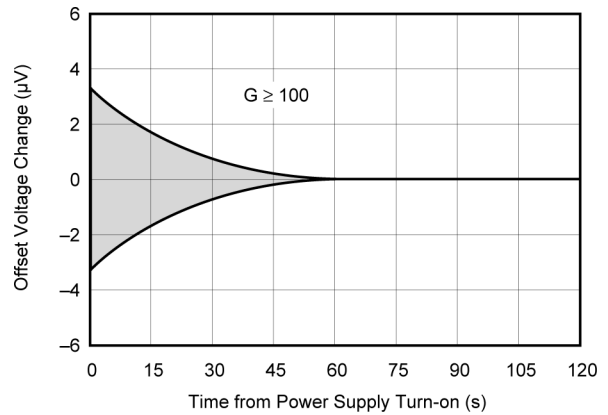


FIG 5-8. Offset Voltage Warm-up vs Time

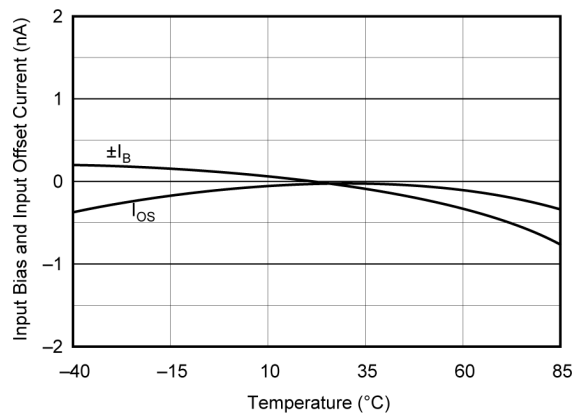


FIG 5-9. Input Bias and Input Offset Current vs Temperature

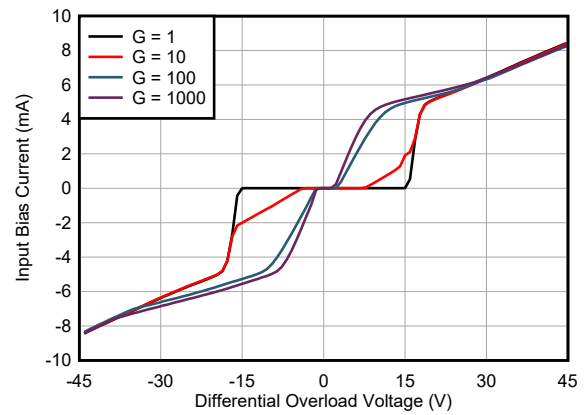


FIG 5-10. Input Bias Current vs Differential Input Voltage

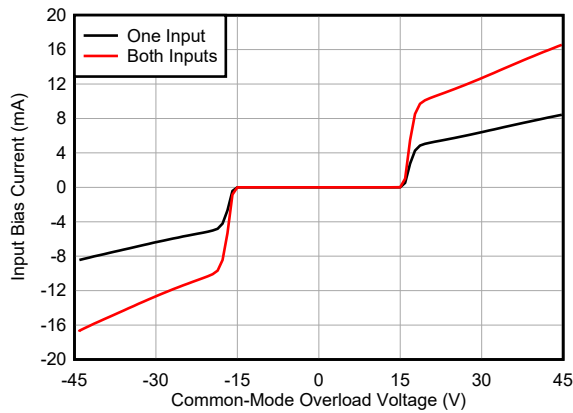


FIG 5-11. Input Bias Current vs Common-Mode Input Voltage

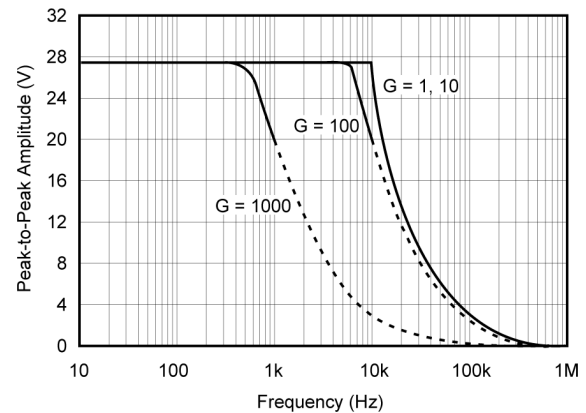


FIG 5-12. Maximum Output Swing vs Frequency

5.6 Typical Characteristics (continued)

at $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $G = 1\text{V/V}$ (unless otherwise noted)

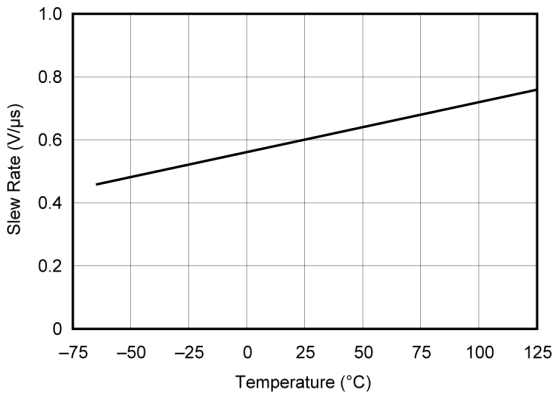


FIG 5-13. Slew Rate vs Temperature

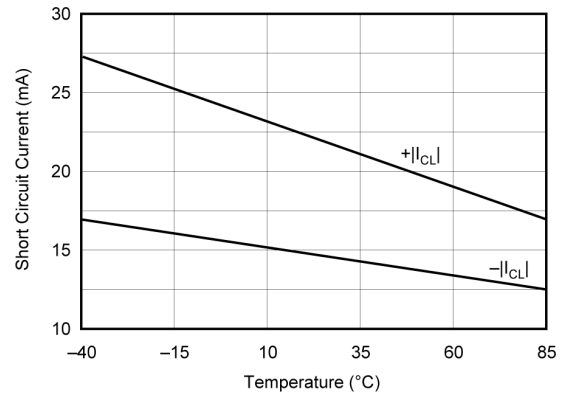


FIG 5-14. Output Current Limit vs Temperature

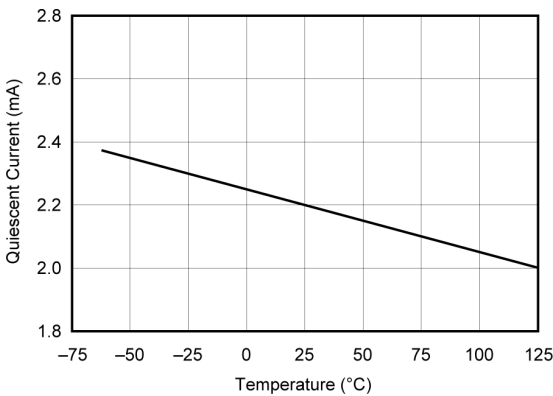


FIG 5-15. Quiescent Current vs Temperature

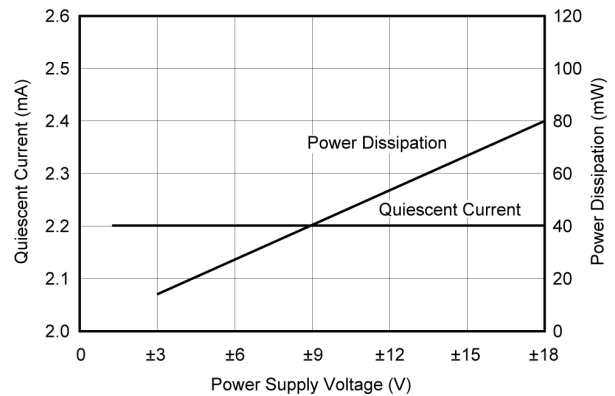


FIG 5-16. Quiescent Current and Power Dissipation vs Power Supply Voltage

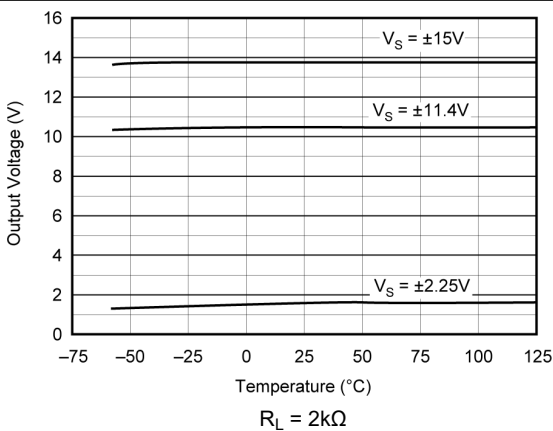


FIG 5-17. Positive Signal Swing vs Temperature

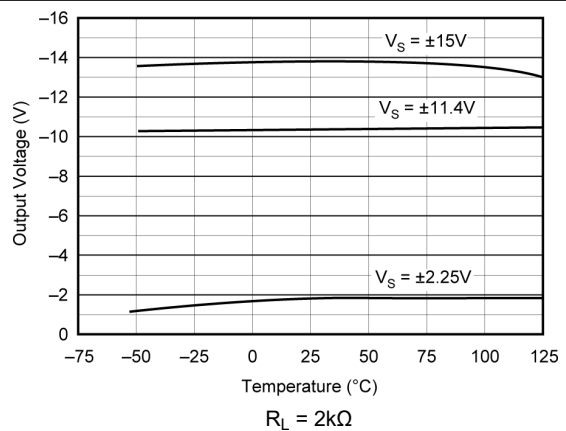


FIG 5-18. Negative Signal Swing vs Temperature

5.6 Typical Characteristics (continued)

at $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $G = 1\text{V/V}$ (unless otherwise noted)

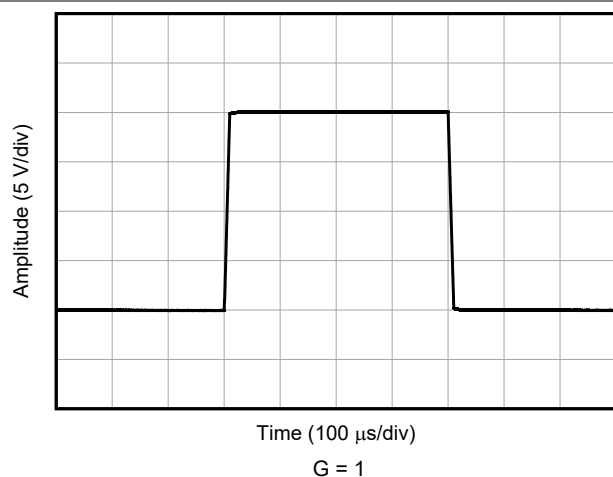


图 5-19. Large-Signal Response

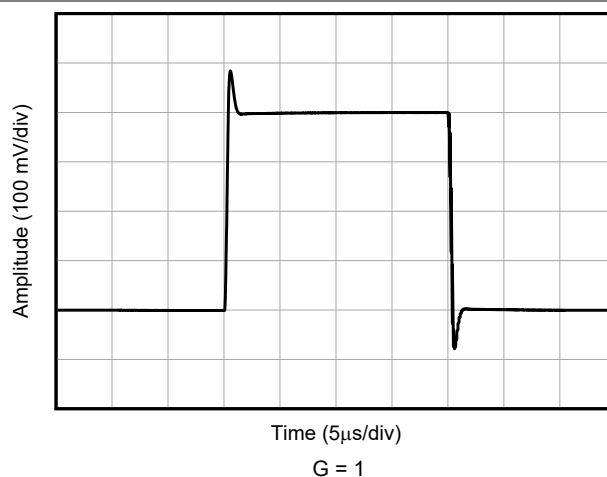


图 5-20. Small-Signal Response

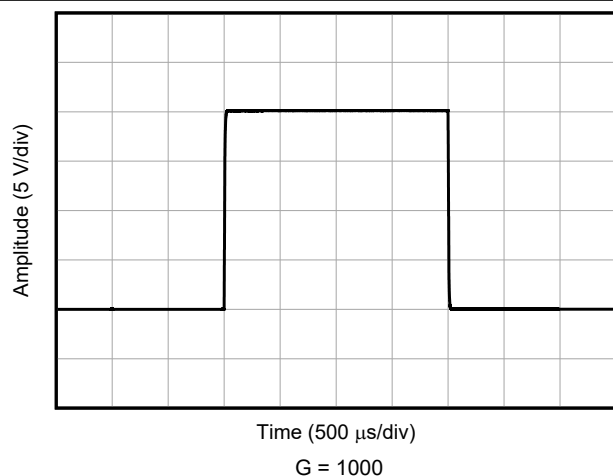


图 5-21. Large-Signal Response

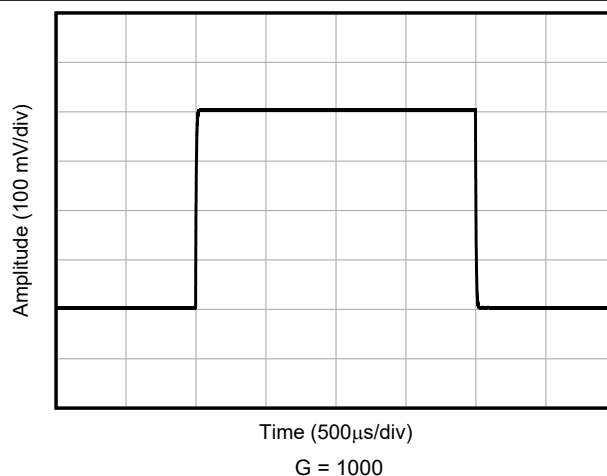


图 5-22. Small-Signal Response

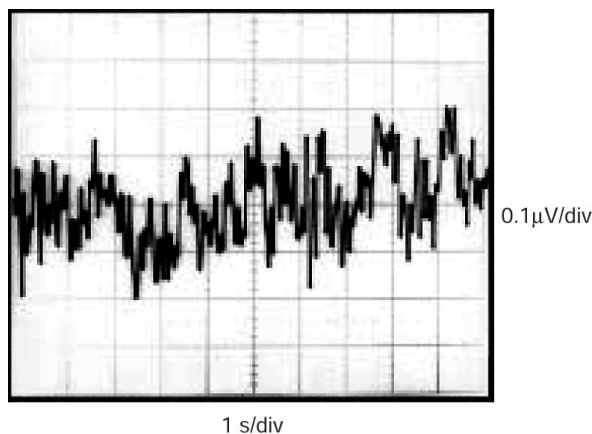


图 5-23. Input-Referred Noise, 0.1Hz to 10Hz

6 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 Application Information

図 6-1 shows the basic connections required for operation of the INA114. Applications with noisy or high-impedance power supplies can require decoupling capacitors close to the device pins as shown.

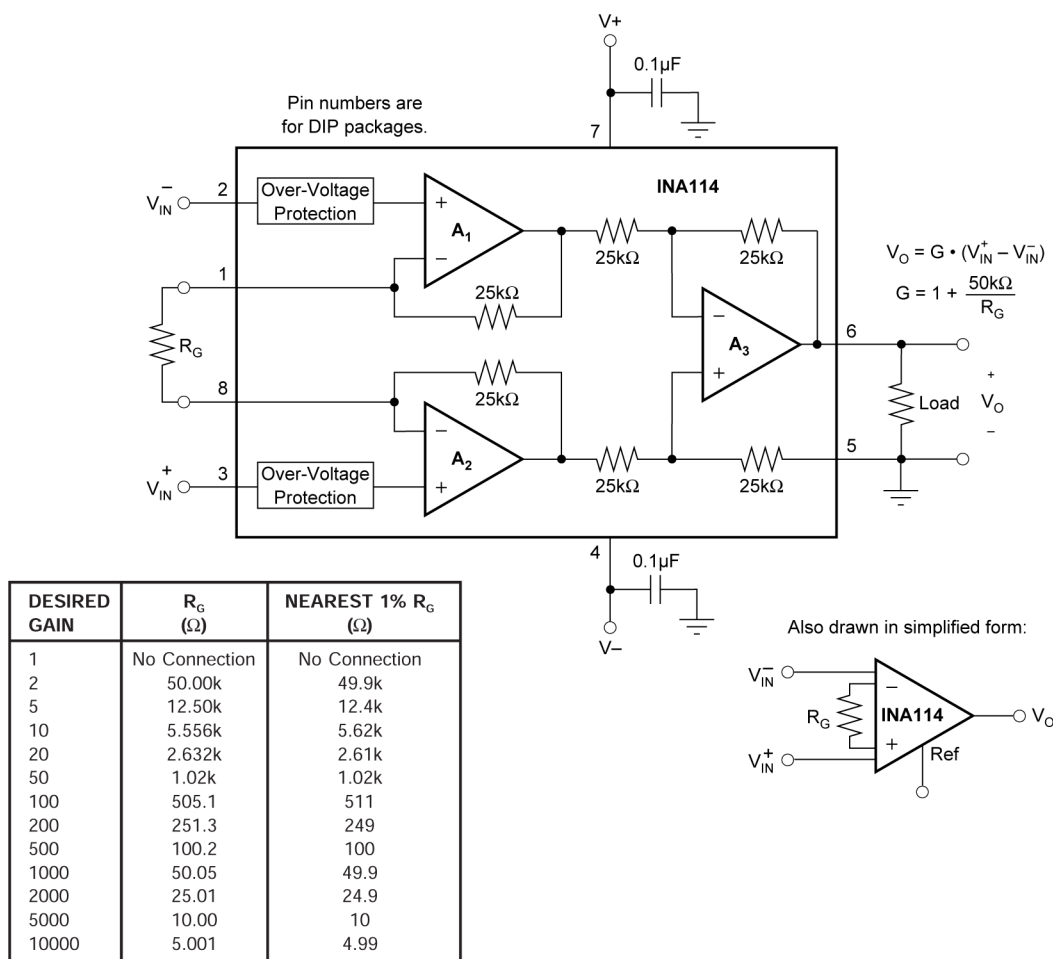


図 6-1. Basic Connections.

The output is referred to the output reference (Ref) pin, which is normally grounded. This connection must be low-impedance to provide good common-mode rejection. A resistance of 5Ω in series with the Ref pin causes a typical device to degrade to approximately 80dB CMR ($G = 1$).

6.1.1 Setting the Gain

Gain of the INA114 is set by connecting a single external resistor, R_G :

$$G = 1 + \frac{50 \text{ k}\Omega}{R_G} \quad (1)$$

Figure 6-1 shows commonly used gains and resistor values.

The 50-k Ω term in Equation 1 comes from the sum of the two internal feedback resistors. These resistors are on-chip metal film resistors which are laser trimmed to accurate absolute values. The accuracy and temperature coefficient of these resistors are included in the gain accuracy and drift specifications of the INA114.

The stability and temperature drift of the external gain setting resistor, R_G , also affects gain. The contribution of R_G to gain accuracy and drift is directly inferred from the gain Equation 1. Low resistor values required for high gain can make wiring resistance important. Sockets add to the wiring resistance, which contributes additional gain error (possibly an unstable gain error) in gains of approximately 100 or greater.

6.1.2 Noise Performance

The INA114 provides very low noise in most applications. For differential source impedances less than 1k Ω , the INA103 can provide lower noise. For source impedances greater than 50k Ω , the INA111 FET-input instrumentation amplifier can provide lower noise.

Low frequency noise of the INA114 is approximately 0.4 μ V_{PP} measured from 0.1Hz to 10Hz. This noise is approximately one-tenth the noise of *low noise* chopper-stabilized amplifiers.

6.1.3 Offset Trimming

The INA114 is laser trimmed for very low offset voltage and drift. Most applications require no external offset adjustment. Figure 6-2 shows an optional circuit for trimming the output offset voltage. The voltage applied to the Ref pin is summed at the output. Maintain low impedance at this node to maintain good common-mode rejection by buffering trim voltage with an op amp as shown.

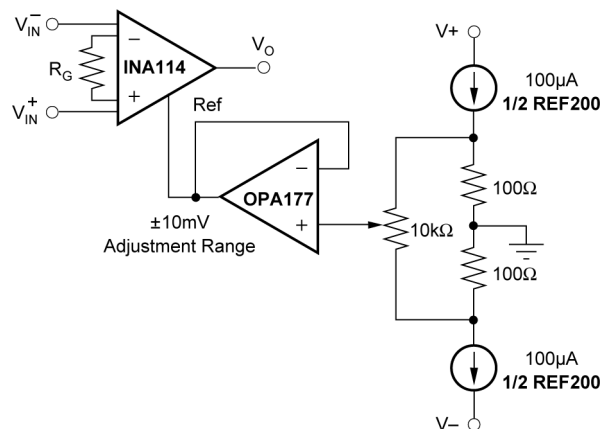


Figure 6-2. Optional Trimming of Output Offset Voltage.

6.1.4 Input Bias Current Return Path

The input impedance of the INA114 is extremely high—approximately $10^{10}\Omega$. However, a path must be provided for the input bias current of both inputs. This input bias current is typically less than $\pm 1\text{nA}$, and can be either polarity as a result of cancellation circuitry. High input impedance means that this input bias current changes very little with varying input voltage.

Input circuitry must provide a path for this input bias current if the INA114 is to operate properly. [Figure 6-3](#) shows various provisions for an input bias current path. Without a bias current return path, the inputs float to a potential that exceeds the common-mode range of the INA114 and the input amplifiers saturate. If the differential source resistance is low, the bias current return path can be connected to one input (see thermocouple example in [Figure 6-3](#)). With higher source impedance, use two resistors to provide a balanced input, with the possible advantages of lower input offset voltage due to bias current and better common-mode rejection.

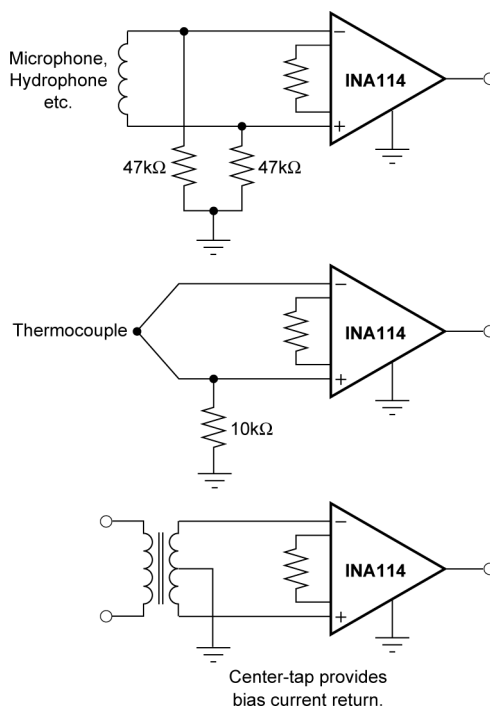


Figure 6-3. Providing an Input Common-Mode Current Path.

6.1.5 Input Common-Mode Range

The linear common-mode range of the input op amps of the INA114 is approximately $\pm 13.75\text{V}$ (or 1.25V from the power supplies). As the output voltage increases, however, the linear input range is limited by the output voltage swing of the input amplifiers, A_1 and A_2 . The common-mode range is related to the output voltage of the complete amplifier—see typical characteristic curve *Input Common-Mode Range vs Output Voltage*.

A combination of common-mode and differential input signals can cause the output of A_1 or A_2 to saturate. Figure 6-4 shows the output voltage swing of A_1 and A_2 expressed in terms of a common-mode and differential input voltages. Output swing capability of these internal amplifiers is the same as the output amplifier, A_3 . For applications where input common-mode range must be maximized, limit the output voltage swing by connecting the INA114 in a lower gain (see performance curve *Input Common-Mode Voltage Range vs Output Voltage*). If necessary, add gain after the INA114 to increase the voltage swing.

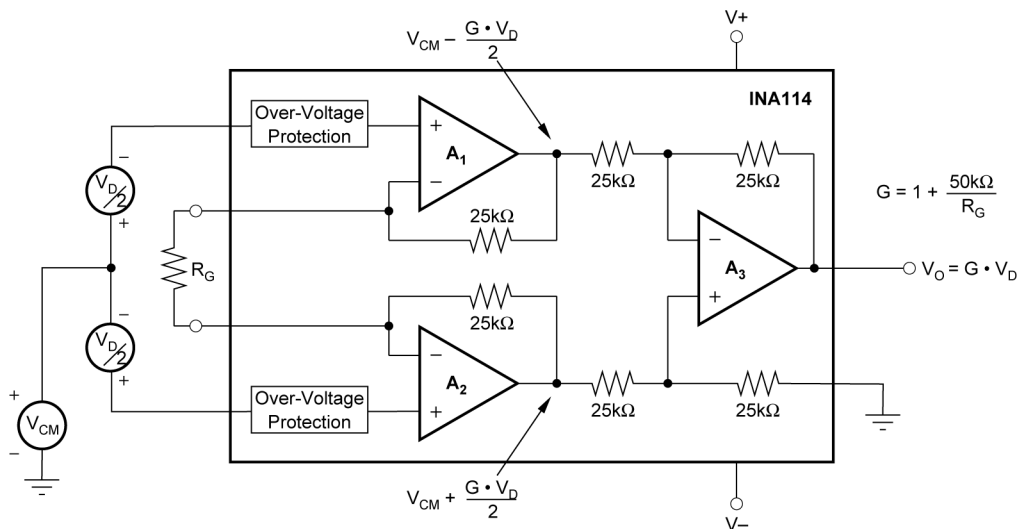


図 6-4. Voltage Swing of A_1 and A_2

Input overload often produces an output voltage that appears normal. For example, an input voltage of 20V on one input and 40V on the other input obviously exceeds the linear common-mode range of both input amplifiers. Both input amplifiers are saturated to nearly the same output voltage limit; therefore, the difference voltage measured by the output amplifier is near zero. The output of the INA114 is near 0V even though both inputs are overloaded.

6.1.6 Input Protection

The inputs of the INA114 are individually protected for voltages up to $\pm 40\text{V}$. For example, a condition of -40V on one input and $+40\text{V}$ on the other input does not cause damage. Internal circuitry on each input provides low series impedance under normal signal conditions. To provide equivalent protection, series input resistors contribute excessive noise. If the input is overloaded, the protection circuitry limits the input current to a safe value (approximately 1.5mA). Typical performance curve *Input Bias Current vs Common-Mode Input Voltage* shows this input current limit behavior. The inputs are protected even if no power supply voltage is present.

6.1.7 Output Voltage Sense (SOIC-16 Package Only)

The surface-mount version of the INA114 has a separate output sense feedback connection (pin 12). Pin 12 must be connected to the output terminal (pin 11) for proper operation. (This connection is made internally on the DIP version of the INA114.)

The output sense connection can be used to sense the output voltage directly at the load for best accuracy. [Figure 6-5](#) shows how to drive a load through series interconnection resistance. Remotely located feedback paths can cause instability. This instability can be generally be eliminated with a high-frequency feedback path through C_1 . Drive heavy loads or long lines by connecting a buffer inside the feedback path (see [Figure 6-6](#)).

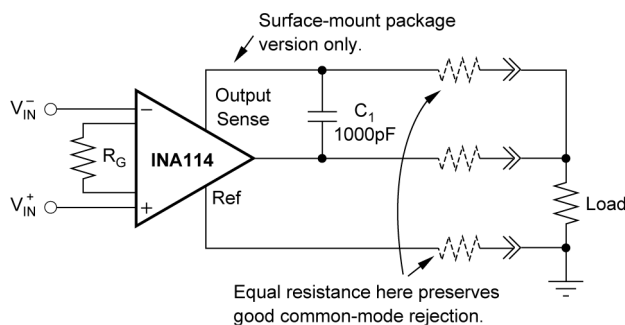


Figure 6-5. Remote Load and Ground Sensing

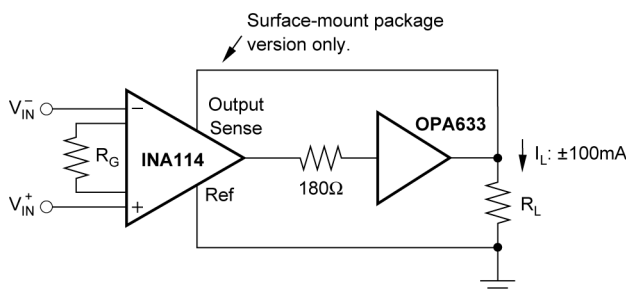
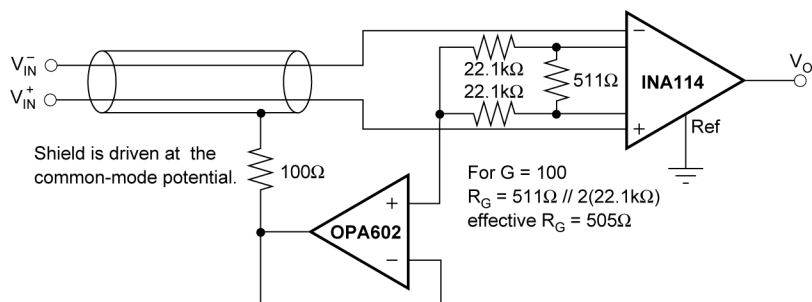
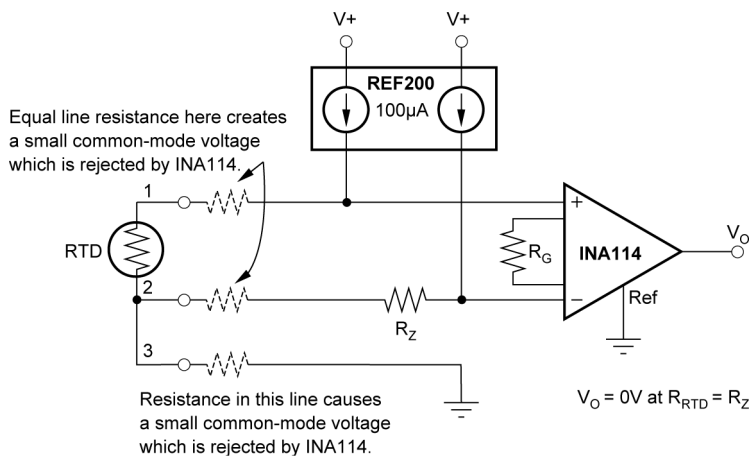


Figure 6-6. Buffered Output for Heavy Loads

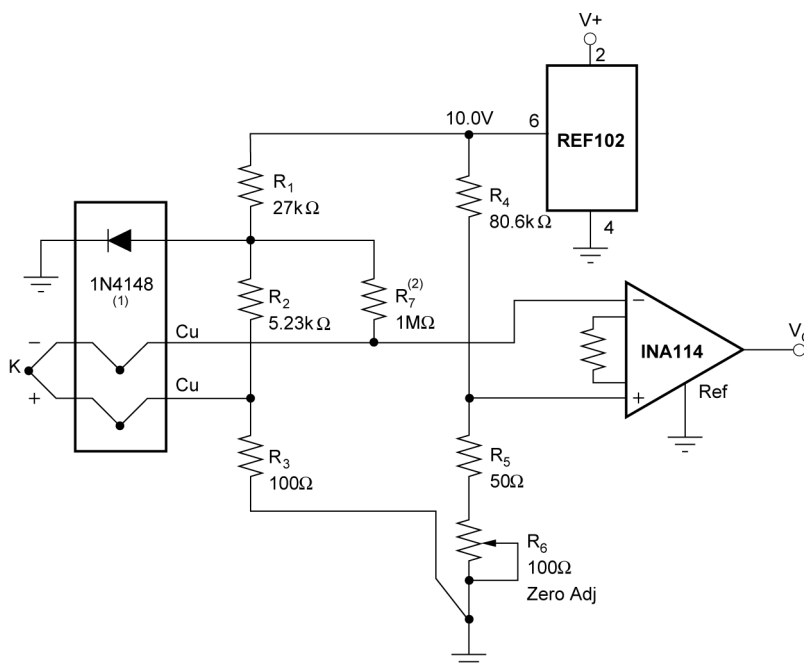
7 Typical Applications



7-1. Shield Driver Circuit



7-2. RTD Temperature Measurement Circuit



ISA TYPE	MATERIAL	SEEBECK COEFFICIENT ($\mu\text{V}/^\circ\text{C}$)	R_2 ($R_3 = 100\Omega$)	R_4 ($R_5 + R_6 = 100\Omega$)
E	Chromel Constantan	58.5	3.48k Ω	56.2k Ω
J	Iron Constantan	50.2	4.12k Ω	64.9k Ω
K	Chromel Alumel	39.4	5.23k Ω	80.6k Ω
T	Copper Constantan	38.0	5.49k Ω	84.5k Ω

NOTES: (1) $-2.1\text{mV}/^\circ\text{C}$ at $200\mu\text{A}$. (2) R_7 provides down-scale burn-out indication.

图 7-3. Thermocouple Amplifier with Cold Junction Compensation

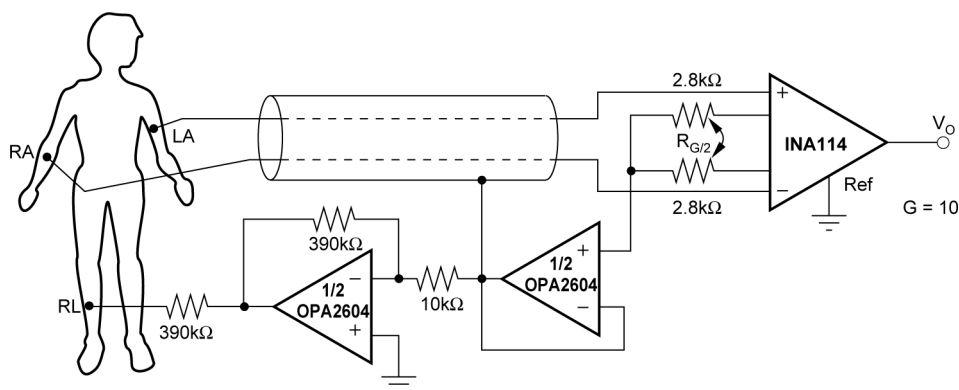
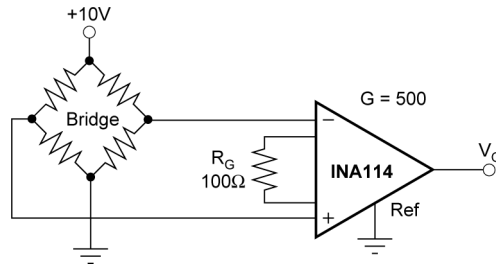
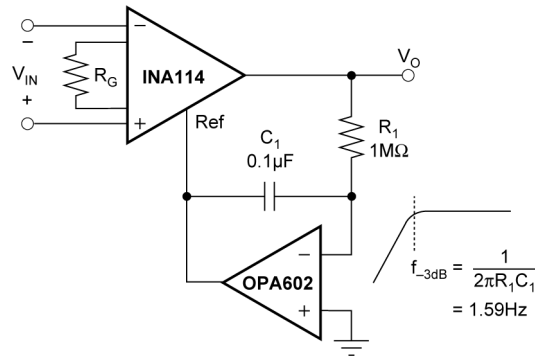


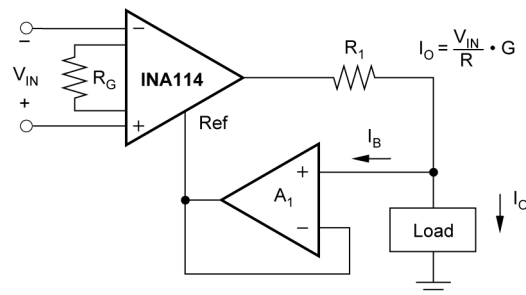
图 7-4. ECG Amplifier with Right-Leg Drive



7-5. Bridge Transducer Amplifier



7-6. AC-Coupled Instrumentation Amplifier



A ₁	I _B Error
OPA177	±1.5nA
OPA602	1pA
OPA128	75fA

7-7. Differential Voltage-to-Current Converter

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (March 1998) to Revision A (January 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
「ESD 定格」、「推奨動作条件」、「熱に関する情報」、「アプリケーションと実装」、「代表的なアプリケーション」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」の各セクションを追加	1
データシート全体にわたって SOL パッケージ名を SOIC に変更.....	1
「特長」の「低オフセット電圧」と「低ドリフト」の箇条書き項目に「高ゲインの場合」を追加	1
「特長」で低ドリフトの箇条書き項目の値を 0.25μV/°C から 0.3μV/°C に変更	1
「アプリケーション」の箇条書き項目を更新	1
Added symbols in <i>Absolute Maximum Ratings</i>	3
Changed supply voltage to show dual supply and single supply in <i>Absolute Maximum Ratings</i>	3
Changed "Input Voltage Range" to "Signal input pins" in <i>Absolute Maximum Ratings</i>	3
Added signal output voltage to <i>Absolute Maximum Ratings</i>	3
Changed output short-circuit from "ground" to " $V_S / 2$ " in <i>Absolute Maximum Ratings</i>	3
Added DW (SOIC) package ambient thermal resistance value.....	3
Changed ambient thermal resistance value for P (PDIP) package from 80°C/W to 110.2°C/W.....	3
Added symbols in <i>Electrical Characteristics</i>	4
Changed offset voltage maximum value from $\pm 50 + 100/G$ to $\pm 50 + 150/G$	4

• Changed "Offset Voltage vs Temperature" to "Offset voltage drift".....	4
• Changed offset voltage drift test condition from $T_A = T_{MIN}$ to T_{MAX} to $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	4
• Changed offset voltage drift maximum value from $\pm 0.25 + 5/G$ to $\pm 0.3 + 5/G$	4
• Deleted safe input voltage from <i>Electrical Characteristics</i>	4
• Changed "Input Common-Mode Range" to "Operating input voltage".....	4
• Changed "Offset Voltage vs Power Supply" to "Power-supply rejection ratio".....	4
• Changed "Bias current vs Temperature" to "Input bias current drift".....	4
• Added " $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$ " test condition to input bias current drift.....	4
• Changed "Offset Current vs Temperature" to "Input offset current drift".....	4
• Added " $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$ " test condition to input offset current drift.....	4
• Added " $V_O = \pm 10\text{V}$ " test condition to gain error.....	4
• Changed "Gain vs Temperature" to "Gain drift".....	4
• Added " $V_O = -10\text{V}$ to $+10\text{V}$ " test condition to gain nonlinearity.....	4
• Changed output voltage values from ± 13.5 (min) and ± 13.7 (typ) to $(V-) + 1.5$ (min) and $(V+) - 1.5$ (max).....	4
• Changed output voltage test condition from T_{MIN} to T_{MAX} to $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	4
• Added output voltage test conditions for $V_S = \pm 11.4\text{V}$ and $V_S = \pm 2.25\text{V}$	4
• Added $V_{STEP} = 10\text{V}$ test condition to settling time.....	4
• Deleted power supply voltage range typical value of $\pm 15\text{V}$	4
• Moved voltage range, operating temperature range, and thermal resistance from <i>Electrical Characteristics</i> to <i>Recommended Operating Conditions</i> and <i>Thermal Information</i>	4
• Updated Figure 5-6, <i>Input-referred Noise Voltage vs Frequency</i>	6
• Updated Figure 5-10, <i>Input Bias Current vs Differential Input Voltage</i>	6
• Updated Figure 5-11, <i>Input Bias Current vs Common-Mode Input Voltage</i>	6
• Updated Figure 5-19 to Figure 22, Small- and Large-Signal Response plots.....	6

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA114AP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-	INA114AP
INA114AP.B	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	INA114AP
INA114AU	Active	Production	SOIC (DW) 16	40 TUBE	Yes	Call TI Nipdau	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114AU.B	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114AU/1K	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	Call TI Nipdau	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114AU/1K.B	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114BP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-	INA114BP
INA114BP.B	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	INA114BP
INA114BU	Active	Production	SOIC (DW) 16	40 TUBE	Yes	Call TI Nipdau	Level-3-260C-168 HR	-	INA114BU
INA114BU.B	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114BU
INA114BU/1K	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	Call TI Nipdau	Level-3-260C-168 HR	-	INA114BU
INA114BU/1K.B	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114BU

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

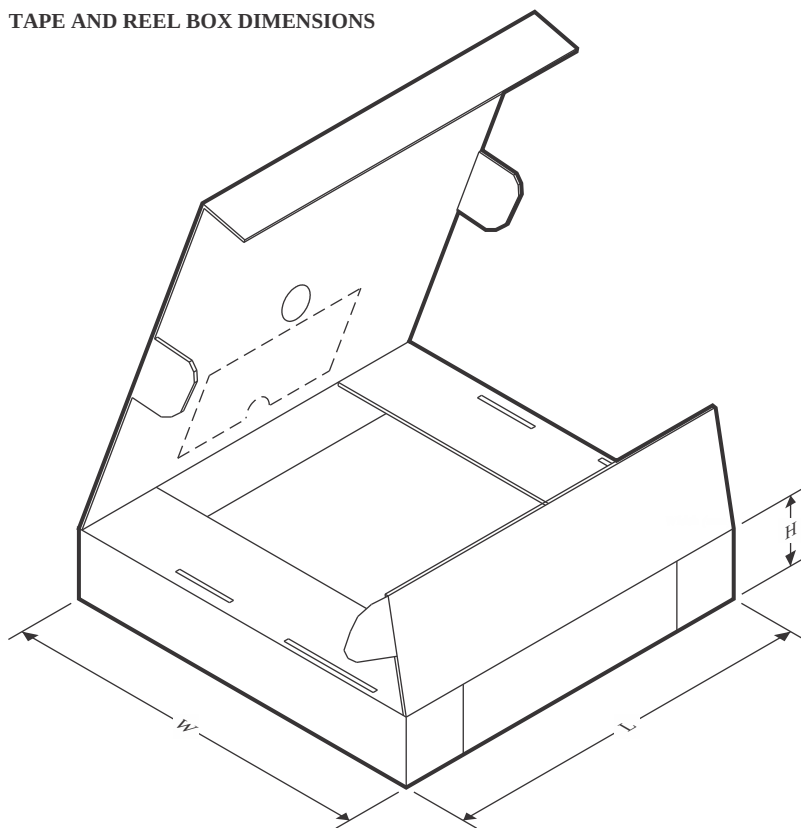
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA114AU/1K	SOIC	DW	16	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
INA114BU/1K	SOIC	DW	16	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA114AU/1K	SOIC	DW	16	1000	353.0	353.0	32.0
INA114BU/1K	SOIC	DW	16	1000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
INA114AP	P	PDIP	8	50	506	13.97	11230	4.32
INA114AP.B	P	PDIP	8	50	506	13.97	11230	4.32
INA114AU	DW	SOIC	16	40	507	12.83	5080	6.6
INA114AU.B	DW	SOIC	16	40	507	12.83	5080	6.6
INA114BP	P	PDIP	8	50	506	13.97	11230	4.32
INA114BP.B	P	PDIP	8	50	506	13.97	11230	4.32
INA114BU	DW	SOIC	16	40	507	12.83	5080	6.6
INA114BU.B	DW	SOIC	16	40	507	12.83	5080	6.6

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated