

GD65232, GD75232 複数の RS-232 ドライバとレシーバ

1 特長

- シングル チップで、UART と IBM PC/AT 互換機のシリアル ポート コネクタを簡単に接続可能
- TIA/EIA-232-F および ITU v.28 規格の要件に適合またはそれを上回る性能
- 最大 120kbit のデータ レートをサポートする設計
- SN75C185 および SN75185 とピン配置互換
- JESD 22 に従って ESD 性能をテスト済み: HBM: 1500V、CDM: 500V、MM: 200V

2 アプリケーション

- 端末
- モデム
- コンピュータ
- 有線ネットワーク
- データ センターおよびエンタープライズ コンピューティング
- ハンドヘルド機器

3 概要

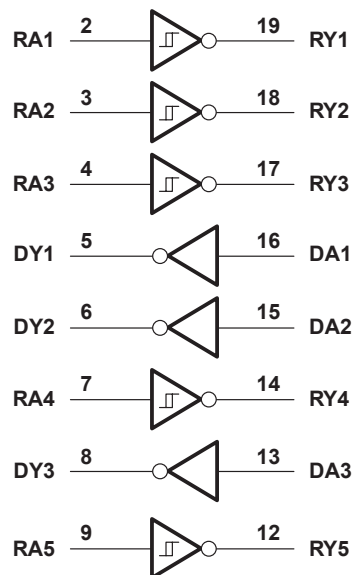
GD65232 および GD75232 は、テキサス・インスツルメンツの業界標準の SN75188 および SN75189 バイポーラ クワッド ドライバおよびレシーバからの 3 つのドライバと 5 つのレシーバを組み合わせたものです。ピン配置が SN75C185 のフロースルー設計と一致しているため、部品数と必要な基板面積が削減され、UART と IBM™ PC/AT 互換機のシリアル ポート コネクタを簡単に接続できます。GD65232 および GD75232 のバイポーラ回路と処理により、低コストの堅牢なソリューションを実現できますが、SN75C185 と比較して静止電力が高くなり、外付けの受動部品が必要になります。

GD65232 および GD75232 は、TIA/EIA-232-F および ITU (旧称 CCITT) V.28 規格の要件に準拠しています。これらの規格は、ホスト コンピュータとペリフェラルの間で、最大 20kbit の信号速度でデータを交換するためのものです。これらのデバイスのスイッチング速度は十分に高速であり、より小さい容量性負荷 (より短いケーブル) で最大 120kbit のレートをサポートできます。ケーブルとインターフェイス回路の両端に設計制御を使用しない場合、高い信号速度での相互運用性は期待できません。最大 120kbit の信号速度での相互運用性を実現するには、TIA/EIA-423-B (ITU V.10) および TIA/EIA-422-B (ITU V.11) 規格の使用をお勧めします。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
GD65232 GD75232	SSOP (DB, 20)	7.2mm × 7.8mm
	SOIC (DW, 20)	12.8mm × 10.3mm
	PDIP (N, 20)	24.33mm × 9.4mm
	TSSOP (PW, 20)	6.5mm × 6.4mm

- (1) 詳細については、[セクション 10](#) を参照してください。
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

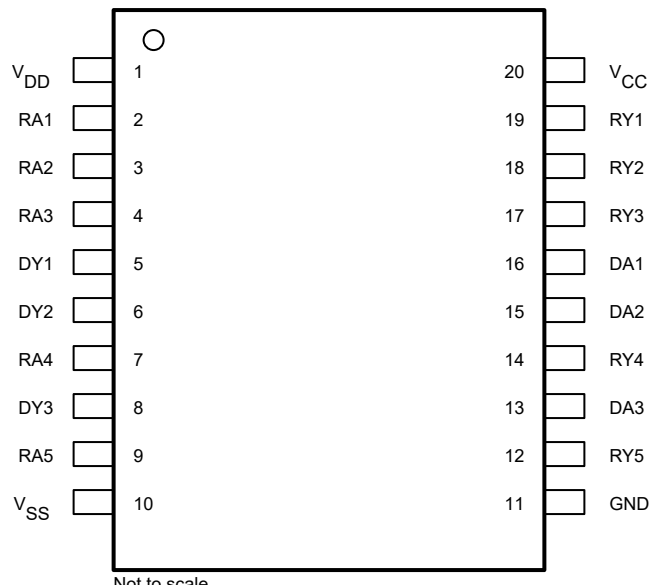


論理図 (正論理)

Table of Contents

1 特長	1	5.10 Typical Characteristics Receiver.....	9
2 アプリケーション	1	6 Parameter Measurement Information	10
3 概要	1	7 Application and Implementation	12
4 Pin Configuration and Functions	3	7.1 Application Information.....	12
5 Specifications	4	7.2 Schematic.....	13
5.1 Absolute Maximum Ratings.....	4	8 Device and Documentation Support	14
5.2 Recommended Operating Conditions.....	4	8.1 ドキュメントの更新通知を受け取る方法.....	14
5.3 Thermal Information.....	5	8.2 サポート・リソース.....	14
5.4 Supply Currents over Recommended Operating Free-air Temperature Range.....	5	8.3 商標.....	14
5.5 Electrical Characteristics, Driver.....	6	8.4 静電気放電に関する注意事項.....	14
5.6 Switching Characteristics, Driver.....	6	8.5 用語集.....	14
5.7 Electrical Characteristics, Receiver.....	7	9 Revision History	14
5.8 Switching Characteristics, Receiver.....	7	10 Mechanical, Packaging, and Orderable Information	14
5.9 Typical Characteristics Driver.....	8		

4 Pin Configuration and Functions



**図 4-1. DB, DW, N, OR PW Package
(Top View)**

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
V _{DD}	1	–	Positive RS232 Power Supply
RA1	2	I	RS232 Input
RA2	3	I	RS232 Input
RA3	4	I	RS232 Input
DY1	5	O	RS232 Output
DY2	6	O	RS232 Output
RA4	7	I	RS232 Input
DY3	8	O	RS232 Output
RA5	9	I	RS232 Input
V _{SS}	10	–	Negative RS232 Power Supply
GND	11	–	Ground
RY5	12	O	TTL Output
DA3	13	I	TTL Input
RY4	14	O	TTL Output
DA2	15	I	TTL Input
DA1	16	I	TTL Input
RY3	17	O	TTL Output
RY2	18	O	TTL Output
RY1	19	O	TTL Output
V _{CC}	20	–	Device Power Supply for TTL

(1) Signal Types: I = Input, O = Output, I/O = Input or Output.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted) ⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage (see ⁽²⁾)		10	V
V _{DD}			15	V
V _{SS}			–15	V
V _I	Input voltage range, Driver	–15	7	V
	Input voltage range, Receiver	–30	30	V
V _O	Driver output voltage range	–15	15	V
I _{OL}	Receiver low-level output current		20	mA
T _J	Operating virtual junction temperature		150	°C
T _{stg}	Storage temperature range	–65	150	°C

(1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

(2) All voltages are with respect to the network ground terminal

5.2 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
V _{DD}	Supply voltage (see ⁽¹⁾)		7.5	9	15	V
V _{SS}	Supply voltage (see ⁽¹⁾)		–7.5	–9	–15	V
V _{CC}	Supply voltage (see ⁽¹⁾)		4.5	5	5.5	V
V _{IH}	High-level input voltage (driver only)		1.9			V
V _{IL}	Low-level input voltage (driver only)				0.8	V
I _{OH}	High-level output current	Driver			–6	mA
		Receiver			–0.5	
I _{OL}	Low-level output current	Driver			6	mA
		Receiver			16	
T _A	Operating free-air temperature	GD65232	–40		85	°C
		GD75232	0		70	

(1) When powering up the GD65232 and GD75232, the following sequence should be used:

- V_{SS}, V_{DD}, V_{CC}, I/Os

Applying V_{CC} before V_{DD} may allow large currents to flow, causing damage to the device. When powering down the GD65232 and GD75232, the reverse sequence should be used

5.3 Thermal Information

THERMAL METRIC ⁽¹⁾		DB (SSOP)	DW (SOIC)	N (PDIP)	PW (TSSOP)	UNIT
		20 PINS	20 PINS	20 PINS	20 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	92.0	73.0	59.8	97.5	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	54.3	40.2	39.1	41.3	°C/W
R _{θJB}	Junction-to-board thermal resistance	57.0	45.7	36.1	59.2	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	14.7	12.8	18.3	4.1	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	56.3	45.0	35.7	58.6	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

5.4 Supply Currents over Recommended Operating Free-air Temperature Range

over operating free-air temperature range (unless otherwise noted)

	PARAMETER	TEST CONDITIONS				MIN	MAX	UNIT
I _{DD}	Supply current from V _{DD}	All inputs at 1.9V	No load	V _{DD} = 9V	V _{SS} = -9V		15	mA
				V _{DD} = 12V	V _{SS} = -12V		19	
				V _{DD} = 15V	V _{SS} = -15V		25	
		All inputs at 0.8V	No load	V _{DD} = 9V	V _{SS} = -9V		4.5	
				V _{DD} = 12V	V _{SS} = -12V		5.5	
				V _{DD} = 15V	V _{SS} = -15V		9	
I _{SS}	Supply current from V _{SS}	All inputs at 1.9V	No load	V _{DD} = 9V	V _{SS} = -9V		-15	mA
				V _{DD} = 12V	V _{SS} = -12V		-19	
				V _{DD} = 15V	V _{SS} = -15V		-25	
		All inputs at 0.8V	No load	V _{DD} = 9V	V _{SS} = -9V		-3.2	
				V _{DD} = 12V	V _{SS} = -12V		-3.2	
				V _{DD} = 15V	V _{SS} = -15V		-3.2	
I _{CC}	Supply current from V _{CC}	All inputs at 5V	No load, V _{CC} = 5V	GD65232			38	mA
				GD75232			30	

5.5 Electrical Characteristics, Driver

over operating free-air temperature range $V_{DD} = 9V$, $V_{SS} = -9V$, $V_{CC} = 5V$ (unless otherwise noted)

	PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
V_{OH}	High-level output voltage	$V_{IL} = 0.8V$,	$R_L = 3k\Omega$,	See Figure 6-1	6	7.5		V
V_{OL}	Low-level output voltage (see (1))	$V_{IH} = 1.9V$,	$R_L = 3k\Omega$,	See Figure 6-1		-7.5	-6	V
I_{IH}	High-level input current	$V_I = 5V$,	See Figure 6-2				10	μA
I_{IL}	Low-level input current	$V_I = 0$,	See Figure 6-2				-1.6	mA
$I_{OS(H)}$	High-level short-circuit output current (see (2))	$V_{IL} = 0.8V$,	$V_O = 0$,	See Figure 1	-4.5	-12	-19.5	mA
$I_{OS(L)}$	Low-level short-circuit output current	$V_{IH} = 2V$,	$V_O = 0$,	See Figure 6-1	4.5	12	19.5	mA
r_o	Output resistance (see (3))	$V_{CC} = V_{DD} = V_{SS} = 0$,		$V_O = -2V$ to $2V$	300			Ω

- (1) The algebraic convention, where the more positive (less negative) limit is designated as maximum, is used in this data sheet for logic levels only (that is, if -10V is maximum, the typical value is a more negative voltage).
- (2) Output short-circuit conditions must maintain the total power dissipation below absolute maximum ratings.
- (3) Test conditions are those specified by TIA/EIA-232-F and as listed above

5.6 Switching Characteristics, Driver

over operating free-air temperature range $V_{CC} = 5V$, $V_{DD} = 12V$, $V_{SS} = -12V$, $T_A = 25^\circ C$ (unless otherwise noted)

	PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low- to high-level output	$R_L = 3k\Omega$ to $7k\Omega$,	$C_L = 15pF$,	See Figure 6-3		315	500	ns
t_{PHL}	Propagation delay time, high- to low-level output	$R_L = 3k\Omega$ to $7k\Omega$,	$C_L = 15pF$,	See Figure 6-3		75	175	ns
t_{TLH}	Transition time, low- to high-level output	$R_L = 3k\Omega$ to $7k\Omega$	$C_L = 15pF$,	See Figure 6-3		60	100	ns
			$C = 2500pF$,	See Figure 6-3 and (1)		1.7	2.5	μs
t_{THL}	Transition time, high- to low-level output	$R_L = 3k\Omega$ to $7k\Omega$	$C_L = 15pF$,	See Figure 6-3		40	75	ns
			$C_L = 2500pF$,	See Figure 6-3 and (1)		1.5	2.5	μs

- (1) Measured between $\pm 3V$ and $\pm 3V$ points of the output waveform (TIA/EIA-232-F conditions); all unused inputs are tied either high or low.

5.7 Electrical Characteristics, Receiver

over operating free-air temperature range (unless otherwise noted)

	PARAMETER	TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT
V _{IT+}	Positive-going input threshold voltage	T _A = 25°C, See Figure 6-5	1.75	1.9	2.3	V
		T _A = 0°C to 70°C, See Figure 6-5	1.55		2.3	
V _{IT-}	Negative-going input threshold voltage		0.75	0.97	1.25	V
V _{hys}	Input hysteresis voltage (V _{IT+} – V _{IT-})		0.5			V
V _{OH}	High-level output voltage	I _{OH} = –0.5mA	2.6	4	5	V
		V _{IH} = 0.75V Inputs open	2.6			
V _{OL}	Low-level output voltage	I _{OL} = 10mA, V _I = 3V		0.2	0.45	V
I _{IH}	High-level input current	V _I = 25V, See Figure 6-5	GD65232 3.6		11	mA
			GD75232 3.6		8.3	
		V _I = 3V, See Figure 6-5	0.43			
I _{IL}	Low-level input current	V _I = –25V, Figure 6-5	GD65232 –3.6		–11	mA
			GD75232 –3.6		–8.3	
		V _I = –3V, See Figure 6-5	–0.43			
I _{OS}	Short-circuit output current	See Figure 6-4		–3.4	–12	mA

(1) All typical values are at T_A = 25°C, V_{CC} = 5 V, V_{DD} = 9 V, and V_{SS} = –9 V.

5.8 Switching Characteristics, Receiver

over operating free-air temperature range V_{CC} = 5V, V_{DD} = 12V, V_{SS} = –12V, T_A = 25°C (unless otherwise noted)

	PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	Propagation delay time, low-to high-level output	C _L = 50pF, R _L = 5kΩ, See Figure 6-6		107	250	ns
t _{PHL}	Propagation delay time, high-to low-level output			42	150	ns
t _{TLH}	Transition time, low- to high-level output			175	350	ns
t _{THL}	Transition time, high- to low-level output			16	60	ns
t _{PLH}	Propagation delay time, low-to high-level output	C _L = 15pF, R _L = 1.5kΩ, See Figure 6-6		100	160	ns
t _{PHL}	Propagation delay time, high-to low-level output			60	100	ns
t _{TLH}	Transition time, low- to high-level output			90	175	ns
t _{THL}	Transition time, high- to low-level output			15	50	ns

5.9 Typical Characteristics Driver

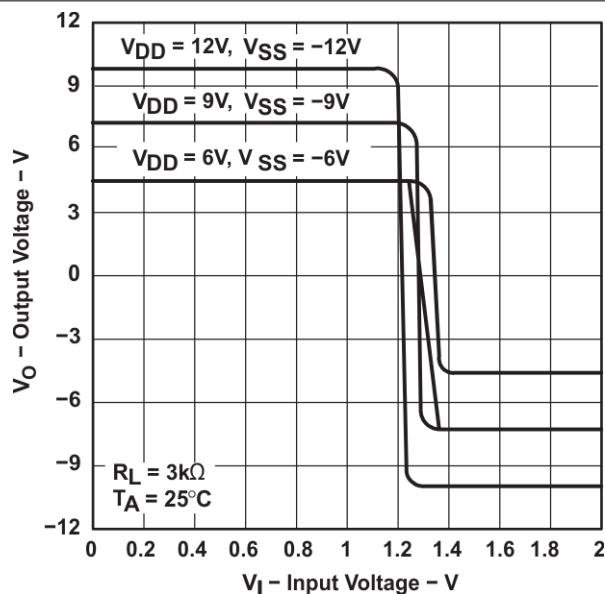


図 5-1. Voltage Transfer Characteristics

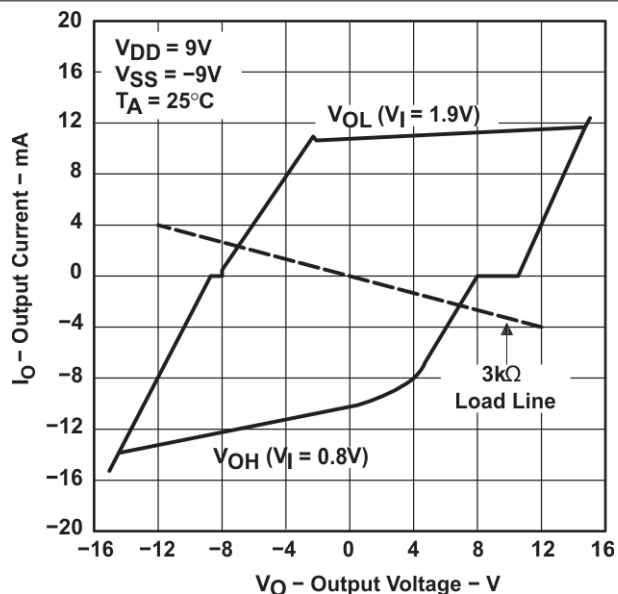


図 5-2. Output Current vs Output Voltage

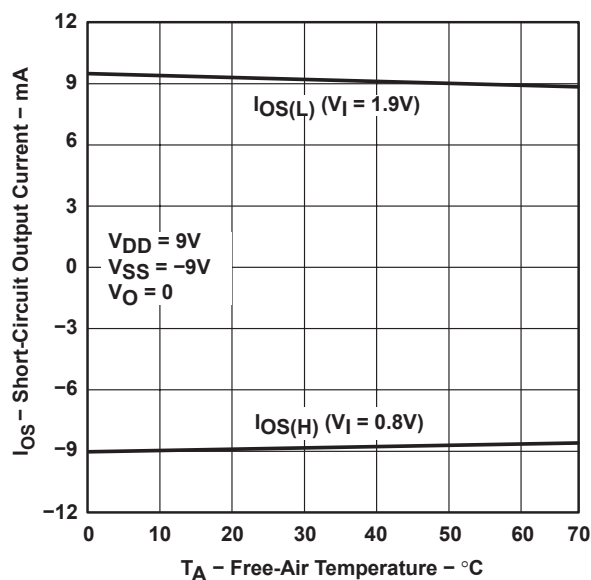


図 5-3. Short-Circuit Output Current vs Free-Air Temperature

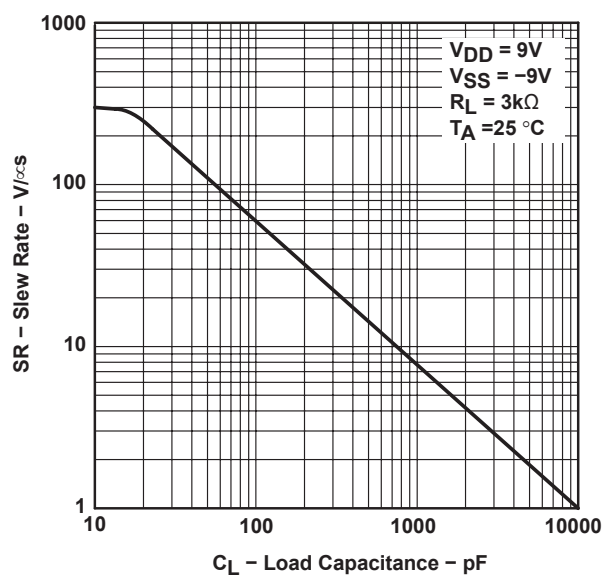


図 5-4. Slew Rate vs Load Capacitance

5.10 Typical Characteristics Receiver

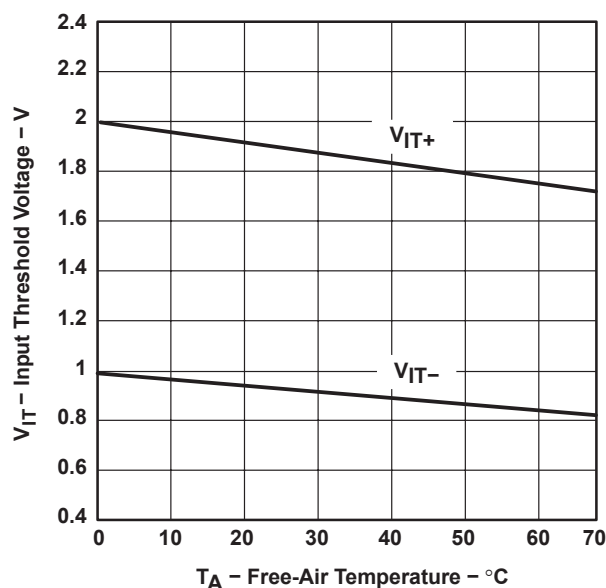


図 5-5. Input Threshold Voltage vs Free-Air Temperature

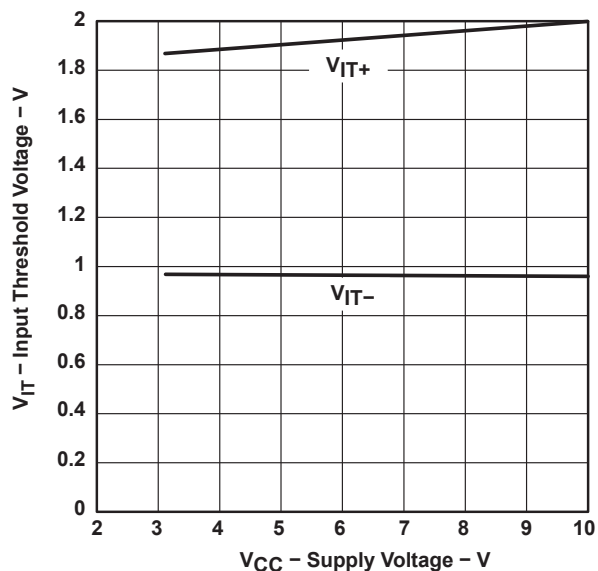
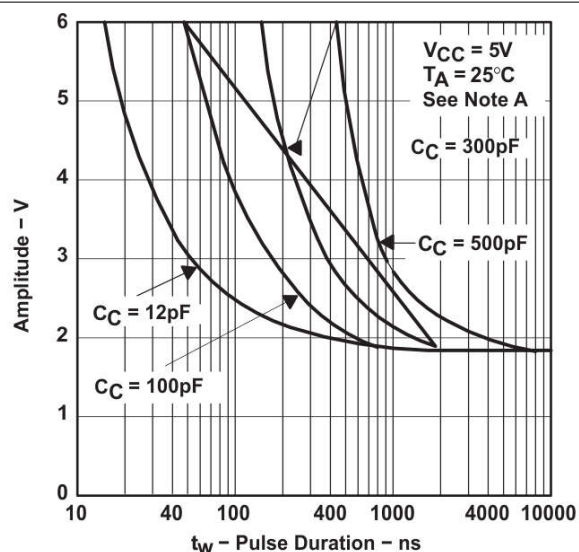


図 5-6. Input Threshold Voltage vs Supply Voltage



NOTE A: This figure shows the maximum amplitude of a positive-going pulse that, starting from 0V, does not cause a change of the output level.

図 5-7. Noise Rejection

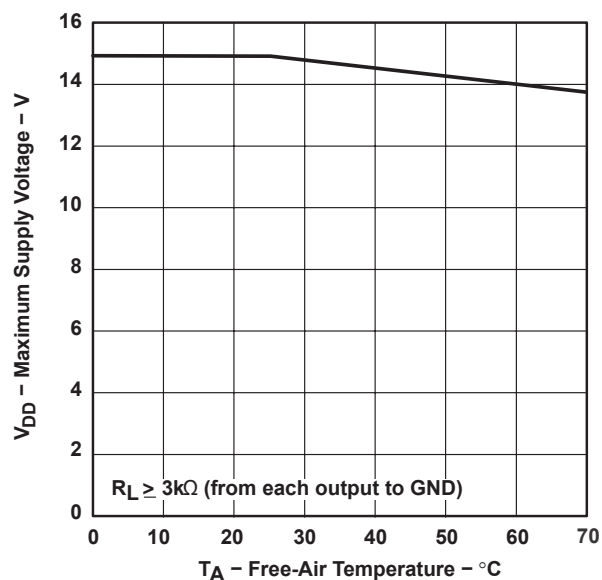


図 5-8. Maximum Supply Voltage vs Free-Air Temperature

6 Parameter Measurement Information

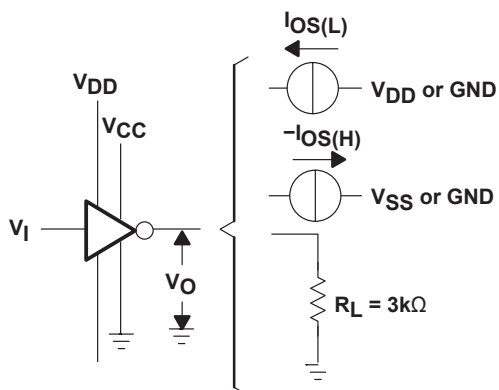


図 6-1. Driver Test Circuit for V_{OH} , V_{OL} , $I_{OS(H)}$, and $I_{OS(L)}$

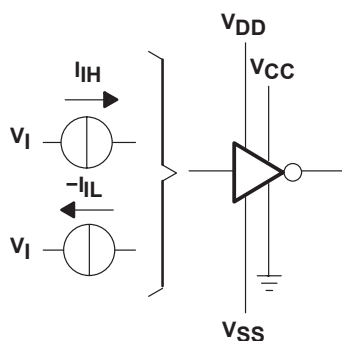
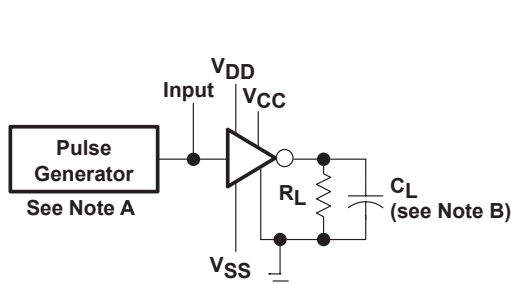
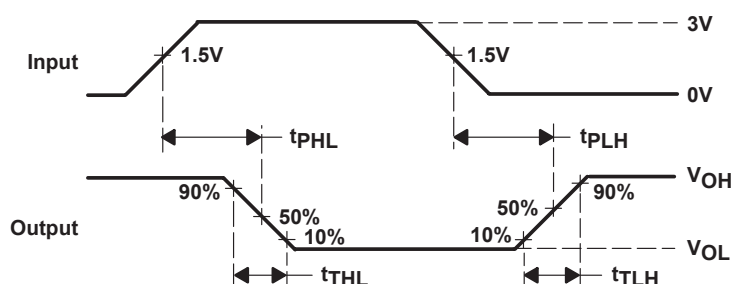


図 6-2. Driver Test Circuit for I_{IH} and I_{IL}



TEST CIRCUIT



VOLTAGE WAVEFORMS

NOTES: A. The pulse generator has the following characteristics: $t_W = 25\mu s$, $PRR = 20kHz$, $Z_O = 50\Omega$, $t_r = t_f < 50ns$.
 B. C_L includes probe and jig capacitance.

図 6-3. Driver Test Circuit and Voltage Waveforms

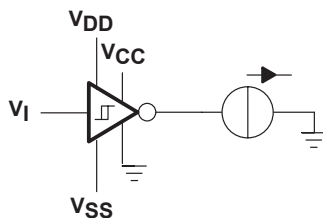


図 6-4. Receiver Test Circuit for I_{OS}

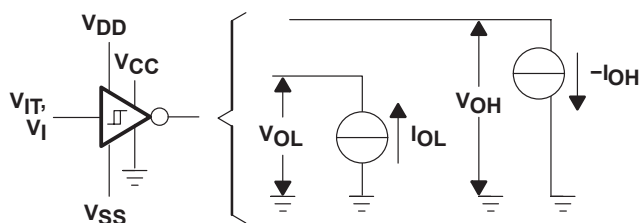
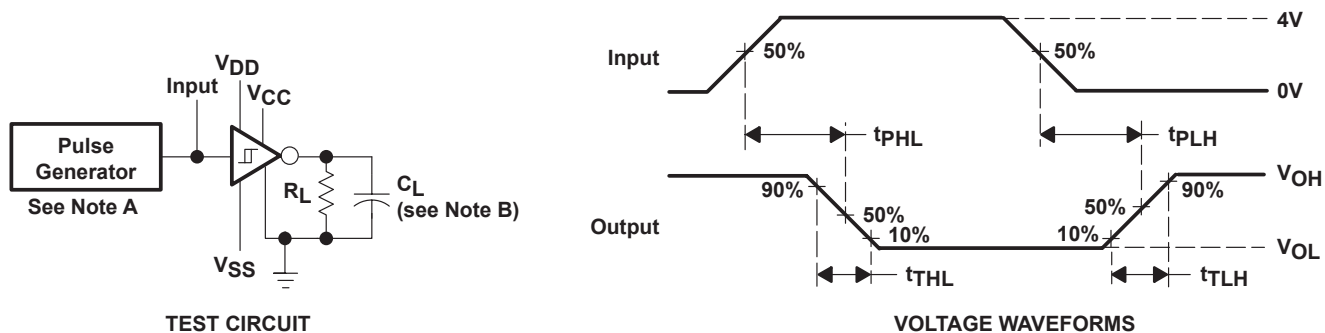


図 6-5. Receiver Test Circuit for V_{IT} , V_{OH} , and V_{OL}



NOTES: A. The pulse generator has the following characteristics: $t_W = 25\mu s$, $PRR = 20kHz$, $Z_O = 50\Omega$, $t_r = t_f < 50ns$.
B. C_L includes probe and jig capacitance.

図 6-6. Receiver Propagation and Transition Times

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Application Information

Diodes placed in series with the VDD and VSS leads protect the GD65232 and GD75232 in the fault condition in which the device outputs are shorted to $\pm 15\text{V}$ and the power supplies are at low and provide low-impedance paths to ground, see 図 7-1.

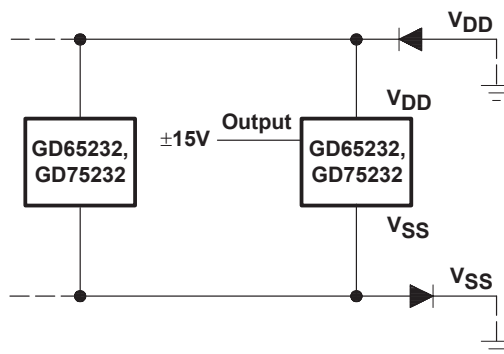


図 7-1. Power-Supply Protection to Meet Power-Off Fault Conditions of TIA/EIA-232-F

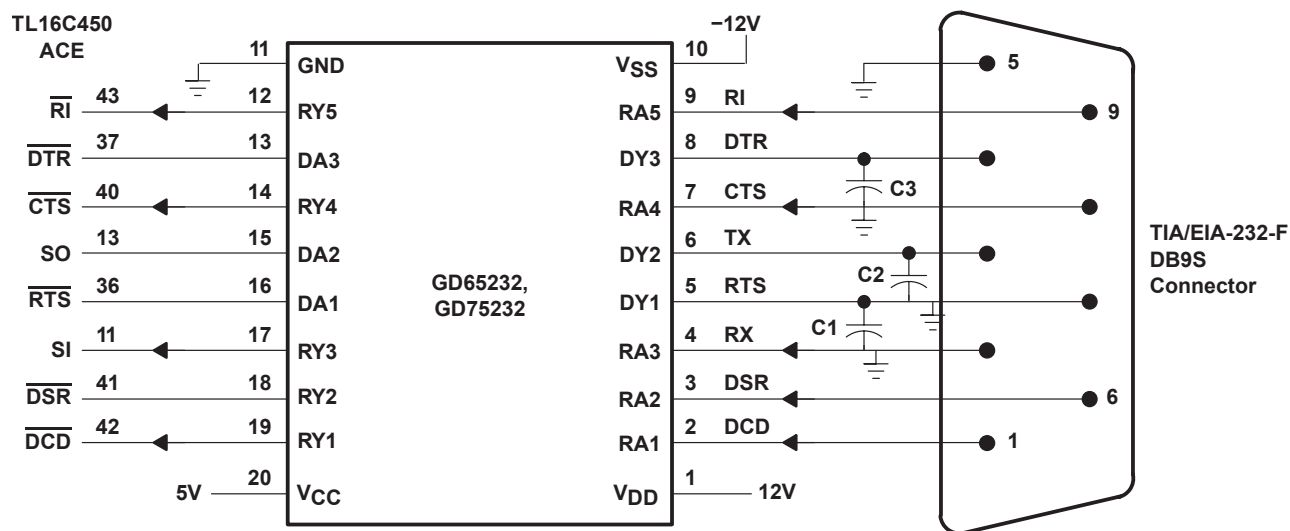
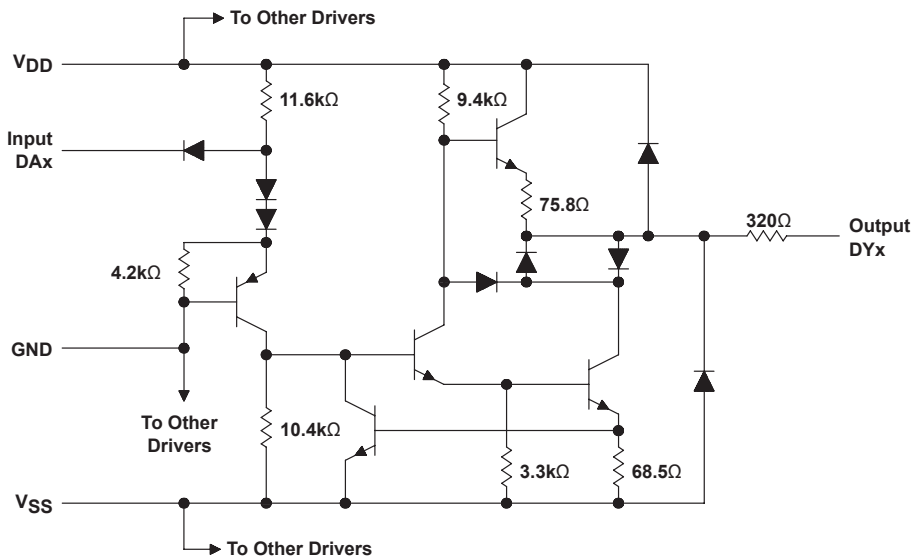


図 7-2. Typical Connection

7.2 Schematic



Resistor values shown are nominal.

Figure 7-3. Schematic (each driver)

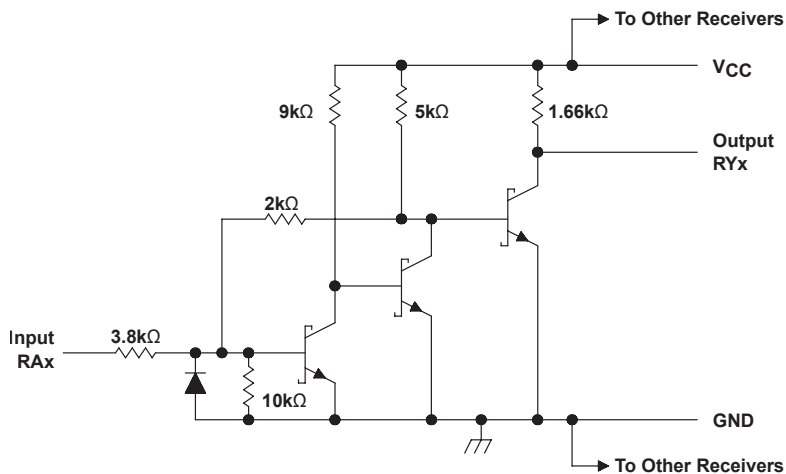


Figure 7-4. Schematic (each receiver)

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision K (August 2012) to Revision L (August 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を変更.....	1
Added the <i>Thermal Information</i> table.....	5

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
GD65232DW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	GD65232
GD65232DW.A	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	GD65232
GD65232DWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	GD65232
GD65232DWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	GD65232
GD65232PWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	GD65232
GD65232PWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	GD65232
GD75232DBR	Active	Production	SSOP (DB) 20	2000 LARGE T&R	Yes	NIPDAU NIPDAU	Level-1-260C-UNLIM	0 to 70	GD75232
GD75232DBR.A	Active	Production	SSOP (DB) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	GD75232
GD75232DW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	GD75232
GD75232DW.A	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	GD75232
GD75232DWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	GD75232
GD75232DWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	GD75232
GD75232DWRG4	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	GD75232
GD75232N	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	GD75232N
GD75232N.A	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	GD75232N
GD75232PWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	GD75232
GD75232PWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	GD75232
GD75232PWRG4	Obsolete	Production	TSSOP (PW) 20	-	-	Call TI	Call TI	0 to 70	GD75232

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

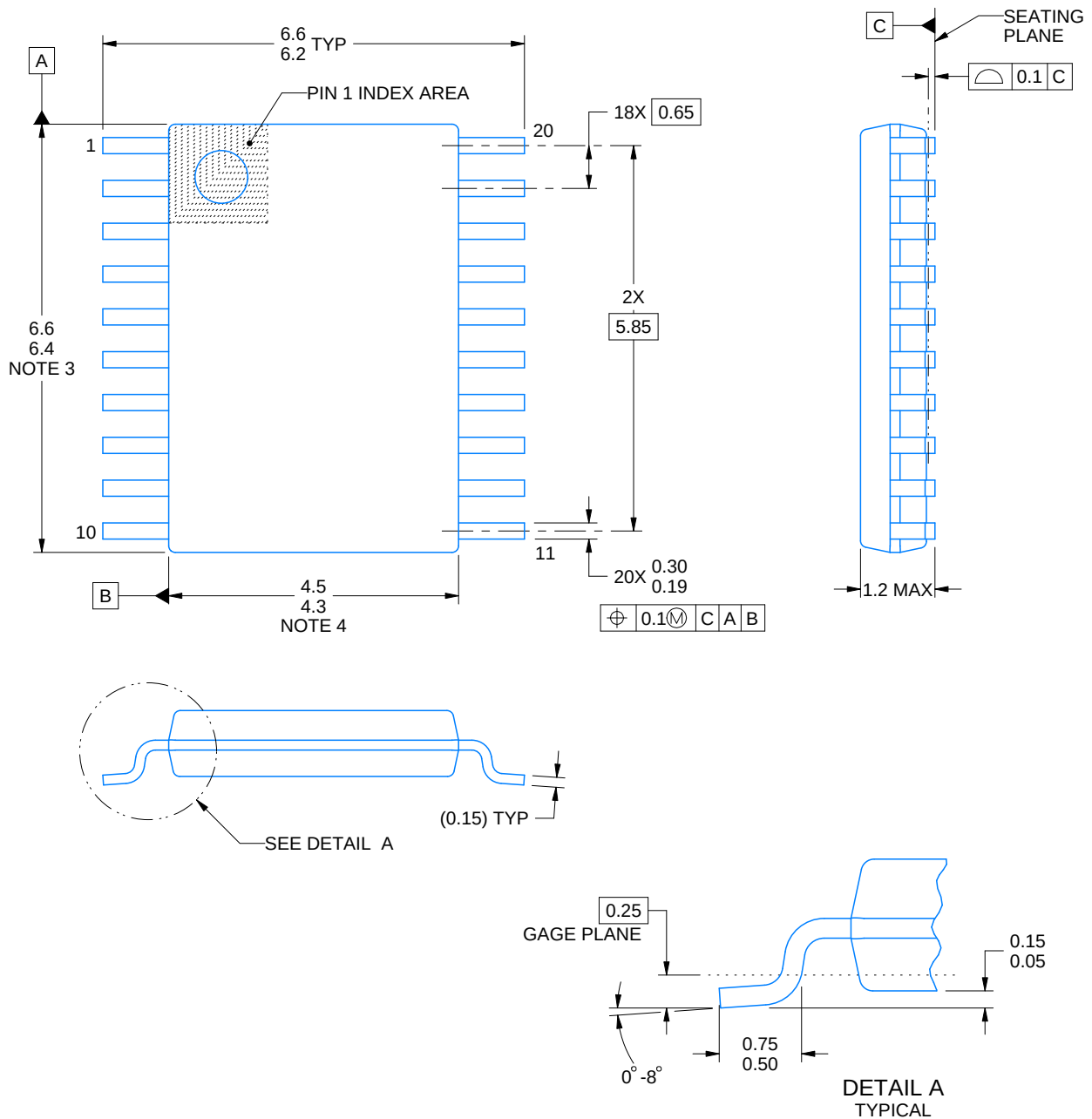
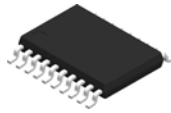
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4220206/A 02/2017

NOTES:

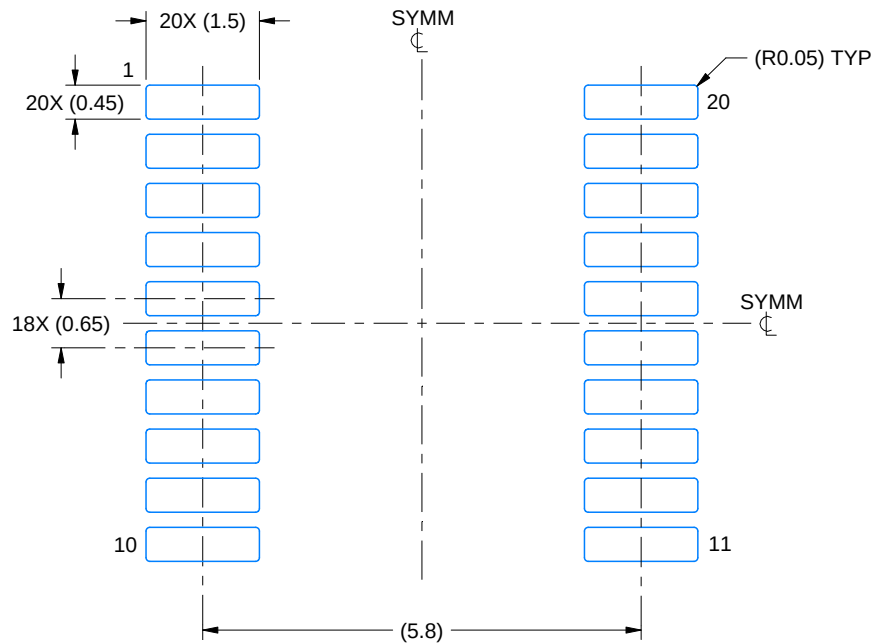
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

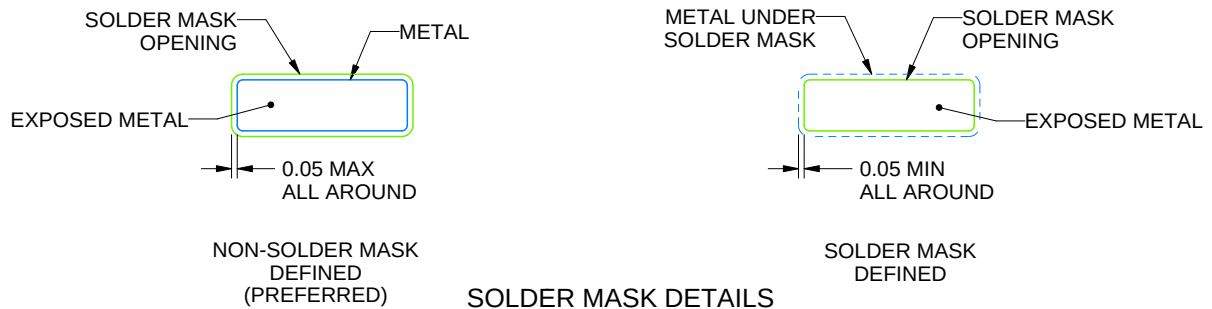
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220206/A 02/2017

NOTES: (continued)

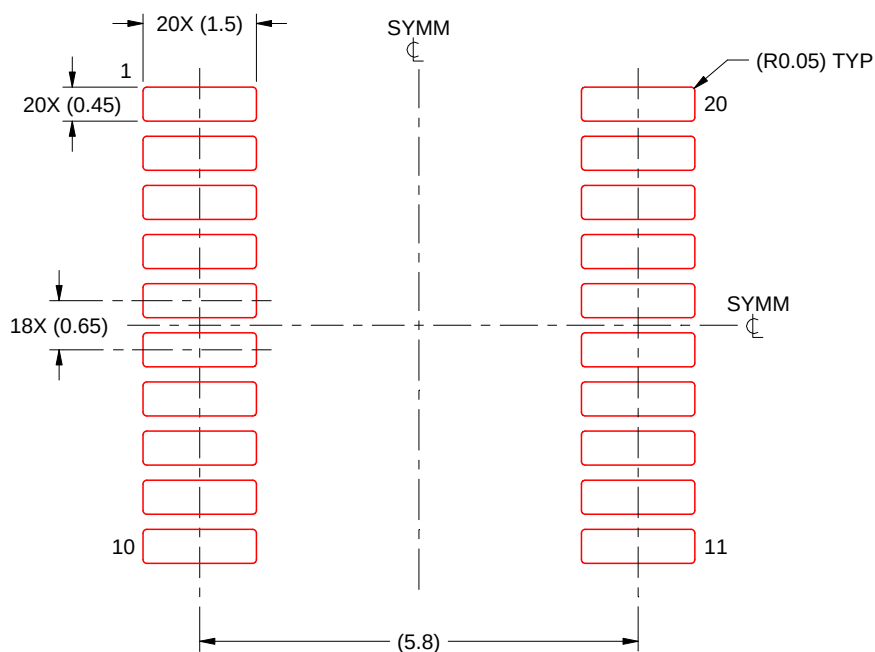
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

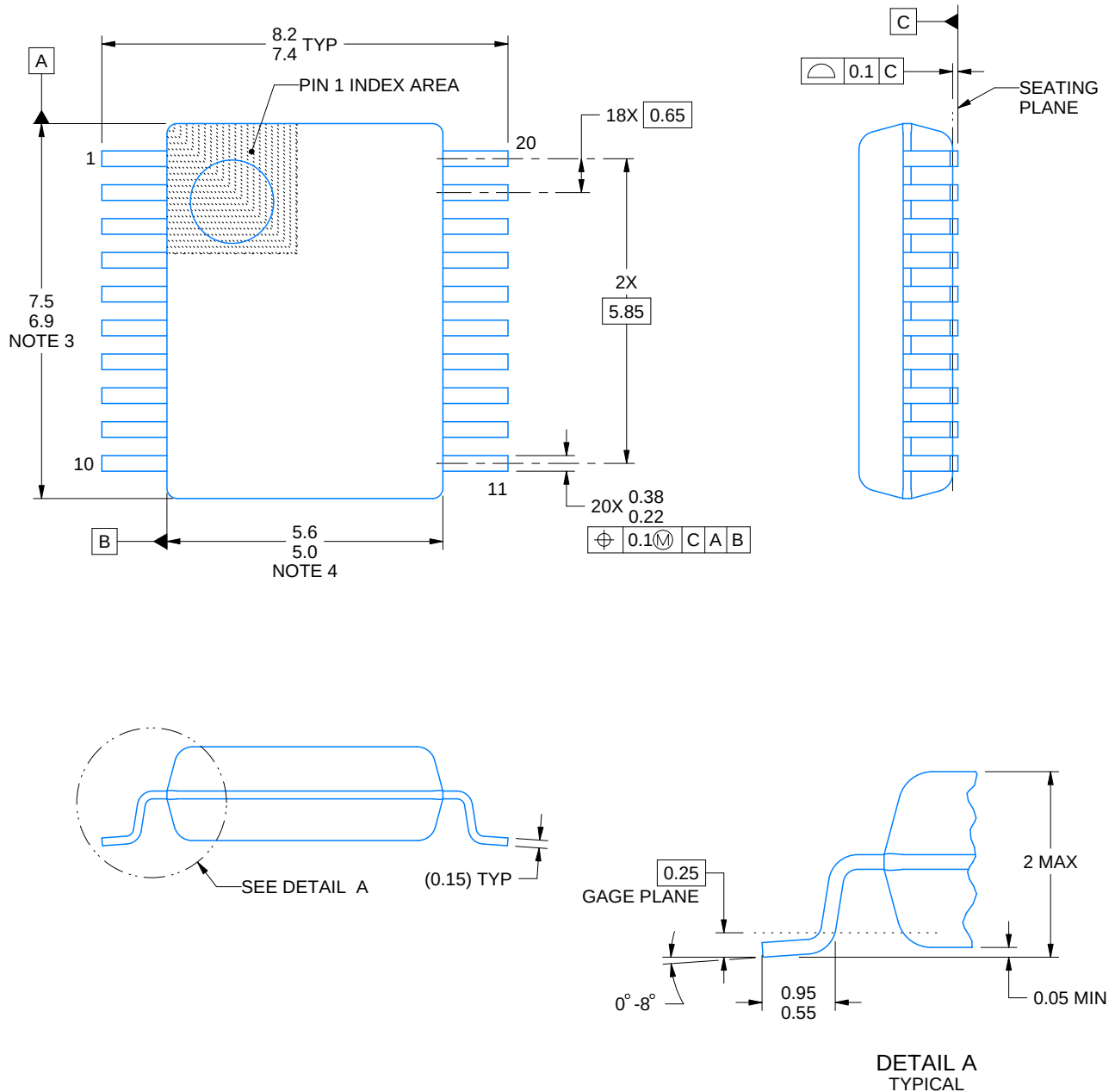
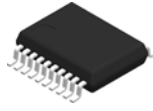


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4214851/B 08/2019

NOTES:

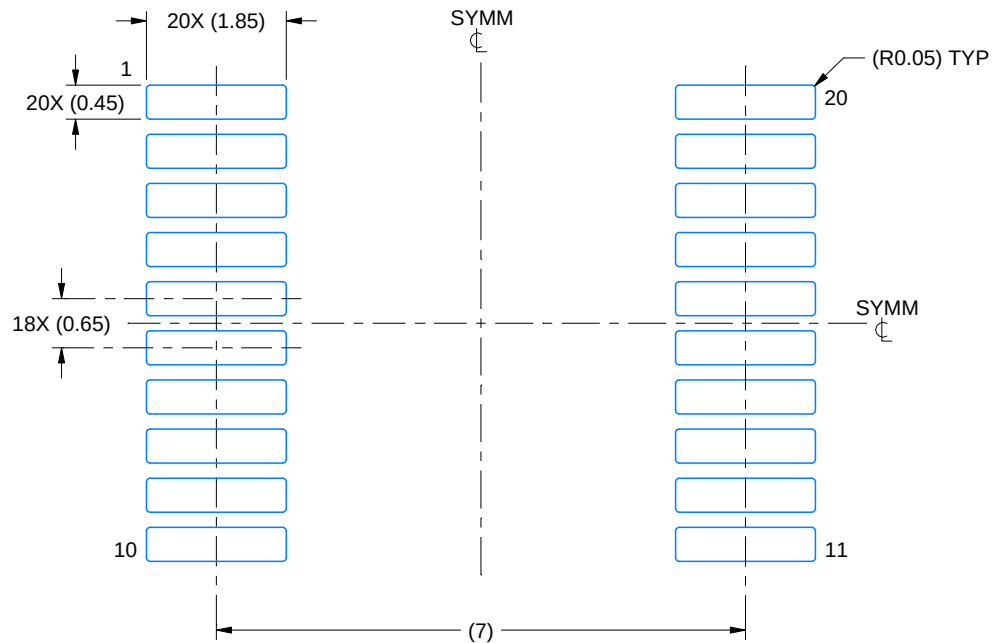
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

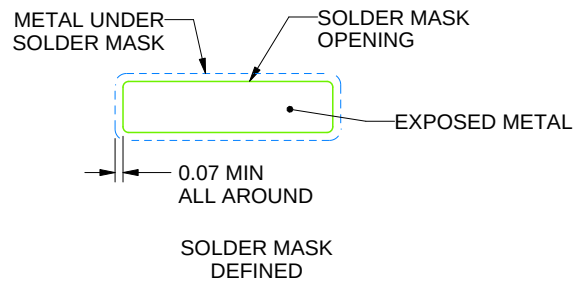
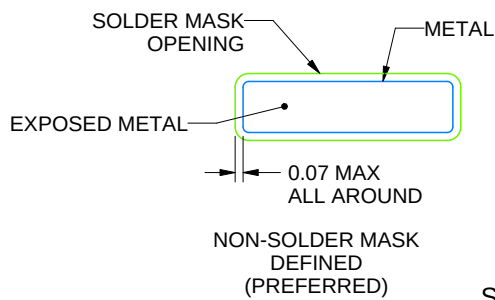
DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

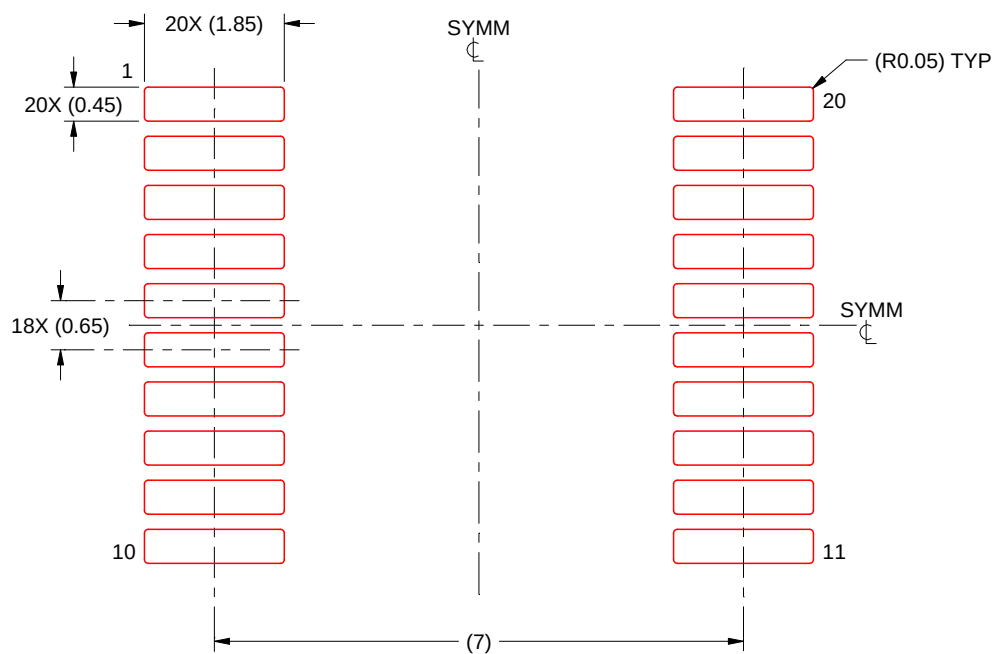
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

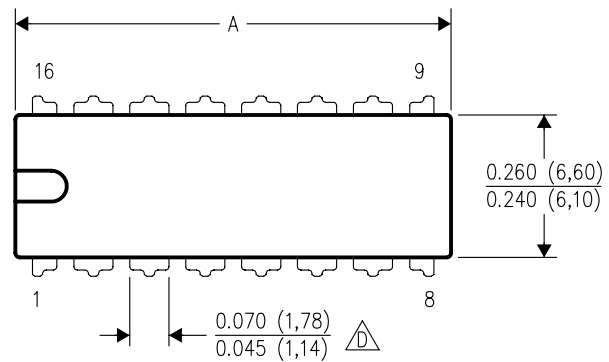
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

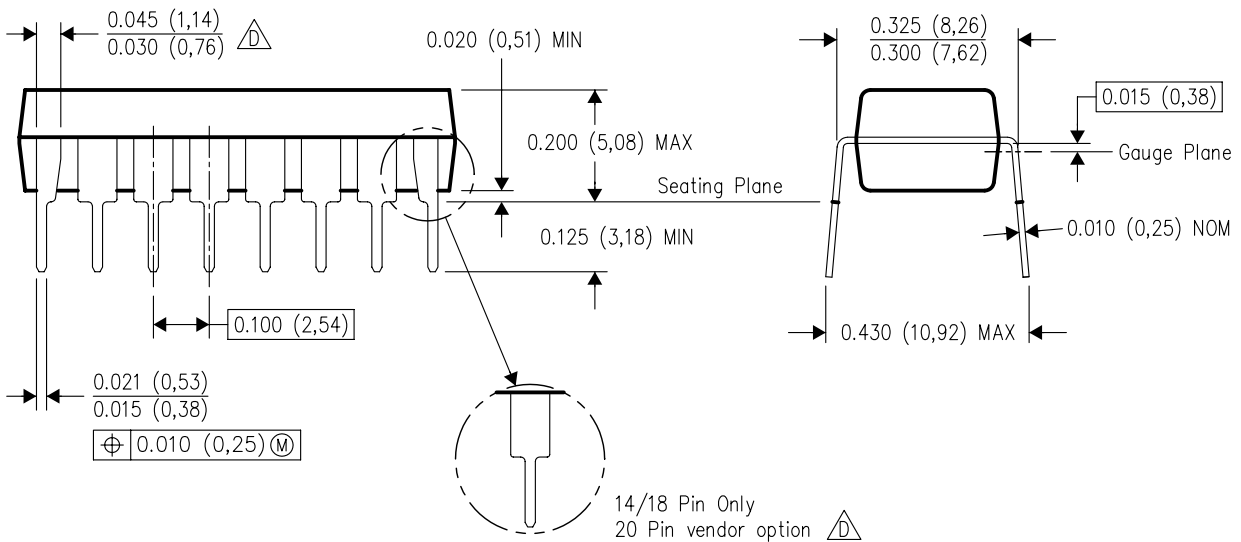
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE

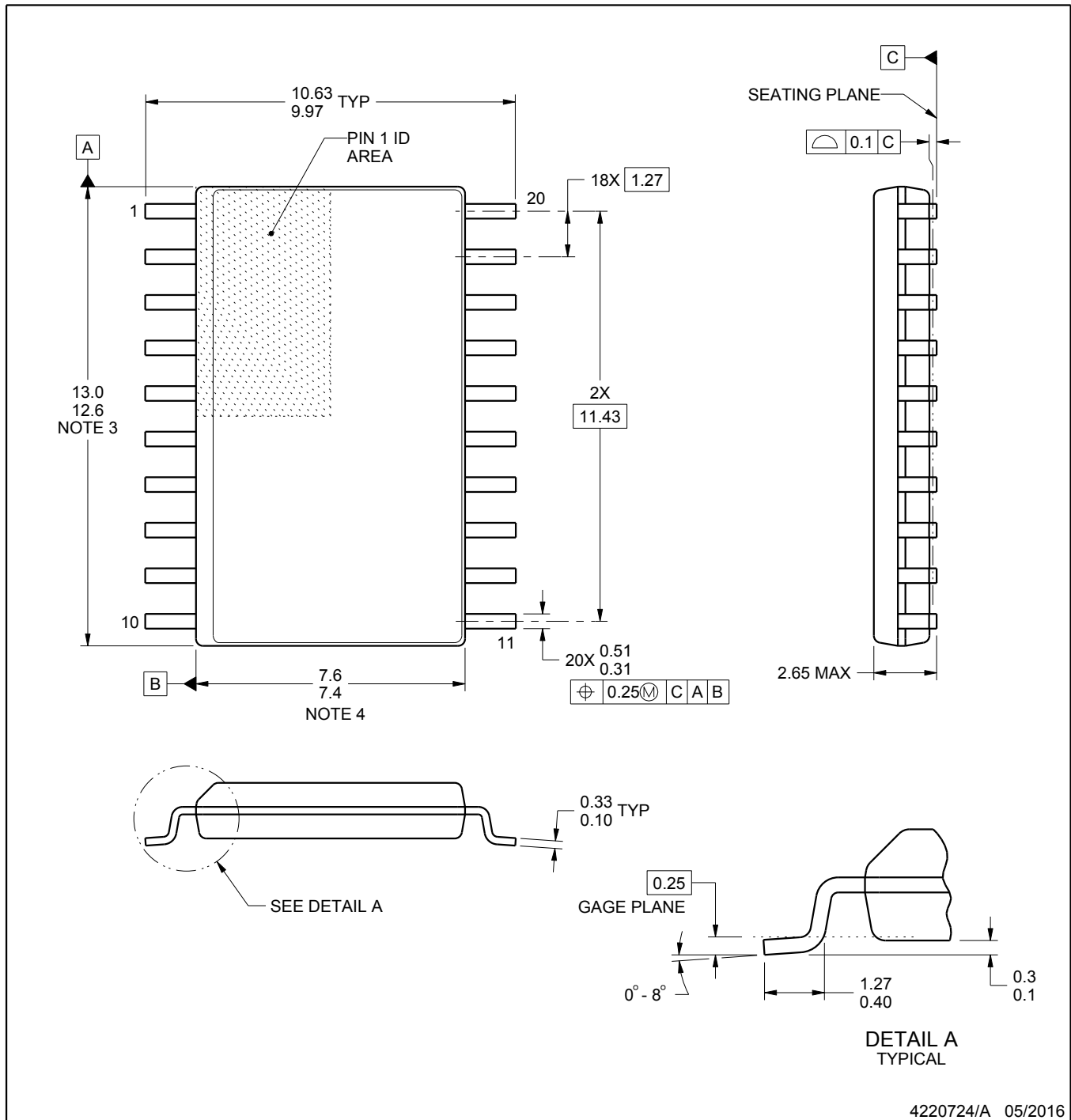
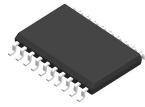


PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.



4220724/A 05/2016

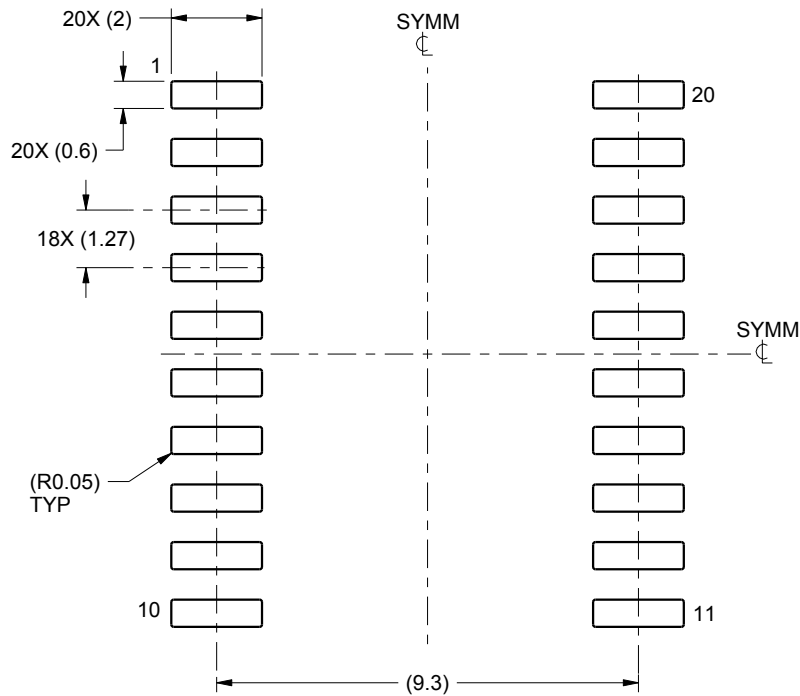
NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

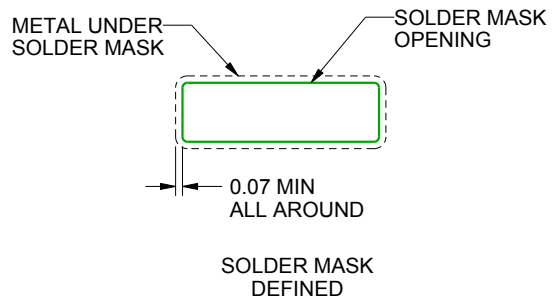
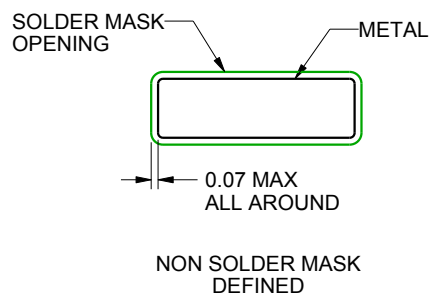
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

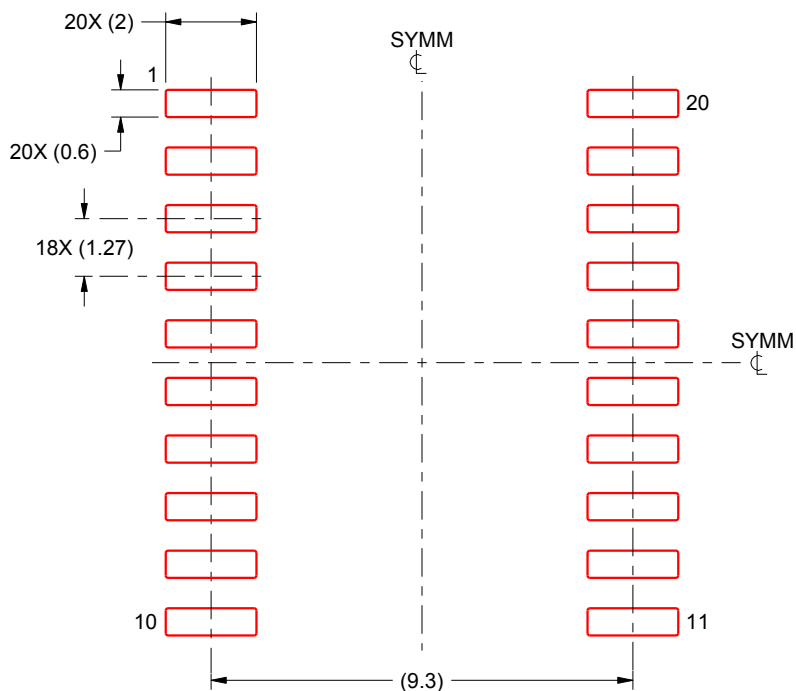
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated