

## F28E12x リアルタイムマイクロコントローラ

### 1 特長

- リアルタイム処理
  - 160MHz C28x 32-bit DSP CPU
  - 320MHz Arm® Cortex®-M7 ベースのデバイスと同等のリアルタイム信号チェーン性能 (F2000™ 制御 MCU の最適化された信号チェーンのリアルタイムベンチマーク) アプリケーションノートを参照)
  - より正確な算術演算のための浮動小数点ユニット (FPU)
- オンチップ メモリ
  - 最大 128KB (64KW) のシングル バンク フラッシュ (ECC 保護)
  - 16KB (8KW) の RAM (パリティ保護)
  - セキュリティ
    - JTAGLOCK
    - ゼロピンブート
    - デュアルゾーンセキュリティ
- クロックおよびシステム制御
  - $\pm 2\%$  精度の 32MHz 内部発振器 (SYSOSC)
  - 水晶発振器または外部クロック入力
  - ウィンドウ付きウォッチドッグ タイマ モジュール
  - クロック消失検出回路
  - デュアルクロック コンパレータ (DCC)
- 3.3V I/O 設計
  - ブラウンアウトリセット (BOR) 回路
- システム ペリフェラル
  - 27 本の個別にプログラム可能な多重化された汎用入出力 (GPIO) ピン (8 本はアナログと共有)
  - アナログ ピン上の 9 のデジタル入力
  - 1 つの 2 チャネルの DMA (Direct Memory Access) コントローラ
  - 強化ペリフェラル割り込み拡張 (ePIE)
  - 多様な低消費電力モード (LPM) のサポート
  - 固有の識別 (UID) 番号
- 通信ペリフェラル
  - 1 つの I2C (Inter-integrated Circuit) インターフェイス
  - 1 つの高速 (20Mbps) ユニバーサル非同期レシーバ / トランスマッタ (UART)
  - 1 つのシリアルペリフェラル インターフェイス (SPI) ポート
  - 2 つの UART 互換シリアル通信インターフェイス (SCI)

- アナログ システム
  - 1 つの 8.9MSPS、12 ビット A/D コンバータ (ADC)
    - 最大 17 の外部チャネル (8 は GPIO と共有)
    - 3 つの内蔵後処理ブロック (PPB)
  - 3 つのウィンドウ付きコンパレータ (CMPSS\_LITE) (有効ビット数 10 ビットのリファレンス DAC 付き)
    - デジタル グリッチ フィルタ
    - 1 つの DAC 出力 (CMP3\_LITE\_DACL) を 1 つのピンで利用可能
  - 1 つのプログラマブルゲインアンプ (PGA)
    - ユニティゲインのサポート
    - 反転および非反転ゲイン モードのサポート
    - 3 対 1 マルチプレクサによる入力
    - 出力フィルタ処理をプログラム可能
- 拡張制御ペリフェラル
  - 2 つの MCPWM モジュール、合計 8 つの PWM チャネル (1 つの 6 チャネル MCPWM モジュールと 1 つの 2 チャネル モジュール)
  - 1 つの拡張キャプチャ (eCAP) モジュール
  - 1 つの拡張直交エンコーダ パルス (eQEP) モジュール、CW/CCW 動作モードをサポート
- SW AES 用 CMAC キー (128 ビット)
- パッケージオプション:
  - 48 ピンの薄型クワッド フラットパック (LQFP) [接尾辞 PT]
  - 32 ピンの薄型クワッド フラットパック (LQFP) [接尾辞 VFC]
  - 32 ピンの超薄型クワッド フラットパック リードなし (VQFN) [接尾辞 RHB]
- 温度オプション:
  - 接合部温度 ( $T_J$ ):  $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$

### 2 アプリケーション

- 家電製品
  - エアコン室外機
  - 洗濯機 / 乾燥機
  - ロボット芝刈り機
  - 商用テレコム整流器
  - 家電製品向けのポンプとファン
  - 家電製品: コンプレッサ
  - コードレスハンディタイプ園芸用器具
  - コードレス電動工具
  - 芝刈り機
  - 商用電源で動作する電動工具
  - 換気扇フード
  - 食器洗い機



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

- 冷蔵庫 / 冷凍庫
- エアコン室内機
- ロボット掃除機
- 空気清浄機と加湿器
- コードレス掃除機
- ミキサー、ブレンダー、フード プロセッサ
- 住宅用ファンとリビング ファン
- ビル オートメーション
  - 自動ドア / ゲート
  - HVAC (空調) モーター制御
- ファクトリ オートメーション / 制御
  - アクチュエータ
  - 自動仕分け機器
- 移動型ロボットのモーター コントローラ
  - 繊維機械
- モータ ドライブ
  - AC ドライブ制御モジュール
  - AC ドライブ電力段モジュール
  - リニア モーターの電力段
- ドローンのプロペラ ESC (電子速度コントローラ)
- サーボ ドライブ制御モジュール
- サーボ ドライブの電力段モジュール
- AC 入力 BLDC モーター ドライブ
- DC 入力 BLDC モーター ドライブ
- 閉ループ ステッパー
- 開ループ ステッパー
- 産業用電源
  - 産業用 AC-DC
- ポータブル電源
  - UPS
- 単相ライン インタラクティブ UPS
  - 単相オンライン UPS
- グリッド インフラ
  - マイクロ インバータ
  - 緊急遮断機能
  - ソーラー充電コントローラ
  - 太陽光発電オプティマイザ

### 3 説明

F28E12x は、モーター ドライブ用アプリケーションの効率を高めるために設計されたスケーラブルな超低レイテンシ デバイスである C2000™ リアルタイム マイクロコントローラ ファミリの製品です。

リアルタイム制御サブシステムは、テキサス インスツルメンツの 32 ビット C28x DSP コアをベースにしており、オンチップ フラッシュまたは SRAM から実行される固定小数点コードに対して 160MHz の信号処理性能を発揮します。

F28E12x は最大 128KB (64KW) のフラッシュ メモリをサポートしています。最大 16KB (8KW) のオンチップ SRAM も利用でき、フラッシュ メモリを補完できます。

F28E12x リアルタイム マイクロコントローラ (MCU) に内蔵された高性能アナログ ブロックは、リアルタイム シグナル チェーン性能を最適化するために、処理および PWM ユニットと密結合されています。8 の PWM チャネルにより、3 相インバータから力率補正とその他の先進マルチレベル電源トポロジまで、各種出力段を制御できます。

インターフェイスは、各種の業界標準通信ポート (SPI、SCI、I2C、UART など) によりサポートされており、最適な信号配置を行うための複数のピン多重化方法を備えています。

C2000 MCU をお客様のリアルタイム制御システムに適した選択肢にしている機能について詳しく知るには、『C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』をご覧いただくとともに、C2000 リアルタイム マイクロコントローラ のページにアクセスしてください。

『C2000™ リアルタイム制御マイコン (MCU) を使用した設計の開始』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポートリソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。LAUNCHXL-F28E12X 開発キットをご覧になり、C2000Ware をダウンロードしてください。

**パッケージ情報**

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>	本体サイズ(公称)
F28E120SC	PT (LQFP、48)	9mm × 9mm	7mm × 7mm
	VFC (LQFP、32)	9mm × 9mm	7mm × 7mm
	RHB (VQFN、32)	5mm × 5mm	5mm × 5mm
F28E120SB	PT (LQFP、48)	9mm × 9mm	7mm × 7mm
	VFC (LQFP、32)	9mm × 9mm	7mm × 7mm
	RHB (VQFN、32)	5mm × 5mm	5mm × 5mm

- (1) 詳細については、未定、「メカニカル、パッケージ、および注文情報」を参照してください。  
(2) パッケージ サイズ(長さ × 幅)は公称値であり、該当する場合はピンも含まれます。

**製品情報**

部品番号 <sup>(1)</sup>	パッケージ オプション	パッケージ オプション フラッシュ サイズ	内部電圧レギュレータ	外部電圧レギュレータ
F28E120SC	48 PT 32 VFC 32 RHB	128KB	あり	なし
F28E120SB	48 PT 32 VFC 32 RHB	64KB	あり	なし

- (1) これらのデバイスの詳細については、「デバイスの比較」の表を参照してください。

### 3.1 機能ブロック図

「機能ブロック図」に、CPU システムおよび関連ペリフェラルを示します。

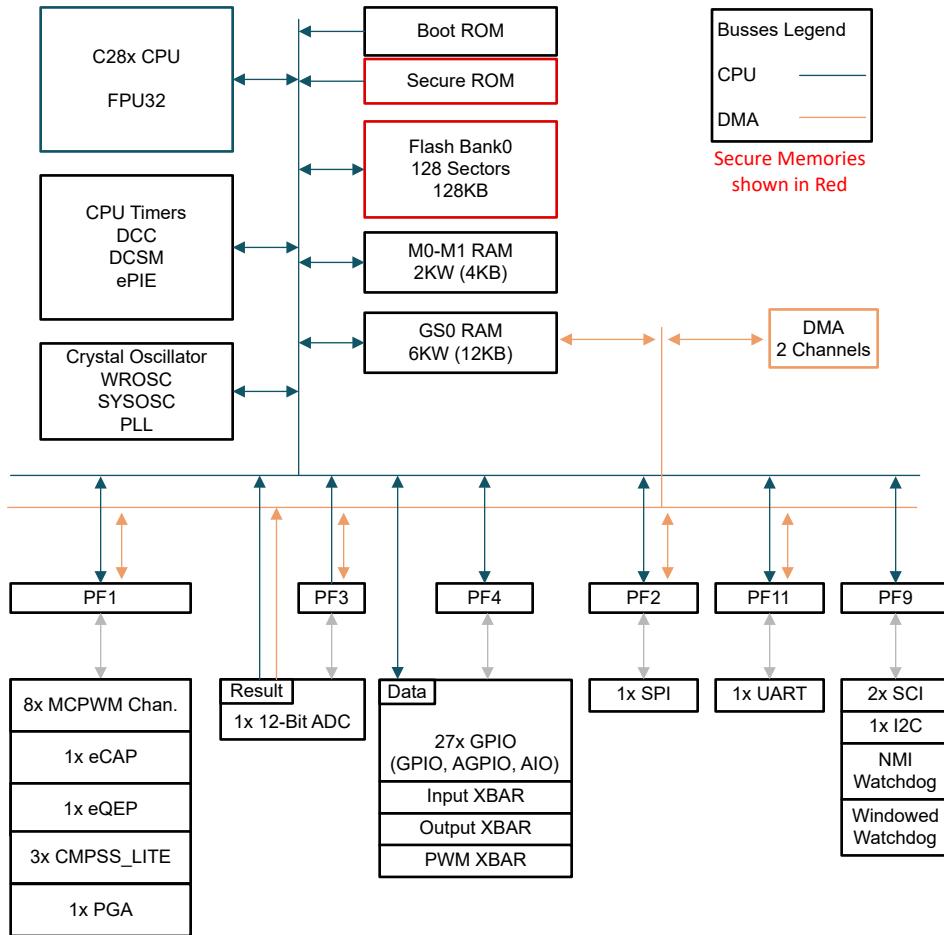


図 3-1. 機能ブロック図

## 目次

<b>1 特長</b>	<b>1</b>	6.13 通信ペリフェラル	<b>125</b>
<b>2 アプリケーション</b>	<b>1</b>	<b>7 詳細説明</b>	<b>140</b>
<b>3 説明</b>	<b>2</b>	7.1 概要	<b>140</b>
3.1 機能ブロック図	4	7.2 メモリ	<b>140</b>
<b>4 デバイスの比較</b>	<b>6</b>	7.3 識別	<b>145</b>
4.1 関連製品	7	7.4 C28x プロセッサ	<b>146</b>
<b>5 ピン構成および機能</b>	<b>8</b>	7.5 ダイレクトメモリアクセス (DMA)	<b>147</b>
5.1 ピン配置図	8	7.6 デバイスブートモード	<b>148</b>
5.2 ピン属性	11	7.7 セキュリティ	<b>154</b>
5.3 信号の説明	22	7.8 ウオッチドッグ	<b>156</b>
5.4 ピン多重化	29	7.9 C28x タイマ	<b>157</b>
5.5 内部プルアップおよびプルダウン付きのピン	36	7.10 デュアルクロックコンパレータ (DCC)	<b>157</b>
5.6 未使用ピンの接続	37	<b>8 アプリケーション、実装、およびレイアウト</b>	<b>159</b>
<b>6 仕様</b>	<b>38</b>	8.1 代表的なアプリケーション	<b>159</b>
6.1 絶対最大定格	38	<b>9 デバイスおよびドキュメントのサポート</b>	<b>162</b>
6.2 ESD 定格	38	9.1 デバイスの命名規則	<b>162</b>
6.3 推奨動作条件	38	9.2 マーキング	<b>163</b>
6.4 消費電力の概略	39	9.3 ツールとソフトウェア	<b>164</b>
6.5 電気的特性	44	9.4 ドキュメントのサポート	<b>165</b>
6.6 PT パッケージの熱抵抗特性	45	9.5 サポート・リソース	<b>166</b>
6.7 VFC パッケージの熱抵抗特性	45	9.6 商標	<b>167</b>
6.8 RHB パッケージの熱抵抗特性	45	9.7 静電気放電に関する注意事項	<b>167</b>
6.9 热設計の検討事項	46	9.8 用語集	<b>167</b>
6.10 システム	46	<b>10 改訂履歴</b>	<b>167</b>
6.11 アナログ ペリフェラル	83	<b>11 メカニカル、パッケージ、および注文情報</b>	<b>170</b>
6.12 制御ペリフェラル	115	テープおよびリール情報	<b>180</b>

## 4 デバイスの比較

表 4-1 に、F28E12x デバイスの機能を示します。

**表 4-1. デバイスの比較**

特長 <sup>(1)</sup>		F28E120SC	F28E120SB
プロセッサおよびアクセラレータ			
C28x	周波数 (MHz)	160	
	FPU32 - タイプ 0	あり	
2 チャネル DMA - タイプ 0		1	
メモリ			
フラッシュ	128KB (64KW)	64KB (32KW)	
RAM	16KB (8KW)		
セキュリティ: JTAGLOCK、ゼロピンブート、デュアルゾーンセキュリティ	あり		
システム			
32 ビット CPU タイマ	3		
ウォッチドッグ タイマ	1		
デュアルクロック比較 (DCC)	1		
外部割り込み	5		
ノンマスカブル割り込みウォッチドッグ (NMIWD) タイマ	1		
水晶発振器 / 外部クロック入力	1		
内部発振器の精度 (WROSC および SYSOSC)	セクション 6.10.3.5 を参照		
GPIO	表 5-9 を参照		
アナログ ペリフェラル			
ADC 12 ビット	ADC の数	1	
	変換時間 (ns) <sup>(2)</sup>	112.36ns / 8.9MSPS	
	ADC チャネル	表 5-9 を参照	
温度センサ		1	
コンパレータ サブシステム	CMPSS_LITE (それぞれ 2 つのコンパレータと 2 つの有効ビット数 10 ビットのスタティック DAC を含む)	3	
PGA		1	
制御ペリフェラル <sup>(3)</sup>			
eCAP モジュール - タイプ 2		1	
MCPWM - タイプ 0	合計チャネル数	8	
eQEP モジュール - タイプ 2		1	
通信ペリフェラル <sup>(3)</sup>			
I2C - タイプ 2		1	
SCI - タイプ 0 (UART 互換)		2	
SPI - タイプ 2		1	
UART - タイプ 0		1	

**表 4-1. デバイスの比較 (続き)**

特長 <sup>(1)</sup>	F28E120SC	F28E120SB
パッケージ、温度、認定オプション		
接合部温度 ( $T_J$ )	$-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$	
自由気流での周囲温度 ( $T_A$ )	$-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$	

- (1) タイプの違いは、ペリフェラル モジュールの機能上の主要な相違を表します。同じペリフェラル タイプのデバイス間でも、モジュールの基本的な機能には影響しないわずかな違いがあることがあります。
- (2) サンプル アンド ホールド ウィンドウの開始から、次の変換のサンプル アンド ホールド ウィンドウの開始までの時間。
- (3) 複数のパッケージで供給されるデバイスの場合、パッケージが小さいほどデバイスのピン数が少ないため、小型パッケージに記載されているペリフェラル数が減少します。デバイスに内部的に存在するペリフェラルの数は、その型番で提供される最大のパッケージに比べて減少しません。小型パッケージのピンでアクセス可能なペリフェラル インスタンスについては、「ピン構成および機能」セクションを参照してください。

## 4.1 関連製品

### TMS320F2802x リアルタイム マイクロコントローラ

F2802x シリーズは、ピン数とメモリ サイズについて、より広範な選択肢を提供します。

### TMS320F2803x リアルタイム マイクロコントローラ

F2803x シリーズは、ピン数とメモリ サイズについて、より広範な選択肢を提供します。F2803x シリーズでは、パラレル制御補償器アクセラレータ (CLA) オプションも採り入れています。

### TMS320F280013x リアルタイム マイクロコントローラ

F280013x シリーズは、最新世代の拡張機能を備えた F28003x シリーズの縮小版です。

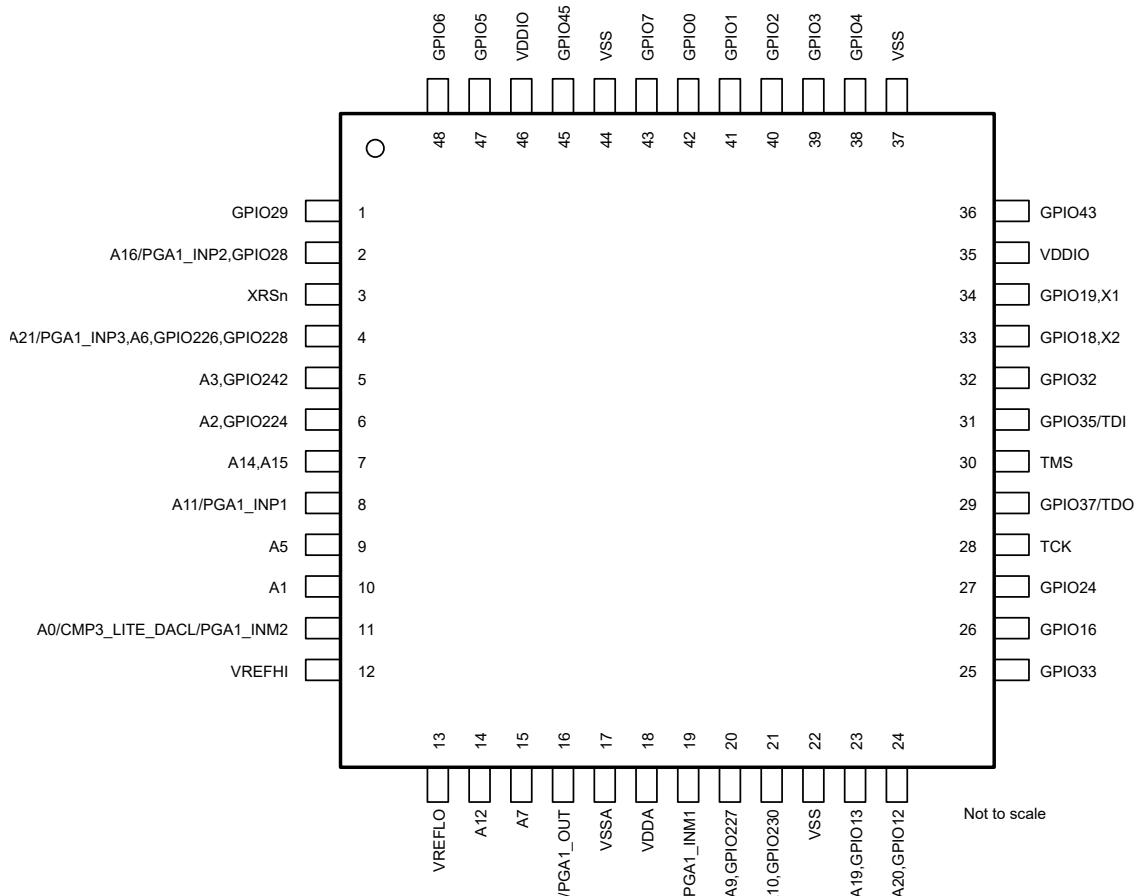
### TMS320F280015x リアルタイム マイクロコントローラ

F280015x シリーズは、F28002x シリーズをベースにしており、高い周波数、大容量のメモリ、多くのペリフェラル オプションを提供します。CAN-FD とセキュリティ機能は、F2838x シリーズから導入されています。

## 5 ピン構成および機能

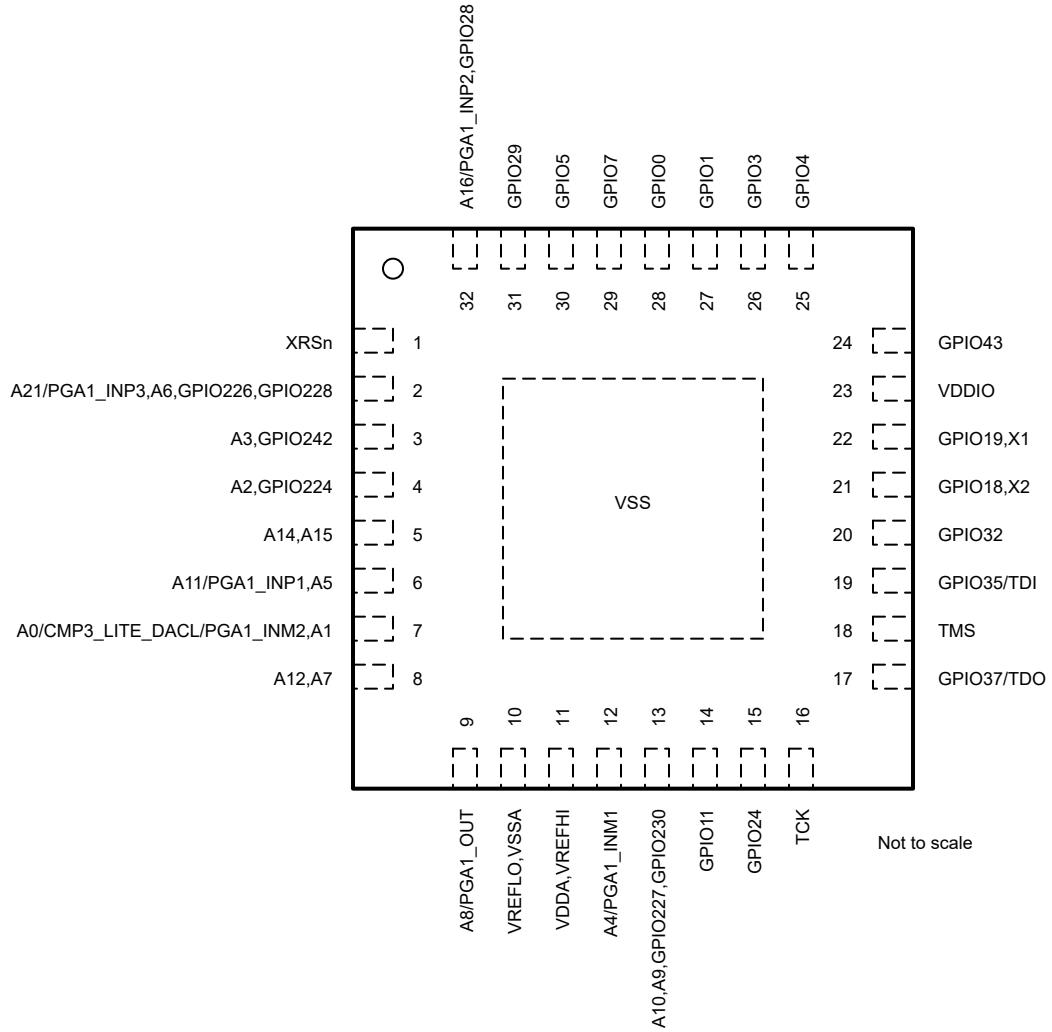
### 5.1 ピン配置図

図 5-1 に、48 ピン PT LQFP のピン配置を示します。図 5-2 に、32 ピン RHB VQFN のピン配置を示します。図 5-3 に、32 ピン VFC LQFP のピン配置を示します。



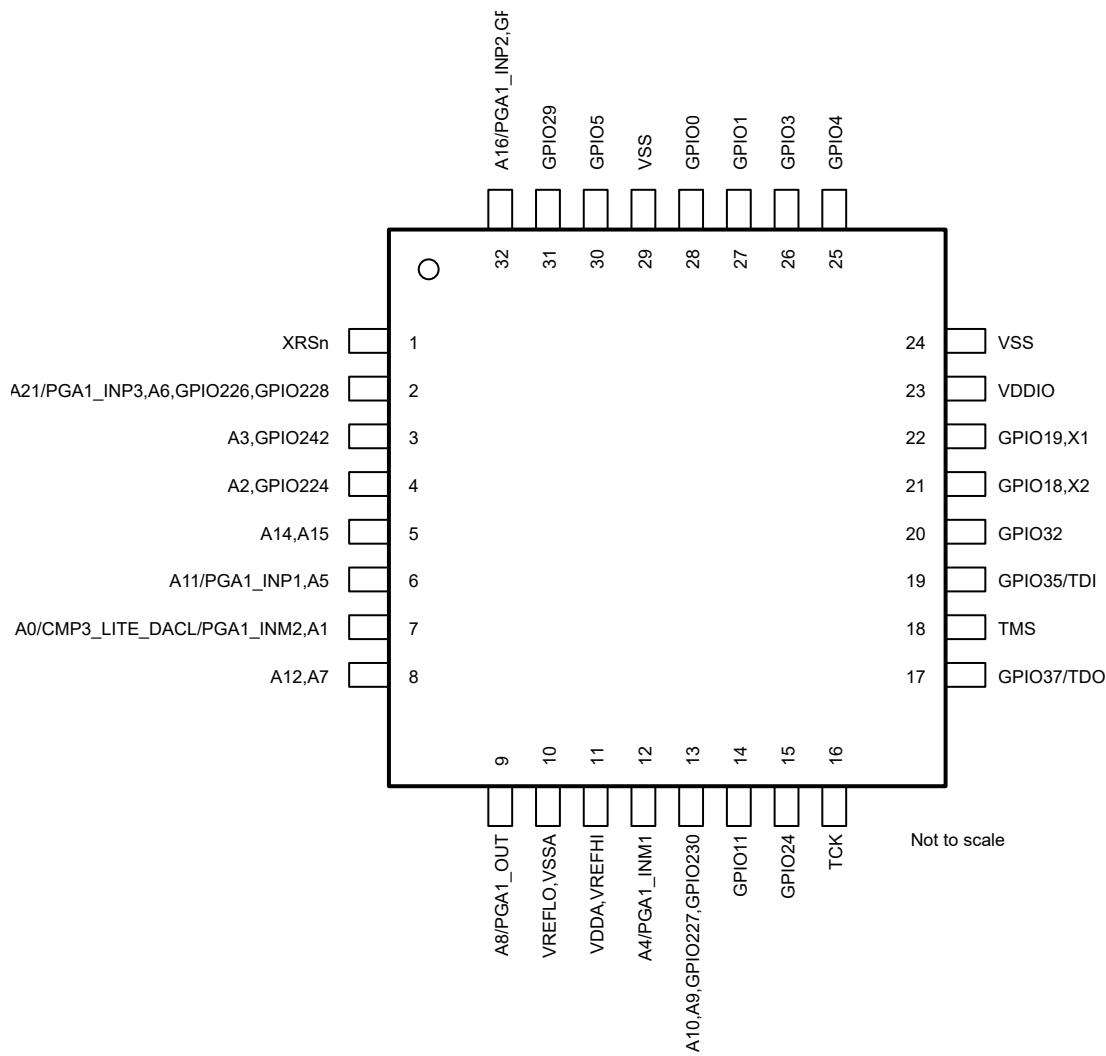
A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」セクションを参照してください。

図 5-1. 48 ピン PT 薄型クワッド フラットパック (上面図)



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」セクションを参照してください。

図 5-2. 32 ピン RHB 超薄型クワッド フラットパック、リードなし (上面図)



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」セクションを参照してください。

**図 5-3. 32 ピン VFC 薄型クワッド フラットパック (上面図)**

## 5.2 ピン属性

**表 5-1. ピン属性**

信号名	多重化位置	48 PT	32 VFC	32 RHB	ピンの種類	説明
アナログ						
A0					I	ADC-A 入力 0
CMP3_HP2					I	CMPSS-3 ハイ コンパレータ正入力 2
CMP3_LP2		11	7	7	I	CMPSS-3 ロー コンパレータ正入力 2
PGA1_INM2					I	PGA-1 マイナス 2
AIO231	0, 4, 8, 12				I	デジタル入力 231 に使用されるアナログ ピン
A1					I	ADC-A 入力 1
CMP1_HP4		10	7	7	I	CMPSS-1 ハイ コンパレータ正入力 4
CMP1_LP4					I	CMPSS-1 ロー コンパレータ正入力 4
AIO232	0, 4, 8, 12				I	デジタル入力 232 に使用されるアナログ ピン
A2					I	ADC-A 入力 2
CMP1_HP0		6	4	4	I	CMPSS-1 ハイ コンパレータ正入力 0
CMP1_LP0					I	CMPSS-1 ロー コンパレータ正入力 0
GPIO224					I/O	汎用入出力 224。このピンには、この表の GPIO セクションに記載されているデジタル マルチブレクサ機能もある。
A3					I	ADC-A 入力 3
CMP3_HN0		5	3	3	I	CMPSS-3 ハイ コンパレータ負入力 0
CMP3_HP3					I	CMPSS-3 ハイ コンパレータ正入力 3
CMP3_LN0					I	CMPSS-3 ロー コンパレータ負入力 0
CMP3_LP3					I	CMPSS-3 ロー コンパレータ正入力 3
GPIO242					I/O	汎用入出力 242。このピンには、この表の GPIO セクションに記載されているデジタル マルチブレクサ機能もある。
A4					I	ADC-A 入力 4
CMP2_HP0		19	12	12	I	CMPSS-2 ハイ コンパレータ正入力 0
CMP2_LP0					I	CMPSS-2 ロー コンパレータ正入力 0
PGA1_INM1					I	PGA-1 マイナス 1
AIO225	0, 4, 8, 12				I	デジタル入力 225 に使用されるアナログ ピン
A5					I	ADC-A 入力 5
CMP3_HN1		9	6	6	I	CMPSS-3 ハイ コンパレータ負入力 1
CMP3_HP1					I	CMPSS-3 ハイ コンパレータ正入力 1
CMP3_LN1					I	CMPSS-3 ロー コンパレータ負入力 1
CMP3_LP1					I	CMPSS-3 ロー コンパレータ正入力 1
GPIO244	0, 4, 8, 12				I	デジタル入力 244 に使用されるアナログ ピン
A6					I	ADC-A 入力 6
CMP1_HP2		4	2	2	I	CMPSS-1 ハイ コンパレータ正入力 2
CMP1_LP2					I	CMPSS-1 ロー コンパレータ正入力 2
GPIO228					I/O	汎用入出力 228。このピンには、この表の GPIO セクションに記載されているデジタル マルチブレクサ機能もある。
A7					I	ADC-A 入力 7
AIO245	0, 4, 8, 12	15	8	8	I	デジタル入力 245 に使用されるアナログ ピン

表 5-1. ピン属性 (続き)

信号名	多重化位置	48 PT	32 VFC	32 RHB	ピンの種類	説明
A8					I	ADC-A 入力 8
CMP2_HP4					I	CMPSS-2 ハイ コンパレータ正入力 4
CMP2_LP4		16	9	9	I	CMPSS-2 ロー コンパレータ正入力 4
PGA1_OUT					O	PGA-1 出力
AIO241	0, 4, 8, 12				I	デジタル入力 241 に使用されるアナログ ピン
A9					I	ADC-A 入力 9
CMP2_HP2					I	CMPSS-2 ハイ コンパレータ正入力 2
CMP2_LP2		20	13	13	I	CMPSS-2 ロー コンパレータ正入力 2
GPIO227					I/O	汎用入出力 227。このピンには、この表の GPIO セクションに記載されているデジタル マルチブレクサ機能もある。
A10					I	ADC-A 入力 10
CMP2_HN0					I	CMPSS-2 ハイ コンパレータ負入力 0
CMP2_HP3					I	CMPSS-2 ハイ コンパレータ正入力 3
CMP2_LN0		21	13	13	I	CMPSS-2 ロー コンパレータ負入力 0
CMP2_LP3					I	CMPSS-2 ロー コンパレータ正入力 3
GPIO230					I/O	汎用入出力 230。このピンには、この表の GPIO セクションに記載されているデジタル マルチブレクサ機能もある。
A11					I	ADC-A 入力 11
CMP1_HN1					I	CMPSS-1 ハイ コンパレータ負入力 1
CMP1_HP1					I	CMPSS-1 ハイ コンパレータ正入力 1
CMP1_LN1		8	6	6	I	CMPSS-1 ロー コンパレータ負入力 1
CMP1_LP1					I	CMPSS-1 ロー コンパレータ正入力 1
PGA1_INP1					I	PGA-1 プラス 1
AIO237	0, 4, 8, 12				I	デジタル入力 237 に使用されるアナログ ピン
A12					I	ADC-A 入力 12
CMP2_HN1					I	CMPSS-2 ハイ コンパレータ負入力 1
CMP2_HP1		14	8	8	I	CMPSS-2 ハイ コンパレータ正入力 1
CMP2_LN1					I	CMPSS-2 ロー コンパレータ負入力 1
CMP2_LP1					I	CMPSS-2 ロー コンパレータ正入力 1
AIO238	0, 4, 8, 12				I	デジタル入力 238 に使用されるアナログ ピン
A14					I	ADC-A 入力 14
CMP3_HP4		7	5	5	I	CMPSS-3 ハイ コンパレータ正入力 4
CMP3_LP4					I	CMPSS-3 ロー コンパレータ正入力 4
AIO239	0, 4, 8, 12				I	デジタル入力 239 に使用されるアナログ ピン
A15					I	ADC-A 入力 15
CMP1_HN0					I	CMPSS-1 ハイ コンパレータ負入力 0
CMP1_HP3		7	5	5	I	CMPSS-1 ハイ コンパレータ正入力 3
CMP1_LN0					I	CMPSS-1 ロー コンパレータ負入力 0
CMP1_LP3					I	CMPSS-1 ロー コンパレータ正入力 3
AIO233	0, 4, 8, 12				I	デジタル入力 233 に使用されるアナログ ピン

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	48 PT	32 VFC	32 RHB	ピンの種類	説明
A16					I	ADC-A 入力 16
GPIO28		2	32	32	I/O	汎用入出力 28。このピンには、この表の GPIO セクションに記載されているデジタル マルチブレクサ機能もある。
PGA1_INP2					I	PGA-1 プラス 2
A19		23			I	ADC-A 入力 19
GPIO13					I/O	汎用入出力 13。このピンには、この表の GPIO セクションに記載されているデジタル マルチブレクサ機能もある。
A20		24			I	ADC-A 入力 20
GPIO12					I/O	汎用入出力 12。このピンには、この表の GPIO セクションに記載されているデジタル マルチブレクサ機能もある。
CMP3_HP0					I	CMPSS-3 ハイ コンパレータ正入力 0
CMP3_LP0					I	CMPSS-3 ロー コンパレータ正入力 0
GPIO226		4	2	2	I/O	汎用入出力 226。このピンには、この表の GPIO セクションに記載されているデジタル マルチブレクサ機能もある。
PGA1_INP3					I	PGA-1 プラス 3
VREFHI		12	11	11	I	ADC の高い基準電圧。外部リファレンス モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、少なくとも $2.2\mu\text{F}$ コンデンサと $10\Omega$ の抵抗をこのピンに直列に配置します。このコンデンサおよびレジスタは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要があります。32 QFN パッケージでは、VREFHI は内部で VDDA に接続されている。
VREFLO		13	10	10	I	ADC の Low 基準電圧、VSSA に接続する必要があります
<b>GPIO</b>						
GPIO0	0, 4, 8, 12				I/O	汎用入出力 0
MCPWM1_1A	1				O	MCPWM-1 出力 1A
OUTPUTXBAR7	3				O	出力クロスバー出力 7
SCIA_RX	5				I	SCI-A 受信データ
I2CA_SDA	6	42	28	28	I/OD	I2C-A オープンドレイン双方向データ
SPIA_PTE	7				I/O	SPI-A ペリフェラル送信イネーブル (PTE)
EQEP1_INDEX	13				I/O	eQEP-1 インデックス
MCPWM1_3A	15				O	MCPWM-1 出力 3A
GPIO1	0, 4, 8, 12				I/O	汎用入出力 1
MCPWM1_1B	1				O	MCPWM-1 出力 1B
OUTPUTXBAR4	3				O	出力クロスバー出力 4
SCIA_TX	5	41	27	27	O	SCI-A 送信データ
I2CA_SCL	6				I/OD	I2C-A オープンドレイン双方向クロック
SPIA_POCI	7				I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
EQEP1_STROBE	9				I/O	eQEP-1 ストローブ
MCPWM1_3B	15				O	MCPWM-1 出力 3B

表 5-1. ピン属性 (続き)

信号名	多重化位置	48 PT	32 VFC	32 RHB	ピンの種類	説明
GPIO2	0, 4, 8, 12				I/O	汎用入出力 2
MCPWM1_2A	1				O	MCPWM-1 出力 2A
OUTPUTXBAR1	5				O	出力クロスバー出力 1
SPIA_PICO	7				I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
SCIA_TX	9				O	SCI-A 送信データ
I2CA_SDA	11				I/OD	I2C-A オープンドレイン双方向データ
GPIO3	0, 4, 8, 12				I/O	汎用入出力 3
MCPWM1_2B	1				O	MCPWM-1 出力 2B
OUTPUTXBAR2	2, 5		39	26	O	出力クロスバー出力 2
SPIA_CLK	7				I/O	SPI-A クロック
SCIA_RX	9				I	SCI-A 受信データ
I2CA_SCL	11				I/OD	I2C-A オープンドレイン双方向クロック
GPIO4	0, 4, 8, 12				I/O	汎用入出力 4
MCPWM1_3A	1				O	MCPWM-1 出力 3A
I2CA_SCL	2				I/OD	I2C-A オープンドレイン双方向クロック
OUTPUTXBAR3	5		38	25	O	出力クロスバー出力 3
EQEP1_STROBE	9				I/O	eQEP-1 ストローブ
SPIA_POCI	14				I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
MCPWM1_1A	15				O	MCPWM-1 出力 1A
GPIO5	0, 4, 8, 12				I/O	汎用入出力 5
MCPWM1_3B	1				O	MCPWM-1 出力 3B
I2CA_SDA	2				I/OD	I2C-A オープンドレイン双方向データ
OUTPUTXBAR3	3		47	30	O	出力クロスバー出力 3
SPIA_PTE	7				I/O	SPI-A ペリフェラル送信イネーブル (PTE)
SPIA_POCI	9				I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
SCIA_RX	11				I	SCI-A 受信データ
MCPWM1_1B	15				O	MCPWM-1 出力 1B
GPIO6	0, 4, 8, 12				I/O	汎用入出力 6
OUTPUTXBAR4	2				O	出力クロスバー出力 4
SYNCOUT	3		48		O	外部 MCPWM 同期パルス
EQEP1_A	5				I	eQEP-1 入力 A
MCPWM1_3A	10				O	MCPWM-1 出力 3A
MCPWM1_2A	15				O	MCPWM-1 出力 2A
GPIO7	0, 4, 8, 12				I/O	汎用入出力 7
MCPWM1_2A	2				O	MCPWM-1 出力 2A
OUTPUTXBAR5	3				O	出力クロスバー出力 5
EQEP1_B	5		43	29	I	eQEP-1 入力 B
SPIA_PICO	7				I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
MCPWM3_1A	9				O	MCPWM-3 出力 1A
SCIA_TX	11				O	SCI-A 送信データ
MCPWM1_2B	15				O	MCPWM-1 出力 2B

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	48 PT	32 VFC	32 RHB	ピンの種類	説明
GPIO8	0, 4, 8, 12				I/O	汎用入出力 8
ADCSOCDAO	3				O	外部 ADC 用の ADC 変換開始 A
EQEP1_STROBE	5				I/O	eQEP-1 ストローブ
SCIA_TX	6				O	SCI-A 送信データ
SPIA_PICO	7				I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
I2CA_SCL	9				I/OD	I2C-A オープンドレイン双方向クロック
GPIO9	0, 4, 8, 12				I/O	汎用入出力 9
SCIB_TX	2				O	SCI-B 送信データ
OUTPUTXBAR6	3				O	出力クロスバー出力 6
EQEP1_INDEX	5				I/O	eQEP-1 インデックス
SCIA_RX	6				I	SCI-A 受信データ
SPIA_CLK	7				I/O	SPI-A クロック
MCPWM1_1B	9				O	MCPWM-1 出力 1B
I2CA_SCL	14				I/OD	I2C-A オープンドレイン双方向クロック
GPIO10	0, 4, 8, 12				I/O	汎用入出力 10
MCPWM1_2B	2				O	MCPWM-1 出力 2B
ADCSOCBO	3				O	外部 ADC 用の ADC 変換開始 B
EQEP1_A	5				I	eQEP-1 入力 A
SCIB_TX	6				O	SCI-B 送信データ
SPIA_POCI	7				I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
I2CA_SDA	9				I/OD	I2C-A オープンドレイン双方向データ
GPIO11	0, 4, 8, 12				I/O	汎用入出力 11
OUTPUTXBAR7	3				O	出力クロスバー出力 7
EQEP1_B	5				I	eQEP-1 入力 B
SCIB_RX	6				I	SCI-B 受信データ
SPIA_PTE	7				I/O	SPI-A ペリフェラル送信イネーブル (PTE)
MCPWM3_1B	9				O	MCPWM-3 出力 1B
EQEP1_A	11				I	eQEP-1 入力 A
SPIA_PICO	13				I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
GPIO12	0, 4, 8, 12				I/O	汎用入出力 12。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
MCPWM3_1A	1				O	MCPWM-3 出力 1A
EQEP1_STROBE	5	24			I/O	eQEP-1 ストローブ
SCIB_TX	6				O	SCI-B 送信データ
SPIA_CLK	11				I/O	SPI-A クロック
GPIO13	0, 4, 8, 12				I/O	汎用入出力 13。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
MCPWM3_1B	1				O	MCPWM-3 出力 1B
EQEP1_INDEX	5	23			I/O	eQEP-1 インデックス
SCIB_RX	6				I	SCI-B 受信データ
SPIA_POCI	11				I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)

表 5-1. ピン属性 (続き)

信号名	多重化位置	48 PT	32 VFC	32 RHB	ピンの種類	説明
GPIO16	0, 4, 8, 12				I/O	汎用入出力 16
SPIA_PICO	1				I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
OUTPUTXBAR7	3				O	出力クロスバー出力 7
SCIA_TX	6				O	SCI-A 送信データ
EQEP1_STROBE	9	26			I/O	eQEP-1 ストローブ
XCLKOUT	11				O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
EQEP1_B	13				I	eQEP-1 入力 B
GPIO17	0, 4, 8, 12				I/O	汎用入出力 17
SPIA_POCI	1				I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
OUTPUTXBAR8	3				O	出力クロスバー出力 8
EQEP1_INDEX	9				I/O	eQEP-1 インデックス
GPIO18	0, 4, 8, 12				I/O	汎用入出力 18
SPIA_CLK	1				I/O	SPI-A クロック
SCIB_TX	2				O	SCI-B 送信データ
I2CA_SCL	6				I/OD	I2C-A オープンドレイン双方向クロック
EQEP1_A	9	33	21	21	I	eQEP-1 入力 A
XCLKOUT	11				O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
X2	ALT				I/O	水晶発振器出力。
GPIO19	0, 4, 8, 12				I/O	汎用入出力 19
SPIA_PTE	1				I/O	SPI-A ペリフェラル送信イネーブル (PTE)
SCIB_RX	2				I	SCI-B 受信データ
I2CA_SDA	6				I/OD	I2C-A オープンドレイン双方向データ
EQEP1_B	9	34	22	22	I	eQEP-1 入力 B
X1	ALT				I/O	水晶発振器入力またはシングルエンド クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。
GPIO20	0, 4, 8, 12				I/O	汎用入出力 20
EQEP1_A	1				I	eQEP-1 入力 A
SPIA_PICO	6				I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
I2CA_SCL	11				I/OD	I2C-A オープンドレイン双方向クロック
UARTA_TX	15				O	UART-A 送信データ
GPIO21	0, 4, 8, 12				I/O	汎用入出力 21
EQEP1_B	1				I	eQEP-1 入力 B
SPIA_POCI	6				I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
I2CA_SDA	11				I/OD	I2C-A オープンドレイン双方向データ
UARTA_RX	15				I	UART-A 受信データ

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	48 PT	32 VFC	32 RHB	ピンの種類	説明
GPIO22	0, 4, 8, 12				I/O	汎用入出力 22
EQEP1_STROBE	1				I/O	eQEP-1 ストローブ
SCIB_TX	3				O	SCI-B 送信データ
GPIO23	0, 4, 8, 12				I/O	汎用入出力 23
EQEP1_INDEX	1				I/O	eQEP-1 インデックス
SPIA_PTE	2				I/O	SPI-A ペリフェラル送信イネーブル (PTE)
SCIB_RX	3				I	SCI-B 受信データ
GPIO24	0, 4, 8, 12				I/O	汎用入出力 24
OUTPUTXBAR1	1				O	出力クロスバー出力 1
EQEP1_A	2				I	eQEP-1 入力 A
SPIA_PTE	3	27	15	15	I/O	SPI-A ペリフェラル送信イネーブル (PTE)
SPIA_PICO	6				I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
SCIA_TX	11				O	SCI-A 送信データ
ERRORSTS	13				O	エラー ステータス出力。外部プルダウンが必要。
GPIO28	0, 4, 8, 12				I/O	汎用入出力 28。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SCIA_RX	1				I	SCI-A 受信データ
OUTPUTXBAR8	2				O	出力クロスバー出力 8
MCPWM3_1A	3				O	MCPWM-3 出力 1A
OUTPUTXBAR5	5				O	出力クロスバー出力 5
EQEP1_A	6	2	32	32	I	eQEP-1 入力 A
EQEP1_STROBE	9				I/O	eQEP-1 ストローブ
UARTA_TX	10				O	UART-A 送信データ
SPIA_CLK	11				I/O	SPI-A クロック
ERRORSTS	13				O	エラー ステータス出力。外部プルダウンが必要。
I2CA_SDA	14				I/OD	I2C-A オープンドレイン双方向データ
GPIO29	0, 4, 8, 12				I/O	汎用入出力 29
SCIA_TX	1				O	SCI-A 送信データ
MCPWM1_2A	2				O	MCPWM-1 出力 2A
MCPWM3_1B	3				O	MCPWM-3 出力 1B
OUTPUTXBAR6	5				O	出力クロスバー出力 6
EQEP1_B	6	1	31	31	I	eQEP-1 入力 B
EQEP1_INDEX	9				I/O	eQEP-1 インデックス
UARTA_RX	10				I	UART-A 受信データ
SPIA_PTE	11				I/O	SPI-A ペリフェラル送信イネーブル (PTE)
ERRORSTS	13				O	エラー ステータス出力。外部プルダウンが必要。
I2CA_SCL	14				I/OD	I2C-A オープンドレイン双方向クロック
GPIO30	0, 4, 8, 12				I/O	汎用入出力 30
OUTPUTXBAR7	5				O	出力クロスバー出力 7
EQEP1_STROBE	6				I/O	eQEP-1 ストローブ
MCPWM1_1A	11				O	MCPWM-1 出力 1A

表 5-1. ピン属性 (続き)

信号名	多重化位置	48 PT	32 VFC	32 RHB	ピンの種類	説明
GPIO32	0, 4, 8, 12				I/O	汎用入出力 32
I2CA_SDA	1				I/OD	I2C-A オープンドレイン双方向データ
EQEP1_INDEX	2				I/O	eQEP-1 インデックス
SPIA_CLK	3	32	20	20	I/O	SPI-A クロック
UARTA_RX	6				I	UART-A 受信データ
ADCSOCBO	13				O	外部 ADC 用の ADC 変換開始 B
GPIO33	0, 4, 8, 12				I/O	汎用入出力 33
I2CA_SCL	1				I/OD	I2C-A オープンドレイン双方向クロック
OUTPUTXBAR4	5		25		O	出力クロスバー出力 4
UARTA_TX	6				O	UART-A 送信データ
EQEP1_B	11				I	eQEP-1 入力 B
ADCSOCAO	13				O	外部 ADC 用の ADC 変換開始 A
GPIO35	0, 4, 8, 12				I/O	汎用入出力 35
SCIA_RX	1				I	SCI-A 受信データ
SPIA_POCI	2				I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
I2CA_SDA	3				I/OD	I2C-A オープンドレイン双方向データ
UARTA_RX	7				I	UART-A 受信データ
EQEP1_A	9	31	19	19	I	eQEP-1 入力 A
TDI	15				I	JTAG テストデータ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要がある。
GPIO37	0, 4, 8, 12				I/O	汎用入出力 37
OUTPUTXBAR2	1				O	出力クロスバー出力 2
SPIA_PTE	2				I/O	SPI-A ペリフェラル送信イネーブル (PTE)
I2CA_SCL	3				I/OD	I2C-A オープンドレイン双方向クロック
SCIA_TX	5				O	SCI-A 送信データ
UARTA_TX	7				O	UART-A 送信データ
EQEP1_B	9				I	eQEP-1 入力 B
SYNCOUT	13	29	17	17	O	外部 MCPWM 同期パルス
TDI	15				O	JTAG テストデータ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティング状態のままになる。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要がある。
GPIO39	0, 4, 8, 12				I/O	汎用入出力 39
EQEP1_INDEX	9, 14				I/O	eQEP-1 インデックス
SYNCOUT	13				O	外部 MCPWM 同期パルス

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	48 PT	32 VFC	32 RHB	ピンの種類	説明
GPIO40	0, 4, 8, 12				I/O	汎用入出力 40
MCPWM1_2B	5				O	MCPWM-1 出力 2B
SCIB_TX	9				O	SCI-B 送信データ
EQEP1_A	10				I	eQEP-1 入力 A
GPIO41	0, 4, 8, 12				I/O	汎用入出力 41
MCPWM3_1A	1				O	MCPWM-3 出力 1A
SPIA_CLK	2				I/O	SPI-A クロック
MCPWM1_2A	5				O	MCPWM-1 出力 2A
SCIB_RX	9				I	SCI-B 受信データ
EQEP1_B	10				I	eQEP-1 入力 B
GPIO43	0, 4, 8, 12				I/O	汎用入出力 43
OUTPUTXBAR6	3				O	出力クロスバー出力 6
I2CA_SCL	6	36		24	I/OD	I2C-A オープンドレイン双方向クロック
UARTA_TX	7				O	UART-A 送信データ
EQEP1_INDEX	10				I/O	eQEP-1 インデックス
GPIO45	0, 4, 8, 12				I/O	汎用入出力 45
OUTPUTXBAR8	3	45			O	出力クロスバー出力 8
SPIA_POCI	6				I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
GPIO46	0, 4, 8, 12				I/O	汎用入出力 46
GPIO224	0, 4, 8, 12				I/O	汎用入出力 224。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
OUTPUTXBAR3	5				O	出力クロスバー出力 3
SPIA_PICO	6	6	4	4	I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
MCPWM1_1A	9				O	MCPWM-1 出力 1A
EQEP1_A	11				I	eQEP-1 入力 A
UARTA_TX	14				O	UART-A 送信データ
GPIO226	0, 4, 8, 12				I/O	汎用入出力 226。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SPIA_CLK	6	4	2	2	I/O	SPI-A クロック
MCPWM1_1B	9				O	MCPWM-1 出力 1B
EQEP1_STROBE	11				I/O	eQEP-1 ストローブ
UARTA_RX	14				I	UART-A 受信データ
GPIO227	0, 4, 8, 12				I/O	汎用入出力 227。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
I2CA_SCL	1	20	13	13	I/OD	I2C-A オープンドレイン双方向クロック
MCPWM1_3A	3				O	MCPWM-1 出力 3A
OUTPUTXBAR1	5				O	出力クロスバー出力 1
MCPWM1_2B	6				O	MCPWM-1 出力 2B

表 5-1. ピン属性 (続き)

信号名	多重化位置	48 PT	32 VFC	32 RHB	ピンの種類	説明
GPIO228	0, 4, 8, 12				I/O	汎用入出力 228。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
ADCSOCDAO	3	4	2	2	O	外部 ADC 用の ADC 変換開始 A
SPIA_POCI	6				I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
MCPWM1_2B	9				O	MCPWM-1 出力 2B
EQEP1_B	11				I	eQEP-1 入力 B
GPIO230	0, 4, 8, 12				I/O	汎用入出力 230。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
I2CA_SDA	1, 7	21	13	13	I/OD	I2C-A オープンドレイン双方向データ
MCPWM1_3B	3				O	MCPWM-1 出力 3B
MCPWM1_2A	6				O	MCPWM-1 出力 2A
GPIO242	0, 4, 8, 12				I/O	汎用入出力 242。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
MCPWM1_2A	3	5	3	3	O	MCPWM-1 出力 2A
OUTPUTXBAR2	5				O	出力クロスバー出力 2
SPIA_PTE	6				I/O	SPI-A ペリフェラル送信イネーブル (PTE)
EQEP1_INDEX	11				I/O	eQEP-1 インデックス
GPIO243	0, 4, 8, 12				I/O	汎用入出力 243
XCLKOUT	1				O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。

## テスト、JTAG、リセット

TCK		28	16	16	I	内部プルアップ付き JTAG テスト クロック。
TMS		30	18	18	I/O	内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。
XRSn		3	1	1	I/OD	デバイス リセット (IN) およびウォッチドッグ リセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイス リセットをアサートすることもできる。ウォッチドッグ リセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグ リセット時には、512 OSCCLK サイクルのウォッチドッグ リセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要がある。ノイズ フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープンドレイン出力。このピンが外部デバイスによって駆動される場合は、オープンドレイン デバイスを使用して駆動する必要があります。

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	48 PT	32 VFC	32 RHB	ピンの種類	説明
電源およびグランド						
VDDA		18	11	11		3.3V アナログ電源ピン。各ピンに、最小 2.2 $\mu$ F のデカッピング コンデンサを配置。32 QFN パッケージでは、VREFHI は内部で VDDA に接続されている。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。
VDDIO		35、46	23	23		3.3V デジタル I/O 電源ピン。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。
VSS		22、37、 44	24、29	PAD		デジタル グランド。QFN パッケージの場合、パッケージの底面にあるグランド パッドを PCB のグランド プレーンに半田付けする必要がある。
VSSA		17	10	10		アナログ GND

## 5.3 信号の説明

### 5.3.1 アナログ信号

表 5-2. アナログ信号

信号名	ピンの種類	説明	48 PT	32 VFC	32 RHB
A0	I	ADC-A 入力 0	11	7	7
A1	I	ADC-A 入力 1	10	7	7
A2	I	ADC-A 入力 2	6	4	4
A3	I	ADC-A 入力 3	5	3	3
A4	I	ADC-A 入力 4	19	12	12
A5	I	ADC-A 入力 5	9	6	6
A6	I	ADC-A 入力 6	4	2	2
A7	I	ADC-A 入力 7	15	8	8
A8	I	ADC-A 入力 8	16	9	9
A9	I	ADC-A 入力 9	20	13	13
A10	I	ADC-A 入力 10	21	13	13
A11	I	ADC-A 入力 11	8	6	6
A12	I	ADC-A 入力 12	14	8	8
A14	I	ADC-A 入力 14	7	5	5
A15	I	ADC-A 入力 15	7	5	5
A16	I	ADC-A 入力 16	2	32	32
A19	I	ADC-A 入力 19	23		
A20	I	ADC-A 入力 20	24		
AIO225	I	デジタル入力 225 に使用されるアナログピン	19	12	12
AIO231	I	デジタル入力 231 に使用されるアナログピン	11	7	7
AIO232	I	デジタル入力 232 に使用されるアナログピン	10	7	7
AIO233	I	デジタル入力 233 に使用されるアナログピン	7	5	5
AIO237	I	デジタル入力 237 に使用されるアナログピン	8	6	6
AIO238	I	デジタル入力 238 に使用されるアナログピン	14	8	8
AIO239	I	デジタル入力 239 に使用されるアナログピン	7	5	5
AIO241	I	デジタル入力 241 に使用されるアナログピン	16	9	9
AIO244	I	デジタル入力 244 に使用されるアナログピン	9	6	6
AIO245	I	デジタル入力 245 に使用されるアナログピン	15	8	8
CMP1_HN0	I	CMPSS-1 ハイコンパレータ負入力 0	7	5	5
CMP1_HN1	I	CMPSS-1 ハイコンパレータ負入力 1	8	6	6
CMP1_HP0	I	CMPSS-1 ハイコンパレータ正入力 0	6	4	4
CMP1_HP1	I	CMPSS-1 ハイコンパレータ正入力 1	8	6	6

**表 5-2. アナログ信号 (続き)**

信号名	ピンの種類	説明	48 PT	32 VFC	32 RHB
CMP1_HP2	I	CMPSS-1 ハイコンパレータ正入力 2	4	2	2
CMP1_HP3	I	CMPSS-1 ハイコンパレータ正入力 3	7	5	5
CMP1_HP4	I	CMPSS-1 ハイコンパレータ正入力 4	10	7	7
CMP1_LN0	I	CMPSS-1 ロー コンパレータ負入力 0	7	5	5
CMP1_LN1	I	CMPSS-1 ロー コンパレータ負入力 1	8	6	6
CMP1_LP0	I	CMPSS-1 ロー コンパレータ正入力 0	6	4	4
CMP1_LP1	I	CMPSS-1 ロー コンパレータ正入力 1	8	6	6
CMP1_LP2	I	CMPSS-1 ロー コンパレータ正入力 2	4	2	2
CMP1_LP3	I	CMPSS-1 ロー コンパレータ正入力 3	7	5	5
CMP1_LP4	I	CMPSS-1 ロー コンパレータ正入力 4	10	7	7
CMP2_HN0	I	CMPSS-2 ハイコンパレータ負入力 0	21	13	13
CMP2_HN1	I	CMPSS-2 ハイコンパレータ負入力 1	14	8	8
CMP2_HP0	I	CMPSS-2 ハイコンパレータ正入力 0	19	12	12
CMP2_HP1	I	CMPSS-2 ハイコンパレータ正入力 1	14	8	8
CMP2_HP2	I	CMPSS-2 ハイコンパレータ正入力 2	20	13	13
CMP2_HP3	I	CMPSS-2 ハイコンパレータ正入力 3	21	13	13
CMP2_HP4	I	CMPSS-2 ハイコンパレータ正入力 4	16	9	9
CMP2_LN0	I	CMPSS-2 ロー コンパレータ負入力 0	21	13	13
CMP2_LN1	I	CMPSS-2 ロー コンパレータ負入力 1	14	8	8
CMP2_LP0	I	CMPSS-2 ロー コンパレータ正入力 0	19	12	12
CMP2_LP1	I	CMPSS-2 ロー コンパレータ正入力 1	14	8	8
CMP2_LP2	I	CMPSS-2 ロー コンパレータ正入力 2	20	13	13
CMP2_LP3	I	CMPSS-2 ロー コンパレータ正入力 3	21	13	13
CMP2_LP4	I	CMPSS-2 ロー コンパレータ正入力 4	16	9	9
CMP3_HN0	I	CMPSS-3 ハイコンパレータ負入力 0	5	3	3
CMP3_HN1	I	CMPSS-3 ハイコンパレータ負入力 1	9	6	6
CMP3_HP0	I	CMPSS-3 ハイコンパレータ正入力 0	4	2	2
CMP3_HP1	I	CMPSS-3 ハイコンパレータ正入力 1	9	6	6
CMP3_HP2	I	CMPSS-3 ハイコンパレータ正入力 2	11	7	7
CMP3_HP3	I	CMPSS-3 ハイコンパレータ正入力 3	5	3	3
CMP3_HP4	I	CMPSS-3 ハイコンパレータ正入力 4	7	5	5
CMP3_LN0	I	CMPSS-3 ロー コンパレータ負入力 0	5	3	3
CMP3_LN1	I	CMPSS-3 ロー コンパレータ負入力 1	9	6	6
CMP3_LP0	I	CMPSS-3 ロー コンパレータ正入力 0	4	2	2
CMP3_LP1	I	CMPSS-3 ロー コンパレータ正入力 1	9	6	6
CMP3_LP2	I	CMPSS-3 ロー コンパレータ正入力 2	11	7	7
CMP3_LP3	I	CMPSS-3 ロー コンパレータ正入力 3	5	3	3
CMP3_LP4	I	CMPSS-3 ロー コンパレータ正入力 4	7	5	5
PGA1_INM1	I	PGA-1 マイナス 1	19	12	12
PGA1_INM2	I	PGA-1 マイナス 2	11	7	7
PGA1_INP1	I	PGA-1 プラス 1	8	6	6
PGA1_INP2	I	PGA-1 プラス 2	2	32	32

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	48 PT	32 VFC	32 RHB
PGA1_INP3	I	PGA-1 プラス 3	4	2	2
PGA1_OUT	O	PGA-1 出力	16	9	9
VREFHI	I	ADC の高い基準電圧。外部リファレンス モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、少なくとも $2.2\mu\text{F}$ コンデンサと $10\Omega$ の抵抗をこのピンに直列に配置します。このコンデンサおよびレジスタは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。32 QFN パッケージでは、VREFHI は内部で VDDA に接続されている。	12	11	11
VREFLO	I	ADC の Low 基準電圧、VSSA に接続する必要があります	13	10	10

### 5.3.2 デジタル信号

**表 5-3. デジタル信号**

信号名	ピンの種類	説明	GPIO	48 PT	32 VFC	32 RHB
ADCSOC <sub>A</sub> O	O	外部 ADC 用の ADC 変換開始 A	8, 33, 228	4, 25	2	2
ADCSOC <sub>B</sub> O	O	外部 ADC 用の ADC 変換開始 B	10, 32	32	20	20
EQEP1_A	I	eQEP-1 入力 A	6, 10, 11, 18, 20, 24, 28, 35, 40, 224	2, 6, 27, 31, 33, 48	4, 14, 15, 19, 21, 32	4, 14, 15, 19, 21, 32
EQEP1_B	I	eQEP-1 入力 B	7, 11, 16, 19, 21, 29, 33, 37, 41, 228	1, 4, 25, 26, 29, 34, 43	2, 14, 17, 22, 31	2, 14, 17, 22, 29, 31
EQEP1_INDEX	I/O	eQEP-1 インデックス	0, 9, 13, 17, 23, 29, 32, 39, 43, 242	1, 5, 23, 32, 36, 42	3, 20, 28, 31	3, 20, 24, 28, 31
EQEP1_STROBE	I/O	eQEP-1 ストローブ	1, 4, 8, 12, 16, 22, 28, 30, 226	2, 4, 24, 26, 38, 41	2, 25, 27, 32	2, 25, 27, 32
ERRORSTS	O	エラー ステータス出力。外部ブレッドボードが必要。	24, 28, 29	1, 2, 27	15, 31, 32	15, 31, 32
GPIO0	I/O	汎用入出力 0	0	42	28	28
GPIO1	I/O	汎用入出力 1	1	41	27	27
GPIO2	I/O	汎用入出力 2	2	40		
GPIO3	I/O	汎用入出力 3	3	39	26	26
GPIO4	I/O	汎用入出力 4	4	38	25	25
GPIO5	I/O	汎用入出力 5	5	47	30	30
GPIO6	I/O	汎用入出力 6	6	48		
GPIO7	I/O	汎用入出力 7	7	43		29
GPIO8	I/O	汎用入出力 8	8			
GPIO9	I/O	汎用入出力 9	9			
GPIO10	I/O	汎用入出力 10	10			
GPIO11	I/O	汎用入出力 11	11		14	14
GPIO12	I/O	汎用入出力 12	12	24		
GPIO13	I/O	汎用入出力 13	13	23		
GPIO16	I/O	汎用入出力 16	16	26		
GPIO17	I/O	汎用入出力 17	17			
GPIO18	I/O	汎用入出力 18	18	33	21	21
GPIO19	I/O	汎用入出力 19	19	34	22	22
GPIO20	I/O	汎用入出力 20	20			
GPIO21	I/O	汎用入出力 21	21			
GPIO22	I/O	汎用入出力 22	22			
GPIO23	I/O	汎用入出力 23	23			
GPIO24	I/O	汎用入出力 24	24	27	15	15
GPIO28	I/O	汎用入出力 28	28	2	32	32
GPIO29	I/O	汎用入出力 29	29	1	31	31
GPIO30	I/O	汎用入出力 30	30			
GPIO32	I/O	汎用入出力 32	32	32	20	20
GPIO33	I/O	汎用入出力 33	33	25		
GPIO35	I/O	汎用入出力 35	35	31	19	19
GPIO37	I/O	汎用入出力 37	37	29	17	17
GPIO39	I/O	汎用入出力 39	39			
GPIO40	I/O	汎用入出力 40	40			
GPIO41	I/O	汎用入出力 41	41			
GPIO43	I/O	汎用入出力 43	43	36		24
GPIO45	I/O	汎用入出力 45	45	45		
GPIO46	I/O	汎用入出力 46	46			
GPIO224	I/O	汎用入出力 224	224	6	4	4
GPIO226	I/O	汎用入出力 226	226	4	2	2
GPIO227	I/O	汎用入出力 227	227	20	13	13
GPIO228	I/O	汎用入出力 228	228	4	2	2

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	48 PT	32 VFC	32 RHB
GPIO230	I/O	汎用入出力 230	230	21	13	13
GPIO242	I/O	汎用入出力 242	242	5	3	3
GPIO243	I/O	汎用入出力 243	243			
I2CA_SCL	I/O	I2C-A オープンドレイン双方向クロック	1, 3, 4, 8, 9, 18, 20, 29, 33, 37, 43, 227	1, 20, 25, 29, 33, 36, 38, 39, 41	13, 17, 21, 25, 26, 27, 31	13, 17, 21, 24, 25, 26, 27, 31
I2CA_SDA	I/O	I2C-A オープンドレイン双方向データ	0, 2, 5, 10, 19, 21, 28, 32, 35, 230	2, 21, 31, 32, 34, 40, 42, 47	13, 19, 20, 22, 28, 28, 30, 32	13, 19, 20, 22, 28, 30, 32
MCPWM1_1A	O	MCPWM-1 出力 1A	0, 4, 30, 224	6, 38, 42	4, 25, 28	4, 25, 28
MCPWM1_1B	O	MCPWM-1 出力 1B	1, 5, 9, 226	4, 41, 47	2, 27, 30	2, 27, 30
MCPWM1_2A	O	MCPWM-1 出力 2A	2, 6, 7, 29, 41, 230, 242	1, 5, 21, 40, 43, 48	3, 13, 31	3, 13, 29, 31
MCPWM1_2B	O	MCPWM-1 出力 2B	3, 7, 10, 40, 227, 228	4, 20, 39, 43	2, 13, 26	2, 13, 26, 29
MCPWM1_3A	O	MCPWM-1 出力 3A	0, 4, 6, 227	20, 38, 42, 48	13, 25, 28	13, 25, 28
MCPWM1_3B	O	MCPWM-1 出力 3B	1, 5, 230	21, 41, 47	13, 27, 30	13, 27, 30
MCPWM3_1A	O	MCPWM-3 出力 1A	7, 12, 28, 41	2, 24, 43	32	29, 32
MCPWM3_1B	O	MCPWM-3 出力 1B	11, 13, 29	1, 23	14, 31	14, 31
OUTPUTXBAR1	O	出力クロスバー出力 1	2, 24, 227	20, 27, 40	13, 15	13, 15
OUTPUTXBAR2	O	出力クロスバー出力 2	3, 37, 242	5, 29, 39	3, 17, 26	3, 17, 26
OUTPUTXBAR3	O	出力クロスバー出力 3	4, 5, 224	6, 38, 47	4, 25, 30	4, 25, 30
OUTPUTXBAR4	O	出力クロスバー出力 4	1, 6, 33	25, 41, 48	27	27
OUTPUTXBAR5	O	出力クロスバー出力 5	7, 28	2, 43	32	29, 32
OUTPUTXBAR6	O	出力クロスバー出力 6	9, 29, 43	1, 36	31	24, 31
OUTPUTXBAR7	O	出力クロスバー出力 7	0, 11, 16, 30	26, 42	14, 28	14, 28
OUTPUTXBAR8	O	出力クロスバー出力 8	17, 28, 45	2, 45	32	32
SCI_A_RX	I	SCI-A 受信データ	0, 3, 5, 9, 28, 35	2, 31, 39, 42, 47	19, 26, 28, 30, 32	19, 26, 28, 30, 32
SCI_A_TX	O	SCI-A 送信データ	1, 2, 7, 8, 16, 24, 29, 37	1, 26, 27, 29, 40, 41, 43	15, 17, 27, 31	15, 17, 27, 29, 31
SCI_B_RX	I	SCI-B 受信データ	11, 13, 19, 23, 41	23, 34	14, 22	14, 22
SCI_B_TX	O	SCI-B 送信データ	9, 10, 12, 18, 22, 40	24, 33	21	21
SPI_A_CLK	I/O	SPI-A クロック	3, 9, 12, 18, 28, 32, 41, 226	2, 4, 24, 32, 33, 39	2, 20, 21, 26, 32	2, 20, 21, 26, 32
SPI_A_PICO	I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)	2, 7, 8, 11, 16, 20, 24, 224	6, 26, 27, 40, 43	4, 14, 15	4, 14, 15, 29
SPI_A_POCI	I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)	1, 4, 5, 10, 13, 17, 21, 35, 45, 228	4, 23, 31, 38, 41, 45, 47	2, 19, 25, 27, 30	2, 19, 25, 27, 30
SPI_A_PTE	I/O	SPI-A ペリフェラル送信イネーブル (PTE)	0, 5, 11, 19, 23, 24, 29, 37, 242	1, 5, 27, 29, 34, 42, 47	3, 14, 15, 17, 22, 28, 30, 31	3, 14, 15, 17, 22, 28, 30, 31
SYNcout	O	外部 MCPWM 同期パルス	6, 37, 39	29, 48	17	17
TDI	I	JTAG テスト データ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要がある。	35	31	19	19
TDO	O	JTAG テスト データ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティング状態のままになる。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要がある。	37	29	17	17
UART_A_RX	I	UART-A 受信データ	21, 29, 32, 35, 226	1, 4, 31, 32	2, 19, 20, 31	2, 19, 20, 31
UART_A_TX	O	UART-A 送信データ	20, 28, 33, 37, 43, 224	2, 6, 25, 29, 36	4, 17, 32	4, 17, 24, 32
X1	I/O	水晶発振器入力またはシングルエンド クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。	19	34	22	22
X2	I/O	水晶発振器出力。	18	33	21	21

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	48 PT	32 VFC	32 RHB
XCLKOUT	O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。	16、18、243	26、33	21	21

### 5.3.3 電源およびグランド

表 5-4. 電源およびグランド

信号名	説明	48 PT	32 VFC	32 RHB
VDDA	3.3V アナログ電源ピン。各ピンに、最小 2.2 $\mu$ F のデカップリング コンデンサを配置。32 QFN パッケージでは、VREFHI は内部で VDDA に接続されている。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。	18	11	11
VDDIO	3.3V デジタル I/O 電源ピン。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。	35, 46	23	23
VSS	デジタル グランド。QFN パッケージの場合、パッケージの底面にあるグランド パッドを PCB のグランド プレーンに半田付けする必要がある。	22, 37, 44	24, 29	PAD
VSSA	アナログ GND	17	10	10

### 5.3.4 テスト、JTAG、リセット

**表 5-5. テスト、JTAG、リセット**

信号名	ピンの種類	説明	48 PT	32 VFC	32 RHB
TCK	I	内部プルアップ付き JTAG テストクロック。	28	16	16
TMS	I/O	内部プルアップ付き JTAG テストモード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。	30	18	18
XRSn	I/OD	デバイスリセット (IN) およびウォッチドッグリセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイスリセットをアサートすることもできる。ウォッチドッグリセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグリセット時には、512 OSCCLK サイクルのウォッチドッグリセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ~10kΩ の抵抗を配置する必要がある。ノイズ フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグリセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープンドレイン出力。このピンが外部デバイスによって駆動される場合は、オープンドレインデバイスを使用して駆動する必要があります。	3	1	1

### 5.4 ピン多重化

以下のセクションに、GPIO 多重化ピンを示します。

## 5.4.1 GPIO 多重化ピン

表 5-6. GPIO 多重化ピン

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	MCPWM1_1A		OUTPUTXBAR7	SCIA_RX	I2CA_SDA	SPIA_PTE				EQEP1_INDEX			MCPWM1_3A
GPIO1	MCPWM1_1B		OUTPUTXBAR4	SCIA_TX	I2CA_SCL	SPIA_POCI	EQEP1_STROBE						MCPWM1_3B
GPIO2	MCPWM1_2A			OUTPUTXBAR1		SPIA_PICO	SCIA_TX		I2CA_SDA				
GPIO3	MCPWM1_2B	OUTPUTXBAR2		OUTPUTXBAR2		SPIA_CLK	SCIA_RX		I2CA_SCL				
GPIO4	MCPWM1_3A	I2CA_SCL		OUTPUTXBAR3			EQEP1_STROBE				SPIA_POCI	MCPWM1_1A	
GPIO5	MCPWM1_3B	I2CA_SDA	OUTPUTXBAR3			SPIA_PTE	SPIA_POCI		SCIA_RX				MCPWM1_1B
GPIO6		OUTPUTXBAR4	SYNCOUT	EQEP1_A				MCPWM1_3A					MCPWM1_2A
GPIO7		MCPWM1_2A	OUTPUTXBAR5	EQEP1_B		SPIA_PICO	MCPWM3_1A		SCIA_TX				MCPWM1_2B
GPIO8		ADCSOCAO	EQEP1_STROBE	SCIA_TX	SPIA_PICO	I2CA_SCL							
GPIO9	SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK	MCPWM1_1B				I2CA_SCL			
GPIO10	MCPWM1_2B	ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_POCI	I2CA_SDA							
GPIO11		OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_PTE	MCPWM3_1B			EQEP1_A	SPIA_PICO			
GPIO12	MCPWM3_1A		EQEP1_STROBE	SCIB_TX					SPIA_CLK				
GPIO13	MCPWM3_1B		EQEP1_INDEX	SCIB_RX					SPIA_POCI				
GPIO16	SPIA_PICO		OUTPUTXBAR7	SCIA_TX		EQEP1_STROBE		XCLKOUT	EQEP1_B				
GPIO17	SPIA_POCI		OUTPUTXBAR8	SCIA_RX		EQEP1_INDEX							
GPIO18	SPIA_CLK	SCIB_TX		I2CA_SCL		EQEP1_A		XCLKOUT					X2
GPIO19	SPIA_PTE	SCIB_RX		I2CA_SDA		EQEP1_B							X1
GPIO20	EQEP1_A			SPIA_PICO				I2CA_SCL					UARTA_TX
GPIO21	EQEP1_B			SPIA_POCI				I2CA_SDA					UARTA_RX
GPIO22	EQEP1_STROBE		SCIB_TX										
GPIO23	EQEP1_INDEX	SPIA_PTE	SCIB_RX										
GPIO24	OUTPUTXBAR1	EQEP1_A	SPIA_PTE	SPIA_PICO				SCIA_RX	ERRORSTS				
GPIO28	SCIA_RX	OUTPUTXBAR8	MCPWM3_1A	OUTPUTXBAR5	EQEP1_A		EQEP1_STROBE	UARTA_TX	SPIA_CLK	ERRORSTS	I2CA_SDA		
GPIO29	SCIA_TX	MCPWM1_2A	MCPWM3_1B	OUTPUTXBAR6	EQEP1_B		EQEP1_INDEX	UARTA_RX	SPIA_PTE	ERRORSTS	I2CA_SCL		
GPIO30				OUTPUTXBAR7	EQEP1_STROBE				MCPWM1_1A				
GPIO32	I2CA_SDA	EQEP1_INDEX	SPIA_CLK		UARTA_RX					ADCSOCBO			
GPIO33	I2CA_SCL			OUTPUTXBAR4	UARTA_TX				EQEP1_B	ADCSOCAO			
GPIO35	SCIA_RX	SPIA_POCI	I2CA_SDA		UARTA_RX	EQEP1_A							TDI
GPIO37	OUTPUTXBAR2	SPIA_PTE	I2CA_SCL	SCIA_TX		UARTA_TX	EQEP1_B			SYNCOUT			TDO
GPIO39				MCPWM1_2B			EQEP1_INDEX			SYNCOUT	EQEP1_INDEX		
GPIO40						SCIB_TX	EQEP1_A						
GPIO41	MCPWM3_1A	SPIA_CLK		MCPWM1_2A		SCIB_RX	EQEP1_B						
GPIO43		OUTPUTXBAR6		I2CA_SCL	UARTA_TX		EQEP1_INDEX						
GPIO45		OUTPUTXBAR8		SPIA_POCI									
GPIO46													
GPIO224				OUTPUTXBAR3	SPIA_PICO		MCPWM1_1A		EQEP1_A		UARTA_TX		

表 5-6. GPIO 多重化ピン (続き)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO226					SPIA_CLK		MCPWM1_1B		EQEP1_STROBE		UARTA_RX		
GPIO227	I2CA_SCL		MCPWM1_3A	OUTPUTXBAR1	MCPWM1_2B								
GPIO228			ADCSOCDAO		SPIA_POCI		MCPWM1_2B		EQEP1_B				
GPIO230	I2CA_SDA		MCPWM1_3B		MCPWM1_2A	I2CA_SDA							
GPIO242			MCPWM1_2A	OUTPUTXBAR2	SPIA_PTE				EQEP1_INDEX				
GPIO243	XCLKOUT												
AIO225													
AIO231													
AIO232													
AIO233													
AIO237													
AIO238													
AIO239													
AIO241													
AIO244													
AIO245													

### 5.4.2 ADC ピンのデジタル入力(AIO)

ポート H の GPIO は、アナログ ピンと多重化されています。これらは、「AIO」とも呼ばれます。これらのピンは入力モードでのみ機能します。デフォルトでは、これらのピンはアナログ ピンとして機能し、GPIO はハイインピーダンス状態になります。GPHAMSEL レジスタは、これらのピンをデジタルまたはアナログ動作用に構成するために使用します。

#### 注

鋭いエッジ (大きい  $dv/dt$ ) を持つデジタル信号を AIO に接続すると、隣接するアナログ信号に対してクロストークが発生する可能性があります。したがって、アナログ機能に隣接するチャネルを使用する場合は、AIO に接続する信号のエッジ レートを制限する必要があります。

### 5.4.3 ADC ピン上のデジタル入出力(AGPIO)

一部の GPIO はアナログ ピンと多重化されており、デジタル入出力機能を備えています。これらは、「AGPIO」とも呼ばれます。AIO とは異なり、AGPIO には完全な入力と出力の機能があります。デフォルトでは、AGPIO は接続されていないため、構成する必要があります。表 5-7 に、AGPIO の構成方法を示します。アナログ機能をイネーブルにするには、アナログ サブシステムのレジスタ AGPIOCTRLx を設定します。デジタル機能をイネーブルにするには、「汎用入出力 (GPIO)」の章のレジスタ GPxAMSEL を設定します。

表 5-7. AGPIO の構成

AGPIOCTRLx.GPIOy (デフォルト = 0)	GPxAMSEL.GPIOy (デフォルト = 1)	ピン接続先:	
		ADC	GPIOy
0	0	-	あり
0	1	- (1)	- (1)
1	0	-	あり
1	1	あり	-

(1) デフォルトでは、AGPIO ピンに接続される信号はありません。ピン機能を使用するには、表内の他の行のいずれかを選択する必要があります。

#### 注

鋭いエッジ (大きい  $dv/dt$ ) を持つデジタル信号を AGPIO に接続すると、隣接するアナログ信号に対してクロストークが発生する可能性があります。したがって、アナログ機能に隣接するチャネルを使用する場合は、AGPIO に接続する信号のエッジ レートを制限する必要があります。

### 5.4.4 GPIO 入力クロスバー

入力クロスバーは、GPIO からの信号を、ADC、eCAP、MCPWM、外部割り込みなどのさまざまな IP ブロックにルーティングするために使用されます (図 5-4 を参照)。「入力クロスバーの接続先」表に入力クロスバーの接続先を一覧表示。入力クロスバーの構成の詳細については、『F28E12x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』のクロスバー (X-BAR) の章を参照してください。

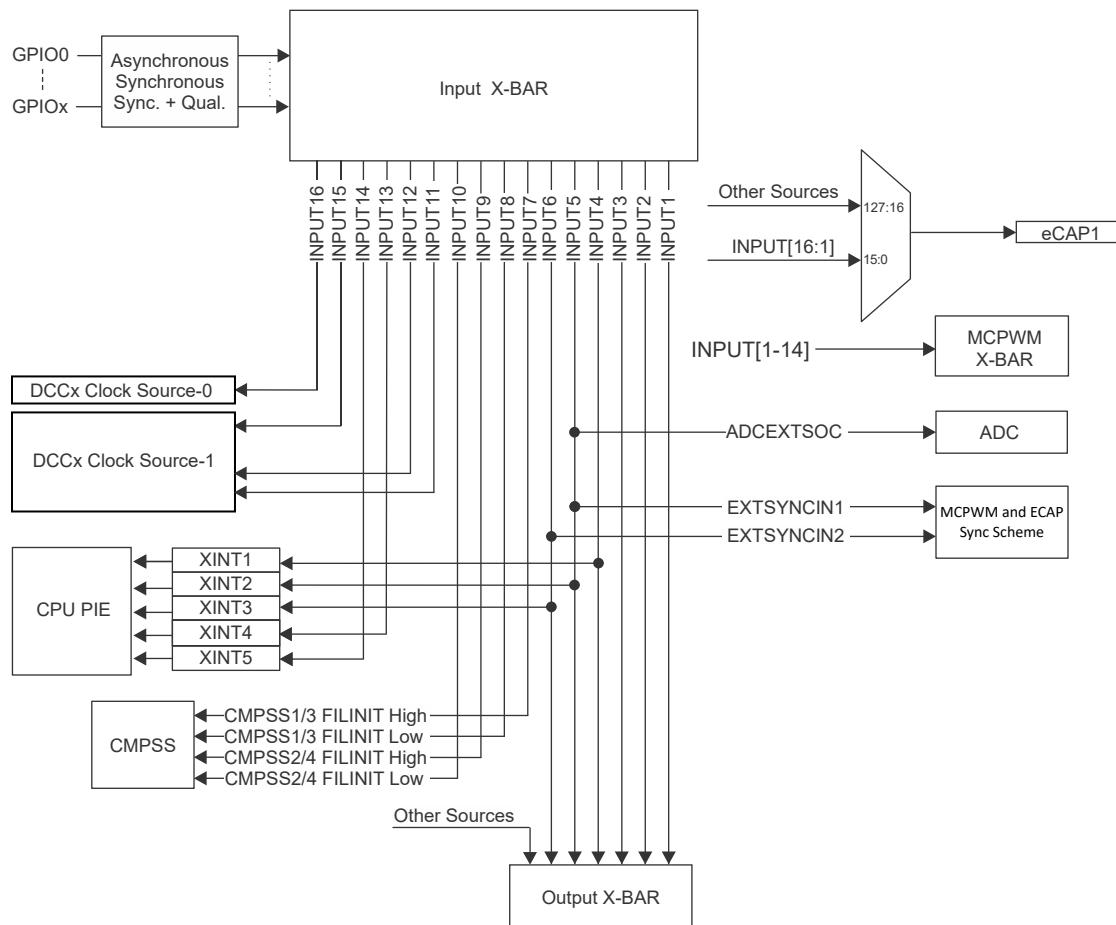


図 5-4. 入力クロスバー

表 5-8. クロスバーの接続先

入力	ECAP	PWM クロスバー	出力クロスバー	CPU XINT	ADC 変換開始	PWM/ECAP 同期	DCCx	CMPSS
1	あり	あり	あり	-	-	-	-	-
2	あり	あり	あり	-	-	-	-	-
3	あり	あり	あり	-	-	-	-	-
4	あり	あり	あり	XINT1	-	-	-	-
5	あり	あり	あり	XINT2	ADCEXTSOC	EXTSYNCIN1	-	-
6	あり	あり	あり	XINT3	-	EXTSYNCIN2	-	-
7	あり	あり	-	-	-	-	-	CMPSS1_EXT_FILTIN_H[1] / CMPSS3_EXT_FILTIN_H[1]
8	あり	あり	-	-	-	-	-	CMPSS1_EXT_FILTIN_L[1] / CMPSS3_EXT_FILTIN_L[1]
9	あり	あり	-	-	-	-	-	CMPSS2_EXT_FILTIN_H[1] / CMPSS4_EXT_FILTIN_H[1]
10	あり	あり	-	-	-	-	-	CMPSS2_EXT_FILTIN_L[1] / CMPSS4_EXT_FILTIN_L[1]
11	あり	あり	-	-	-	-	CLK1	-
12	あり	あり	-	-	-	-	CLK1	-
13	あり	あり	-	XINT4	-	-	-	-

表 5-8. クロスバーの接続先 (続き)

入力	ECAP	PWM クロスバー	出力クロスバー	CPU XINT	ADC 変換開始	PWM/ECAP 同期	DCCx	CMPSS
14	あり	あり	-	XINT5	-	-	-	-
15	あり	-	-	-	-	-	CLK1	-
16	あり	-	-	-	-	-	CLK0	-

### 5.4.5 GPIO 出力 X-BAR および PWM X-BAR

出力クロスバーには 8 つの出力があり、GPIO 多重化で OUTPUTXBARx として選択できます。PWM X-BAR には 8 つの出力があり、MCPWM の TRIPx 入力に接続されています。出力クロスバーおよび PWM X-BAR のソースを 図 5-5 に示します。

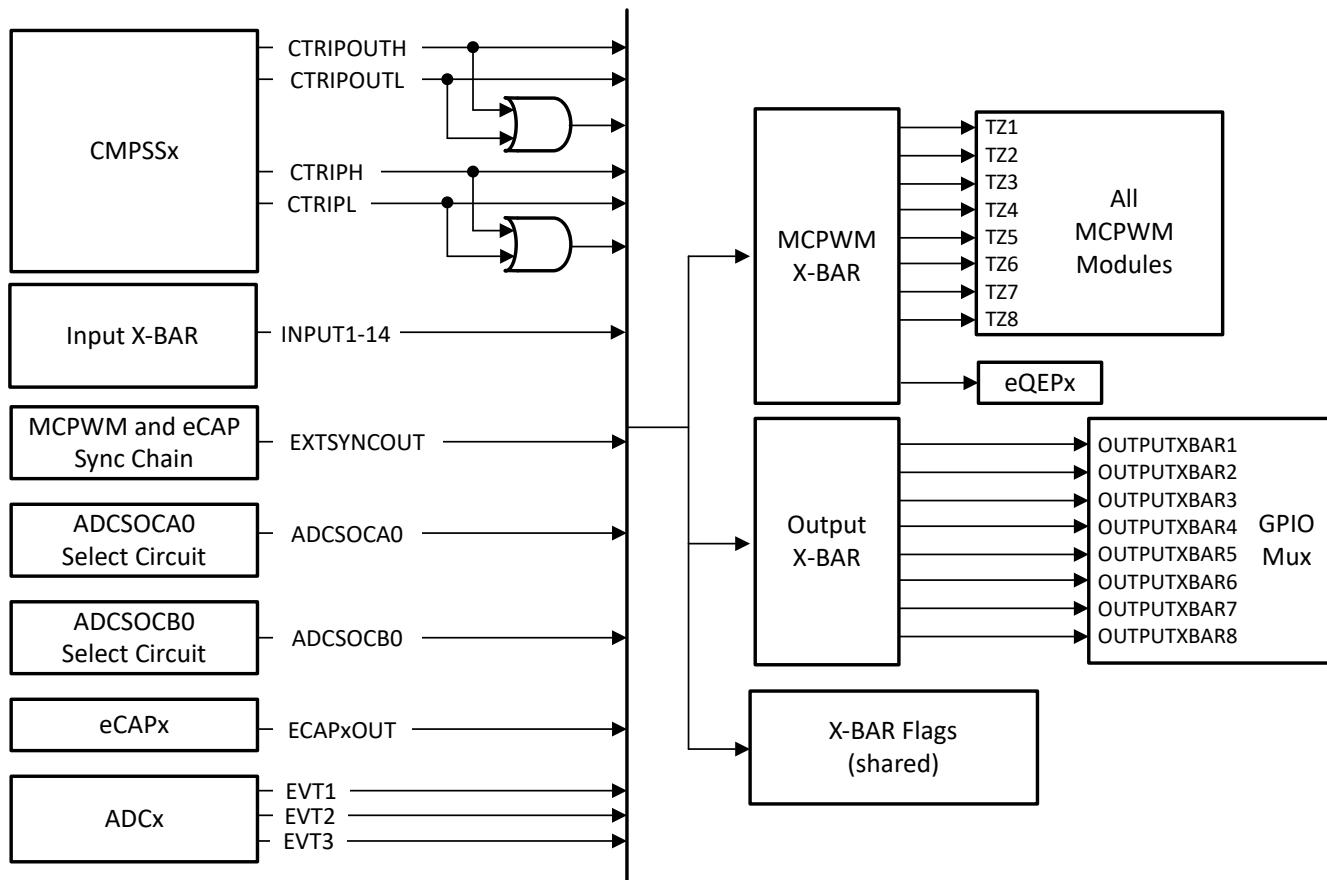


図 5-5. GPIO 出力 X-BAR および PWM X-BAR

### 5.4.6 GPIO および ADC の割り当て

表 5-9. GPIO および ADC の割り当て

機能	48 PT	32 RHB	32 VFC
<b>GPIO</b>			
GPIO	15	11	9
AGPIO	8	5	5
JTAG および発振器の GPIO	4 (TDI、TDO、X1、X2)		
GPIO 合計	27	20	18
AIO	9	6	6
GPIO と AIO の合計	36	26	24
<b>ADC</b>			
ADC チャネル	9	6	6
AGPIO	8	5	5
合計 ADC チャネル (シングルエンジン)	17	11	11

### 5.5 内部プルアップおよびプルダウン付きのピン

デバイスの一部のピンには、内部プルアップまたはプルダウンが付いています。表 5-10 に、プル方向および動作するときを示します。GPIO ピンのプルアップは、デフォルトでディセーブルになっており、ソフトウェアによってイネーブルにできます。未接続入力がフローティングになるのを回避するため、特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。表 5-10 に記載されているプルアップおよびプルダウン付きの他のピンは、常にオンであり、ディセーブルできません。

表 5-10. 内部プルアップおよびプルダウン付きのピン

ピン	リセット (XRSn = 0)	デバイスブート	アプリケーション
GPIOx	プルアップ ディセーブル	プルアップ ディセーブル <sup>(1)</sup>	アプリケーションで設定
GPIO35/TDI	プルアップ ディセーブル	プルアップ ディセーブル	アプリケーションで設定
GPIO37/TDO	プルアップ ディセーブル	プルアップ ディセーブル	アプリケーションで設定
TCK		プルアップ イネーブル	
TMS		プルアップ イネーブル	
XRSn		プルアップ イネーブル	
その他のピン (AIO を含む)		プルアップまたはプルダウンなし	

(1) 特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。

## 5.6 未使用ピンの接続

デバイスのすべての機能を使用する必要のないアプリケーションについては、表 5-11 に、未使用のピンに対して許容される処置を示します。表 5-11 に複数の選択肢が示されている場合は、どれを採用してもかまいません。表 5-11 に記載されていないピンは、セクション 5 に従って接続する必要があります。

**表 5-11. 未使用ピンの接続**

信号名	許容される処置
<b>アナログ</b>	
VREFHI	VDDA に接続 (ADC がアプリケーションで使用されていない場合のみ適用)
VREFLO	VSSA に接続
アナログ入力ピン	<ul style="list-style-type: none"> <li>接続なし</li> <li>VSSA に接続</li> <li>抵抗を経由して VSSA に接続</li> </ul>
アナログ入力ピン (GPIO と共有)	<ul style="list-style-type: none"> <li>接続なし</li> <li>抵抗を経由して VSSA に接続</li> </ul>
<b>デジタル</b>	
GPIOx	<ul style="list-style-type: none"> <li>接続なし (入力モードで内部プルアップをイネーブル)</li> <li>接続なし (出力モードで内部プルアップをディセーブル)</li> <li>プルアップまたはプルダウン抵抗 (任意の値の抵抗、入力モードで内部プルアップをディセーブル)</li> </ul>
GPIO35/TDI	TDI 多重化オプションを選択すると (デフォルト)、GPIO は入力モードになります。 <ul style="list-style-type: none"> <li>内部プルアップをイネーブル</li> <li>外部プルアップ抵抗</li> </ul>
GPIO37/TDO	TDO 多重化オプションを選択すると (デフォルト)、GPIO は JTAG 動作中のみ出力モードになります。それ以外の場合は、トライステート状態になります。入力パッファでの余分な電流を避けるため、このピンにバイアスを印加する必要があります。 <ul style="list-style-type: none"> <li>内部プルアップをイネーブル</li> <li>外部プルアップ抵抗</li> </ul>
TCK	<ul style="list-style-type: none"> <li>接続なし</li> <li>プルアップ抵抗</li> </ul>
TMS	プルアップ抵抗
GPIO19/X1	XTAL をオフおよび: <ul style="list-style-type: none"> <li>入力モードで内部プルアップをイネーブル</li> <li>入力モードで外部プルアップまたはプルダウン抵抗を使用</li> <li>出力モードで内部プルアップをディセーブル</li> </ul>
GPIO18/X2	XTAL をオフおよび: <ul style="list-style-type: none"> <li>入力モードで内部プルアップをイネーブル</li> <li>入力モードで外部プルアップまたはプルダウン抵抗を使用</li> <li>出力モードで内部プルアップをディセーブル</li> </ul>
<b>電源およびグランド</b>	
VDDA	専用のアナログ電源を使用しない場合は、VDDIO に接続します。
VDDIO	すべての VDDIO ピンは、セクション 5.3 に従って接続する必要があります。
VSS	すべての VSS ピンは、基板のグランドに接続する必要があります。
VSSA	アナログ グランドを使用しない場合は、VSS に接続します。

## 6 仕様

### 6.1 絶対最大定格

推奨動作条件範囲内 (特に記述のない限り)<sup>(1) (2)</sup>

		最小値	最大値	単位
電源電圧	VSS を基準とした VDDIO	-0.3	4.6	V
	VSSA を基準とした VDDA	-0.3	4.6	
入力電圧	V <sub>IN</sub> (3.3V)	-0.3	4.6	V
出力電圧	V <sub>O</sub>	-0.3	4.6	V
入力クランプ電流	デジタル / アナログ入力 (ピンごと)、I <sub>IK</sub> (V <sub>IN</sub> < VSS/VSSA、または V <sub>IN</sub> > VDDIO/VDDA) <sup>(4)</sup>	-20	20	mA
	すべての入力の合計値、I <sub>IKTOTAL</sub> (V <sub>IN</sub> < VSS/VSSA、または V <sub>IN</sub> > VDDIO/VDDA)	-20	20	
出力電流	デジタル出力 (ピンごと)、I <sub>OUT</sub>	-20	20	mA
動作時接合部温度	T <sub>J</sub>	-40	125	°C
保存温度 <sup>(3)</sup>	T <sub>stg</sub>	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
- (3) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、『半導体および IC パッケージの熱評価基準』アブリケーションレポートを参照してください。
- (4) ピンごとの連続クランプ電流は ±2mA です。この条件で連続的に動作すると、V<sub>DDIO</sub>/V<sub>DDA</sub> 電圧が内部で上昇し、他の電気的仕様に影響を及ぼす可能性があるため、連続動作は避けください。

### 6.2 ESD 定格

		値	単位
F28E120SC, F28E120SB (48 ピン PT パッケージ)			
V <sub>(ESD)</sub>	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	すべてのピン ±500 48 ピン PT のコーナーピン: 1, 12, 13, 24, 25, 36, 37, 48 ±750
F28E120SC, F28E120SB (32 ピン VFC パッケージ)			
V <sub>(ESD)</sub>	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	すべてのピン ±500 32 ピン VFC のコーナーピン: 1, 8, 9, 16, 17, 24, 25, 32 ±750
F28E120SC, F28E120SB (32 ピン RHB パッケージ)			
V <sub>(ESD)</sub>	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	すべてのピン ±500 32 ピン RHB のコーナーピン: 1, 8, 9, 16, 17, 24, 25, 32 ±750

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 6.3 推奨動作条件

	最小値	公称値	最大値	単位
デバイス電源電圧、V <sub>DDIO</sub> および V <sub>DDA</sub>	V <sub>BOR-VDDIO</sub> (MAX) + V <sub>BOR-GB</sub> <sup>(2)</sup>	3.3	3.63	V
	内部 BOR ディセーブル	2.8	3.3	

## 6.3 推奨動作条件 (続き)

		最小値	公称値	最大値	単位
デバイス グランド、VSS		0		V	
アナログ グランド、VSSA		0		V	
SR <sub>SUPPLY</sub>		VSS に対する VDDIO、VDDA の電源ランプレート <sup>(4)</sup>			
V <sub>IN</sub>	デジタル入力電圧	VSS - 0.3		VDDIO + 0.3	V
	アナログ入力電圧	VSSA - 0.3		VDDA + 0.3	V
接合部温度、T <sub>J</sub> <sup>(1)</sup>		-40		125	°C
自由気流での周囲温度、T <sub>A</sub>		-40		105	°C

- (1) T<sub>J</sub> = 105°C を超えて長時間動作すると、デバイスの寿命が短くなります。詳細については、『組込みプロセッサの有効寿命計算』を参照してください。
- (2) 「パワー マネージメント モジュール (PMM)」セクションを参照してください。
- (3) デフォルトで、内部 BOR がイネーブルになっています。
- (4) 「パワー マネージメント モジュールの動作条件」表を参照してください。

## 6.4 消費電力の概略

このセクションに記載されている電流値は、絶対最大値ではなく、与えられたテスト条件での代表値を表しています。アプリケーションでの実際のデバイス電流は、アプリケーションコードおよびピン構成によって異なります。セクション 6.4.1 に、システム消費電流の値を示します。

### 6.4.1 システム消費電流 - 内部電源

推奨動作条件範囲内 (特に記述のない限り)

標準値: V<sub>nom</sub>

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>動作モード</b>						
I <sub>DDIO</sub> <sup>(3)</sup>	動作時の VDDIO 消費電流	これは、標準的な大負荷アプリケーションにおける電流の推定値です。実際の電流は、システムの動作、I/O の電気的負荷、およびスイッチング周波数によって異なります。この条件下には以下が含まれます。コア電源電流については、CPU が RAM 上で動作 フラッシュメモリが通電状態 水晶発振器 (X1/X2) が通電状態 PLL が有効。SYSCLK (デバイスの最大動作周波数) については、アナログ モジュールが通電状態 出力が DC 負荷のない静的状態 入力が安定した High または Low レベルに固定	30°C	28	33	mA
			85°C	33	37	mA
			125°C	37	42	mA
I <sub>DDA</sub>	動作時の VDDA 消費電流		30°C	3.3	4.5	mA
			85°C	6.5	8.5	mA
			125°C	7	9	mA
<b>アイドル モード</b>						

### 6.4.1 システム消費電流 - 内部電源 (続き)

推奨動作条件範囲内 (特に記述のない限り)

標準値:  $V_{nom}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{DDIO}$	デバイスがアイドル モードのときの VDDIO 消費電流	- CPU は IDLE モード	30°C	18		mA
		- PLL 有効、SYSCLK = デバイスの最大周波数、CPUCLK はゲート	85°C	22		mA
		- X1/X2 水晶振動子に電源を供給	125°C	29		mA
$I_{DDA}$	デバイスがアイドル モードのときの VDDA 消費電流	- アナログ モジュールへの電源供給なし	30°C	2.5		mA
		- DC 負荷なしで出力は安定	85°C	3.5		mA
		- 入力は High または Low で安定	125°C		4	mA

#### STANDBY モード (PLL 有効)

$I_{DDIO}$	デバイスがスタンバイ モードのときの VDDIO 消費電流	- CPU は STANDBY モード	30°C	8.5		mA
		- PLL 有効、SYSCLK および CPUCLK はゲート	85°C	13		mA
		- X1/X2 水晶振動子への電源供給なし	125°C	20		mA
$I_{DDA}$	デバイスがスタンバイ モードのときの VDDA 消費電流	- アナログ モジュールへの電源供給なし	30°C	2.5		mA
		- DC 負荷なしで出力は安定	85°C	3.5		mA
		- 入力は High または Low で安定	125°C		4.0	mA

#### 6.4.1 システム消費電流 - 内部電源 (続き)

推奨動作条件範囲内 (特に記述のない限り)

標準値:  $V_{nom}$

パラメータ		テスト条件	最小値	標準値	最大値	単位	
<b>STANDBY モード (PLL 無効)</b>							
$I_{DDIO}$	デバイスがスタンバイモードのときの $V_{DDIO}$ 消費電流	- CPU は STANDBY モード - PLL 無効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし	30°C	4	mA		
		- アナログ モジュールへの電源供給なし	85°C	7	mA		
		- DC 負荷なしで出力は安定	125°C	11	mA		
$I_{DDA}$	デバイスがスタンバイモードのときの $V_{DDA}$ 消費電流	- DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C	2.5	mA		
		- アナログ モジュールへの電源供給なし	85°C	3.5	mA		
		- DC 負荷なしで出力は安定	125°C	4	mA		
<b>ホールト モード</b>							
$I_{DDIO}$	デバイスがホールトモードのときの $V_{DDIO}$ 消費電流	- CPU は HALT モード - PLL 無効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし	30°C	4	mA		
		- アナログ モジュールへの電源供給なし	85°C	7	mA		
		- DC 負荷なしで出力は安定	125°C	11	mA		
$I_{DDA}$	デバイスがホールトモードのときの $V_{DDA}$ 消費電流	- DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C	2	mA		
		- アナログ モジュールへの電源供給なし	85°C	2.5	mA		
		- DC 負荷なしで出力は安定	125°C	3	mA		
<b>フラッシュ消去 / プログラム</b>							
$I_{DDIO}$	消去 / プログラムサイクル中の $V_{DDIO}$ 消費電流 <sup>(1)</sup>	- CPU は RAM から実行中 - フラッシュに対し連続的なプログラム / 消去操作を実行 - PLL 有効、SYSCLK は 120MHz		34	46	mA	
$I_{DDA}$	消去 / プログラムサイクル中の $V_{DDA}$ 消費電流	- ペリフェラル クロックはオフ - X1/X2 水晶振動子に電源を供給 - アナログへの電源供給なし - 出力は DC 負荷なしで安定 - 入力は High または Low で安定		1	4	mA	
<b>リセット モード</b>							
$I_{DDIO}$	リセットがアクティブのときの $V_{DDIO}$ 消費電流 <sup>(2)</sup>	デバイスをリセット中	30°C	12.5	mA		
			85°C	12.5	mA		
			125°C	12.5	mA		
$I_{DDA}$	リセットがアクティブのときの $V_{DDA}$ 消費電流 <sup>(2)</sup>		30°C	1	mA		
			85°C	1	mA		
			125°C	1	mA		

(1) フラッシュプログラミング中に発生したブランアウトイベントは、フラッシュデータを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブランアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステムコンポーネントに定格電流を供給できるようにする必要があります。

(2) これは、リセットがアクティブ (XRSn が Low) の場合の消費電流です。

(3) この値は記載された動作条件で消費されるピーク電流を示しますが、本デバイスを適切に動作させるために必要な最大電流バジェットについては、「パワーマネージメントモジュールの特性」にある  $V_{DDIO}$  突入電流仕様を参照してください。

#### 6.4.2 動作モード テストの説明

セクション 6.4.1 に、デバイスの動作モードでの消費電流値を示します。動作モードでは、アプリケーションで何が発生する可能性があるかを推定できます。これらの測定のテスト条件には、以下の特徴があります。

- コードは RAM から実行。
- フラッシュは読み取りで、アクティブ状態を保持。
- 外部コンポーネントは I/O ピンによって駆動されない。
- すべてのペリフェラルでクロックがイネーブルになっている。
- すべての CPU がコードをアクティブに実行。
- すべてのアナログ ペリフェラルに電源が投入されている。ADC は定期的に変換を行っていません。

#### 6.4.3 消費電流のグラフ

次のグラフは、デバイスの周波数、温度、電源、消費電流の関係の代表例を示したものです。実際の結果は、システムの実装と条件によって異なります。

図 6-1 は、内部電源の場合の通常動作時の電流プロファイルについて、全温度範囲と全動作モードのデータを示したもので、このデータはシステム消費電流 - 内部電源の表に基づいています (30°C のデータを VNOM で取得し、それより高温のデータ点は VMAX で取得)。

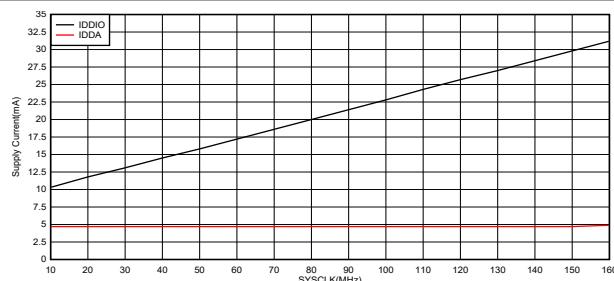


図 6-1. 動作時の電流と周波数との関係

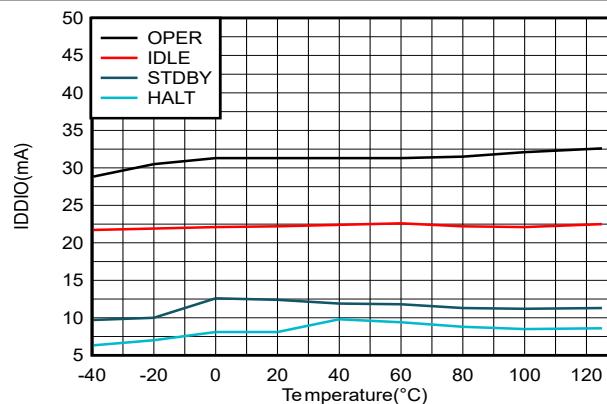


図 6-2. 電流と温度との関係 - IDIO

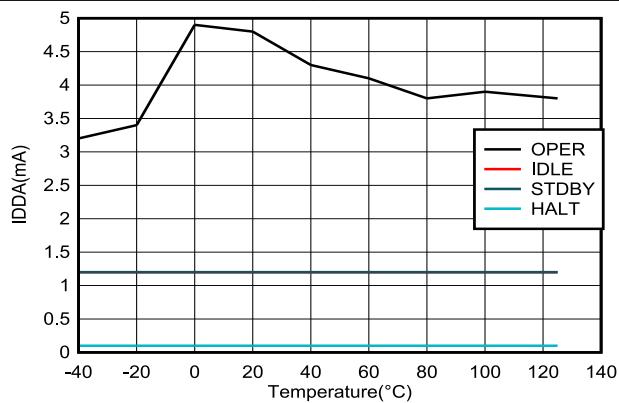


図 6-3. 電流と温度との関係 - IDDA

#### 6.4.4 消費電流の低減

F28E12x デバイスには、デバイスの消費電流を低減する方法がいくつかあります。

- アプリケーションが動作していないときに、IDLE または STANDBY の 2 つの低消費電力モードのいずれかに移行できます。

- RAM からコードを実行する場合には、フラッシュ モジュールの電源をオフにすることができます。
- 出力機能として設定されているピンのプルアップをディセーブルにします。
- 低消費電力モードで最小の VDDA 消費電流を実現するには、『F28E12x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「A/D コンバータ (ADC)」の章を参照して、各モジュールの電源が確実にオフになるようにしてください。

## 6.5 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	
<b>デジタルおよびアナログ IO</b>							
$V_{OH}$	High レベル出力電圧	$I_{OH} = I_{OL}$ 最小値	$V_{DDIO} * 0.8$		0.4	V	
		$I_{OH} = -100\mu A$	$V_{DDIO} - 0.2$				
$V_{OL}$	Low レベル出力電圧	$I_{OL} = I_{OL}$ 最大値	0.4		0.2	V	
		$I_{OL} = 100\mu A$					
$I_{OH}$	すべての出力ピンの High レベル出力ソース電流		-4			mA	
$I_{OL}$	すべての出力ピンの Low レベル出力シンク電流		4			mA	
$R_{OH}$	すべての出力ピンの High レベル出力インピーダンス	$VOH = V_{DDDS} - 0.4V$	50	65	96	$\Omega$	
$R_{OL}$	すべての出力ピンの Low レベル出力インピーダンス	$V_{OL} = 0.4V$	48	60	84	$\Omega$	
$V_{IH}$	High レベル入力電圧		2.0			V	
$V_{IL}$	Low レベル入力電圧		0.8			V	
$V_{HYSTERESIS}$	入力ヒステリシス (AIO)		125		125	mV	
	入力ヒステリシス (GPIO)						
$I_{PULLDOWN}$	入力電流	プルダウン付きピン	$V_{DDIO} = 3.3V$ $V_{IN} = V_{DDIO}$	120		$\mu A$	
$I_{PULLUP}$	入力電流	プルアップがバイナリーブルされたデジタル入力 <sup>(1)</sup>	$V_{DDIO} = 3.3V$ $V_{IN} = 0V$	160		$\mu A$	
$R_{PULLDOWN}$	弱プルダウン抵抗			22.66	31.49	$k\Omega$	
$R_{PULLUP}$	弱プルアップ抵抗			19.89	29.45	$k\Omega$	
$I_{LEAK}$	ピンのリーク電流	デジタル入力	プルアップおよび出力はディセーブル $0V \leq V_{IN} \leq V_{DDIO}$	0.1		$\mu A$	
		アナログ ピン	アナログ ドライバは ディセーブル $0V \leq V_{IN} \leq V_{DDA}$	0.1			
$C_I$	入力容量	デジタル入力		2		$pF$	
		アナログ ピン <sup>(2)</sup>					
<b>BOR</b>							
POR, BOR <sup>(3)</sup>							

(1) プルアップまたはプルダウン付きピンの一覧については、「内部プルアップおよびプルダウン付きのピン」の表を参照してください。

(2) アナログ ピンは個別に規定されています。「ADC 入力モデル」セクションの「チャネルごとの寄生容量」表を参照してください。

(3) 「パワー マネージメント モジュール (PMM)」セクションを参照してください。

## 6.6 PT パッケージの熱抵抗特性

		°C/W <sup>(1)</sup>
R $\Theta_{JC}$	接合部からケースへの熱抵抗	22.9
R $\Theta_{JB}$	接合部から基板への熱抵抗	36.8
R $\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	61.8
P $\sigma_{JT}$	接合部とパッケージ上面との間	1.2
P $\sigma_{JB}$	接合部と基板との間	36.5

- (1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる  $\theta_{JC}$  [R $\Theta_{JC}$ ] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
  - JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
  - JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
  - JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

## 6.7 VFC パッケージの熱抵抗特性

		°C/W <sup>(1)</sup>
R $\Theta_{JC}$	接合部からケースへの熱抵抗、上面	23.2
R $\Theta_{JB}$	接合部から基板への熱抵抗	37.0
R $\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	63.7
P $\sigma_{JT}$	接合部とパッケージ上面との間	1.3
P $\sigma_{JB}$	接合部と基板との間	36.5

- (1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる  $\theta_{JC}$  [R $\Theta_{JC}$ ] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
  - JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
  - JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
  - JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

## 6.8 RHB パッケージの熱抵抗特性

		°C/W <sup>(1)</sup>
R $\Theta_{JC}$	接合部からケースへの熱抵抗、上面	25.2
	接合部からケースへの熱抵抗、底面	4.1
R $\Theta_{JB}$	接合部から基板への熱抵抗	14.0
R $\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	33.1
P $\sigma_{JT}$	接合部とパッケージ上面との間	0.4
P $\sigma_{JB}$	接合部と基板との間	13.9

- (1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる  $\theta_{JC}$  [R $\Theta_{JC}$ ] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
  - JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
  - JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
  - JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

## 6.9 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、 $I_{DD}$  および  $I_{DDIO}$  の電流は変動する可能性があります。最終製品において推奨最大消費電力を超えるシステムでは、追加の熱強化が必要になる場合があります。周囲温度 ( $T_A$ ) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要因は、周囲温度ではなく、接合部温度  $T_J$  です。したがって、規定された制限範囲内に  $T_J$  を維持するように注意する必要があります。動作接合部温度  $T_J$  を推定するためには、 $T_{case}$  を測定する必要があります。通常、 $T_{case}$  は、パッケージ上面の中央で測定します。サーマル アプリケーション レポート『半導体および IC パッケージの熱評価基準』は、熱評価基準および定義の理解に役立ちます。

## 6.10 システム

### 6.10.1 パワー・マネージメント・モジュール (PMM)

#### 6.10.1.1 概要

パワー・マネージメント・モジュール (PMM) は、デバイスの動作に必要なすべてのパワー・マネージメント機能を処理します。

#### 6.10.1.2 概要

図 6-4 に、PMM のブロック図を示します。ご覧のように PMM は、さまざまなサブコンポーネントで構成されており、これについて以降のセクションで説明します。

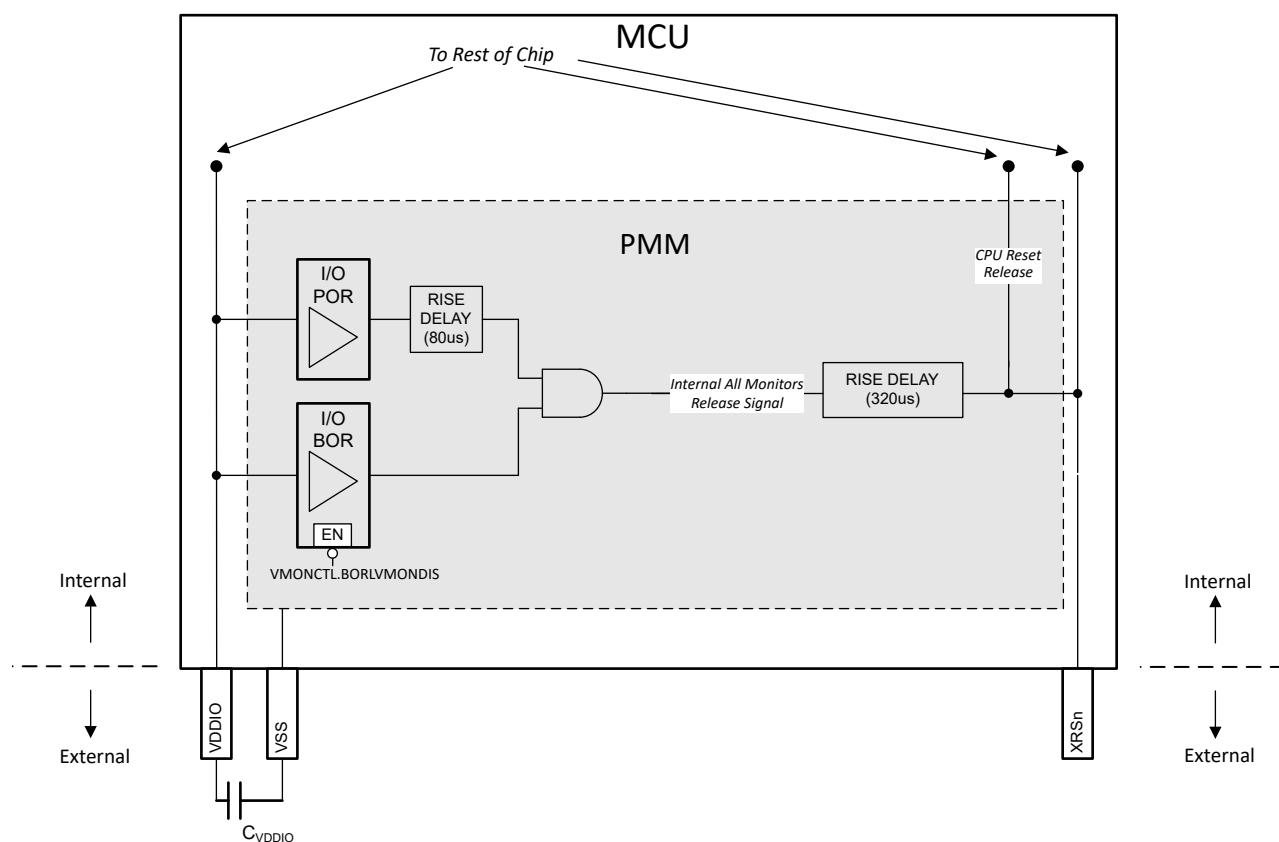


図 6-4. PMM のブロック図

#### 6.10.1.2.1 電源レール監視

PMM には電源レールの電圧監視があり、パワーアップ時に電圧が設定したスレッショルドを超えると、 $XRSn$  信号が解除されて HIGH になります。また、いずれかの電圧がプログラムされたレベルを下回った場合に、 $XRSn$  信号を LOW にトリップする機能もあります。各種電圧監視については、以降のセクションで説明します。

**注**

ブートアップ後のアプリケーションでのデバイス動作に対して、すべての電圧監視がサポートされているわけではありません。電圧監視がサポートされていない場合、アプリケーション実行中にデバイスの電源電圧監視が必要であれば、外部監視回路を推奨します。

2つの電圧モニタ (I/O POR と I/O BOR) は、デバイスが動作を開始する前にそれぞれの出力を解放する必要があります (すなわち、XRSn が High になる前)。ただし、いずれかの電圧モニタがトリップした場合、XRSn は Low に駆動されます。いずれかの電圧監視がトリップすると、I/O は高インピーダンスに保持されます。

#### 6.10.1.2.1.1 I/O POR (パワーオンリセット) 監視

I/O POR 監視は、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で最初に解除される監視機能です (すなわち、最初にトリップ解除されます)。

**注**

I/O POR がトリップするレベルは、VDDIO の最小推奨電圧よりも相当に低いので、デバイス監視には使用しないでください。

#### 6.10.1.2.1.2 I/O BOR (ブラウンアウトリセット) 監視

I/O BOR 監視も、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で 2 番目に解除される監視です (すなわち、2 番目にトリップ解除されます)。この監視は、I/O POR と比較すると許容範囲がより狭くなっています。

推奨動作電圧を下回る電圧低下が発生すると、I/O BOR がトリップしてデバイスがリセットされますが、これは VMONCTL.bit.BORLVMONDIS を 1 に設定することでディセーブルできます。I/O BOR をディセーブルにできるのは、デバイスが完全に起動した後のみです。I/O BOR がディセーブルになっている場合、電圧降下に対しては I/O POR がデバイスをリセットします。

図 6-5 に、I/O BOR の動作領域を示します。

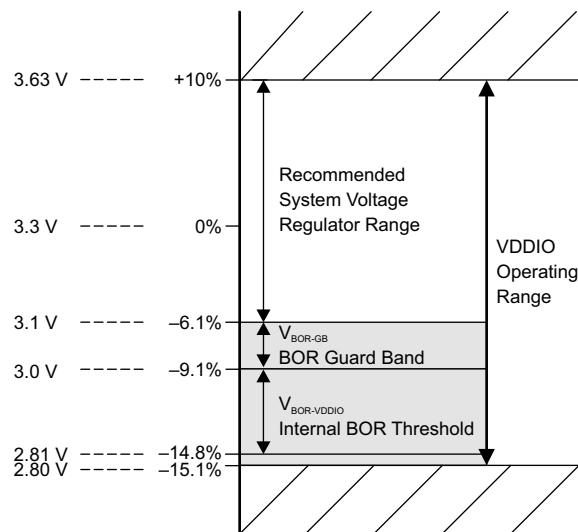


図 6-5. I/O BOR 動作領域

#### 6.10.1.2.2 外部監視回路の使用

VDDIO 監視:I/O BOR 機能は、アプリケーションの要件を満たす限り、I/O レール監視に使用できます。

### 6.10.1.2.3 遅延ブロック

電圧モニタのバス内の遅延ブロックは連携して動作し、電圧モニタと XRSn の間の解放時間を遅延させます。これにより、XRSn が解放されたときに電圧が確実に落ちているようにしています。遅延ブロックは、電源投入時 (VDDIO が立ち上がっている間) にのみアクティブになります。

遅延ブロックは、「[パワー マネージメント モジュールの電気的データおよびタイミング](#)」で規定されている最小スルーレートに影響を与えます。

---

注

ブロック図に示されている遅延時間は、標準値です。

---

### 6.10.1.3 外付け部品

#### 6.10.1.3.1 デカップリング コンデンサ

正常に動作するためには、VDDIO にデカップリング コンデンサが必要です。その要件については、以降のセクションで概要を説明します。

##### 6.10.1.3.1.1 VDDIO デカップリング

VDDIO には、最小限のデカップリング容量を配置します。「[パワー マネージメント モジュールの電気的データおよびタイミング](#)」の  $C_{VDDIO}$  パラメータを参照してください。使用するデカップリング容量の実際の合計値が、VDDIO を駆動する電源の要件です。以下に示す構成のどちらでも許容可能です。

- 構成 1: $C_{VDDIO}$  パラメータに従って、各 VDDIO ピンにデカップリング コンデンサを配置します。
- 構成 2: $[C_{VDDIO} \times \text{VDDIO ピンの数}]$  に相当する値の単一のデカップリング コンデンサを実装します。

---

注

デカップリング コンデンサは、デバイスのピンの近くに配置する必要があります。

---

### 6.10.1.4 電源シーケンス

#### 6.10.1.4.1 電源ピンの一括接続

すべての 3.3V レールを 1 つにまとめて接続し、単一の電源から電力を供給することを強く推奨します。その電源ピンを以下に示します。

- VDDIO
- VDDA

また、未接続のままにしないように、すべての電源ピンを接続します。

このデバイスのアナログ モジュールは、PSRR がかなり高いため、ほとんどの場合、VDDA のノイズが電源レールの推奨動作条件を超えない限り、アナログ モジュールの性能低下は起こりません。したがって、通常は、VDDA を別に供給してもあまり利点はありません。ただし、ノイズの改善のために、VDDIO と VDDA の間に  $\pi$  型フィルタを配置することは許容されます。

---

注

レールごとのすべての電源ピンは、内部で互いに接続されています。たとえば、すべての VDDIO ピンが内部で互いに接続され。

---

#### 6.10.1.4.2 信号ピンの電源シーケンス

デバイスに電源を供給する前に、いずれかのデジタル ピンに、VDDIO より 0.3V 上回る電圧または VSS より 0.3V 下回る電圧を印加しないでください。また、いずれかのアナログ ピン (VREFHI を含む) に、VDDA より 0.3V 上回る電圧または VSSA より 0.3V 下回る電圧を印加しないでください。VDDIO と VDDA が互いに接続されていない場合であっても、このシーケンシングは、やはり必要です。

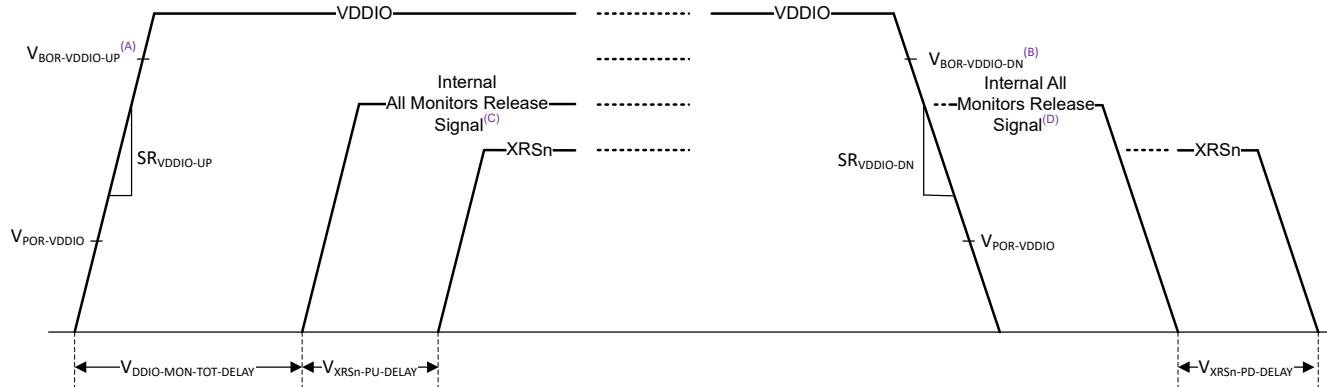
注意

上記のシーケンスに違反した場合、デバイスが誤動作したり、デバイス内の意図しない寄生パスを電流が流れるために損傷したりする可能性があります。

#### 6.10.1.4.3 電源ピンの電源シーケンス

##### 6.10.1.4.3.1 内部パワーアップシーケンス

図 6-6 に、電源シーケンス要件を示します。表示されているすべてのパラメータの値は、「パワー マネージメント モジュールの電気的データおよびタイミング」に記載されています。



- A. このトリップ ポイントは、XRSn が解除される前のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
- B. このトリップ ポイントは、XRSn が解除された後のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
- C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。「PMM のブロック図」を参照してください。
- D. パワーダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が Low になります。「PMM のブロック図」を参照してください。

図 6-6. 内部パワーアップシーケンス

• パワーアップ:

1. VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで立ち上がる必要があります。
2.  $V_{DDIO-MON-TOT-DELAY}$  および  $V_{XRSN-PU-DELAY}$  で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップシーケンスを開始します。
3. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。

• パワーダウン:

1. パワーダウン時の VDDIO に対する唯一の要件は、スルーレートです。
2. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
3. I/O BOR トリップにより、 $V_{XRSN-PD-DELAY}$  後に XRSn が Low になります。

注

全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップシーケンスは開始されません。

#### 6.10.1.4.3.2 電源シーケンスの概要と違反の影響

レールで許容されるパワーアップ シーケンスを以下にまとめます。ここで「パワーアップ」とは、対象のレールが推奨される最小動作電圧に達したことを意味します。

##### 注意

許容されないシーケンスは、信頼性に関する問題を引き起こし、場合によっては損傷が発生する可能性があります。

単純化のため、すべての 3.3V レールを互いに接続して、「電源ピンの電源シーケンス」の説明に従うことを推奨します。

**表 6-1. 内部パワーアップ シーケンスの概要**

事例	レールのパワーアップ順序		許容可否
	VDDIO	VDDA	
A	1	2	あり
B	2	1	なし
C	1	1	あり

##### 注

デバイスのアナログ モジュールは、VDDA が推奨される最小動作電圧に達した後でのみ電力供給できます。

#### 6.10.1.4.3.3 電源スルーレート

VDDIO には最小スルーレート要件があります。最小スルーレートが満たされていない場合、XRSn は、VDDIO が I/O BOR 領域を超えるまで数回トグルすることがあります。

##### 注

XRSn が安定して High になった状態でのみブートが開始されるので、XRSn のトグルはデバイスに悪影響を及ぼしません。ただし、デバイスの XRSn を使用して他の IC のリセット信号をゲートする場合は、このトグルを防止するためにスルーレート要件を満たす必要があります。

#### 6.10.1.5 推奨動作条件の PMM への適用

「推奨動作条件」の表に記載されているように、デバイスのすべてのピンの電圧 ( $V_{IN}$ ) は  $VSS - 0.3V$  よりも高く維持する必要があります。この値を下回る負電圧を印加すると、デバイスに電流が注入され、異常な動作が発生する可能性があります。PMM 付近のピンには特に注意が必要です。これらのピンに負の電圧が印加されると、POR または BOR ブロックで予期せずに XRSn がアサートされる可能性があります (PMM のブロック図を参照)。このデバイスの PMM 付近のピンを以下の「PMM 付近のピン」の表に示します。

**表 6-2. PMM 付近のピン**

ピン名	ピン番号		
	48 PT	32 VFC	32 RHB
A0/AIO231	11	7	7

ピンに対する負のノイズを防止する方法を重要な順に次に示します。

1. ソースでノイズを低減または除去する。
2. これらのピンでノイズ源の間の結合を避ける。
3. デバイスピン付近のフィルタでノイズを分離する。

### 6.10.1.6 パワー マネージメント モジュールの電気的データおよびタイミング

#### 6.10.1.6.1 パワー マネージメント モジュールの動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>総則</b>					
$C_{VDDIO}$ (1) (2)	ピンごとの VDDIO 容量(5)		0.1		$\mu\text{F}$
$C_{VDDA}$ (1) (2)	ピンごとの VDDA 容量(5)		2.2		$\mu\text{F}$
$SR_{VDD33}$ (3)	3.3V レールの電源ランプ レート (VDDIO、VDDA)		3	100	$\text{mV}/\mu\text{s}$
$V_{BOR-VDDIO-GB}$ (4)	VDDIO ブラウンアウトリセット電圧ガードバンド		0.1		V

- (1) バルク コンデンサも使用する必要があります。デカップリング容量の正確な値は、これらのピンに電力を供給するシステム電圧レギュレーション ソリューションによって決まります。
- (2) 3.3V レール (VDDIO、VDDA) は互いに接続し、単一の電源から供給することを推奨します。
- (3) 「電源スルーレート」セクションを参照してください。電源上昇下降速度が最大値よりも速いと、オンチップ ESD 保護がトリガされる可能性があります。
- (4) 3.3V VDDIO システム レギュレータにおいて、通常の電源ノイズまたは負荷過渡イベントによって BOR-VDDIO リセットが発生することを回避するため、テキサス・インスツルメンツは  $V_{BOR-VDDIO-GB}$  を推奨します。通常のデバイス動作時に BOR-VDDIO がアクティブになることを防止するためには、優れたシステム レギュレータ設計および (システム レギュレータの仕様に従った) デカップリング容量が重要です。 $V_{BOR-VDDIO-GB}$  の値は、システム レベルの設計上の考慮事項であり、ここには、多くのアプリケーションについて一般的な電圧を示しています。
- (5) コンデンサの最大許容誤差は 20% にする必要があります。

#### 6.10.1.6.2 パワー マネージメント モジュールの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$V_{CORE-PU}$ (5)	コア パワーアップ時間			40	us
$V_{VDDIO-INRUSH}$ (4) (5)	電源パワーアップ突入電流		45		mA
$V_{POR-VDDIO}$	VDDIO パワー オン リセット電圧	XRSn 解除前および解除後	2.3		V
$V_{BOR-VDDIO-UP}$ (1)	上昇時の VDDIO ブラウンアウトリセット電圧	XRSn 解除前	2.7		V
$V_{BOR-VDDIO-DOWN}$ (1)	下降時の VDDIO ブラウンアウトリセット電圧	XRSn 解除後	2.81	3.0	V
$V_{XRSn-PU-DELAY}$ (2)	パワーアップ時の電源上昇から XRSn 解除までの遅延		320		us
$V_{XRSn-PD-DELAY}$ (3)	パワーダウン時の電源下降から XRSn トリップまでの遅延		2		us
$V_{DDIO-MON-TOT-DELAY}$	VDDIO 監視のパスにおける合計遅延 (POR、BOR)		80		us
$V_{XRSn-MON-RELEASE-DELAY}$	VDDIO BOR イベントから XRSn 解除までの遅延	電源は動作範囲内	360		us
	VDDIO POR イベントから XRSn 解除までの遅延		440		us

- (1) 「I/O BOR 動作領域」の図を参照してください。
- (2) 電源は、それぞれのレールの推奨最小動作条件を超えた後、完全に上昇したと見なされます。この遅延が有効になる前に、すべての POR および BOR 監視が解除される必要があります。RC ネットワーク遅延がこの値に加算されます。
- (3) パワーダウン時に POR または BOR 監視がトリップすると、XRSn が直ちにトリップされます。この遅延時間は、POR、BOR 監視のどちらかのトリップから XRSn が Low になるまでの時間です。これは変動する可能性があり、電源の下降速度に依存します。RC ネットワーク遅延がこの値に加算されます。
- (4) これは、デバイスがオンになったときに VDDIO レールに流れる過渡電流です。これにより、電圧上昇時に VDDIO レールに電圧降下が発生する可能性があります。デバイス自体には悪影響はありません。

- (5) 最初のコールド パワーアップ時に発生します。

### 6.10.2 リセットタイミング

XRSn は、デバイスのリセットピンです。入力およびオープンドレイン出力として機能します。このデバイスでは、パワーオンリセット (POR) およびブラウンアウトリセット (BOR) の監視回路を内蔵しています。電源投入時は、この監視回路が XRSn ピンを Low に駆動します。詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照してください。ウォッチドッグ リセットまたは NMI ウォッチドッグ リセットも、ピンを Low に駆動します。外部のオープンドレイン回路によりピンを駆動して、デバイス リセットをアサートすることができます。

XRSn と VDDIO の間に  $2.2\text{k}\Omega$ ~ $10\text{k}\Omega$  の抵抗を配置する必要があります。ノイズ フィルタリングのため、XRSn と VSS の間にコンデンサを配置します。容量は  $100\text{nF}$  以下にする必要があります。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを  $V_{OL}$  に正しく駆動できるように決められています。図 6-7 に、リセットの推奨回路を示します。

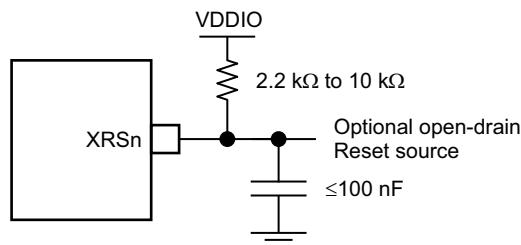


図 6-7. リセット回路

#### 6.10.2.1 リセットソース

「リセット信号」表に、各種のリセット信号と、デバイスへの影響をまとめます。

表 6-3. リセット信号

リセットソース	CPU コアのリセット (C28x, FPU, )	ペリフェラルの リセット	JTAG / デバッグ ポ ジックのリセット	IO	XRS 出力
POR	あり	あり	あり	ハイインピー ダンス	あり
BOR	あり	あり	あり	ハイインピー ダンス	あり
XRS ピン	あり	あり	なし	ハイインピー ダンス	-
WDRS	あり	あり	なし	ハイインピー ダンス	あり
NMIWDRS	あり	あり	なし	ハイインピー ダンス	あり
SYRS (デバッガリセット)	あり	あり	なし	ハイインピー ダンス	なし
SCCRESET	あり	あり	なし	ハイインピー ダンス	なし
SIMRESET.XRS	あり	あり	なし	ハイインピー ダンス	あり
SIMRESET.CPU1RS	あり	あり	なし	ハイインピー ダンス	なし

パラメータ  $t_{h(\text{boot-mode})}$  は、これらのソースから開始されたいずれのリセットにも対応する必要があります。

『F28E12x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「システム制御」の章にある「リセット」セクションを参照してください。

### 注意

一部のリセットソースはデバイスによって内部で駆動されます。これらのソースの一部は **XRSn** を LOW に駆動します。これを使って、ブートピンを駆動する他のデバイスをディセーブルにします。**SCCRESET** およびデバッグのリセットソースは、**XRSn** を駆動しません。したがって、ブートモードに使用されるピンが、システム内の他のデバイスによってアクティブに駆動されないようにする必要があります。ブート構成には、**OTP** によってブートピンを変更する機能があります。

## 6.10.2.2 リセットの電気的データおよびタイミング

### 6.10.2.2.1 リセット - XRSn - タイミング要件

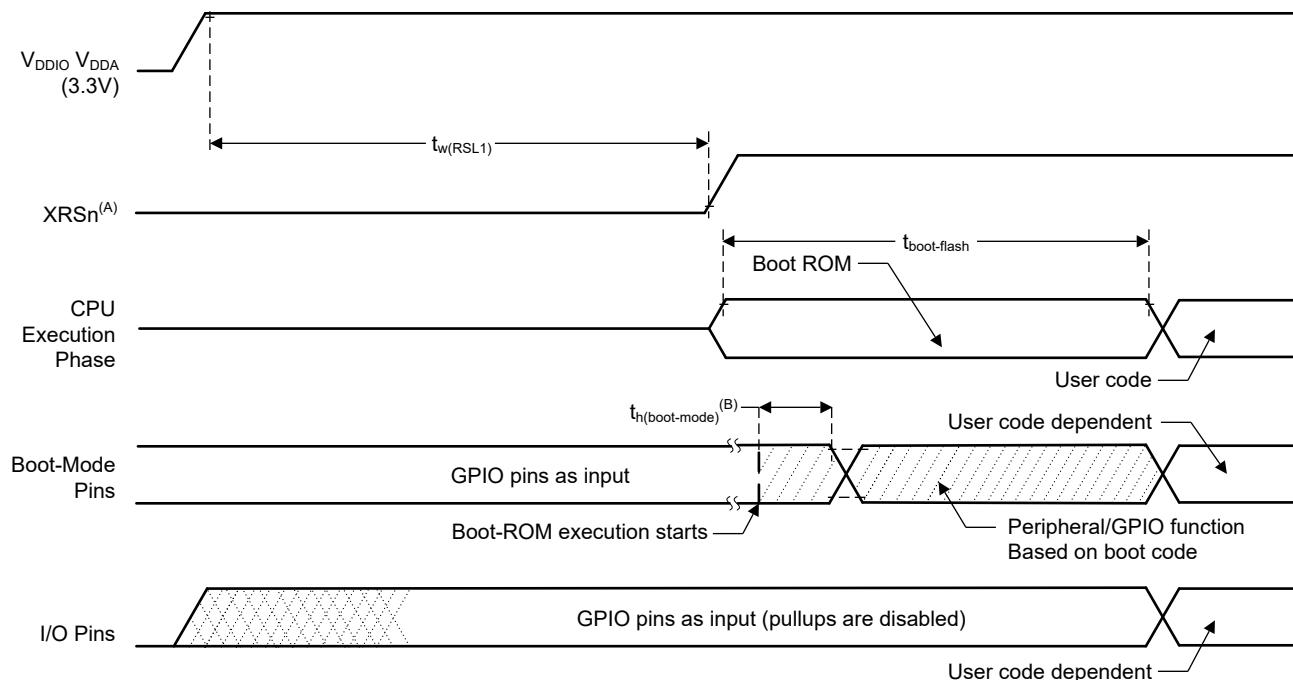
		最小値	最大値	単位
$t_{h(\text{boot-mode})}$	ブートモードピンのホールド時間	1.5		ms
$t_w(\text{RSL2})$	パルス幅。ウォームリセット時に XRSn が Low	3.2		μs

### 6.10.2.2.2 リセット - XRSn - スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

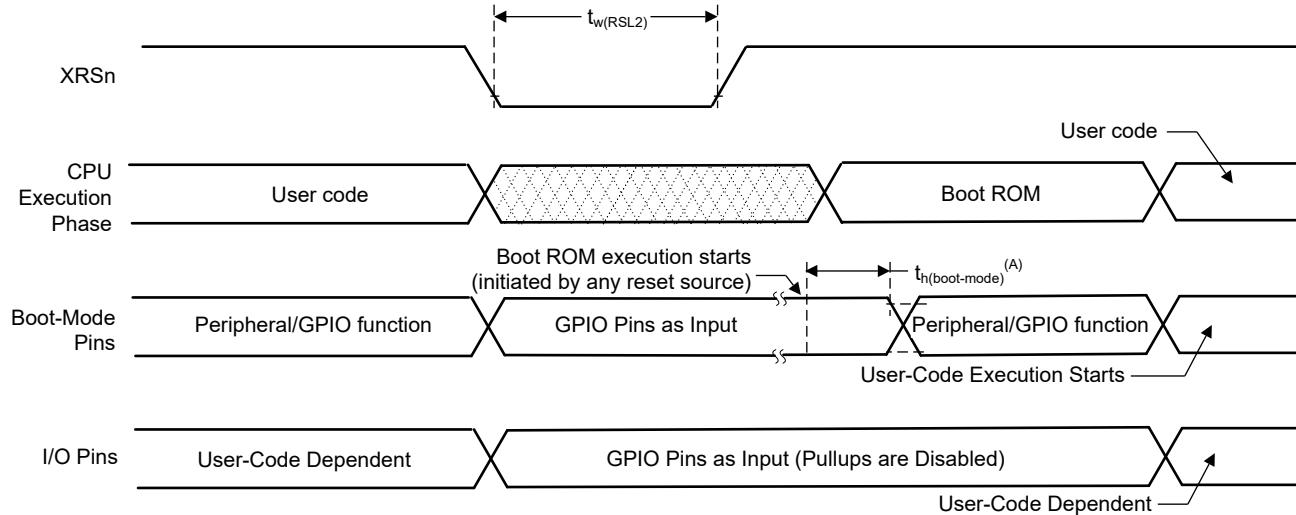
	パラメータ	最小値	標準値	最大値	単位
$t_w(\text{RSL1})$	パルス幅。電源が安定した後、デバイスが XRSn を Low に駆動している期間	100			μs
$t_w(\text{WDRS})$	パルス幅、ウォッチドッグによって生成されるリセットパルス	512 $t_c(\text{OSCCLK})$			サイクル
$t_{\text{boot-flash}}$	フラッシュ内での最初の命令フェッチまでのブート ROM 実行時間	1.2			ms

### 6.10.2.2.3 リセットのタイミング図



- XRSn ピンは、外部のスーパーバイザまたはプルアップ抵抗によって駆動することができます。「ピン属性」の表を参照してください。オンチップのモニターは、電源が有効範囲になるまでこのピンを Low に保持します。
- いずれかのソースからリセットした後 (「リセット要因」セクションを参照)、ブート ROM コードは、ブートモードピンをサンプリングします。ブートモードピンの状態に基づいて、ブートコードは、飛び先のメモリまたはブートコード関数に分岐します。(デバッガ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブートコードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-8. パワーオン リセット



- A. いずれかのソースからリセットした後（「リセット要因」セクションを参照）、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード 関数に分岐します。（デバッガ環境で）パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まります。PLL 有効の場合と無効の場合があります。

図 6-9. ウォーム リセット

### 6.10.3 クロック仕様

#### 6.10.3.1 クロック・ソース

このセクションでは、このデバイスのクロック ソースとクロック ドメインについて説明し、クロック ソースとクロック ドメインをアプリケーションで使用するように構成する方法を示します。表 6-4 に、クロック ソースを示します。図 6-10 および図 6-11 に、デバイスのクロック供給システムの概要を示します。式 1 に、PLLRAWCLK と OSCCLK の関係を示します。

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK} \times (QDIV)}{(PDIV) \times (RDIVCLK0)} \quad (1)$$

表 6-4. 使用可能な基準クロック ソース

クロック ソース	説明
WROSC	内蔵の 20MHz～70MHz の発振器
SYSOSC <sup>(1)</sup>	内蔵の 4MHz～32MHz の発振器
X1 (XTAL)	X1 ピンと X2 ピンの間に接続された外付け水晶振動子もしくは発振子、または X1 ピンに接続されたシングルエンド クロック。

- (1) リセット時、SYSOSC は、PLL (OSCCLK) のデフォルト クロック ソースになっています。

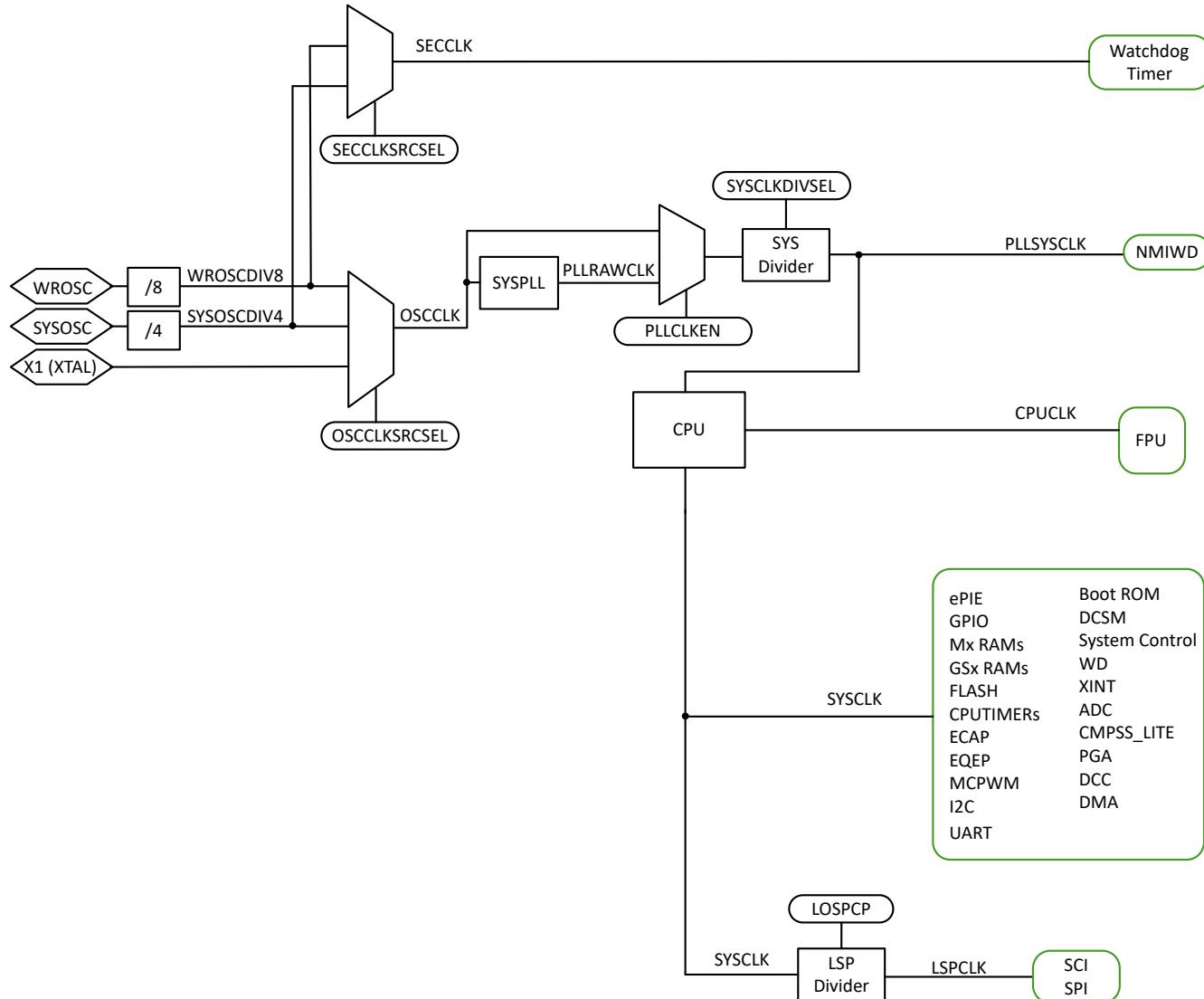


図 6-10. クロック供給システム

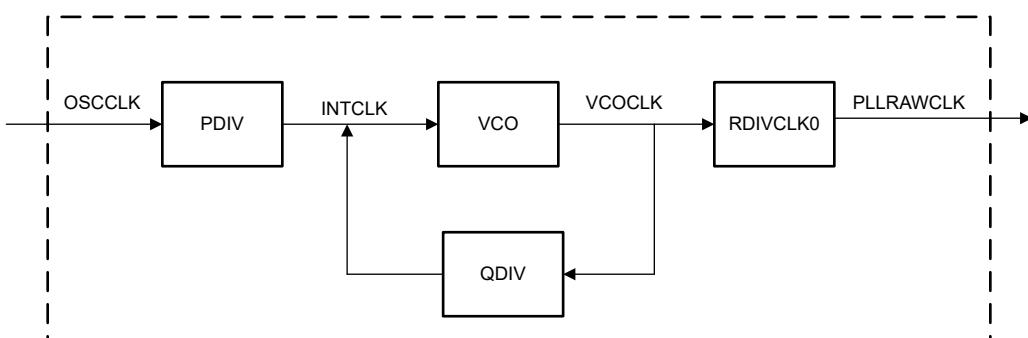


図 6-11. システム PLL

#### 6.10.3.2 クロック周波数、要件、および特性

このセクションでは、入力クロックの周波数およびタイミング要件、PLL ロック時間、内部クロックの周波数、出力クロックの周波数およびスイッチング特性について説明します。

### 6.10.3.2.1 入力クロック周波数およびタイミング要件、PLL ロック時間

#### 6.10.3.2.1.1 入力クロック周波数

		最小値	最大値	単位
$f_{(XTAL)}$	外付け水晶振動子または発振子からの周波数、X1/X2	10	20	MHz
$f_{(X1)}$	外部発振器からの周波数、X1	10	25	MHz

#### 6.10.3.2.1.2 XTAL 発振器の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	標準値	最大値	単位
$X1 V_{IL}$	有効 Low レベル入力電圧	-0.3	$0.3 * VDDIO$	V
$X1 V_{IH}$	有効 High レベル入力電圧	$0.7 * VDDIO$	$VDDIO + 0.3$	V

#### 6.10.3.2.1.3 X1 のタイミング要件

		最小値	最大値	単位
$t_{f(X1)}$	立ち下がり時間、X1		6	ns
$t_{r(X1)}$	立ち上がり時間、X1		6	ns
$t_{w(X1L)}$	パルス幅、 $t_c(X1)$ のうち X1 が Low の割合	45%	55%	
$t_{w(X1H)}$	パルス幅、 $t_c(X1)$ のうち X1 が High の割合	45%	55%	

#### 6.10.3.2.1.4 PLL の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	標準値	最大値	単位
<b>PLL ロック時間</b>				
SYS PLL ロック時間 <sup>(1)</sup>			$786 * t_c(OSCCLK)$	us

- (1) ここで PLL ロック時間は、PLL がイネーブルになった後に PLL がロックするまでの、標準所要時間を定義しています。  
 $(SYSPLLCTL1[PLLENA] = 1)$ 。デュアルクロックコンパレータ (DCC) を使用した PLL クロックの確認に要する追加の時間は、ここでは考慮されていません。PLL の初期化には、C2000Ware の最新のサンプルソフトウェアを使用することを推奨します。システム PLL については、  
`InitSysPll()` または `SysCtl_SetClock()` を参照してください。

#### 6.10.3.2.1.5 XCLKOUT のスイッチング特性 - PLL バイパスまたはイネーブル

推奨動作条件範囲内 (特に記述のない限り)

パラメータ <sup>(1)</sup>	最小値	最大値	単位
$t_{f(XCO)}$	立ち下がり時間、XCLKOUT	6	ns
$t_{r(XCO)}$	立ち上がり時間、XCLKOUT	6	ns
$t_{w(XCOL)}$	パルス幅、XCLKOUT Low	$H - 2^{(2)}$	$H + 2^{(2)}$
$t_{w(XCOH)}$	パルス幅、XCLKOUT High	$H - 2^{(2)}$	$H + 2^{(2)}$
$f_{(XCO)}$	周波数、XCLKOUT	50	MHz

- (1) これらのパラメータでは、6pF の負荷を想定しています。

- (2)  $H = 0.5t_c(XCO)$

#### 6.10.3.2.1.6 内部クロック周波数

	最小値	公称値	最大値	単位
$f_{(SYSCLK)}$	周波数、デバイス (システム) クロック	2	160	MHz
$t_c(SYSCLK)$	周期、デバイス (システム) クロック	6.25	500	ns

#### 6.10.3.2.1.6 内部クロック周波数(続き)

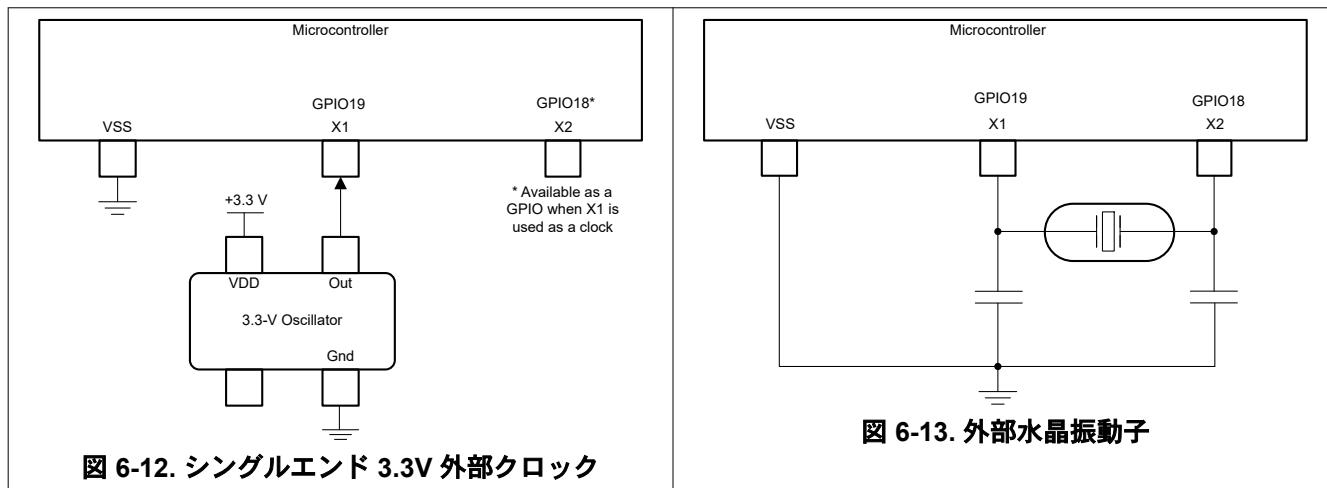
		最小値	公称値	最大値	単位
$f_{(INTCLK)}$	周波数、システム PLL が VCO に移行 (PDIV 後)	4		25	MHz
$f_{(VCOCLK)}$	周波数、システム PLL の VCO (RDIVCLK0 前)	160		400	MHz
$f_{(PLLRAWCLK)}$	周波数、システム PLL 出力 (SYSCLK 分周器より前)	5		200	MHz
$f_{(PLL)}$	周波数、PLLSYSCLK	2		160	MHz
$f_{(PLL\_LIMP)}$	周波数、PLL のリンプ周波数 <sup>(1)</sup>		30 / (RDIVCLK0 + 1)		MHz
$f_{(LSP)}$	周波数、LSPCLK	2		160	MHz
$t_c(LSPCLK)$	周期、LSPCLK	6.25		500	ns
$f_{(OSCCLK)}$	周波数、OSCCLK (WROSCDIV8 または SYSOSCDIV4 または XTAL または X1)		それぞれのクロックを参照		MHz
$f_{(MCPWM)}$	周波数、MCPWMCLK			160	MHz

(1) OSCCLK が停止状態のときの PLL 出力周波数 (OSCCLK が失われると PLL がリンプになります)

#### 6.10.3.3 入力クロックおよび PLL

内蔵のゼロピン発振器に加えて、3種類の外部クロックソースがサポートされています。

- シングルエンドの 3.3V 外部クロック。図 6-12 に示すように、クロック信号を X1 に接続し、XTALCR.SE ビットを 1 に設定する必要があります。
- 外部水晶振動子。図 6-13 に示すように、X1 と X2 の間に水晶振動子を接続して、さらに負荷コンデンサを VSS に接続する必要があります。
- 外部共振子。図 6-14 に示すように、X1 と X2 の間に共振子を接続し、そのグラウンドを VSS に接続する必要があります。



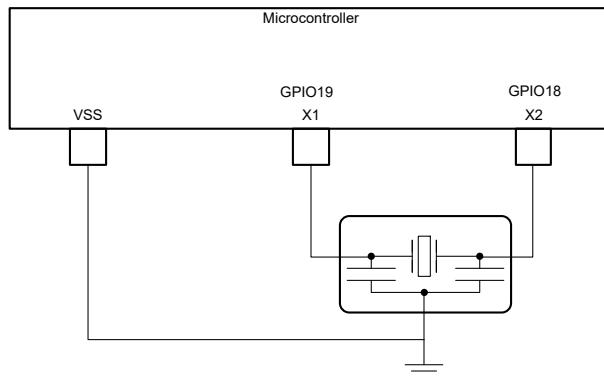


図 6-14. 外部共振子

#### 6.10.3.4 XTAL 発振器

##### 6.10.3.4.1 はじめに

このデバイスの水晶発振器は、内蔵の電気発振回路であり、適合する水晶振動子（またはセラミック共振器）と組み合わせると、デバイスが必要とするシステム・クロックを生成できます。

##### 6.10.3.4.2 概要

以下のセクションでは、電気発振回路と水晶振動子の部品について説明します。

##### 6.10.3.4.2.1 電気発振回路

このデバイスの電気発振回路は、ピアス発振器です。これは正帰還インバータ回路であり、発振するためにはチューニング回路が必要です。この発振器に適合する水晶振動子と組み合わせると、タンク回路が形成されます。このタンク回路は、水晶振動子の基本周波数で発振します。このデバイスでは、発振器は、並列容量 ( $C_0$ ) および必要な負荷容量 ( $C_L$ ) によって、並列共振モードで動作するように設計されています。図 6-15 に、電気発振回路とタンク回路の部品を示します。

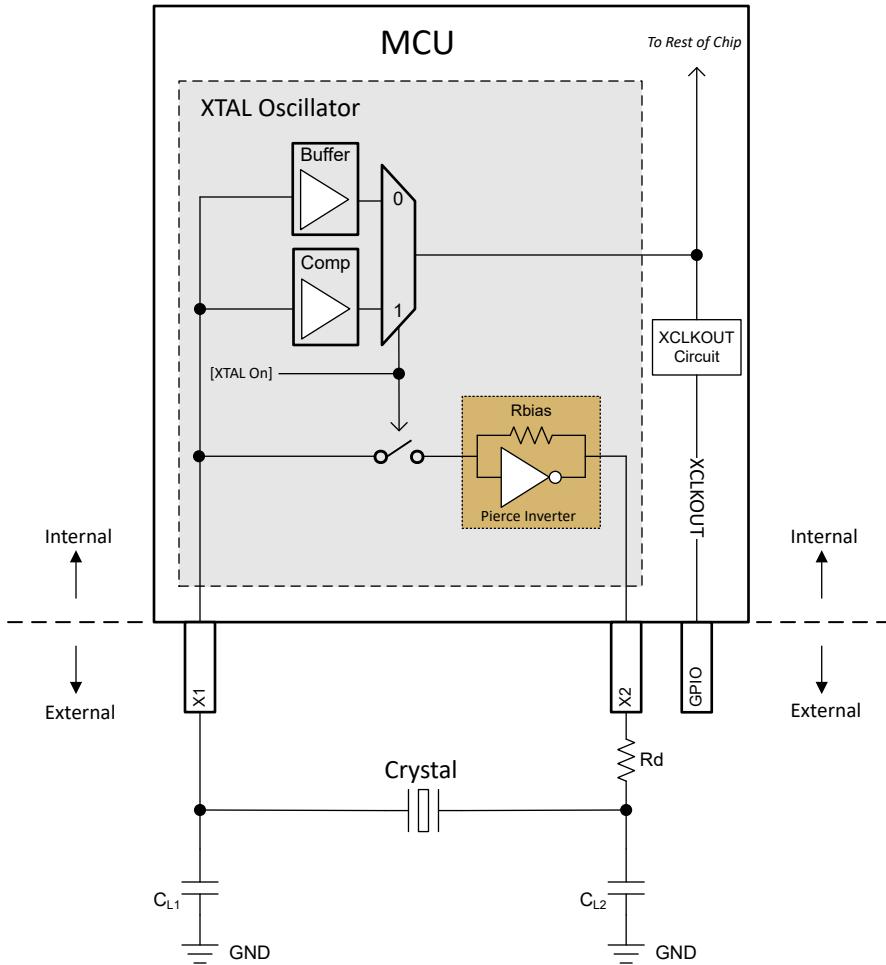


図 6-15. 電気発振回路のブロック図

#### 6.10.3.4.2.1.1.1 動作モード

このデバイスの電気発振回路には、水晶振動子モードとシングルエンド・モードの 2 つの動作モードがあります。

##### 6.10.3.4.2.1.1.1.1 水晶動作モード

水晶動作モードでは、負荷コンデンサ付きの水晶振動子を X1 および X2 に接続する必要があります。

この動作モードは、[XTAL On] = 1 のとき、すなわち XTALCR.OSCOFF = 0 および XTALCR.SE = 0 に設定することにより有効になります。帰還ループには内部バイアス抵抗があるため、外部バイアス抵抗は使用しないでください。外付けバイアス抵抗を追加すると、内部 Rbias と並列の抵抗ができる、バイアス動作点が移動し、クリップされた波形、仕様外のデューティ・サイクル、および実効負抵抗の減少につながる可能性があります。

この動作モードでは、結果として X1 に得られたクロックが、コンパレータ (Comp) を経由してチップの他の部分に渡されます。X1 のクロックは、コンパレータの VIH と VIL を満たす必要があります。コンパレータの VIH および VIL の要件については、「XTAL 発振器の特性」表を参照してください。

##### 6.10.3.4.2.1.1.2 シングルエンド動作モード

シングルエンド動作モードでは、クロック信号は X1 に接続され、X2 は未接続のままでです。このモードでは水晶振動子を使用しないでください。

このモードは、[XTAL On] = 0 のときにイネーブルになります。これは、XTALCR.OSCOFF = 1 および XTALCR.SE = 1 を設定することで実現できます。

この動作モードでは、X1 のクロックがバッファを経由してチップの他の部分に渡されます。バッファの入力要件については、「外部クロック・ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性」表を参照してください。

#### 6.10.3.4.2.1.2 XCLKOUT での XTAL 出力

チップの他の部分に供給される電気発振回路の出力は、CLKSRCCTL3.XCLKOUTSEL および XCLKOUTDIVSEL.XCLKOUTDIV レジスタを構成することにより、XCLKOUT で観察できます。XCLKOUT が出力される GPIO のリストについては、「GPIO 多重化ピン」表を参照してください。

#### 6.10.3.4.2.2 水晶振動子

電気的には、水晶振動子は LCR (インダクタ-コンデンサ-抵抗) 回路で表現できます。ただし、LCR 回路と違って、直列抵抗が低いため、水晶振動子の Q 値は非常に高く、また、非常に減衰が小さくなっています。水晶振動子の要素を [図 6-16](#) に示し、以下で説明します。

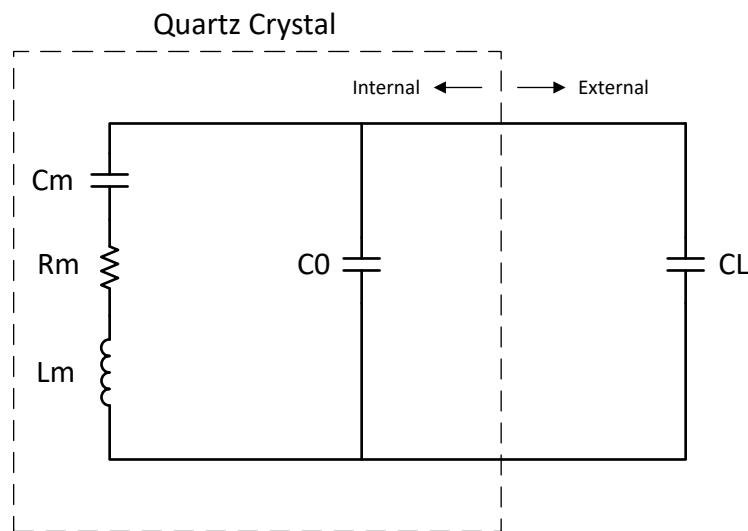


図 6-16. 水晶振動子の電気的表現

**Cm (直列容量):**水晶の弾性を表します。

**Rm (直列抵抗):**水晶振動子内の抵抗性損失を表します。これは水晶の ESR ではありませんが、他の水晶振動子の要素の値によっては、近似できます。

**Lm (直列インダクタンス):**水晶振動子の振動質量を表します。

**CO (並列容量):**水晶振動子の 2 つの電極と浮遊パッケージ容量から形成される静電容量。

**CL (負荷容量):**これは、水晶振動子の電極における実効的な容量であり、水晶の外部にあるものです。水晶振動子のデータシートで規定されている周波数 ppm は、通常、CL パラメータに関連付けられています。

ほとんどの水晶振動子メーカーでは、水晶振動子の 2 つのピンにおける実効容量として CL を指定していますが、一部の水晶振動子メーカーでは、水晶振動子ピンの 1 つだけの容量として CL を指定していることに注意してください。計算で正しい値を使用するために、CL の指定方法については、水晶振動子のメーカーにお問い合わせください。

[図 6-15](#)によれば、CL1 と CL2 が直列になっているので、水晶振動子から見た等価合計容量を求めるには、静電容量の直列式を適用して、 $CL1 = CL2$  の場合、単純に  $[CL1]/2$  と計算する必要があります。

この値には、浮遊 PCB 容量を加算することを推奨します。3pF~5pF が妥当な推定値ですが、実際の値は対象となる PCB によって異なります。

負荷容量は、電気発振回路と水晶振動子の両方に対する要件であることに注意してください。選択する値は、電気発振回路と水晶振動子の両方を満たす必要があります。

水晶振動子に対する CL の影響は周波数変動です。実効負荷容量が目標値よりも小さい場合、水晶周波数が高くなり、その逆も同様です。ただし、通常、周波数変動の影響は非常に小さく、一般的には公称周波数から 10ppm 未満の変動となります。

#### 6.10.3.4.3 機能動作

##### 6.10.3.4.3.1 ESR – 等価直列抵抗

等価直列抵抗は、共振時に水晶振動子が電気発振回路に与える抵抗性負荷です。ESR が大きくなるほど Q が低くなり、水晶振動子が起動または発振を維持する可能性が低くなります。ESR と水晶振動子の関係を以下に示します。

$$ESR = Rm * \left(1 + \frac{C_0}{CL}\right)^2 \quad (2)$$

ESR は、水晶振動子の直列抵抗と等しくはありませんが、実効負荷容量が並列容量よりもはるかに大きい場合は近似できます。

##### 6.10.3.4.3.2 Rneg – 負性抵抗

負性抵抗は、電気発振回路から水晶振動子に示されるインピーダンスです。発振中に発生する損失を打ち消すために、電気発振回路が水晶に供給すべきエネルギーの量です。Rneg は、回路がエネルギーを消費するのではなく供給していることを表しており、回路全体のゲインとみなすこともできます。

一般的に受け入れられる方法としては、あらゆる条件下で水晶振動子が確実に起動するように、Rneg > 3x ESR から 5x ESR に設定することです。水晶振動子の起動に必要なエネルギーは、発振を維持するためのエネルギーよりもわずかに多いことに注意してください。したがって、起動時に負性抵抗要件が満たされていることが保証されている場合、発振の維持は問題になりません。

図 6-17 および 図 6-18 に、このデバイスの負性抵抗と水晶振動子の間の関係の変動を示します。グラフからわかるように、水晶振動子の並列容量 (C0) と実効負荷容量 (CL) は電気発振回路の負性抵抗に大きな影響を及ぼします。これらは代表的なグラフであるため、設計上考慮すべき最小値および最大値については、表 6-5 を参照してください。

##### 6.10.3.4.3.3 起動時間

水晶発振回路の部品を選択する際には、起動時間が重要な考慮事項になります。「Rneg – 負性抵抗」セクションで説明したように、あらゆる条件下で信頼性の高い起動を実現するには、水晶振動子の ESR に対して、Rneg > 3x ESR から 5x ESR にすることを推奨します。

水晶の ESR およびダンピング抵抗 (Rd) は、起動時間に大きな影響を及ぼします。この 2 つの値が大きいほど、水晶振動子の起動にかかる時間は長くなります。起動時間が長い場合は、通常、水晶振動子と部品が正しく適合していないことを示す兆候です。

標準的な起動時間については、「水晶発振回路の仕様」セクションを参照してください。ここに記載されている数値は、参考用に提供されている標準的な数値であることに注意してください。実際の起動時間は、対象の水晶振動子と外付け部品に大きく依存します。

##### 6.10.3.4.3.3.1 X1 / X2 事前条件

このデバイスでは、X1 / X2 の GPIO19 および 18 としての代替機能を使用して、必要に応じて水晶振動子の起動時間を高速化できます。この機能は、XTAL がオンになる前に、負荷コンデンサ CL1 および CL2 を既知の状態に事前調整することで実現されます。詳細については、を参照してください。

##### 6.10.3.4.3.4 DL – 励振レベル

励振レベルとは、電気発振回路によって供給され、水晶によって消費される電力を意味します。水晶メーカーのデータシートに記載されている最大励振レベルは、通常、損傷や動作寿命の大幅な短縮なしに水晶振動子が消費できる最大値です。一方、電気発振回路で規定されている励振レベルは、供給可能な最大電力です。実際に電気発振回路から供給される電力は、必ずしも最大電力ではなく、水晶振動子と基板の部品によって決まります。

電気発振回路からの実際の励振レベルが水晶振動子の最大励振レベル仕様を超える場合は、ダンピング抵抗 ( $R_d$ ) を取り付けて電流を制限し、水晶振動子によって消費される電力を低減する必要があります。 $R_d$  は回路のゲインを低下させることに注意してください。したがって、実際に使用する値を評価して、スタートアップおよび持続的な発振に関する他のすべての条件が満たされていることを確認する必要があります。

#### 6.10.3.4.4 水晶振動子の選択方法

「[水晶発振器の仕様](#)」を参照してください。

1. 水晶周波数を選択します (たとえば 20MHz)。
2. 20MHz に対する仕様として、水晶振動子の ESR が  $50\Omega$  以下であることを確認します。
3. 20MHz に対する仕様として、水晶メーカーの負荷容量要件が  $6\text{pF} \sim 12\text{pF}$  の範囲内であることを確認します。
  - すでに説明したように、CL1 と CL2 は直列に配置されているので、 $CL1 = CL2$  の場合、実効負荷容量  $CL = [CL1]/2$  となります。
  - この結果に基板の寄生成分を加算すると、 $CL = [CL1]/2 + \text{浮遊容量}$  となります。
4. 水晶振動子の最大励振レベルが  $1\text{mW}$  以上であることを確認します。この要件が満たされていない場合は、ダンピング抵抗  $R_d$  を使用できます。 $R_d$  を使用するときの他の注意点については「[DL – 励振レベル](#)」を参照してください。

#### 6.10.3.4.5 テスト

水晶振動子が常に起動して発振を維持できるように、ユーザーが水晶振動子のメーカーに依頼して、その基板での水晶振動子の特性を完全に評価することを推奨します。

以下に、実行可能ないくつかの測定の概要を示します。

水晶発振回路は静電容量に影響を受けやすいので、スコープ プローブを X1 および X2 に接続しないことを推奨します。スコープ プローブを使用して X1/X2 を監視する必要がある場合は、 $1\text{pF}$  未満の容量を持つアクティブ プローブを使用する必要があります。

##### 周波数

1. XCLKOUT の XTAL を引き出します。
2. この周波数を水晶周波数として測定します。

##### 負性抵抗

1. XCLKOUT の XTAL を引き出します。
2. 負荷コンデンサの間に、水晶振動子と直列にポテンショメータを配置します。
3. XCLKOUT のクロックが停止するまで、ポテンショメータの抵抗を上げます。
4. この抵抗と水晶振動子の実際の ESR の和が、電気発振回路の負性抵抗です。

##### 起動時間

1. XTAL をオフにします。
2. XCLKOUT の XTAL を引き出します。
3. XTAL をオンにして、XCLKOUT のクロックが 45% および 55% のデューティ サイクル内に維持されるまでに要する時間を測定します。

#### 6.10.3.4.6 一般的な問題とデバッグのヒント

##### 水晶振動子が起動しない

- 「[水晶振動子の選択方法](#)」セクションを読んで、記述に反する状況がないことを確認します。

##### 水晶振動子の起動に長い時間を要する

- ダンピング抵抗  $R_d$  を取り付けている場合、抵抗  $R_d$  が大きすぎます。
- ダンピング抵抗を取り付けていない場合、水晶振動子の ESR が高すぎるか、または、負荷容量が大きいため回路全体のゲインが低すぎるかのどちらかです。

#### 6.10.3.4.7 水晶発振回路の仕様

##### 6.10.3.4.7.1 水晶発振器のパラメータ

		最小値	最大値	単位
CL1, CL2	負荷容量	12	24	pF
C0	水晶振動子のシャント容量		7	pF

##### 6.10.3.4.7.2 水晶振動子の等価直列抵抗 (ESR) 要件

「水晶振動子の等価直列抵抗 (ESR) 要件」表について:

- 水晶振動子の並列容量 (C0) は 7pF 以下である必要があります。
- ESR = 負性抵抗 / 3

表 6-5. 水晶振動子の等価直列抵抗 (ESR) 要件

水晶振動子の周波数 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

Negative Resistance vs. 10MHz Crystal

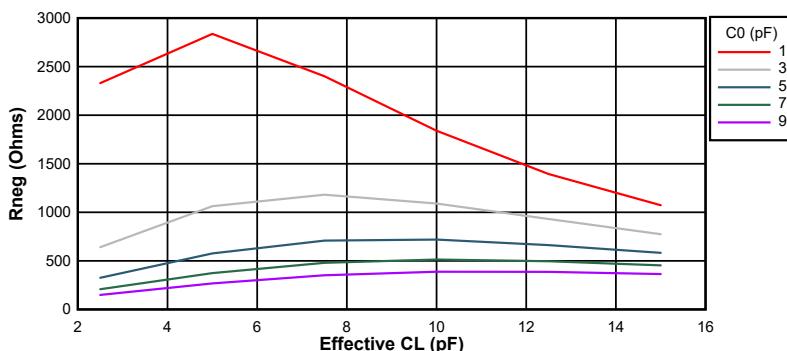


図 6-17. 10MHz 時の負性抵抗変動

Negative Resistance vs. 20MHz Crystal

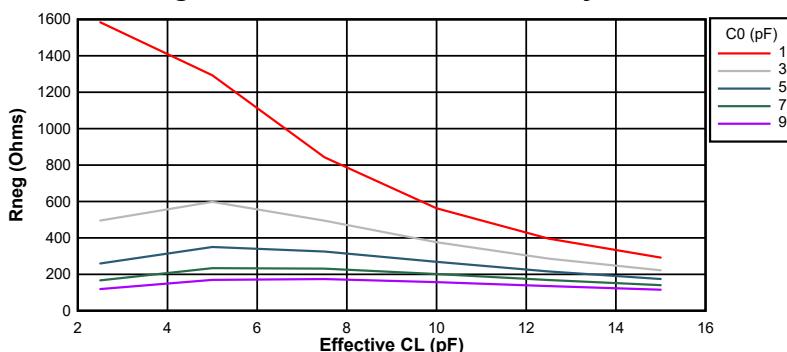


図 6-18. 20MHz 時の負性抵抗変動

#### 6.10.3.4.7.3 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
起動時間 <sup>(1)</sup>	f = 10MHz	ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)				1		mW

- (1) 起動時間は、水晶振動子とタンク回路の部品に依存します。テキサス・インストゥルメンツでは、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

#### 6.10.3.5 内部発振器

ボード製造コストとアプリケーション開発期間を削減するために、すべてのデバイスには、SYSOSC および WROSC という 2 つの独立した内部発振器が搭載されています。デフォルトでは、SYSOSC は、システム リファレンス クロック (OSCCLK) のソースとして設定され、WROSC は、バックアップ クロックのソースとして設定されます。

SCI のボーレートをより厳密に一致させる必要のあるアプリケーションには、C2000Ware から提供されている、SCI ポーチューニングの例 (baud\_tune\_via\_uart) が利用できます。

##### 6.10.3.5.1 システム発振器 SYSOSC

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f <sub>SYSOSC</sub>	出荷時に調整された SYSOSC 周波数	SYSOSCCFG.FREQ=00 (ベース)		32.2		MHz
f <sub>SYSOSC</sub>	周波数補正ループ (FCL) が有効のときの SYSOSC 周波数精度 <sup>(1)</sup>	-40°C < T <sub>a</sub> < 125°C	-2	1.4	%	
t <sub>settle</sub> 、 SYSOSC	目標精度に達するまでのセッティング タイム <sup>(2)</sup>	SETUSEFCL=1		30		us

- (1) SYSOSC の周波数補正ループ (FCL) を使うと、内部リファレンス抵抗によって SYSOSC の精度を高めることができます。SYSOSC 精度の計算方法の詳細については、テクニカル リファレンス マニュアルの「SYSOSC」のセクションを参照してください。
- (2) SYSOSC がディスエーブル状態から有効化された場合、t<sub>start</sub>、SYSOSC で規定された時間内に SYSOSC 出力がデバイスに解放されます。出力が解放された時点で、SYSOSC のワーストケースの精度は f<sub>settle</sub>、SYSOSC によって規定されます。t<sub>settle</sub>、SYSSOSC で規定された時間の後、SYSOSC は目的の f<sub>SYSOSC</sub> 精度に収束します。

##### 6.10.3.5.2 ワイドレンジ発振器 WROSC

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
F <sub>WROSC</sub>	ファクトリ WROSC 周波数		30 ~ 40			MHz

#### 6.10.4 フラッシュ パラメータ

表 6-6 に、異なるクロック ソースおよび周波数で必要な最小のフラッシュ ウェイト状態を示します。ウェイト状態は、レジスタ **FRDCNTL[RWAIT]** で設定された値です。

表 6-6. 異なるクロック ソースおよび周波数で必要な最小のフラッシュ ウェイト状態

CPUCLK (MHz)	ウェイト状態 ( <b>FRDCNTL[RWAIT]</b> <sup>(1)</sup> )
120 < CPUCLK ≤ 160	3
80 < CPUCLK ≤ 120	2
0 < CPUCLK ≤ 80	1

(1) **FRDCNTL[RWAIT]** に必要な最小値は 1 で、**RWAIT = 0** はサポートされていません。

F28E12x デバイスには、改善された 128 ビットのプリフェッチ バッファがあり、さまざまなウェイト状態にわたってコード フラッシュでの処理が高効率で行われます。図 6-19 および 図 6-20 に、64 ビットのプリフェッチ バッファを搭載した前世代のデバイスと比較した場合の、さまざまなウェイト状態設定での標準的な効率を示します。プリフェッチ バッファを使用したウェイト状態の実行効率は、アプリケーション ソフトウェアに存在する分岐の数によって異なります。線形コードと IF-THEN-ELSE コードの 2 つの例を示しています。

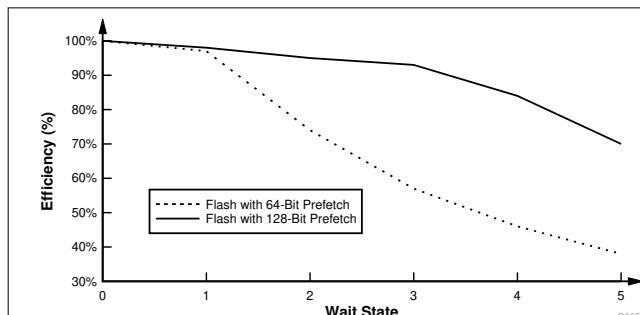


図 6-19. 多数の 32 ビット浮動小数点演算命令を含む  
アプリケーション コード

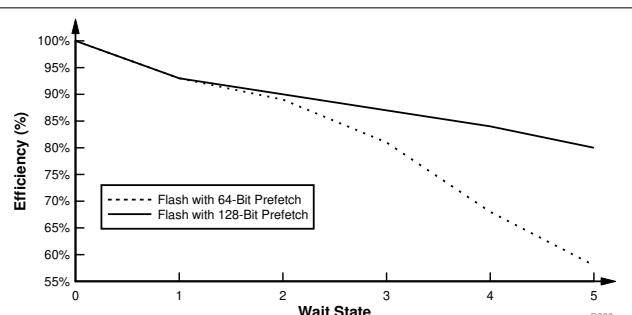


図 6-20. 16 ビットの IF-ELSE 命令を含むアプリケーション コード

#### 注

メイン アレイのフラッシュ プログラミングは、64 ビットのアドレス境界に合わせて整列させる必要があり、それぞれの 64 ビットワードは、書き込み / 消去サイクルごとに 1 回のみプログラムされます。

#### 6.10.4.1 フラッシュ パラメータ

パラメータ		最小値	標準値	最大値	単位
プログラム時間 <sup>(1)</sup>	128 データビット + 16 ECC ビット	62.5	625	μs	
	2KB (セクタ)	8	80	ms	
消去時間 <sup>(2) (3)</sup> (25 サイクル未満)	2KB (セクタ)	15	55	ms	
	64KB	17	61	ms	
	128KB	18	66	ms	
	2KB (セクタ)	25	130	ms	
消去時間 <sup>(2) (3)</sup> (1000 サイクル)	64KB	28	143	ms	
	128KB	30	157	ms	
	2KB (セクタ)	30	221	ms	
消去時間 <sup>(2) (3)</sup> (2000 サイクル)	64KB	33	243	ms	
	128KB	36	265	ms	
	2KB (セクタ)	120	1003	ms	
消去時間 <sup>(2) (3)</sup> (20K サイクル)	64KB	132	1102	ms	
	128KB	145	1205	ms	
	2KB (セクタ)	120	1003	ms	
$N_{wec}$ 書き込み / 消去サイクル (バンクごと) <sup>(4)</sup>				100000	サイクル
$t_{\text{retention}}$ データ保持期間 ( $T_J = 85^{\circ}\text{C}$ )		20			年

- (1) プログラム時間は、デバイスの最大周波数におけるものです。プログラム時間には、フラッシュステートマシンのオーバーヘッドが含まれますが、以下に示すものを RAM に転送する時間は含まれていません。

  - フラッシュ API を使用してフラッシュをプログラムするコード
  - フラッシュ API そのもの
  - プログラムすべきフラッシュデータ

すなわち、この表に示す時間は、必要なすべてのコード / データがデバイス RAM に収容されて、プログラムの用意ができた後に適用されます。転送時間は、使用する JTAG デバッグプローブの速度によって大きく異なります。

プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラムするという条件に基づいています。プログラム時間には、CPU によるプログラム検証が含まれます。書き込み / 消去 (W/E) の繰り返しにより、プログラム時間が長くなることはありませんが、消去時間は長くなります。

(2) 消去時間には、CPU による消去検証が含まれ、データ転送時間は含まれません。

(3) 消去時間には、CPU による消去検証が含まれます。

(4) 本デバイスが テキサス・インスツルメンツから出荷されるとき、オンチップ フラッシュメモリは消去された状態になっています。そのため、本デバイスを初めてプログラミングする場合、書き込みの前にフラッシュメモリを消去する必要はありません。しかし、それ以降のすべての書き込み操作については、あらかじめ消去操作が必要です。

(5) バンクとセクタの合計書き込み / 消去サイクル数がこの数に制限されます。

### 6.10.5 RAM の仕様

表 6-7. RAM のパラメータ

### 6.10.6 ROM の仕様

**表 6-8. ROM のパラメータ**

RAM のタイプ	個々のサ イズ	フェッチ時 間 (サイクル)	読み取り時 間 (サイクル)	格納時間 (サイクル)	サポートされる バスの幅 (ビット)	ホストアセ スリスト	ウェイト 状態	バーストアセ スのサポート
ブート ROM + セキュア ROM	64KB	2	2	1	16/32	C28x	0	なし

### 6.10.7 エミュレーション/JTAG

JTAG (IEEE 規格 1149.1-1990 標準テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ) ポートには、4 つの専用ピンがあります。TMS、TDI、TDO、TCK。cJTAG (IEEE 規格 1149.7-2009、ピン数削減および拡張機能テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ用) ポートは、必要なピンが 2 本だけ (TMS および TCK) というコンパクトな JTAG インターフェイスであり、従来の GPIO35 (TDI) および GPIO37 (TDO) ピンに他のデバイス機能を多重化できます。

通常、MCU ターゲットと JTAG ヘッダーの間の距離が 6 インチ (15.24cm) 未満で、JTAG チェーンに他のデバイスが存在しない場合、JTAG 信号にバッファは必要ありません。それ以外の場合は、各信号をバッファする必要があります。さらに、10MHz で動作するほとんどの JTAG デバッグ プローブでは、JTAG 信号に直列抵抗は必要ありません。ただし、高いエミュレーション速度 (35MHz 程度) が想定される場合は、各 JTAG 信号に対して  $22\Omega$  の抵抗を直列に配置する必要があります。

JTAG デバッグ プローブ ヘッダーの PD (電源検出) ピンは、基板の 3.3V 電源に接続する必要があります。ヘッダーの GND ピンは、基板のグランドに接続する必要があります。TDIS (ケーブル切断検出) も基板のグランドに接続する必要があります。JTAG クロックは、ヘッダーの TCK 出力ピンからヘッダーの RTCK 入力ピンにループバックする必要があります (JTAG デバッグ プローブによるクロックの連続性を検出するため)。この MCU は、14 ピンおよび 20 ピンのエミュレーション ヘッダーに存在する EMU0 および EMU1 信号をサポートしていません。これらの信号は、常に、 $2.2k\Omega$ ~ $4.7k\Omega$  の範囲 (デバッガ ポートの駆動能力によって異なります) の基板上のプルアップ抵抗ペアを経由して、エミュレーション ヘッダーでプルアップする必要があります。通常、 $2.2k\Omega$  の値を使用します。

ヘッダの RESET ピンは、JTAG デバッグ プローブ ヘッダーからのオープンドレイン出力であり、JTAG デバッグ プローブ コマンドを使用して基板のコンポーネントをリセットできます (20 ピンのヘッダーでのみ利用可能)。図 6-21 に、14 ピン JTAG ヘッダーを MCU の JTAG ポート信号に接続する方法を示します。図 6-22 に、20 ピン ヘッダーへの接続方法を示します。20 ピン JTAG ヘッダーの EMU2、EMU3、および EMU4 ピンは使用しないので、グランドに接続する必要があります。

ハードウェア ブレークポイントとウォッチポイントの詳細については、『C2000 デバイス向け CCS でのハードウェア ブレークポイントとウォッチポイント』を参照してください。

JTAG エミュレーションの詳細については、『XDS ターゲット接続ガイド』を参照してください。

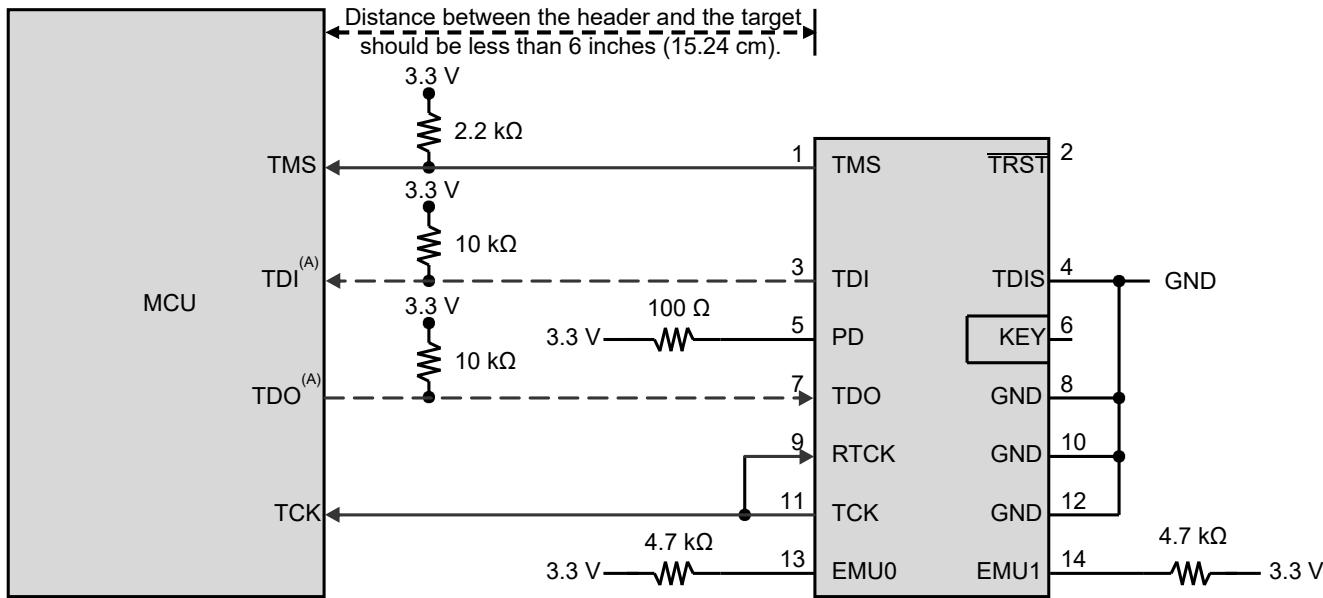
---

#### 注

JTAG テストデータ入力 (TDI) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG の TDI として使用する場合、入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。

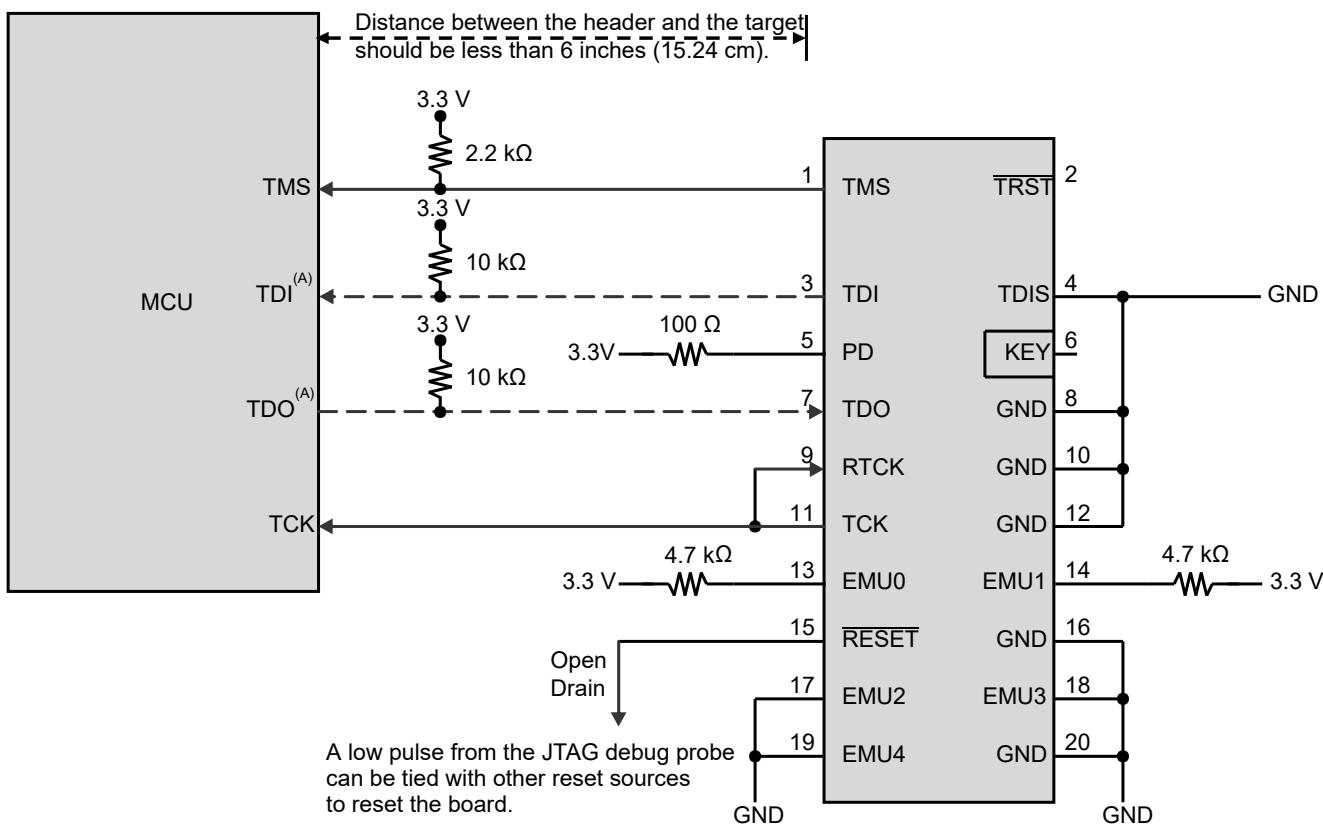
JTAG テストデータ出力 (TDO) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティングのままになります。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。

---



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-21. 14 ピン JTAG ヘッダーへの接続



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-22. 20 ピン JTAG ヘッダーへの接続

### 6.10.7.1 JTAG の電気的データおよびタイミング

#### 6.10.7.1.1 JTAG のタイミング要件

番号	パラメータ		最小値	最大値	単位
1	$t_c(TCK)$	サイクル時間、TCK		66.66	ns
1a	$t_w(TCKH)$	パルス幅、TCK High ( $t_c$ の 40%)		26.66	ns
1b	$t_w(TCKL)$	パルス幅、TCK Low ( $t_c$ の 40%)		26.66	ns
3	$t_{su}(TDI-TCKH)$	入力セットアップ時間、TDI 有効から TCK High まで		7	ns
	$t_{su}(TMS-TCKH)$	入力セットアップ時間、TMS 有効から TCK High まで		7	
4	$t_h(TCKH-TDI)$	入力ホールド時間、TCK High から TDI 有効の間		7	ns
	$t_h(TCKH-TMS)$	入力ホールド時間、TCK High から TMS 有効の間		7	

#### 6.10.7.1.2 JTAG スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
2	$t_d(TCKL-TDO)$	遅延時間、TCK LOW から TDO 有効まで	6	21	ns

#### 6.10.7.1.3 JTAG のタイミング図

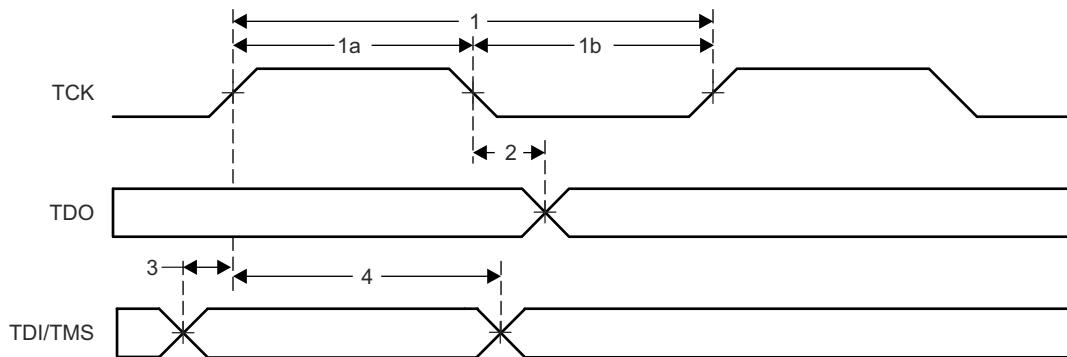


図 6-23. JTAG のタイミング

### 6.10.7.2 cJTAG の電気的データおよびタイミング

#### 6.10.7.2.1 cJTAG のタイミング要件

番号	パラメータ		最小値	最大値	単位
1	$t_c(TCK)$	サイクル時間、TCK	100		ns
1a	$t_w(TCKH)$	パルス幅、TCK High ( $t_c$ の 40%)	40		ns
1b	$t_w(TCKL)$	パルス幅、TCK Low ( $t_c$ の 40%)	40		ns
3	$t_{su}(TMS-TCKH)$	入力セットアップ時間、TMS 有効から TCK High まで	7		ns
	$t_{su}(TMS-TCKL)$	入力セットアップ時間、TMS 有効から TCK Low まで	7		ns
4	$t_h(TCKH-TMS)$	入力ホールド時間、TCK High から TMS 有効の間	2		ns
	$t_h(TCKL-TMS)$	入力ホールド時間、TCK Low から TMS 有効の間	2		ns

#### 6.10.7.2.2 cJTAG のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
2	$t_d(TCKL-TMS)$	遅延時間、TCK LOW から TMS 有効まで	6	20	ns
5	$t_{dis}(TCKH-TMS)$	遅延時間、TCK High から TMS 無効まで		25	ns

#### 6.10.7.2.3 cJTAG のタイミング図

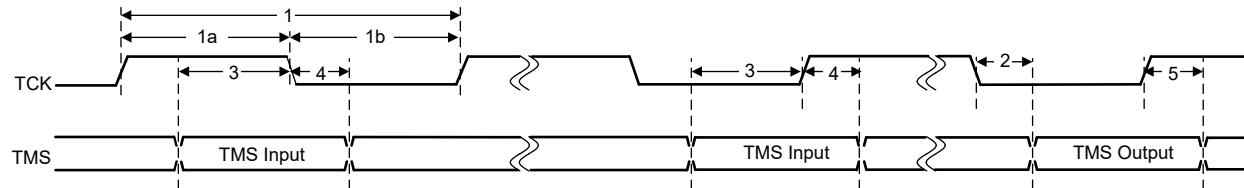


図 6-24. cJTAG タイミング

### 6.10.8 GPIO の電気的データおよびタイミング

ペリフェラル信号は、汎用入出力 (GPIO) 信号とマルチプレクスされます。リセット時、GPIO ピンは入力として構成されます。特定の入力では、ユーザーが入力クオリファイヤのサイクル数を選択することで、不要なノイズ グリッチをフィルタリングすることもできます。

多くの GPIO には、さまざまな内部信号を GPIO にルーティングできるようにする、出力クロスバー向けのマルチプレクサオプションがあります。すべての GPIO は、GPIO の High または Low 状態をさまざまな IP ブロック (ADC、eCAP、MCPWM、外部割り込みなど) にルーティングできる各入力クロスバーに接続されています。詳細については、『F28E12x リアルタイム マイクロコントローラ テクニカル リファレンスマニュアル』の「クロスバー」の章を参照してください。

#### 6.10.8.1 GPIO - 出力タイミング

##### 6.10.8.1.1 汎用出力のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			最小値	最大値	単位
$t_{r(GPO)}$	立ち上がり時間、GPIO が Low から High へ変化	すべての GPIO	6 <sup>(1)</sup>		ns
$t_{f(GPO)}$	立ち下がり時間、GPIO が High から Low へ変化	すべての GPIO	6 <sup>(1)</sup>		ns
$t_{f(GPO)}$	切り替え周波数、GPIO ピン			50	MHz

(1) 立ち上がり時間と立ち下がり時間は負荷によって異なります。これらの値は、6pF の負荷を想定しています。

##### 6.10.8.1.2 汎用出力のタイミング図

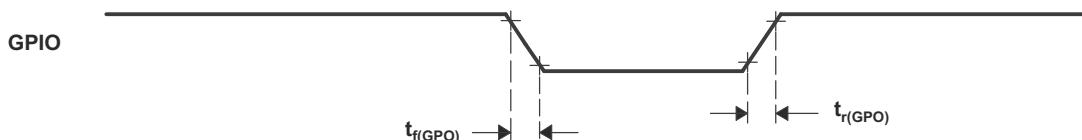


図 6-25. 汎用出力のタイミング

#### 6.10.8.2 GPIO - 入力タイミング

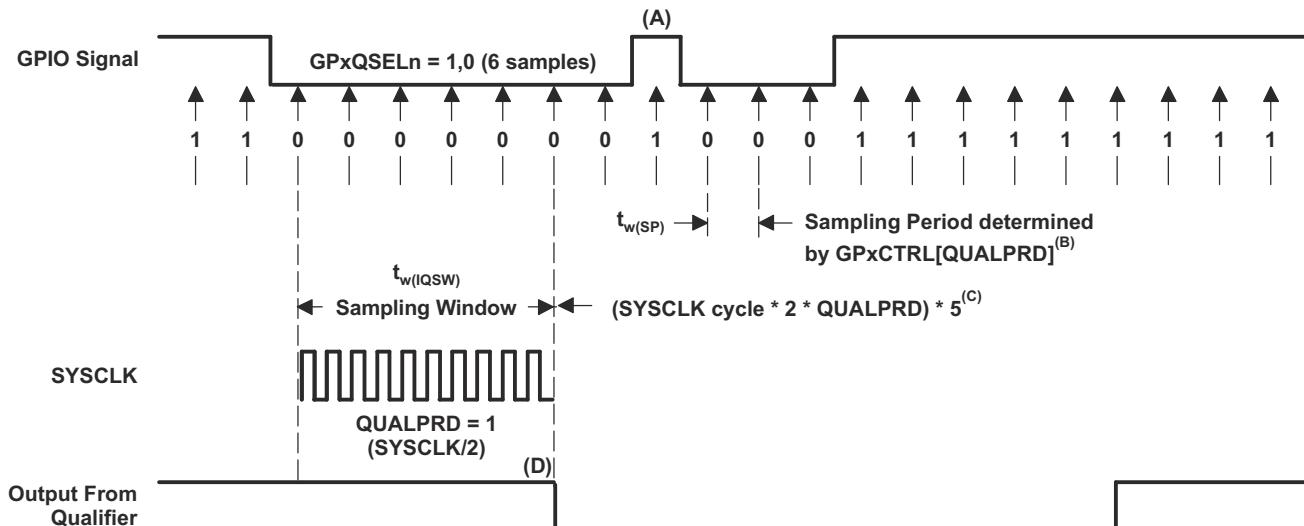
##### 6.10.8.2.1 汎用入力のタイミング要件

			最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	1 $t_c(SYSCLK)$		サイクル
		QUALPRD $\neq$ 0	2 $t_c(SYSCLK)$ * QUALPRD		サイクル
$t_{w(IQSW)}$	入力フィルタ サンプリング ウィンドウ		$t_{w(SP)} * (n^{(1)} - 1)$		サイクル
$t_{w(GPI)}$ <sup>(2)</sup>	パルス幅、GPIO Low/High	同期モード	2 $t_c(SYSCLK)$		サイクル
		入力クオリファイヤあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_c(SYSCLK)$		サイクル

(1) 「n」は、GPxQSELn レジスタで定義されているフィルタ サンプルの数を表します。

(2)  $t_{w(GPI)}$  のパルス幅は、アクティブ Low 信号については  $V_{IL}$  から  $V_{IH}$  まで、アクティブ High 信号については  $V_{IH}$  から  $V_{IL}$  までを測定します。

##### 6.10.8.2.2 サンプリング・モード



- A. このグリッチは、入力クオリファイアによって無視されます。クオリフィケーションのサンプリング期間は、QUALPRD ビット・フィールドで指定します。この値は、00~0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCLK サイクルです。その他の値「n」である場合、クオリフィケーションのサンプリング期間は、2n SYSCLK サイクルになります（すなわち、2n SYSCLK サイクルごとに GPIO ピンがサンプリングされます）。
  - B. GPxCTRL レジスタで選択したこのクオリフィケーション期間は、8 つの GPIO ピン・グループに適用されます。
  - C. このクオリフィケーション・ブロックは、3 つまたは 6 つのサンプルを取得できます。使用するサンプル・モードは、GPxQSELn レジスタで選択します。
  - D. ここに示す例では、クオリファイアが変化を検出するためには、入力が 10 SYSCLK サイクル以上の期間安定している必要があります。すなわち、入力は (5 x QUALPRD x 2) SYSCLK サイクルにわたって安定している必要があります。これにより、5 サンプリング期間での検出実施が確保されます。外部信号は非同期で駆動されるため、13 SYSCLK 幅のパルスであれば信頼性の高い認識が保証されます。

図 6-26. サンプリング・モード

### 6.10.8.3 入力信号のサンプリング・ウィンドウ幅

以下のセクションでは、各種の入力クオリファイア構成に対する入力信号のサンプリング・ウィンドウ幅の概要を説明します。

この式の「サンプリング周波数」は、**SYSCLK** を基準にして、信号をサンプリングする頻度を表します。

$\text{QUALPRD} \neq 0$  の場合、サンプリング周波数 =  $\text{SYSCLK}/(2 \times \text{QUALPRD})$

$\text{QUALPRD} = 0$  の場合、サンプリング周波数 = **SYSCLK**

$\text{QUALPRD} \neq 0$  の場合、サンプリング周期 = **SYSCLK** サイクル  $\times 2 \times \text{QUALPRD}$

上記の式で、「**SYSCLK** サイクル」は、**SYSCLK** の時間周期を表しています。

$\text{QUALPRD} = 0$  の場合、サンプリング周期 = **SYSCLK** サイクル

決められたサンプリング ウィンドウの中で、入力信号の 3 つまたは 6 つのサンプルを取得して、信号の有効性を判定します。これは、**GPxQSELn** レジスタに書き込まれた値によって決定されます。

#### ケース 1:

3 つのサンプルを使用したクオリフィケーション

$\text{QUALPRD} \neq 0$  の場合、サンプリング・ウィンドウ幅 =  $(\text{SYSCLK} \text{ サイクル} \times 2 \times \text{QUALPRD}) \times 2$

$\text{QUALPRD} = 0$  の場合、サンプリング・ウィンドウ幅 =  $(\text{SYSCLK} \text{ サイクル}) \times 2$

#### ケース 2:

6 つのサンプルを使用したクオリフィケーション

$\text{QUALPRD} \neq 0$  の場合、サンプリング・ウィンドウ幅 =  $(\text{SYSCLK} \text{ サイクル} \times 2 \times \text{QUALPRD}) \times 5$

$\text{QUALPRD} = 0$  の場合、サンプリング・ウィンドウ幅 =  $(\text{SYSCLK} \text{ サイクル}) \times 5$

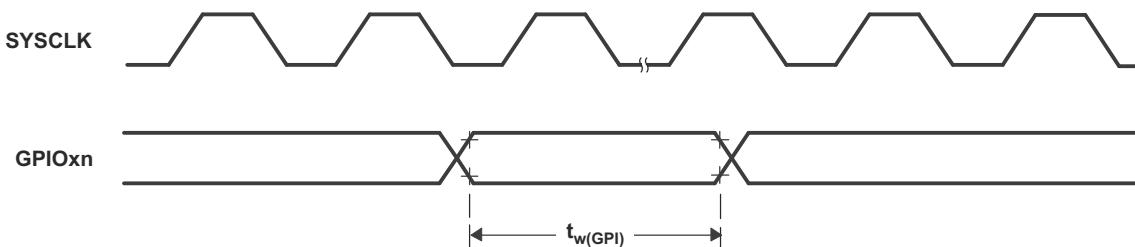


図 6-27. 汎用入力のタイミング

### 6.10.9 割り込み

C28x CPU には 14 本のペリフェラル割り込みラインがあります。そのうち 2 本 (INT13 および INT14) は、それぞれ CPU タイマ 1 および 2 に直接接続されています。残りの 12 本は、強化ペリフェラル割り込み拡張 (ePIE) モジュール経由でペリフェラル割り込み信号に接続されています。ePIE は、各 CPU 割り込みラインに最大 4 本のペリフェラル割り込みを多重化します。また、ベクタ テーブルを拡張して、各割り込みに独自の ISR を割り当てることもできます。これにより、CPU は多数のペリフェラルをサポートできます。

割り込みパスは、ペリフェラル、ePIE、CPU の 3 つのステージに分けられます。各段には、独自のイネーブル レジスタとフラグ レジスタがあります。このシステムにより、CPU は 1 つの割り込みを処理しながら他の割り込みを保留したり、ソフトウェア内でネストされた割り込みを実装および優先順位付けしたり、特定の重要なタスク中に割り込みを無効にしたりできます。

図 6-28 に、このデバイスの割り込みアーキテクチャを示します。

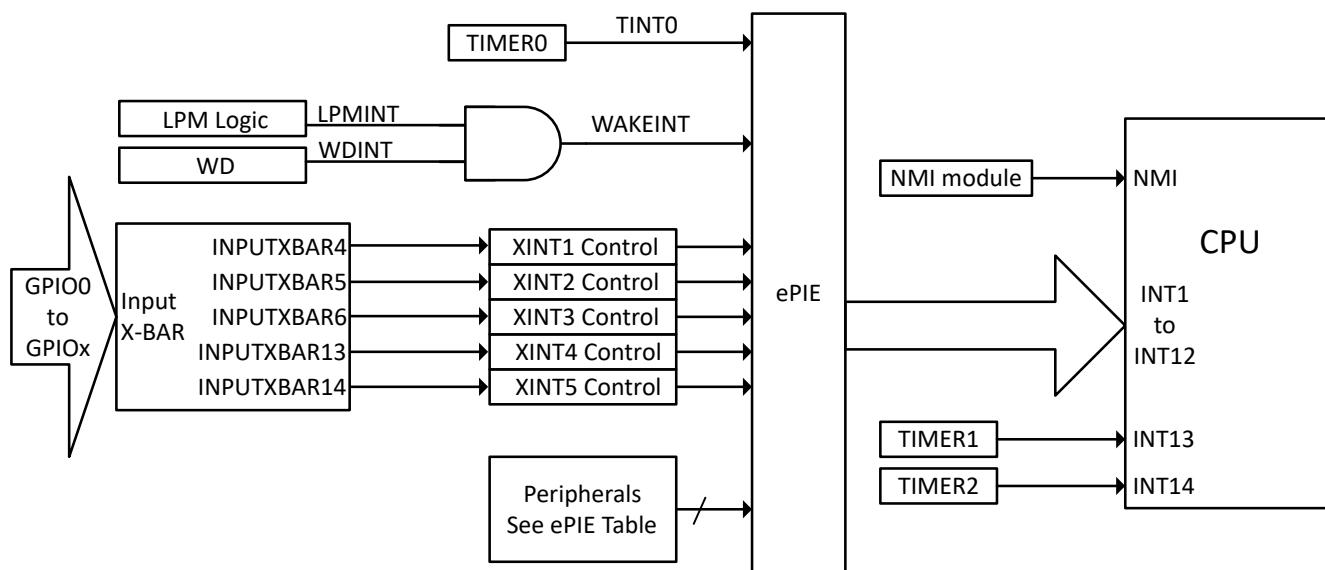


図 6-28. デバイス割り込みアーキテクチャ

### 6.10.9.1 外部割り込み (XINT) の電気的データおよびタイミング

入力クオリファイアのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

#### 6.10.9.1.1 外部割り込みのタイミング要件

			最小値	最大値	単位
$t_w(INT)$	パルス幅、INT 入力 Low/High	同期		$2t_c(SYSLK)$	サイクル
		クオリファイアあり		$t_w(IQSW) + t_w(SP) + 1t_c(SYSLK)$	サイクル

#### 6.10.9.1.2 外部割り込みのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_d(INT)$	遅延時間、INT Low/High から割り込みベクタ フェッチまで <sup>(1)</sup>	$t_w(IQSW) + 14t_c(SYSLK)$	$t_w(IQSW) + t_w(SP) + 14t_c(SYSLK)$	サイクル

(1) これは、ISR がシングルサイクル メモリ内にあることを想定しています。

#### 6.10.9.1.3 外部割り込みのタイミング

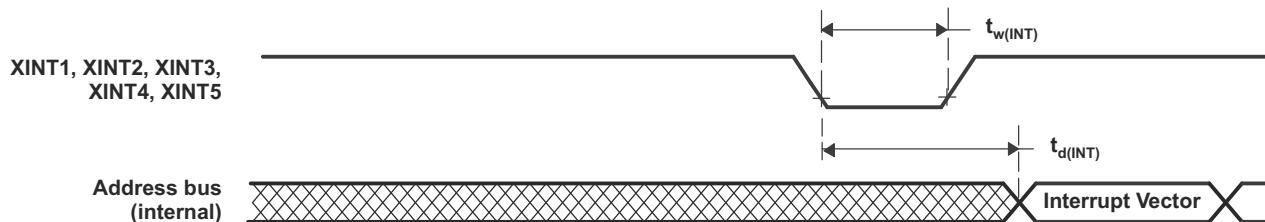


図 6-29. 外部割り込みのタイミング

### 6.10.10 低消費電力モード

このデバイスには、クロック ゲーティング低消費電力モードとして、ホールト、アイドル、スタンバイがあります。

#### 6.10.10.1 クロック ゲーティング低消費電力モード

このデバイスの アイドル モードおよびホールト モードは、他の C28x デバイスのモードと同様です。表 6-9 に、いずれかのクロック ゲート低消費電力モードに移行したときのシステムへの影響を示します。

表 6-9. クロック ゲーティング低消費電力モードによるデバイスへの影響

モジュール / クロック ドメイン	IDLE	STANDBY	HALT
SYSLK	アクティブ	ゲート	ゲート
CPUCLK	ゲート	ゲート	ゲート
WDCLK	アクティブ	アクティブ	CLKSRCCTL1.WDHALTI = 0 の場合、ゲート
PLL	電源供給	電源供給	ソフトウェアは、HALT に入る前に PLL の電源をオフにする必要があります。
WROSC	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
SYSOSC	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
フラッシュ <sup>(1)</sup>	電源供給	電源供給	電源供給
XTAL <sup>(2)</sup>	電源供給	電源供給	電源供給

(1) フラッシュ モジュールは、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。アプリケーションで必要な場合は、ソフトウェアを使用して電源をオフにすることができます。

(2) XTAL は、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。XTALCR.OSCOFF ビットを 1 に設定すると、ソフトウェアによって電源をオフにできます。XTAL が不要な場合は、アプリケーション実行中の任意の時点でこれを実行できます。

#### 6.10.10.2 低消費電力モードのウェークアップタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

##### 6.10.10.2.1 アイドルモードのタイミング要件

			最小値	最大値	単位
$t_w(WAKE)$	パルス幅、外部ウェークアップ信号	入力クオリファイヤなし	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤあり	$2t_c(SYSCLK) + t_w(IQSW)$		

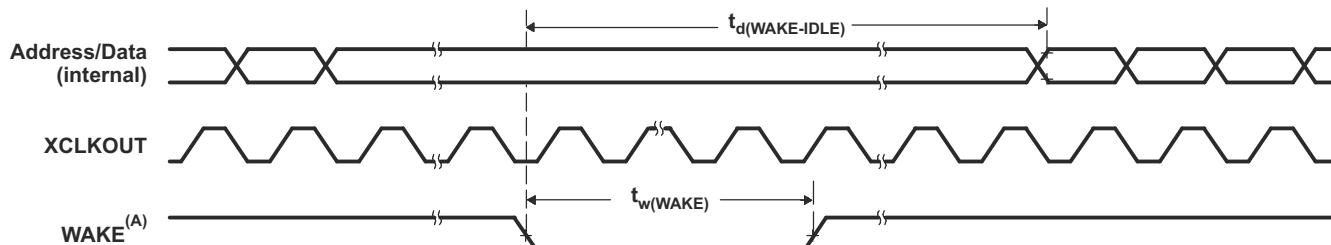
##### 6.10.10.2.2 アイドルモードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
$t_d(WAKE-IDLE)$	遅延時間、外部ウェーク信号からプログラム実行再開まで <sup>(1)</sup>	入力クオリファイヤなし	$40t_c(SYSCLK)$		サイクル
		入力クオリファイヤあり	$40t_c(SYSCLK) + t_w(WAKE)$		サイクル
	RAM から	入力クオリファイヤなし	$25t_c(SYSCLK)$		サイクル
		入力クオリファイヤあり	$25t_c(SYSCLK) + t_w(WAKE)$		サイクル

(1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。

##### 6.10.10.2.3 IDLE 開始および終了タイミング図



A. WAKE には、イネーブルになっている任意の割り込み、WDINT、XRSn を使用できます。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

図 6-30. IDLE 開始および終了タイミング図

#### 6.10.10.2.4 スタンバイ モードのタイミング要件

			最小値	最大値	単位
$t_w(\text{WAKE-INT})$	パルス幅、外部ウェークアップ 信号	$\text{QUALSTDBY} = 0 \mid 2t_c(\text{OSCCLK})$		$3t_c(\text{OSCCLK})$	サイクル
		$\text{QUALSTDBY} > 0 \mid$ $(2 + \text{QUALSTDBY})t_c(\text{OSCCLK})$ (1)		$(2 + \text{QUALSTDBY}) * t_c(\text{OSCCLK})$	

(1)  $\text{QUALSTDBY}$  は、LPMCR レジスタ内の 6 ビットフィールドです。

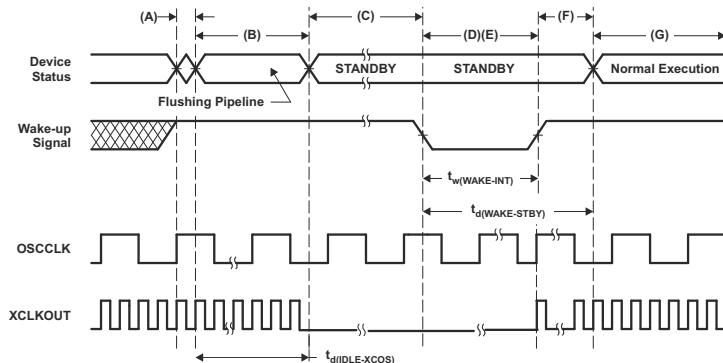
#### 6.10.10.2.5 スタンバイ モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
$t_d(\text{IDLE-XCOS})$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_c(\text{SYSOSC})$	サイクル
$t_d(\text{WAKE-STBY})$	遅延時間、外部ウェーク信号からプログラム実行 再開まで (1)	フラッシュからのウェークアップ (フラッシュ モジュール はアクティブ状態)	$175t_c(\text{SYSCLK}) + t_w(\text{WAKE-INT})$	サイクル
		RAM からのウェークアップ	$3t_c(\text{OSC}) + 15t_c(\text{SYSCLK}) + t_w(\text{WAKE-INT})$	サイクル

(1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。

#### 6.10.10.2.6 STANDBY の開始 / 終了タイミング図



- A. IDLE 命令が実行され、デバイスがスタンバイ モードに移行します。
- B. LPM ブロックが STANDBY 信号に応答し、SYSCLK は、最大 16 SYSOSCDIV4 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
- C. ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。デバイスはこの時点で、スタンバイ モードになっています。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
- D. 外部ウェークアップ信号がアクティブに駆動されます。
- E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。
- F. 遅延時間が経過すると、スタンバイ モードが終了します。
- G. 通常動作を再開します。本デバイスは割り込み (有効化されている場合) に応答するようになります。

図 6-31. STANDBY の開始 / 終了タイミング図

#### 6.10.10.2.7 ホールト モードのタイミング要件

		最小値	最大値	単位
$t_w(\text{WAKE-GPIO})$	パルス幅、GPIO ウエークアップ信号 (1)	$t_{\text{oscst}} + 2t_c(\text{OSCCLK})$		サイクル
$t_w(\text{WAKE-XRS})$	パルス幅、 $\overline{XRS}$ ウエークアップ信号 (1)	$t_{\text{oscst}} + 8t_c(\text{OSCCLK})$		サイクル

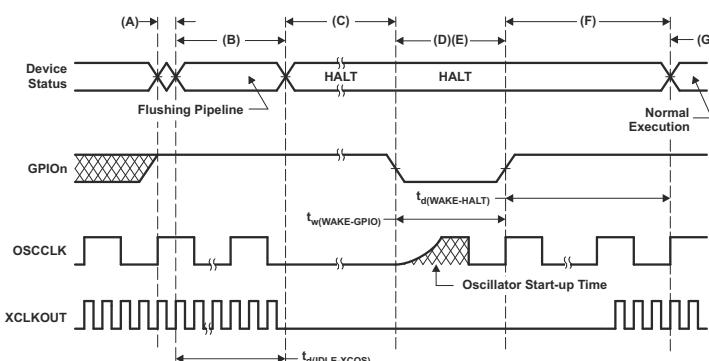
- (1) OSCCLK に X1/X2 を使用するアプリケーションでは、スタートアップ時間がデバイス外部の回路やレイアウトなどに依存するため、ユーザーは、その場合の発振器のスタートアップ時間の特性を評価する必要があります。詳細については、「水晶発振器 (XTAL)」セクションを参照してください。OSCCLK に SYSOSC または WROSC を使用するアプリケーションについては、「内部発振器」セクションの  $t_{\text{oscst}}$  を参照してください。発振器のスタートアップ時間は、X1 ピンでシングルエンド水晶発振器を使用するアプリケーションには適用されません。これは、デバイスの外部から電力が供給されるためです。

#### 6.10.10.2.8 ホールト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

	パラメータ	最小値	最大値	単位
$t_d(\text{IDLE-XCOS})$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_c(\text{SYSOSC})$	サイクル
$t_d(\text{WAKE-HALT})$	遅延時間、外部ウェーク信号終了から CPU1 プログラム実行再開まで			サイクル
	フラッシュからのウェークアップ - アクティブ状態のフラッシュ モジュール		$75t_c(\text{OSCCLK})$	
	RAM からのウェークアップ		$75t_c(\text{OSCCLK})$	

#### 6.10.10.2.9 HALT 開始および終アタミング図



- A. IDLE 命令が実行され、デバイスがホールト モードに移行します。
- B. LPM ブロックが HALT 信号に応答し、SYSCLK は、最大 16 SYSOSCDIV4 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
- C. ペリフェラルへのクロックがオフになり、PLL がシャットダウンされます。クロック ソースとして水晶振動子またはセラミック共振器を使用している場合、内部発振器もシャットダウンされます。デバイスはこの時点で、ホールト モードに移行しており、消費電力はごくわずかです。HALT モード中、内部発振器 (SYSOSC) とウォッチドッグを動作させたままにすることもできます。これは、CLKSRCCTL1.WDHALTI に 1 を書き込むことで行います。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
- D. GPIOn ピン (デバイスの HALT を解除するために使用) を Low にすると、発振器がオンになり、発振器ウェークアップ シーケンスが開始されます。GPIO ピンを High に駆動するのは、発振器が安定した後にする必要があります。これにより、PLL ロック シーケンスの間、クリーンなクロック信号を供給できます。GPIO ピンの立ち下がりエッジによって非同期にウェークアップ手順が開始されるので、ホールト モードに移行する前およびホールト モードになっている間は、低ノイズ環境を維持するように注意する必要があります。
- E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。

- F. コアへの CLKIN がイネーブルになると、デバイスは、いくらかのレイテンシの後で割り込みに応答します (割り込みイネーブルの場合)。これで、ホールトモードが終了します。
- G. 通常動作を再開します。
- H. ユーザーは、安定した PLL ロックを確保するために、HALT からのウェークアップの際に PLL を再ロックする必要があります。

図 6-32. HALT 開始および終了タイミング図

## 6.11 アナログ ペリフェラル

このセクションでは、アナログ サブシステム モジュールについて説明します。

このデバイスのアナログ モジュールには、A/D コンバータ (ADC)、温度センサ、プログラマブル ゲイン アンプ (PGA)、ライト コンパレータ サブシステム バリエント (CMPSS\_LITE) が含まれます。

アナログ サブシステムには次のような特長があります。

- フレキシブルな電圧リファレンス
  - ADC は、VREFHI ピンおよび VSSA ピンを基準としています。
    - VREFHI ピンの電圧は、外部から駆動することも、内部バンドギャップ電圧リファレンスによって生成することができます。
    - 内部電圧リファレンスの範囲は、0V~3.3V または 0V~2.5V のいずれかを選択できます。
  - コンパレータ DAC は、VDDA および VSSA を基準としています。
- フレキシブルなピンの用途
  - コンパレータ サブシステムの入力とデジタル入力 (AIO) / 出力 (AGPIO) は、ADC 入力として多重化されます。
  - Low のコンパレータ DAC (CMP3\_LITE\_DACL) は、外部で使用するために、オプションで多重化された ADC ピンに出力することができます (CMPSS 比較機能とは相互に排他的で、一部の CMPSS インスタンスでのみ使用可能)
  - オフセットセルフ キャリブレーションのために、ADC で VREFLO に内部接続

図 6-33 に、すべてのパッケージのアナログ サブシステムのブロック図を示します。図 6-34 に、アナログ グループの接続を示します。セクション 6.11.1 に、アナログ ピンと内部接続、およびアナログ信号の説明を示します。

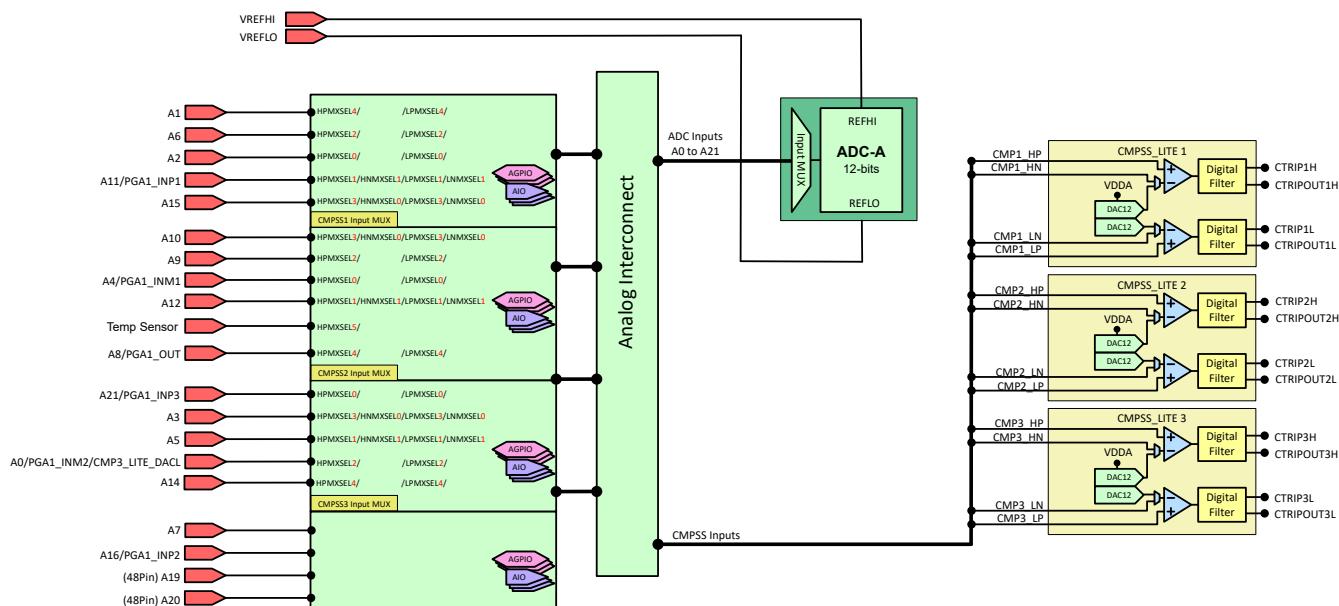
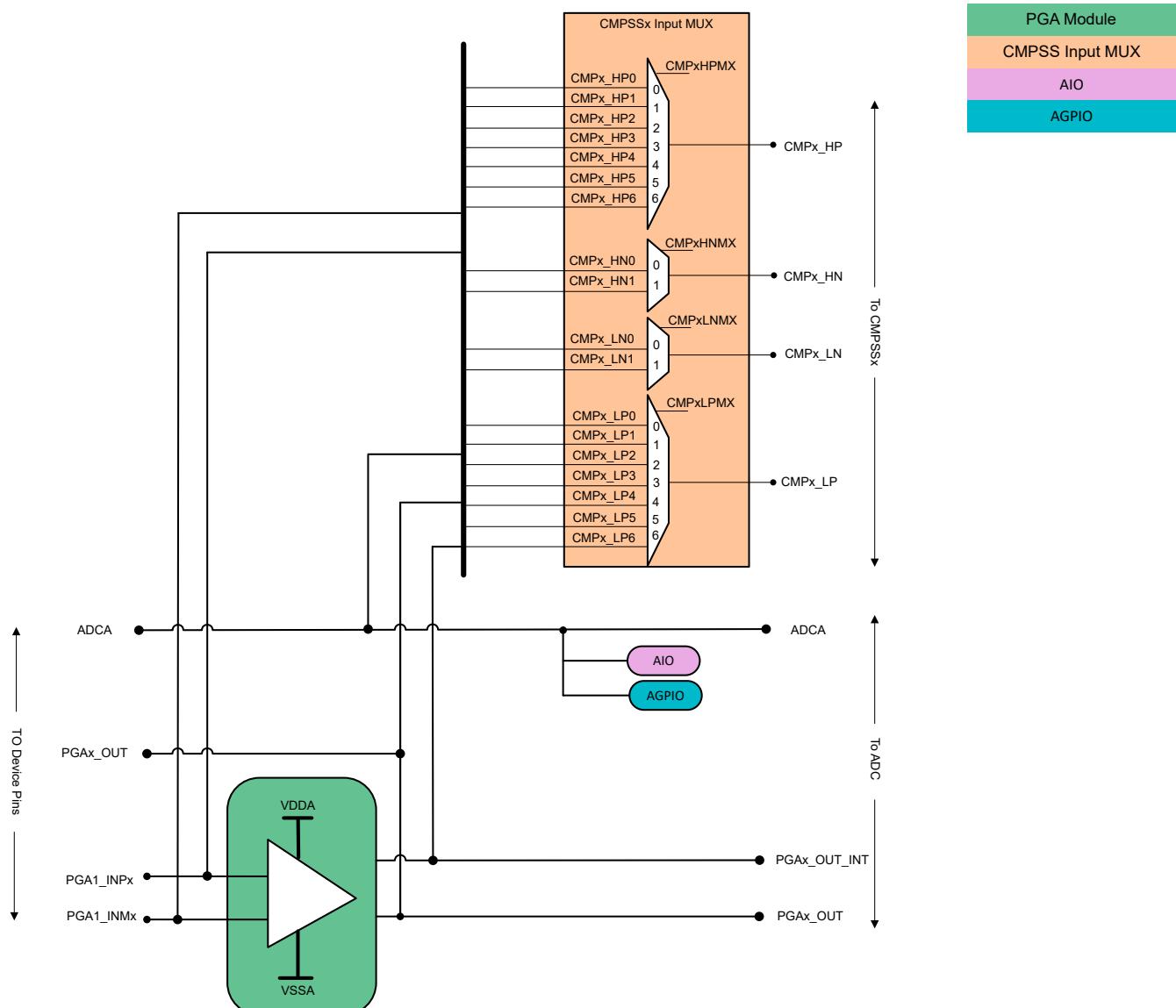


図 6-33. アナログ サブシステムのブロック図



注: AIO は、デジタル入力モードのみをサポートしています。

図 6-34. アナログ グループ接続

### 6.11.1 アナログ ピンと内部接続

**表 6-10. アナログ ピンと内部接続**

ピン名	ピン数 / パッケージ			ADC	DAC	PGA	コンパレータ サブシステム (マルチプレクサ)				AIO 入力 / GPIO
	48 QFP	32 QFP	32 QFN				High 正	High 負	Low 正	Low 負	
VREFHI	12	– <sup>(4)</sup>	– <sup>(4)</sup>								
VREFLO	13	– <sup>(4)</sup>	– <sup>(4)</sup>								
アナログ グループ 1							CMP1				
A6	4 <sup>(1)</sup>	2 <sup>(1)</sup>	2 <sup>(1)</sup>	A6			CMP1 (HPMXSEL=2)		CMP1 (LPMXSEL=2)		GPIO228 <sup>(3)</sup>
A2	6	4	4	A2			CMP1 (HPMXSEL=0)		CMP1 (LPMXSEL=0)		GPIO224 <sup>(3)</sup>
A15	7 <sup>(1)</sup>	5 <sup>(1)</sup>	5 <sup>(1)</sup>	A15			CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)	AIO233
A11	8	6 <sup>(1)</sup>	6 <sup>(1)</sup>	A11		PGA_INP1	CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)	AIO237
A1	10	7 <sup>(1)</sup>	7 <sup>(1)</sup>	A1			CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)		AIO232
アナログ グループ 2							CMP2				
A10	21	13 <sup>(1)</sup>	13 <sup>(1)</sup>	A10			CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)	GPIO230 <sup>(3)</sup>
A12	14	8 <sup>(1)</sup>	8 <sup>(1)</sup>	A12		PGA_INN3	CMP2 (HPMXSEL=1)	CMP2 (HNMXSEL=1)	CMP2 (LPMXSEL=1)	CMP2 (LNMXSEL=1)	AIO238
A8/PGA1_OUT	16	9	9	A8		PGA_OUT	CMP2 (HPMXSEL=4)		CMP2 (LPMXSEL=4)		AIO241
A4/PGA1_INM1	19	12	12	A4		PGA_INM1	CMP2 (HPMXSEL=0)		CMP2 (LPMXSEL=0)		AIO225
A9	20	13 <sup>(1)</sup>	13 <sup>(1)</sup>	A9			CMP2 (HPMXSEL=2)		CMP2 (LPMXSEL=2)		GPIO227 <sup>(3)</sup>
アナログ グループ 3							CMP3				
A3	5	3	3	A3			CMP3 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	GPIO242 <sup>(3)</sup>
A14	7 <sup>(1)</sup>	5 <sup>(1)</sup>	5 <sup>(1)</sup>	A14			CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)		AIO239
A5	9	6 <sup>(1)</sup>	6 <sup>(1)</sup>	A5			CMP3 (HPMXSEL=1)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)	CMP3 (LNMXSEL=1)	AIO244
A0/ CMP3_LITE_DACL/ PGA1_INM2	11	7 <sup>(1)</sup>	7 <sup>(1)</sup>	A0	CMP3_LITE_DACL	PGA1_INM2	CMP3 (HPMXSEL=2)		CMP3 (LPMXSEL=2)		AIO231
A21/PGA1_INP3	4 <sup>(1)</sup>	2 <sup>(1)</sup>	2 <sup>(1)</sup>	A21			CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)		GPIO 226 <sup>(3)</sup>

表 6-10. アナログ ピンと内部接続 (続き)

ピン名	ピン数 / パッケージ			ADC	DAC	PGA	コンパレータ サブシステム (マルチプレクサ)				AIO 入力 / GPIO
	48 QFP	32 QFP	32 QFN				High 正	High 負	Low 正	Low 負	
その他のアナログ											
A16/PGA1_INP2	2	32	32	A16		PGA1_INP2					GPIO28 <sup>(3)</sup>
A19	23	-	-	A19							GPIO13 <sup>(3)</sup>
A20	24	-	-	A20							GPIO12 <sup>(3)</sup>
A7	15	8 <sup>(1)</sup>	8 <sup>(1)</sup>	A7							AIO245
温度センサ <sup>(2)</sup>	-	-	-	A22			CMP1 (HPMXSEL=5)				
PGA1_OUT_INT <sup>(2)</sup>	-	-	-	A25			CMP2 (HPMXSEL=6)		CMP2 (LPMXSEL=6)		

(1) このパッケージでは、1 本のピンで、異なる信号同士が結合されています。

(2) 内部接続のみ。デバイスピンに接続されません。

(3) これらのアナログピンの GPIO では、デジタルの完全な入出力機能がサポートされており、AGPIO と呼ばれます。デフォルトでは AGPIO は接続されておらず、アナログ機能とデジタル機能の両方がディセーブルになっています。構成の詳細については、「ADC ピンのデジタル入出力 (AGPIO)」セクションを参照してください。

(4) 32 RHB および 32 VFC パッケージでは、VREFHI は VDDA に、VREFLO は VSSA に、それぞれ内部的に接続されます。

### 注

これらのアナログ ピンの GPIO は、完全なデジタル入出力機能をサポートしており、AGPIO と呼ばれます。デフォルトでは AGPIO は接続されておらず、アナログ機能とデジタル機能の両方がディセーブルになっています。構成の詳細については、「ADC ピンのデジタル入出力 (AGPIO)」セクションを参照してください。

**表 6-11. アナログ信号の説明**

信号名	説明
AI0x	ADC ピンのデジタル入力
AGPIOx	デジタル入出力ピン、ADC 機能付き
Ax	ADC A 入力
CMPx_HNy	コンパレータ サブシステムのハイ コンパレータ負入力
CMPx_HPy	コンパレータ サブシステムのハイ コンパレータ正入力
CMPx_LNy	コンパレータ サブシステムのロー コンパレータ負入力
CMPx_LPy	コンパレータ サブシステムのロー コンパレータ正入力
CMP3_LITE_DACL	下位 CMPSS3_LITE DAC からの DAC 出力 (外部ピンに接続可能)
PGAx_INPy	PGA モジュール非反転ピン
PGAx_INMy	PGA モジュール反転ピン
PGAx_OUT	PGA モジュール出力
PGAx_OUT_INT	PGA モジュール内部出力を CMPSS および ADC モジュールに接続
TempSensor	内部温度センサ

**表 6-12. リファレンスの概要**

モジュール	リファレンス オプション	構成場所	登録	Driverlib 機能	注
ADC	内部	アナログ システム	AnalogSubsysRegs ANAREFCTL.bit. ANAREFxSEL	ADC_setVREF	どちらのオプションでも、VREFHI ピンを使用する必要があります。
	外部	アナログ システム	1) AnalogSubsysRegs. ANAREFCTL.bit. ANAREFxSEL2) AnalogSubsysRegs. REFCONFIGA.bit. ANAREFSEL	ADC_setVREF	どちらのオプションでも、VREFHI ピンを使用する必要があります。
	3.3V または 2.5V の内部リファレンス範囲	アナログ システム	AnalogSubsysRegs ANAREFCTL.bit. ANAREFx2P5SEL	ADC_setVREF	内部リファレンス モードを使用している場合のみ適用されます。
CMPSS DAC	VDDA	CMPSS モジュール	構成不可		

### 6.11.2 A/D コンバータ (ADC)

ここで説明する ADC モジュールは、12 ビットの分解能を持つ逐次比較型 (SAR) ADC です。このセクションでは、コンバータのアナログ回路を「コア」と呼び、チャネル選択マルチプレクサ、サンプル/ホールド (S/H) 回路、逐次比較回路、電圧リファレンス回路、その他のアナログ サポート回路が含まれています。コンバータのデジタル回路は「ラッパー」と呼ばれ、プログラム可能な変換、結果レジスタ、アナログ回路へのインターフェイス、ペリフェラル バスへのインターフェイス、後処理回路、およびその他のオンチップ モジュールへのインターフェイス用のロジックが含まれています。

各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています。ADC ラッパーは、変換開始 (SOC) ベースで動作します (『[F28E12x リアルタイム マイコン テクニカル リファレンス マニュアル](#)』の「A/D コンバータ (ADC)」の章にある「SOC の動作原理」セクションを参照)。

各 ADC には次のような特長があります。

- 12 ビットの分解能
- VREFHI/VREFLO によって設定されるレシオメトリック外部リファレンス
- 2.5 V または 3.3 V の内部リファレンスを選択可能
- シングルエンド信号モード。ADC C、D、E のシングルエンド モード。
- 最大 17 チャネルの入力マルチプレクサ
- 16 本の構成可能な SOC
- 16 個の個別にアドレス指定可能な結果レジスタ
- 1 つのトリガ リピーター モジュールにより、CPU オーバーヘッドほぼなしでカスタマイズ可能なハードウェア オーバーサンプリング モードを実現可能
- 複数のトリガ ソース
  - ソフトウェアによる直接開始
  - すべての MCPWM:ADCSOC A、B、C、または D
  - GPIO XINT2
  - CPU タイマ 0/1/2
  - ADCINT1/2
- 3 つのフレキシブルな割り込み
- 最大 8x のハードウェア オーバーサンプリング モード、トリガ拡散遅延を構成可能
- 3 つの後処理ブロック、それぞれに次の機能を搭載：
  - 飽和オフセット較正
  - 設定点からの誤差の計算
  - 高、低、ゼロクロス比較、割り込みおよび MCPWM トリップ機能付き
  - 集約関数:合計と平均 (2 進シフト) (PPB1 のみ)

#### 注

すべてのチャネルがすべての ADC からピンへ接続できるわけではありません。使用可能なチャネルを確認するには、「[ピン構成および機能](#)」セクションを参照してください。

図 6-35 に、ADC コアと ADC ラッパーのブロック図を示します。

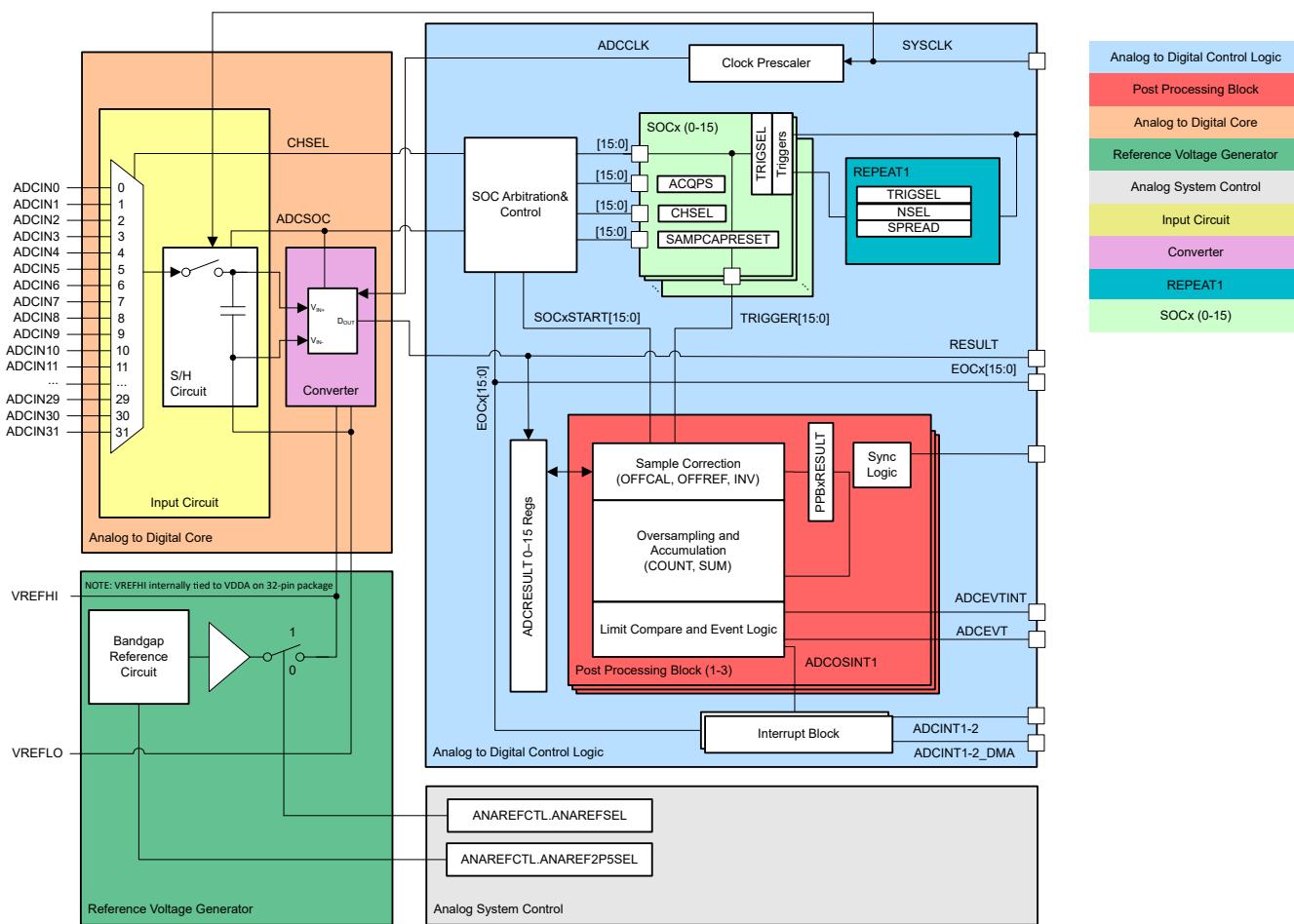


図 6-35. ADC モジュールのブロック図

### 6.11.2.1 ADC の構成可能性

一部の ADC 構成は、SOC によって個別に管理されますが、他の構成は、ADC モジュールごとにまとめて管理されます。表 6-13 に、基本的な ADC オプションとその構成レベルを示します。

表 6-13. ADC オプションおよび構成レベル

オプション	構成方法
クロック	モジュールごと
分解能	構成不可 (12 ビット分解能のみ)
信号モード	構成不可 (シングルエンド信号モードのみ)
リファレンス電圧源	外部または内部のいずれか
トリガ ソース	SOC ごと
変換対象チャネル	SOC ごと
アクイジション ウィンドウ幅	SOC ごと
EOC の位置	モジュールごと
サンプル コンデンサ リセット	SOC ごと

#### 6.11.2.1.1 信号モード

ADC は、シングルエンド信号処理をサポートしています。コンバータへの入力電圧は、1 本のピン (ADCINx) を介し、VREFLO を基準としてサンプリングされます。

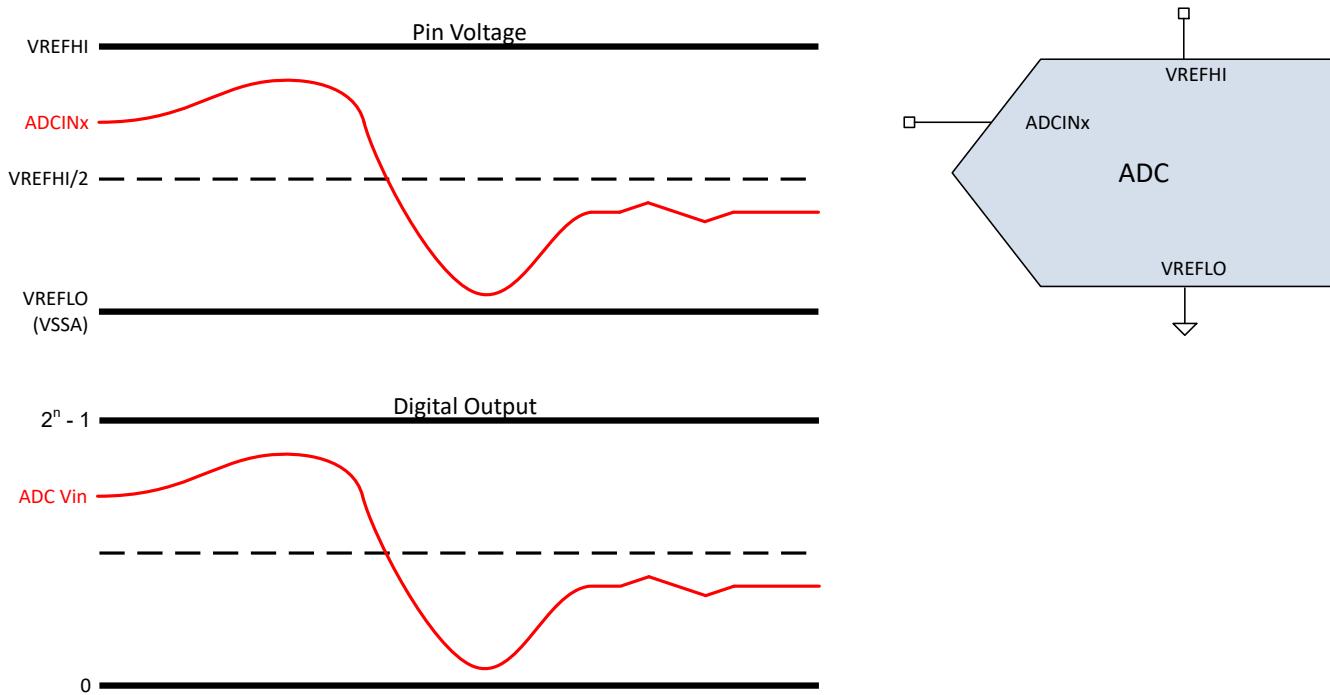


図 6-36. シングルエンド信号モード

### 6.11.2.2 ADC の電気的データおよびタイミング

---

#### 注

ADC 入力は VDDA + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、ADC によって他のチャネルに乱れが生じる可能性があります。メカニズムは次の 2 つです。

- ADC 入力の過電圧によって CMPSS マルチプレクサのオーバードライブが発生し、共通の CMPSS マルチプレクサを共有する他のすべてのチャネルに乱れが生じます。この乱れは、過電圧の入力が ADC によってサンプリングされるかどうかに関係なく続きます。
  - 過電圧の ADC 入力が ADC によってサンプリングされると、VREFHI がより高いレベルに引き上げられます。これにより、V<sub>REF</sub> が安定するまで、任意のチャネルでの以降の ADC 変換に乱れが生じます。
- 

#### 注

正常な機能動作を確保するためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンがこのレベルを超えると、ブロッキング回路が動作し内部の VREFHI 値が 0V になることで、ADC 変換出力が不正確になる可能性があります。

---

### 6.11.2.2.1 ADC の動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5	160	160	MHz
サンプル レート <sup>(3) (4)</sup>	160MHz ADCCLK (48 ピン)		8.9	8.9	MSPS
サンプル レート <sup>(3) (4)</sup>	80MHz ADCCLK (32 ピン)		5.5	5.5	MSPS
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定)	50Ω 以下の R <sub>s</sub>	37.5			ns
	内部 VREFLO 接続	37.5			
VREFHI	外部リファレンス	2.4	2.5 または 3.0	VDDA	V
VREFHI <sup>(1)</sup>	内部リファレンス = 3.3V レンジ		1.65		V
	内部リファレンス = 2.5V レンジ		2.5		V
VREFHI	パッケージ = 32QFN, 32QFP	VDDA	VDDA	VDDA	V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		VDDA	V
変換範囲	内部リファレンス = 3.3V レンジ	0	3.3		V
	内部リファレンス = 2.5V レンジ	0	2.5		
	外部リファレンス	VREFLO		VREFHI	
	パッケージ = 32QFN, 32QFP	0		VDDA <sup>(2)</sup>	

- 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。
- 32QFN パッケージでは、VREFHI は VDDA に、VREFLO は VSSA に、それぞれ内部的に接続されます。32QFP パッケージでは、内部リファレンス モードはサポートされていません。
- 以下の整数以外の ADC クロック分周器はサポートされていません。ADCCTL2.PRESCALE は、偶数の値のみを使用します
- すべての ADC 電気仕様を満たすために、サンプル ホールド容量を VREFHI/2 にリセットする機能を有効にすることが推奨されます。対応する ADCSOCxCTL レジスタ内では、SAMPCAPRESETSEL=1 および SAMPCAPRESETDISABLE=0 に設定してください。

### 6.11.2.2.2 ADC の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>総則</b>					
ADCCLK 変換サイクル <sup>(5)</sup>	160MHz SYSCLK		12	ADCCLK	
パワーアップ時間	外部リファレンス モード		500	μs	
	内部リファレンス モード		5000	μs	
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。		5000	μs	
VREFHI 入力電流 <sup>(1)</sup>	2.5 参照	200			μA
	1.65 参照	130			
内部リファレンス コンデンサの値 <sup>(2)</sup>		2.2			μF
外部リファレンス コンデンサの値 <sup>(2)</sup>		2.2			μF
<b>DC の特性</b>					
ゲイン誤差	内部リファレンス	-45	45		LSB
	外部リファレンス	-5	5		
オフセット誤差		-5	5		LSB
チャネル間ゲイン誤差 <sup>(4)</sup>		2	2		LSB
チャネル間オフセット誤差 <sup>(4)</sup>		2	2		LSB
DNL 誤差		>-1	1		LSB
INL 誤差		-2	2		LSB
<b>AC の特性</b>					
SNR <sup>(3)</sup>	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK	67.08			dB
	VREFHI = 2.5V、fin = 100kHz、SYSOSCDIV4 からの SYSCLK	62.3			
THD <sup>(3)</sup>	VREFHI = 2.5V、fin = 100kHz	-77			dB
SFDR <sup>(3)</sup>	VREFHI = 2.5V、fin = 100kHz	82			dB
SINAD <sup>(3)</sup>	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK	66.8			dB
	VREFHI = 2.5V、fin = 100kHz、SYSOSCDIV4 からの SYSCLK	62.14			
ENOB <sup>(3)</sup>	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC	10.8			ビット
PSRR	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで	60			dB
PSRR	VDDA = DC 3.3V + 200mV 900kHz の正弦波	57			dB

- (1) ADC 入力が VDDA を超えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。
- (2) 0805 以下のパッケージ サイズのセラミック コンデンサを推奨します。許容誤差は最大  $\pm 20\%$  です。
- (3) 容量性結合とクロストークを低減するためのベスト ブラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
- (4) 同じ ADC モジュールに属するすべてのチャネルでの変動。
- (5) SAMPCAPRESET 機能を使用。対応する ADCSOCxCTL レジスタ内で SAMPCAPRESETSEL = 1 および SAMPCAPRESETDISABLE = 0。

#### 6.11.2.2.3 ADC の INL と DNL

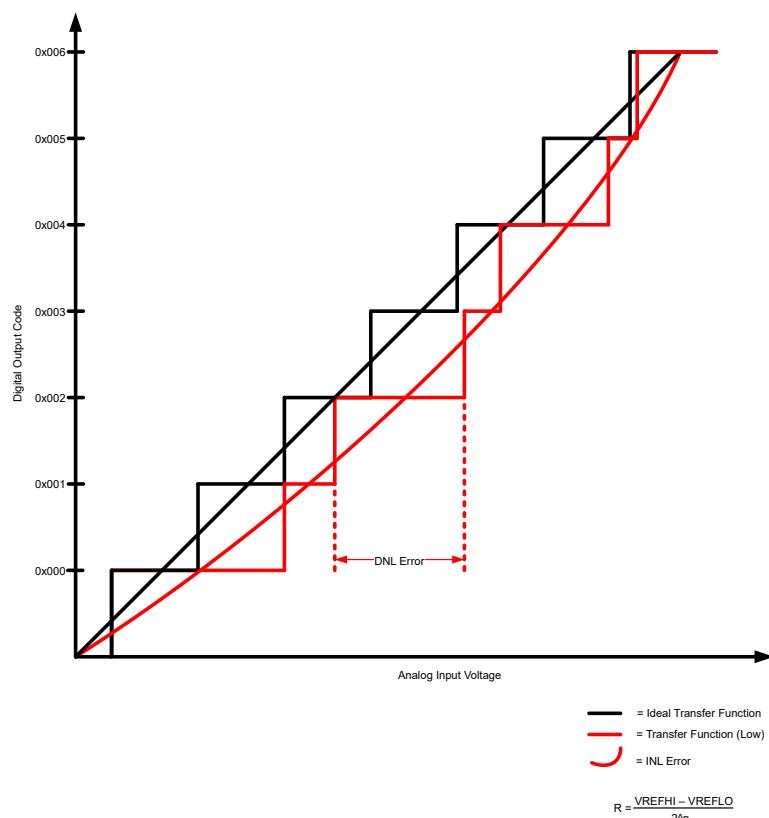


図 6-37. ADC の INL と DNL

#### 6.11.2.2.4 ピンごとの ADC 性能

各ピンの ADC 性能は、隣接するピンの影響を受けます。以下のプロットは、これらのピンの性能の違いについて詳細を示しています。

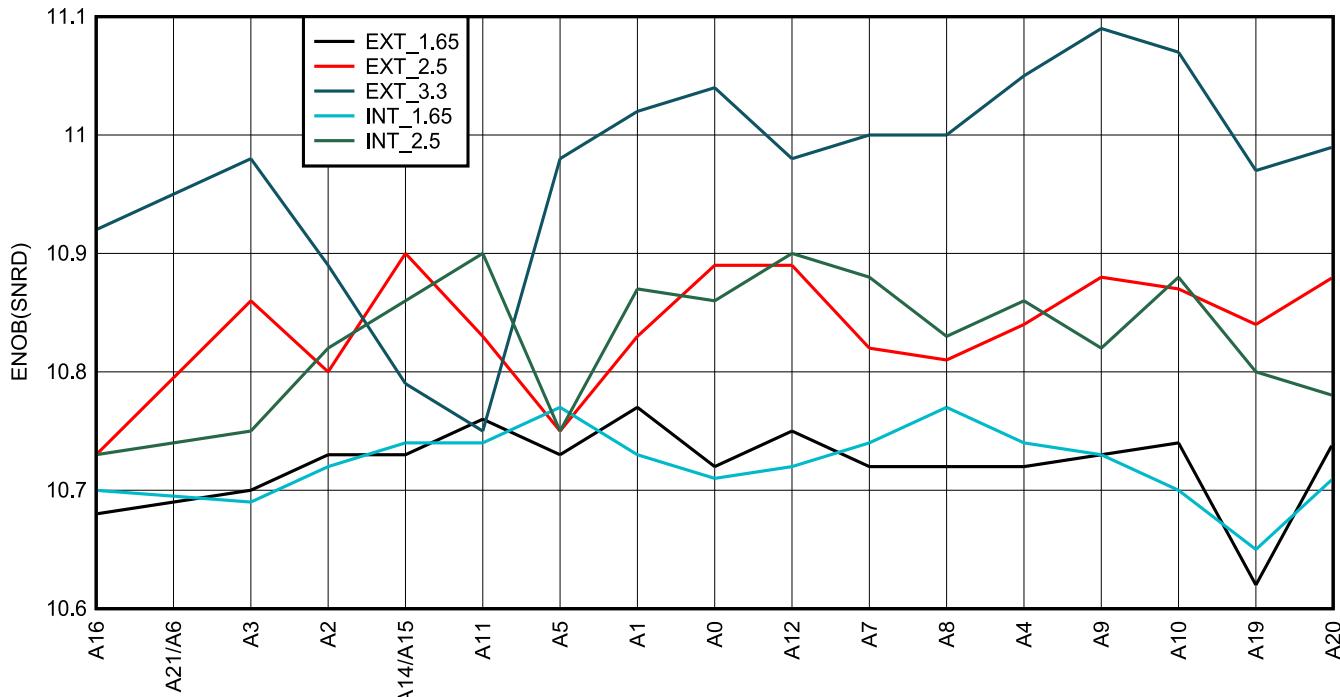


図 6-38. 48 ピン PT のチャネルごとの ENOB

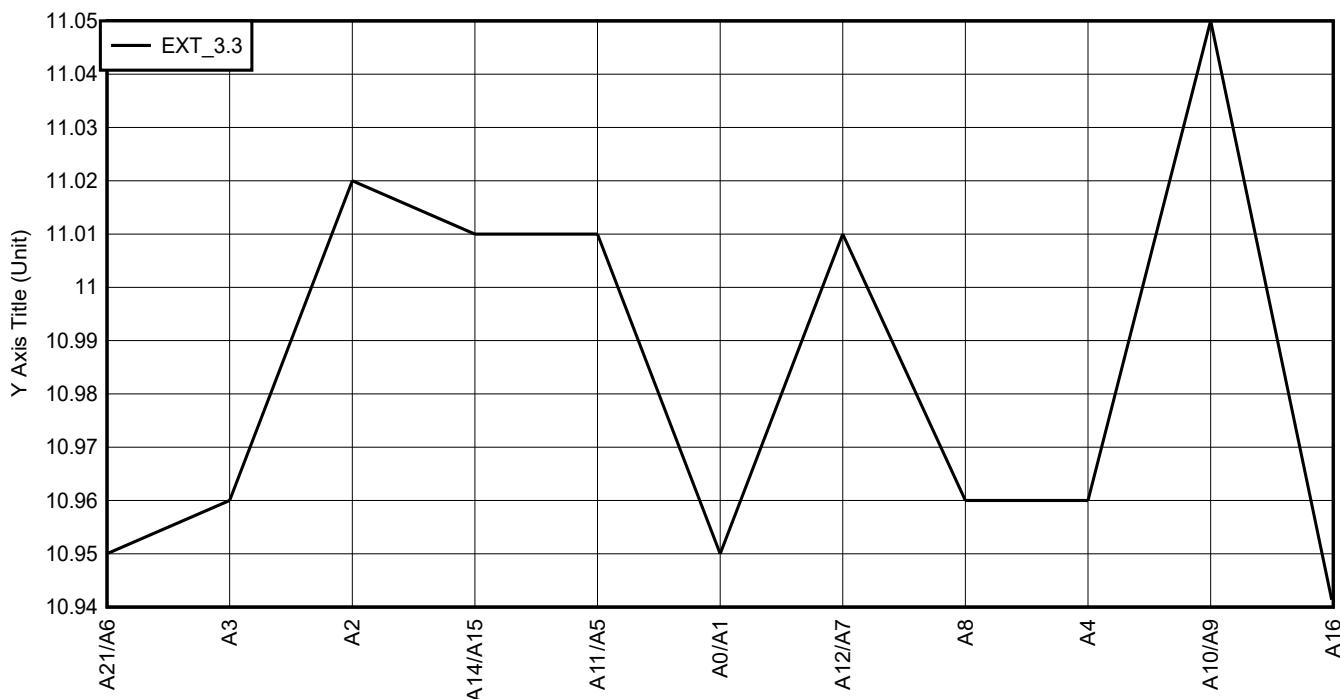


図 6-39. 32 ピン RHB のチャネルごとの ENOB

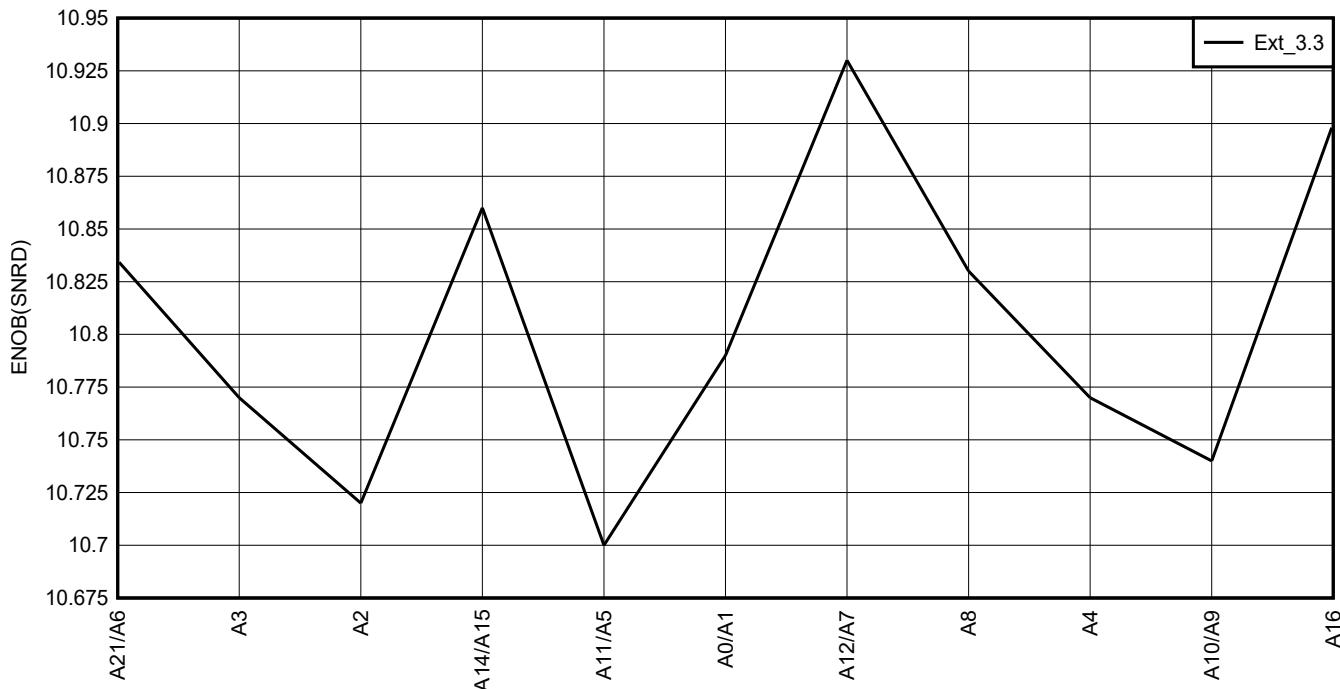


図 6-40. 32 ピン VFC のチャネルごとの ENOB

#### 6.11.2.2.5 ADC 入力モデル

タイプ 5 12 ビット ADC の ADC 入力特性を [表 6-14](#) および [図 6-41](#)

表 6-14. 12 ビット ADC の入力モデルのパラメータ

	説明	リファレンス モード	値
$C_p$	寄生入力容量	すべて	48 ピン PT LQFP のチャネルごとの寄生容量、32 ピン VFC LQFP のチャネルごとの寄生容量、および 32 ピン RHB VQFN のチャネルごとの寄生容量を参照してください
$R_{on}$	サンプリング スイッチ抵抗	外部リファレンス、2.5V 内部リファレンス	400 $\Omega$
		3.3V 内部リファレンス	500 $\Omega$
$C_h$	サンプリング コンデンサ	外部リファレンス、2.5V 内部リファレンス	10pF
		3.3V 内部リファレンス	8pF
$R_s$	公称ソース インピーダンス	すべて	50 $\Omega$

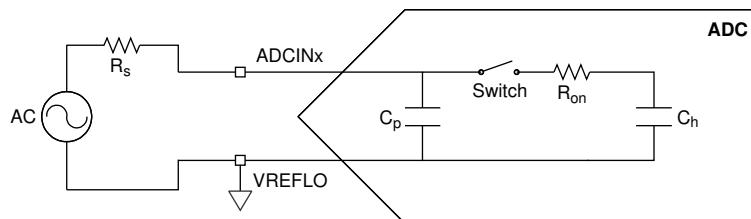


図 6-41. 入力モデル

この入力モデルは、アクイジション ウィンドウの幅を決定する際に、実際の信号源インピーダンスと合わせて使用する必要があります。ADC 入力回路の改善に関する推奨事項については、『[C2000 MCU 用 ADC 入力回路の評価](#)』アプリケーション ノートを参照してください。

表 6-15. 48 ピン PT LQFP のチャネルごとの寄生容量

ADC チャネル	C <sub>p</sub> (pF)	
	その他のすべてのアナログ ペリフェラルがディセーブル	すべてのアナログ ペリフェラルがインエーブル
A0/C15/CMP3_LITE_DACL	6.2	8
A1	1	3
A2/C9	2.9	4.4
A3/C5	2.7	6.4
A4/C14	1.9	1.9
A5/C2	2.7	4.4
A6/C6	6.8	9
A7/C3	2	2
A8/C11	3.6	4
A9/C8	5.6	5.8
A10/C10	6.6	7.2
A11/C0	6.5	7.8
A12/C1	1.8	2.4
A14/A15/C4/C7/ADCINCAL	1.7	3.5
A16/C16	2.7	3.5
A19/C19	3.1	2.7
A20/C20	2.3	2.2

表 6-16. 32 ピン RHB VQFN のチャネルごとの寄生容量

ADC チャネル	C <sub>p</sub> (pF)	
	その他のすべてのアナログ ペリフェラルがディセーブル	すべてのアナログ ペリフェラルがインエーブル
A0/A1/C15/CMP3_LITE_DACL	6.2	8
A2/C9	2.9	4.4
A3/C5	2.7	6.4
A4/C14	1.9	1.9
A5/C2/A11/C0	2.7	4.4
A6/C6	6.8	9
A7/C3/A12/C1	2	2
A8/C11	3.6	4
A9/C8/A10/C10	5.6	5.8
A14/A15/C4/C7/ADCINCAL	1.7	3.5
A16/C16	2.7	3.5

表 6-17. 32 ピン VFC LQFP のチャネルごとの寄生容量

ADC チャネル	C <sub>p</sub> (pF)	
	その他のすべてのアナログ ペリフェラルがディセーブル	すべてのアナログ ペリフェラルがインエーブル
A0/A1/C15/CMP3_LITE_DACL	6.2	8
A2/C9	2.9	4.4
A3/C5	2.7	6.4
A4/C14	1.9	1.9
A5/C2/A11/C0	2.7	4.4
A6/C6	6.8	9

**表 6-17. 32 ピン VFC LQFP のチャネルごとの寄生容量 (続き)**

ADC チャネル	C <sub>p</sub> (pF)	
	その他のすべてのアナログ ペリフェラルがディセーブル	すべてのアナログ ペリフェラルがインエーブル
A7/C3/A12/C1	2	2
A8/C11	3.6	4
A9/C8/A10/C10	5.6	5.8
A14/A15/C4/C7/ADCIN CAL	1.7	3.5
A16/C16	2.7	3.5

### 6.11.2.2.6 ADC のタイミング図

以下の前提による 2 つの SOC の ADC 変換タイミングを示します。

- SOC0 および SOC1 は、同じトリガを使用するように構成されています。
- トリガが発生したときに、他の SOC が変換中または保留中になっていることはありません。
- ラウンドロビン ポイントは、最初に SOC0 で変換が発生する状態になっています。
- ADCINTSEL は、SOC0 の変換終了時に ADCINT フラグを設定するように構成されています (このフラグを CPU に通知して割り込みを発生させるかどうかは、割り込みコントローラの構成によって決まります)。

表 6-18 に、ADC タイミング パラメータの説明を示します。

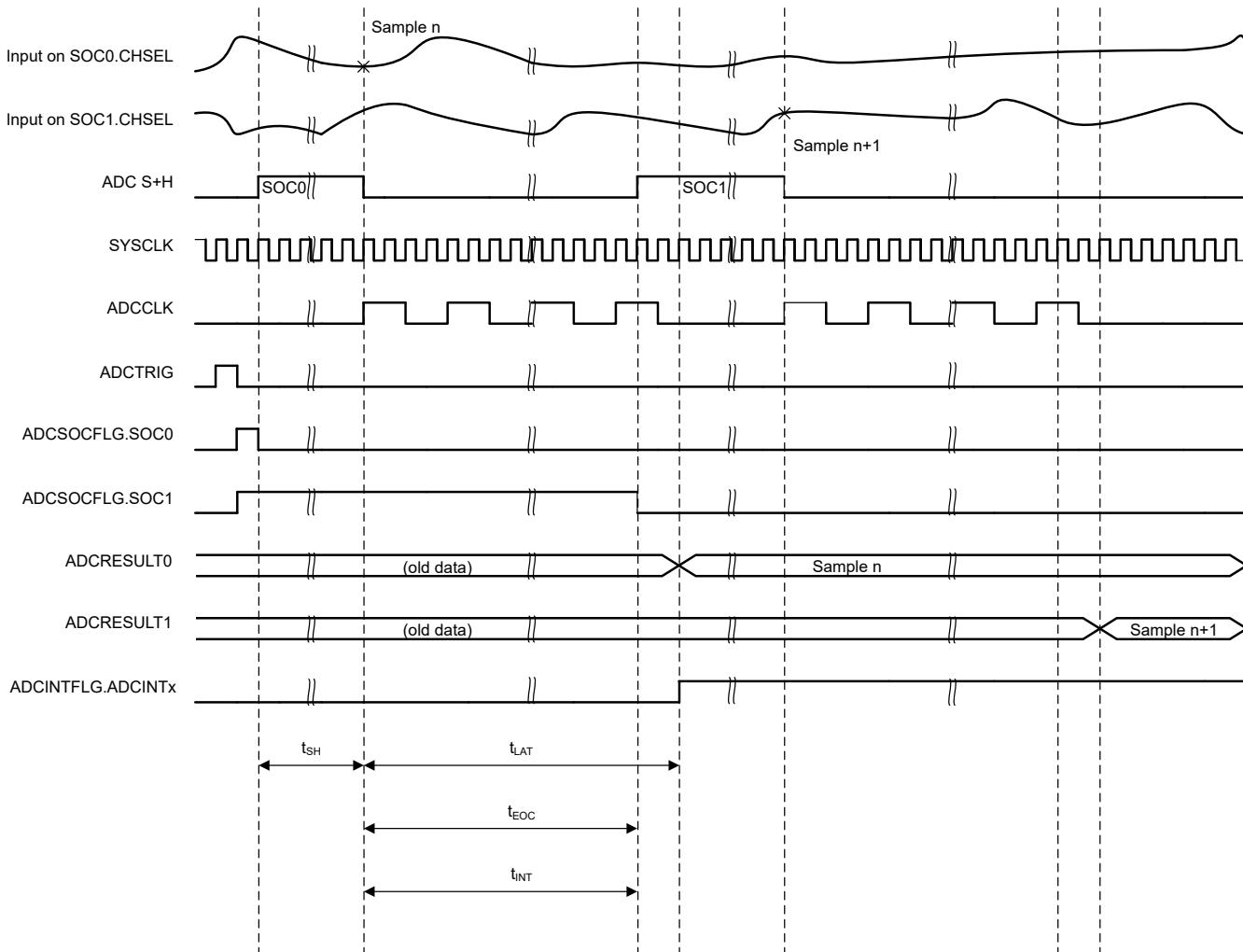


図 6-42. ADC タイミング

**表 6-18. ADC タイミング パラメータの説明**

パラメータ	説明
$t_{SH}$	S+H ウィンドウの幅。 このウィンドウの終了時点における S+H コンデンサでの値が、デジタル値に変換される電圧になります。この時間は、(ACQPS + 1) SYSCLK サイクルで与えられます。ACQPS は、各 SOC に対して個別に構成できるため、異なる SOC の $t_{SH}$ は、同じであるとは限りません。 注: デバイスのクロック設定に関係なく、S+H コンデンサでの値は、S+H ウィンドウ終了の約 5ns 前にキャプチャされます。
$t_{LAT}$	S+H ウィンドウ終了から、ADC 結果が ADCRESULTx レジスタにラッチされるまでの時間。 この時間より前に ADCRESULTx レジスタを読み取った場合、前回の変換結果が返されます。
$t_{EOC}$	S+H ウィンドウ終了から、次の ADC 変換を開始できる S+H ウィンドウまでの時間。その後は、変換結果がラッチされる前にサンプリングを開始できます。
$t_{INT}$	S+H ウィンドウの終了から ADCINT フラグが設定されるまでの時間 (そのように構成されている場合)。 ADCCTL1 レジスタの INTPULSEPOS ビットが設定されている場合、 $t_{INT}$ は変換 (EOC) 信号の終了時点と一致します。 INTPULSEPOS ビットが 0 の場合、 $t_{INT}$ は、S+H ウィンドウの終了時点と一致します。 $t_{INT}$ によって ADC 結果レジスタの読み取りが () トリガされる場合、結果がラッチされた後に読み取りが発生するように注意する必要があります (そうでなければ、前回の結果が読み取られます)。
$t_{DMA}$	S+H ウィンドウの終了時点から ADC 変換結果の DMA 読み取りがトリガされる ADCCTL1.TDMAEN = 1 の時点までの時間。 TDMAEN が 0 に設定されている場合、DMA トリガは $T_{INT}$ に発生します。特定の条件では、ADCRESULT の値がラッチされる前に ADCINT フラグが設定されることがあります。必ず ADCRESULT の値がラッチされた後に DMA 読み取りが行われるようにするには、ADCCTL1.TDMAEN に 1 を書き込んで DMA タイミングを有効にします。

**表 6-19. 12 ビット モードでの ADC タイミング、SAMPCAPRESETSEL = 0**

ADCCLK プリスケール		SYSCLK サイクル				
ADCCTL2 の詳細を示します。 PRESCALE	プリスケール比	$t_{EOC}$	$t_{LAT}$	$t_{INT}$ (早期) <sup>(1)</sup>	$t_{INT}$ (遅延)	$t_{DMA}$
0	1	12	17	1	12	17
2	2	24	34	1	24	34
4	3	36	41	1	36	41
8	5	60	65	1	60	65
10	6	72	77	1	72	77
12	7	84	89	1	84	89
14	8	96	101	1	96	101

(1) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから  $t_{INT}$  が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

**表 6-20. 12 ビット モードでの ADC タイミング、SAMPCAPRESETSEL = 1**

ADCCLK プリスケール		SYSCLK サイクル				
ADCCTL2 の詳細を示します。 PRESCALE	プリスケール比	$t_{EOC}$	$t_{LAT}$	$t_{INT}$ (早期) <sup>(1)</sup>	$t_{INT}$ (遅延)	$t_{DMA}$
0	1	11	16	1	11	16
2	2	24	34	1	24	34
4	3	36	41	1	36	41
6	4	47	52	1	47	52
8	5	59	64	1	59	64
10	6	71	76	1	71	76
12	7	83	88	1	83	88

表 6-20. 12 ビット モードでの ADC タイミング、SAMPCAPRESETSEL = 1 (続き)

ADCCLK プリスケール		SYSCLK サイクル				
ADCCTL2 の詳細 を示します。 PRESCALE	プリスケール比	t <sub>EOC</sub>	t <sub>LAT</sub>	t <sub>INT</sub> (早期) <sup>(1)</sup>	t <sub>INT</sub> (遅延)	t <sub>DMA</sub>
14	8	95	100	1	95	100

(1) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t<sub>INT</sub> が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

### 6.11.3 コンパレータ サブシステム (CMPSS\_LITE)

コンパレータ サブシステム (CMPSS\_LITE) は、アナログ コンパレータとサポート回路で構成されており、ピーク電流モード制御、スイッチ モード電源、力率補正、電圧トリップ監視などの電源アプリケーションに便利です。

コンパレータ サブシステムは、多数のモジュールで構築されています。各サブシステムには 2 つのコンパレータ、2 つのリファレンス用 12 ビット DAC (CMPSS\_LITE) のインスタンスでは有効 9.5 ビットのリファレンス用 DAC)、2 つのデジタル フィルタが含まれます。各モジュール内のコンパレータには、「H」または「L」の表記があります。この場合、「H」と「L」はそれぞれ「High」(ハイ) と「Low」(ロー) を表します。各コンパレータは、正入力の電圧が負入力の電圧よりも高いかどうかを示すデジタル出力を生成します。コンパレータの正入力は、外部ピンから駆動されます (CMPSS で利用可能なマルチブレクサ オプションについては、の「アナログ サブシステム」の章を参照してください)。負入力は、外部ピンまたはプログラム マブル リファレンス 12 ビット DAC によって駆動できます。各コンパレータ出力は、プログラム可能なデジタル フィルタを通過して、不要なトリップ信号を除去できます。フィルタリングが不要な場合は、フィルタなしの出力も使用できます。

各 CMPSS には、次のものが含まれます。

- 2 つのアナログ コンパレータ
- 2 つのプログラマブル リファレンス 12 ビット DAC (CMPSS\_LITE インスタンスの有効ビット数 9.5 ビットの DAC)
- 2 つのデジタル フィルタ、最大 65536 のフィルタ クロック プリスケール
- サブモジュールを MCPWMSYNCPER と同期可能
- 出力を SYSCLK と同期可能
- 出力をラッチ可能
- 出力を反転可能
- 入力にヒステリシスを使用するオプション
- コンパレータの負入力を外部信号またはリファレンス DAC で駆動するオプション
- コンパレータの正入力を外部信号または PGA で駆動するオプション
- ロー コンパレータ DAC 出力 (CMPx\_DACL) を外部ピンで使用するオプション (インスタンスのみ選択、比較機能とは相互に排他的で、同時利用は不可)

#### 6.11.3.1 COMPDACLOUT

一部の CMPSS モジュールのインスタンスでは、DAC 出力からピンとの間でバッファが利用できます。この CMPSS モジュールからの CMP3\_LITE\_DACL 出力では、指定された CMPSS モジュールのローサイド DAC を使用します。CMPSS インスタンスからの DAC 出力を使用する場合、その CMPSS モジュールの他の機能はすべて使用できなくなります。

特定のデバイスで利用可能な CMPx\_LITE\_DACL のインスタンスについては、「アナログ ピンと内部接続」の表で、「DAC」列を参照してください。

DAC 出力の各機能については、「CMPx\_LITE\_DACL のバッファ付き出力の電気的特性」セクションを参照してください。

### 6.11.3.2 CMPSS 接続図

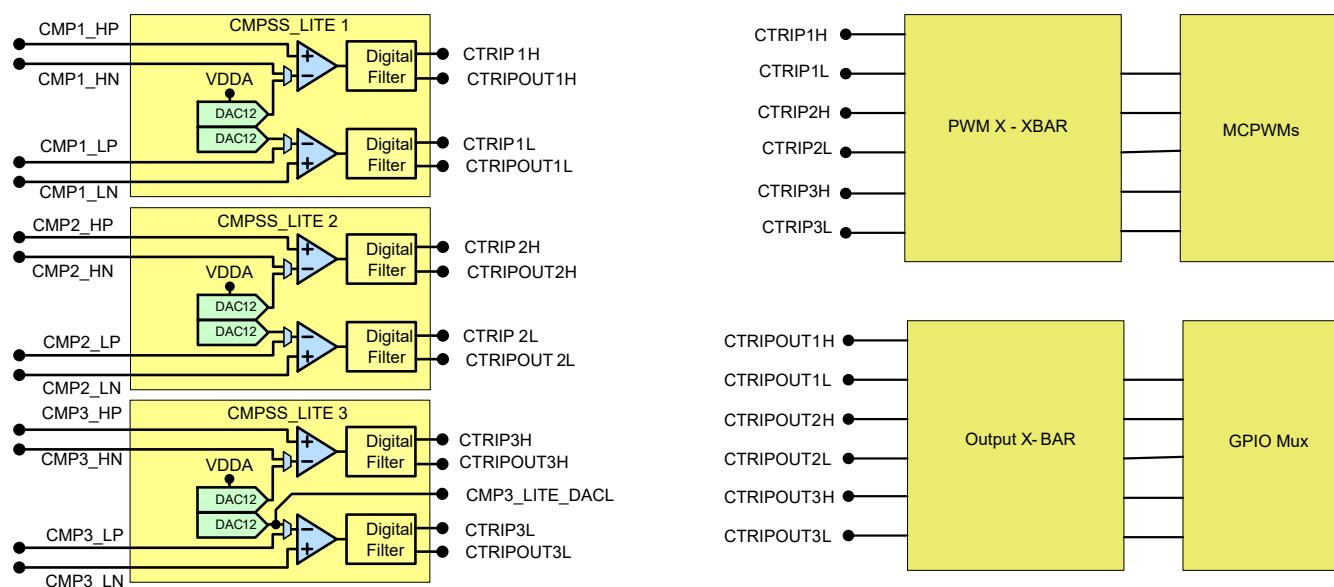
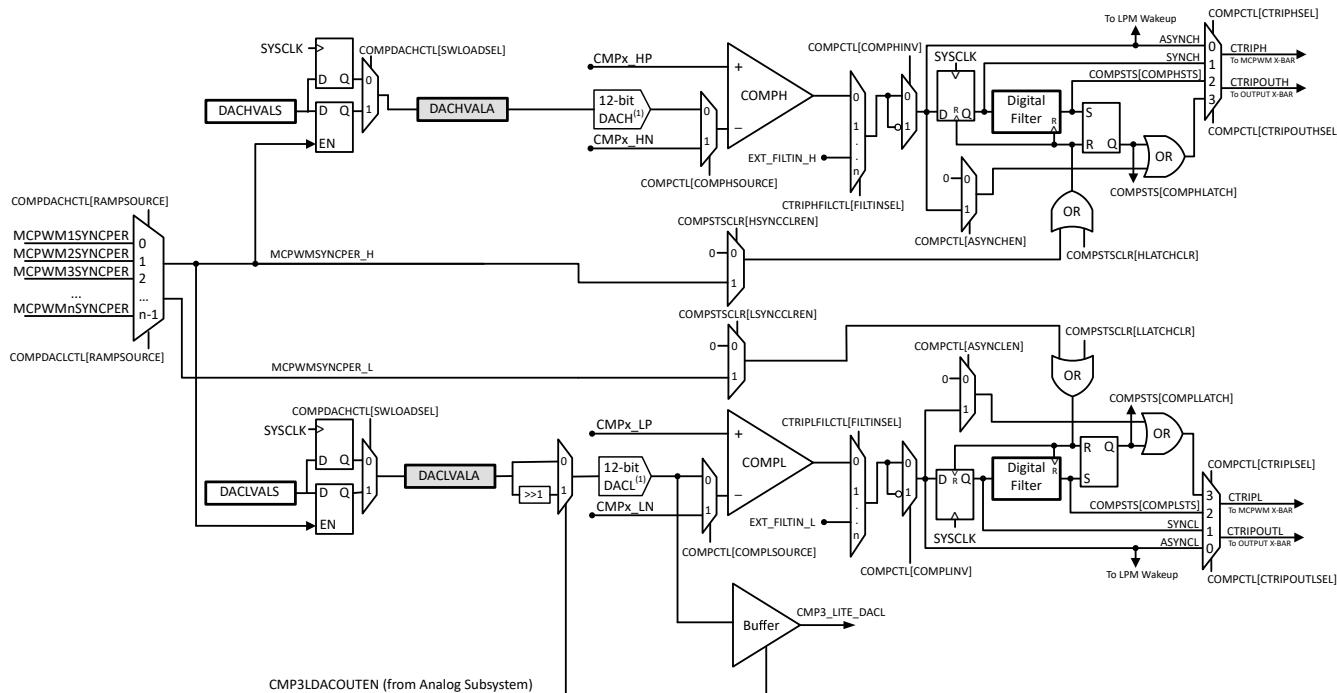


図 6-43. CMPSS の接続

### 6.11.3.3 ブロック図

CMPSS\_LITE のブロック図を [図 6-44](#) に示します。

- MCPWM トリップ応答のために、 $CTRIPx$  ( $x = H$  または  $L$ ) 信号は、PWM クロスバーに接続されています。PWM クロスバーのマルチプレクサ構成の詳細については、『[F28E12x リアルタイムマイクロコントローラテクニカルリファレンスマニュアル](#)』の「マルチチャネル パルス幅変調器 (MCPWM)」の章を参照してください。
- $CTRIPxOUTx$  ( $x = H$  または  $L$ ) 信号は、外部信号用に出力クロスバーに接続されています。出力クロスバーのマルチプレクサ構成の詳細については、『[F28E12x リアルタイムマイクロコントローラテクニカルリファレンスマニュアル](#)』の「汎用入出力 (GPIO)」の章を参照してください。



- CMP3\_LITE\_DACL は、このデバイスの CMPSS 3 モジュールにのみ存在します。
- DACL をピンにイネーブルにすると、COMPL (ローサイドコンパレータ) への機能がディスエーブルされ、この場合は COMPL への負入力をデバイスピンから駆動する必要があります。

図 6-44. CMPSS モジュールのブロック図

各リファレンス 12 ビット DAC は、それぞれのコンパレータの負入力にリファレンス電圧を駆動するように構成できます。一部の CMPSS インスタンスでは、低 DAC 出力をピンに配線して、外部 DAC として動作させることもできます。この場合、DAC 出力は COMPL で使用できません。この場合、COMPL への負入力をデバイスピンから駆動する必要があります。

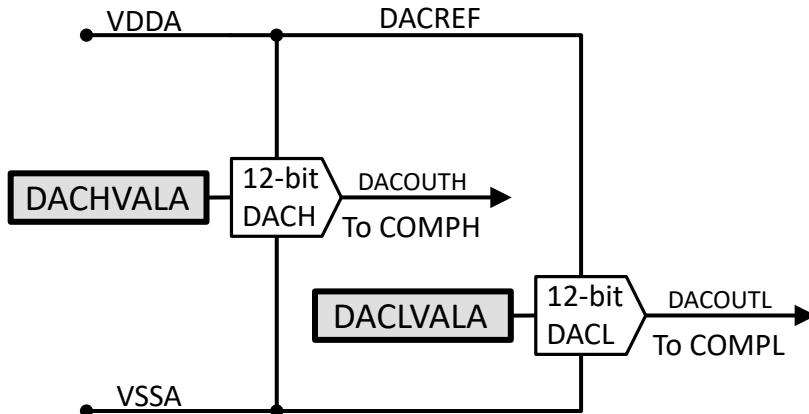


図 6-45. リファレンス DAC のブロック図

#### 6.11.3.4 CMPSS の電気的データおよびタイミング

##### 6.11.3.4.1 CMPSS\_LITE コンパレータの電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
TPU	パワーアップ時間	バンドギャップはディセーブル		500	μs
コンパレータ入力 (CMPINxx) 範囲		0	VDDA	V	
入力換算オフセット誤差	AIO/AGPIO 経由の入力同相モード = VDDA の 5%~95%	-20	20	20	mV
ヒステリシス (1)	1x	1	10	19	mV
	2x	7	20	34	
	3x	14	30	51	
	4x	19	41	70	
	5x	25	52	88	
	6x	31	64	109	
	7x	37	77	131	
応答時間 (CMPINx 入力変化から MCPWM クロスバーまたは出力クロスバーの出力までの遅延)	ステップ応答	21	40	40	ns
	ランプ応答 (1.65 V/μs)	26	26	26	
	ランプ応答 (8.25 mV/μs)	30	30	30	
PSRR	電源除去比	最高 250kHz		46	dB
CMRR	同相除去比		40		dB

(1) ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。

#### CMPSS コンパレータの入力換算オフセットとヒステリシス

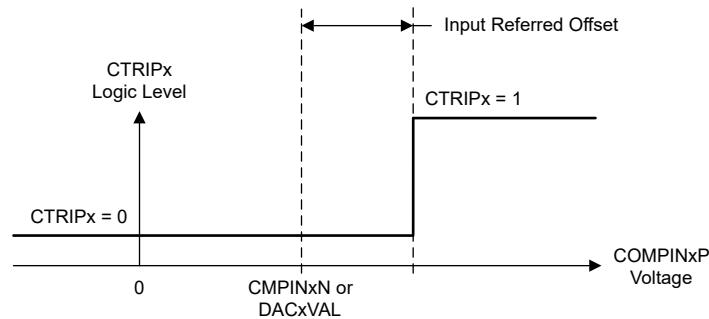


図 6-46. CMPSS コンパレータの入力換算オフセット

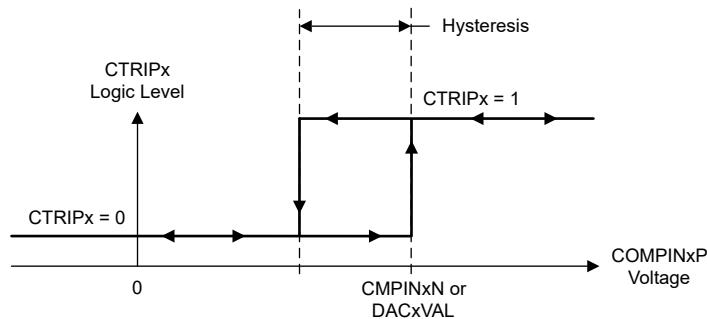


図 6-47. CMSS コンパレータのヒステリシス

#### 6.11.3.4.2 CMPSS\_LITE DAC の静的電気特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CMPSS_LITE DAC 出力範囲		0	VDDA	V	
静的オフセット誤差 (1)		-25	25	25	mV
静的ゲイン誤差 (1)		-0.5	0.5	0.5	FSR の %
静的 DNL	エンドポイント補正	-5	5	5	LSB (12 ビット)
静的 INL	エンドポイント補正	-7	7	7	LSB (12 ビット)
静的 TUE (総合未調整誤差)				35	mV
セトリングタイム	フルスケール出力変化後 1LSB にセトリング	1			μs
分解能 (2)		12			ビット

(1) コンパレータの入力換算誤差を含みます。

(2) 単調応答の 9.5 ビット有効分解能

#### 6.11.3.4.3 CMPSS の説明用グラフ

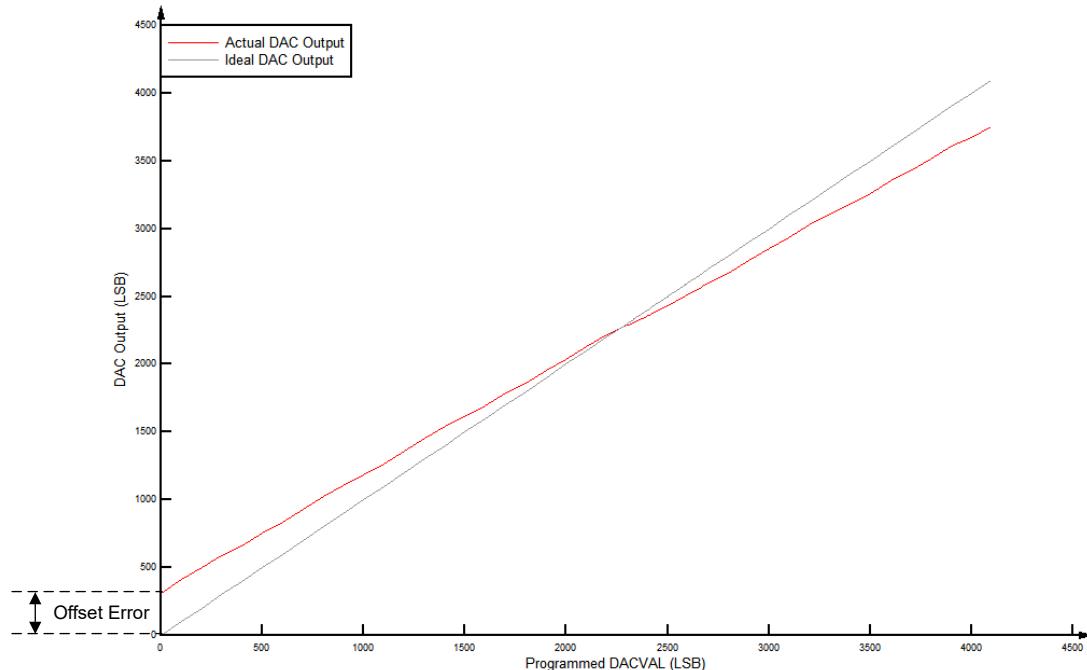


図 6-48. CMPSS DAC の静的オフセット

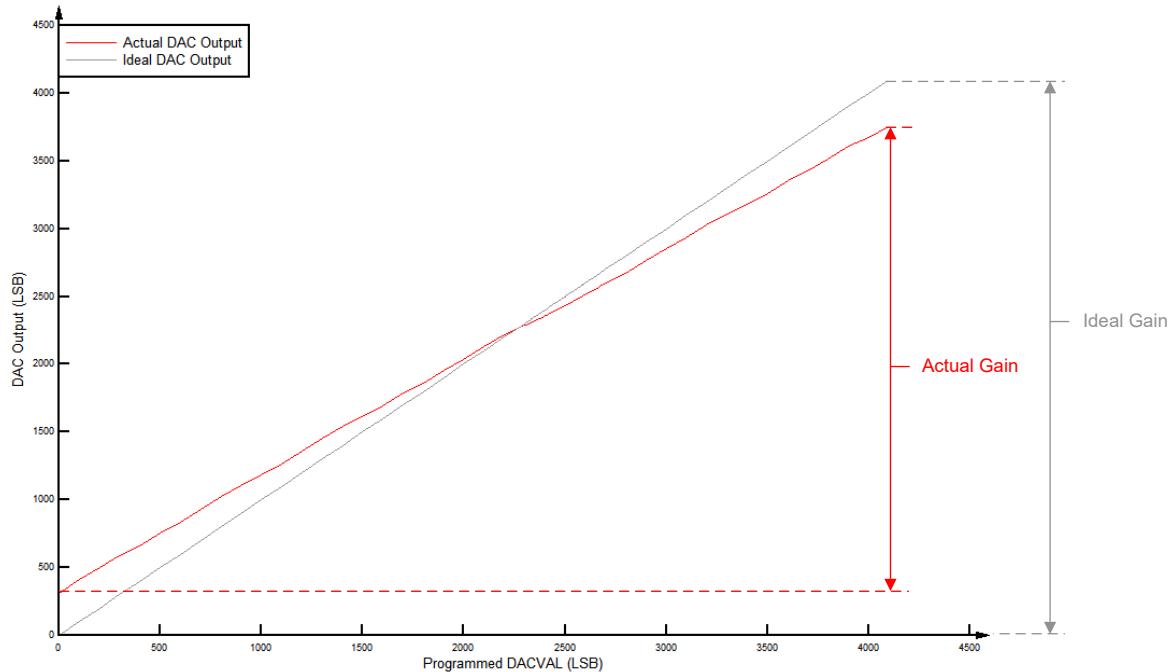


図 6-49. CMPSS DAC の静的ゲイン

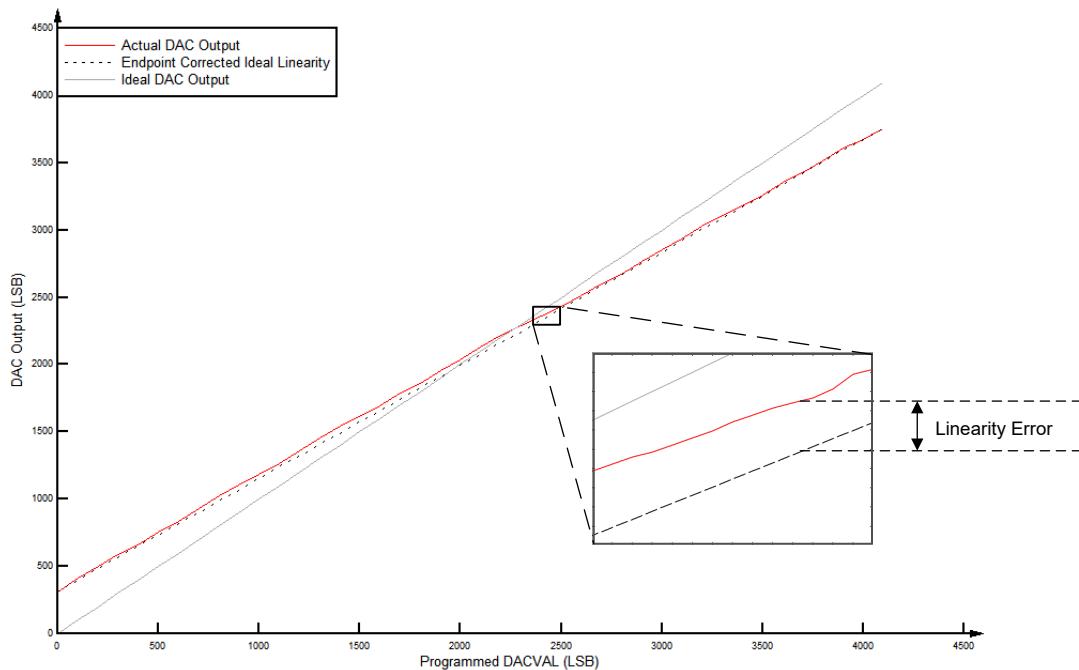


図 6-50. CMPSS DAC の静的直線性

#### 6.11.3.4.4 CMPx\_LITE\_DACL からのバッファされた出力の動作条件

推奨動作条件範囲内 (特に記述のない限り)<sup>(1)</sup>

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_L$	抵抗性負荷 <sup>(2)</sup>			5		$k\Omega$
$C_L$	容量性負荷				100	$pF$

#### 6.11.3.4.4 CMPx\_LITE\_DACL からのバッファされた出力の動作条件 (続き)

推奨動作条件範囲内 (特に記述のない限り)<sup>(1)</sup>

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>OUT</sub>	有効出力電圧範囲 <sup>(3)</sup>	R <sub>L</sub> = 5kΩ	0.3	VDDA - 0.3	V	V
		R <sub>L</sub> = 1kΩ	0.6	VDDA - 0.6	V	V
リファレンス電圧 <sup>(4)</sup>		VREFHI	2.4	2.5 または 3.0	VDDA	V

(1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。

(2) DAC は最小 1kΩ の抵抗性負荷を駆動できますが、出力範囲は制限されます。

(3) これは DAC の線形出力範囲です。DAC はこの範囲外の電圧を生成できますが、バッファがあるので出力電圧は線形ではありません。

(4) 最高の PSRR 性能を得るには、VREFHI を VDDA よりも低くする必要があります。

#### 6.11.3.4.5 CMPx\_LITE\_DACL からのバッファされた出力の電気的特性

推奨動作条件範囲内 (特に記述のない限り)<sup>(1)</sup>

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>総則</b>						
分解能 <sup>(4)</sup>			12			ビット
ロードレギュレーション			-1	1		mV/V
グリッチ エネルギー			1.5			V-ns
電圧出力セトリング時間、フルスケール	0.3V から 3V への遷移後 2LSB にセトリング			2		μs
電圧出力セトリング時間、1/4 <sup>th</sup> フルスケール	0.3V から 0.75V への遷移後 2LSB にセトリング			1.6		μs
電圧出力スルーレート	0.3V から 3V への遷移時のスルーレート	3.9	4.5	5.4		V/μs
負荷過渡セトリング時間	5kΩ 負荷		750			ns
<b>DC の特性</b>						
オフセット	オフセット誤差		-100	100		mV
ゲイン	ゲイン誤差 <sup>(2)</sup>		-1.5	1.5		FSR の %
DNL	微分非直線性	エンドポイント補正	-6	6		LSB (12 ビット)
INL	積分非直線性	エンドポイント補正	-7	7		LSB (12 ビット)
<b>AC の特性</b>						
出力ノイズ		100Hz~100kHz の積分ノイズ	80			μVrms
		10kHz でのノイズ密度	242			nVrms/√Hz
SNR	信号対雑音比	1kHz、200KSPS	76.6			dB
THD	全高調波歪み	1kHz、200KSPS	-66.6			dB
SFDR	スプリアス フリー ダイナミックレンジ	1kHz、200KSPS	75.3			dB
SINAD	信号対雑音+歪み比	1kHz、200KSPS	66.4			dB
PSRR	電源除去比 <sup>(3)</sup>	DC	70			dB
		100kHz	30			dB

(1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。

(2) ゲイン誤差は、線形出力範囲について計算しています。

(3) VREFHI = 3.2V、VDDA = DC 3.3V + 100mV 正弦波。

(4) 9 ビット有効 (単調応答)。

#### 6.11.4 プログラマブル ゲイン アンプ(PGA)

プログラマブル ゲイン アンプ (PGA) は、入力電圧を増幅して、下流側の ADC および CMPSS モジュールの実効分解能を高めるために使用されます。

内蔵 PGA により、従来は外付けのスタンドアロン アンプを必要としていた多くの制御アプリケーションで、コストの削減と設計工数の低減に役立ちます。オンチップ統合により、この PGA は下流側の ADC および CMPSS モジュールに適合していることが保証されます。ゲインおよびフィルタの設定をソフトウェアで選択できるため、PGA はさまざまな性能ニーズに対応できます。

PGA の特長は次のとおりです。

- VDDA および VSSA 範囲内のレール ツー レール入力および出力電圧
- ユニティゲインとその他の値 (2~64 倍) を含むプログラマブル ゲイン モード
- オフチップ受動部品を使ったスタンドアロン ゲイン モード
- オンチップ抵抗を使ったポスト ゲイン フィルタリング
- 差動入力のサポート
- ハードウェア支援型チョッピングによるオフセット低減
- PGA\_INM ピンを使用したケルビングランド接続をサポート
- 正の入力ピンに入力された 3 入力-1 マルチプレクサ

PGA の能動部品は、内蔵オペアンプであり、内蔵の帰還抵抗を備えた非反転または反転アンプとして構成されています。これらの内部帰還抵抗の値は、ソフトウェアで選択可能な電圧ゲインを生成するように組み合わせられています。

次の 6 つの PGA 信号がデバイスのピンで利用できます。

- PGA\_INP1, PGA\_INP2, PGA\_INP3 は、PGA オペアンプへの正の入力を得るために多重化されています。
- PGA\_INM1 と PGA\_INM2 は、PGA オペアンプへの負の入力を取得するために多重化されています。
- PGA\_OUT は、RC 部品によるオペアンプ出力フィルタリングをサポートしています。フィルタ処理された信号は、オンチップ ADC および CMPSS モジュールでサンプリングおよび監視できます。

PGA\_OUT\_INT は、オペアンプ出力の内部信号です。内部 ADC および CMPSS モジュールでサンプリングと監視が可能です。図 6-51 に、PGA のブロック図を示します。

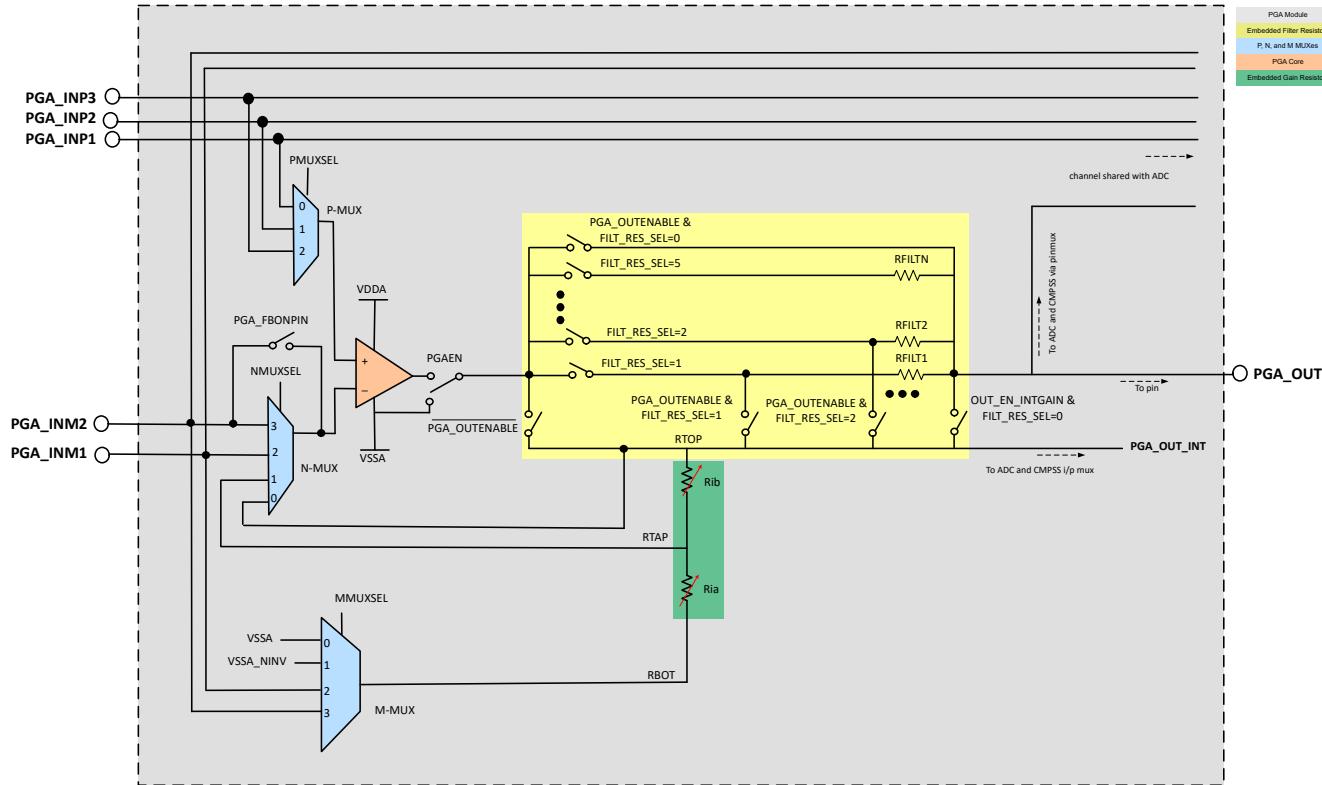


図 6-51. PGA のブロック図

### 6.11.4.1 PGA の電気的データおよびタイミング

#### 6.11.4.1.1 PGA の動作条件

推奨動作範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
DAC の出力範囲 <sup>(1)</sup>		VSSA+0.025		VDDA-0.025	V
PGA 出力の容量性負荷				40	pF

(1) これは PGA の線形出力範囲です。PGA はこの範囲外の電圧を出力できますが、電圧は線形ではありません。

#### 6.11.4.1.2 PGA の特性

推奨動作範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>総則</b>					
ADC LSB 精度が $\pm 1$ 以内の最小 ADC S+H セトリング (フィルタなし、すべてのゲイン設定、シングル ADC 駆動) <sup>(4)</sup>	ゲイン = 1	117			ns
	ゲイン = 2/-1	124			
	ゲイン = 4/-3	124			
	ゲイン = 8/-7	149			
	ゲイン = 16/-15	217			
	ゲイン = 32/-31	299			
	ゲイン = 64/-63	393			
ゲイン設定		1			
		2、4、8、16、32、64			
		-1、-3、-7、-15、-31			
		、-63			
短絡電流 <sup>(5)</sup>		41			mA
フルスケール ステップ応答 (フィルタなし)、精度が 0.05% 以内のセトリング <sup>(4)</sup>	G<64		420		ns
	G = 64/-63		500		ns
セトリング タイム: ゲイン切り替え			10		μs
スルーレート	ネイキッド OPA モード	12			V/μs
スルーレート	ゲイン = 1	12			V/μs
	ゲイン = 2/-1	24			V/μs
	ゲイン = 4/-3	43			V/μs
	ゲイン = 8/-7	58			V/μs
	ゲイン = 16/-15	35			V/μs
	ゲイン = 32/-31	29			V/μs
	ゲイン = 64/-63	26			V/μs
R <sub>ia</sub>	ゲイン = 1	256			kΩ
	ゲイン = 2/-1	16			kΩ
	ゲイン = 4/-3	8			kΩ
	ゲイン = 8/-7	8			kΩ
	ゲイン = 16/-15	8			kΩ
	ゲイン = 32/-31	8			kΩ
	ゲイン = 64/-63	4			kΩ

### 6.11.4.1.2 PGA の特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$R_{ib}$	ゲイン = 1		0		$k\Omega$
	ゲイン = 2/-1		16		$k\Omega$
	ゲイン = 4/-3		24		$k\Omega$
	ゲイン = 8/-7		56		$k\Omega$
	ゲイン = 16/-15		120		$k\Omega$
	ゲイン = 32/-31		248		$k\Omega$
	ゲイン = 64/-63		252		$k\Omega$
フィルタ抵抗のターゲット	$R_{FILT} = 800\Omega$		800		$\Omega$
	$R_{FILT} = 400\Omega$		400		$\Omega$
	$R_{FILT} = 200\Omega$		200		$\Omega$
	$R_{FILT} = 100\Omega$		100		$\Omega$
	$R_{FILT} = 50\Omega$		50	62	$\Omega$
ゲイン帯域幅積 (ネイキッド オペアンプ モード)	ゲイン = 1		7		MHz
閉ループ -3dB BW	ゲイン = 1		15		MHz
	ゲイン = 2/-1		14		MHz
	ゲイン = 4/-3		13.5		MHz
	ゲイン = 8/-7		12		MHz
	ゲイン = 16/-15		11		MHz
	ゲイン = 32/-31		5.5		MHz
	ゲイン = 64/-63		5.0		MHz
<b>DC の特性</b>					
ゲイン誤差 <sup>(1)</sup>	ゲイン = 1	-0.18	0.18		%
ゲイン誤差 <sup>(1)</sup>	ゲイン = 2, -1	-0.45	0.45		%
ゲイン誤差 <sup>(1)</sup>	ゲイン = 4, -3	-0.7	0.7		%
ゲイン誤差 <sup>(1)</sup>	ゲイン = 8, -7	-0.84	0.84		%
ゲイン誤差 <sup>(1)</sup>	ゲイン = 16, -15	-0.9	0.9		%
ゲイン誤差 <sup>(1)</sup>	ゲイン = 32, -31	-1.05	1.05		%
ゲイン誤差 <sup>(1)</sup>	ゲイン = 64, -63	-1.82	1.82		%
オフセット誤差 <sup>(2)</sup>	入力換算	-3.0	$\pm 1.0$	3.0	mV
オフセット温度係数	入力換算	-7.0	7.0		$\mu V/C$
オフセット誤差 - チョップ		-0.8	0.8		mV
オフセット温度係数 - チョップ			0.3		$\mu V/C$
DC コード分布	G<64		2.5		12b LSB
	G = 64/-63		4		12b LSB
<b>AC の特性</b>					
位相マージン ネイキッド OPA	$C_{load} = 40pF$ G = 1		45		度
Aol (閉ループ電圧ゲイン) ネイキッド OPA	$R_L = 7.5k\Omega$ から GND へ 0.3V < $V_O$ < VDDA - 0.3V		94		dB
THD + ノイズ (THD+N) ネイキッド OPA	$f_{in} = 1kHz$ G = 1		82		dB

#### 6.11.4.1.2 PGA の特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
SNR 10kHz (ADC あり)	ゲイン = 1		68		dB
	ゲイン = 2, -1		68		
	ゲイン = 4, -3		66		
	ゲイン = 8, -7		62		
	ゲイン = 16, -15		58		
	ゲイン = 32, -31		55		
	ゲイン = 64, -63		51		
THD <sup>(3)</sup>	DC		-78		dB
THD (最大 100kHz) <sup>(3)</sup>	ゲイン = 1		-58		dB
	ゲイン = 2, -1		-70		
	ゲイン = 4, -3		-70		
	ゲイン = 8, -7		-70		
	ゲイン = 16, -15		-70		
	ゲイン = 32, -31		-58		
	ゲイン = 64, -63		-58		
CMRR	DC: $V_{IN} \leq 1.5V$		-86		dB
	DC: フル入力レンジ		-77		dB
	最高 100kHz		-50		dB
PSRR <sup>(3)</sup>	DC		-75		dB
	最高 10kHz		-60		dB
	最高 100kHz		-40		dB
ノイズ PSD <sup>(3)</sup>	1kHz		200		nV/sqrt(Hz)
	10kHz		100		nV/sqrt(Hz)
積分ノイズ (入力換算) <sup>(3)</sup>	3Hz ~ 30MHz		100		μV

- (1) ADC ゲイン誤差を含む
- (2) ADC オフセット誤差を含む
- (3) PGA 単独の性能。
- (4) ステップ応答時間 (フィルタあり) =  $tS + H + 7.6 \cdot R_{filt} \cdot C_{filt}$
- (5) フィルタ回路なしと想定

## 6.11.5 温度センサ

### 6.11.5.1 温度センサの電気的データおよびタイミング

温度センサを使用して、デバイスの接合部温度を測定できます。温度センサは、ADC への内部接続を介してサンプリングされ、テキサス・インスツルメンツが提供するソフトウェアを使用して温度に変換されます。温度センサをサンプリングする場合、ADC は、「温度センサの特性」表に示すアクイジョン時間と満たす必要があります。

#### 6.11.5.1.1 温度センサの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$T_{acc}$	温度精度	内部リファレンス (-40°C~30°C)	-15	$\pm 2$	15	°C
		内部リファレンス (30°C~85°C)	-9	$\pm 2$	7	°C
		内部リファレンス (85°C~125°C)	-5	$\pm 2$	8	°C
		外部リファレンス (-40°C~30°C)	-8	$\pm 2$	10	°C
		外部リファレンス (30°C~125°C)	-5	$\pm 2$	8	°C
$t_{startup}$	スタートアップ時間 (TSNSCTL[ENABLE] から温度センサのサンプリングまで)			500		μs
$t_{acq}$	ADC アクイジョン時間		450			ns

## 6.12 制御ペリフェラル

### 6.12.1 マルチチャネルパルス幅変調器 (MCPWM)

MCPWM ペリフェラルは、民生用および産業用機器で採用されている多くのパワー エレクトロニクス システムを制御するための重要な要素です。MCPWM モジュールは、個別のリソースが連携してシステムを形成するしくみによって、小さいモジュールからペリフェラルを構築して、最小限の CPU オーバーヘッドで複合パルス幅波形を生成できます。MCPWM の主な特長として、複合波形生成、デッドバンド生成、柔軟な同期方式、高度なトリップ ゾーン機能、グローバル レジスタリロード機能が挙げられます。

デバイスの MCPWM と eCAP の同期スキームにより、MCPWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。

MCPWM モジュールを [図 6-52](#) に示します。

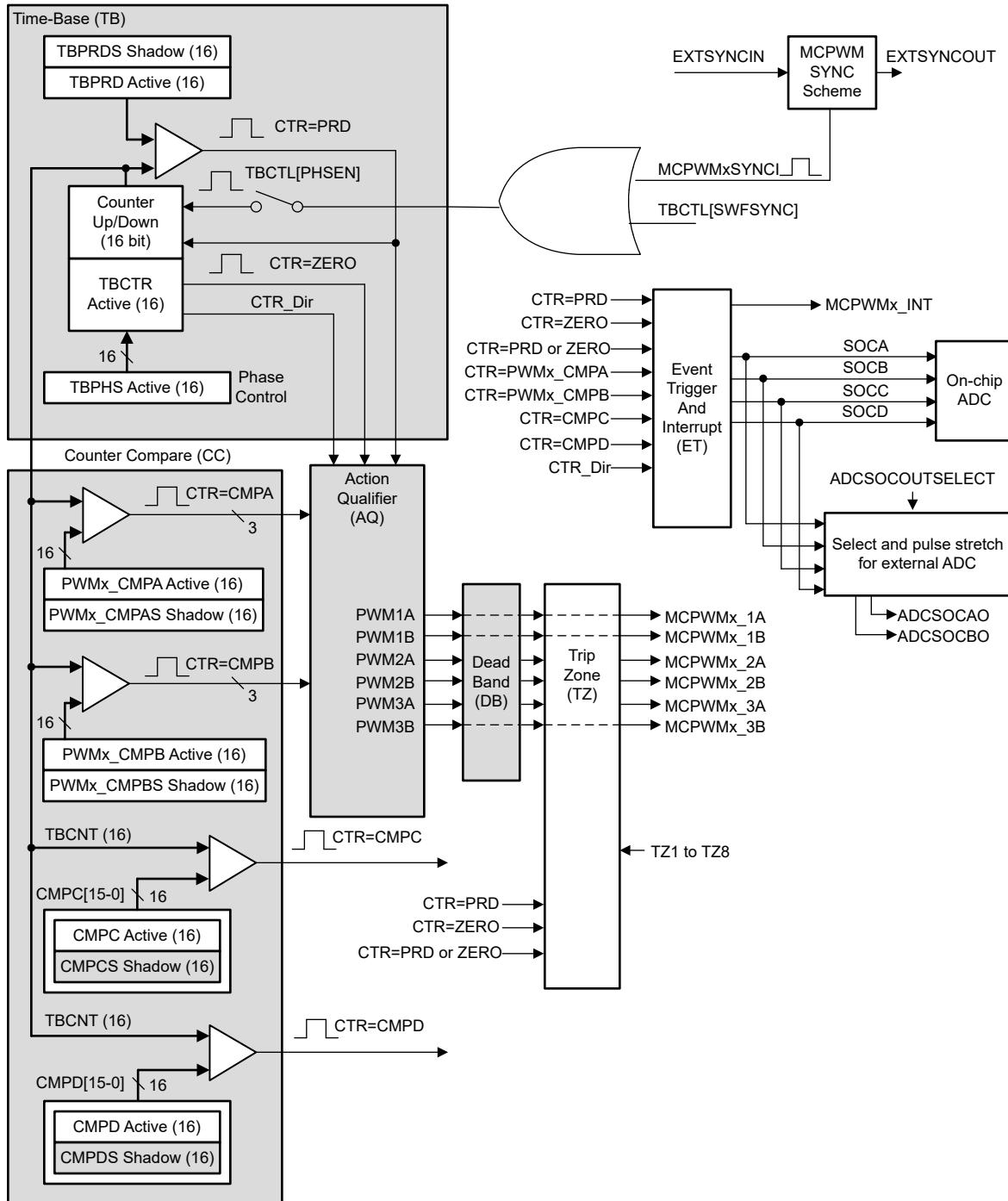


図 6-52. MCPWM サブモジュールおよび重要な内部信号の相互接続

### 6.12.1.1 制御ペリフェラルの同期

デバイスの MCPWM と eCAP の同期スキームにより、MCPWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。図 6-53 に、この同期スキームを示します。

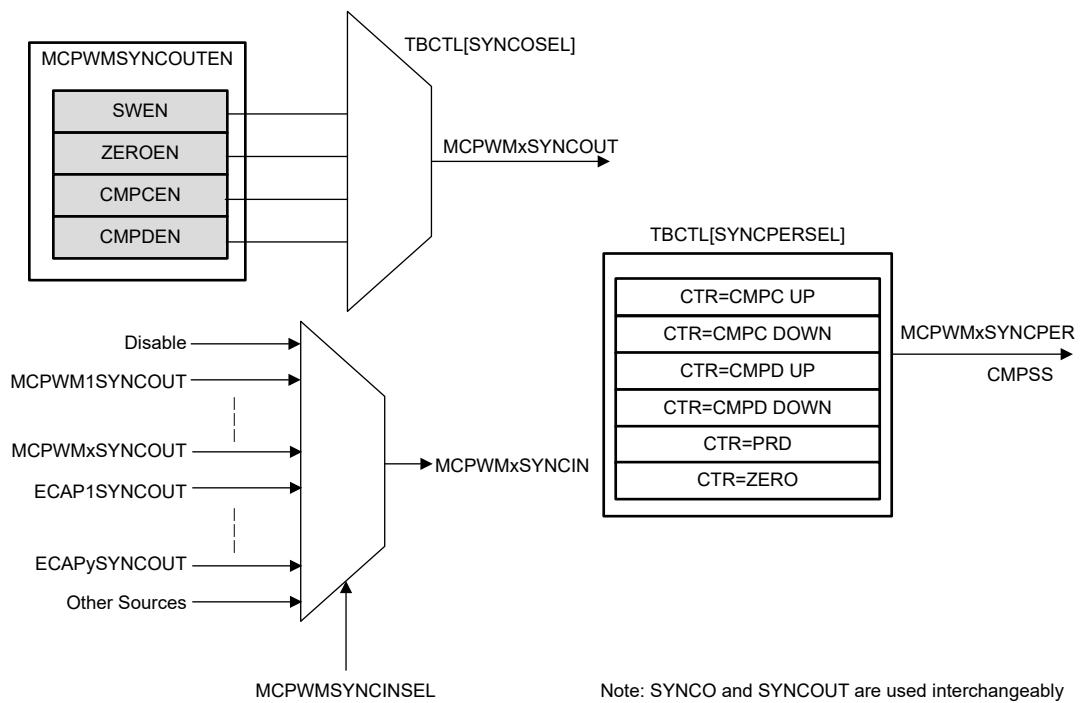


図 6-53. 同期チェーンのアーキテクチャ

### 6.12.1.2 MCPWM の電気的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

#### 6.12.1.2.1 MCPWM のタイミング要件

			最小値	最大値	単位
$t_w(\text{SYNCIN})$	同期入力パルス幅	非同期	$2t_c(\text{MCPWMCLK})$		サイクル
		同期	$2t_c(\text{MCPWMCLK})$		
		入力クオリファイヤあり	$1t_c(\text{MCPWMCLK}) + t_w(\text{IQS})$		

#### 6.12.1.2.2 MCPWM スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

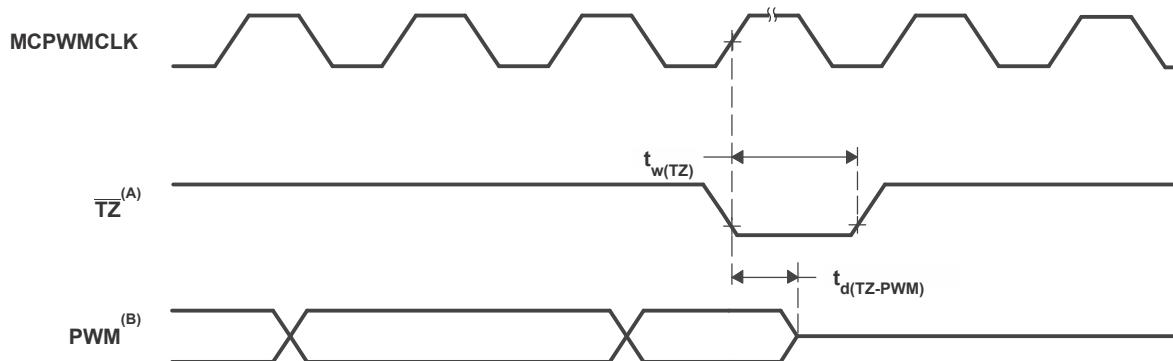
パラメータ (1)		最小値	最大値	単位
$t_w(\text{PWM})$	パルス幅、 $\text{PWM}_x$ 出力 High/Low	20	ns	
$t_w(\text{SYNCO})$	同期出力パルス幅	$8t_c(\text{SYSCLK})$		サイクル
$t_d(\text{TZ-PWM})$	遅延時間、トリップ入力アクティブから PWM 強制 High まで 遅延時間、トリップ入力アクティブから PWM 強制 Low まで 遅延時間、トリップ入力アクティブから PWM ハイインピーダンスまで		25	ns

(1) ピンの負荷は 20pF。

#### 6.12.1.2.3 トリップゾーン入力のタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

#### 6.12.1.2.3.1 PWM ハイインピーダンス特性のタイミング図



- A.  $\overline{\text{TZ}}: \overline{\text{TZ}}_1, \overline{\text{TZ}}_2, \overline{\text{TZ}}_3, \text{TRIP}1 \sim \text{TRIP}12$
- B. PWM は、デバイスのすべての PWM ピンのことです。 $\overline{\text{TZ}}$  が High になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 6-54. PWM ハイインピーダンス特性

## 6.12.2 外部 ADC 変換開始の電気的データおよびタイミング

### 6.12.2.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	最大値	単位
$t_w(\text{ADCSOCL})$	$32t_c(\text{SYSCLK})$		サイクル

### 6.12.2.2 ADCSOC<sub>AO</sub> または ADCSOC<sub>BO</sub> のタイミング図

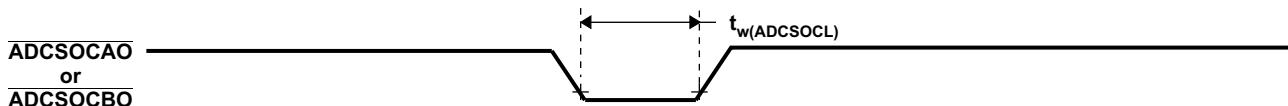


図 6-55. ADCSOC<sub>AO</sub> または ADCSOC<sub>BO</sub> のタイミング

### 6.12.3 拡張直交エンコーダ パルス (eQEP)

このデバイスの eQEP モジュールは Type 2 です。eQEP インターフェイスは、高性能な動作位置制御システムで使用される回転機械から位置、方向、速度などの情報を取得するために、リニアまたはロータリ インクリメンタル エンコーダとの直接のインターフェイスになります。

eQEP ペリフェラルには、以下の主要な機能ユニットが含まれています (図 6-56 を参照)。

- 各ピンの入力クオリファイヤをプログラム可能 (GPIO MUX の一部)
- 直交デコーダ ユニット (QDU)
- 位置測定用の位置カウンタおよび制御ユニット (PCCU)
- 低速度測定用の直交エッジ キャプチャ ユニット (QCAP)
- 速度および周波数測定用のユニット タイム ベース (UTIME)
- ストール検出用ウォッチドッグ タイマ (QWDOG)
- 直交モードアダプタ (QMA)

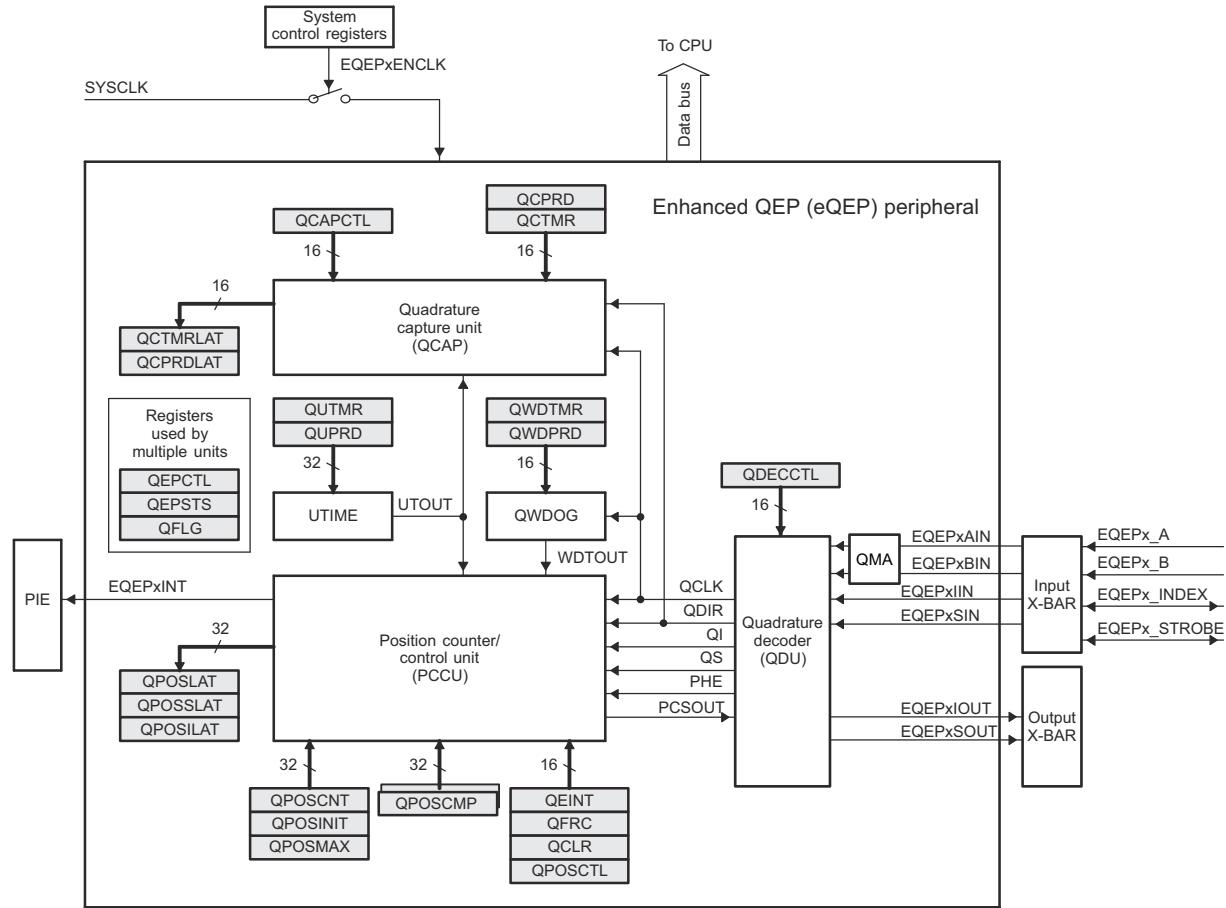


図 6-56. eQEP のブロック図

### 6.12.3.1 eQEP の電気的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

#### 6.12.3.1.1 eQEP のタイミング要件

			最小値	最大値	単位
$t_w(QEPP)$	QEP 入力周期	同期 (1)	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤにより同期	$2[1t_c(SYSCLK) + t_w(IQSW)]$		
$t_w(INDEXH)$	QEP インデックス入力 High 時間	同期 (1)	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤにより同期	$2t_c(SYSCLK) + t_w(IQSW)$		
$t_w(INDEXL)$	QEP インデックス入力 Low 時間	同期 (1)	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤにより同期	$2t_c(SYSCLK) + t_w(IQSW)$		
$t_w(STROBH)$	QEP ストローブ High 時間	同期 (1)	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤにより同期	$2t_c(SYSCLK) + t_w(IQSW)$		
$t_w(STROBL)$	QEP ストローブ入力 Low 時間	同期 (1)	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤにより同期	$2t_c(SYSCLK) + t_w(IQSW)$		

(1) eQEP モジュールの入力ピンでは、GPIO の GPxQSELn 非同期モードは使用できません。

#### 6.12.3.1.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_d(CNTR)_{xin}$	遅延時間、外部クロックからカウンタ インクリメントまで		$5t_c(SYSCLK)$	サイクル
$t_d(PCS-OUT)_{QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		$7t_c(SYSCLK)$	サイクル

### 6.12.4 拡張キャプチャ (eCAP)

eCAP モジュールの特長は次のとおりです。

- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

このセクションで説明する eCAP モジュールの特長は次のとおりです。

- 4 つのイベント タイムスタンプ レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ キャプチャ イベントのエッジ極性選択
- 4 つのイベントのいずれかが発生したときの割り込み
- 最大 4 つのイベント タイムスタンプのシングルショット キャプチャ
- 深さ 4 の循環バッファでのタイムスタンプの連続モード キャプチャ
- 絶対タイムスタンプ キャプチャ
- 差分 (デルタ) モード タイムスタンプ キャプチャ
- キャプチャ モードで使用しない場合、eCAP モジュールを单一チャネル PWM 出力として構成可能

タイプ 1 の eCAP におけるキャプチャ機能は、タイプ 0 の eCAP を拡張したものであり、以下の機能が追加されています。

- イベント フィルタリセット ビット
  - ECCTL2[CTRFILTRESET] に 1 を書き込むと、イベント フィルタ、モジュロ カウンタ、および保留中の割り込みフラグがクリアされます。初期化とデバッグの際は、このビットのリセットが役立ちます。

- モジュロ カウンタのステータス ビット
    - モジュロ カウンタ (ECCTL2 [MODCNTRSTS]) は、どのキャプチャレジスタを次にロードするかを示します。タイプ 0 の eCAP には、モジュロ カウンタの現在の状態を知る方法はありませんでした。
  - DMA トリガ ソース
    - eCAPxDMA が DMA トリガとして追加されました。CEVT[1-4] は、eCAPxDMA のソースとして構成できます。
  - 入力マルチプレクサ
    - ECCTL0 [INPUTSEL] は、128 の入力信号のいずれかを選択します。詳細については、『『『F28E12x リアルタイム マイコン テクニカル リファレンス マニュアル』』』の「拡張キャプチャ (eCAP)」の章にある「eCAP のデバイス ピンの構成」セクションを参照してください。
  - EALLOW 保護
    - 重要なレジスタに EALLOW 保護が追加されました。タイプ 0 とのソフトウェア互換性を維持するには、DEV\_CFG\_REGS.ECAPTYPE で、これらのレジスタを保護しないように構成します。
- タイプ 2 の eCAP におけるキャプチャ機能は、タイプ 1 の eCAP を拡張したものであり、以下の機能が追加されています。
- ECAPxSYNCINSEL レジスタを追加
    - 外部 SYNCIN を選択するために、各 eCAP に ECAPxSYNCINSEL レジスタが追加されています。すべての eCAP は、個別の SYNCIN 信号を使用できます。

#### 6.12.4.1 eCAP のブロック図

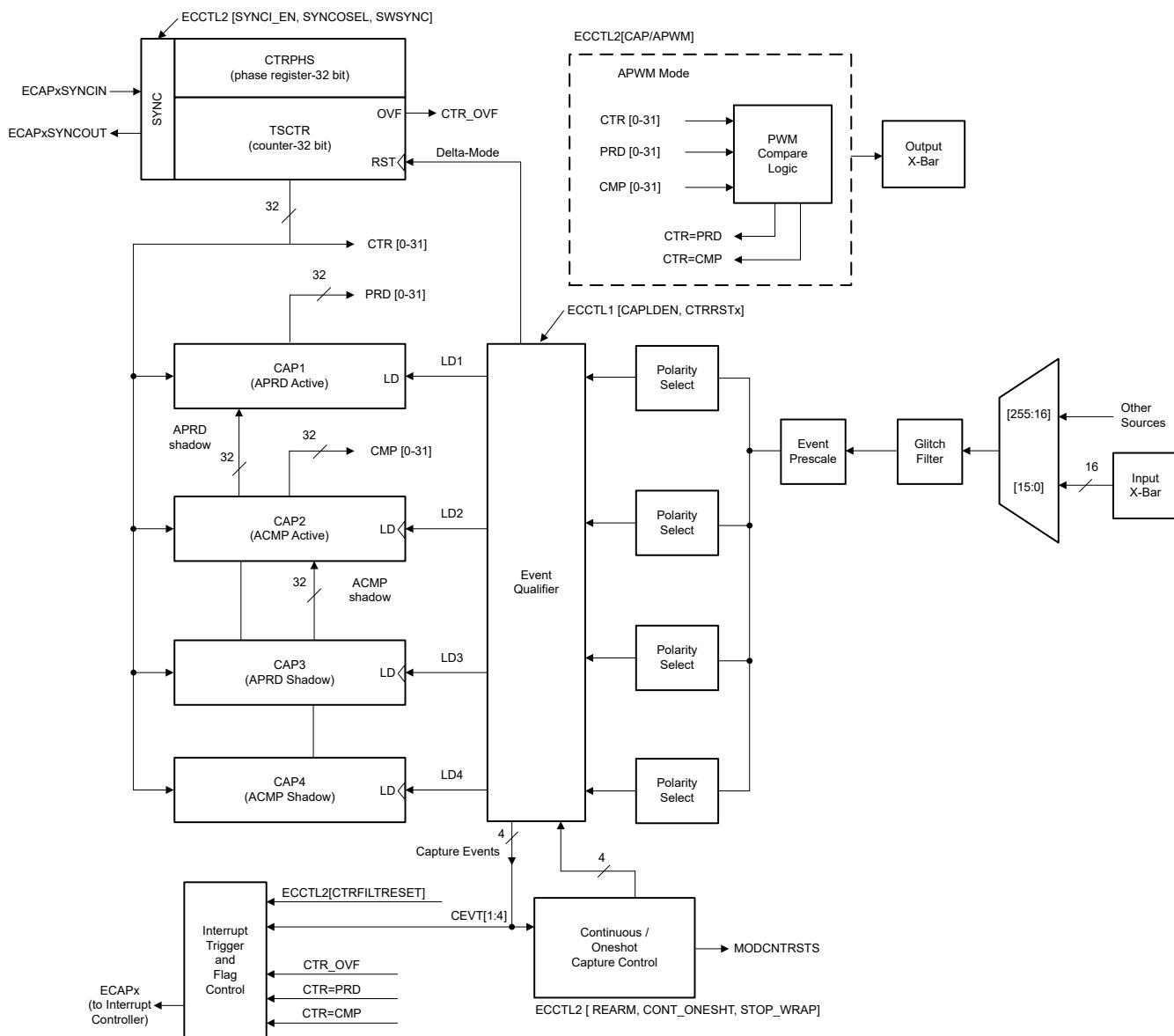


図 6-57. eCAP のブロック図

#### 6.12.4.2 eCAP の同期

eCAP の各モジュールは、共通の SYNCIN ソースを選択することで、互いに同期させることができます。eCAP 用の SYNCIN ソースには、ソフトウェア同期入力と外部同期入力のどちらかを使用できます。外部同期入力信号は、MCPWM、eCAP、またはクロスバーのいずれかから供給されます。SYNC 信号は、図 6-58 に示すように、ECAPx の ECAPxSYNCINSEL[SEL] ビットでの選択によって定義されます。

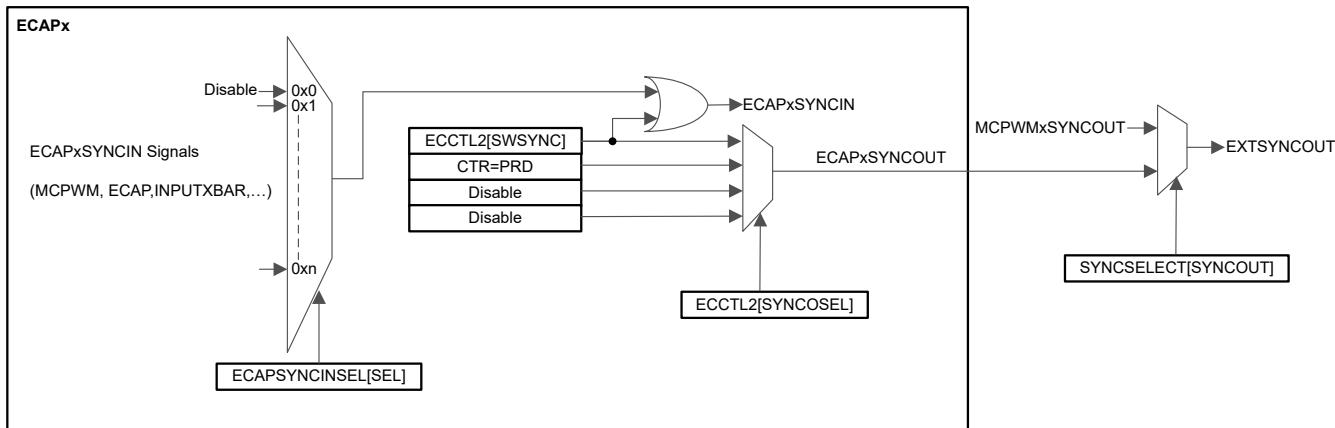


図 6-58. eCAP の同期方式

#### 6.12.4.3 eCAP の電気的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

##### 6.12.4.3.1 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	標準値	最大値	単位
$t_w(APWM)$	20			ns

## 6.13 通信ペリフェラル

### 6.13.1 I<sup>2</sup>C (Inter-Integrated Circuit)

I<sup>2</sup>C モジュールの主な機能は次のとおりです。

- NXP Semiconductors の I<sup>2</sup>C バス規格 (バージョン 2.1) に準拠:
  - 8 ビット形式の転送をサポート
  - 7 ビットおよび 10 ビットのアドレッシング モード
  - ゼネラル コール
  - START バイト モード
  - 複数のコントローラ ランスマッタとターゲット レシーバをサポート
  - 複数のターゲット ランスマッタとコントローラ レシーバをサポート
  - コントローラ 送信 / 受信、受信 / 送信の組み合わせモード
  - 10Kbps ~ 400Kbps のデータ転送レート (ファスト モード)
- 以下と互換性のある電圧スレッショルドをサポート:
  - SMBus 3.0 以下
  - PMBus 1.3 以下
- 1 つの 16 バイト受信 FIFO と、1 つの 16 バイト送信 FIFO
- 次の 2 つの割り込みをサポート
  - I<sup>2</sup>Cx 割り込み – 以下のいずれかの条件で、I<sup>2</sup>Cx 割り込みを生成するように構成できます。
    - 送信準備完了
    - 受信準備完了
    - レジスタ アクセス準備完了
    - アクノリッジなし
    - 調停消失
    - ストップ条件検出
    - ターゲットとしてアドレス指定
  - I<sup>2</sup>Cx\_FIFO 割り込み:
    - 送信 FIFO 割り込み
    - 受信 FIFO 割り込み
- モジュールのイネーブルおよびディセーブル機能
- フリー データ形式モード

図 6-59 に、本デバイス内の I<sup>2</sup>C ペリフェラル モジュールの接続図を示します。

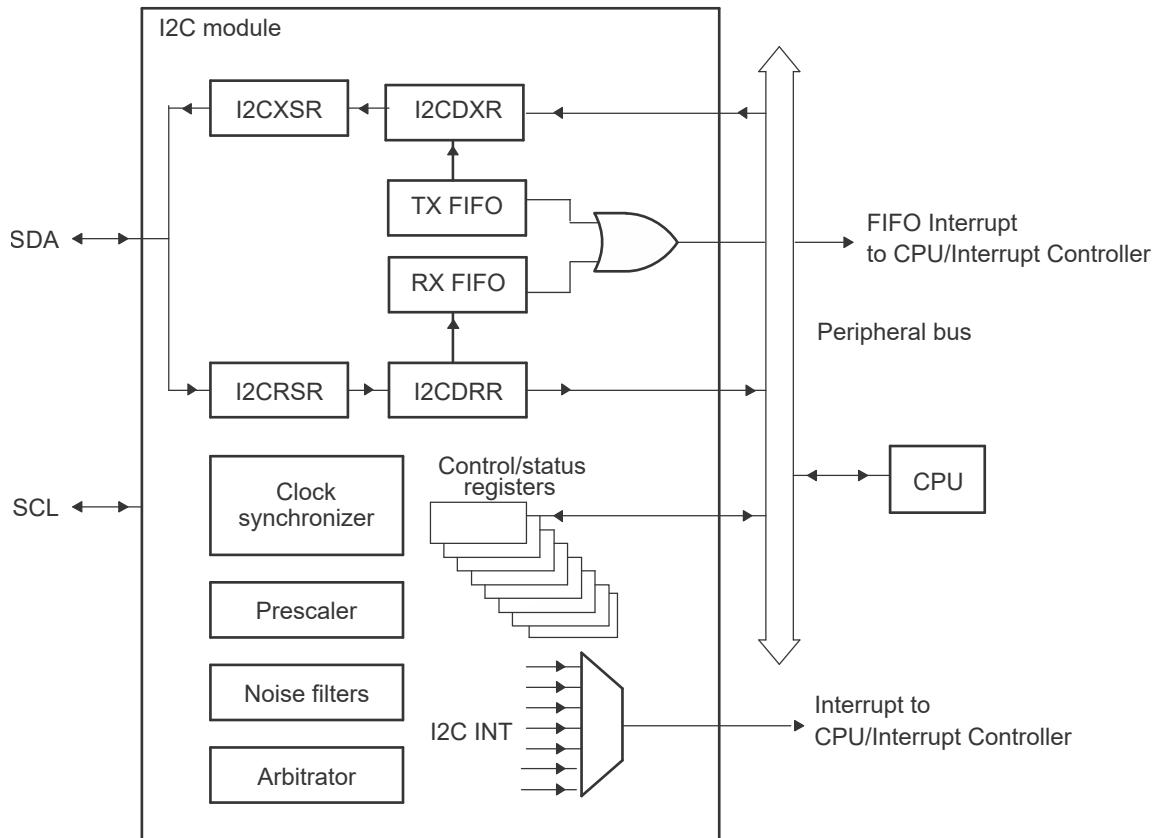


図 6-59. I2C ペリフェラル モジュール インターフェイス

### 6.13.1.1 I2C の電気的データおよびタイミング

#### 注

すべての I2C プロトコルのタイミング仕様を満たすには、I2C モジュールのクロックを 7MHz～12MHz の範囲で構成する必要があります。

プルアップ抵抗は、I2C の標準タイミングを満たすように選択する必要があります。ほとんどの状況では、VDDIO に対する合計バス抵抗の 2.2kΩ で十分です。特定の設計のプルアップ抵抗値の評価については、『I2C バスのプルアップ抵抗の計算』アプリケーション ノートを参照してください。

#### 6.13.1.1.1 I2C のタイミング要件

番号			最小値	最大値	単位
<b>スタンダード モード</b>					
T0	$f_{mod}$	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	4.0		μs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	4.0		μs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がり後のデータ	0		μs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、SCL 立ち上がり前のデータ	250		ns
T5	$t_{r(SDA)}$	立ち上がり時間、SDA		1000	ns
T6	$t_{r(SCL)}$	立ち上がり時間、SCL		1000	ns
T7	$t_{f(SDA)}$	立ち下がり時間、SDA		300	ns
T8	$t_{f(SCL)}$	立ち下がり時間、SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	4.0		μs
T10	$t_{w(SP)}$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	$C_b$	各バス ラインの容量性負荷		400	pF
<b>ファスト モード</b>					
T0	$f_{mod}$	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	0.6		μs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	0.6		μs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がり後のデータ	0		μs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、SCL 立ち上がり前のデータ	100		ns
T5	$t_{r(SDA)}$	立ち上がり時間、SDA	20	300	ns
T6	$t_{r(SCL)}$	立ち上がり時間、SCL	20	300	ns
T7	$t_{f(SDA)}$	立ち下がり時間、SDA	11.4	300	ns
T8	$t_{f(SCL)}$	立ち下がり時間、SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	0.6		μs
T10	$t_{w(SP)}$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	$C_b$	各バス ラインの容量性負荷		400	pF

### 6.13.1.1.2 I<sub>C</sub> のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		テスト条件	最小値	最大値	単位
<b>スタンダード モード</b>						
S1	f <sub>SCL</sub>	SCL クロック周波数		0	100	kHz
S2	T <sub>SCL</sub>	SCL クロック周期		10		μs
S3	t <sub>w</sub> (SCLL)	パルス幅、SCL クロック Low		4.7		μs
S4	t <sub>w</sub> (SCLH)	パルス幅、SCL クロック High		4.0		μs
S5	t <sub>BUF</sub>	STOP 条件と START 条件間のバス開放時間		4.7		μs
S6	t <sub>v</sub> (SCL-DAT)	有効時間、SCL 立ち下がり後のデータ			3.45	μs
S7	t <sub>v</sub> (SCL-ACK)	有効時間、SCL 立ち下がりからアクリッジまで			3.45	μs
	V <sub>IL</sub>	有効 Low レベル入力電圧		-0.3	0.3 * V <sub>DDIO</sub>	V
	V <sub>IH</sub>	有効 High レベル入力電圧		0.7 * V <sub>DDIO</sub>	V <sub>DDIO</sub> + 0.3	V
	V <sub>OL</sub>	Low レベル出力電圧	3mA (シンク)	0	0.4	V
S8	I <sub>I</sub>	ピンの入力電流	0.1V <sub>bus</sub> < V <sub>i</sub> < 0.9V <sub>bus</sub>	-10	10	μA
<b>ファスト モード</b>						
S1	f <sub>SCL</sub>	SCL クロック周波数		0	400	kHz
S2	T <sub>SCL</sub>	SCL クロック周期		2.5		μs
S3	t <sub>w</sub> (SCLL)	パルス幅、SCL クロック Low		1.3		μs
S4	t <sub>w</sub> (SCLH)	パルス幅、SCL クロック High		0.6		μs
S5	t <sub>BUF</sub>	STOP 条件と START 条件間のバス開放時間		1.3		μs
S6	t <sub>v</sub> (SCL-DAT)	有効時間、SCL 立ち下がり後のデータ			0.9	μs
S7	t <sub>v</sub> (SCL-ACK)	有効時間、SCL 立ち下がりからアクリッジまで			0.9	μs
	V <sub>IL</sub>	有効 Low レベル入力電圧		-0.3	0.3 * V <sub>DDIO</sub>	V
	V <sub>IH</sub>	有効 High レベル入力電圧		0.7 * V <sub>DDIO</sub>	V <sub>DDIO</sub> + 0.3	V
	V <sub>OL</sub>	Low レベル出力電圧	3mA (シンク)	0	0.4	V
S8	I <sub>I</sub>	ピンの入力電流	0.1V <sub>bus</sub> < V <sub>i</sub> < 0.9V <sub>bus</sub>	-10	10	μA

### 6.13.1.1.3 I2C のタイミング図

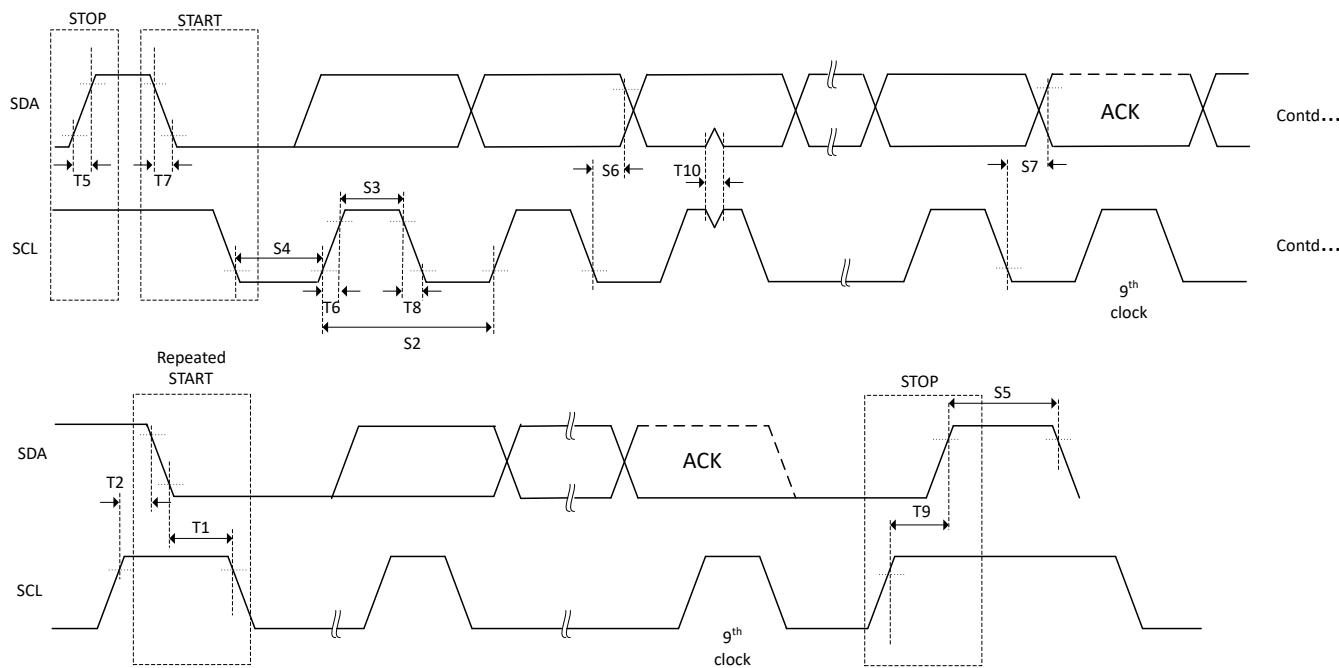


図 6-60. I2C のタイミング図

### 6.13.2 UART (Universal Asynchronous Receiver-Transmitter)

このデバイスの UART (Universal Asynchronous Receiver/Transmitter) モジュールの主な機能は次のとおりです。

- プログラマブルなボーレートジェネレータにより、通常速度 (16 分周) で最大 10Mbps、高速 (8 分周) で最大 20Mbps を実現
- 送信と受信で個別の FIFO (16 段 8 ビット幅) を備え、CPU 割り込み処理における負荷を軽減
- 従来のダブルバッファインターフェイスを提供する 1 バイト動作を含む、プログラマブルな FIFO 長 (FIFO 以外のモード)
- 1/16, 1/8, 3/16, 1/2, 5/16, 3/8, 7/16, 1/2, 9/16, 5/8, 11/16, 3/4, 13/16, 7/8 および 15/16 の FIFO トリガーレベル
- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- 改行の生成と検出
- プログラマブルなシリアルインターフェイス特性
  - 5, 6, 7、または 8 データビット
  - 偶数パリティビット、奇数パリティビット、ステイックパリティビット、およびパリティなしビットの生成と検出
  - 1 または 2 ストップビットの生成
- 次の機能を提供する IrDA SIR (Serial-IR) エンコーダおよびデコーダ
  - IrDA SIR または UART 入出力のプログラマブルな使用
  - 最大 115.2kbps 半二重のデータレート用の IrDA SIR エンコーダおよびデコーダ機能をサポート
  - 通常の 3/16 ビット持続期間と低電力ビット持続期間をサポート (1.41~2.23μs)
  - 低電力モードビット持続期間用に基準クロックの分周 (1~256) を可能とするプログラマブルな内部クロックジェネレータ
- EIA-485 9 ビットをサポート
- 標準 FIFO レベルおよびデータ転送終了 (EOT) 割り込み
- ダイレクトメモリアクセス (DMA) コントローラによる効率的な転送
  - 送信用と受信用でチャネルを分離
  - 設定した FIFO レベルでアサートされるバースト要求を受信

- 設定した FIFO レベルでアサートされるバースト要求を送信

図 6-61 に、UART モジュールのブロック図を示します。

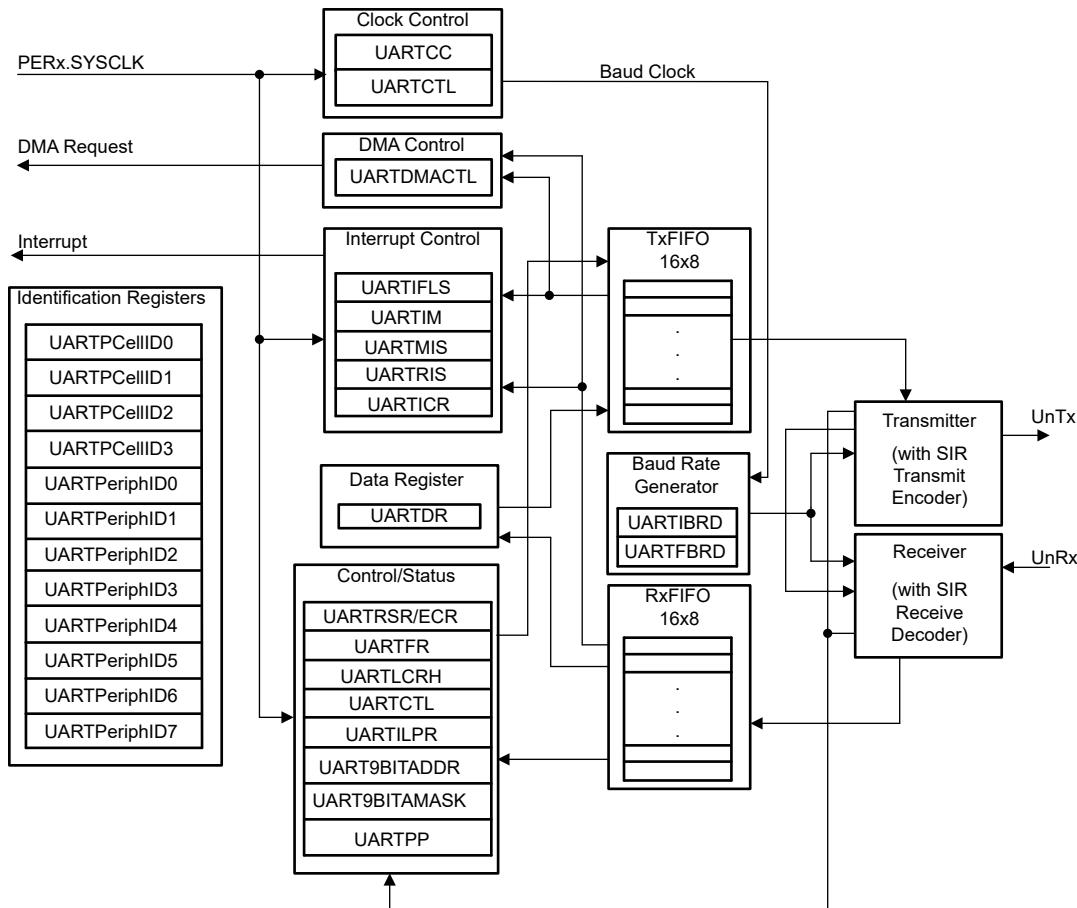


図 6-61. UART モジュールのブロック図

### 6.13.3 シリアル・ペリフェラル・インターフェイス (SPI)

シリアル ペリフェラル インターフェイス (SPI) は、高速な同期シリアル入出力 (I/O) ポートであり、この機能により、プログラムされた長さ (1~16 ビット) のシリアル ビットストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。SPI は、通常、MCU コントローラと、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的なアプリケーションとして、シフトレジスタ、ディスプレイドライバ、A/D コンバータ (ADC) などのデバイスを使用した外部 I/O またはペリフェラルの拡張が挙げられます。マルチデバイス通信は、SPI のコントローラまたはペリフェラル動作によってサポートされています。このポートは、16 レベルの受信および送信 FIFO をサポートしており、CPU サービスのオーバーヘッドを低減できます。

SPI モジュールの主な特長は次のとおりです。

- SPIPOCI: SPI ペリフェラル出力 / コントローラ入力ピン
- SPIPICO: SPI ペリフェラル入力 / コントローラ出力ピン
- SPIPTE: SPI ペリフェラル送信イネーブルピン
- SPICLK: SPI シリアル クロックピン
- 2 つの動作モード: コントローラおよびペリフェラル
- ポーレート: プログラム可能な 125 種類のレート。使用可能な最大ポーレートは、SPI ピンで使用される I/O バッファの最大速度によって制限されます。
- データワード長: 1~16 データビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
  - 位相遅延なしの立ち下がりエッジ: SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジでデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
  - 位相遅延付きの立ち下がりエッジ: SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延なしの立ち上がりエッジ: SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジでデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延付きの立ち上がりエッジ: SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスマッタとレシーバの動作は、割り込み駆動またはポーリング アルゴリズムによって実現されます。
- 16 レベルの送信 / 受信 FIFO
- DMA のサポート
- 高速度モード
- 遅延送信制御
- 3 線式 SPI モード
- 2 つの SPI モジュールを搭載したデバイスでデジタル オーディオ インターフェイス受信モードのための SPIPTE 反転

図 6-62 に、SPI CPU インターフェイスを示します。

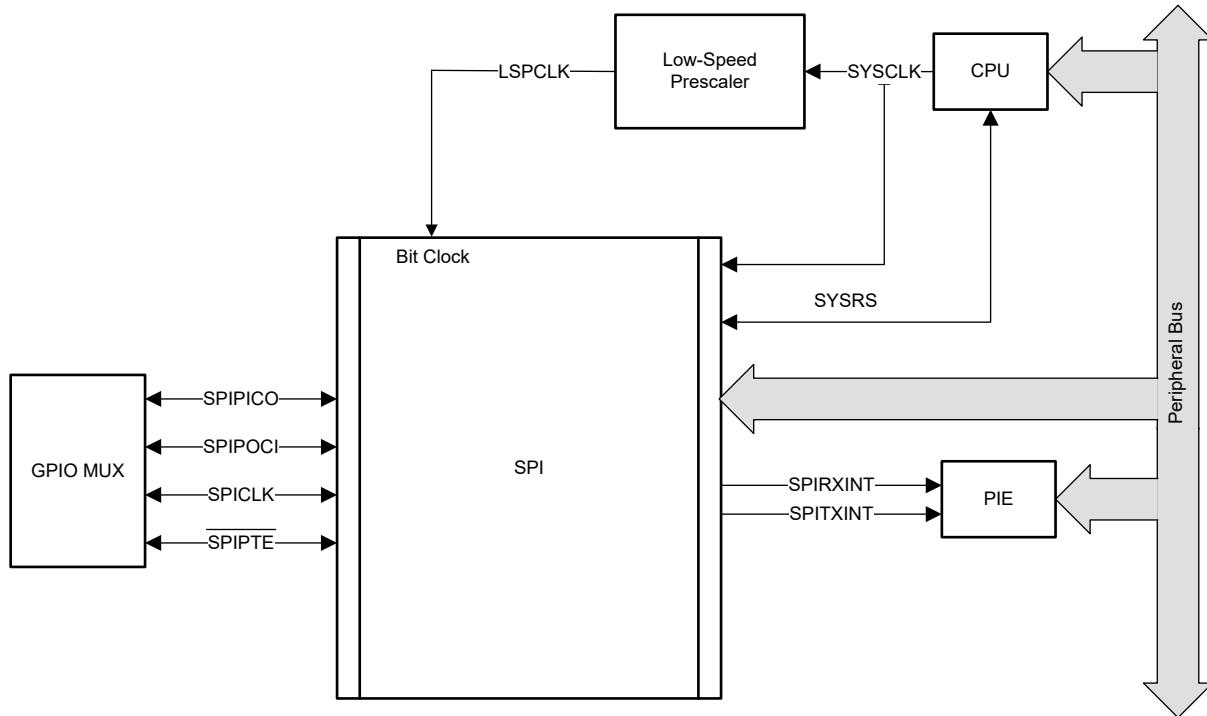


図 6-62. SPI CPU インターフェイス

#### 6.13.3.1 SPI コントローラ モードのタイミング

以下のセクションに、SPI コントローラ モードのタイミングを示します。

##### 注

SPI 高速モードのすべてのタイミング パラメータは、SPICLK、SPIPICO、SPIPOCI の負荷容量を 5pF と仮定しています。HS\_MODE では、最大 50Mhz のクロックがサポートされます。

#### 6.13.3.1.1 SPI コントローラ モードのタイミング要件

番号		(BRR + 1) <sup>(1)</sup>	最小値	最大値	単位
<b>高速モード</b>					
8	$t_{su(POCI)M}$	セットアップ時間、SPIPOCI 有効から SPICLK まで	偶数、奇数	1	ns
9	$t_{h(POCI)M}$	ホールド時間、SPICLK 後の SPIPOCI が有効な期間	偶数、奇数	6.5	ns
<b>通常モード</b>					
8	$t_{su(POCI)M}$	セットアップ時間、SPIPOCI 有効から SPICLK まで	偶数、奇数	15	ns
9	$t_{h(POCI)M}$	ホールド時間、SPICLK 後の SPIPOCI が有効な期間	偶数、奇数	0	ns

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

### 6.13.3.1.2 SPI コントローラ モードのスイッチング特性 - クロック位相 0

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ <sup>(1) (2)</sup>		(BRR + 1) <sup>(3)</sup>	最小値	最大値	単位
<b>総則</b>						
1	$t_c(SPC)M$	サイクル時間、SPICLK	偶数	$4t_c(LSPCLK)$	$128t_c(LSPCLK)$	ns
			奇数	$5t_c(LSPCLK)$	$127t_c(LSPCLK)$	
2	$t_w(SPC1)M$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_c(SPC)M - 1$	$0.5t_c(SPC)M + 1$	ns
			奇数	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) - 1$	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) + 1$	
3	$t_w(SPC2)M$	パルス幅、SPICLK、2番目のパルス	偶数	$0.5t_c(SPC)M - 1$	$0.5t_c(SPC)M + 1$	ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 1$	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) + 1$	
23	$t_d(SPC)M$	遅延時間、SPISTE 有効から SPICLK まで	偶数	$1.5t_c(SPC)M - 3t_c(SYSCLK) - 3$	$1.5t_c(SPC)M - 3t_c(SYSCLK) + 3$	ns
			奇数	$1.5t_c(SPC)M - 4t_c(SYSCLK) - 3$	$1.5t_c(SPC)M - 4t_c(SYSCLK) + 3$	
24	$t_v(STE)M$	有効時間、SPICLK から SPISTE 無効まで	偶数	$0.5t_c(SPC)M - 3$	$0.5t_c(SPC)M + 3$	ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) + 3$	
<b>高速モード</b>						
4	$t_d(PICO)M$	遅延時間、SPICLK から SPIPICO 有効まで	偶数、奇数		1	ns
5	$t_v(PICO)M$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_c(SPC)M - 3$		ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$		
<b>通常モード</b>						
4	$t_d(PICO)M$	遅延時間、SPICLK から SPIPICO 有効まで	偶数、奇数		2	ns
5	$t_v(PICO)M$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_c(SPC)M - 3$		ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$		

- (1) 高速モードではピンの負荷は 10pF。
- (2) 通常モードではピンの負荷は 20pF。
- (3) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

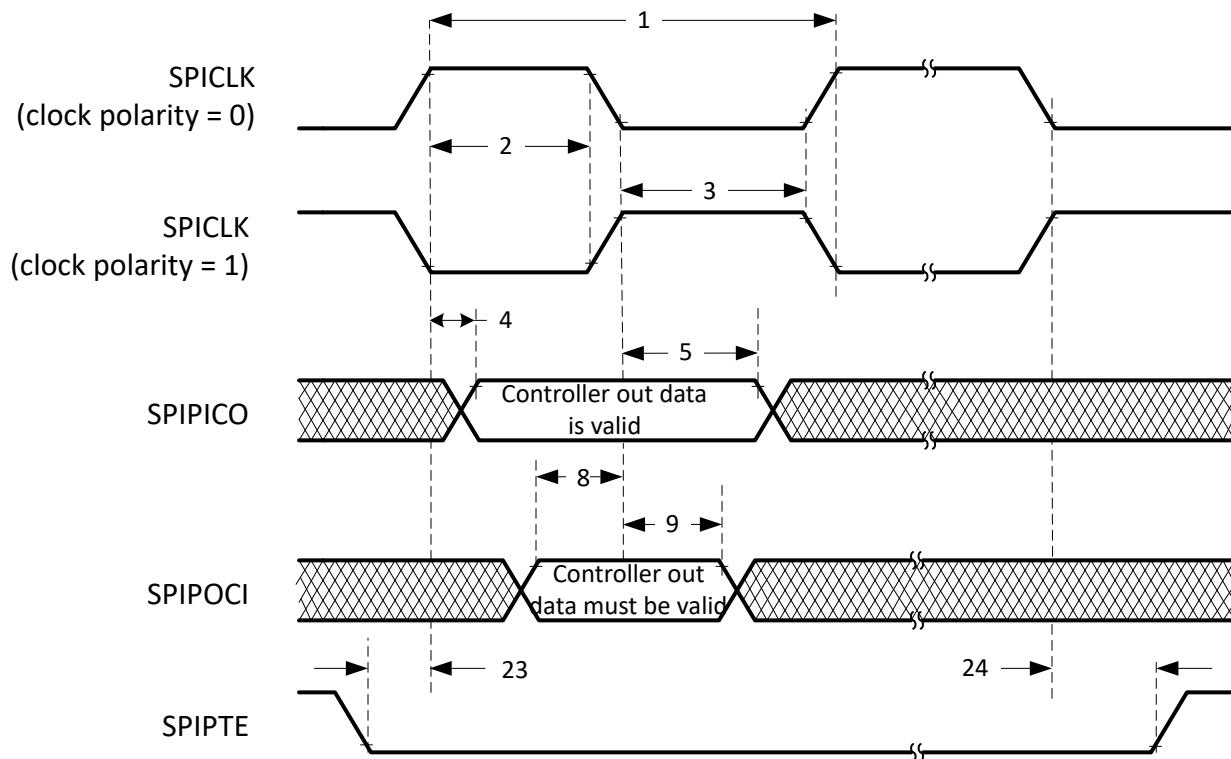
### 6.13.3.1.3 SPI コントローラ モードのスイッチング特性 - クロック位相 1

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ <sup>(1)</sup> <sup>(2)</sup>		(BRR + 1)	最小値		最大値	単位
<b>総則</b>							
1	$t_c(SPC)M$	サイクル時間、SPICLK	偶数	$4t_c(LSPCLK)$		$128t_c(LSPCLK)$	ns
			奇数	$5t_c(LSPCLK)$		$127t_c(LSPCLK)$	
2	$t_w(SPCH)M$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_c(SPC)M - 1$		$0.5t_c(SPC)M + 1$	ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 1$		$0.5t_c(SPC)M - 0.5t_c(LSPCLK) + 1$	
3	$t_w(SPC2)M$	パルス幅、SPICLK、2番目のパルス	偶数	$0.5t_c(SPC)M - 1$		$0.5t_c(SPC)M + 1$	ns
			奇数	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) + 1$		$0.5t_c(SPC)M + 0.5t_c(LSPCLK) - 1$	
23	$t_d(SPC)M$	遅延時間、 $\overline{SPISTE}$ 有効から SPICLK まで	偶数、奇数	$2t_c(SPC)M - 3t_c(SYSCLK) - 3$		$2t_c(SPC)M - 3t_c(SYSCLK) + 3$	ns
24	$t_d(STE)M$	遅延時間、SPICLK から $\overline{SPISTE}$ 無効まで	偶数	-3		3	ns
			奇数	-3		3	
<b>高速モード</b>							
4	$t_d(PICO)M$	遅延時間、SPIPICO 有効から SPICLK まで	偶数	$0.5t_c(SPC)M - 2$		ns	
			奇数	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) + 2$			
5	$t_v(PICO)M$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_c(SPC)M - 3$		ns	
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$			
<b>通常モード</b>							
4	$t_d(PICO)M$	遅延時間、SPIPICO 有効から SPICLK まで	偶数	$0.5t_c(SPC)M - 2$		ns	
			奇数	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) + 2$			
5	$t_v(PICO)M$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_c(SPC)M - 3$		ns	
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$			

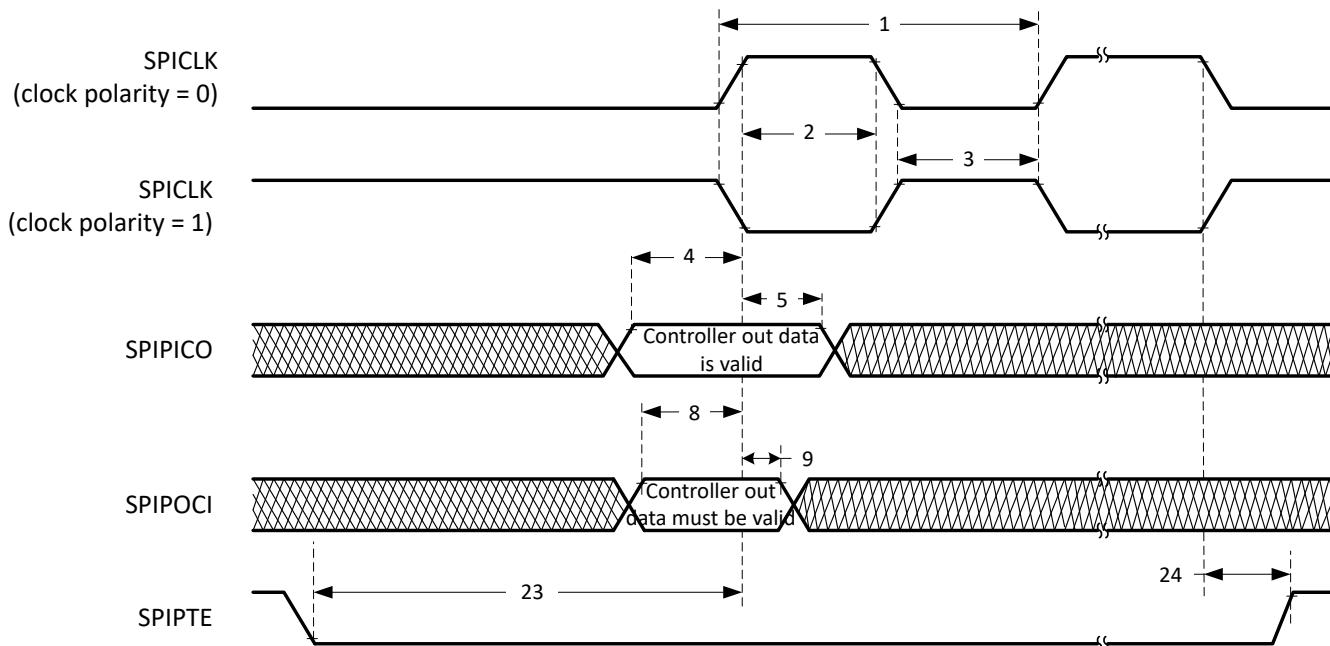
- (1) 高速モードではピンの負荷は 10pF。
- (2) 通常モードではピンの負荷は 20pF。

#### 6.13.3.1.4 SPI コントローラ・モードのタイミング図



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 $\overline{\text{SPIYTE}}$  は非アクティブになります。

図 6-63. SPI コントローラ・モードの外部タイミング (クロック位相 = 0)



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 $\overline{\text{SPIYTE}}$  は非アクティブになります。

図 6-64. SPI コントローラ・モードの外部タイミング (クロック位相 = 1)

### 6.13.3.2 SPI ペリフェラル モードのタイミング

以下のセクションに、SPI ペリフェラル モードのタイミングを示します。

#### 6.13.3.2.1 SPI ペリフェラル モードのタイミング要件

番号			最小値	最大値	単位
12	$t_c(SPC)S$	サイクル時間、SPICLK	$4t_c(SYSCLK)$		ns
13	$t_w(SPC1)S$	パルス幅、SPICLK、最初のパルス	$2t_c(SYSCLK) - 1$		ns
14	$t_w(SPC2)S$	パルス幅、SPICLK、2 番目のパルス	$2t_c(SYSCLK) - 1$		ns
19	$t_{su}(PICO)S$	セットアップ時間、SPIPICO 有効から SPICLK まで	$1.5t_c(SYSCLK)$		ns
20	$t_h(PICO)S$	ホールド時間、SPICLK 後の SPIPICO が有効な期間	$1.5t_c(SYSCLK)$		ns
25	$t_{su}(STE)S$	セットアップ時間、 $\overline{SPISTE}$ 有効から SPICLK まで (クロック位相 = 0)	$2t_c(SYSCLK) + 15$		ns
		セットアップ時間、 $\overline{SPISTE}$ 有効から SPICLK まで (クロック位相 = 1)	$2t_c(SYSCLK) + 15$		ns
26	$t_h(STE)S$	ホールド時間、SPICLK から $\overline{SPISTE}$ 無効まで	$1.5t_c(SYSCLK)$		ns

#### 6.13.3.2.2 SPI ペリフェラル モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ (1)		最小値	最大値	単位
<b>通常モード</b>					
15	$t_d(POCI)S$	遅延時間、SPICLK から SPIPOCI 有効まで		12.5	ns
16	$t_v(POCI)S$	有効時間、SPICLK 後の SPIPOCI が有効な期間	0		ns
<b>高速モード</b>					
15	$t_d(POCI)S$	遅延時間、SPICLK から SPIPOCI 有効まで		12.5	ns
16	$t_v(POCI)S$	有効時間、SPICLK 後の SPIPOCI が有効な期間	0		ns

(1) ピンの負荷は 20pF。

6.13.3.2.3 SPI ペリフェラル・モードのタイミング図

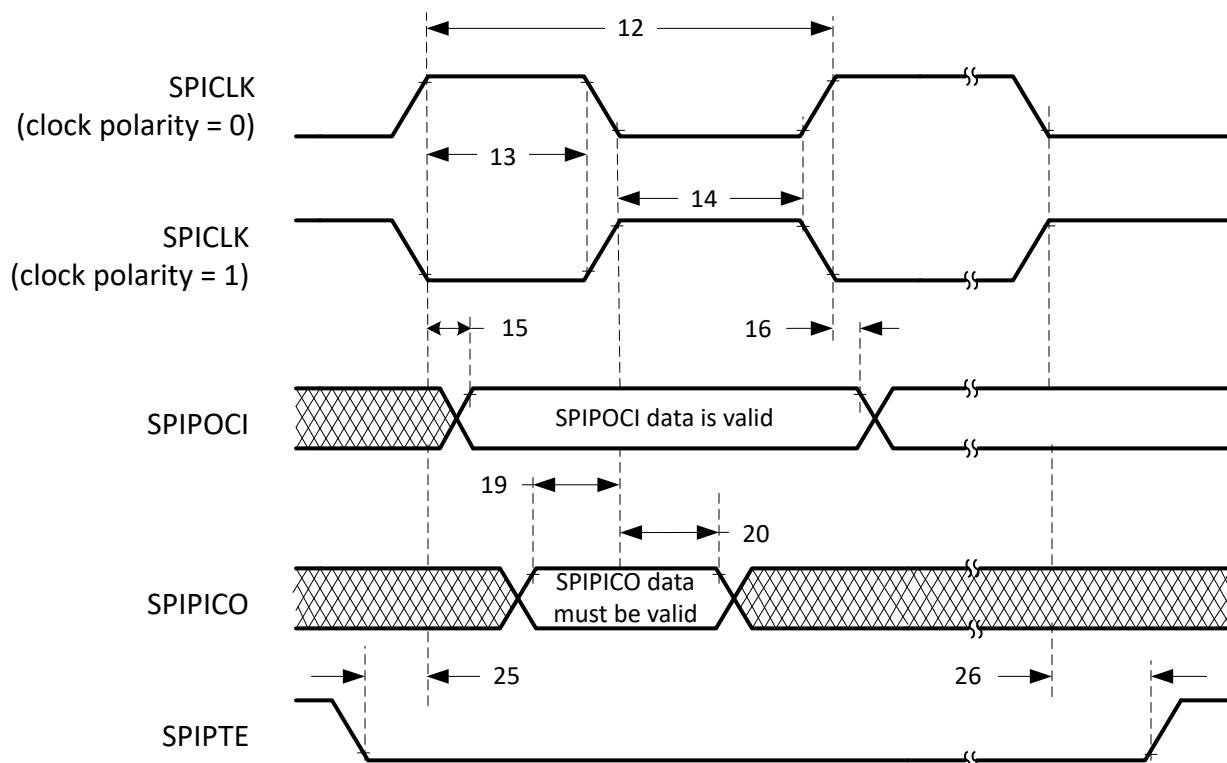


図 6-65. SPI ペリフェラル・モードの外部タイミング (クロック位相 = 0)

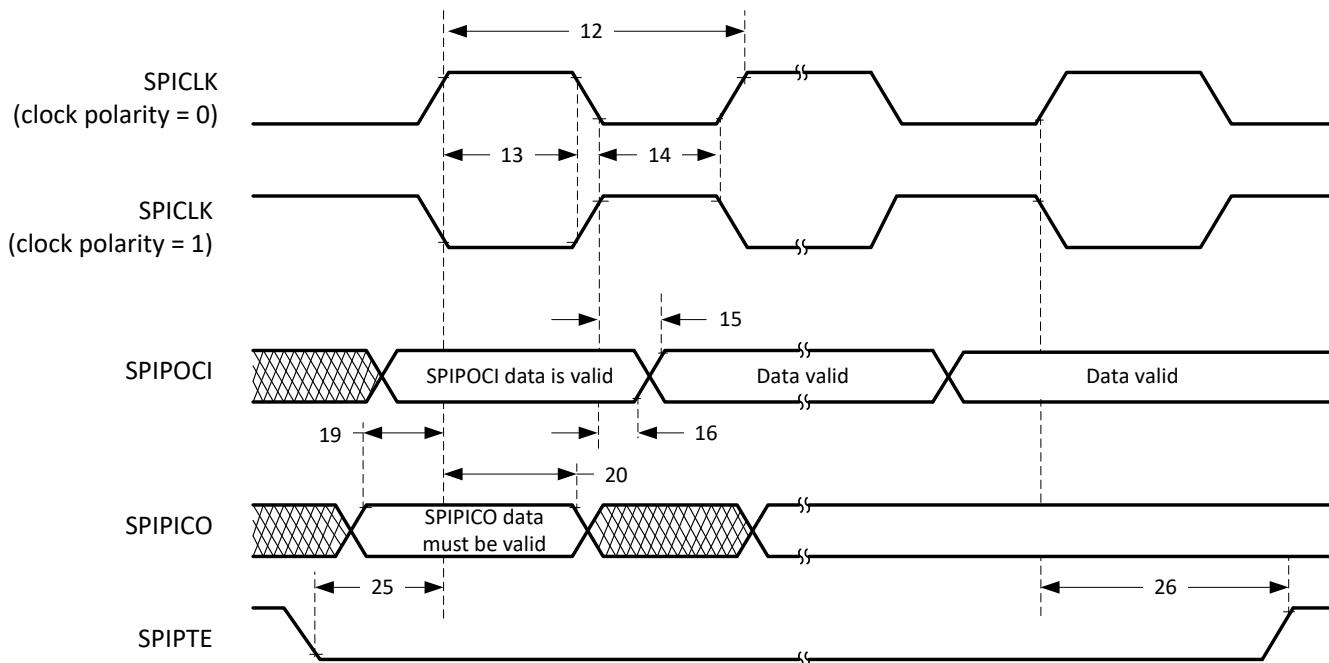


図 6-66. SPI ペリフェラル・モードの外部タイミング (クロック位相 = 1)

#### 6.13.4 シリアル通信インターフェイス (SCI)

シリアル通信インターフェイス (SCI) は、一般的には UART と呼ばれる 2 線式非同期シリアル ポートです。SCI モジュールは、CPU と、標準 NRZ (non-return-to-zero) フォーマットを使用する他の非同期ペリフェラルとの間のデジタル通信をサポートします。

SCI のレシーバおよびトランシッタは、処理オーバーヘッドを削減するための 16 段 FIFO を備えており、それぞれ独自のイネーブルビットと割り込みビットを持ちます。この両方が、半二重通信として個別に動作することも、全二重通信として同時に動作することもできます。データの整合性を確保するために、SCI は、受信データのブレーク検出、パリティ、オーバーラン、およびフレーミングエラーをチェックします。ビットレートは、16 ビットのポート選択レジスタにより、さまざまな速度にプログラム可能です。

SCI モジュールには次のような特長があります。

- 2 本の外部ピン:
  - SCITXD:SCI 送信出力ピン
  - SCIRXD:SCI 受信入力ピン
  - 64K までの異なるレートにプログラム可能なポートレート
- データワード フォーマット
  - 1 スタートビット
  - データワード (1~8 ビットの範囲でワード長をプログラム可能)
  - パリティビット (偶数 / 奇数 / なしを選択可能)
  - 1 または 2 ストップビット
- 4 つのエラー検出フラグ: パリティ、オーバーラン、フレーミング、ブレーク検出
- 2 つのウェイクアップ マルチプロセッサ モード: アイドル ラインおよびアドレスビット
- 半二重または全二重動作
- ダブル バッファ付き受信および送信機能
- トランシッタおよびレシーバの動作は、割り込み駆動、またはステータス フラグによるポーリング アルゴリズムで実現できます。
  - トランシッタ: TXRDY フラグ (トランシッタ バッファ レジスタが次の文字を受信する準備ができた) と TX EMPTY フラグ (トランシッタ シフト レジスタが空である)
  - レシーバ: RXRDY フラグ (レシーバ バッファ レジスタが次の文字を受信する準備ができた)、BRKDT フラグ (ブレーク条件が発生した)、RX エラー フラグ (4 つの割り込み条件の監視)
- トランシッタおよびレシーバの割り込み用に個別のイネーブルビット (BRKDT を除く)
- NRZ フォーマット
- 自動ポート検出ハードウェア ロジック
- 16 レベルの送信および受信 FIFO

図 6-67 に、SCI のブロック図を示します。

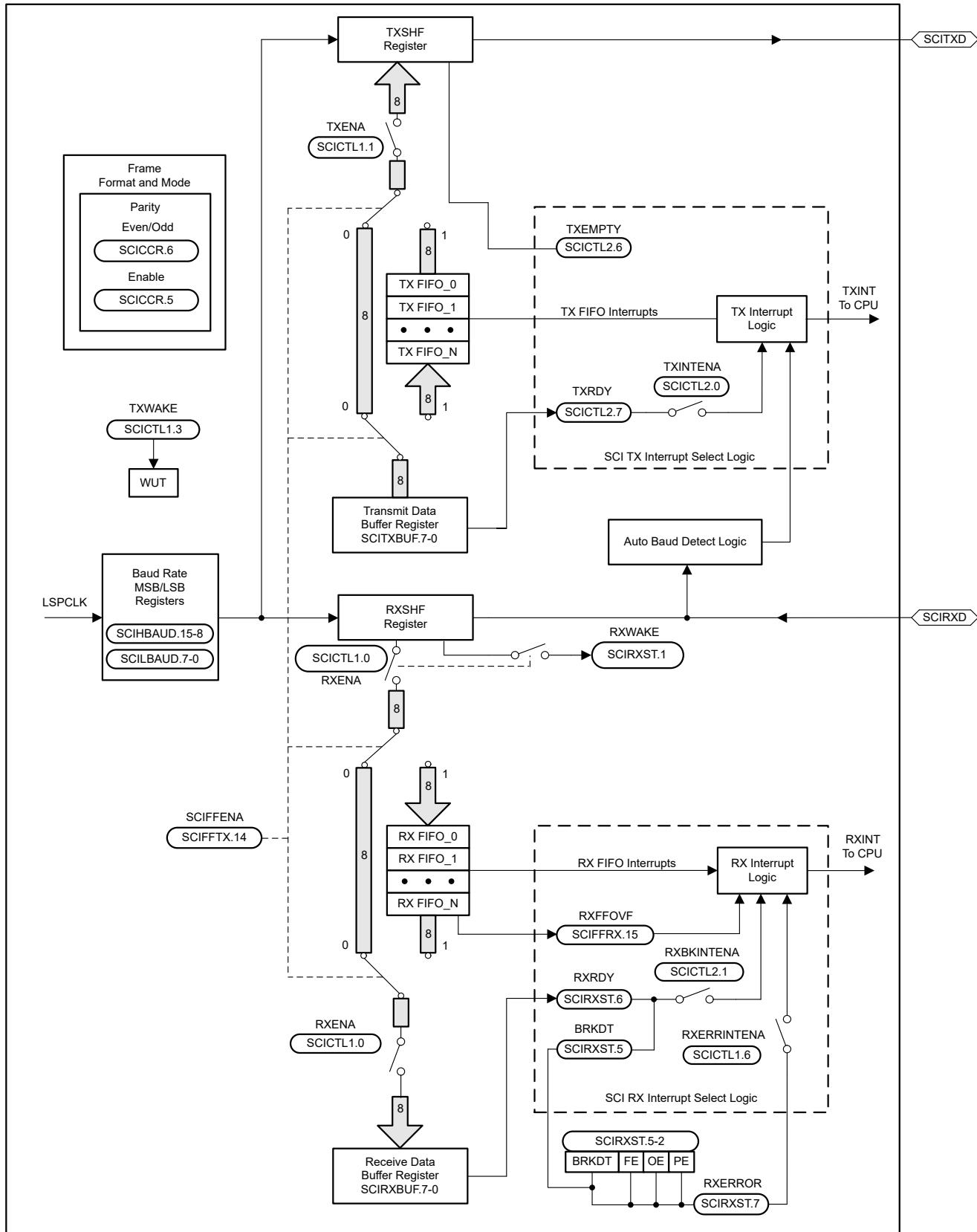


図 6-67. SCI のブロック図

## 7 詳細説明

### 7.1 概要

F28E12x は、モーター ドライブ用アプリケーションの効率を高めるために設計されたスケーラブルな超低レイテンシ デバイスである C2000™ リアルタイム マイクロコントローラ ファミリの製品です。

リアルタイム制御サブシステムは、テキサス インスツルメンツの 32 ビット C28x DSP コアをベースにしており、オンチップ フラッシュまたは SRAM から実行される固定小数点コードに対して 160MHz の信号処理性能を発揮します。

F28E12x は最大 128KB (64KW) のフラッシュ メモリをサポートしています。最大 16KB (8KW) のオンチップ SRAM も利用でき、フラッシュ メモリを補完できます。

F28E12x リアルタイム マイクロコントローラ (MCU) に内蔵された高性能アナログ ブロックは、リアルタイム シグナル チェーン性能を最適化するために、処理および PWM ユニットと密結合されています。8 の PWM チャネルにより、3 相インバータから力率補正とその他の先進マルチレベル電源トポロジまで、各種出力段を制御できます。

インターフェイスは、各種の業界標準通信ポート (SPI、SCI、I2C、UART など) によりサポートされており、最適な信号配置を行うための複数のピン多重化方法を備えています。

C2000 MCU をお客様のリアルタイム制御システムに適した選択肢にしている機能について詳しく知るには、『C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』をご覧いただくとともに、C2000 リアルタイム マイクロコントローラ のページにアクセスしてください。

『C2000™ リアルタイム制御マイコン (MCU) を使用した設計の開始』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポートリソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。LAUNCHXL-F28E12X 開発キットをご覧になり、C2000Ware をダウンロードしてください。

### 7.2 メモリ

#### 7.2.1 C28x メモリ マップ

表 7-1. メモリ マップ

メモリ	SIZE (x16)	開始アドレス	終了アドレス	CPU1.DMA アクセス	ECC / パリティ	セキュリティ	部品番号
M0 RAM	1024	0x0000_0000	0x0000_03FF	-	パリティ	-	-
M1 RAM	1024	0x0000_0400	0x0000_07FF	-	パリティ	-	-
PIE ベクタ テーブル	160	0x0000_0D00	0x0000_0D9F	-	パリティ	-	-
GS0_1 RAM (パリティ付き)	1024	0x0000_C000	0x0000_C3FF	あり	パリティ	-	-
GS0_2 RAM (パリティ付き)	1024	0x0000_C400	0x0000_C7FF	あり	パリティ	-	-
GS0_3 RAM (パリティ付き)	1024	0x0000_C800	0x0000_CBFF	あり	パリティ	-	-
GS0_4 RAM (パリティ付き)	1024	0x0000_CC00	0x0000_CFFF	あり	パリティ	-	-
GS0_5 RAM (パリティ付き)	1024	0x0000_D000	0x0000_D3FF	あり	パリティ	-	-
GS0_6 RAM (パリティ付き)	1024	0x0000_D400	0x0000_D7FF	あり	パリティ	-	-
TI OTP バンク 0	1536	0x0007_2000	0x0007_25FF	-	ECC	-	-
UID_REGS	6	0x0007_2172	0x0007_2177	-	ECC	-	-
DCSM BANK0 Z1 OTP	512	0x0007_8000	0x0007_81FF	-	ECC	あり	-
DCSM BANK0 Z2 OTP	512	0x0007_8200	0x0007_83FF	-	ECC	あり	-
BANK0 MAIN メインセクタ (最初の 128KB)	65536	0x0008_0000	0x0008_FFFF	-	ECC	あり	-

**表 7-1. メモリ マップ (続き)**

メモリ	SIZE (x16)	開始アドレス	終了アドレス	CPU1.DMA アクセス	ECC / パリティ	セキュリティ	部品番号
Z1 セキュア関数 (セキュアブート、セキュアコードコピー、セキュア CRC 計算)	4096	0x003F_8000	0x003F_8FFF	-	パリティ	あり	-
BootROM 関数 フラッシュ API 数学テーブル (IQ) FPU32 テーブル FFT 回転係数テーブル	28672	0x003F_9000	0x003F_FFFF	-	パリティ	-	-
TI OTP バンク 0 ECC	192	0x0107_0400	0x0107_04BF	-	-	-	-

### 7.2.1.1 専用 RAM (Mx RAM)

CPU サブシステムには、ECC 対応の 2 つの専用 RAM ブロックがあります。M0 と M1 です。これらのメモリは、CPU と緊密に結合された小型の非セキュア ブロックです (つまり、CPU のみがアクセスできます)。

### 7.2.2 フラッシュ メモリ マップ

F28E12x デバイスでは、1 つのフラッシュ バンクを使用可能です。フラッシュをプログラムするコードは RAM から実行する必要があります。消去またはプログラム動作が進行中の場合、フラッシュ バンクにアクセスすることはできません。

**表 7-2. フラッシュ メモリ マップ**

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	START	終了	サイズ	START	終了
OTP セクタ							
すべて	TI OTP バンク 0 (アンセキュア)	1536 x 16	0x0007 2000	0x0007 25EF	128 x 16	0x0107 0200	0x0107 02BD
	TI OTP バンク 0 (セキュア)	16 x 16	0x0007 25F0	0x0007 25FF	128 x 16	0x0107 02BE	0x0107 02BF
	ユーザーが構成可能な DCSM OTP バンク 0	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
バンク 0 セクタ							

表 7-2. フラッシュ メモリ マップ (続き)

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	START	終了	サイズ	START	終了
すべて	セクタ 0	1K x 16	0x0008 0000	0x0008 03FF	128 x 16	0x0108 0000	0x0108 007F
	セクタ 1	1K x 16	0x0008 0400	0x0008 07FF	128 x 16	0x0108 0080	0x0108 00FF
	セクタ 2	1K x 16	0x0008 0800	0x0008 0BFF	128 x 16	0x0108 0100	0x0108 017F
	セクタ 3	1K x 16	0x0008 0C00	0x0008 0FFF	128 x 16	0x0108 0180	0x0108 01FF
	セクタ 4	1K x 16	0x0008 1000	0x0008 13FF	128 x 16	0x0108 0200	0x0108 027F
	セクタ 5	1K x 16	0x0008 1400	0x0008 17FF	128 x 16	0x0108 0280	0x0108 02FF
	セクタ 6	1K x 16	0x0008 1800	0x0008 1BFF	128 x 16	0x0108 0300	0x0108 037F
	セクタ 7	1K x 16	0x0008 1C00	0x0008 1FFF	128 x 16	0x0108 0380	0x0108 03FF
	セクタ 8	1K x 16	0x0008 2000	0x0008 23FF	128 x 16	0x0108 0400	0x0108 047F
	セクタ 9	1K x 16	0x0008 2400	0x0008 27FF	128 x 16	0x0108 0480	0x0108 04FF
	セクタ 10	1K x 16	0x0008 2800	0x0008 2BFF	128 x 16	0x0108 0500	0x0108 057F
	セクタ 11	1K x 16	0x0008 2C00	0x0008 2FFF	128 x 16	0x0108 0580	0x0108 05FF
	セクタ 12	1K x 16	0x0008 3000	0x0008 33FF	128 x 16	0x0108 0600	0x0108 067F
	セクタ 13	1K x 16	0x0008 3400	0x0008 37FF	128 x 16	0x0108 0680	0x0108 06FF
	セクタ 14	1K x 16	0x0008 3800	0x0008 3BFF	128 x 16	0x0108 0700	0x0108 077F
	セクタ 15	1K x 16	0x0008 3C00	0x0008 3FFF	128 x 16	0x0108 0780	0x0108 07FF
	セクタ 16	1K x 16	0x0008 4000	0x0008 43FF	128 x 16	0x0108 0800	0x0108 087F
	セクタ 17	1K x 16	0x0008 4400	0x0008 47FF	128 x 16	0x0108 0880	0x0108 08FF
	セクタ 18	1K x 16	0x0008 4800	0x0008 4BFF	128 x 16	0x0108 0900	0x0108 097F
	セクタ 19	1K x 16	0x0008 4C00	0x0008 4FFF	128 x 16	0x0108 0980	0x0108 09FF
	セクタ 20	1K x 16	0x0008 5000	0x0008 53FF	128 x 16	0x0108 0A00	0x0108 0A7F
	セクタ 21	1K x 16	0x0008 5400	0x0008 57FF	128 x 16	0x0108 0A80	0x0108 0AFF
	セクタ 22	1K x 16	0x0008 5800	0x0008 5BFF	128 x 16	0x0108 0B00	0x0108 0B7F
	セクタ 23	1K x 16	0x0008 5C00	0x0008 5FFF	128 x 16	0x0108 0B80	0x0108 0BFF
	セクタ 24	1K x 16	0x0008 6000	0x0008 63FF	128 x 16	0x0108 0C00	0x0108 0C7F
	セクタ 25	1K x 16	0x0008 6400	0x0008 67FF	128 x 16	0x0108 0C80	0x0108 0CFF
	セクタ 26	1K x 16	0x0008 6800	0x0008 6BFF	128 x 16	0x0108 0D00	0x0108 0D7F
	セクタ 27	1K x 16	0x0008 6C00	0x0008 6FFF	128 x 16	0x0108 0D80	0x0108 0DFF
	セクタ 28	1K x 16	0x0008 7000	0x0008 73FF	128 x 16	0x0108 0E00	0x0108 0E7F
	セクタ 29	1K x 16	0x0008 7400	0x0008 77FF	128 x 16	0x0108 0E80	0x0108 0EFF
	セクタ 30	1K x 16	0x0008 7800	0x0008 7BFF	128 x 16	0x0108 0F00	0x0108 0F7F
	セクタ 31	1K x 16	0x0008 7C00	0x0008 7FFF	128 x 16	0x0108 0F80	0x0108 0FFF

**表 7-2. フラッシュ メモリ マップ (続き)**

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	START	終了	サイズ	START	終了
F28E120SC	セクタ 32	1K x 16	0x0008 8000	0x0008 83FF	128 x 16	0x0108 1000	0x0108 107F
	セクタ 33	1K x 16	0x0008 8400	0x0008 87FF	128 x 16	0x0108 1080	0x0108 10FF
	セクタ 34	1K x 16	0x0008 8800	0x0008 8BFF	128 x 16	0x0108 1100	0x0108 117F
	セクタ 35	1K x 16	0x0008 8C00	0x0008 8FFF	128 x 16	0x0108 1180	0x0108 11FF
	セクタ 36	1K x 16	0x0008 9000	0x0008 93FF	128 x 16	0x0108 1200	0x0108 127F
	セクタ 37	1K x 16	0x0008 9400	0x0008 97FF	128 x 16	0x0108 1280	0x0108 12FF
	セクタ 38	1K x 16	0x0008 9800	0x0008 9BFF	128 x 16	0x0108 1300	0x0108 137F
	セクタ 39	1K x 16	0x0008 9C00	0x0008 9FFF	128 x 16	0x0108 1380	0x0108 13FF
	セクタ 40	1K x 16	0x0008 A000	0x0008 A3FF	128 x 16	0x0108 1400	0x0108 147F
	セクタ 41	1K x 16	0x0008 A400	0x0008 A7FF	128 x 16	0x0108 1480	0x0108 14FF
	セクタ 42	1K x 16	0x0008 A800	0x0008 ABFF	128 x 16	0x0108 1500	0x0108 157F
	セクタ 43	1K x 16	0x0008 AC00	0x0008 AFFF	128 x 16	0x0108 1580	0x0108 15FF
	セクタ 44	1K x 16	0x0008 B000	0x0008 B3FF	128 x 16	0x0108 1600	0x0108 167F
	セクタ 45	1K x 16	0x0008 B400	0x0008 B7FF	128 x 16	0x0108 1680	0x0108 16FF
	セクタ 46	1K x 16	0x0008 B800	0x0008 BBFF	128 x 16	0x0108 1700	0x0108 177F
	セクタ 47	1K x 16	0x0008 BC00	0x0008 BFFF	128 x 16	0x0108 1780	0x0108 17FF
	セクタ 48	1K x 16	0x0008 C000	0x0008 C3FF	128 x 16	0x0108 1800	0x0108 187F
	セクタ 49	1K x 16	0x0008 C400	0x0008 C7FF	128 x 16	0x0108 1880	0x0108 18FF
	セクタ 50	1K x 16	0x0008 C800	0x0008 CBFF	128 x 16	0x0108 1900	0x0108 197F
	セクタ 51	1K x 16	0x0008 CC00	0x0008 CFFF	128 x 16	0x0108 1980	0x0108 19FF
	セクタ 52	1K x 16	0x0008 D000	0x0008 D3FF	128 x 16	0x0108 1A00	0x0108 1A7F
	セクタ 53	1K x 16	0x0008 D400	0x0008 D7FF	128 x 16	0x0108 1A80	0x0108 1AFF
	セクタ 54	1K x 16	0x0008 D800	0x0008 DBFF	128 x 16	0x0108 1B00	0x0108 1B7F
	セクタ 55	1K x 16	0x0008 DC00	0x0008 DFFF	128 x 16	0x0108 1B80	0x0108 1BFF
	セクタ 56	1K x 16	0x0008 E000	0x0008 E3FF	128 x 16	0x0108 1C00	0x0108 1C7F
	セクタ 57	1K x 16	0x0008 E400	0x0008 E7FF	128 x 16	0x0108 1C80	0x0108 1CFF
	セクタ 58	1K x 16	0x0008 E800	0x0008 EBFF	128 x 16	0x0108 1D00	0x0108 1D7F
	セクタ 59	1K x 16	0x0008 EC00	0x0008 EFFF	128 x 16	0x0108 1D80	0x0108 1DFF
	セクタ 60	1K x 16	0x0008 F000	0x0008 F3FF	128 x 16	0x0108 1E00	0x0108 1E7F
	セクタ 61	1K x 16	0x0008 F400	0x0008 F7FF	128 x 16	0x0108 1E80	0x0108 1EFF
	セクタ 62	1K x 16	0x0008 F800	0x0008 FBFF	128 x 16	0x0108 1F00	0x0108 1F7F
	セクタ 63	1K x 16	0x0008 FC00	0x0008 FFFF	128 x 16	0x0108 1F80	0x0108 1FFF

### 7.2.3 ペリフェラル・レジスタのメモリ・マップ

表 7-3. ペリフェラル・レジスタのメモリ・マップ

構造	DriverLib 名	ベース アドレス	CPU1.DMA	パイプライン保護
ペリフェラル・フレーム 0 (PF0)				
CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	-	-
CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	-	-
CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	-	-
PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	-	-
PIE_VECT_TABLE	PIEVECTTABLE_BASE	0x0000_0D00	-	-
DMA_REGS	DMA_BASE	0x0000_1000	-	-
DMA_CH_REGS	DMA_CH1_BASE	0x0000_1020	-	-
DMA_CH_REGS	DMA_CH2_BASE	0x0000_1040	-	-
ADC_LITE_RESULT_REGS	ADCARESULT_BASE	0x0000_1800	あり	-
UID_REGS	UID_BASE	0x0007_2172	-	-
DCSM_Z1 OTP	DCSM_Z1OTP_BASE	0x0007_8000	-	-
DCSM_Z2 OTP	DCSM_Z2OTP_BASE	0x0007_8200	-	-
ペリフェラル・フレーム 1 (PF1)				
MCPWM_6CH_REGS	PWM1_BASE	0x0000_4000	あり	あり
MCPWM_2CH_REGS	PWM3_BASE	0x0000_4800	あり	あり
EQEP_REGS	EQEP1_BASE	0x0000_5100	あり	あり
ECAP_REGS	ECAP1_BASE	0x0000_5200	あり	あり
CMPSS_LITE_REGS	CMPSSLITE1_BASE	0x0000_5500	あり	あり
CMPSS_LITE_REGS	CMPSSLITE2_BASE	0x0000_5540	あり	あり
CMPSS_LITE_REGS	CMPSSLITE3_BASE	0x0000_5580	あり	あり
PGA_REGS	PGA1_BASE	0x0000_5B00	あり	あり
ペリフェラル・フレーム 2 (PF2)				
SPI_REGS	SPIA_BASE	0x0000_6100	あり	あり
ペリフェラル・フレーム 3 (PF3)				
ADC_LITE_REGS	ADCA_BASE	0x0000_7400	-	あり
ペリフェラル・フレーム 4 (PF4)				
INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	-	あり
XBAR_REGS	XBAR_BASE	0x0000_7920	-	あり
SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_7940	-	あり
DMA_CLA_SRC_SEL_REGS	DMACLASRCSEL_BASE	0x0000_7980	-	あり
PWM_XBAR_REGS	PWMXBAR_BASE	0x0000_7A00	-	あり
OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0000_7A80	-	あり
GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	-	あり
GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	-	あり
GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	-	あり
DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	-	あり
CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	-	あり
CPU_SYS_REGS	CPUSYS_BASE	0x0005_D300	-	あり
SYS_STATUS_REGS	SYSSTAT_BASE	0x0005_D400	-	あり
ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	-	あり
ペリフェラル・フレーム 6 (PF6)				
DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	-	あり
DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	-	あり
DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	-	あり
MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	-	あり
MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	-	あり

**表 7-3. ペリフェラル・レジスタのメモリ・マップ(続き)**

構造	DriverLib 名	ベース アドレス	CPU1.DMA	パイプライン保護
ROM_WAIT_STATE_REGS	ROMWAITSTATE_BASE	0x0005_F580	-	あり
TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	-	あり
FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	-	あり
FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	-	あり
ペリフェラル・フレーム 7 (PF7)				
DCC_REGS	DCC0_BASE	0x0005_E700	-	あり
ペリフェラル・フレーム 9 (PF9)				
WD_REGS	WD_BASE	0x0000_7000	-	あり
NMI_INTERRUPT_REGS	NMI_BASE	0x0000_7060	-	あり
XINT_REGS	XINT_BASE	0x0000_7070	-	あり
SCI_REGS	SCIA_BASE	0x0000_7200	-	あり
SCI_REGS	SCIB_BASE	0x0000_7210	-	あり
I2C_REGS	I2CA_BASE	0x0000_7300	-	あり
ペリフェラル・フレーム 11 (PF11)				
UART_REGS, UART_REGS_WRITE	UARTA_BASE, UARTAWRITE_BASE	0x0006_A000	あり	あり

### 7.3 識別

表 7-4 に、デバイス識別レジスタを示します。これらのデバイス識別レジスタの詳細については、『[F28E12x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』を参照してください。

**表 7-4. デバイス識別レジスタ**

名称	アドレス	SIZE (x16)	説明	
PARTIDL	0x0007 21CA	2	ビット	オプション
			23-16 FLASH_SIZE	0x2 - 64KB 0x4 - 128KB
			7~6 QUAL	0 = エンジニアリング サンプル (TMX) 1 = 試験的生産 (TMP) 2 = 完全認定済み (TMS)
PARTIDH	0x0007 21CC	2	デバイスの製品識別番号 F28E120SC F28E120SB	0x10FF 0500 0x10FE 0500
REVID	0x0005 D006	2	シリコンのリビジョン番号 リビジョン 0	0x0000 0001
UID_UNIQUE0	0x0007 214A	2	固有の識別番号。この番号は、同じ PARTIDH を持つデバイスの中でそれぞれ異なっています。この固有の番号は、アプリケーションでシリアル番号として使用できます。この番号は TMS デバイスにのみ存在します。	
UID_UNIQUE1	0x0007 214C	2	固有の識別番号。この番号は、同じ PARTIDH を持つデバイスの中でそれぞれ異なっています。この固有の番号は、アプリケーションでシリアル番号として使用できます。この番号は TMS デバイスにのみ存在します。	

## 7.4 C28x プロセッサ

この CPU は 32 ビット固定小数点プロセッサです。このデバイスは、デジタル信号処理、RISC (Reduced Instruction Set Computing)、マイクロコントローラ アーキテクチャ、ファームウェア、ツール セットの機能を最大限に活用しています。

CPU の特長として、改良型ハーバード アーキテクチャおよびサーキュラー アドレッシングがあります。RISC の特長は、シングルサイクルの命令実行、レジスタ間の演算、改良型ハーバード アーキテクチャです。マイクロコントローラの特長としては、直感的な命令セット、バイトのパッキングとアンパッキング、ビット操作などによる使いやすさがあります。改良型ハーバード アーキテクチャの CPU は、命令とデータのフェッチを並列に実行できます。CPU は、データを書き込んでいる間に、命令とデータを同時に読み取ることができます、パイプライン全体でシングルサイクル命令実行の動作を維持できます。CPU は、6 つの独立したアドレス / データ バスを使用してこの処理を行います。

CPU アーキテクチャおよび命令セットの詳細については、『[TMS320C28x CPU および命令セット リファレンス ガイド](#)』を参照してください。

### 7.4.1 浮動小数点演算ユニット (FPU)

C28x + 浮動小数点 (C28x+FPU) プロセッサでは、レジスタと命令を追加して C28x 固定小数点 CPU の機能を拡張することにより、IEEE 単精度浮動小数点の演算をサポートしています。

C28x+FPU を搭載したデバイスは、標準の C28x レジスタ・セットに加えて、追加の浮動小数点ユニット・レジスタ・セットを備えています。追加の浮動小数点ユニット・レジスタは以下のとおりです。

- 8 つの浮動小数点結果レジスタ RnH ( $n = 0 \sim 7$ )
- 浮動小数点ステータス・レジスタ (STF)
- リピート・ブロック・レジスタ (RB)

リピート・ブロック・レジスタを除くすべての浮動小数点レジスタにシャドウイングが行われます。このシャドウイングは、優先度の高い割り込みで使用して、浮動小数点レジスタのコンテキスト保存と復元を高速化できます。

C28x 浮動小数点ユニット (FPU) の詳細については、『[TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル](#)』を参照してください。

## 7.5 ダイレクトメモリアクセス (DMA)

DMA モジュールは、CPU を介さずにペリフェラルやメモリ間でデータを転送するためのハードウェア方式を提供し、他のシステム機能の処理能力を解放します。さらに、DMA には、転送時にデータを直交的に再配置する機能、および複数のバッファを「ピンポン」方式で選択してデータを転送する機能があります。これらの機能は、最適な CPU 処理のためにデータをブロックに分けて構造化するのに役立ちます。DMA のデバイスレベル ブロック図を [図 7-1](#) に示します。

DMA の主な特長は次のとおりです。

- 独立した ePIE 割り込みを持つ 2 つのチャネル
- ペリフェラル割り込みトリガ ソース
  - ADC 割り込みおよび EVT 信号
  - 外部割り込み
  - MCPWM SOC 信号
  - CPU タイマ
  - SPI 送信および受信
  - UART 送信および受信
    - 通常の FIFO レベルトリガ (UARTx\_TX および UARTx\_RX) と单一要求トリガ (UARTx\_TX\_SREQ および UARTx\_RX\_SREQ)
- データソースおよびデータ デスティネーション:
  - GSx RAM
  - ADC 結果レジスタ
  - 制御ペリフェラル レジスタ (MCPWM, eQEP)
  - 通信ペリフェラル レジスタ (SPI, UART)
  - PGA 制御レジスタ
  - CMPSS 制御レジスタ
- ワード サイズ: 16 ビットまたは 32 ビット (SPI は 16 ビットに限定)
- スループット: 調停なしで、1 ワードあたり 3 サイクル

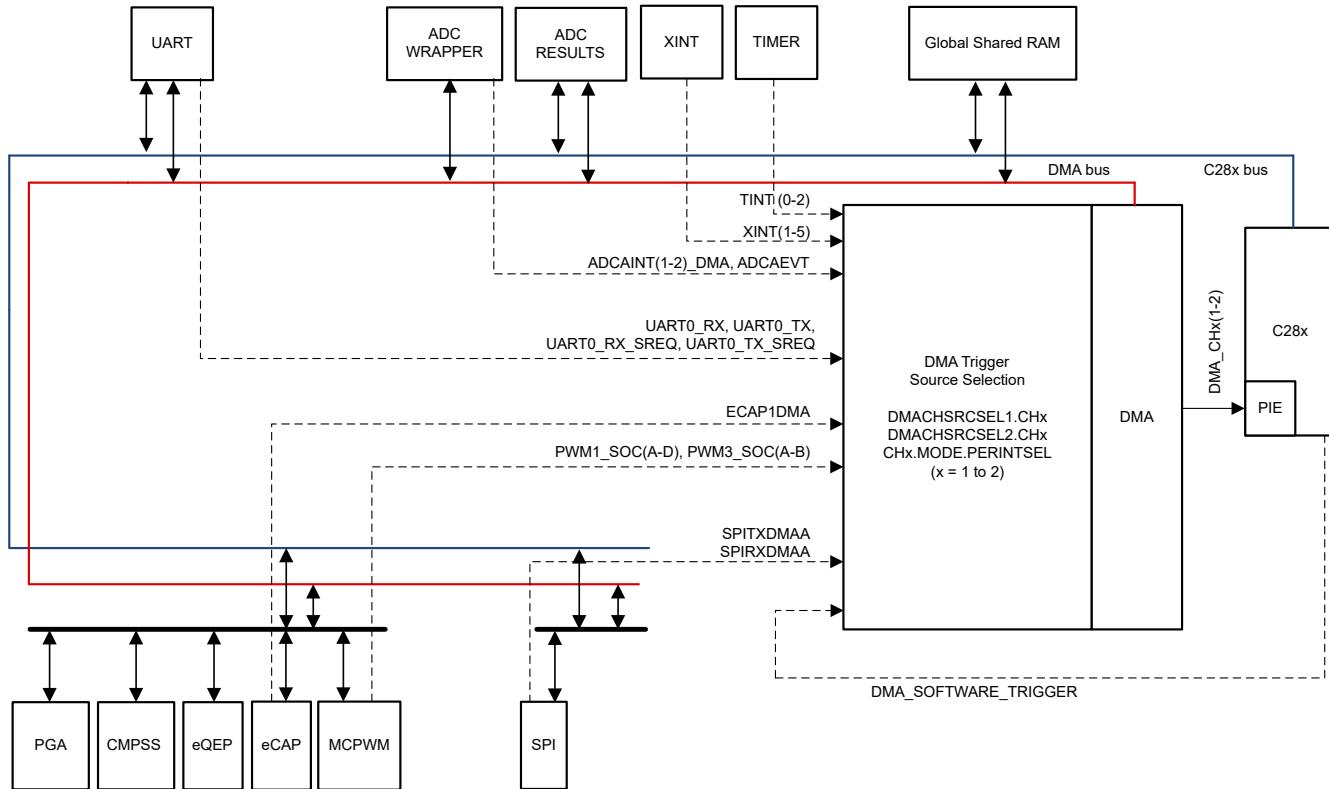


図 7-1. DMA のブロック図

## 注

EALLOW 保護付きのペリフェラル レジスタは、スプリアス DMA 書き込みに対し書き込み保護されています。これらのレジスタに DMA を使用して書き込むには、EALLOW 保護メカニズムを無効にします。

## 7.6 デバイス ブート モード

このセクションでは、デフォルトのブート モードと、このデバイスでサポートされているすべてのブート モードについて説明します。ブート ROM は、ブート モード選択、汎用入出力 (GPIO) ピンを使用して、ブート モードの構成を判断します。

表 7-5 に、デフォルトのブート モード選択ピンで選択可能なブート モード オプションを示します。ブートアップ テーブルで選択可能なブート モードと、使用するブート モード選択ピン GPIO をカスタマイズできるようにデバイスをプログラムすることができます。

サポートされているすべてのペリフェラル ブート モードは、ペリフェラル モジュールの最初のインスタンス (SCIA、SPIA、I2CA、など) を使用します。この章でこれらのブート モードに言及する場合は、最初のモジュール インスタンスを指しています。たとえば SCI ブートと言えば、SCIA ポートでの SCI ブートを意味します。他のペリフェラル ブートについても同様です。

ブート ROM の実行からフラッシュ内の最初の命令をフェッチするまでの時間である  $t_{boot-flash}$  については、「リセット (XRSn) のスイッチング特性」表と「リセットタイミング図」を参照してください。

表 7-5. デバイスのデフォルト ブート モード

ブート モード	GPIO24 (デフォルトのブート モード選択ピン 1)	GPIO32 (デフォルトのブート モード選択ピン 0)
パラレル IO	0	0
SCI / ウェイト ブート <sup>(1)</sup>	0	1

**表 7-5. デバイスのデフォルト ブート モード (続き)**

ブート モード	GPIO24 (デフォルトのブート モード選択ピン 1)	GPIO32 (デフォルトのブート モード選択ピン 0)
フラッシュ	1	1

(1) SCI ブート モードは、SCI オートボート ロック プロセス中に SCI が「A」または「a」を待機し続ける限り、待機ブート モードとして使用できます。

表 7-6 に、このデバイスでサポートされているブート モードを示します。デフォルトのブート モード ピンは、GPIO24 (ブート モード ピン 1) および GPIO32 (ブート モード ピン 0) です。ユーザーがこれらのピンでペリフェラルも使用する場合、ブート モード ピンを弱くプルアップすることを選択してもかまいません。これは、プルアップをオーバーライドできるようにするためです。このデバイスでは、ユーザーが構成可能なデュアル コード セキュリティ モジュール (DCSM) OTP 領域をプログラムすることにより、出荷時のデフォルトのブート モード ピンを変更できます。

**表 7-6. 利用可能なすべてのブート モード**

ブート モード番号	ブート モード
0	パラレル
1	SCI / ウェイト
3	フラッシュ
4	ウェイト
5	RAM
6	SPI
7	I2C
10	セキュア フラッシュ

### 注

サポートされているすべてのペリフェラル ブート モードは、ペリフェラル モジュールの最初のインスタンス (SCIA、SPIA、I2CA など) を使用します。このセクションで、これらのブート モードに言及する場合は、最初の モジュール インスタンスを指しています。たとえば SCI ブートと言えば、SCIA ポートでの SCI ブートを意味します。他のペリフェラル ブートについても同様です。

## 7.6.1 デバイス ブート の構成

このセクションでは、利用可能なブート構成とその構成方法について詳しく説明します。このデバイスでは、0~3 本のブート モード選択ピンと、1~8 個のブート モードの構成がサポートされています。

デバイスをデフォルト設定からアプリケーションのカスタム設定に変更および構成するには、次のプロセスを使用します。

1. アプリケーションをブートできるようにするさまざまな方法をすべて決定します(たとえば、メイン アプリケーション用の フラッシュ ブートのプライマリ ブート オプション、ファームウェア更新用の SPI ブートのセカンダリ ブート オプション、デバッグ用の SCI の 3 番目のブート オプションなど。)
2. 必要なブート モードの数に基づいて、ブート モードの選択に必要なブート モード選択ピン (BMSP) の数を決定します。(たとえば、3 つのブート モード オプションから選択するには、2 つの BMSP が必要)
3. 必要な BMSP を物理的な GPIO ピンに割り当てます。(たとえば、BMSP0 を GPIO10 に、BMSP1 を GPIO51 に、BMSP2 をデフォルト (ディセーブル) のままにするなど)。これらの構成を実行する詳細については、[セクション 7.6.1.1](#) を参照してください。
4. 決定したブート モード定義を、BMSP のデコードされた値に相関付けるカスタム ブート テーブルのインデックスに割り当てます。たとえば、BOOTDEF0 = フラッシュからブート、BOOTDEF1 = SPI ブート、BOOTDEF2 = SCI ブート に割り当て、その他のすべての BOOTDEFx はデフォルト / なしのままにします。カスタム ブート モード テーブルの 設定と構成の詳細については、ブート モード ピンの設定を参照してください。

また、『F28E12x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「ブート モードの使用例」セクションに、BMSP およびカスタム ブート テーブルの構成方法に関する使用例がいくつか記載されています。

### 7.6.1.1 ブート モード ピンの構成

このセクションでは、ユーザーが構成可能なデュアル ゾーン セキュリティ モジュール (DCSM) OTP 内で、BOOTPIN-CONFIG のロケーション (表 7-7 を参照) をプログラムすることにより、ブート モード選択ピンをユーザーがカスタマイズする方法について説明します。DCSM OTP 内のその領域は、Z1-OTP-BOOTPIN-CONFIG または Z2-OTP-BOOTPIN-CONFIG です。デバッグ時には、EMU-BOOTPIN-CONFIG が Z1-OTP-BOOTPIN-CONFIG/Z2-OTP-BOOTPIN-CONFIG をエミュレートする代用として機能するので、OTP に書き込みますにさまざまなブート モードを検証するようにプログラムできます。このデバイスでは、必要に応じて、0、1、2、3 本のブート モード選択ピンを使用するようにプログラムできます。

#### 注

Z2-OTP-BOOTPIN-CONFIG を使用する場合には、このロケーションにプログラムされた構成が Z1-OTP-BOOTPIN-CONFIG の構成よりも優先されます。まず Z1-OTP-BOOTPIN-CONFIG を使用し、OTP 構成を変更する必要がある場合に Z2-OTP-BOOTPIN-CONFIG を使用するように切り替えることを推奨します。

**表 7-7. BOOTPIN\_CONFIG のビット フィールド**

ビット	名称	説明
31:24	キー	このレジスタのビットが有効であることをブート ROM コードに知らせるためには、この 8 ビットに 0x5A を書き込みます
23:16	ブート モード選択ピン 2 (BMSP2)	BMSP0 の説明を参照してください。
15:8	ブート モード選択ピン 1 (BMSP1)	BMSP0 の説明を参照してください。
7:0	ブート モード選択ピン 0 (BMSP0)	ブート時に使用する GPIO ピンを設定します (最大 255)。 0x0 = GPIO0, 0x01 = GPIO1、以下同様に続きます。 0xFF を書き込むと BMSP が無効化され、このピンはブート モードの選択に使用されなくなります。

#### 注

GPIO 12、13、20、21、28、224、226-228、230、242-243 はアナログ ピンですが、ソフトウェアが GPIOHAMESEL レジスタ ビットに書き込む場合は、これらのピンにデジタル入力を供給できます。

以下の GPIO を BMSP として使用することはできません。特定の BMSP 用に選択した場合、BMSP0 および BMSP1 については、ブート ROM により工場出荷時デフォルト GPIO が自動的に選択されます。BMSP2 の工場出荷時デフォルトは 0xFF で、BMSP はディセーブルになります。

- GPIO 8、GPIO 14、GPIO 15 (どのパッケージでも利用不可)
- GPIO 17～GPIO 22 (どのパッケージでも利用不可)
- GPIO 25～GPIO 27 (どのパッケージでも利用不可)
- GPIO 31、GPIO 34～GPIO 38 (どのパッケージでも利用不可)
- GPIO 42、GPIO 44、および GPIO 46～GPIO 49 (どのパッケージでも利用不可)
- GPIO 225 および GPIO 229 (どのパッケージでも利用不可)
- GPIO 231～GPIO 241 (どのパッケージでも利用不可)
- GPIO 244 および GPIO 245 (どのパッケージでも利用不可)

**表 7-8. スタンドアロンのブート モード選択ピン デコード**

BOOTPIN_CONFIG キー	BMSP0	BMSP1	BMSP2	選択されるブート モード
!= 0x5A	不定	不定	不定	工場出荷時にデフォルトで定義された BMSP でブートします。
	0xFF	0xFF	0xFF	ブート モード 0 のブート テーブルで定義されるブート (すべての BMSP が無効)
	有効な GPIO	0xFF	0xFF	BMSP0 の値で定義されるブート (BMSP1 および BMSP2 は無効)
	0xFF	有効な GPIO	0xFF	BMSP1 の値で定義されるブート (BMSP0 および BMSP2 は無効)
	0xFF	0xFF	有効な GPIO	BMSP2 の値で定義されるブート (BMSP0 および BMSP1 は無効)
	有効な GPIO	有効な GPIO	0xFF	BMSP0 および BMSP1 の値で定義されるブート (BMSP2 は無効)
	有効な GPIO	0xFF	有効な GPIO	BMSP0 および BMSP2 の値で定義されるブート (BMSP1 は無効)
	0xFF	有効な GPIO	有効な GPIO	BMSP1 および BMSP2 の値で定義されるブート (BMSP0 は無効)
	有効な GPIO	有効な GPIO	有効な GPIO	この値の定義では BMSP0、BMSP1、BMSP2 でブートします。
	無効な GPIO	有効な GPIO	有効な GPIO	BMSP0 は、出荷時デフォルトの BMSP0 GPIO にリセットされます。 この値の定義では BMSP0、BMSP1、BMSP2 でブートします。
	有効な GPIO	無効な GPIO	有効な GPIO	BMSP1 は工場出荷時のデフォルトの BMSP1 GPIO にリセット BMSP0、BMSP1、BMSP2 の値で定義されるブート
	有効な GPIO	有効な GPIO	無効な GPIO	BMSP2 は工場出荷時のデフォルト状態 (ディセーブル) にリセット BMSP0 および BMSP1 の値で定義されるブート

**注**

ブート モードをデコードする際、BMSP0 がブート テーブルでのインデックス値の最下位ビット、BMSP2 が最上位ビットになります。BMSP をディセーブルにする場合は、BMSP2 から開始することをお勧めします。たとえば、BMSP2 のみを使用する (BMSP1 と BMSP0 は無効) ケースでは、選択可能なブート テーブル インデックスは 0 と 4 のみです。BMSP0 のみを使用する場合、選択可能なブート テーブル インデックスは 0 と 1 です。

### 7.6.1.2 ブート モード テーブル オプションの設定

このセクションでは、デバイスおよび関連するブート オプションのブート定義表、BOOTDEF を構成する方法について説明します。ユーザーが構成可能な DCSM OTP の中に、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH として 64 ビットの領域があります。デバッグ時には、EMU-BOOTDEF-LOW および EMU-BOOTDEF-HIGH が、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH をエミュレートする代用として機能するので、OTP に書き込まざるにさまざまなブート モード オプションを検証するようにプログラムできます。ブート定義テーブルに対するカスタマイズの範囲は、使用されているブート モード選択ピン (BMSP) の数によって異なります。たとえば、0 本の BMSP は 1 つのテーブル エントリに等しく、1 本の BMSP は 2 つのテーブル エントリに等しく、2 本の BMSP は 4 つのテーブル エントリに等しく、3 本の BMSP は 8 つのテーブル エントリに等しくなります。BOOTPIN\_CONFIG および BOOTDEF 値の設定方法の例は、『[F28E12x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』を参照してください。

#### 注

Z2-OTP-BOOTPIN-CONFIG が設定されている場合には、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH のロケーションの代わりに、Z2-OTP-BOOTDEF-LOW および Z2-OTP-BOOTDEF-HIGH のロケーションが使用されます。BOOTPIN\_CONFIG 使用の詳細については、[セクション 7.6.1.1](#) を参照してください。

**表 7-9. BOOTDEF のピット フィールド**

BOOTDEF 名	バイト位置	名称	説明
BOOT_DEF0	7:0	[3:0] BOOT_DEF0 モード	表 7-6 からのブート モード番号を設定します。サポートされていないブート モードを使用すると、デバイスは待機ブートかフラッシュからのブート モードになります。
		[7:4] BOOT_DEF0 オプション	代替および追加のブート オプションを設定します。これには、特定のブート ベリフェラルに対する GPIO の変更や、別のフラッシュ エントリ ポイントの指定が含まれます。テーブルで設定する有効な BOOTDEF 値については、「 <a href="#">GPIO の割り当て</a> 」セクションを参照してください。
BOOT_DEF1	15:8	BOOT_DEF1 モード / オプション	BOOT_DEF0 の説明を参照してください。
BOOT_DEF2	23:16	BOOT_DEF2 モード / オプション	
BOOT_DEF3	31:24	BOOT_DEF3 モード / オプション	
BOOT_DEF4	39:32	BOOT_DEF4 モード / オプション	
BOOT_DEF5	47:40	BOOT_DEF5 モード / オプション	
BOOT_DEF6	55:48	BOOT_DEF6 モード / オプション	
BOOT_DEF7	63:56	BOOT_DEF7 モード / オプション	

## 7.6.2 GPIO の割り当て

このセクションでは、**BOOT\_DEF** メモリの領域 **Z1-OTP-BOOTDEF-LOW / Z2-OTP-BOOTDEF-LOW** および **Z1-OTP-BOOTDEF-HIGH / Z2-OTP-BOOTDEF-HIGH** でのブート モードの設定に使用される GPIO とブート オプションの値について詳細に説明します。**BOOT\_DEFx** の構成方法については、[セクション 7.6.1.2](#) を参照してください。ブート モード オプションを選択するときは、使用する特定のデバイス パッケージのピン マルチプレクサ オプションで、必要なピンが利用可能であることを確認します。

デフォルトのブート モード GPIO ピン:

- ブート モード ピン 0 - GPIO32
- ブート モード ピン 1 - GPIO24

ブート ピン選択のガイドライン:

- PWM 機能を持つピンは避けてください。
- アナログまたは USB ピンは使用できません。
- ブート モード選択ピンとデフォルトのブート ペリフェラルピンは、すべてのパッケージで使用できます。
- JTAG エミュレーション ピンと水晶振動子 ピンは避けてください。
- ブート モード選択ピンは入力にすることができます。
- ピンに PHY ブートストラップ機能を持たせることはできません。

**表 7-10. SCI ブート オプション**

オプション	BOOTDEFx 値	SCITXDA GPIO	SCIRXDA GPIO	サポート対象のパッケージ
0 (デフォルト)	0x01	GPIO29	GPIO28	すべて
1	0x21	GPIO1	GPIO0	すべて
3	0x61	GPIO7	GPIO3	48-PT、32-RHB、32-VFC
4	0x81	GPIO16	GPIO3	48-PT

**表 7-11. I2C ブート オプション**

オプション	BOOTDEFx 値	SDAA GPIO	SCLA GPIO	サポート対象のパッケージ
0	0x07	GPIO0	GPIO1	すべて
1	0x27	GPIO32	GPIO33	48-PT
2	0x47	GPIO5	GPIO4	すべて

**表 7-12. SPI ブート オプション**

オプション	BOOTDEFx 値	SPIPOCOA	SPIPOCIA	SPICLKA	SPIPTEA	サポート対象のパッケージ
0	0x06	GPIO24	GPIO1	GPIO3	GPIO5	すべて
1	0x26	GPIO16	GPIO1	GPIO3	GPIO0	48-PT
3	0x66	GPIO16	GPIO13	GPIO12	GPIO24	48-PT

**表 7-13. 待機ブート オプション**

オプション	BOOTDEFx 値	ウォッチドッグのステータス	サポート対象のパッケージ
0	0x04	イネーブル	すべて
1	0x24	ディセーブル	すべて

**表 7-14. フラッシュ ブート オプション**

オプション	BOOTDEFx 値	フラッシュ エントリ アドレス	フラッシュ セクタ	サポート対象のパッケージ
0 (デフォルト)	0x03	0x0008 0000	CPU1 バンク 0 セクタ 0	すべて
1	0x23	0x0008 8000	CPU1 バンク 0 セクタ 32	すべて

表 7-15. セキュア フラッシュ ブート オプション

オプション	BOOTDEFx 値	フラッシュ エントリ アドレス	フラッシュ セクタ	サポート対象のパッケージ
0 (デフォルト)	0x0A	0x0008 0000	CPU1 バンク 0 セクタ 0	すべて
1	0x2A	0x0008 8000	CPU1 バンク 0 セクタ 32	すべて

表 7-16. パラレル ブート オプション

オプション	BOOTDEFx 値	D0~D7 GPIO	DSP 制御 GPIO	ホスト制御 GPIO	サポート対象のパッケージ
0 (デフォルト)	0x00	D0-D7 (GPIO 0, 1, 3, 4, 5, 24, 28, 29)	GPIO224	GPIO242	すべて
1	0x20	D0-D7 (GPIO 0-7)	GPIO12	GPIO13	48-PT

## 7.7 セキュリティ

セキュリティ機能は、デュアルコード セキュリティ モジュール (DCSM) によって実装されます。第一の防御層はチップの境界を保護することであり、これは常に有効にしておく必要があります。それに加えて、デュアルゾーン セキュリティ機能をコード分割のサポートに利用できます。

### 7.7.1 チップの境界の保護

次の 2 つの機能をファームウェア アップデート コードの認証と組み合わせて使用すると、デバイス上で不正なコードが実行されるのを防止するのに役立ちます。

#### 7.7.1.1 JTAGLOCK

USER OTP で JTAGLOCK 機能をイネーブルにすると、デバイス上のリソースへの JTAG アクセス (デバッグ プローブなど) がディセーブルになります。

#### 7.7.1.2 ゼロピン ブート

USER OTP ブロックでゼロピン ブート オプションをフラッシュ ブートと組み合わせてイネーブルにすると、ピンベースの外部ブートローダー オプション (SCI, Parallel など) がすべてブロックされます。

### 7.7.2 デュアルゾーン セキュリティ

デュアルゾーン セキュリティ メカニズムは、ゾーン 1 (Z1) とゾーン 2 (Z2) の 2 つのゾーンを保護します。両方のゾーンに対するセキュリティの実装は同一です。各ゾーンには、専用のセキュア・リソース (OTP メモリおよびセキュア ROM) と、割り当てられたセキュア・リソース (LSx RAM、フラッシュ・セクタ) があります。

### 7.7.3 免責事項

#### Code Security Module Disclaimer

このデバイスに搭載されているコード・セキュリティ・モジュール (CSM) は、関連メモリに保存されているデータをパスワードで保護するように設計されています。テキサス・インスツルメンツは、このデバイスに適用される保証期間において、標準契約条件に従って、この **CSM** がテキサス・インスツルメンツの発行した仕様書に準拠していることを保証します。

ただし、テキサス・インスツルメンツは、**CSM** で情報漏洩もしくは侵害が発生しないこと、または関連メモリに格納されているデータに他の手段でアクセスできないことを保証もしくは表明するものではありません。さらに、前述の規定を除き、テキサス・インスツルメンツは、商品性または特定目的への適合性に関する黙示の保証を含めて、**CSM** について、またはこのデバイスの動作について、保証または表明を行うものではありません。

いかなる場合においても、テキサス・インスツルメンツは、**CSM** またはこのデバイスの何らかの方法での使用に関連または起因して発生した、特別、間接的、偶発的、懲罰的な損害について、テキサス・インスツルメンツがこれらの損害の可能性について通知されていたかどうかにかかわらず、一切責任を負わないものとします。除外される損害には、データの消失、営業上の信用喪失、使用不能の損失、または業務の中止、その他の経済的損失が含まれますが、これらに限定されません。

## 7.8 ウオッチドッグ

このウォッチドッグ モジュールは、従来の TMS320C2000™ マイクロコントローラと同じですが、オプションでカウンタのソフトウェアリセット間隔の下限を設定できます。このウインドウ付きカウントダウンは、デフォルトで無効になっているため、ウォッチドッグは完全に下位互換性があります。

ウォッチドッグは、リセットまたは割り込みのどちらかを生成します。選択可能な分周器付きの内部発振器からクロックが供給されます。

図 7-2 に、ウォッチドッグ モジュール内の各種機能ブロックを示します。

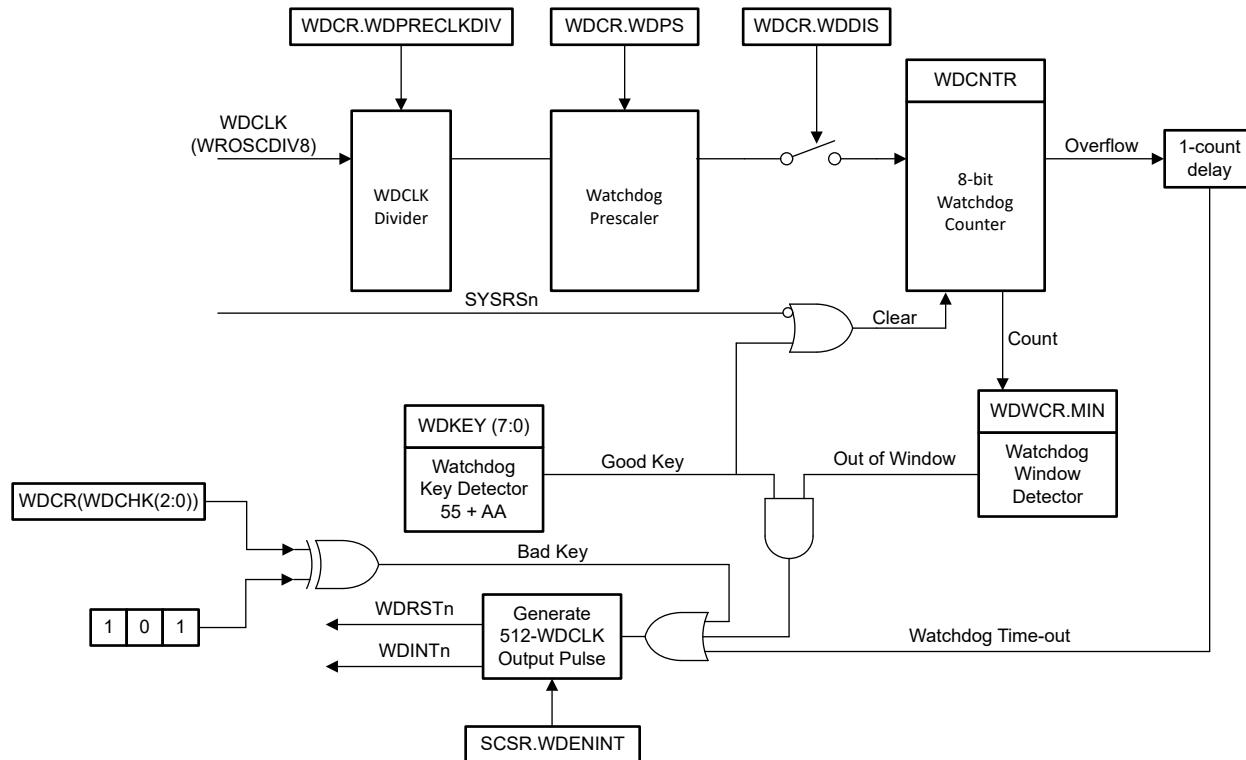


図 7-2. ウィンドウ ウォッチドッグ

## 7.9 C28x タイマ

CPU タイマ 0、1、2 は、同一仕様の 32 ビット タイマであり、周期をプリセット可能で、16 ビット クロック プリスケーリングを備えています。これらのタイマには、32 ビットのカウントダウン レジスタがあり、カウンタが 0 に達したときに割り込みを発生させます。このカウンタは、CPU クロック速度をプリスケール 設定値で除算した速度でデクリメントされます。カウンタが 0 になると、32 ビットの周期値が自動的に再ロードされます。

CPU タイマ 0 は汎用であり、PIE ブロックに接続されています。CPU タイマ 1 も汎用であり、CPU の INT13 に接続されています。CPU タイマ 2 は、TI-RTOS 用に予約されています。これは、CPU の INT14 に接続されています。TI-RTOS を使用していない場合は、CPU タイマ 2 を汎用として使用できます。

CPU タイマ 2 には、次のいずれかのクロックを供給できます。

- SYSCLK (デフォルト)
- WROSCDIV8
- SYSOSCDIV4
- X1 (XTAL)

## 7.10 デュアルクロック コンパレータ (DCC)

DCC モジュールは、より正確で信頼性の高いバージョンである 2 番目のクロックに基づいてクロック入力を評価および監視するのに使用されます。この計測機器は、クロック ソースまたはクロック構造の障害を検出するために使用され、システムの安全性指標を強化します。

### 7.10.1 特長

DCC の特長は次のとおりです。

- アプリケーションが、2 つのクロック信号の周波数の間で固定比率を維持できるようにします。
- 基準クロック・サイクル数に関して、プログラム可能な許容範囲 ウィンドウを定義できます。
- アプリケーションが介在しなくとも継続的に監視できます。
- スポット測定のためのシングル・シーケンス・モードをサポートしています。
- 複数の特殊な使用事例のために各カウンタのクロック源を選択することもできます。

### 7.10.2 DCCx クロック ソース入力のマッピング

表 7-17. DCCx クロック ソース 0 表

DCCxCLKSRC0[3:0]	クロック名
0x0	XTAL/X1
0x1	WROSCDIV8
0x2	SYSOSCDIV4
0x4	TCK
0x5	CPU1.SYSCLK
0xC	INPUT XBAR (入力クロスバーの出力 16)
その他	予約済み

表 7-18. DCCx クロック ソース 1 表

DCCxCLKSRC1[4:0]	クロック名
0x0	PLLRAWCLK
0x2	WROSCDIV8
0x3	SYSOSCDIV4
0x6	CPU1.SYSCLK
0x9	Input XBAR (入力クロスバーの出力 15)
0xB	MCPWMCLK
0xC	LSPCLK

表 7-18. DCCx クロック ソース 1 表 (続き)

DCCxCLKSRC1[4:0]	クロック名
0xD	ADCCLK
0xE	WDCLK
0xF	予約済み
その他	予約済み

## 8 アプリケーション、実装、およびレイアウト

### 8.1 代表的なアプリケーション

#### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

#### 8.1.1 リファレンス デザイン

テキサス・インスツルメンツ リファレンス デザイン ライブラリは、アナログ、組み込みプロセッサ、コネクティビティの各分野にわたる堅牢なリファレンス デザイン ライブラリです。すべての TI リファレンス デザインは、システム設計を迅速に開始できるようにテキサス・インスツルメンツの専門家により作成されたもので、回路図またはブロック図、BOM、設計ファイルが含まれており、製品の開発期間短縮に役立ちます。[テキサス・インスツルメンツのリファレンス デザインの選択](#) ページで、リファレンス デザインを検索およびダウンロードします。

以下に、該当するリファレンス デザインの一部を示します。このデバイスや他の C2000 MCU でサポートされているリファレンス デザインの完全なリストは、[テキサス・インスツルメンツの Resource Explorer](#) で管理されています。

##### 最大 16A の入力に対応し、180W/in3、3kW の単相トーテム ポール ブリッジレス PFC のリファレンス デザイン

このリファレンス デザインは、C2000™ マイコンを使用して連続導通モードトーテム ポール力率補正コンバータ (PFC) を制御する方法を示します。この PFC はほかに、グリッド接続 (電流制御) モードでインバータとして動作します。このコンバータは、16A RMS の最大入力電流と 3.6kW のピーク電力をサポートできる設計を採用しています。

##### GaN ベース、6.6kW、双方向オンボード チャージャのリファレンス デザイン

PMP22650 リファレンス デザインは、6.6kW の双方向オンボード チャージャです。このデザインは、同期整流機能付きの 2 相トーテムポール PFC とフル ブリッジ CLLLC コンバータを搭載しています。CLLCC は周波数変調と位相変調の両方を活用し、必須のレギュレーション範囲全体で出力のレギュレーションを実施します。

##### HEV/EV オンボード チャージャ向け双方向 CLLLC 共振デュアル アクティブ ブリッジ (DAB) のリファレンス デザイン

双方向の電源フロー能力とソフト スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV/EV) のオンボード チャージャおよびエネルギー ストレージ アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流ループ モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。

##### シャント ベースのオンライン モーター位相電流センシング機能を搭載した 48V 3 相インバータ評価モジュール

BOOSTXL-3PHGANINV 評価モジュールは、高精度オンライン シャント ベース位相電流センシング機能を搭載した 48V/10A 3 相 GaN インバータを搭載し、サーボ ドライブなどの高精度ドライブを正確に制御します。

##### C2000 DesignDRIVE PositionManager BoosterPack™ プラグイン モジュール

この PositionManager BoosterPack は、アブソリュート エンコーダと、リズルバや SinCos トランスデューサなどのアナログ センサへのインターフェイスを評価するためのフレキシブルな低電圧プラットフォームです。低コストのこの評価基板は、DesignDRIVE Position Manager ソフトウェア ソリューションとの組み合わせにより、一般的に使用されている EnDat, BiSS, T-format などのさまざまなタイプのポジション エンコーダを C2000 リアルタイム制御デバイスとインターフェイスするための強力なツールになります。C2000 Position Manager 技術は、最もよく使われているデジタルおよびアナログ ポジション センサとのインターフェイスを C2000 リアルタイム コントローラに統合して、このような機能のための外部 FPGA を不要にします。

##### 高電圧 3 相インバータ モーター制御向け C2000™ MCU の評価基板

TIEVM-MTR-HVINV は、高電圧モーター ドライブ アプリケーション向けの 750W 開発ボードです。この評価基板 (EVM) は、InstaSPIN-FOC FAST と eSMO の各センサレス オブザーバを使用し、3 相の PMSM (永久磁石同期モーター) を制御するためのセンサレス FOC (フィールド オリエンテッド コントロール: 磁界方向制御) 制御機能を実装しています。モジュール型設計を採用したため、同じマザーボードへのさまざまなドーター ボードの接続をプラグ アンド プレイ形

式でサポートできます。この評価基板 (EVM) のハードウェアとファームウェアはテスト済みであり、すぐに使用できるため、このユーザー ガイドに記載されている設計の詳細とテスト結果を参照し、開発期間を短縮することができます。

### 250W モーター インバータ リファレンス デザイン

このリファレンス デザインは、大型家電製品などの用途に対応する 250W モーター ドライブです。ヒートシンクなしで高効率を実現する GaN IPM (インテリジェント パワー モジュール) である DRV7308 をベースとするモーター インバータと、UCC28911 を使用した低スタンバイ消費電力の設計を提示しています。このリファレンス デザインには、FAST™ ソフトウェア エンコーダまたは eSMO を使用して、3 相 PMSM 向けのセンサレス FOC 制御を実装する方法が示されています。モジュール型設計を採用したこのリファレンス デザインでは、同じマザーボード上で C2000 MCU と MSPM0™ シリーズ マイクロコントローラのドーター ボードの両方をサポートしています。このリファレンス デザインで利用できるハードウェアとソフトウェアはテスト済みであり、すぐに使用できるので、開発期間短縮に貢献します。ハードウェア設計の詳細とテスト結果は、このデザイン ガイドに記載しています。

### DRV8323RS 3 相スマート ゲートドライバ (降圧、シャントアンプ付き、SPI インターフェイス) 評価モジュール

BOOSTXL-DRV8323RS は、DRV8323RH ゲートドライバと CSD88599Q5DC NexFET™ パワー ブロックに基づく 15A、3 相ブラシレス DC ドライブ ステージです。このモジュールには、個別の DC バス、位相電圧センス機能、さらに個別のローサイド電流シャントアンプが搭載されており、この評価モジュールはセンサレス BLDC アルゴリズムに最適な製品になっています。この基板は、0.6A 降圧 (バック) レギュレータを内蔵しており、マイコンに 3.3V の電力を供給します。このドライブ段は、短絡、過熱、貫通電流、低電圧に対する包括的な保護機能を搭載しており、デバイスの SPI レジスタ経由で簡単に構成できます。

### DRV8323RH 3 相スマート ゲートドライバ (降圧、シャントアンプ付き) (ハードウェア インターフェイス) 評価モジュール

BOOSTXL-DRV8323RH は、DRV8323RH ゲートドライバと CSD88599Q5DC NexFET™ パワー ブロックをベースにした 15A、3 相ブラシレス DC ドライブ ステージです。このモジュールは、個別の DC バス、位相電圧センス機能、個別のローサイド電流シャントアンプを搭載しており、センサレス BLDC 制御アルゴリズムに適した EVM になっています。この基板は、0.6A 降圧 (バック) レギュレータを内蔵しており、マイコンに 3.3V の電力を供給します。このドライブ段は、短絡、過熱、貫通電流、低電圧に対する包括的な保護機能を搭載しており、さまざまなハードウェアの構成ピン経由で簡単に構成できます。

### 3 相 BLDC ゲートドライバ用 DRV8329A 評価モジュール

DRV8329AEVM は、BLDC モーター用の DRV8329A ゲートドライバをベースにした 30A、3 相ブラシレス DC ドライブ ステージです。DRV8329 は、ブートストラップ動作向けの 3 個のダイオードを内蔵しており、外部ダイオードは必要ありません。このデバイスは、ローサイド電流測定用の電流シャントアンプ、80mA LDO、デッドタイム制御ピン、VDS 過電流レベルピン、ゲートシャットオフピンを搭載しています。この評価基板 (EVM) には、これらの設定を評価するためのスイッチ、ポテンショメータ、抵抗が付属しており、DRV8329 デバイスの A バリエーション (6 個の PWM) と B バリエーション (3 個の PWM) に対応する構成能力もあります。

### DRV8316R 3 相 PWM モーター ドライバー評価モジュール

DRV8316REVM は、12V/24V DC レールまたはバッテリ駆動アプリケーション向けに、8A ピーク電流ドライブを備えた 3 相ブラシレス DC (BLDC) モーターを駆動するための 3 つのハーフ H ブリッジ統合 MOSFET ドライバーを提供します。

### DRV8353RS 評価モジュール、3 相ブラシレス DC スマート ゲート ドライバ DRV8353RS-EVM は、DRV8353RS ゲートドライバ

と CSD19532Q5B NexFET™ MOSFET をベースにした 15A、3 相ブラシレス DC ドライブ ステージです。

### 1.3kW GaN トーテム ポール PFC およびモーター インバータのリファレンス デザイン

The TIDA-010282 は、主要な家電製品や類似製品向けの 1.3kW トーテム ポール力率補正およびモーター インバータです。このデザインは、デジタルトーテムポール PFC と、3 相 PMSM (永久磁石同期モーター) のセンサレスベクトル制御を実装する方法を提示し、単一の C2000™ MCU で効率向上と低プロファイルの要件を満たすことができます。このリファレンス デザインで利用できるハードウェアとソフトウェアはテスト済みであり、すぐに使用できるので、開発期間短縮に貢献します。設計の詳細とテスト結果は、このデザイン ガイドに記載しています。

## 9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI では MCU デバイスとすべての型番に接頭辞を割り当てます。MCU 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。X、P、または接頭辞なし (たとえば、XF28E120SCPT)。

デバイスの開発進展フロー:

**X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

**P** プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

**空白** 認定済みのシリコン・ダイの量産バージョン。

**X** および **P** デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

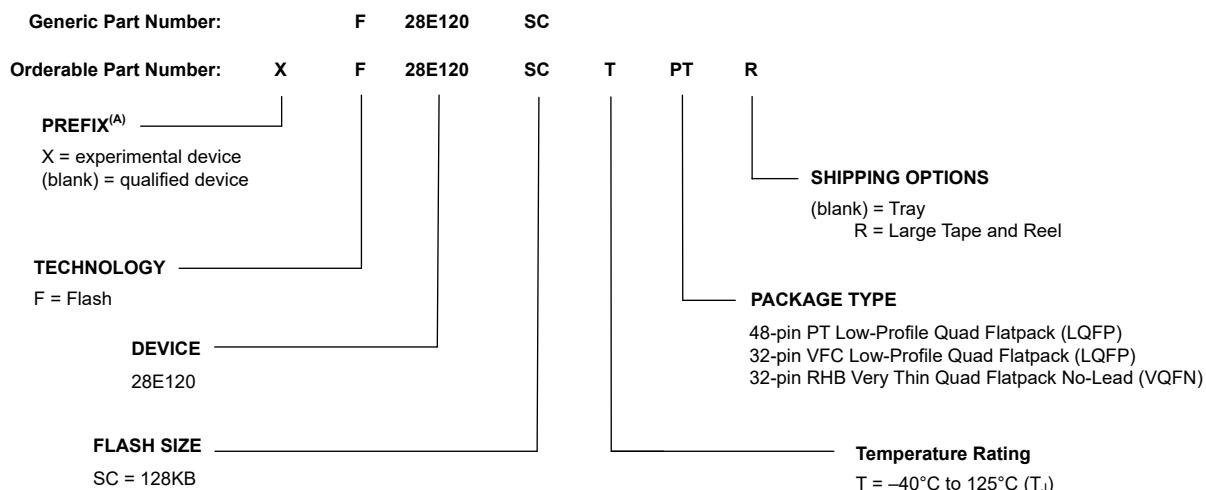
「開発中の製品は、社内での評価用です」。

量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞はパッケージ タイプを示します(例: PT)。

デバイスの型番と詳しい注文情報については、テキサス・インスツルメンツの Web サイト ([www.tij.co.jp](http://www.tij.co.jp)) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。



A. 注文用型番には接頭辞 X を使用。

図 9-1. デバイスの命名規則

## 9.2 マーキング

図 9-2、図 9-3 および図 9-4 にパッケージの記号表記を示します。表 9-1 に、シリコンのリビジョンコードを示します。

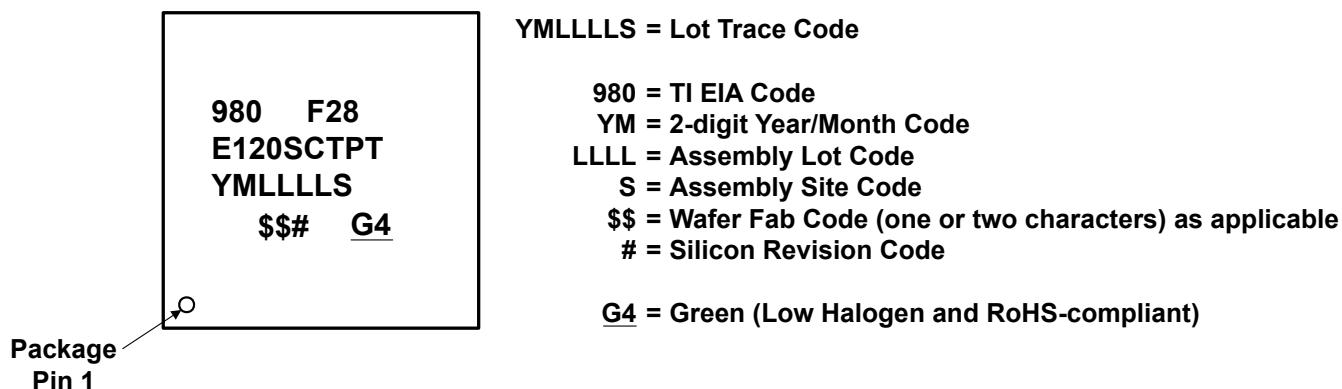


図 9-2. PT パッケージのパッケージ マーキング

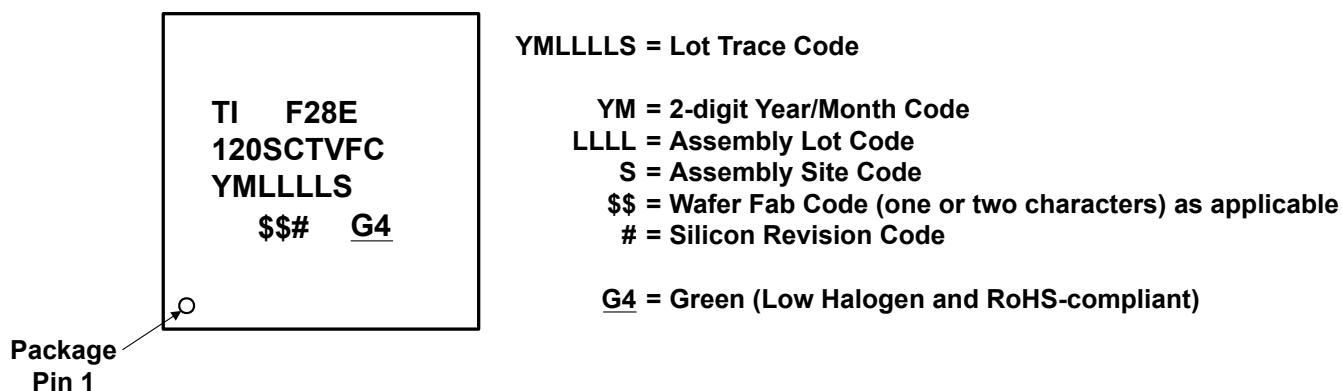


図 9-3. VFC パッケージのパッケージ マーキング

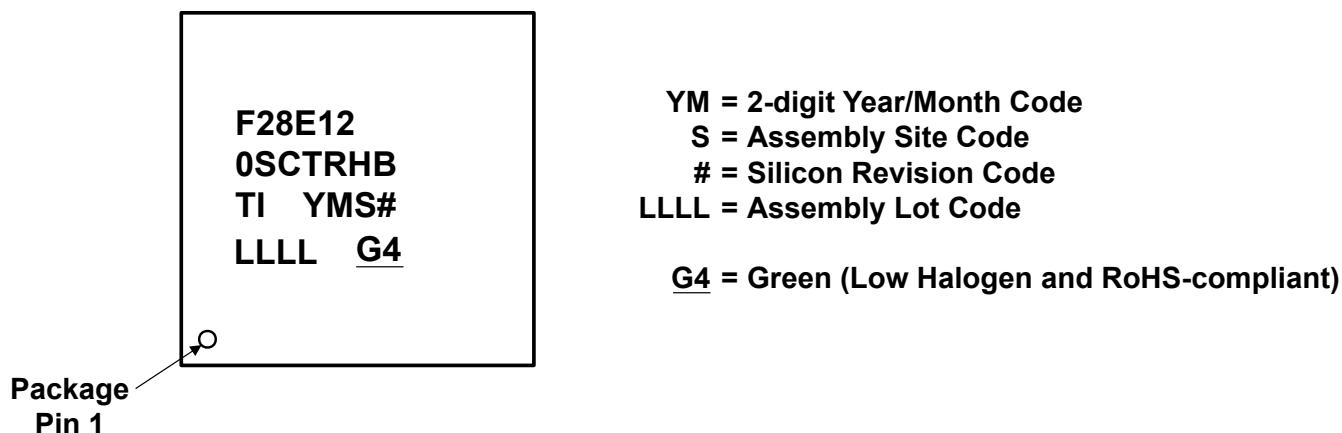


図 9-4. RHB パッケージのパッケージ マーキング

表 9-1. リビジョンの識別

シリコンのリビジョンコード	シリコンのリビジョン	REVID <sup>(1)</sup> アドレス:0x5D006	備考
空白	0	0x0000 0001	このシリコン リビジョンは TMX および TMS として供給されます。

(1) シリコンのリビジョン ID

## 9.3 ツールとソフトウェア

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアの一部は、デバイスの性能評価や、コードの生成に使用され、それに従ってソリューションの開発が行われます。C2000™ リアルタイム制御 MCU 用に提供しているすべてのツールおよびソフトウェアを参照するには、[C2000 リアルタイム MCU のページ](#)をご覧ください。

### 開発ツール

#### TI Resource Explorer

操作性を向上させるには、[TI Resource Explorer](#) からアプリケーションのサンプル、ライブラリ、資料を参照してください。

### ソフトウェアツール

#### C2000 MCU 用 C2000Ware

C2000™ MCU 用の C2000Ware は、ソフトウェアおよびドキュメントの総合的なセットで、ソフトウェア開発時間を最小化できるよう設計されています。特定デバイス向けドライバ、ライブラリ、ペリフェラル サンプルを収録しています。

#### DigitalPower SDK

DigitalPower SDK は、ソフトウェア インフラ、ツール、資料の総合的なセットで、AC/DC、DC/DC、DC/AC 電源アプリケーション向け C2000 MCU ベース デジタル電源システムの開発期間の大幅な短縮を可能にします。このソフトウェアには、C2000 デジタル電源評価モジュール (EVM) で動作するファームウェアと、太陽光発電、テレコム、サーバー、電気自動車 (EV) チャージャ、産業用電源供給アプリケーション向けの [TI Designs \(TID\)](#) が含まれています。DigitalPower SDK は、デジタル電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

#### モーター制御 SDK

モーター制御 SDK は、さまざまな 3 相モーター制御アプリケーションで使用するために C2000 MCU ベースのモーター制御システムの開発時間を最小限に抑える目的で設計したソフトウェア インフラ、ツール、資料の総合的なセットです。このソフトウェアには、C2000 モーター制御評価基板 (EVM) で動作するファームウェアと、産業用ドライブおよびその他のモーター制御向けの [TI Designs \(TID\)](#) が含まれています。MotorControl SDK は、高性能モーター制御アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを用意しています。

#### Code Composer Studio™ 統合開発環境 (IDE)

Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよびプロセッサ用の統合開発環境 (IDE) です。CCS は、組み込みアプリケーションの開発とデバッグに必要な一連のツールで構成されています。Code Composer Studio は、Windows®、Linux®、macOS® デスクトップからダウンロードできます。<https://dev.ti.com> にアクセスし、クラウド環境で使用することもできます。Code Composer Studio は、最適化 C/C++ コンパイラ、ソースコードエディタ、プロジェクトビルト環境、デバッガ、プロファイラなど、多数の機能を搭載しています。直観的な IDE を使用すると、アプリケーション開発フローの各ステップを順に実行することができます。使い慣れたツールとインターフェイスを活用して、これまで以上に迅速に開発を開始できます。Code Composer Studio のデスクトップ バージョンは、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの高度な機能を組み合わせたもので、魅力的かつ機能の豊富な環境を実現しています。クラウド ベースの Code Composer Studio は、Theia アプリケーション フレームワークを活用し、大量のソフトウェアのダウンロードやインストールを不要にして、クラウド上での開発を可能にします。

#### SysConfig システム構成ツール

SysConfig は、ピン、ペリフェラル、無線、サブシステム、その他のコンポーネントを構成するための包括的なグラフィカルユーティリティ コレクションです。SysConfig を使用すると、問題の管理、表面化、解決をビジュアルな方法で実行できるので、より多くの時間をアプリケーションの差異化に割り当てることができます。このツールの出力には C ヘッダとコードフ

ファイルが含まれており、ソフトウェア開発キット (SDK) サンプルと組み合わせて使用することも、カスタム ソフトウェアの構成に使用することもできます。SysConfig ツールは、入力した要件を満たす PinMux 設定を自動的に選択します。SysConfig ツールは CCS に統合されており、スタンドアロン インストーラとしても提供されています。また、[dev.ti.com](http://dev.ti.com) クラウド ツール ポータルからも使用できます。SysConfig システム構成ツールの詳細については、[システム構成ツール](#)のページを参照してください。

### C2000 サード パーティー検索ツール

テキサス・インスツルメンツは複数の企業と協力し、テキサス・インスツルメンツの C2000 デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、各種 C2000 デバイスを使用した量産へと至るお客様の開発工程の迅速化に役立ちます。この検索ツールをダウンロードすると、サード パーティー各社の概要を手早く参照し、お客様のニーズに適したサード パーティーを見つけることができます。

### UniFlash スタンドアロン フラッシュ ツール

UniFlash は、GUI、コマンドライン、またはスクリプト インターフェイスからオンチップ フラッシュ メモリをプログラムするためには、スタンドアロンのツールです。

### モデル

製品の「設計および開発」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様 (IBIS) モデルや、バウンダリ スキヤン記述言語 (BSDL) モデルが含まれます。利用可能なすべてのモデルを参照するには、各デバイスの「設計および開発」ページの「設計ツールとシミュレーション」セクションをご覧ください。

### トレーニング

設計エンジニアが C2000 マイクロコントローラの機能および性能を十分に活用できるよう、TI は各種のトレーニング リソースを開発しました。オンライントレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、C2000 マイクロコントローラ ファミリの完全な動作の知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短期間で開発できるよう設計されています。各種トレーニング資料の詳細については、[C2000 リアルタイム MCU](#) のページを参照してください。

## 9.4 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

### 注

テキサス・インスツルメンツでは、より包括的な用語を使用するように移行を進めています。一部の言語については、特定のテクノロジー分野で期待される言語とは異なる場合があります。

### エラッタ

『F28E12x リアルタイム MCU シリコン エラッタ』には、シリコンについて既知の問題と回避策が記載されています。

### テクニカル リファレンス マニュアル

『F28E12x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』には、F28E12x リアルタイム マイクロコントローラの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

### CPU ユーザー ガイド

『TMS320C28x CPU および命令セット リファレンス ガイド』では、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述しています。このリファレンス ガイドでは、これらの DSP で利用可能なエミュレーション機能についても解説しています。

『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』では、TMU、VCU-II、および FPU アクセラレータのアーキテクチャ、パイプライン、命令セットについて記述しています。

### ペリフェラル ガイド

『C2000 リアルタイム マイクロコントローラ ペリフェラル リファレンス ガイド』は、TMS320x28x および F28x デバイスで使用可能なペリフェラルについて説明しています。このリファレンス ガイドには、各デバイスで使用されるペリフェラルと、それらのペリフェラルの説明が記載されています。

### ツール ガイド

『TMS320C28x アセンブリ言語ツール v22.6.0.LTS ユーザー ガイド』では、TMS320C28x デバイス用のアセンブリ言語ツール（アセンブリ言語コードを開発するためのアセンブリや他のツール）、アセンブリ ディレクティブ、マクロ、共通オブジェクトファイル フォーマット、シンボリック デバッグ ディレクティブについて記述しています。

『TMS320C28x 最適化 C/C++ コンパイラ v22.6.0.LTS ユーザー ガイド』では、TMS320C28x C/C++ コンパイラについて記述しています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

### アプリケーション ノート

『SMT & パッケージ アプリケーション ノート』Web サイトには、テキサス・インスツルメンツの表面実装テクノロジ (SMT) のドキュメントと、パッケージに関する各種トピックについてのアプリケーション ノートの一覧があります。

『半導体パッキング方法』では、半導体デバイスをエンド ユーザーへの配送用に準備するためのパッキング手法について記述しています。

『組込みプロセッサの有効寿命計算』では、テキサス・インスツルメンツの組込みプロセッサ (EP) を電子機器システムにおいて通電状態で使用したときの有効寿命を計算するための手法を解説しています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS の歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

『C2000™ マイクロコントローラのシリアル フラッシュ プログラミング』では、フラッシュ カーネルおよび ROM ローダーを使用したデバイスのシリアル プログラミングについて記載しています。

『C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』では、リアルタイム制御システムに関する C2000 マイクロコントローラ ユニット (MCU) を差別化するためのコンポーネントについて詳細に説明しています。

『8 ビット (バイト) アドレス指定可能な CPU から C28x CPU へのソフトウェアの移行』では、8 ビット (バイト) アドレス指定可能な CPU から C28x CPU にソフトウェアを移行する一般的なシナリオについて議論するとともに、アドレス指定能力にかかわらずアプリケーションを開発する方法について説明しています。

『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』アプリケーション ノートは、C2000 デバイスを使用するハードウェア開発者向けの重要なガイドであり、設計プロセスの合理化と、設計不具合の可能性低減に役立ちます。ここで説明する主なトピックは、電源要件、汎用入出力 (GPIO) 接続、アナログ入力と ADC、クロック生成と要件、JTAG デバッグなどです。

## 9.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

## 9.6 商標

C2000™, TMS320C2000™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries or affiliates) in the US and/or elsewhere.

Windows® is a registered trademark of Microsoft Corporation.

Linux® is a registered trademark of Linus Torvalds.

macOS® is a registered trademark of Apple Inc.

すべての商標は、それぞれの所有者に帰属します。

## 9.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 9.8 用語集

### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

### Changes from SEPTEMBER 9, 2025 to OCTOBER 22, 2025 (from Revision A (September 2025) to Revision B (October 2025))

	Page
• 「特長」セクション: ADC 速度を 9.4MSPS から 8.9MSPS に変更。	1
• デバイスの比較セクション: ADC 速度を 68.75ns/9.4MSPS から 112.36ns/8.9MSPS に変更。	6
• デバイスの比較セクション: 内部 3.3V ~ 1.2V 電圧レギュレータ (VREG) の表の行を削除。	6
• 「電源およびグランド」表: VDD3VFL, VDDA, VDDIO, VDDOSC の説明に「このピンを 3.3V 電源に接続します」を追加。	22
• 「GPIO および ADC の割り当て」の表: 「F2800135V」を「64 VPM」に変更。	36
• VDDIO 動作モードの 30 度での消費電流の標準値を 32mA から 28mA に変更。	39
• VDDA 動作モードの 30 度での消費電流の標準値を 2.5mA から 3.3mA に変更。	39
• VDDA 動作モードの 125 度での消費電流の最大値を 6.5mA から 7mA に変更。	39
• VDDIO アイドル モードの 125 度での消費電流の最大値を 27mA から 29mA に変更。	39
• VDDA アイドル モードの 30 度での消費電流の標準値を 0.01mA から 2.5mA に変更。	39
• VDDA スタンバイ モード (PLL イネーブル) の 125 度での消費電流の最大値を 0.1mA から 4.0mA に変更。	39
• VDDIO リセット モードの 30 度での消費電流の標準値を 8mA から 12.5mA に変更。	39
• VDDA リセット モードの 30 度での消費電流の標準値を 0.01mA から 1mA に変更。	39
• 「消費電流のグラフ」セクション: 図を更新。	42
• 「消費電流のグラフ」セクション: セクションを追加。	42
• PWM のブロック図: 図を更新。	46
• 「外部監視回路の使用」セクション: セクションを更新し、VDD に関する言及を削除。	47
• 「内部パワーアップ シーケンス」セクション: タイトルとセクションを更新し、VDD と VREG についての言及を削除。	49
• 「内部パワーアップ シーケンスの概要」の表: タイトルを更新して、VDD への言及を削除。	50
• 「推奨動作条件の PMM への適用」セクション: セクションを更新し、VREG への言及を削除。	50
• 電源ランプレートの最小値を 20mV/us から 3mV/us に変更。	51
• パワーアップ時間を 350us から 40us に変更。	51
• 突入電流を 80mA から 45mA に変更。	51
• 電源上昇後の XRSn 解放遅延を 40us から 320us に変更。	51
• VDDIO BOR イベント後の XRSn 解放遅延を 40us から 360us に変更。	51

• VDDIO POR イベント後の XRSn 解放遅延を 120us から 440us に変更.....	51
• パワーオンリセットの図: 図から VDD を削除。.....	55
• PLL ロック時間の最大値を 15us から 786 * tC (OSCLK) us に変更.....	58
• INTCLK の周波数の最小値を 2MHz から 4MHz に変更.....	58
• INTCLK の周波数の最大値を 20MHz から 25MHz に変更.....	58
• VCOCLK の周波数の最小値を 220MHz から 160MHz に変更.....	58
• VCOCLK の周波数の最大値を 600MHz から 400MHz に変更.....	58
• PLLRAWCLK の周波数の最小値を 6MHz から 5MHz に変更.....	58
• PLLRAWCLK の周波数の最大値を 240MHz から 200MHz に変更.....	58
• PLL のリップ周波数の公称値の式を変更.....	58
• LSPCLK 期間の最小値を 8.33ns から 6.25ns に変更.....	58
• WROSC 周波数の表を追加.....	66
• 「RAM の仕様」セクション: セクションを追加。.....	68
• 「ROM の仕様」セクション: セクションを追加。.....	69
• 「リファレンスの概要」の表: CONFIG8 ビットフィールド名を ANAREFSEL に置き換え。.....	85
• 「A/D コンバータ(ADC)」セクション: 「各 ADC には以下の特長があります」の箇条書き項目を更新。.....	88
• ADCCLK 変換サイクルを 11 ADCCLK から 12 ADCCLK に変更.....	92
• 2.5V リファレンスの VREFHI 入力電流の標準値を 40uA から 200uA に変更.....	92
• 1.65V リファレンスの VREFHI 入力電流の標準値を 40uA から 130uA に変更.....	92
• (外部リファレンス電圧を使用する場合の) ゲイン誤差の標準値を ±3LSB から最小値 -5LSB に変更.....	92
• ゲイン誤差(外部リファレンス電圧を使用する場合)の標準値を ±3LSB から最大値 5 LSB に変更.....	92
• オフセット誤差の標準値を ±2LSB から最小値 -5LSB に変更.....	92
• オフセット誤差の標準値を ±2LSB から最大値 5LSB に変更.....	92
• DNL 誤差の標準値を -0.999 から 1LSB、さらに最小値 >-1LSB に変更.....	92
• DNL 誤差の標準値を -0.999 から 1LSB、さらに最大値 1LSB に変更.....	92
• INL 誤差の標準値を最小値と最大値に変更.....	92
• THD の標準値を -80dB から -77dB に変更.....	92
• 「ピンごとの ADC 性能」セクション: セクションを追加。.....	94
• 「48 ピン PT LQFP のチャネルごとの寄生容量」の表: 表を更新。.....	95
• 「32 ピン RHB VQFN のチャネルごとの寄生容量」の表: 表を更新。.....	95
• 「32 ピン VFC LQFP のチャネルごとの寄生容量」の表: 表を更新。.....	95
• 1x ヒステリシスの最小値を 2mV から 1mV に変更.....	104
• 2x ヒステリシスの最小値を 8mV から 7mV に変更.....	104
• 3x ヒステリシスの最小値を 15mV から 14mV に変更.....	104
• 4x ヒステリシスの最小値を 20mV から 19mV に変更.....	104
• 5x ヒステリシスの最小値を 26mV から 25mV に変更.....	104
• 6x ヒステリシスの最小値を 32mV から 31mV に変更.....	104
• 7x ヒステリシスの最小値を 38mV から 37mV に変更.....	104
• 静的 INL の最小値を -5LSB から -7LSB に変更.....	105
• 静的 INL の最大値を 5LSB から 7LSB に変更.....	105
• 負荷レギュレーションを ±1 mV/V (標準値) から -1mV/V (最小値) に変更.....	107
• 負荷レギュレーションを ±1 mV/V (標準値) から 1mV/V (最大値) に変更.....	107
• 電圧出力スルーレートの最小値を追加.....	107
• 電圧出力スルーレートの標準値を 2.5V/us から 4.5V/us に変更.....	107
• 電圧出力スルーレートの最大値を追加.....	107
• 負荷過渡セトリング時間の最大値を 700ns から 750ns に変更.....	107
• オフセット誤差の最小値を追加.....	107
• オフセット誤差の標準値を削除.....	107
• オフセット誤差の最大値を追加.....	107

• DNL の最小値を追加.....	107
• DNL の標準値を削除.....	107
• DNL の最大値を追加.....	107
• INL の最小値を追加.....	107
• INL の標準値を削除.....	107
• INL の最大値を追加.....	107
• すべてのゲインに対する ADC S+H セトリング時間の最小値を変更.....	111
• 2/-1 ゲインの Ria の標準値を $14\text{k}\Omega$ から $16\text{k}\Omega$ に変更.....	111
• 4/-3 ゲインの Ria の標準値を $7\text{k}\Omega$ から $8\text{k}\Omega$ に変更.....	111
• 2/-1 ゲインの Rib の標準値を $14\text{k}\Omega$ から $16\text{k}\Omega$ に変更.....	111
• 4/-3 ゲインの Rib の標準値を $21\text{k}\Omega$ から $24\text{k}\Omega$ に変更.....	111
• ゲイン 2, -1 のゲイン誤差の最小値と最大値を 32, -31 に変更.....	111
• eQEP のブロック図:図を更新。.....	119
• 「フラッシュ メモリ マップ」の表:「部品番号」の列から F2800135V を削除。.....	141
• 「ダイレクト メモリ アクセス (DMA)」セクション:DMA から EALLOW 保護されたペリフェラル レジスタへのアクセスに関する注記を追加。.....	147
• ダイレクト メモリ アクセス (DMA): 図と「DMA の主な特長は次のとおりです」のリストを更新し、PGA および CMPSS ペリフェラル レジスタへのアクセスを追加。ブロック図のトリガ ソースとして C28x からのソフトウェア トリガを追加。. 147	147
• テープおよびリールセクション:32VFC および 48PT の型番を「テープおよびリール」の表に追加。.....	180

<b>Changes from JULY 27, 2025 to SEPTEMBER 8, 2025</b>	<b>Page</b>
• テープおよびリール情報セクション:XF28E120SBTRHBR を追加.....	180

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

TI のパッケージの詳細については、[「パッケージ」Web サイト](#)をご覧ください。

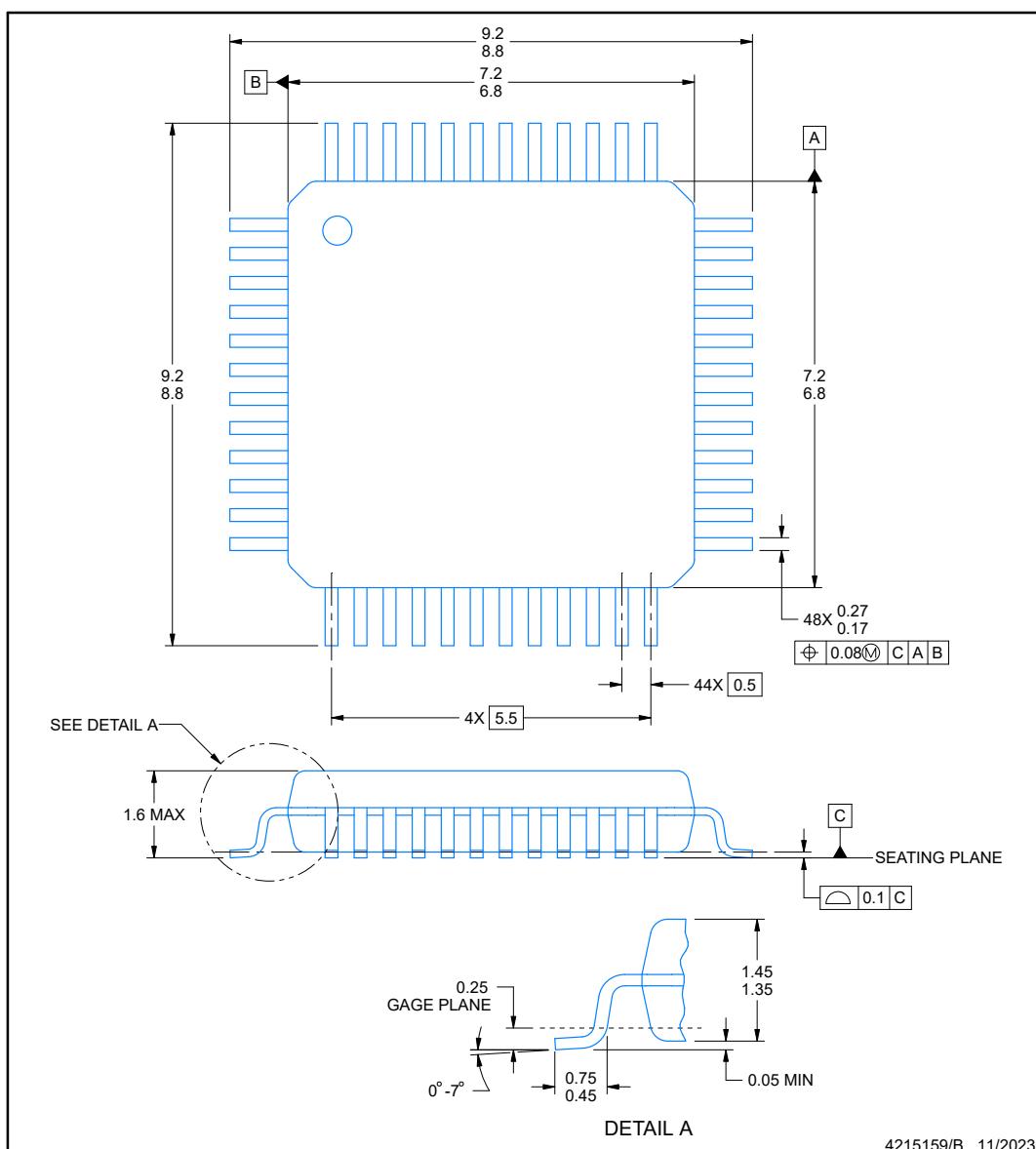
PT0048A



## PACKAGE OUTLINE

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



### NOTES:

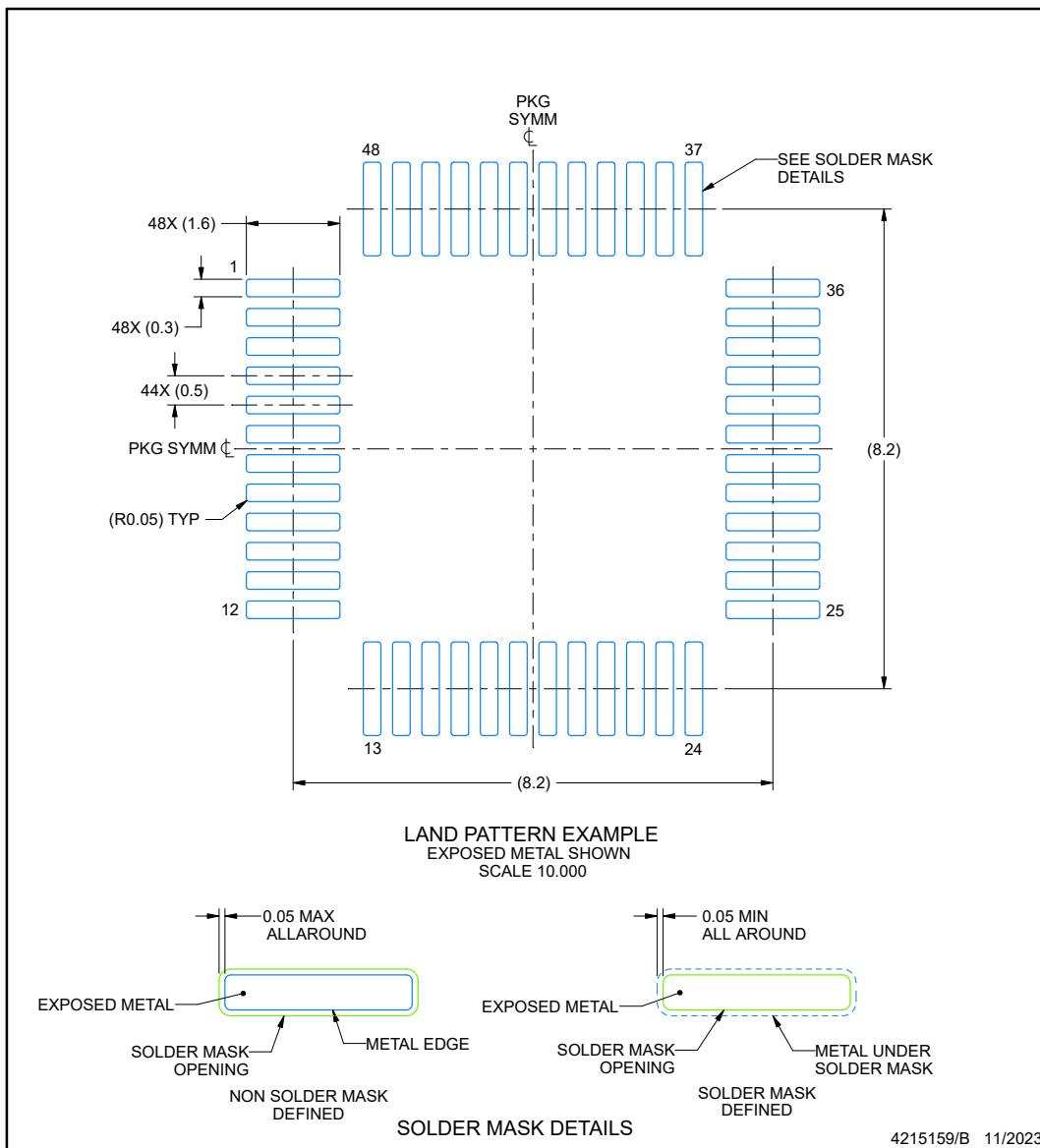
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads connected to the die pads.

## EXAMPLE BOARD LAYOUT

**PT0048A**

**LQFP - 1.6 mm max height**

LOW PROFILE QUAD FLATPACK

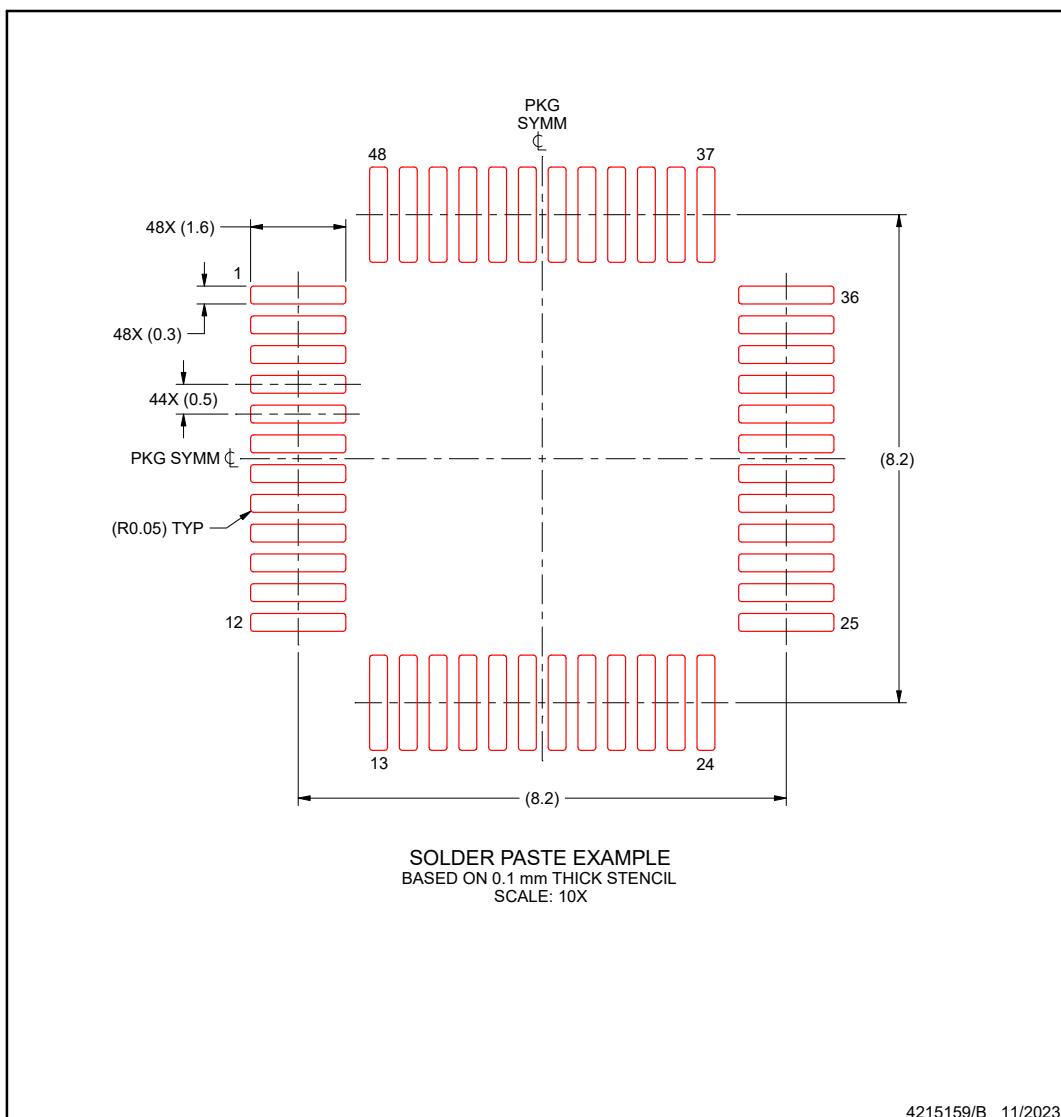


## EXAMPLE STENCIL DESIGN

**PT0048A**

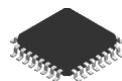
**LQFP - 1.6 mm max height**

LOW PROFILE QUAD FLATPACK

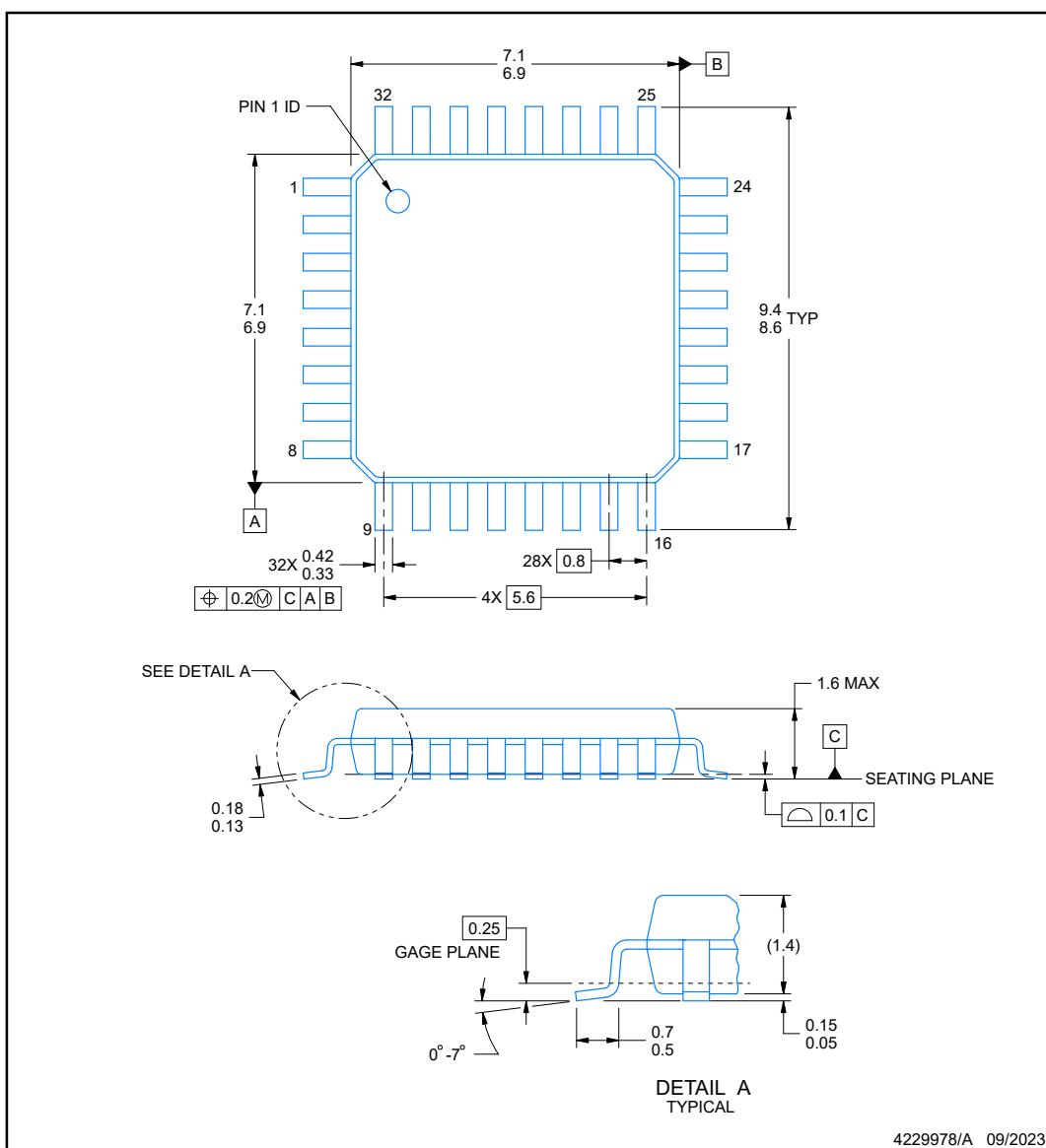


NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

**VFC0032A****PACKAGE OUTLINE****LQFP - 1.6 mm max height**

PLASTIC QUAD FLATPACK



## NOTES:

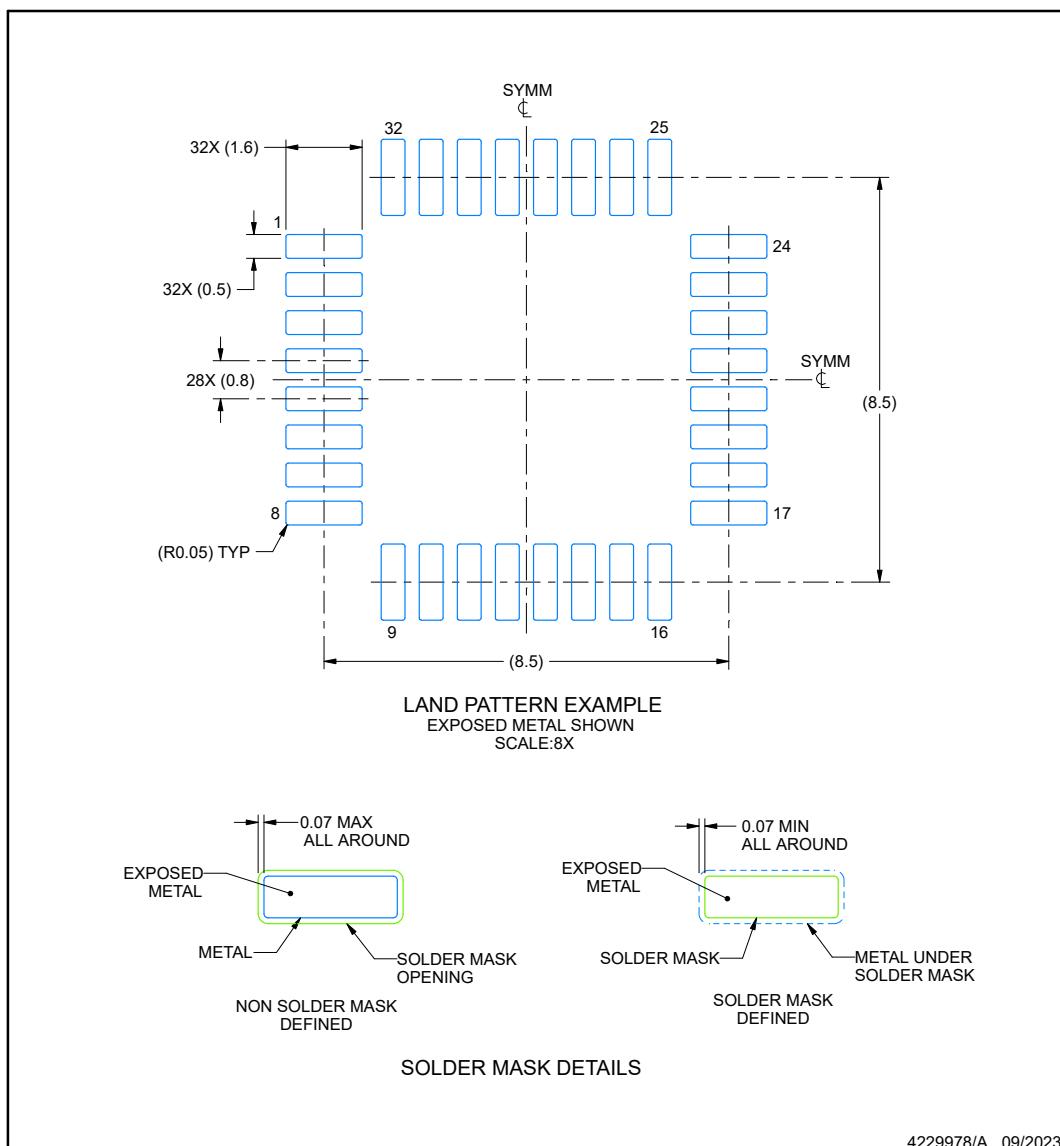
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.

## EXAMPLE BOARD LAYOUT

VFC0032A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

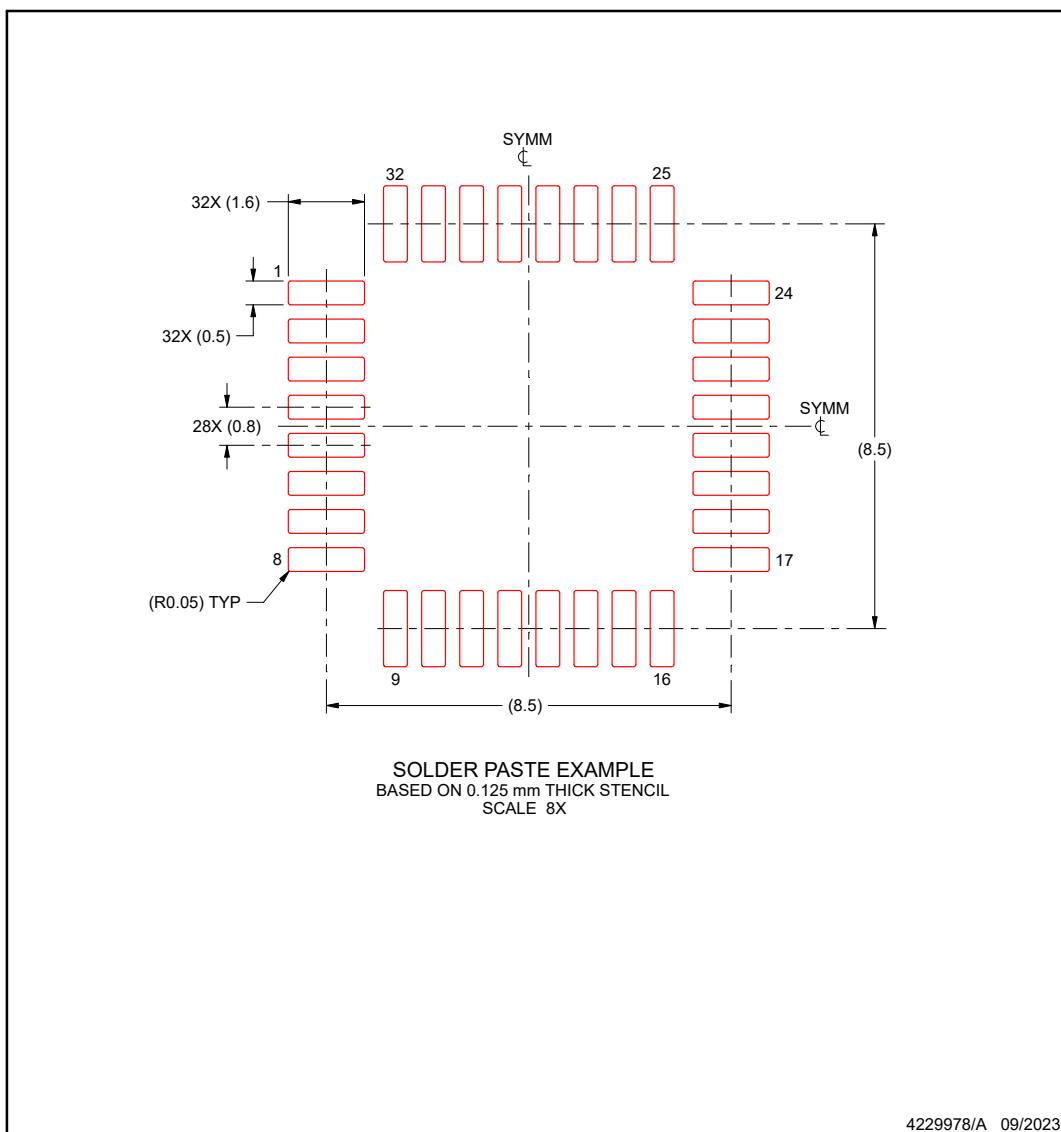


NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

**VFC0032A****EXAMPLE STENCIL DESIGN****LQFP - 1.6 mm max height**

PLASTIC QUAD FLATPACK



4229978/A 09/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

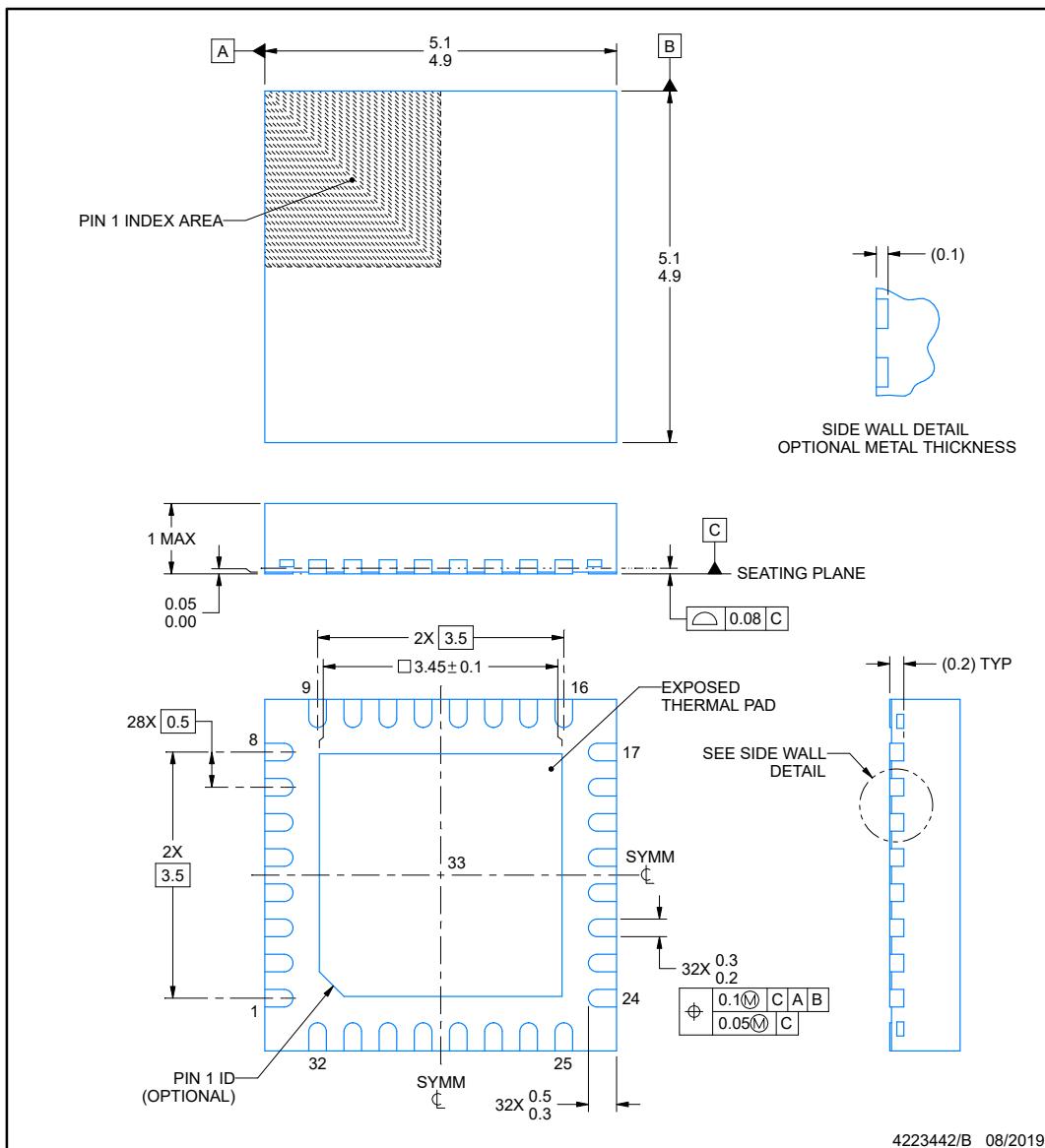
**RHB0032E**



## PACKAGE OUTLINE

## VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

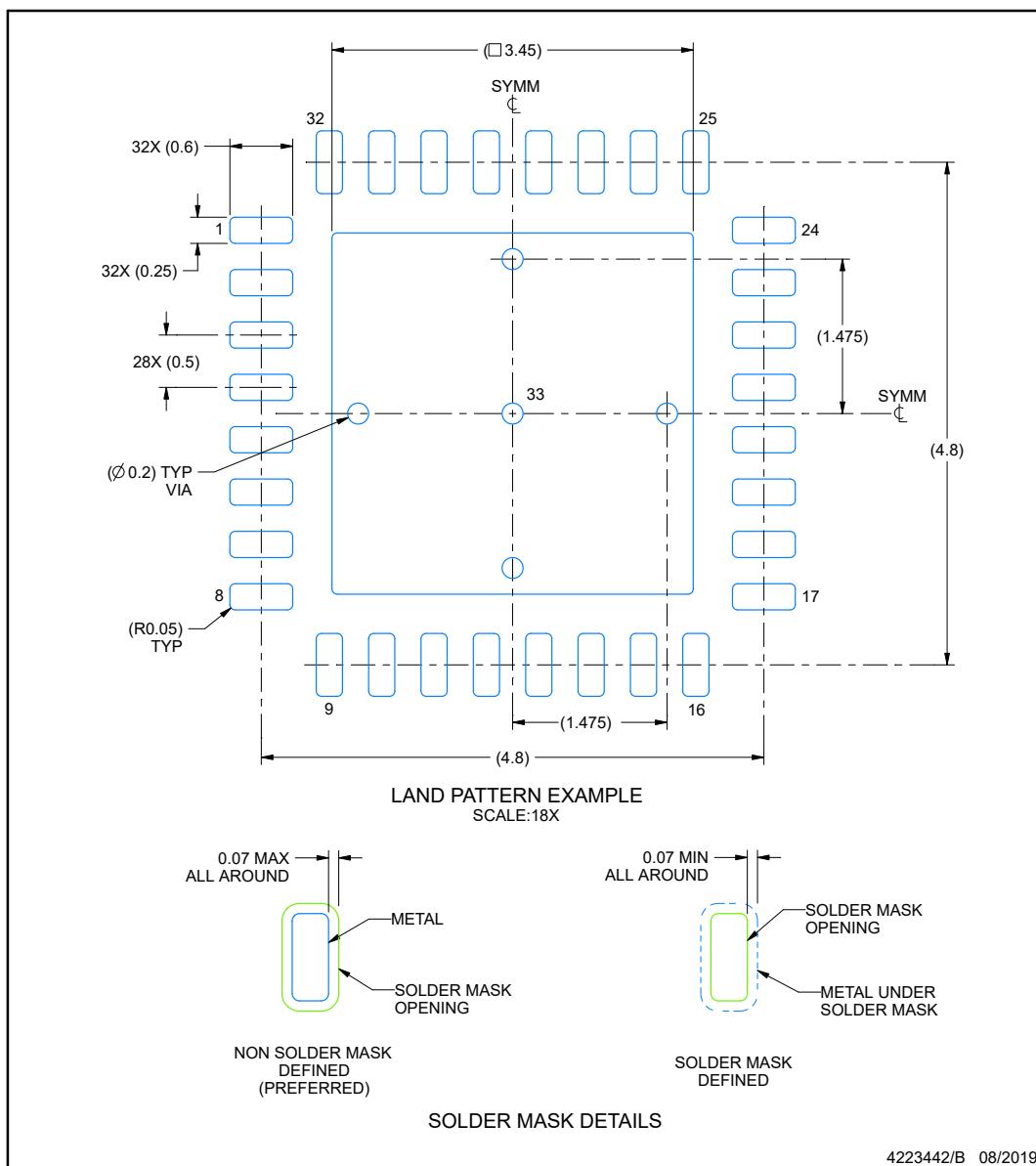


## EXAMPLE BOARD LAYOUT

### RHB0032E

**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

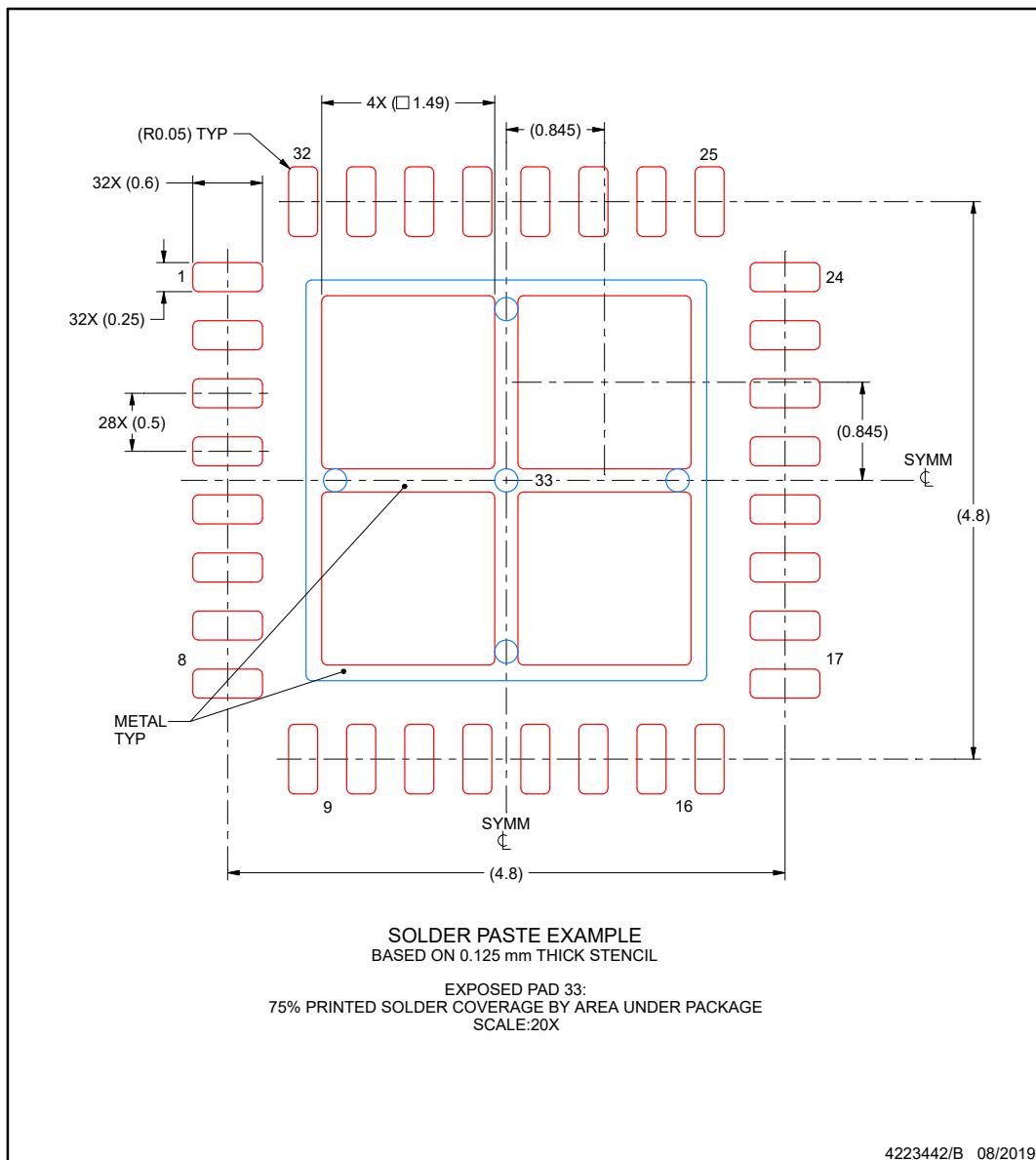
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

## EXAMPLE STENCIL DESIGN

**RHB0032E**

## VQFN - 1 mm max height

**PLASTIC QUAD FLATPACK - NO LEAD**

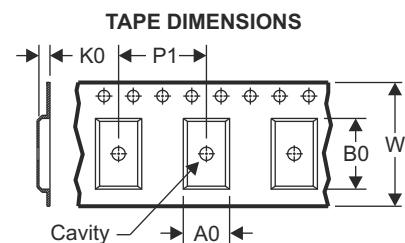
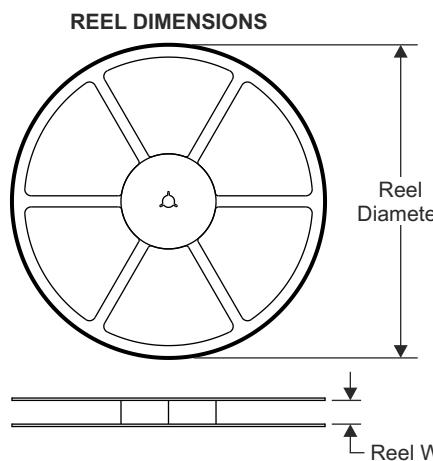


#### NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

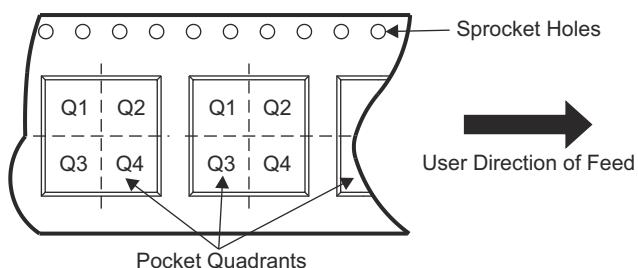


## テープおよびリール情報



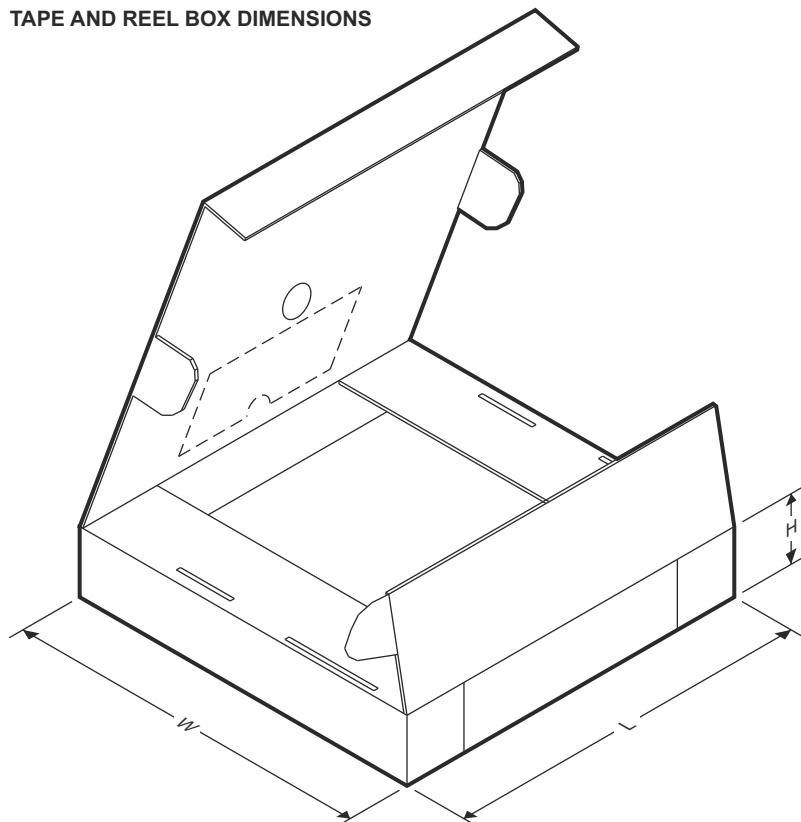
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
F28E120SCTRHB	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
F28E120SBTRHB	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
F28E120SCTVFCR	LQFP	VFC	32	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F28E120SBTVFCR	LQFP	VFC	32	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F28E120SCTPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F28E120SBPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
F28E120SCTRHB	VQFN	RHB	32	3000	367.0	367.0	35.0
F28E120SBTRHB	VQFN	RHB	32	3000	367.0	367.0	35.0
F28E120SCTVFCR	LQFP	VFC	32	1000	367.0	367.0	35.0
F28E120SBTVFCR	LQFP	VFC	32	1000	367.0	367.0	35.0
F28E120SCTPTR	LQFP	PT	48	1000	367.0	367.0	35.0
F28E120SBPTR	LQFP	PT	48	1000	367.0	367.0	35.0

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">F28E120SCTPTR</a>	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	E120SCTPT F28
<a href="#">XF28E120SBTRHBR</a>	Active	Preproduction	VQFN (RHB)   32	5000   LARGE T&R	-	Call TI	Call TI	-40 to 105	
<a href="#">XF28E120SCTPT</a>	Active	Preproduction	LQFP (PT)   48	250   JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	
<a href="#">XF28E120SCTRHB</a>	Active	Preproduction	VQFN (RHB)   32	5000   LARGE T&R	-	Call TI	Call TI	-40 to 105	
<a href="#">XF28E120SCTVFC</a>	Active	Preproduction	LQFP (VFC)   32	250   JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

---

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月