

DS90LV012A / DS90LT012A 3V LVDS シングル CMOS 差動ライン レシーバ

1 特長

- ANSI TIA/EIA-644-A 規格準拠
- スイッチング レート:>400Mbps (200MHz)
- 差動スキー:100ps (標準値)
- 最大伝搬遅延:3.5ns
- 内蔵ライン終端抵抗:102Ω (標準値)
- 単一 3.3V 電源電圧設計 (2.7V~3.6V の範囲)
- 電源オフ時に高インピーダンスになる LVDS 入力
- 小振幅 (標準値 350mV) の差動信号レベルを許容
- LVDS レシーバ入力は LVDS/BLVDS/LVPECL 入力を受信可能
- 開放、短絡、終端入力のフェイルセーフをサポート
- PCB レイアウトを簡素化するピン配置
- 低消費電力 (静的電圧 3.3V で標準値 10mW)
- SOT-23 5 リード パッケージ
- リードレス WSON-8 パッケージ (本体サイズ 3x3mm)
- DS90LV018A と電気的に類似
- 高度な CMOS プロセス テクノロジを使用して製造
- 工業用動作温度範囲 (-40°C~+85°C)

2 概要

DS90LV012A および DS90LT012A は、超低消費電力、低ノイズ、高データ レートを必要とするアプリケーション用に設計されたシングル CMOS 差動ライン レシーバです。本デバイスは、低電圧差動スイング (LVDS) テクノロジを利用して 400Mbps (200MHz) を超えるデータ レートをサポートするよう設計されています。

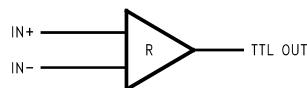
DS90LV012A および DS90LT012A は低電圧 (標準値 350mV) の差動入力信号を受信し、3V CMOS 出力レベルに変換します。また、レシーバは開放、短絡、終端 (100Ω) の入力フェイルセーフもサポートします。すべてのフェイルセーフ条件において、レシーバの出力は High になります。DS90LV012A のピン配置は、PCB レイアウトが容易になるよう設計されています。DS90LT012A は、ポイント ツー ポイント アプリケーション用の入力ライン終端抵抗を内蔵しています。

DS90LV012A および DS90LT012A と、対になる LVDS ライン ドライバは、高速インターフェイス アプリケーション用の消費電力の大きい PECL/ECL デバイスに代わる新たな選択肢です。

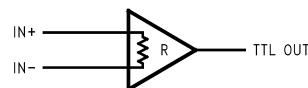
製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
DS90LV012A	WSON-8、SOT-23、DBV	3.00mm × 3.00mm
DS90LT012A	WSON-8、SOT-23、DBV	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



DS90LV012A の上面図



DS90LT012A の上面図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7.2 代表的なアプリケーション	10
2 概要	1	8 電源に関する推奨事項	11
3 ピン構成および機能	3	9 レイアウト	11
4 仕様	4	9.1 レイアウトのガイドライン	11
4.1 絶対最大定格	4	9.2 差動トレース	11
4.2 推奨動作条件	4	9.3 ケーブルとコネクタ、一般的なコメント	11
4.3 電気的特性	5	10 デバイスおよびドキュメントのサポート	12
4.4 スイッチング特性	6	10.1 ドキュメントの更新通知を受け取る方法	12
5 パラメータ測定情報	7	10.2 サポート・リソース	12
6 詳細説明	8	10.3 商標	12
6.1 機能ブロック図	8	10.4 静電気放電に関する注意事項	12
6.2 機能説明	8	10.5 用語集	12
6.3 デバイスの機能モード	9	11 改訂履歴	12
7 アプリケーションと実装	10	12 メカニカル、パッケージ、および注文情報	12
7.1 アプリケーション情報	10		

3 ピン構成および機能

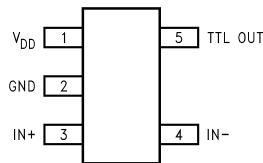


図 3-1. 上面図 (パッケージ番号 DBV (R-PDSO-G5) を参照)

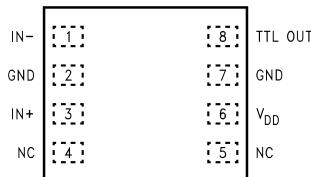


図 3-2. 上面図 (パッケージ番号 NGK0008A を参照)

表 3-1. ピンの機能 & 説明

パッケージのピン番号		ピン名	説明
SOT-23	WSON		
4	1	IN-	反転レシーバ入力ピン
3	3	IN+	非反転レシーバ入力ピン
5	8	TTL OUT	レシーバ出力ピン
1	6	V _{DD}	電源ピン、+3.3V ± 0.3V
2	2, 7	GND	グランド ピン
	4, 5	NC	無接続

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

	最小値	最大値	単位
電源電圧 (V_{DD})	-0.3	4	V
入力電圧 (IN+, IN-)	-0.3	3.9	V
出力電圧 (TTL OUT)	-0.3	0.3	V
出力短絡電流		-100	mA
パッケージ電力散逸		25	°C
NGK パッケージ		2.26	W
NGK パッケージをディレーティング	18.1	25	mW/°C
熱抵抗 (θ_{JA})		55.3	C/W
DBV パッケージ		902	mW
DBV パッケージをディレーティング	7.22	25	mW/°C
熱抵抗 (θ_{JA})		138.5	°C/W
保管温度、 T_{stg}	-65	150	°C
リード温度、半田付け (4 秒)		260	°C
接合部温度		150	°C
ESD 定格 ⁽²⁾			

(1) 「絶対最大定格」とは、それを超えた場合にデバイスの安全性を保証できない値を表します。デバイスがこれらの制限値で動作することを暗に示すものではありません。デバイスの動作条件はセクション 4.3 に規定されています。

(2) ESD 定格:

- DS90LV012A:
 - HBM (1.5kΩ, 100pF) ≥ 2kV
 - EIAJ (0Ω, 200pF) ≥ 900V
 - CDM ≥ 2000V
 - IEC 直接 (330Ω, 150pF) ≥ 5kV
- DS90LT012A:
 - HBM (1.5kΩ, 100pF) ≥ 2kV
 - EIAJ (0Ω, 200pF) ≥ 700V
 - CDM ≥ 2000V
 - IEC 直接 (330Ω, 150pF) ≥ 7kV

4.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
電源電圧 (V_{DD})	+2.7	+3.3	+3.6	V
自由気流での動作温度 (T_A)	-40	25	+85	°C

4.3 電気的特性

特に記述のない限り、電源電圧および動作温度範囲内。[\(1\)](#) [\(2\)](#)

パラメータ		テスト条件		IN+, IN-	ピン	最小値	代表値	最大値	単位
V_{TH}	差動入力 High スレッショルド	規定された同相電圧 (V_{CM}) 範囲全体で有効。 (3)				-30	0	mV	
V_{TL}	差動入力 Low スレッショルド				-100	-30		mV	
V_{CM}	同相電圧	$V_{DD} = 2.7V$, $V_{ID} = 100mV$	$V_{DD} = 3.0V \sim 3.6V$, $V_{ID} = 100mV$		0.05		2.35	V	
I_{IN}	入力電流 (DS90LV012A)	$V_{IN} = +2.8V$			0.05		$V_{DD} - 0.3V$	V	
		$V_{IN} = 0V$			-10	± 1	+10	μA	
		$V_{IN} = +3.6V$	$V_{DD} = 0V$		-10	± 1	+10	μA	
ΔI_{IN}	I_{IN} の大きさの変化	$V_{IN} = +2.8V$	$V_{DD} = 3.6V$ または $0V$		-20		+20	μA	
		$V_{IN} = 0V$				4		μA	
		$V_{IN} = +3.6V$				4		μA	
I_{IND}	差動入力電流 (DS90LT012A)	$V_{IN+} = +0.4V$, $V_{IN-} = +0V$	$V_{IN+} = +2.4V$, $V_{IN-} = +2.0V$	TTL OUT	3	3.9	4.4	mA	
R_T						102		Ω	
C_{IN}	入力容量	$IN+ = IN- = GND$				3		pF	
V_{OH}	出力 HIGH 電圧	$I_{OH} = -0.4mA$, $V_{ID} = +200mV$	$I_{OH} = -0.4mA$, 入力終端		2.4	3.1		V	
					2.4	3.1		V	
					2.4	3.1		V	
V_{OL}	出力 LOW 電圧	$I_{OL} = 2mA$, $V_{ID} = -200mV$		TTL OUT		0.3	0.5	V	
I_{OS}	出力短絡電流	$V_{OUT} = 0V$ (4)			-15	-50	-100	mA	
V_{CL}	入力クランプ電圧	$I_{CL} = -18mA$			-1.5	-0.7		V	
I_{DD}	無負荷時の消費電流	入力オーブン			V_{DD}		5.4	9	mA

- (1) デバイスのピンに流れ込む電流は正と定義されます。デバイスのピンから流れ出る電流は負と定義されます。特に記述のない限り、すべての電圧はグランドを基準としています (V_{ID} など)。
- (2) すべての標準値は、 $V_{DD} = +3.3V$, $T_A = +25^\circ C$ における値です。
- (3) V_{DD} は常に $IN+$ および $IN-$ 電圧より高くなります。 $IN+$ と $IN-$ の電圧範囲は、 $V_{DD} = 2.7V$ の場合は $-0.05V \sim +2.35V$, $V_{DD} = 3.0V \sim 3.6V$ の場合は $|V_{ID}|/2 \sim V_{DD} - 0.3V$ です。 $V_{DD} = 2.7V$ で $V_{CM} = 0.05V \sim 2.35V$ の場合、 $V_{DD} = 3.0V \sim 3.6V$ で $V_{CM} = |V_{ID}|/2 \sim V_{DD} - 0.3V$ の場合は、 V_{ID} は $100mV$ を超えることはできません。
- (4) 出力短絡電流 (I_{OS}) は大きさとしてのみ規定されており、マイナス記号は方向のみを示します。一度に短絡される出力は 1 つのみとし、接合部温度の仕様を超えないようにしてください。

4.4 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

パラメータ		テスト条件	最小値	代表値	最大値	単位
t_{PHLD}	差動伝搬遅延 (High から Low)	$C_L = 15\text{pF}$	1.0	1.8	3.5	ns
t_{PLHD}	差動伝搬遅延 (Low から High)	$V_{ID} = 200\text{mV}$	1.0	1.7	3.5	ns
t_{SKD1}	差動パルス スキュー $ t_{PHLD} - t_{PLHD} $ ⁽³⁾	(図 1-1 および図 1-1)	0	100	400	ps
t_{SKD3}	差動部品間スキュー ⁽⁴⁾		0	0.3	1.0	ns
t_{SKD4}	差動部品間スキュー ⁽⁵⁾		0	0.4	1.5	ns
t_{TLH}	立ち上がり時間			350	800	ps
t_{THL}	立ち下がり時間			175	800	ps
f_{MAX}	最大動作周波数 ⁽⁶⁾		200	250		MHz

(1) C_L にはプローブと治具の容量が含まれます。

(2) 特に記述のない限り、すべてのテスト用のジェネレータ波形は $f = 1\text{MHz}$, $Z_O = 50\Omega$, t_r および t_f (0%~100%) $\leq 3\text{ns}$ ($\text{IN}\pm$) です。

(3) t_{SKD1} は、同じチャネルの正方向エッジと負方向エッジの差動伝搬遅延時間の大きさの差です。

(4) t_{SKD3} は部品間スキューで、デバイス間のあらゆるイベントの差動チャネル間スキューです。この仕様は、 V_{DD} が同じで動作温度範囲の差が 5°C 以内のデバイスに適用されます。

(5) t_{SKD4} は部品間スキューで、デバイス間のあらゆるイベントの差動チャネル間スキューです。この仕様は、推奨動作温度範囲、電圧範囲、プロセス分布全体に適用されます。 t_{SKD4} は $|\text{Max} - \text{Min}|$ 差動伝搬遅延として定義されます。

(6) f_{MAX} ジェネレータの入力条件: $t_r = t_f < 1\text{ns}$ (0%~100%), 50% デューティサイクル、差動 (1.05V~1.35V ピークツーピーク)。出力条件: 60%/40% デューティサイクル、 V_{OL} (最大 0.4V), V_{OH} (最小 2.4V), 負荷 = 15pF (浮遊およびプローブ)。このパラメータは設計により保証されています。この制限値は、PVT 範囲全体でのデバイスの統計分析と遷移時間 (t_{TLH} および t_{THL}) に基づいています。

5 パラメータ測定情報

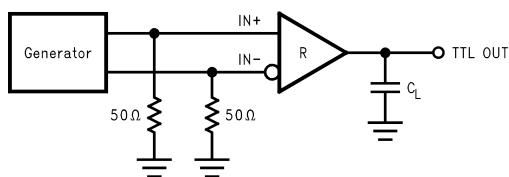


図 5-1. レシーバの伝搬遅延および遷移時間のテスト回路

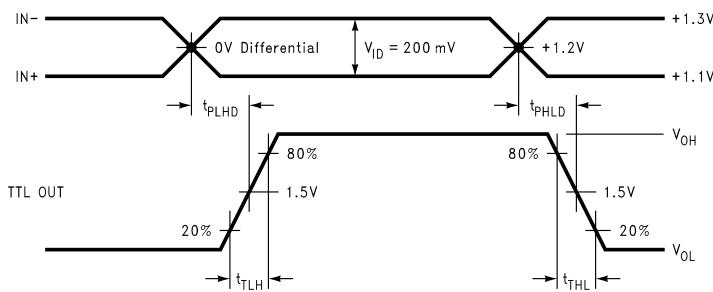


図 5-2. レシーバの伝搬遅延と遷移時間の波形

6 詳細説明

6.1 機能ブロック図

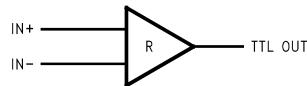


図 6-1. DS90LV012A の上面図

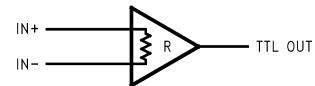


図 6-2. DS90LT012A の上面図

6.2 機能説明

6.2.1 終端

DS90LV012A:

伝送ラインの差動インピーダンスに最適な終端抵抗を使用します。抵抗は 90Ω ～ 130Ω の間にする必要があります。電流モード出力には、差動電圧を生成するため、終端抵抗が必要であることに注意してください。LVDS は抵抗終端なしでは動作しません。通常は、レシーバ側のペアの間に 1 つの抵抗を接続するだけで十分です。

表面実装の 1%～2% の抵抗が最適です。PCB スタブ、部品のリード線、および終端からレシーバ入力までの距離は、最小限に抑える必要があります。終端抵抗とレシーバの間の距離は < 10mm (最大 12mm) にする必要があります。

DS90LT012A:

DS90LT012A は、ポイントツー ポイント アプリケーション用の終端抵抗を内蔵しています。抵抗値は 90Ω ～ 133Ω です。

6.2.2 スレッショルド

LVDS 規格 (ANSI/TIA/EIA-644-A) では、LVDS レシーバの最大スレッショルドとして $\pm 100mV$ が規定されています。DS90LV012A および DS90LT012A は、 $-100mV$ ～ $0V$ の拡張スレッショルド領域をサポートしています。これはフェイルセーフ バイアスに役立ちます。図 1-1 の電圧伝達曲線 (VTC) にスレッショルド領域を示します。標準的な DS90LV012A または DS90LT012A LVDS レシーバは、約 $-30mV$ でスイッチします。 $V_{ID} = 0V$ の場合、出力は High 状態になることに注意してください。 $+25mV$ の外部フェイルセーフ バイアスを印加すると、標準的な差動ノイズ マージンはスイッチ点からバイアス点までの差になります。以下の例では、差動ノイズ マージン (DNM) は $55mV$ ($+25mV$ - $(-30mV)$) になります。スレッショルド領域が $-100mV$ ～ $0V$ に拡張されているため、($0V$ を基準とした) $+25mV$ の小さな外部フェイルセーフ バイアスにより、DNM が十分な $55mV$ となります。 $\pm 100mV$ の標準スレッショルド領域では、外部フェイルセーフ バイアスは $+100mV$ または $+125mV$ に対して $+25mV$ にする必要があります。これにより、DS90LV012A または DS90LT012A に必要な強力なフェイルセーフ バイアスである $155mV$ の DNM が得られます。より広い DNM が必要な場合、抵抗値を変更することで、より強力なフェイルセーフ バイアス点を設定できます。

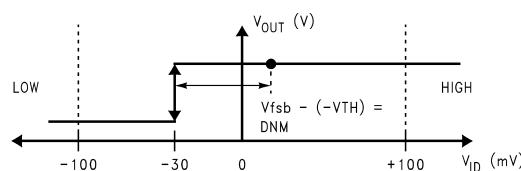


図 6-3. DS90LV012A および DS90LT012A LVDS レシーバの VTC

6.2.3 フェイルセーフ機能

LVDS レシーバは、小さな差動信号 (20mV) を CMOS ロジック レベルまで増幅する高ゲインの高速デバイスです。レシーバのゲインが高く、スレッショルドが厳密であるため、ノイズが有効な信号として認識されないように注意する必要があります。

レシーバ内部のフェイルセーフ回路は、少量の電流をソース / シンクするように設計されており、レシーバ入力のフローティング、終端、短絡に対してフェイルセーフ保護 (High 出力電圧の安定した既知の状態) を供給します。

- 開放入力ピン。** DS90LV012A と DS90LT012A はシングル レシーバ デバイスです。レシーバ入力をグランドまたは電源電圧に接続する必要はありません。内部フェイルセーフ回路により、開放入力に対しても、出力は安定した High 状態になります。
- 終端された入力。** ドライバが切断された (ケーブルが外された) 場合、またはドライバが電源オフ状態の場合、入力ピン間にケーブル端の 100Ω 終端抵抗があっても、レシーバ出力は High 状態になります。接続されていないケーブルはフローティング アンテナとなり、ノイズを拾う可能性があります。ケーブルが $10mV$ を超える差動ノイズを拾った場合、レシーバはそのノイズを有効な信号と見なし、スイッチする可能性があります。ノイズが差動ではなく同相として認識されるように、平衡型相互接続を使用する必要があります。ツイストペアケーブルは、フラットリボンケーブルよりも平衡性に優れています。
- 短絡入力。** フォルト条件が発生してレシーバの入力が互いに短絡し、 $0V$ の差動入力電圧が発生した場合、レシーバの出力は High 状態に維持されます。短絡入力フェイルセーフは、デバイスの同相範囲 ($GND \sim 2.4V$) 全体でサポートされているわけではありません。入力が短絡され、外部同相電圧が印加されていない場合にのみサポートされます。

ノイズ レベルが高い場合は、(バイアスを強くするために) 値の小さい外付けプルアップおよびプルダウン抵抗を使用してフェイルセーフを強化できます。ドライバへの負荷と波形の歪みを最小限に抑えるため、プルアップおよびプルダウン抵抗は $5k\Omega \sim 15k\Omega$ の範囲にする必要があります。内部回路との互換性を確保するには、同相バイアス点を約 $1.2V$ ($1.75V$ 未満) に設定する必要があります。

DS90LV012A および DS90LT012A は元の ANSI EIA/TIA-644 仕様に準拠しており、新しく追加された ΔI_{IN} 仕様を除き、新しい ANSI EIA/TIA-644-A 仕様にも準拠しています。内部フェイルセーフ回路のため、 ΔI_{IN} は規定された $6\mu A$ の最大値を満たすことができません。使用するレシーバが 10 個以下であれば、この例外は関係しません。

LVDS デバイスのフェイルセーフ バイアスの詳細については、AN-1194 ([SNLA051](#)) を参照してください。

6.2.4 LVDS 伝送ラインのプローブ

必ず広帯域幅 (1GHz) スコープの高インピーダンス ($> 100k\Omega$)、低静電容量 ($< 2 pF$) スコープ プローブを使用してください。不適切なプローブを使用すると、結果が誤ったものになります。

6.3 デバイスの機能モード

表 6-1. 真理値表

入力	出力
$[IN+] - [IN-]$	TTL OUT
$V_{ID} \geq 0V$	H
$V_{ID} \leq -0.1V$	L
フル フェイルセーフ、開放 / 短絡または終端	H

7 アプリケーションと実装

注

以下のアプリケーションに関するセクションの情報は、テキサス・インスツルメンツの部品仕様の一部ではなく、テキサス・インスツルメンツはこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

一般的なアプリケーションのガイドラインと、LVDS ドライバおよびレシーバ用のヒントについては、以下のアプリケーションノートを参照してください。『LVDS オーナー マニュアル』([SNLA187](#))、AN-808 ([SNLA028](#))、AN-977 ([SNLA166](#))、AN-971 ([SNLA165](#))、AN-916 ([SNLA219](#))、AN-805 ([SNOA233](#))、AN-903 ([SNLA034](#))。

LVDS ドライバとレシーバは主に、単純なポイントツー ポイント構成で使用することを意図しています。この構成により、ドライバの高速エッジ レートでクリーンな信号伝達環境が実現します。レシーバは平衡型媒体を介してドライバに接続されます。平衡型媒体には、標準のツイストペアケーブル、パラレルペアケーブル、または単純な PCB トレースを使用できます。通常、この媒体の特性インピーダンスは 100Ω です。この媒体と一致するように 100Ω の終端抵抗を選択する必要があります。これをレシーバの入力ピンのできるだけ近くに配置します。終端抵抗はドライバ出力 (電流モード) を電圧に変換し、それをレシーバが検出します。マルチ レシーバ構成など他の構成も可能ですが、ミッドストリーム コネクタ、ケーブルスタブ、その他のインピーダンス不連続性、グランドシフト、ノイズマージンの制限、合計終端負荷の影響を考慮する必要があります。

DS90LV012A および DS90LT012A 差動ライン レシーバは、 $+1.2V$ を中心とする $\pm 1V$ の同相範囲で、最小 $100mV$ の信号を検出できます。これはドライバのオフセット電圧に関係しており、通常は $+1.2V$ です。駆動信号はこの電圧を中心としており、この中心点から $\pm 1V$ シフトすることがあります。 $\pm 1V$ のシフトは、ドライバのグランド基準電圧とレシーバのグランド基準電圧のグランド電位差、結合ノイズの同相効果、またはこれら 2 つの組み合わせが原因で発生する可能性があります。両方のレシーバ入力ピンの AC パラメータは、 $0V \sim +2.4V$ (各ピンからグランドまで測定) の推奨動作入力電圧範囲に対して最適化されています。本デバイスは V_{DD} までのレシーバ入力電圧で動作しますが、 V_{DD} を超えると ESD 保護回路がオンになり、バス電圧がクランプされます。

7.2 代表的なアプリケーション

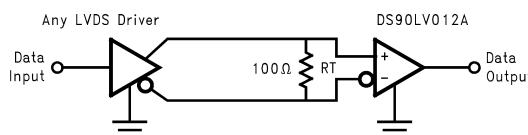


図 7-1. 平衡型システムの ポイントツー ポイント アプリケーション (DS90LV012A)

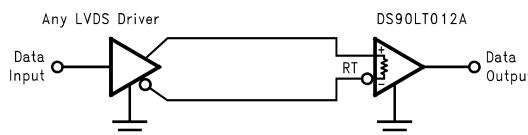


図 7-2. 平衡型システムの ポイントツー ポイント アプリケーション (DS90LT012A)

8 電源に関する推奨事項

電源ピンにはバイパス コンデンサを使用する必要があります。0.1 μ F および 0.001 μ F の高周波セラミック コンデンサ (表面実装を推奨) を電源ピンに並列に使用し、値が小さい方のコンデンサをデバイスの電源ピンの近くに配置します。プリント基板上に追加のコンデンサを分散させて配置すると、デカップリングが改善します。デカップリング コンデンサを電源プレーンに接続するには、複数のビアを使用する必要があります。10 μ F (35V) 以上のソリッド タンタル コンデンサを、プリント基板の電源とグランドの間の電源供給点に接続する必要があります。

9 レイアウト

9.1 レイアウトのガイドライン

少なくとも 4 つの PCB 基板層を使用し、上層から下層に向かって LVDS 信号、グランド、電源、TTL 信号の順に配置します。

TTL 信号を LVDS 信号から絶縁します。そうしないと、TTL 信号が LVDS ラインに結合する可能性があります。TTL および LVDS 信号は、電源 / グランド プレーンで絶縁された異なる層に配置するのが最善です。

ドライバとレシーバは、(LVDS ポート側の) コネクタのできるだけ近くに配置します。

WSON パッケージのプリント基板の考慮事項については、アプリケーション ノート AN-1187『リードレスリードフレーム パッケージ』(SNOA401) を参照してください。シグナル インテグリティを最適化する (ジッタおよびノイズ結合を最小限に抑える) には、WSON サーマル ランド パッド (パッケージの下に配置される金属 (通常は銅) の長方形領域) をグランドに接続し、PCB 上の露出パッドの寸法と一致させる (1:1 の比率にする) 必要があることに注意してください。

9.2 差動トレース

使用する伝送媒体 (ケーブル) と終端抵抗の差動インピーダンスに一致する、制御されたインピーダンストレースを使用します。IC からの差動ペアのトレース ラインは、お互いにできるだけ近づけて配線します (スタブの長さは < 10mm にする必要があります)。これにより、反射を除去し、ノイズを同相として結合させることができます。実際、1mm 間隔の差動信号は、3mm 間隔のトレースよりも放射ノイズが大幅に少なくなることが観察されています。これは、トレース同士が近いほうが磁界が良好に打ち消されるためです。さらに、差動ラインに誘起されるノイズが同相ノイズとして現れる可能性がはるかに高くなり、レシーバによって除去されます。

トレース間の電気的長さを一致させることで、スキューを低減します。ペアの信号間のスキューは位相差を意味し、差動信号が磁界を打ち消す利点が損なわれるため、EMI が発生します (伝搬速度 $v = c/E_r$ で、 c (光の速度) = 0.2997mm/ps または 0.0118 in/ps です)。差動トレースを配線する際に自動配線機能のみに頼らないでください。差動インピーダンスに一致するように寸法を慎重に確認し、差動ラインを絶縁します。ライン上のビアやその他の不連続性の数は最小限に抑えます。

90° の曲げは避けてください (インピーダンスの不連続性の原因となります)。円弧または 45° の角度を使用します。

1 つのトレース ペア内では、レシーバの同相除去を維持するため、2 つのトレース間の距離を最小限にする必要があります。プリント基板では、差動インピーダンスの不連続性を避けるため、この距離を一定に保つ必要があります。接続点での微細な違反は許容されます。

9.3 ケーブルとコネクタ、一般的なコメント

LVDS 用のケーブルとコネクタを選択する際には、次のことに注意することが重要です。

制御インピーダンス媒体を使用します。使用するケーブルとコネクタの差動インピーダンスは、約 100 Ω に調整する必要があります。インピーダンスが大きく不連続になるのを避ける必要があります。

平衡型ケーブル (ツイスト ペアなど) は通常、ノイズ低減と信号品質向上において、不平衡型ケーブル (リボン ケーブル、シンプルな同軸ケーブル) よりも優れています。平衡型ケーブルを使用すると、磁界の打ち消し効果により EMI が低減され、また、電磁放射が同相 (差動モードでない) ノイズとして拾われる傾向にあり、これはレシーバによって除去されます。

ケーブル距離を < 0.5M にすると、ほとんどのケーブルを効果的に使用できます。距離が 0.5M $\leq d \leq 10M$ の場合、CAT 3 (カテゴリ 3) のツイスト ペア ケーブルが良好に動作します。さらにこのケーブルは入手しやすく、比較的安価です。

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

Changes from Revision D (April 2013) to Revision E (March 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

Changes from Revision C (March 2008) to Revision D (April 2013)	Page
ナショナル セミコンダクターのデータシートのレイアウトをテキサス・インスツルメンツ形式に変更.....	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定したデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、左側のナビゲーションを参照してください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DS90LT012ATMF/NOPB	Active	Production	SOT-23 (DBV) 5	1000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	N03
DS90LT012ATMF/NOPB.A	Active	Production	SOT-23 (DBV) 5	1000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	N03
DS90LV012ATMF/NOPB	Active	Production	SOT-23 (DBV) 5	1000 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	N02
DS90LV012ATMF/NOPB.A	Active	Production	SOT-23 (DBV) 5	1000 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	N02
DS90LV012ATMF/NOPB.B	Active	Production	SOT-23 (DBV) 5	1000 SMALL T&R	-	Call TI	Call TI	-40 to 85	
DS90LV012ATMFX/NO.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	N02
DS90LV012ATMFX/NO.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	-	Call TI	Call TI	-40 to 85	
DS90LV012ATMFX/NOPB	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	N02

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

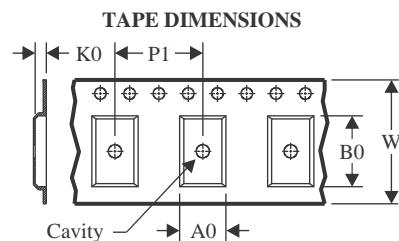
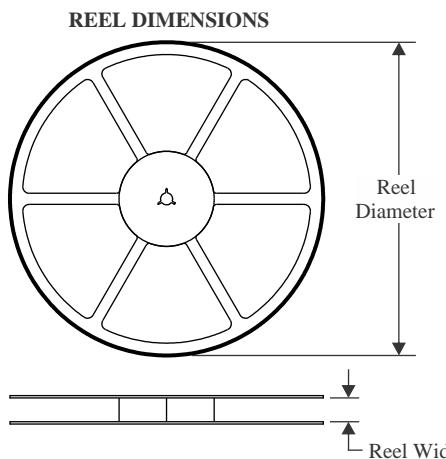
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

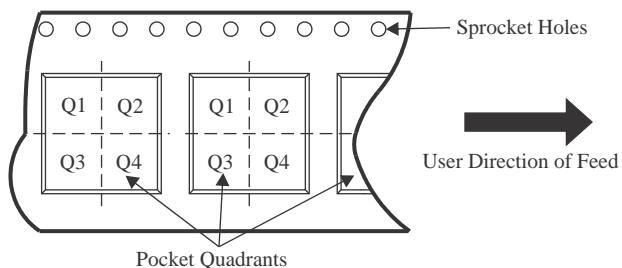
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

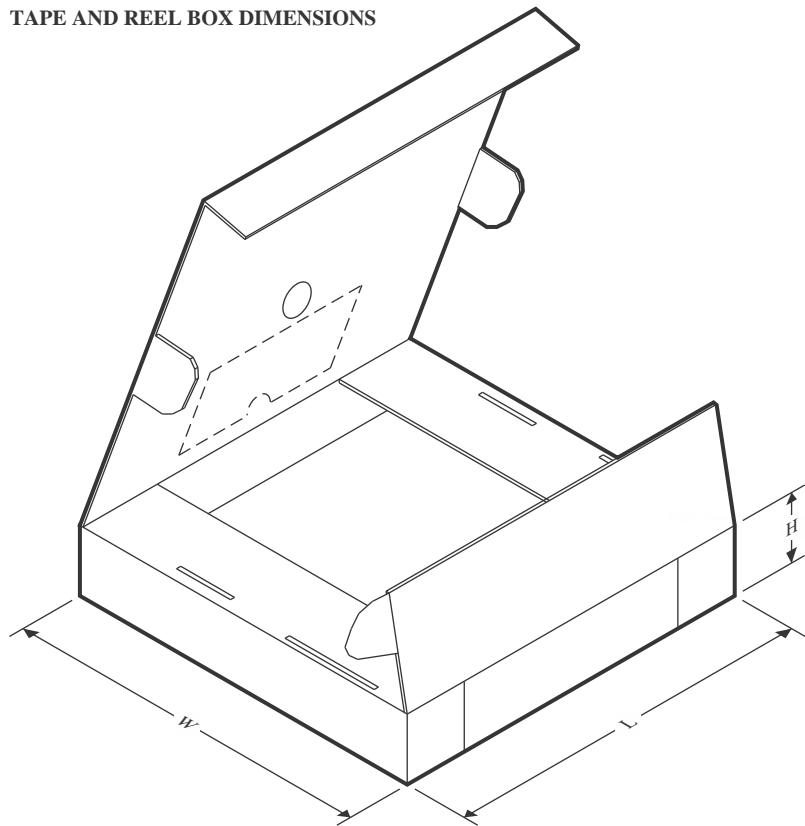
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DS90LT012ATMF/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
DS90LV012ATMF/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
DS90LV012ATMF/NOPB	SOT-23	DBV	5	1000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
DS90LV012ATMFX/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
DS90LV012ATMFX/NOPB	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DS90LT012ATMF/NOPB	SOT-23	DBV	5	1000	210.0	185.0	35.0
DS90LV012ATMF/NOPB	SOT-23	DBV	5	1000	210.0	185.0	35.0
DS90LV012ATMF/NOPB	SOT-23	DBV	5	1000	210.0	185.0	35.0
DS90LV012ATMFX/NOPB	SOT-23	DBV	5	3000	210.0	185.0	35.0
DS90LV012ATMFX/NOPB	SOT-23	DBV	5	3000	210.0	185.0	35.0

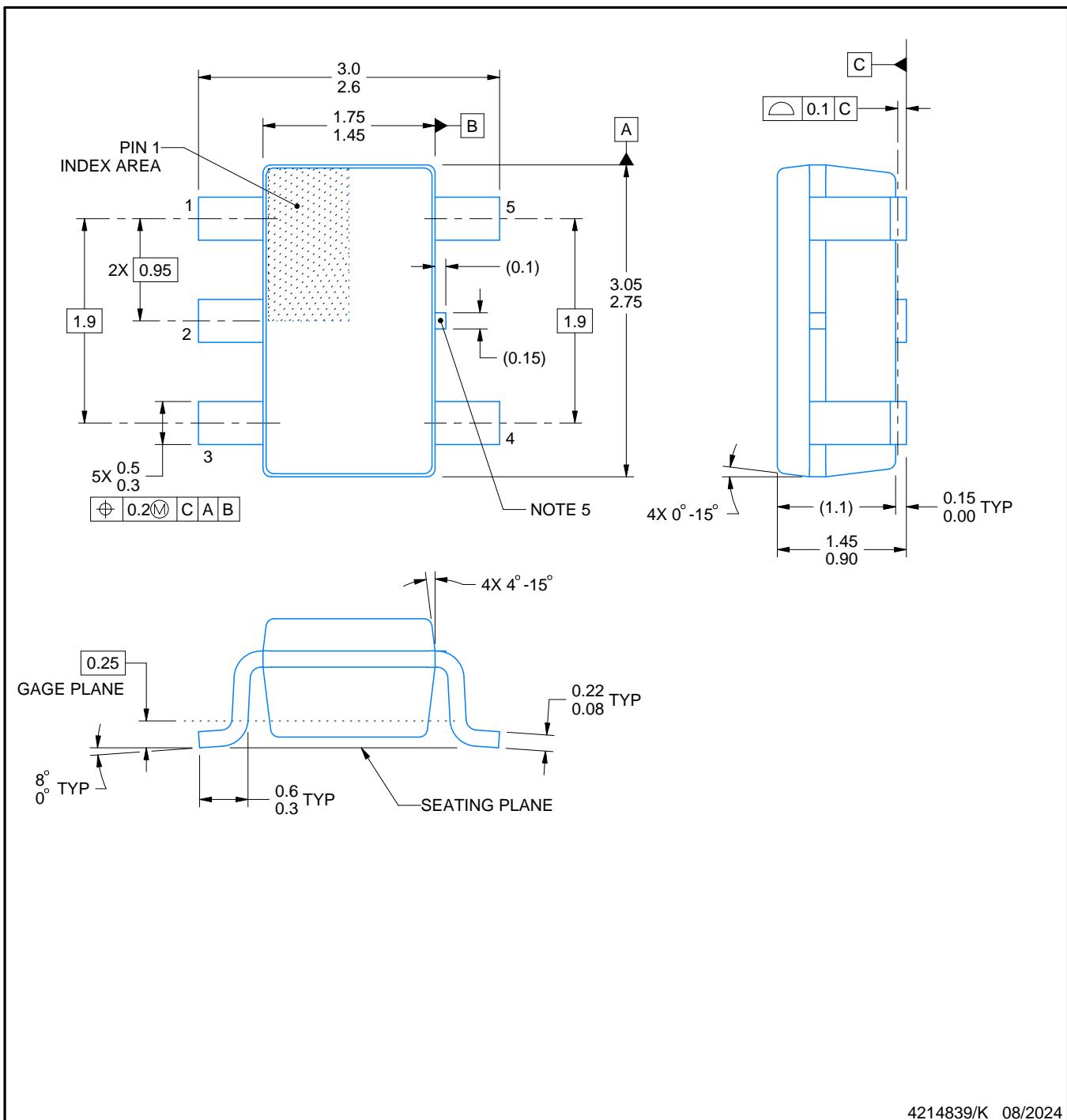
PACKAGE OUTLINE

DBV0005A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

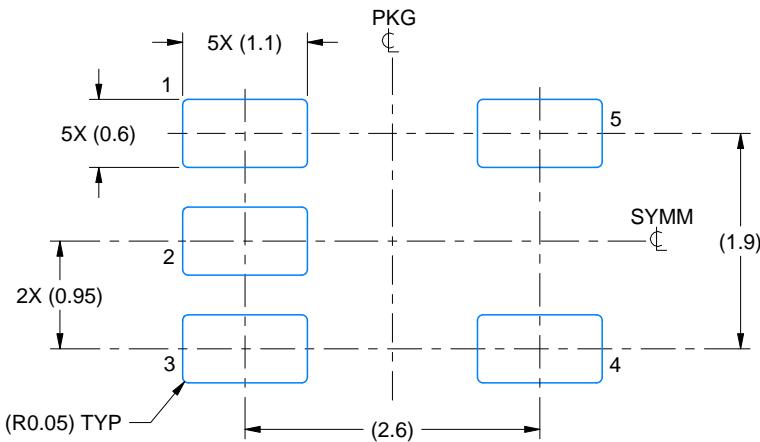
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

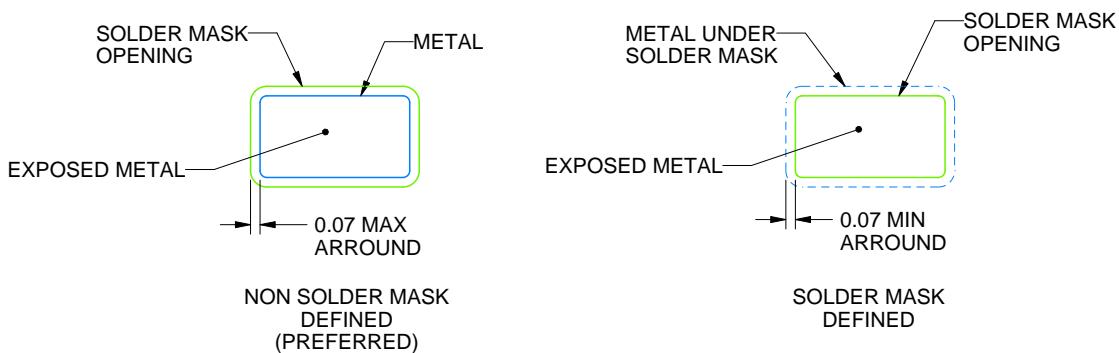
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

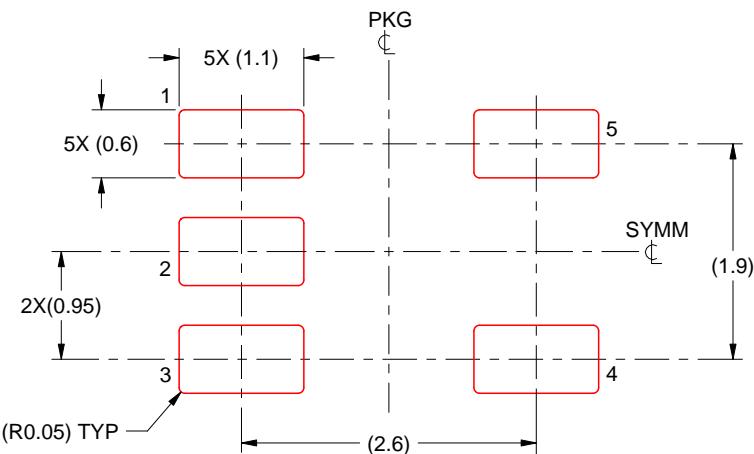
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月