

DRV8962 電流検出出力を持つ4チャネル・ハーフブリッジ・ドライバ

1 特長

- 4チャネルのハーフブリッジ・ドライバ
 - 各ハーフブリッジの独立制御
- **4.5V~65V** の動作電源電圧範囲
- 低い $R_{DS(ON)}$: FETごとに **50mΩ** (24V, 25°C)
- 大電流能力:
 - DDW パッケージ: 出力ごとに最大 **5A**
 - DDV パッケージ: 出力ごとに最大 **10A**
- さまざまな種類の負荷を駆動可能
 - 最大 4つのソレノイドまたはバルブ
 - 1つのステッパ・モータ
 - 2つのブラシ付き DC モータ
 - 1つまたは 2つの熱電冷却器 (TEC)
 - 1つの 3相ブラシレス DC モータ
 - 1つの 3相永久磁石同期モータ (PMSM)
- 電流検出およびレギュレーション機能を内蔵
 - 複数のハイサイド MOSFET 間にまたがる電流検出
 - 各ハーフブリッジの検出出力 (**IPROPI**)
 - 最大電流時に **±3.5%** の検出精度
 - オプションの外部検出抵抗
- 次のデバイスとピン互換
 - **DRV8952:55V**, 4チャネルのハーフブリッジ・ドライバ
- 独立したロジック電源電圧 (**VCC**)
- 出力立ち上がり / 立ち下がり時間をプログラム可能
- フォルトからの回復方法をプログラム可能
- 1.8V, 3.3V, 5.0V のロジック入力をサポート
- 低消費電流のスリープ・モード (3μA)
- 保護機能
 - VM 低電圧誤動作防止 (UVLO)
 - チャージ・ポンプ低電圧検出 (CPUV)
 - 過電流保護 (OCP)
 - サーマル・シャットダウン (OTSD)
 - フォルト条件出力 (nFAULT)

2 アプリケーション

- ファクトリ・オートメーション、ステッパ・ドライブ、ロボット
- 医療用画像処理、診断、および機器
- 舞台照明
- PLC
- TEC ドライバ
- BLDC モーター・モジュール
- ブラシ付き DC およびステッパ・モーター・ドライバ

3 概要

DRV8962 は広い電圧範囲に対応した大電力、4チャネル、ハーフブリッジ・ドライバで、さまざまな産業用アプリケーションに適しています。このデバイスは最大 65V の電源電圧をサポートし、オン抵抗が 50mΩ の MOSFET を内蔵しているため、DDW パッケージでは最大 5A、DDV パッケージでは最大 10A の電流を出力ごとに供給できます。

このデバイスは、最大 4つのソレノイドまたはバルブ、1つのステッパ・モータ、2つのブラシ付き DC モータ、1つの BLDC または PMSM モータ、および最大 2つの熱電冷却器 (ペルチェ素子) の駆動に使用できます。このデバイスの出力段は、4つの独立したハーフブリッジとして構成された N チャネル・パワー MOSFET、チャージ・ポンプ・レギュレータ、電流検出およびレギュレーション回路、電流検出出力、保護回路で構成されます。

ハイサイド MOSFET の両端に電流検出機能が内蔵されているため、負荷を出力からグランドに接続したときに電流をレギュレートできます。可変の外部電圧リファレンス (VREF) により、レギュレーションの電流制限を設定できます。さらに、このデバイスには 4つの比例電流出力ピンがあり、ハーフブリッジ ハイサイド FET ごとに 1つずつ接続されています。オプションの外部検出抵抗を、PGND ピンからシステム・グランドに接続することもできます。

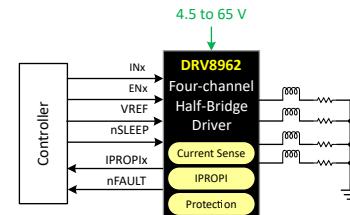
低消費電力のスリープ・モードにより、非常に低い静止消費電流を実現できます。保護機能として、電源低電圧誤動作防止 (UVLO)、チャージ・ポンプ低電圧検出 (CPUV)、出力過電流検出 (OCP)、デバイス過熱検出 (OTSD) が内蔵されています。

表 3-1. 製品情報⁽¹⁾

部品番号	パッケージ ⁽¹⁾	パッケージ・サイズ ⁽²⁾
DRV8962DDWR	HTSSOP (44), 底面露出パッド	14mm × 8.1mm
DRV8962DDVR	HTSSOP (44), 上面露出パッド	14mm × 8.1mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピントも含まれます。



DRV8962 の概略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLVSVF6](#)

目次

1 特長	1	7.11 デバイスの機能モード	23
2 アプリケーション	1	8 アプリケーションと実装	25
3 概要	1	8.1 アプリケーション情報	25
4 改訂履歴	2	9 パッケージの熱に関する考慮事項	38
5 ピン構成および機能	3	9.1 DDW パッケージ	38
6 仕様	6	9.2 DDV パッケージ	41
6.1 絶対最大定格	6	9.3 PCB 材料に関する推奨事項	42
6.2 ESD 定格	6	10 電源に関する推奨事項	43
6.3 推奨動作条件	6	10.1 バルク容量	43
6.4 熱に関する情報	7	10.2 電源	43
6.5 電気的特性	8	11 レイアウト	45
6.6 代表的な特性	10	11.1 レイアウトのガイドライン	45
7 詳細説明	13	11.2 レイアウト例	45
7.1 概要	13	12 デバイスおよびドキュメントのサポート	46
7.2 機能ブロック図	14	12.1 関連資料	46
7.3 機能説明	15	12.2 ドキュメントの更新通知を受け取る方法	46
7.4 独立のハーフブリッジ動作	15	12.3 サポート・リソース	46
7.5 電流検出と電流レギュレーション	16	12.4 商標	46
7.6 チャージ・ポンプ	19	12.5 静電気放電に関する注意事項	46
7.7 リニア電圧レギュレータ	20	12.6 用語集	46
7.8 VCC 電圧電源	21	13 メカニカル、パッケージ、および注文情報	47
7.9 ロジック・レベル・ピンの図	21	13.1 テープおよびリール情報	54
7.10 保護回路	21		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (March 2023) to Revision B (October 2023)	Page
• DDV パッケージ・オプションを追加。	1
• LDO ドロップアウトおよび VREF リーク電流の仕様を更新	8
• DVDD および CPH-CPL コンデンサの値を更新	8

Changes from Revision * (August 2022) to Revision A (March 2023)	Page
• デバイス・ステータスを「事前情報」から「量産データ」に変更。	1

5 ピン構成および機能

DRV8962 は、熱的に強化された 44 ピン HTSSOP パッケージで供給されます。

- DDW パッケージは、デバイスの底面に PowerPAD™ が含まれています。
- DDV パッケージは、デバイスの上面に PowerPAD™ が含まれており、ヒートシンクとの熱結合が可能です。

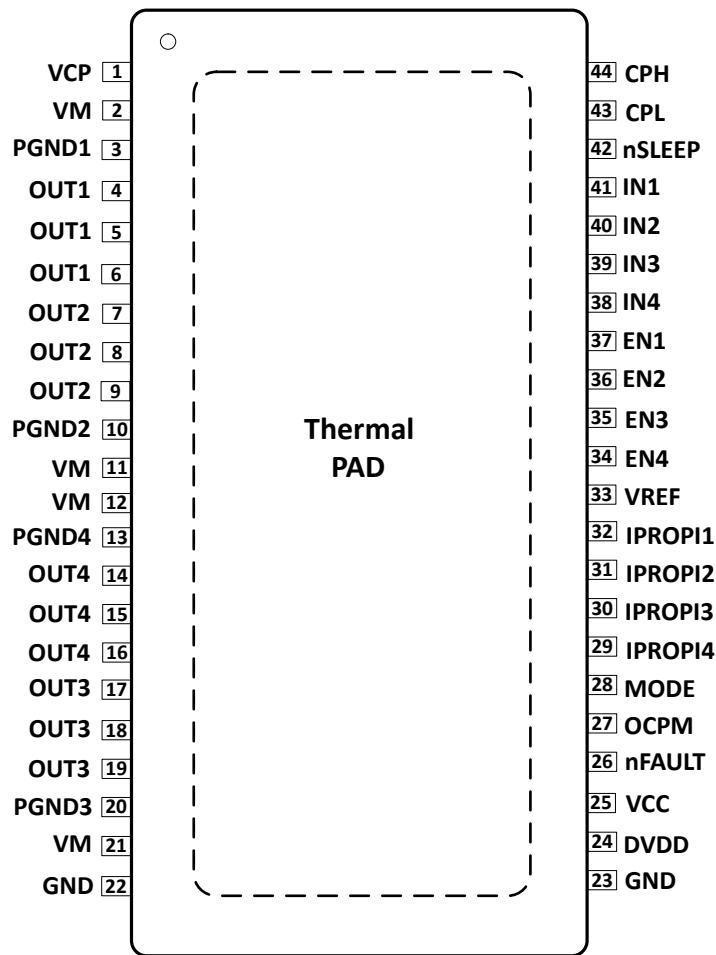


図 5-1. DDW パッケージ、上面図

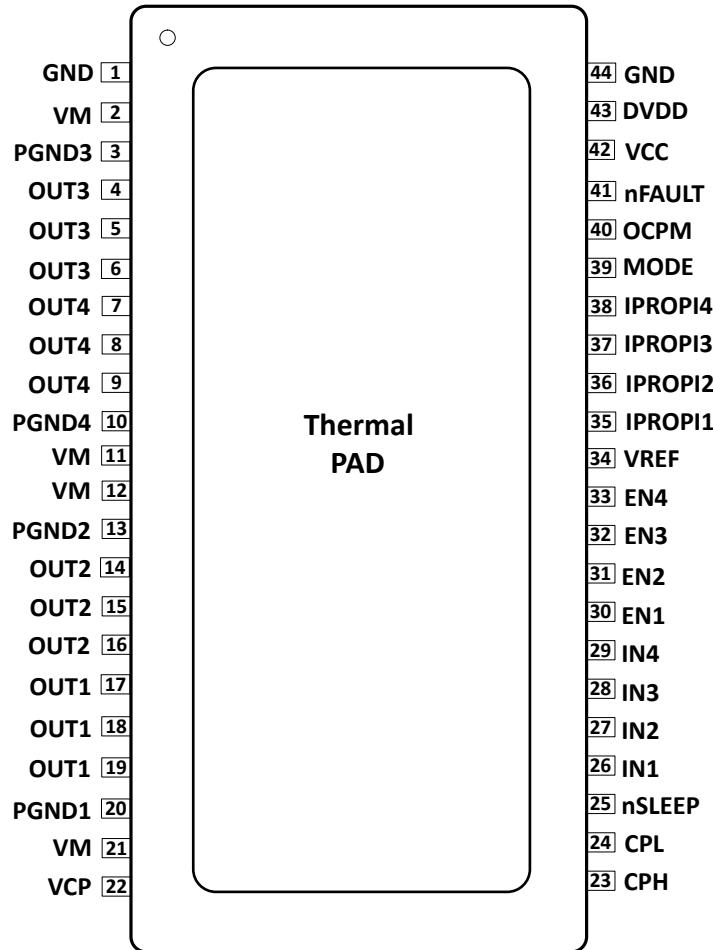


図 5-2. DDV パッケージ、上面図

ピン			タイプ	説明
名称	DDW	DDV		
VCP	1	22	電源	チャージ・ポンプの出力。X7R、1μF、16V セラミック・コンデンサを VCP と VM との間に接続します。
VM	2、11、12、 21	2、11、12、 21	電源	電源。モーターの電源電圧に接続し、VM 定格の 0.01μF セラミック コンデンサと 1 つのバルク コンデンサを使用して、PGND ピンにバイパスします。
PGND1	3	20	電源	ハーフ・ブリッジ 1 の電源グランド。システム・グランドに接続します。
PGND2	10	13	電源	ハーフ・ブリッジ 2 の電源グランド。システム・グランドに接続します。
PGND3	20	3	電源	ハーフ・ブリッジ 3 の電源グランド。システム・グランドに接続します。
PGND4	13	10	電源	ハーフ・ブリッジ 4 の電源グランド。システム・グランドに接続します。
OUT1	4、5、6	17、18、19	出力	負荷ピンに接続します。
OUT2	7、8、9	14、15、16	出力	負荷端子に接続します。
OUT3	17、18、19	4、5、6	出力	負荷端子に接続します。
OUT4	14、15、16	7、8、9	出力	負荷端子に接続します。
IPROPI1	32	35	出力	ハーフ ブリッジ 1 の電流検出出力。
IPROPI2	31	36	出力	ハーフ ブリッジ 2 の電流検出出力。
IPROPI3	30	37	出力	ハーフ ブリッジ 3 の電流検出出力。

ピン			タイプ	説明
名称	DDW	DDV		
IPROPI4	29	38	出力	ハーフ ブリッジ 4 の電流検出出力。
EN1	37	30	入力	ハーフ ブリッジ 1 のイネーブル入力。
EN2	36	31	入力	ハーフ ブリッジ 2 のイネーブル入力。
EN3	35	32	入力	ハーフ ブリッジ 3 のイネーブル入力。
EN4	34	33	入力	ハーフ ブリッジ 4 のイネーブル入力。
IN1	41	26	入力	ハーフ ブリッジ 1 の PWM 入力。
IN2	40	27	入力	ハーフ ブリッジ 2 の PWM 入力。
IN3	39	28	入力	ハーフ ブリッジ 3 の PWM 入力。
IN4	38	29	入力	ハーフ ブリッジ 4 の PWM 入力。
GND	22, 23	1, 44	電源	デバイスのグランド。システム・グランドに接続します。
CPH	44	23	電源	チャージ・ポンプのスイッチング・ノード。X7R, 0.1μF, VM 定格のセラミック コンデンサを CPH と CPL の間に接続します。
CPL	43	24		
VREF	33	34	入力	電流レギュレーションのスレッショルドを設定するための電圧リファレンス入力。DVDD は分割抵抗を使用して VREF を供給できます。
DVDD	24	43	電源	内部 LDO 出力。X7R, 1μF, 6.3V または 10V 定格セラミック・コンデンサを GND との間に接続します。
VCC	25	42	電源	内部ロジック・ブロックの電源電圧。個別のロジック電源電圧が利用できない場合は、VCC ピンを DVDD ピンに接続します。
nFAULT	26	41	オープン・ドレイン	フォルト通知出力。フォルト条件のときにロジック Low にプルされます。オープン・ドレイン出力には、外付けのプルアップ抵抗が必要です。
MODE	28	39	入力	このピンは、出力の立ち上がり / 立ち下がり時間をプログラムします。
OCPM	27	40	入力	フォルトからの回復の方法を決定します。OCPM 電圧に応じて、フォルトからの回復はラッチオフまたは自動再試行タイプになります。
nSLEEP	42	25	入力	スリープ・モード入力。デバイスは、ロジック High でイネーブルになり、ロジック Low で低消費電力スリープ・モードに移行します。狭い nSLEEP リセット・パルスにより、ラッチされているフォルトがクリアされます。
PAD	-	-	-	サーマル・パッド。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

	最小値	最大値	単位
電源電圧 (VM)	-0.3	70	V
チャージ・ポンプ電圧 (VCP、CPH)	-0.3	$V_{VM} + 5.75$	V
チャージ・ポンプ負スイッチング・ピン (CPL)	-0.3	V_{VM}	V
nSLEEP ピン電圧 (nSLEEP)	-0.3	V_{VM}	V
内部レギュレータ電圧 (DVDD)	-0.3	5.75	V
外部ロジック電源 (VCC)	-0.3	5.75	V
IPROPI ピン電圧 (IPOPI)	-0.3	$DVDD + 0.3$	V
制御ピン電圧	-0.3	5.75	V
オープン・ドレイン出力電流 (nFAULT)	0	10	mA
基準入力ピン電圧 (VREF)	-0.3	5.75	V
PGNDx から GND への電圧	-0.5	0.5	V
PGNDx から GND への電圧、1μs 未満	-2.5	2.5	V
OUTx ピンの連続電圧	-1	$V_{VM} + 1$	V
過渡 100ns の OUTx ピン電圧	-3	$V_{VM} + 3$	V
ピーク駆動電流	内部的に制限		A
動作時の周囲温度、T _A	-40	125	°C
動作時の接合部温度、T _J	-40	150	°C
保管温度、T _{stg}	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレス定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) すべての電圧値は、回路のグランド端子 GND を基準としたものです。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ¹	±2000	V
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC22 JS-002 準拠 ²	角のピン その他のピン	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.5	V
V_I	ロジック・レベル入力電圧	0	V
V_{VCC}	VCC ピン電圧	3.05	V
V_{REF}	リファレンス電圧 (VREF)	0.05	V
f_{PWM}	印加される PWM 信号	0	kHz
I_{DDW}	出力あたりの電流、DDW パッケージ	0	A

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
I_{DDV}	出力あたりの電流、DDV パッケージ	0	10	A
T_A	動作時周囲温度	-40	125	°C
T_J	動作時接合部温度	-40	150	°C

6.4 热に関する情報

热評価基準		DDW	DDV	単位
$R_{\theta JA}$	接合部から周囲への热抵抗	22.2	44.2	°C/W
$R_{\theta JC (top)}$	接合部からケース (上面) への热抵抗	9.1	0.7	°C/W
$R_{\theta JB}$	接合部から基板への热抵抗	5.3	18.9	°C/W
Ψ_{JT}	接合部から上面への特性評価パラメータ	0.1	0.3	°C/W
Ψ_{JB}	接合部から基板への特性評価パラメータ	5.3	18.6	°C/W
$R_{\theta JC (bot)}$	接合部からケース (底面) への热抵抗	0.7	該当なし	°C/W

DDV パッケージの場合、露出したパッドがパッケージの上にあるため、 $R_{\theta JC (top)}$ が最も重要な熱抵抗パラメータです。

6.5 電気的特性

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VM、DVDD)						
I_{VM}	VM 動作電源電流	nSLEEP = 1、無負荷、VCC = 外部 5V		4	7	mA
		nSLEEP = 1、無負荷、VCC = DVDD		6	9	
I_{VMQ}	VM スリープ・モード電源電流	nSLEEP = 0		3	8	μA
t_{SLEEP}	スリープ時間	nSLEEP = 0 からスリープ・モードまで	120			μs
t_{RESET}	nSLEEP リセット・パルス	nSLEEP = Low でフォルトをクリア	20		40	μs
t_{WAKE}	ウェークアップ時間	nSLEEP = 1 で出力遷移		0.85	1.2	ms
t_{ON}	ターンオン時間	VM > UVLO で出力遷移		0.85	1.3	ms
V_{DVDD}	内部レギュレータ電圧	外部負荷なし、 $6\text{V} < V_{VM} < 65\text{V}$	4.75	5	5.25	V
		外部負荷なし、 $V_{VM} = 4.5\text{V}$	4.35	4.45		V
チャージ・ポンプ (VCP、CPH、CPL)						
V_{VCP}	VCP 動作電圧	$6\text{V} < V_{VM} < 65\text{V}$		$V_{VM} + 5$		V
$f_{(VCP)}$	チャージ・ポンプのスイッチング周波数	$V_{VM} > \text{UVLO}$, nSLEEP = 1		360		kHz
ロジック・レベル入力 (IN1、IN2、IN3、IN4、EN1、EN2、EN3、EN4、MODE、OCPM、nSLEEP)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧		1.5		5.5	V
V_{HYS}	入力ロジック・ヒステリシス (nSLEEP を除くすべてのピン)			100		mV
V_{HYS_nSLEEP}	nSLEEP ロジック・ヒステリシス			300		mV
I_{IL}	入力ロジック Low 電流	$V_{IN} = 0\text{V}$	-1		1	μA
I_{IH}	入力ロジック High 電流	$V_{IN} = DVDD$			50	μA
t_1	ENx High から OUTx High の遅延	$INx = 1$			2	μs
t_2	ENx Low から OUTx Low の遅延	$INx = 1$			2	μs
t_3	ENx High から OUTx Low の遅延	$INx = 0$			2	μs
t_4	ENx Low から OUTx High の遅延	$INx = 0$			2	μs
t_5	INx High から OUTx High の遅延			600		ns
t_6	INx Low から OUTx Low の遅延			600		ns
制御出力 (nFAULT)						
V_{OL}	出力ロジック Low 電圧	$I_O = 5\text{mA}$			0.35	V
I_{OH}	出力ロジック High リーク電流		-1		1	μA
モータ・ドライバ出力 (OUT1、OUT2、OUT3、OUT4)						
$R_{DS(ONH)}$	ハイサイド FET オン抵抗	$T_J = 25^\circ\text{C}$, $I_O = -5\text{A}$		53	62	mΩ
		$T_J = 125^\circ\text{C}$, $I_O = -5\text{A}$		70	101	mΩ
		$T_J = 150^\circ\text{C}$, $I_O = -5\text{A}$		80	112	mΩ
$R_{DS(ONL)}$	ローサイド FET オン抵抗	$T_J = 25^\circ\text{C}$, $I_O = 5\text{A}$		53	62	mΩ
		$T_J = 125^\circ\text{C}$, $I_O = 5\text{A}$		70	101	mΩ
		$T_J = 150^\circ\text{C}$, $I_O = 5\text{A}$		80	112	mΩ

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{RF}	出力立ち上がり / 立ち下がり時間	$I_O = 5\text{A}$, MODE = 1, 10%~90% の範囲		70		ns
		$I_O = 5\text{A}$, MODE = 0, 10%~90% の範囲		140		ns
t_D	出力デッドタイム	$VM = 24\text{V}$, $I_O = 5\text{A}$		300		ns
電流検出およびレギュレーション (IPROPI, VREF)						
A_{IPROPI}	電流ミラー・ゲイン			212		$\mu\text{A}/\text{A}$
A_{ERR}	電流ミラー・スケーリング誤差	定格電流の 10%~20%	-8		8	%
		定格電流の 20%~40%	-5		5	
		定格電流の 40%~100%	-3.5		3.5	
I_{VREF}	VREF リーク電流	$VREF = 3.3\text{V}$			50	nA
t_{OFF}	PWM オフ時間			17		μs
t_{DEG}	電流レギュレーション・グリッチ除去時間			0.5		μs
t_{BLK}	電流レギュレーション・ブランкиング時間			1.5		μs
t_{DELAY}	電流検出遅延時間			2		μs
保護回路						
V_{UVLO}	VM 低電圧誤動作防止 (UVLO)	VM 立ち下がり	4.1	4.23	4.35	V
		VM 立ち上がり	4.2	4.35	4.46	
VCC_{UVLO}	VCC 低電圧誤動作防止 (UVLO)	VCC 立ち下がり	2.7	2.8	2.9	V
		VCC 立ち上がり	2.8	2.92	3.05	
$V_{UVLO,HYS}$	低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		120		mV
V_{CPUV}	チャージ・ポンプ低電圧	VCP 立ち下がり		$V_{VM} + 2$		V
I_{OCP}	過電流保護	FET を流れる電流、DDW パッケージ	8			A
		FET を流れる電流、DDV パッケージ	16			A
t_{OCP}	過電流検出遅延			2.2		μs
t_{RETRY}	過電流リトライ時間			4.1		ms
T_{OTSD}	サーマル・シャットダウン	ダイ温度 T_J	150	165	180	°C
T_{HYS_OTSD}	サーマル・シャットダウン・ヒステリシス	ダイ温度 T_J		20		°C

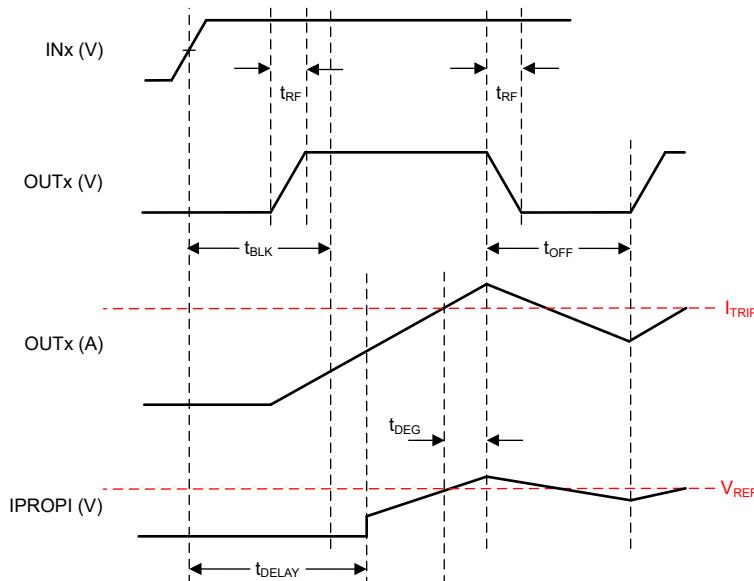


図 6-1. IPROPI のタイミング図

6.6 代表的な特性

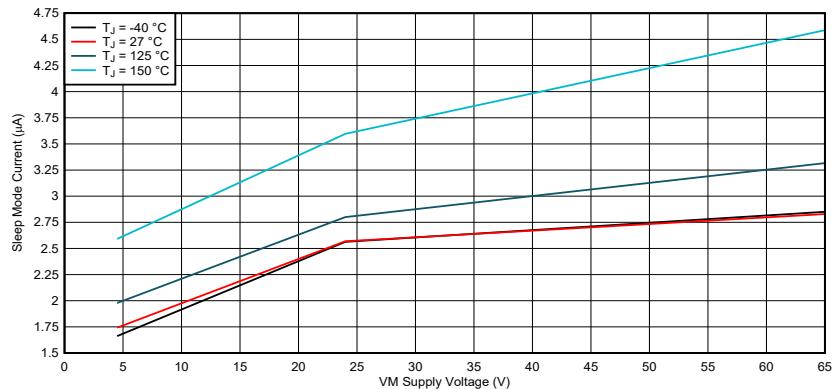


図 6-2. スリープ・モード消費電流

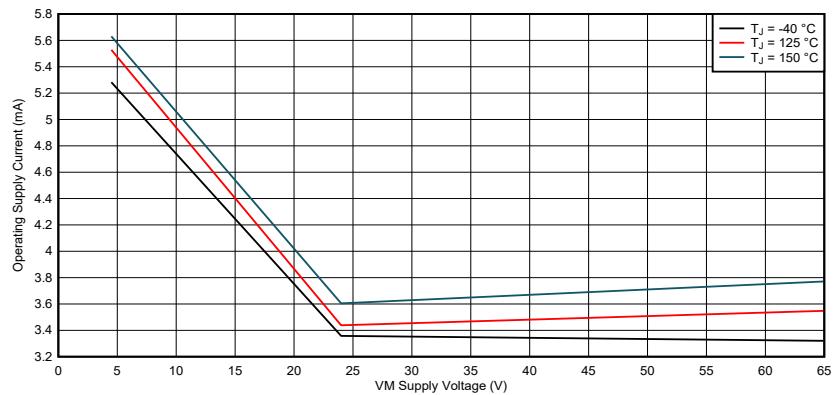


図 6-3. 動作消費電流、VCC = 外部 5V

6.6 代表的な特性

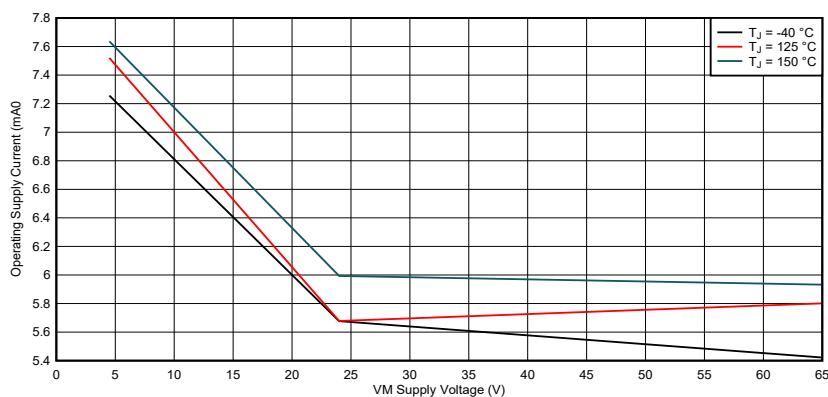


図 6-4. 動作消費電流、 $VCC = DVDD$

6.6 代表的な特性

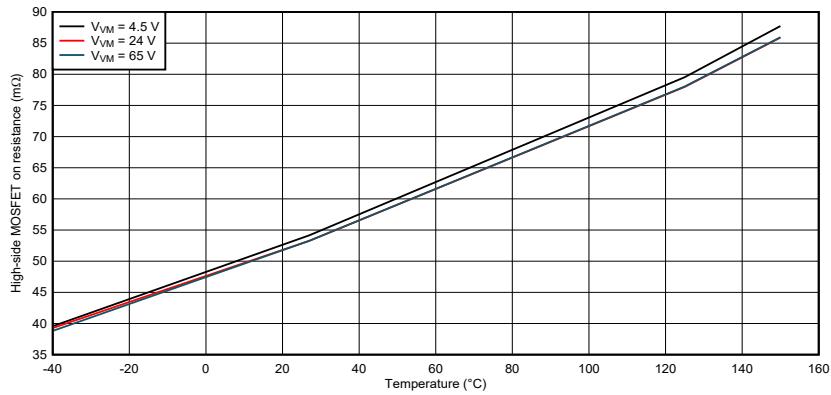


図 6-5. ハイサイド FET オン抵抗

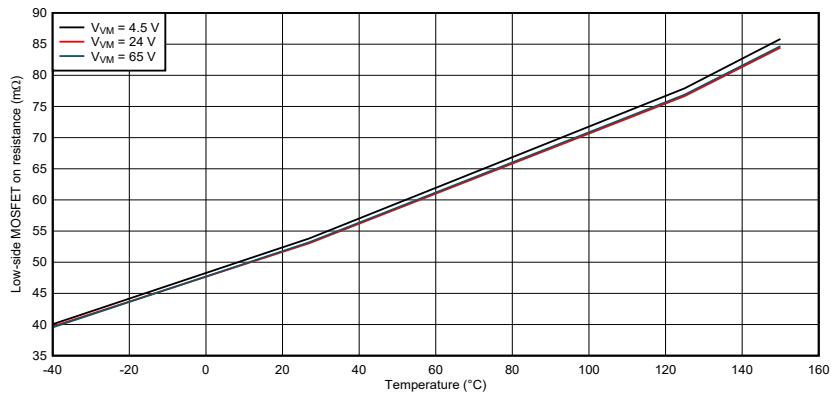


図 6-6. ローサイド FET オン抵抗

7 詳細説明

7.1 概要

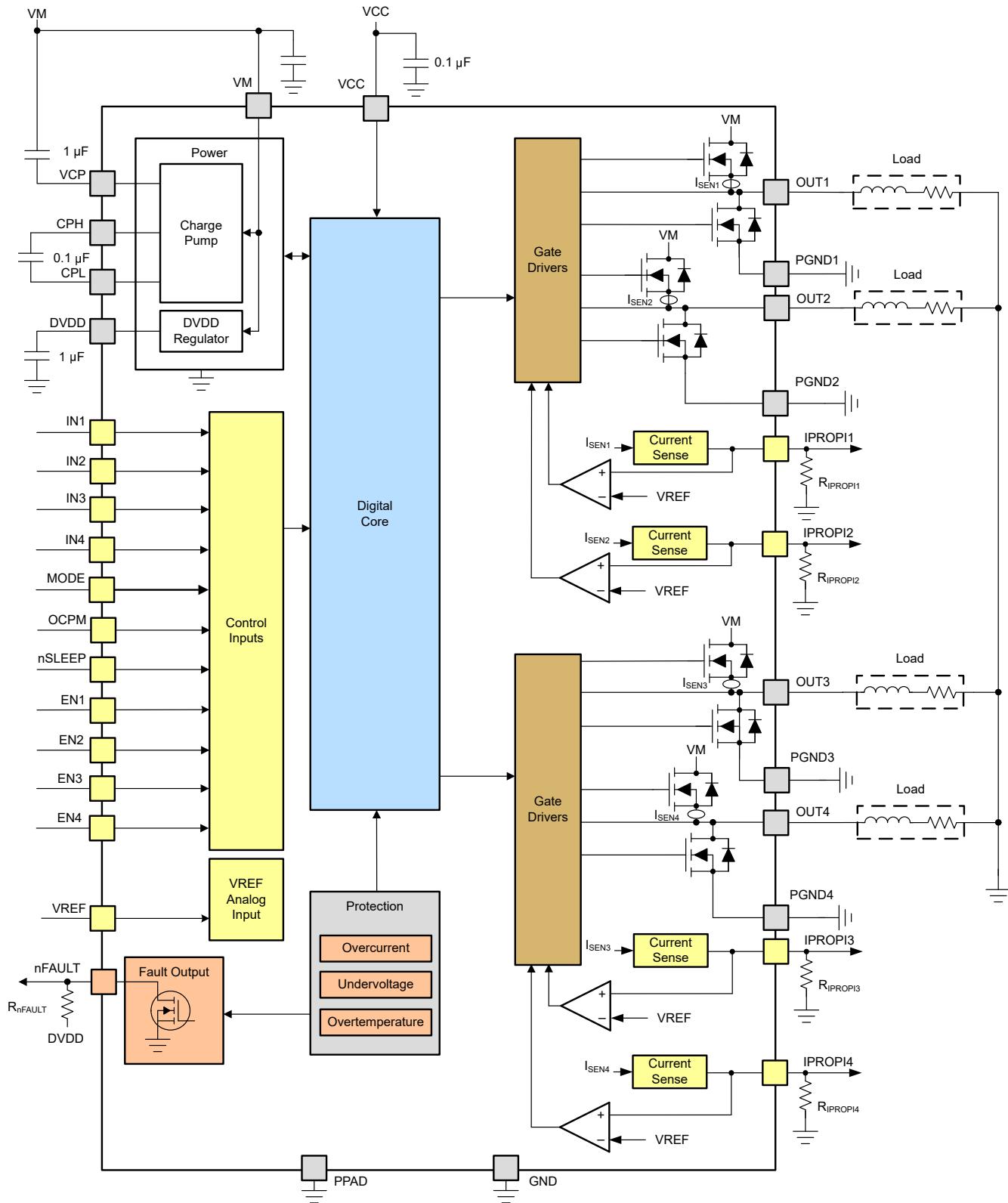
DRV8962 は 4 チャネルのハーフブリッジ・ドライバで、4.5V～65V で動作し、各種の負荷について広い範囲の負荷電流に対応しています。このデバイスは、4 つのハーフブリッジ出力電力段を内蔵しています。また、このデバイスはチャージ・ポンプ・レギュレータを内蔵しており、効率的なハイサイド N チャネル MOSFET と 100% デューティ・サイクル動作に対応しています。DRV8962 は、単一の電源入力 (VM) で動作できます。代わりに、VCC ピンを 2 番目の電源に接続し、内部ロジック・ブロックに電力を供給することもできます。nSLEEP ピンにより、超低消費電力モードに移行して、スリープ時の消費電流を最小限に抑えることができます。

このデバイスは、パッケージの底面に露出パッドを備えた 44 ピン HTSSOP (DDW) パッケージと、パッケージの上面に露出パッドを備えた 44 ピン HTSSOP (DDV) パッケージの 2 つのパッケージで供給されます。DDW パッケージは、出力ごとに最大 5A の電流を供給します。DDV パッケージの上面に熱抵抗の低いヒートシンクを取り付けた状態で使用すると、DRV8962 は出力ごとに最大 10A を供給できます。DRV8962 の DDW パッケージは、最大動作電圧 55V 定格の [DRV8952](#) とピン互換です。実際に供給可能な電流は、周囲温度、電源電圧、PCB の熱設計に依存します。

DRV8962 には電流検出出力があります。IPROPI ピンは、ハイサイド MOSFET の電流に比例した小さな電流を出力します。IPROPI からの電流は、外付け抵抗 (R_{IPROPI}) を使用して、比例電圧に変換できます。電流検出回路を内蔵することで、DRV8962 は固定オフ時間 PWM チョッピング方式で出力電流を制限できます。また、負荷情報を外部コントローラに提供して、負荷の変化を検出できます。IPROPI 出力の検出精度は、定格電流の 40%～100% について ±3.5% です。より高精度の検出が必要な場合は、外付けの電力検出抵抗も接続できます。システムの要求に応じて負荷電流を制限するために、電流レギュレーションのレベルは、動作中に VREF ピンで設定できます。

システムに異常状態が発生した場合、内蔵する各種保護機能がデバイスを保護します。保護機能には、低電圧誤動作防止 (UVLO)、チャージ・ポンプ低電圧 (CPUV)、過電流保護 (OCP)、過熱シャットダウン (OTSD) があります。FAULT 状態は、nFAULT ピンにより通知されます。

7.2 機能ブロック図



7.3 機能説明

次の表に、DRV8962 の外付け部品の推奨値を示します。

表 7-1. 外付け部品

部品	ピン 1	ピン 2	推奨事項
C _{VM1}	VM	PGND1	X7R、0.01μF、VM 定格セラミック・コンデンサ
C _{VM2}	VM	PGND3	X7R、0.01μF、VM 定格セラミック・コンデンサ
C _{VM3}	VM	PGND1	パルク、VM 定格コンデンサ
C _{VCP}	VCP	VM	X7R、1μF、16V セラミック・コンデンサ
C _{SW}	CPH	CPL	X7R、0.1μF、VM 定格セラミック・コンデンサ
C _{DVDD}	DVDD	GND	X7R、1μF、6.3V または 10V 定格セラミック・コンデンサ
C _{VCC}	VCC	GND	X7R、0.1μF、6.3V または 10V 定格セラミック・コンデンサ
R _{nFAULT}	DVDD または VCC	nFAULT	10kΩ の抵抗
R _{REF1}	VREF	DVDD	電流レギュレーション・スレッショルドを設定するための抵抗。
R _{REF2}	VREF	GND	
R _{IPROPIx}	IPROPIx	GND	詳細については、 セクション 7.5.3 を参照してください。

7.4 独立のハーフブリッジ動作

- DRV8962 は、4 つのハーフブリッジ負荷を同時に駆動。
- MODE ピンは、代表的な出力の立ち上がりおよび立ち下がり時間を 70ns または 140ns に設定。
- ENx ピンは、出力をイネーブルまたはディセーブル（ハイ・インピーダンス）。
- INx ピンは、出力の状態（ハイまたはロー）を制御
 - INx ピンは、静的またはパルス幅変調（PWM）信号を受け付ける。
 - INx および ENx 入力には、VM を印加する前に電力を供給できる。
- 真理値表では、内部電流レギュレーション機能を考慮していない。
- デバイスは、ハーフブリッジのハイサイド MOSFET とローサイド MOSFET の切り替え時に、自動的にデッドタイムを生成。

表 7-2. 独立ハーフブリッジ動作の真理値表

nSLEEP	INx	ENx	OUTx	説明
0	X	X	ハイ・インピーダンス	スリープ・モード、すべてのハーフブリッジはディセーブル（ハイ・インピーダンス）
1	X	0	ハイ・インピーダンス	個々の出力はディセーブル（ハイ・インピーダンス）
1	0	1	L	OUTx ローサイドが ON
1	1	1	H	OUTx ハイサイドが ON

入力は、DC モータの速度などの PWM 制御にも使用できます。PWM による巻線制御では、駆動電流が中断されたとき、モータの誘導性の性質から、電流を継続して流す必要があります。これを「再循環電流」といいます。再循環電流を扱うため、H ブリッジは 2 つの異なる状態（高速減衰または低速減衰）で動作できます。高速減衰モードでは、H ブリッジがディセーブルされ、再循環電流がボディ・ダイオードに流れます。低速減衰では、モータの巻線が短絡します。

PWM で高速減衰を使用するときは、ENx ピンに PWM 信号が印加されます。低速減衰を使用するときは、INx ピンに PWM 信号が印加されます。次の表に、OUT1 と OUT2 を H ブリッジとして使用し、DC モータを駆動する例を示します。

表 7-3. PWM 機能

IN1	EN1	IN2	EN2	機能
1	1	PWM	1	順方向 PWM、低速減衰
PWM	1	1	1	逆方向 PWM、低速減衰

表 7-3. PWM 機能 (続き)

IN1	EN1	IN2	EN2	機能
1	PWM	0	PWM	順方向 PWM、高速減衰
0	PWM	1	PWM	逆方向 PWM、高速減衰

7.5 電流検出と電流レギュレーション

DRV8962 には、ハイサイド MOSFET の両端での電流検出、電流レギュレーション、電流検出帰還が内蔵されています。これらの機能により、負荷が出力ノードとグランドとの間に接続されているとき、外部検出抵抗や検出回路を接続せずに負荷電流を検出できるため、システムのサイズ、コスト、複雑性を低減できます。デバイスは電流検出比例出力 (IPROPI) を使用して、負荷電流に関する詳細なフィードバックをコントローラに提供できます。

7.5.1 電流検出とフィードバック

DRV8962 は、ハーフブリッジごとに 1 つ、合計 4 つの IPROPI 出力をサポートしています。IPROPI 出力は、次に示すように、各ハイサイド MOSFET の電流を表します。

$$I_{\text{PROPI}} = I_{\text{HS}} \times A_{\text{IPROPI}} \quad (1)$$

ここで、 I_{HS} はハイサイド MOSFET を流れる電流、 A_{IPROPI} は電流ミラーのゲインです。

比例電圧 (V_{IPROPI}) を IPROPI ピンで生成するには、外付け抵抗 (R_{IPROPI}) を介して各 IPROPI ピンをグランドに接続する必要があります。これにより、標準のアナログ / デジタル・コンバータ (ADC) を使用して、 R_{IPROPI} 抵抗の両端の電圧降下として電流を測定できます。 R_{IPROPI} 抵抗は、すべてのコントローラ ADC を利用できるように、そのアプリケーションの負荷電流の期待値に基づいて値を調整できます。デバイスの内部にはクランプ回路が実装されており、VREF ピンの V_{VREF} を基準として V_{IPROPI} を制限し、出力過電流または想定外の大電流イベント時に外部 ADC を保護できます。IPROPI の電圧は、VREF の最大推奨値である 3.3V よりも低くする必要があります。

出力電流に対応する IPROPI 電圧は、次の式で計算できます。

$$V_{\text{IPROPI}} (\text{V}) = I_{\text{PROPI}} (\text{A}) \times R_{\text{IPROPI}} (\Omega) \quad (2)$$

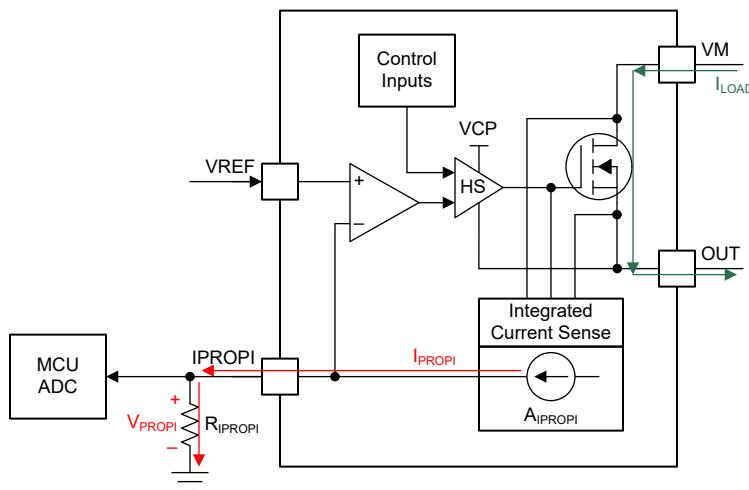


図 7-1. 内蔵電流検出回路

「電気的特性」表の A_{ERR} パラメータは、 A_{IPROPI} ゲインに関連する誤差です。この誤差は、 I_{OUT} 電流に加算されたオフセット誤差とゲイン誤差の複合的な影響を示しています。

7.5.2 外付け抵抗による電流検出

IPROPI 出力の精度は、定格電流の 40%~100% について $\pm 3.5\%$ です。より正確な電流検出が必要な場合は、以下に示すように、PGND ピンとシステム・グランドとの間に外部検出抵抗を使用して負荷電流を検出することもできます。

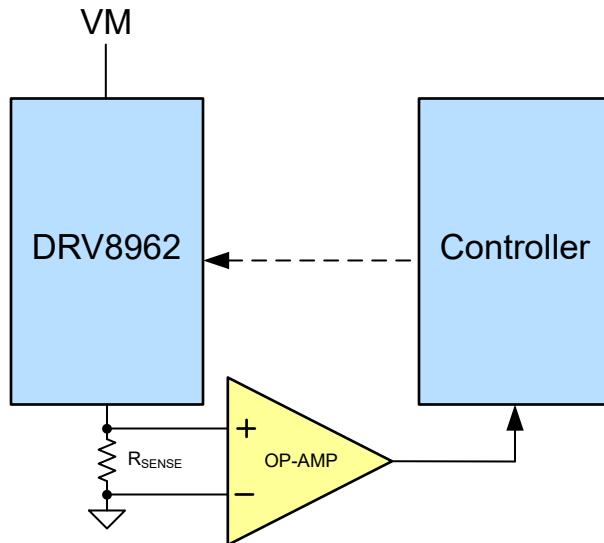


図 7-2. 外付け抵抗による電流検出

外付け検出抵抗の両端での電圧降下は、300mV を超えないようにします。

検出抵抗は、対応する IC のpin のできるだけ近くに配置します。センス抵抗を左右対称に配置することで、マッチングが適切になります。電圧スパイクとリンクギングを防止するため、低インダクタンスのセンス抵抗を使用してください。最適な性能を確保するため、センス抵抗には十分大きな電力を定格とする表面接地型の抵抗を使用してください。

7.5.3 電流レギュレーション

電流チョッピング・スレッショルド (I_{TRIP}) は、 V_{VREF} 電圧 (V_{VREF}) と IPROPI 出力抵抗 (R_{IPROPI}) の組み合わせにより設定されます。具体的には、内蔵のコンパレータを使用して、外付け R_{IPROPI} 抵抗両端の電圧降下を V_{VREF} と比較します。

$$I_{TRIP} \times A_{IPROPI} = V_{VREF} (V) / R_{IPROPI} (\Omega) \quad (3)$$

たとえば、 V_{VREF} が 3.3V のときに I_{TRIP} を 5A に設定するには、 R_{IPROPI} に次の値が必要です。

$$R_{IPROPI} = V_{VREF} / (I_{TRIP} \times A_{IPROPI}) = 3.3 / (5 \times 212 \times 10^{-6}) = 3.09k\Omega$$

IPROPI を GND に接続し、 V_{VREF} の電圧を GND より高く設定することで、内部電流レギュレーション機能をディセーブルできます（電流帰還が不要の場合）。電流帰還が必要でありかつ電流レギュレーションが不要である場合、 V_{IPROPI} が V_{VREF} スレッショルドに到達するがないように V_{VREF} と R_{IPROPI} を設定します。

DRV8962 は、最大 4 つの抵抗性負荷または誘導性負荷を同時に駆動できます。出力負荷がグランドに接続されているときは、負荷電流を I_{TRIP} レベルにレギュレートできます。PWM オフ時間 (t_{OFF}) は 17μs に固定されています。固定オフ時間モードにより、外部コントローラを使用せずに、シンプルな電流チョッピング方式を実現できます。固定オフ時間モードは 100% デューティ・サイクル電流レギュレーションをサポートします。

負荷電流を制御するもう 1 つの方法は、サイクル単位の制御モードです。このモードでは、INx 入力pin の PWM パルス幅を制御する必要があります。これにより、外部コントローラによる電流チョッピング方式の追加制御が可能です。

ハイサイドとローサイドの負荷を駆動する、いくつかのシナリオを以下に示します。

- グランドに接続された抵抗性負荷：

ブランディング時間中に電流増加率を低速化する負荷インダクタンスが存在する限り、レギュレートされた電流は I_{TRIP} を超えません。 I_{TRIP} が (VM/R_{LOAD}) より高いなら、 $INx = 1$ の間、負荷電流は VM/R_{LOAD} のレベルにレギュレートされます(図 7-3 を参照)。

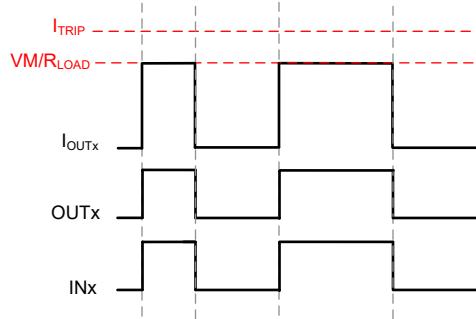


図 7-3. グランドに接続された抵抗性負荷、サイクル単位の制御

- グランドに接続された誘導性負荷:

暴走や過電流保護のトリガを防止するため、電流がサイクルごとに十分減衰することを保証する必要があります。

- 図 7-4 に示すシナリオでは、 $INx = 1$ のとき、 I_{OUT} が I_{TRIP} を超えた後で、ローサイド MOSFET が期間 t_{OFF} だけオンになります。 t_{OFF} が経過すると、再度 I_{OUT} が I_{TRIP} を超えるまで、ハイサイド MOSFET が再度オンになります。

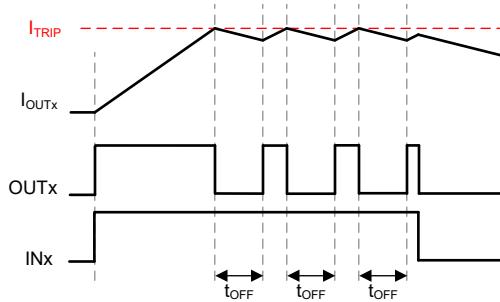


図 7-4. グランドに接続された誘導性負荷、固定オフ時間電流のチョッピング

t_{OFF} 時間の経過後も電流が I_{TRIP} レベルより高いままなら、デバイスは強制的に同じ期間の別の t_{OFF} 時間を繰り返します。オフ時間の延長は、 t_{OFF} 時間の終了時に検出される電流が I_{TRIP} より低くなるまで続きます。

- サイクル単位の方式を使用して負荷を制御することもできます。 $INx = 1$ のとき、負荷を流れる電流は増大し、 $INx = 0$ のとき、負荷を流れる電流は減衰します。 INx パルスのデューティ・サイクルを適切に選択することで、電流を目標値にレギュレートできます。このような各種のシナリオを、図 7-5 と図 7-6 に示します。

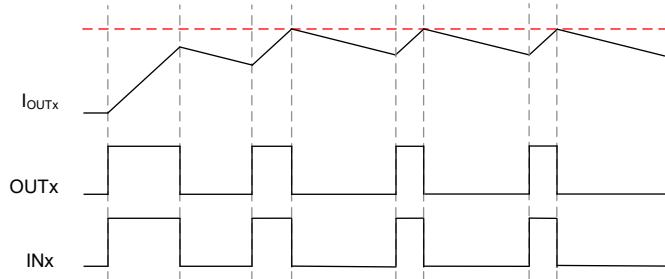


図 7-5. グランドに接続された誘導性負荷、サイクル単位の制御

次のシナリオでは、電流が暴走しないように **INx** ピンのデューティ・サイクルを調整する必要があります (T は T_{OFF} より小さい必要があります)。

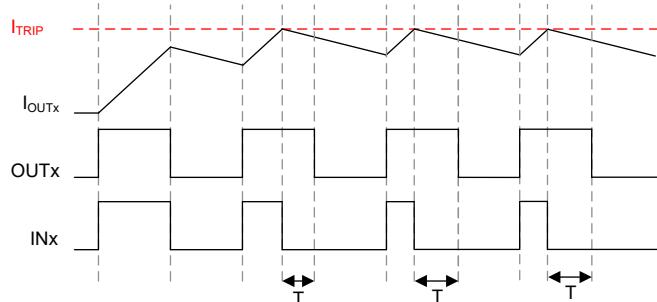


図 7-6. グランドに接続された誘導性負荷、サイクル単位の制御

- VM に接続された負荷:

このような負荷は、**INx** ピンのパルス幅を制御することによって制御できます。図 7-7 と図 7-8 に示すように、 $INx = 0$ のとき電流が増大し、 $INx = 1$ のとき電流が減衰します。

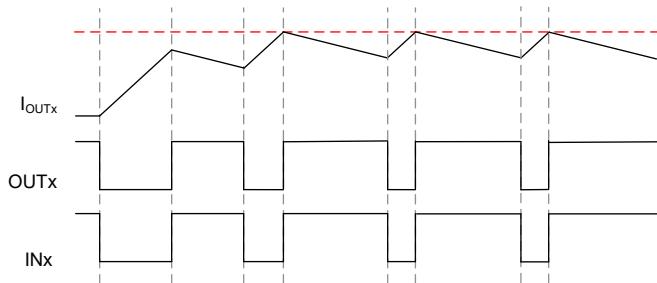


図 7-7. VM に接続された誘導性負荷、サイクル単位の制御

このシナリオでは、電流が暴走しないように、**INx** ピンのデューティ・サイクルを調整する必要があります。

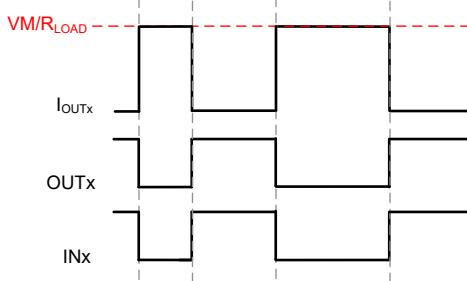


図 7-8. グランドに接続された抵抗性負荷、サイクル単位の制御

7.6 チャージ・ポンプ

ハイサイド N チャネル MOSFET のゲート駆動電圧を供給するため、チャージ・ポンプが内蔵されています。このチャージ・ポンプには、VM ピンと VCP ピンの間に電荷保持のためのコンデンサを接続する必要があります。また、フライング・コンデンサの役割として、CPH ピンと CPL ピンの間にもセラミック・コンデンサを接続する必要があります。

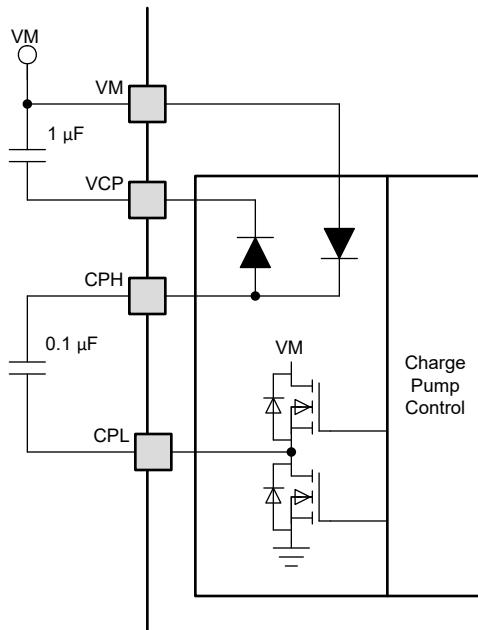


図 7-9. チャージ・ポンプのブロック図

7.7 リニア電圧レギュレータ

本デバイスには、リニア電圧レギュレータが内蔵されています。VCC ピンを DVDD に接続すると、DVDD レギュレータはローサイド・ゲート・ドライバ、およびすべての内部回路に電力を供給します。正常に動作させるため、 $1\mu\text{F}$ のセラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。DVDD 出力は公称 5V です。

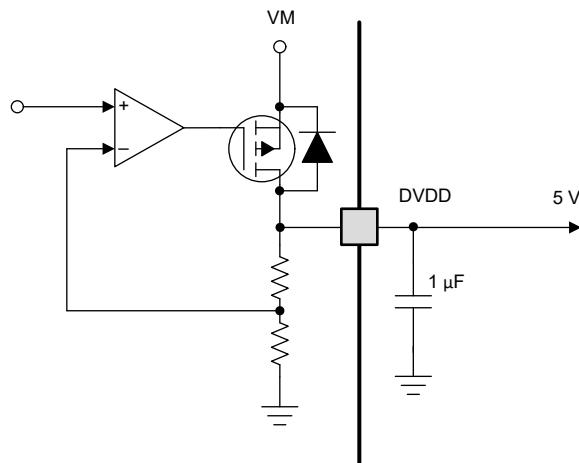


図 7-10. リニア電圧レギュレータのブロック図

デジタル入力を永続的に High に接続する必要がある場合は、外部レギュレータではなく DVDD ピンに接続することを推奨します。これにより、VM ピンに電圧が印加されないときやスリープ・モード時に電力を節約できます。DVDD のレギュレータがディセーブルされている間、電流が入力プルダウン抵抗に流れないとれます。参考までに、ロジック・レベル入力には $200\text{k}\Omega$ (標準値) のプルダウンがあります。

nSLEEP ピンを DVDD に接続することはできません。これを接続すると、本デバイスはスリープ・モードから復帰できなくなります。

7.8 VCC 電圧電源

VCC ピンに外部電圧を印加して、内部ロジック回路に電力を供給できます。VCC ピンの電圧は 3.05V~5.5V の範囲内で、適切にレギュレートする必要があります。外部電源が利用できない場合、VCC をデバイスの DVDD ピンに接続する必要があります。

VCC から電力を供給するとき、内部ロジック・ブロックは VM 電源レールから電力を消費しないため、DRV8962 の電力損失を低減できます。これは、高電圧アプリケーションや、周囲の温度が高いとき非常に有益です。0.1 μ F のセラミック・コンデンサを使用して、VCC ピンをグランドにバイパスします。

7.9 ロジック・レベル・ピンの図

下のピンの図は、INx, ENx, MODE, OCPM, nSLEEP の各ピンの入力構造を示しています。

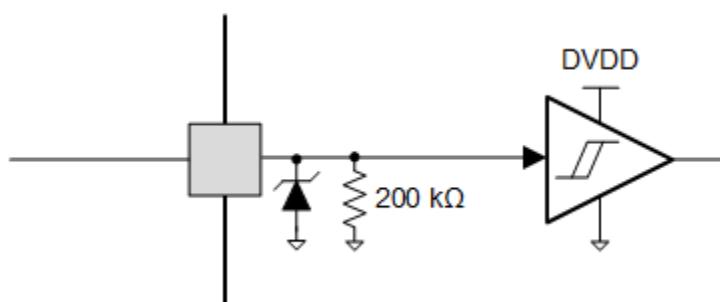


図 7-11. ロジック・レベル入力ピンの図

7.10 保護回路

本デバイスは、電源低電圧、チャージ・ポンプ低電圧、出力過電流、デバイス過熱のイベントから十分に保護されています。

7.10.1 VM 低電圧誤動作防止 (UVLO)

VM ピンの電圧が UVLO スレッショルド電圧を下回ると、次の動作が行われます。

- すべての出力がディセーブル（ハイ・インピーダンス）になる
- nFAULT ピンが Low に駆動される
- チャージ・ポンプがディセーブルになる

VM 電圧が UVLO 立ち上がりスレッショルド電圧を上回ると、通常動作が再開されます（ドライバが動作し、nFAULT が解放されます）。

VM 電圧が内部デジタル・リセット電圧（最大 3.9V）を下回ると、内部ロジック回路がディセーブルされ、nFAULT のプルダウンもディセーブルされます。したがって、VM が約 3.9V を下回ると、nFAULT は再び High になります。

7.10.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧が CPUV 電圧を下回ると、次の動作が行われます。

- すべての出力がディセーブルされます（ハイ・インピーダンス）
- nFAULT ピンが Low に駆動されます
- チャージ・ポンプはアクティブのままで

VCP 低電圧条件が解消すると、通常動作に復帰します（ドライバが動作し、nFAULT が解放されます）。

7.10.3 ロジック電源パワーオン・リセット (POR)

いずれかの時点で VCC ピンの電圧が VCC_{UVLO} スレッショルドを下回った場合：

- すべての出力がディセーブルされます（ハイ・インピーダンス）

- チャージ・ポンプがディセーブルされます

VCC UVLO は nFAULT ピンで通知されません。VCC 低電圧状態が解消されると、通常のモーター・ドライバの動作が再開されます。

7.10.4 過電流保護 (OCP)

各 MOSFET のアナログ電流制限回路は、ゲート駆動を止めることで、MOSFET に流れる電流を制限します。この電流制限が t_{OCP} 時間よりも長く続くと、過電流フォルトが検出されます。

- 過電流が発生しているハーフブリッジのみがディセーブルされます
- nFAULT が Low に駆動されます
- チャージ・ポンプはアクティブのままで

ハイサイドとローサイドの両方の MOSFET が過電流状態の場合、グランドまたは電源への短絡が起きていることを意味し、これによって過電流フォルトが検出されます。

過電流状態が解消されたときの回復の機構は、OCPM ピンの設定によって決まります。OCPM ピンは、ラッチオフまたは自動再試行タイプのいずれかの回復をプログラムします。

- OCPM ピンがロジック Low のとき、デバイスはラッチオフ・タイプの回復を行います。すなわち、OCP 状態が解消されると、nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後で、通常動作に復帰します。
- OCPM ピンがロジック High のとき、 t_{RETRY} 時間が経過し、フォルト状態が解消した後で、自動的に通常動作に復帰します（ドライバが動作し、nFAULT が解放されます）。

7.10.5 サーマル・シャットダウン (OTSD)

ダイの温度がサーマル・シャットダウン制限 (T_{OTSD}) を超えると、サーマル・シャットダウンが検出されます。サーマル・シャットダウンが検出されると、次の動作が行われます。

- ハーフブリッジのすべての MOSFET がディセーブルされます
- nFAULT が Low に駆動されます
- チャージ・ポンプがディセーブルされます

サーマル・シャットダウン状態が解消されたときの回復の機構は、OCPM ピンの設定によって決まります。OCPM ピンは、ラッチオフまたは自動再試行タイプのいずれかの回復をプログラムします。

- OCPM ピンがロジック Low のとき、デバイスにはラッチオフ・タイプの回復機能があります。つまり、接合部温度が過熱スレッショルド制限値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回った後、nSLEEP リセット・パルスが印加されるか、電源を切って再投入すると、通常動作が再開されます。
- OCPM ピンが論理 High のとき、接合部温度が過熱スレッショルド制限値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回ると、通常動作が自動的に再開されます。

7.10.6 nFAULT 出力

nFAULT ピンはオープンドレインの出力を持っているため、5V、3.3V または 1.8V 電源にプルアップする必要があります。フォルトが検出された場合、nFAULT ピンはロジック Low になります。電源投入後に、nFAULT ピンは High になります。5V にプルアップする場合、nFAULT ピンを DVDD ピンに抵抗で接続できます。3.3V または 1.8V にプルアップする場合、外部電源を使う必要があります。

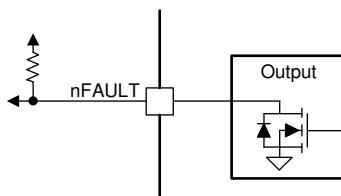


図 7-12. nFAULT ピン

7.10.7 フォルト条件のまとめ

表 7-4. フォルト条件のまとめ

フォルト	条件	異常通知	ハーフ・ブリッジ	チャージ・ポンプ	ロジック	復帰
VM 低電圧 (UVLO)	$VM < V_{UVLO}$	nFAULT	ディセーブル	ディセーブル	リセット	$VM > V_{UVLO}$
VCP 低電圧 (CPUV)	$VCP < V_{CPUV}$	nFAULT	ディセーブル	動作	動作	$VCP > V_{CPUV}$
ロジック電源 POR	$VCC < VCC_{UVLO}$	-	ディセーブル	ディセーブル	リセット	$VCC > VCC_{UVLO}$
過電流 (OCP)	$I_{OUT} > I_{OCP}, OCPM = 0$	nFAULT	ディセーブル	動作	動作	ラッチ: nSLEEP リセット・パルス
	$I_{OUT} > I_{OCP}, OCPM = 1$	nFAULT	ディセーブル	動作	動作	自動リトライ: t_{RETRY}
サーマル・シャットダウン (OTSD)	$T_J > T_{TSD}, OCPM = 0$	nFAULT	ディセーブル	ディセーブル	動作	ラッチ: nSLEEP リセット・パルス
	$T_J > T_{TSD}, OCPM = 1$	nFAULT	ディセーブル	ディセーブル	動作	自動: $T_J < T_{OTSD} - T_{HYS_OTSD}$

7.11 デバイスの機能モード

7.11.1 スリープ・モード

nSLEEP ピンが Low になると、本デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべての内部 MOSFET、DVDD レギュレータ、SPI、チャージ・ポンプがディセーブルされます。nSLEEP ピンでの立ち下がりエッジの後、 t_{SLEEP} 時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP ピンが High になると、本デバイスは自動的にスリープから復帰します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.11.2 動作モード

このモードは、次のときイネーブルになります。

- nSLEEP が High
- VM > UVLO

t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.11.3 nSLEEP リセット・パルス

ラッチされたフォルトは nSLEEP リセット・パルスでクリアできます。このパルス幅は 20μs より長く 40μs より短い必要があります。nSLEEP が 40μs より長く 120μs より短い間 Low である場合、フォルトはクリアされますが、本デバイスはシャットダウンする場合としない場合があります（次のタイミング図を参照）。このリセット・パルスはチャージ・ポンプの状態にもその他の機能ブロックの状態にも影響を与えません。

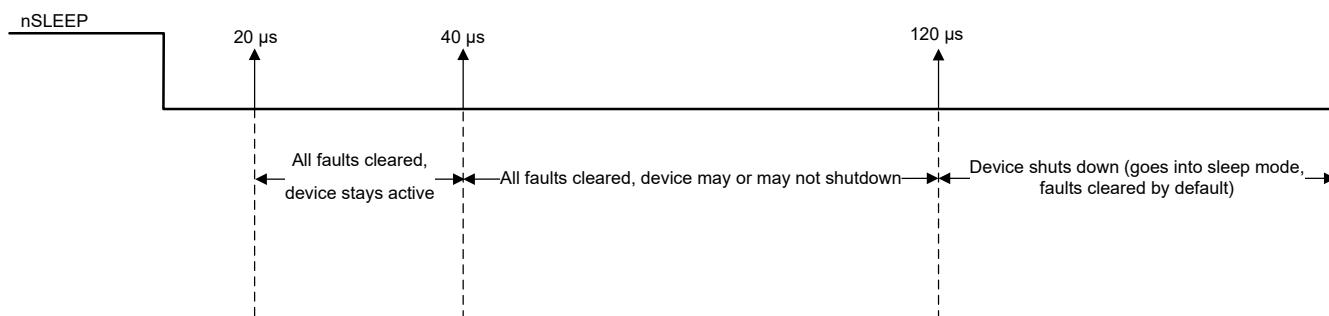


図 7-13. nSLEEP リセット・パルス

7.11.4 機能モードのまとめ

表 7-5 に、機能モードのまとめを示します。

表 7-5. 機能モードのまとめ

条件		設定	ハーフ・ブリッジ	DVDD レギュレータ	チャージ・ポンプ	ロジック
スリープ・モード	4.5V < VM < 65V	nSLEEP ピン = 0	ディセーブル	ディセーブル	ディセーブル	ディセーブル
動作	4.5V < VM < 65V	nSLEEP ピン = 1	動作	動作	動作	動作

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8962 は、次のタイプの負荷を駆動するために使用できます。

- 最大 4 つのソレノイド負荷
- 1 つのステッパー・モーター
- 2 つのブラシ付き DC モーター
- 1 つの 3 相正弦波ブラシレス DC モーター
- 1 つの 3 相永久磁石同期モーター (PMSM)
- 1 つまたは 2 つの熱電冷却器 (TEC)

8.1.1 ソレノイド負荷の駆動

DRV8962 は、同時に 4 つのソレノイド負荷を駆動できます。グランドに接続された負荷の場合、IPROPI ピンは負荷電流情報を出力し、負荷電流は VREF ピンの電圧によって決定される I_{TRIP} レベルにレギュレートできます。

DRV8962 は、4 つのハーフブリッジそれぞれについて、独立の IN および EN ピンをサポートしています。また、4 つのハーフブリッジにはすべて、別の PGND ピンがあります。

8.1.1.1 ソレノイド・ドライバの代表的なアプリケーション

グランドに接続された 4 つの負荷を駆動する DRV8962 の回路図を、図 8-1 に示します。

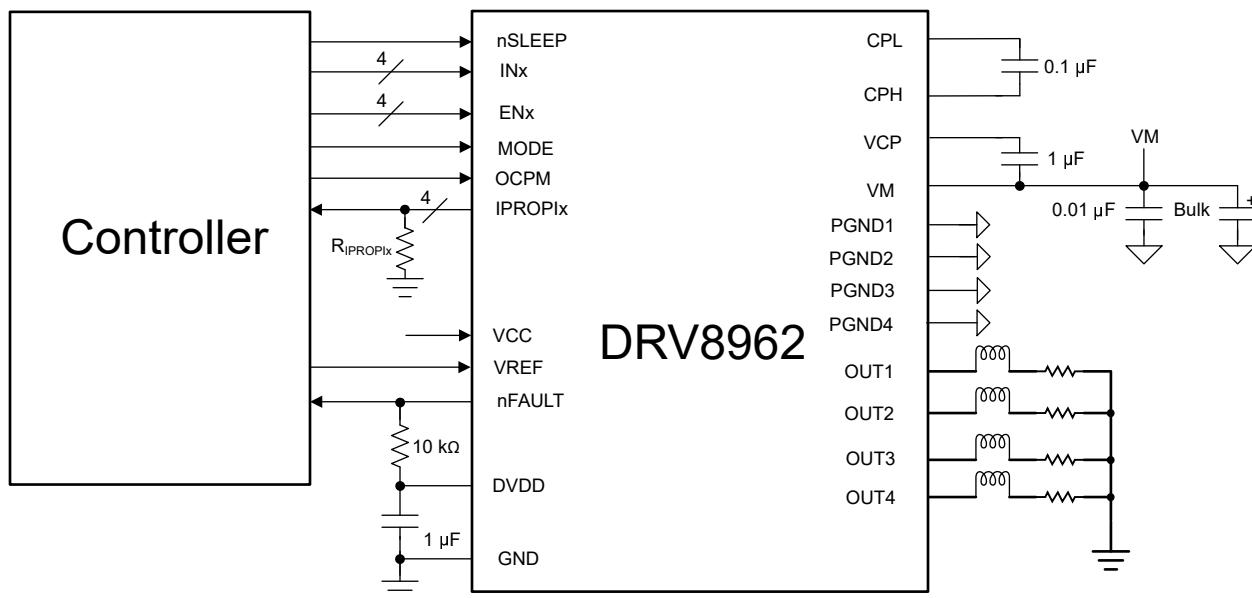


図 8-1. DRV8962 によるソレノイドの駆動

8.1.1.2 热に関する計算

本デバイスの出力電流および消費電力特性は、PCB 設計と外部条件に大きく依存します。ここでは、これらの値を計算するための指針を提示します。

本デバイスの総消費電力は、おもに 3 つの要素から成ります。それらは、パワー MOSFET $R_{DS(ON)}$ (導通) 損失、パワー MOSFET スイッチング損失、および電源静止電流損失です。それ以外の要素が電力損失の増加に影響することもありますが、この 3 つの主要な要素に比べると通常わずかです。

8.1.1.2.1 電力損失の計算

各ハーフブリッジの合計消費電力は、次のように計算できます。

$$P_{HB} = P_{HS} + P_{LS} = [R_{DS(ON)} \times I_L^2] + [(2 \times V_D \times t_D) + (VM \times t_{RF})] \times I_L \times f_{PWM}$$

ここで、

- $R_{DS(ON)}$ = 各 FET のオン抵抗
 - DRV8962 の場合、代表値は 25°C で 53mΩ、150°C で 80mΩ です。
- f_{PWM} = PWM スイッチング周波数
- VM = ドライバへの電源電圧
- I_L = 負荷電流
- D = PWM のデューティ・サイクル (0~1)
- t_{RF} = 出力電圧の立ち上がり / 立ち下がり時間
 - DRV8962 の場合、立ち上がり / 立ち下がり時間は 70ns または 140ns
- V_D = FET ボディ・ダイオードの順方向バイアス電圧
 - DRV8962 では 1V
- t_D = デッドタイム
 - DRV8962 では 300ns

したがって、DRV8962 の合計消費電力は次の式で与えられます。

$$P_{TOT} = n \times P_{HB} + P_Q$$

ここで、 n は同時にスイッチングされるハーフブリッジの数、 P_Q は静止電力損失です。

この例では、次のことを想定します。

- 4 つのハーフブリッジすべてがスイッチング
- $VM = 24V$
- $I_L = 3A$
- 周囲温度 (T_A) = 25°C
- $t_{RF} = 70ns$
- 入力 PWM 周波数 = 20kHz

VCC ピンが外部電源に接続されているとき、静止電流は 4mA なので、 P_Q は $(24V \times 4mA) = 96mW$ になります。

$$P_{HB} = [53m\Omega \times 3^2] + [(2 \times 1V \times 300ns) + (24V \times 70ns)] \times 3A \times 20kHz = 0.614W$$

$$P_{TOT} = (4 \times 0.614) + 0.096 = 2.552W$$

8.1.1.2.2 接合部温度の推定

接合部温度の推定値は次のとおりです。 $T_J = T_A + (P_{TOT} \times \theta_{JA})$

接合部から周囲への熱抵抗 θ_{JA} は、JEDEC 標準 PCB 上の DDW パッケージでは 22.2°C/W、DDV パッケージで適切なヒートシンクを使用する場合は 5°C/W に近い値です。

したがって、接合部温度の最初の推定値は次のようにになります。

$$T_J = T_A + (P_{TOT} \times \theta_{JA}) = 25 + (2.552 \times 22.2) = 81.7^\circ C$$

より正確な計算を行うには、「代表的な動作特性」セクションに示されている、デバイス接合部温度に対する FET のオン抵抗の依存性を考慮してください。

たとえば、

- 接合部温度が 81.7°C の場合、オン抵抗は 25°C の場合に比べて 1.3 倍に増加する可能性があります。
- 各ハーフブリッジの導通損失 ($R_{DS(ON)}$ による損失) の初期推定値は 0.477W でした。
- したがって、導通損失の新しい推定値は $0.477W \times 1.3 = 0.62W$ になります。
- それに伴い、合計電力損失の新しい推定値は 3.124W になります。
- DDW パッケージの接合部温度の新しい推定値は 94.4°C になります。
- これ以上計算を繰り返しても、接合部温度の推定値が大きく増加する可能性はわずかです。

8.1.1.3 アプリケーション特性の波形

波形パターンは上から下へ順に: OUT1、OUT2、OUT3、OUT4、IPROPI1

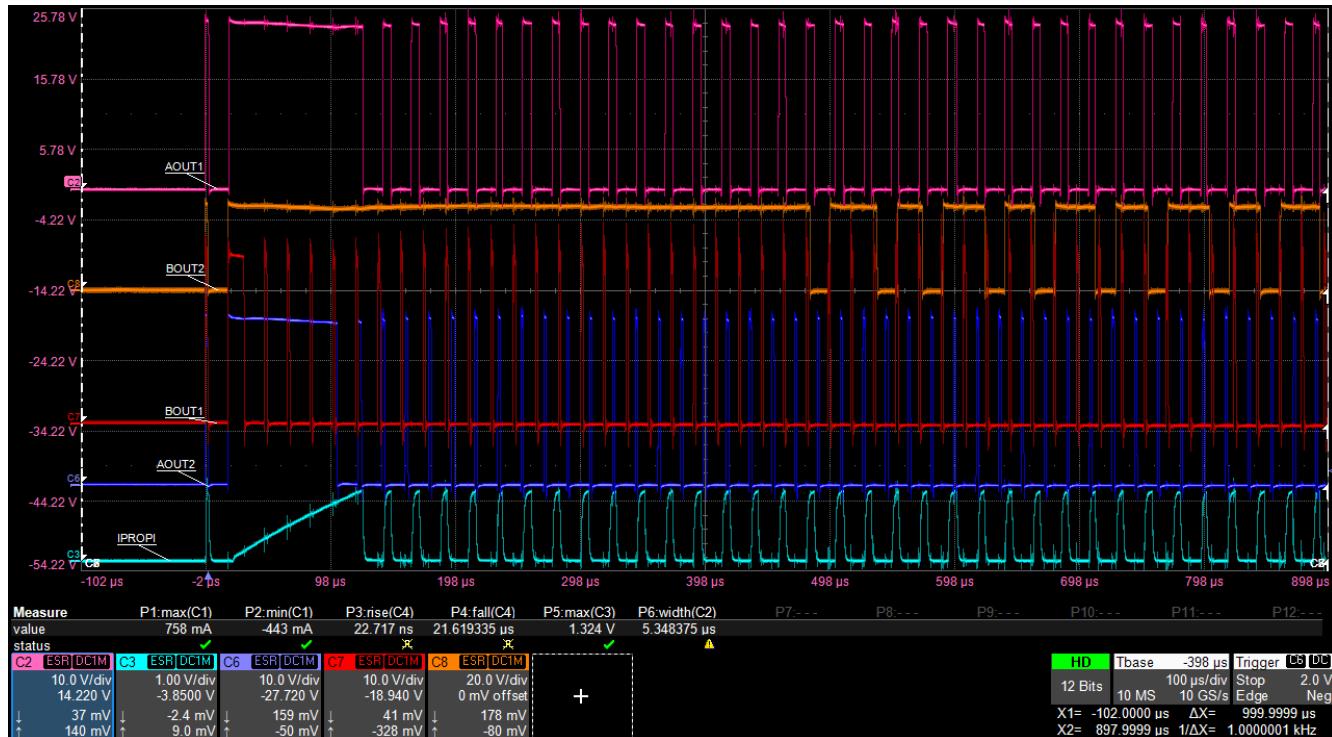


図 8-2. 4 つの負荷を同時に駆動

波形パターンは上から下へ順に: OUT1、IOUT1、IN1、IPROPI1

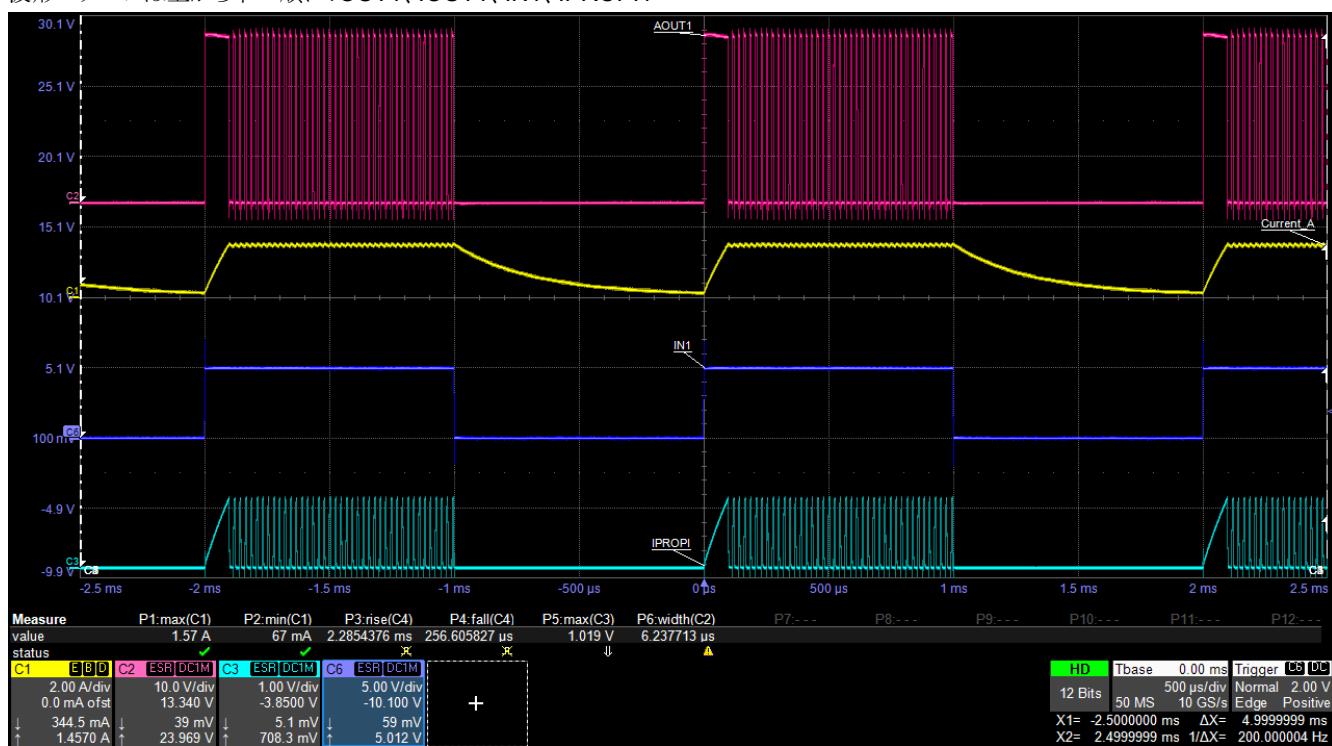


図 8-3. IPROPI 出力による電流レギュレーション

8.1.2 ステッパー・モーターの駆動

DRV8962 は、PWM 入力インターフェイスを使用して 1 つのステッパー・モーターを駆動できます。

8.1.2.1 ステッパー・ドライバの代表的なアプリケーション

次の回路図は、DRV8962 でステッパー・モーターを駆動するものです。

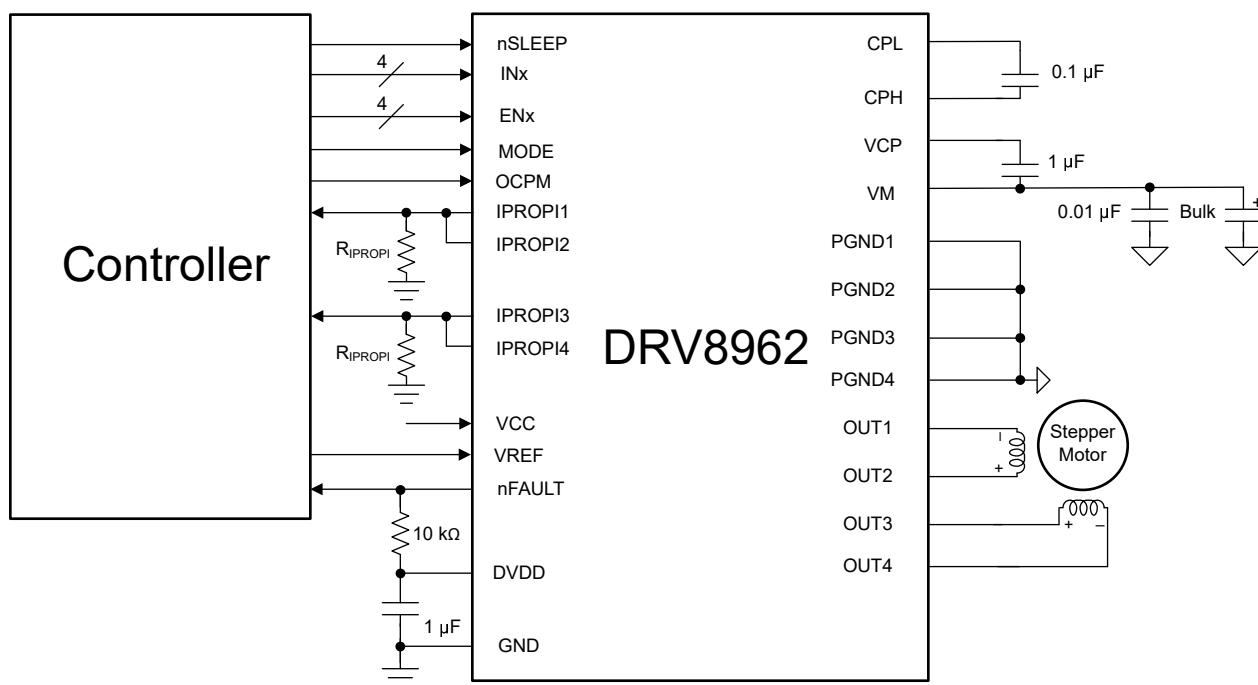


図 8-4. DRV8962 によるステッパー・モーターの駆動

フルスケール電流 (I_{FS}) は、どちらかの巻線によって駆動される最大電流です。この値は、 V_{REF} 電圧と、IPROPI ピンとグランドとの間に接続されている抵抗によって異なります。

$$I_{FS} \times A_{IPROPI} = V_{VREF} / R_{IPROPI}$$

V_{REF} ピンの最大許容電圧は 3.3V です。DVDD により、分割抵抗を通して V_{REF} を供給できます。

注

モーターを飽和させないように、 I_{FS} 電流は式 4 にも従う必要があります。 VM はモーターの電源電圧、 R_L はモーターの巻線の抵抗です。

$$I_{FS} (A) < \frac{VM (V)}{R_L (\Omega) + 2 \times R_{DS(ON)} (\Omega)} \quad (4)$$

モーターの目標の速度が高すぎると、モーターは回転しません。モーターが目標の速度に対応できることを確認してください。

モーターの目標の速度 (V)、マイクロステッピング・レベル (n_m)、モーターのフルステップ角度 (θ_{step}) を求めるには、入力波形の周波数を次のように決定します。

$$f_{step} (\text{steps / s}) = \frac{v (\text{rpm}) \times 360 (\text{° / rot})}{\theta_{step} (\text{° / step}) \times n_m (\text{steps / microstep}) \times 60 (\text{s / min})} \quad (5)$$

θ_{step} は、ステッパー・モーターのデータシート、またはモーター自体に記載されています。

周波数 f_{step} は、DRV8962 の入力の変化の周波数を示します。次の図では、 $1/f_{\text{step}} = t_{\text{STEP}}$ となります。目標の速度が 120rpm、1/2 ステップでの計算例を、式 6 に示します。

$$f_{\text{step}} (\text{steps / s}) = \frac{120 \text{ rpm} \times 360^\circ / \text{rot}}{1.8^\circ / \text{step} \times 1/2 \text{ steps / microstep} \times 60 \text{ s / min}} = 800\text{Hz} \quad (6)$$

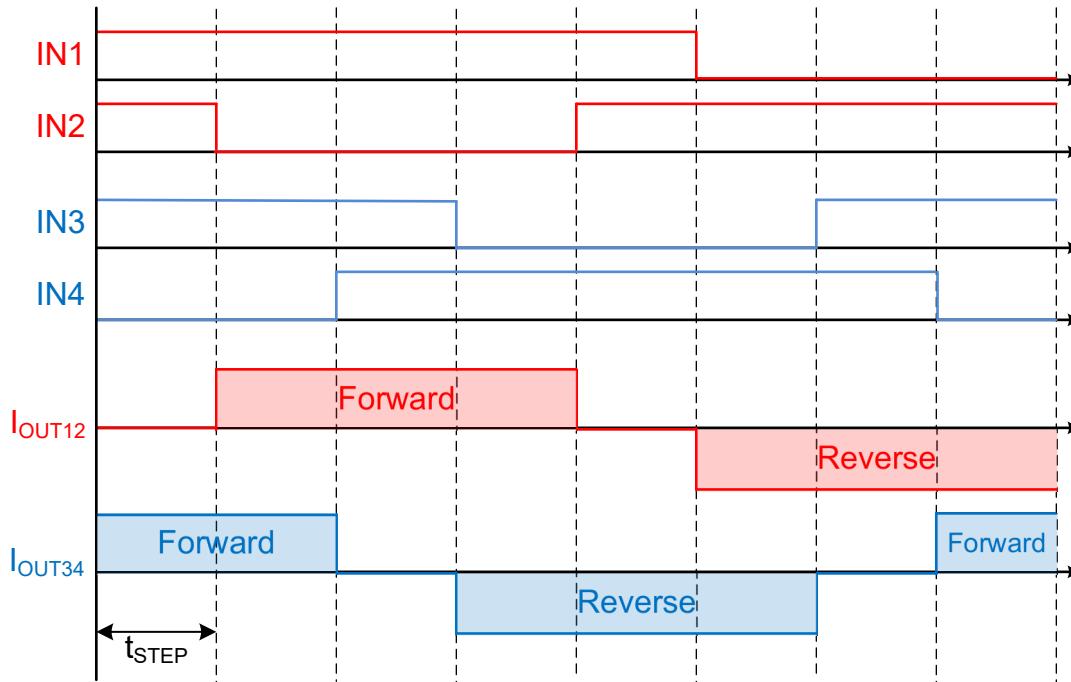


図 8-5. 1/2 ステッピング動作の例

同じ H ブリッジに対応する IPROPI 出力を、互いに接続します。IPROPI1 と IPROPI2 を互いに接続すると、ドライブ・モードと低速減衰（ハイサイド再循環）モードの間に、ステッパーのコイル A の電流（OUT1 と OUT2 の間に接続）を表します。同様に、IPROPI3 と IPROPI4 を互いに接続すると、コイル B の電流を表します。

2 つの IPROPI ピンを互いに接続すると、実効電流ミラー・ゲインは標準値 $424\mu\text{A/A}$ になります。結合した IPROPI ピンとグランドとの間の抵抗は、それに応じて選択します。

8.1.2.2 電力損失の計算

以下の計算では、電源電圧が 24V、フルスケール電流が 5A、立ち上がり / 立ち下がり時間が 140ns、入力 PWM 周波数が 30kHz のユースケースを想定しています。

全電力散逸は主な 3 つの要素（導通損失 (P_{COND})、スイッチング損失 (P_{SW})、静止電流による電力損失 (P_Q)）で構成されます。

導通損失 (P_{COND}) は、式 7 に示すように、モータの RMS 電流 (I_{RMS})、ハイサイド・オン抵抗 ($R_{\text{DS(ONH)}}$)、ローサイド・オン抵抗 ($R_{\text{DS(ONL)}}$) で決まります。

$$P_{\text{COND}} = 2 \times (I_{\text{RMS}})^2 \times (R_{\text{DS(ONH)}} + R_{\text{DS(ONL)}}) \quad (7)$$

セクション 8.1.2.1 に示されている代表的なアプリケーションの導通損失は、式 8 のように計算されます。

$$P_{\text{COND}} = 2 \times (I_{\text{RMS}})^2 \times (R_{\text{DS(ONH)}} + R_{\text{DS(ONL)}}) = 2 \times (5\text{A} / \sqrt{2})^2 \times (0.106\Omega) = 2.65\text{W} \quad (8)$$

PWM スイッチング周波数に起因する電力損失は、出力電圧の立ち上がり時間 / 立ち下がり時間 (t_{RF})、電源電圧、モータの RMS 電流、PWM スイッチング周波数で決まります。各 H ブリッジの立ち上がり時間と立ち下がり時間のスイッチング損失は、式 9 と式 10 のように計算されます。

$$P_{SW_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RF} \times f_{PWM} \quad (9)$$

$$P_{SW_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RF} \times f_{PWM} \quad (10)$$

各種パラメータの値を代入した後、各 H ブリッジのスイッチング損失は次のように計算されます。

$$P_{SW_RISE} = 0.5 \times 24V \times (5A / \sqrt{2}) \times (140ns) \times 30kHz = 0.178W \quad (11)$$

$$P_{SW_FALL} = 0.5 \times 24V \times (5A / \sqrt{2}) \times (100ns) \times 30kHz = 0.178W \quad (12)$$

ステッパー・モータ・ドライバの合計スイッチング損失 (P_{SW}) は立ち上がり時間のスイッチング損失 (P_{SW_RISE}) と立ち下がり時間のスイッチング損失 (P_{SW_FALL}) の和の 2 倍として以下のように計算されます。

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL}) = 2 \times (0.178W + 0.178W) = 0.712W \quad (13)$$

注

出力の立ち上がりと立ち下がりの時間 (t_{RF}) は、電源電圧、温度、デバイス間のばらつきに基づいて変化すると予想されます。

VCC ピンが外部電圧に接続されているとき、静止電流は代表値で 4mA です。電源によって消費される静止電流による消費電力は、以下のように計算されます。

$$P_Q = V_{VM} \times I_{VM} \quad (14)$$

値を代入すると、静止時の電力損失は以下のように計算されます。

$$P_Q = 24V \times 4mA = 0.096W \quad (15)$$

注

静止時の電力損失は、動作電源電流 (I_{VM}) の代表値を使用して計算されます。この値は電源電圧、温度、デバイス間のばらつきによって変化します。

全消費電力 (P_{TOT}) は導通損失、スイッチング損失、静止電力損失の合計として式 16 のように計算されます。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 2.65W + 0.712W + 0.096W = 3.458W \quad (16)$$

8.1.2.3 接合部温度の推定

周囲温度 T_A 、総消費電力 (P_{TOT}) の場合、接合部温度 (T_J) は次のように計算されます。

$$T_J = T_A + (P_{TOT} \times R_{\theta JA})$$

JEDEC 規格の 4 層 PCB の場合を考えると、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、DDW パッケージの場合で 22.2°C/W です。

周囲温度が 25°C と仮定すると、DDW パッケージの接合部温度は次のように計算されます。

$$T_J = 25^\circ C + (3.458W \times 22.2^\circ C/W) = 101.8^\circ C \quad (17)$$

より正確な計算を行うには、「代表的な動作特性」セクションに示されている、デバイス接合部温度に対する FET のオン抵抗の依存性を考慮してください。

たとえば、

- 接合部温度が 101.8°C の場合、オン抵抗は 25°C の場合に比べて 1.35 倍に増加する可能性があります。
- 導通損失の初期推定値は 2.65W でした。
- したがって、導通損失の新しい推定値は $2.65W \times 1.35 = 3.58W$ になります。
- それに伴い、合計電力損失の新しい推定値は 4.388W になります。
- DDV パッケージの接合部温度の新しい推定値は 122.4°C になります。
- これ以上計算を繰り返しても、接合部温度の推定値が大きく増加する可能性はわずかです。

DDV パッケージを使用している場合、熱抵抗が 4°C/W 未満のヒートシンクを選択すると、接合部から周囲への熱抵抗は 5°C/W 未満になる可能性があります。そのため、このアプリケーションで DDV パッケージを使用したときの接合部温度の初期推定値は、次のようになります。

$$T_J = 25^\circ\text{C} + (3.458\text{W} \times 5^\circ\text{C}/\text{W}) = 42.3^\circ\text{C} \quad (18)$$

DDV パッケージは熱抵抗が低くなるため、10A のフルスケール電流を供給することができます。

8.1.3 ブラシ付き DC モーターの駆動

DRV8962 は、1 つまたは 2 つのブラシ付き DC モーターの駆動に使用できます。

8.1.3.1 ブラシ付き DC ドライバの代表的なアプリケーション

次の回路図は、2 つのブラシ付き DC モータを駆動する DRV8962 を示したものです。

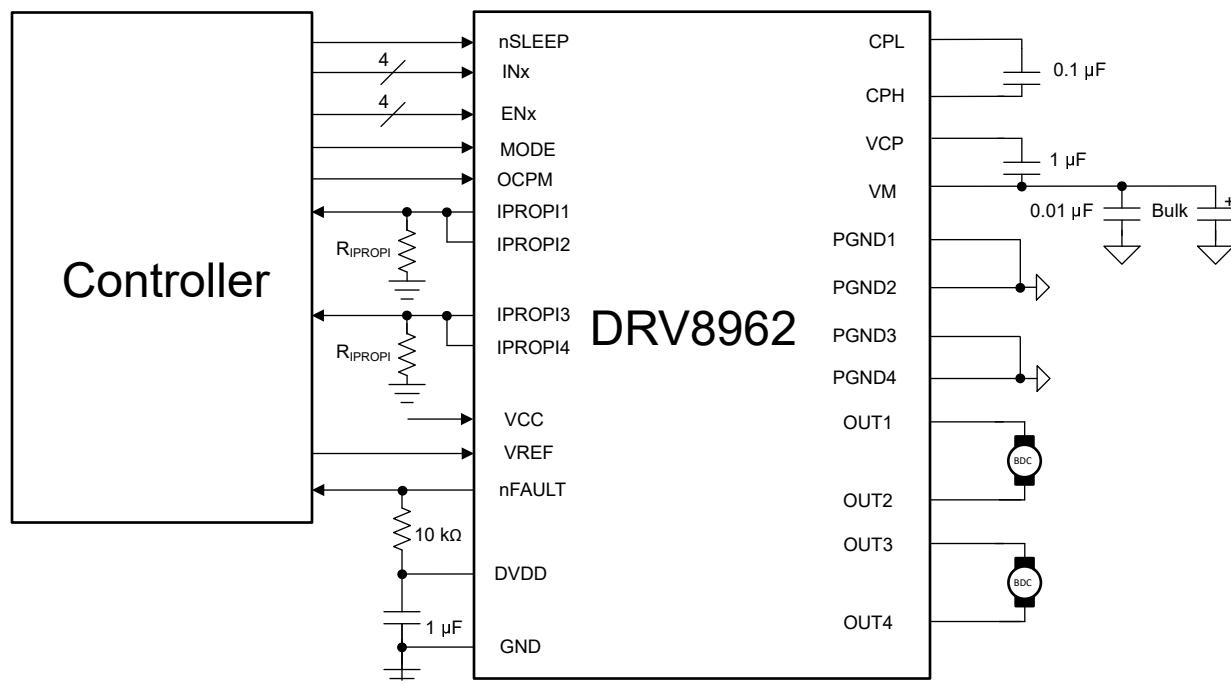


図 8-6. DRV8962 による 2 つのブラシ付き DC モータの駆動

ブラシ付き DC モータを制御する方法を、次の真理値表に示します。

表 8-1. ブラシ付き DC モータの真理値表

機能	EN1	EN2	IN1	IN2	OUT1	OUT2
順方向	1	1	1	PWM	H	H/L
逆方向	1	1	PWM	1	H/L	H
ブレーキ	1	1	1	1	H	H
ブレーキ*	1	1	0	0	L	L
コースト*	0	X	X	X	Z	X
コースト*	X	0	X	X	X	Z

* IPROPI ピンは、これらの条件では比例電流を出力しません。

8.1.3.2 電力損失の計算

ハイサイド再循環を使用する H ブリッジの場合、各 FET の消費電力は次のように概算できます。

- $P_{HS1} = R_{DS(ON)} \times I_L^2$
- $P_{LS1} = 0$
- $P_{HS2} = [R_{DS(ON)} \times I_L^2 \times (1-D)] + [2 \times V_D \times I_L \times t_D \times f_{PWM}]$
- $P_{LS2} = [R_{DS(ON)} \times I_L^2 \times D] + [V_M \times I_L \times t_{RF} \times f_{PWM}]$

逆方向の負荷電流フローの消費電力を推定するために同じ式が適用されますが、HS1 を HS2 に、LS1 を LS2 に交換します。

上記の式に次の値を代入します。

- $V_M = 24V$
- $I_L = 4A$
- $R_{DS(ON)} = 53m\Omega$
- $D = 0.5$
- $V_D = 1V$
- $T_D = 300ns$
- $t_{RF} = 70ns$
- $f_{PWM} = 20kHz$

各 FET での損失は次のように計算できます。

$$P_{HS1} = 53m\Omega \times 4^2 = 0.848W$$

$$P_{LS1} = 0$$

$$P_{HS2} = [53m\Omega \times 4^2 \times (1-0.5)] + [2 \times 1V \times 4A \times 300ns \times 20kHz] = 0.472W$$

$$P_{LS2} = [53m\Omega \times 4^2 \times 0.5] + [24 \times 4A \times 70ns \times 20kHz] = 0.558W$$

$$\text{静止電流損失 } P_Q = 24V \times 4mA = 0.096W$$

$$P_{TOT} = 2 \times (P_{HS1} + P_{LS1} + P_{HS2} + P_{LS2}) + P_Q = 2 \times (0.848 + 0 + 0.472 + 0.558) + 0.096 = 3.852W$$

8.1.3.3 接合部温度の推定

周囲温度 T_A 、総消費電力 (P_{TOT}) の場合、接合部温度 (T_J) は次のように計算されます。

$$T_J = T_A + (P_{TOT} \times R_{\theta JA})$$

JEDEC 規格の 4 層 PCB の場合を考えると、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、DDW パッケージの場合で $22.2^\circ C/W$ です。

周囲温度が $25^\circ C$ と仮定すると、DDW パッケージの接合部温度は次のように計算されます。

$$T_J = 25^\circ\text{C} + (3.852\text{W} \times 22.2^\circ\text{C/W}) = 110.5^\circ\text{C}$$

(19)

より正確な計算を行うには、セクション 8.1.1.2.2 と セクション 8.1.2.3 で説明されているように、デバイス接合部温度に対する FET のオン抵抗の依存性を考慮してください。

上部にヒートシンクを取り付けた DDV パッケージは、両方のブラシ付き DC モータに最大 10A の電流を供給できます。

8.1.3.4 単一のブラシ付き DC モーターの駆動

DRV8962 の出力を並列に接続して、駆動電流を増やすことができます。単一のブラシ付き DC モーターを駆動する DRV8962 の回路図を、図 8-7 に示します。

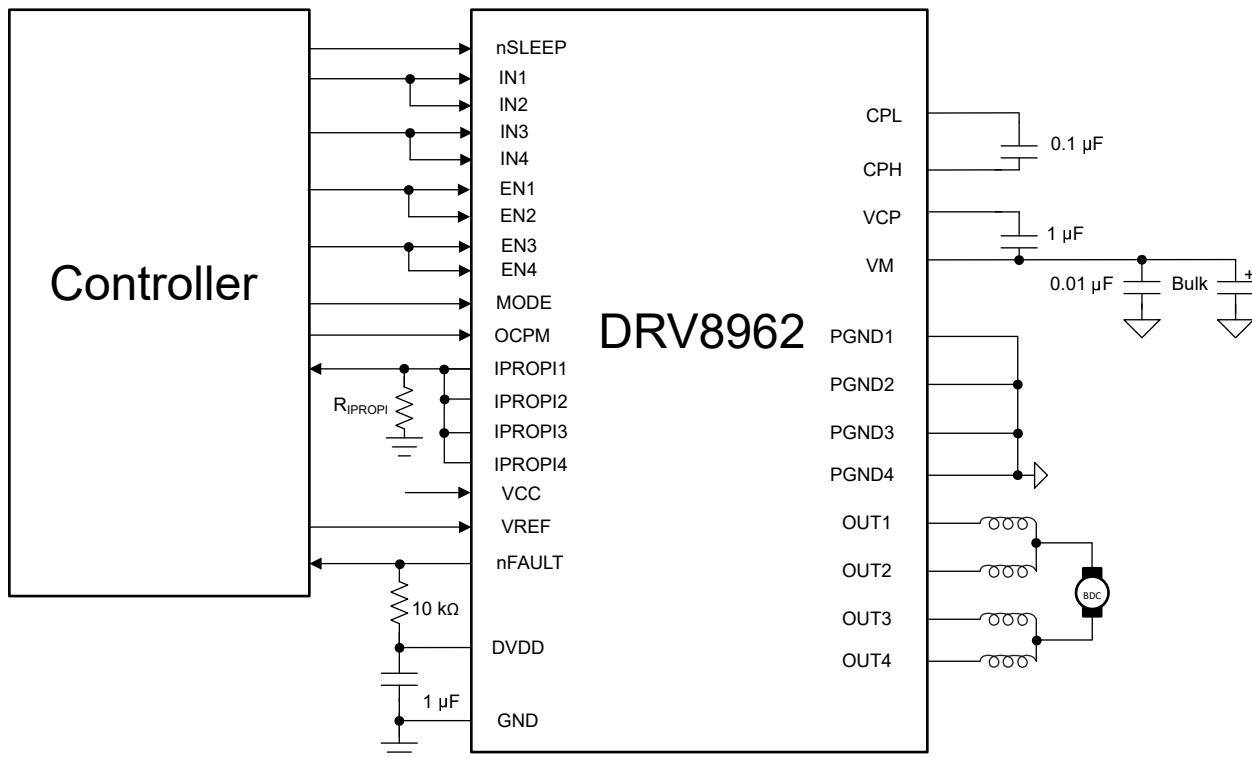


図 8-7. DRV8962 による単一のブラシ付き DC モーターの駆動

このモードでは、出力ピンの後、2 つのチャネルを互いに接続する前に、最小 30nH~100nH のインダクタンス、またはフェライト・ビーズが必要です。これにより、並列チャネルの不整合（非対称の PCB レイアウトなど）によるスイッチング過渡時に、2 つの並列チャネル間でのショートスルーを防止できます。

8.1.4 热電冷却器 (TEC) の駆動

热電冷却器 (TEC) はペルチェ効果に基いて動作します。TEC の両端に電圧が印加されると、DC 電流が半導体の接合部を流れ、温度差が生じます。熱は、TEC の片側から反対側に伝達されます。これにより、TEC 素子の「高温」側と「低温」側が形成されます。DC 電流が逆方向になると、高温側と低温側も逆方向になります。

TEC を流れる電流を変調する一般的な方法は、PWM 駆動を使用し、オンとオフのデューティ・サイクルを変えて、平均電流を変化させることです。单一電源で加熱と冷却の両方を可能にするには、H ブリッジ・トポロジが必要です。DRV8962 は 2 つの H ブリッジを駆動し、最大 5A の電流で 2 つの TEC を双方向駆動できます。ハーフブリッジのペアを並列接続して、最大 10A の電流で 1 つの TEC を駆動することもできます。

また、DRV8962 には $\pm 3.5\%$ の精度を達成する電流センシングと電流検出出力 (IPROPI) の機能が内蔵されているため、閉ループ制御トポロジで 2 つの外部シャント抵抗が不要になり、部品表のコストとスペースを削減できます。DRV8962 ドライバに接続された 2 つの TEC の回路図を、図 8-8 に示します。

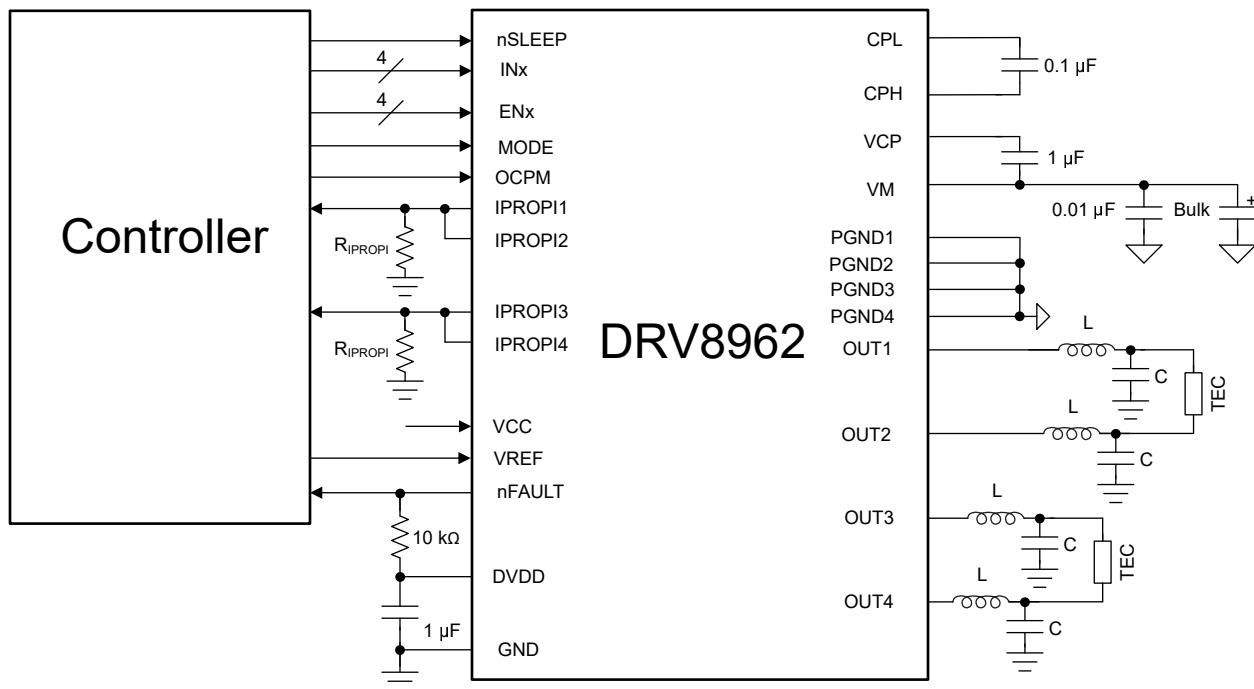


図 8-8. 2 つの TEC の駆動

より大きな電流で 1 つの TEC を駆動する回路図を、図 8-9 に示します。

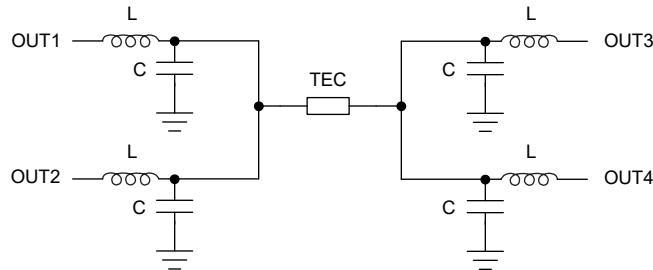


図 8-9. 1 つの TEC を大電流で駆動

出力ノードに接続された LC フィルタは、DRV8962 からの PWM 出力を、TEC 両端の低リップル DC 電圧に変換します。高速過渡 (方形波電力など) により TEC の寿命が短くなる可能性があるため、リップル電流を最小化するにはフィルタが必要です。最大リップル電流は、最大電流の 10% 未満にすることを推奨します。TEC の最大温度差は、リップル電流が増加すると減少し、次の式で計算されます。

$$\Delta T = \Delta T_{MAX} / (1 + N^2) \quad (20)$$

ここで、 ΔT は実際の温度差、 ΔT_{MAX} は TEC データシートに記載されている可能な最大の温度差、 N はリップルと最大電流の比です。 N は 0.1 より大きくはしません。

入力 PWM 周波数の選択は、スイッチング損失と、より小型のインダクタおよびコンデンサの使用との間のトレードオフです。また、PWM 周波数が高いと、TEC の両端の電圧を厳密に制御でき、LC コンポーネントのコストを削減できる可能性もあります。

2 次ローパス・フィルタの伝達関数を次に示します。

$$H(j\omega) = 1 / (1 - (\omega / \omega_0)^2 + j\omega / Q\omega_0) \quad (21)$$

ここで、

$$\omega_0 = 1 / \sqrt{LC}$$
、フィルタの共振周波数

Q = 品質係数

ω = DRV8962 の入力 PWM 周波数

フィルタの共振周波数は通常、PWM 周波数よりも 1 枝以上低い値を選択します。この想定から、式 20 は次のように簡素化できます。

$$\text{dB 単位の } H = -40 \log(f_s/f_0)$$

ここで、 $f_0 = 1/2\pi\sqrt{LC}$ 、 f_s は入力 PWM スイッチング周波数です。

- $L = 10\mu\text{H}$ 、 $C = 22\mu\text{F}$ の場合、共振周波数は 10.7kHz です。
- この共振周波数は、100kHz のスイッチング周波数で 39dB の減衰に相当します。
- $V_M = 48\text{V}$ の場合、39dB の減衰は、TEC 素子の両端におけるリップル電圧の大きさが約 550mV であることを意味します。
- したがって、抵抗が 1.5Ω の TEC 素子の場合、TEC を流れるリップル電流は 366mA になります。
- DRV8962 の最大出力電流 5A では、366mA は 7.32% のリップル電流に相当します。
- これにより、式 20 から TEC 素子の最大温度差が約 0.5% 低減されます。

TEC 素子を通過する電源電圧と DC 電流に応じて LC の値を調整します。DRV8962 は、最高 200kHz の入力 PWM 周波数をサポートしています。入力 PWM 周波数を選択する前に、与えられた周囲温度におけるデバイスの電力損失を慎重に考慮する必要があります。

一部の TEC ベースの冷暖房システムでは、電流ループを閉じることが重要です。DRV8962 は、外付けの電流シャント抵抗を使用せずに、この機能を実現できます。内部電流ミラーは各ハーフブリッジの電流を監視するために使用され、この情報は IROPI1 ピンで利用できます。マイクロコントローラは、IROPI1 ピンの電圧に基づいて PWM デューティを監視および調整できます。2 つの TEC を駆動するときは、対応するハーフブリッジの IROPI1 ピンを互いに接続して、H ブリッジ電流を測定します。たとえば、図 8-8 に示す回路図では、IROPI1 と IROPI2 が互いに接続され、IROPI3 と IROPI4 もまた互いに接続されています。図 8-9 に示すように 1 つの TEC のみを駆動する場合は、すべての IROPI ピンを互いに接続します。

さらに、DRV8962 は、外部基準電圧 (VREF) をデバイスに供給して電流レギュレーションのトリップ・ポイントを調整することにより、内部で電流をレギュレートできます。電流ループはその後で、H ブリッジ自体の中で閉じます。

8.1.5 ブラシレス DC モータの駆動

DRV8962 は、3 相ブラシレス DC (BLDC) モータの駆動にも使用できます。DRV8962 では、BLDC モータの駆動に必要な 3 相を独立に制御できます。対応する EN ピンをグランドに接続することで、BLDC モータの駆動中に DRV8962 の 4 つのハーフブリッジのいずれかをディセーブルできます。BLDC モータを駆動する DRV8962 の回路図を示します。

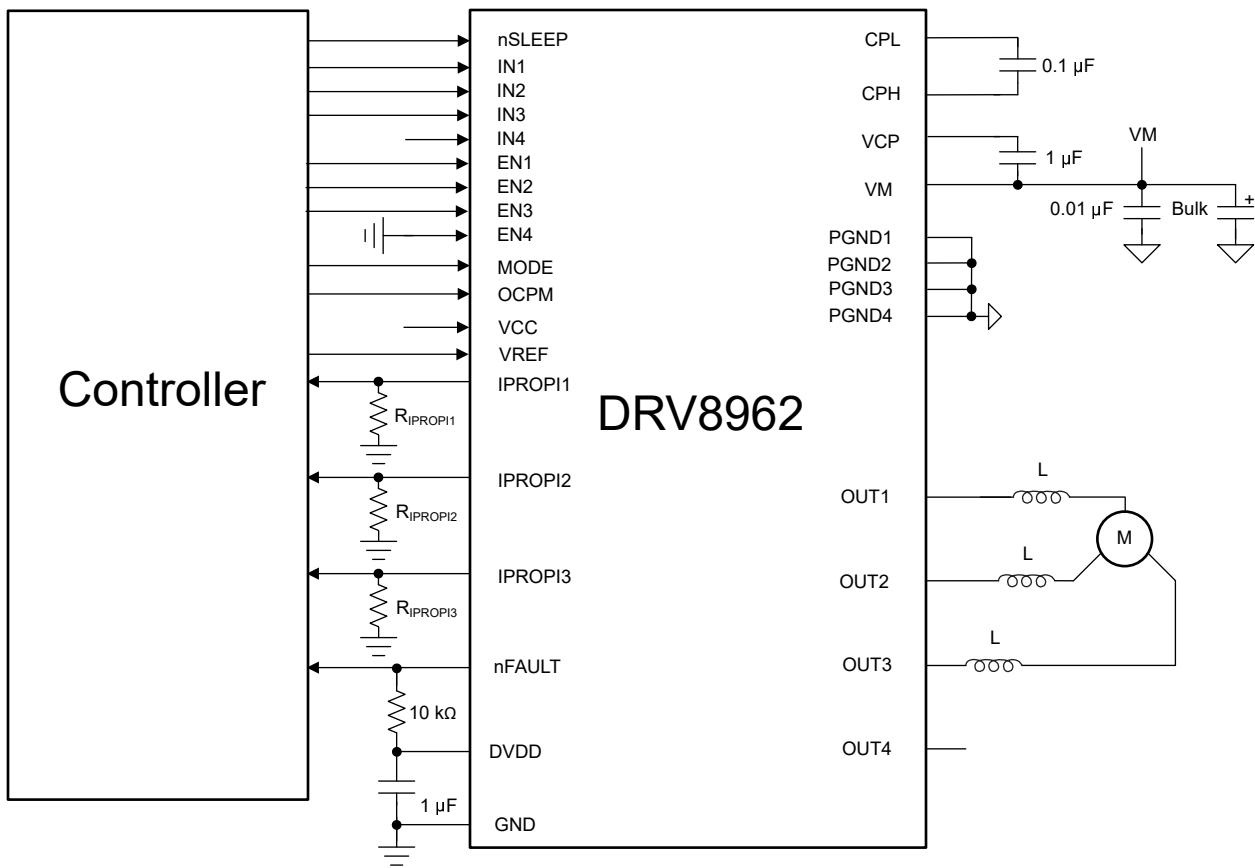


図 8-10. DRV8962 による BLDC モータの駆動

BLDC モータの駆動に必要な 3 つのハーフブリッジは、EN1、EN2、EN3、IN1、IN2、IN3 の 6 つの入力で制御できます。

- EN1 が Low のとき、OUT1 はハイ・インピーダンスになり、ハイサイドおよびローサイド FET の内部ボディ・ダイオードを電流が流れるようになります。
- EN1 が High で IN1 が Low のとき、OUT1 は Low に駆動され、ローサイド FET がイネーブルになります。
- EN1 が High で IN1 が High のとき、OUT1 は High に駆動され、ハイサイド FET がイネーブルになります。
- OUT2 と OUT3 についても同様です。
- EN4 をグランドに接続すると、OUT4 を永続的にディセーブルできます。

出力ピンの後には、最小 30nH~100nH のインダクタンスまたはフェライト・ビーズを接続する必要があります。これにより、チャネル間の不整合（プロセスのばらつき、非対称の PCB レイアウトなど）によるショート・スルーを防止できます。

IPROPI ピンは、各ハーフブリッジのハイサイド FET を流れる電流に比例した電圧を出力します。最大定格電流での IPROPI 出力の精度は ±3.5% です。

$$I_{IPROPI} = I_{HS} \times A_{IPROPI}$$

比例電圧 (V_{IPROPI}) を IPROPI ピンで生成するには、外付け抵抗 (R_{IPROPI}) を介して各 IPROPI ピンをグランドに接続する必要があります。これにより、標準の A/D コンバータ (ADC) を使用して、 R_{IPROPI} 抵抗両端の電圧降下として負荷電流を測定できます。

$$V_{IPROPI} = IPROPI \times R_{IPROPI}$$

電流検出の精度を高める必要がある場合は、PGND ピンとシステム・グランドとの間に外付けの検出抵抗を配置できます。外付け検出抵抗の両端での電圧降下は、300mV を超えないようにします。

9 パッケージの熱に関する考慮事項

9.1 DDW パッケージ

DDW パッケージのサーマル・パッドは、デバイスの熱能力を向上するため、デバイスの底面に取り付けられています。データシートに規定されている電力を供給するには、サーマル・パッドが PCB の大部分を覆うようにはんだ付けする必要があります。詳細については、[セクション 11.1](#) を参照してください。

9.1.1 热性能

データシートに規定する接合部から周囲への熱抵抗 $R_{\theta JA}$ は、おもに各種ドライバの比較または熱性能の概算に役立ちます。しかし、実際のシステム性能は、PCB 層構成 (スタッカップ)、配線、ビア数、サーマル・パッド周りの銅面積に応じて、この値よりも良くなったり、悪くなったりします。ドライバが特定の電流を駆動する時間の長さもまた、消費電力や熱性能に影響を与えます。ここでは、定常状態および過渡熱条件での設計方法について考察します。

このセクションのデータは、次の基準を使用してシミュレーションしたものです。

HTSSOP (DDW パッケージ)

- 2 層 PCB (サイズ $114.3 \times 76.2 \times 1.6\text{mm}$)、標準 FR4、1 オンス ($35\mu\text{m}$ 銅箔厚) または 2 オンス銅箔厚。サーマル・ビアはサーマル・パッドの下にのみ配置 (13 × 5 サーマル・ビア・アレイ、1.1mm 間隔、0.2mm 直径、0.025mm 銅メッキ)。
 - 上層: HTSSOP パッケージ・フットプリントと銅プレーン・ヒートシンク。シミュレーションでは、上層の銅箔面積を変化させています。
 - 下層: ドライバのサーマル・パッド下のビアで熱的に接続されたグランド・プレーン。下層の銅箔面積は上層の銅箔面積によって変化します。
- 4 層 PCB (サイズ $114.3 \times 76.2 \times 1.6\text{mm}$)、標準 FR4。外側のプレーンは 1 オンス ($35\mu\text{m}$ 銅箔厚) または 2 オンス銅箔厚。内側のプレーンは 1 オンスで一定。サーマル・ビアはサーマル・パッドの下にのみ配置 (13 × 5 サーマル・ビア・アレイ、1.1mm 間隔、0.2mm 直径、0.025mm 銅メッキ)。
 - 上層: HTSSOP パッケージ・フットプリントと銅プレーン・ヒートシンク。シミュレーションでは、上層の銅箔面積を変化させています。
 - 中間層 1: サーマル・パッドとビアで熱的に接続された GND プレーン。グランド・プレーンの面積は、上面の銅箔部分の面積によって異なります。
 - 中間層 2: 電源プレーン、熱的接続なし。電源プレーンの面積は、上面の銅箔部分の面積によって異なります。
 - 下層: TOP プレーンおよび内部 GND プレーンからビア・スティッチングで熱的に接続された信号層。下層のサーマル・パッドは上層の銅箔部分と同じサイズ。

DDW パッケージについてシミュレーションした基板の例を [図 9-1](#) に示します。表 9-1 に、各シミュレーションで変化させた基板の寸法を示します。

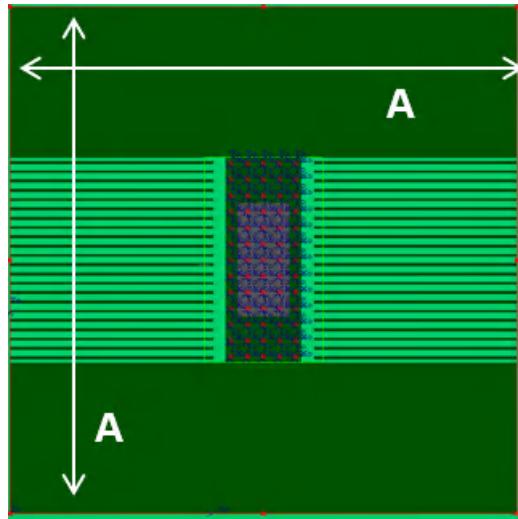


図 9-1. DDW PCB モデルの上層

表 9-1. DDW パッケージの寸法 A

銅 (Cu) 面積 (cm ²)	寸法 A (mm)
2	19.79
4	26.07
8	34.63
16	46.54
32	63.25

9.1.1.1 定常状態熱性能

「定常状態」条件とは、ドライバが長時間にわたって一定の RMS 電流で動作することを指します。このセクションの図は、銅面積、銅厚、PCB 層数に応じた $R_{\theta JA}$ と Ψ_{JB} (接合部から基板への熱特性) の変化を示しています。銅面積が大きく、層数が多く、銅プレーンが厚いほど、 $R_{\theta JA}$ と Ψ_{JB} は小さくなり、PCB レイアウトの熱性能が高くなることを示しています。

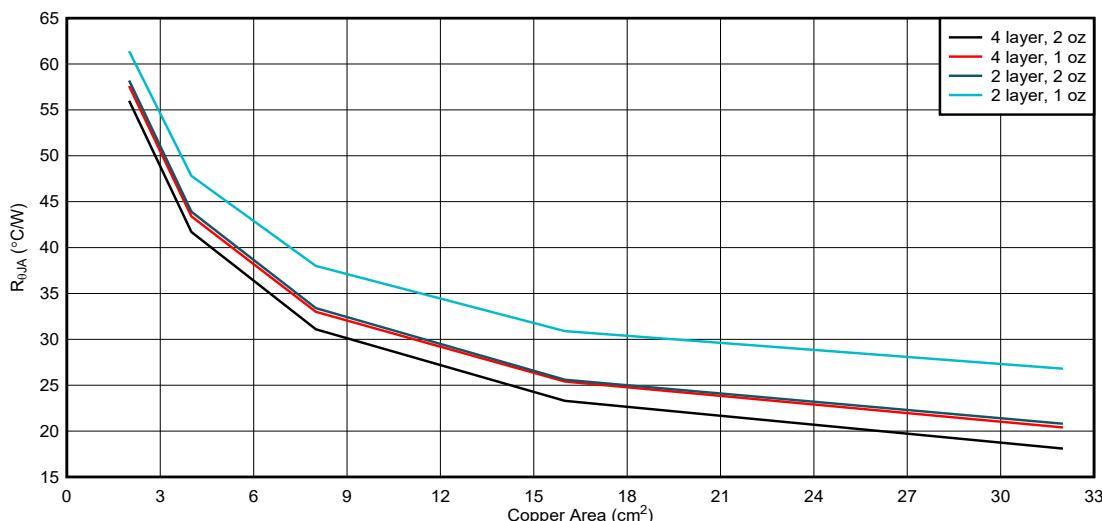


図 9-2. DDW パッケージ、PCB の接合部から周囲への熱抵抗と銅面積との関係

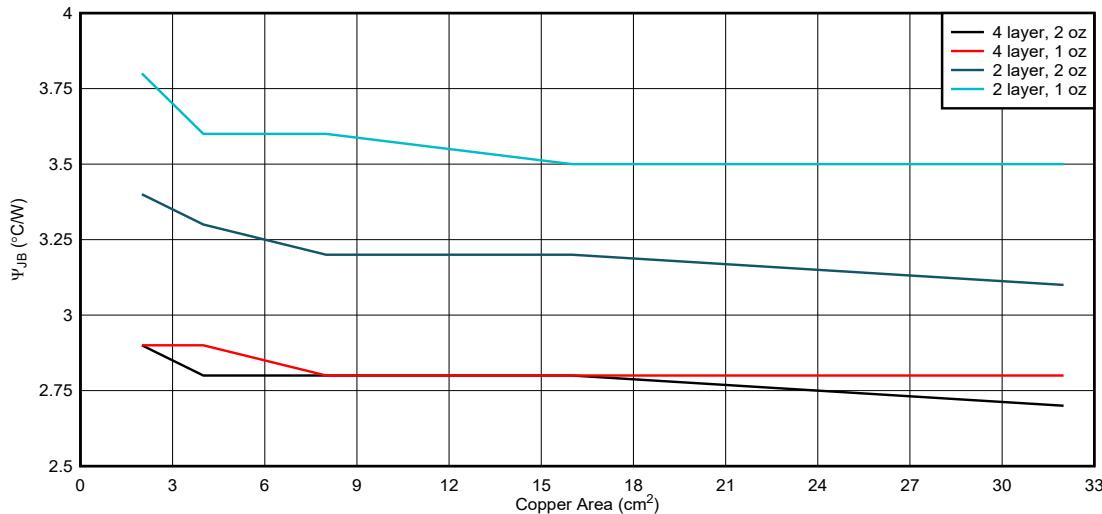


図 9-3. DDW パッケージ、接合部から基板への特性パラメータと銅面積との関係

9.1.1.2 過渡熱性能

ドライバは、短時間に大きな電流が流れるさまざまな過渡駆動条件を経験する可能性があります。たとえば、次のような条件があります。

- ローターが最初に静止しているときのモータ起動。
- 電源またはグランドがモータの出力のいずれかに短絡し、過電流保護がトリガされるフォルト条件。
- モータまたはソレノイドが短時間駆動された後、解放される。

このような過渡条件では、銅箔部分の面積や厚さに加えて、駆動時間も熱性能に影響を与えます。過渡条件の場合、熱インピーダンス・パラメータ ($Z_{\theta JA}$) は、接合部から周囲への熱性能を示します。このセクションの図は、DDW パッケージ用の 1 オンスおよび 2 オンスの銅のレイアウトでの熱インピーダンスをシミュレートしたものです。これらのグラフは、短い電流パルスで熱性能が高くなることを示しています。駆動時間が短い場合、本デバイスのダイ・サイズとパッケージが熱性能を支配します。より長いドライブ・パルスの場合、基板レイアウトが熱性能により大きな影響を与えます。どちらのグラフの熱インピーダンス曲線も、ドライブ・パルス期間が長くなるに従って層数と銅面積に応じた差が観測されることを示しています。長いパルスの場合、定常状態の性能になるとみなすことができます。

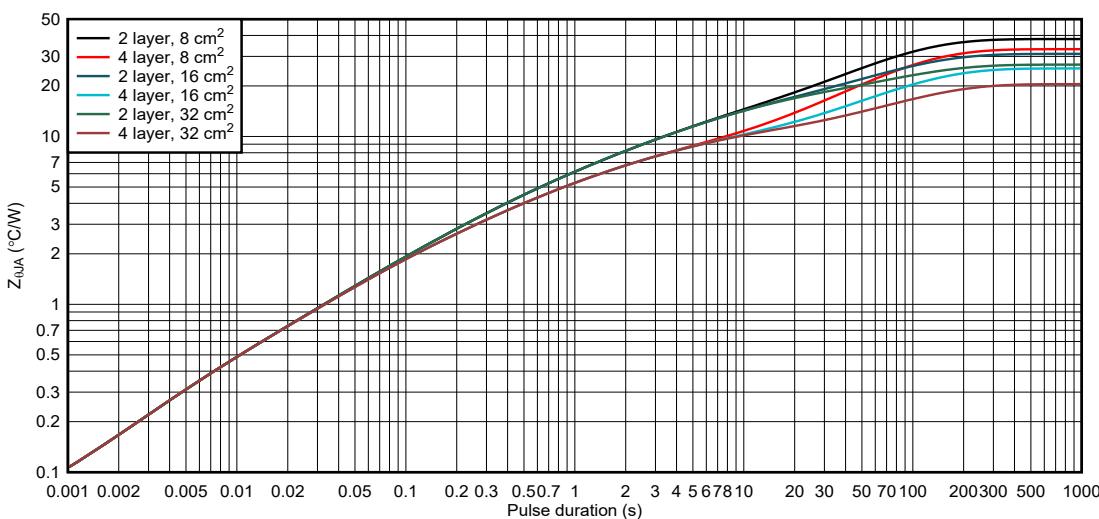


図 9-4. DDW パッケージと 1 オンス銅レイアウトでの、接合部から周囲への熱インピーダンス

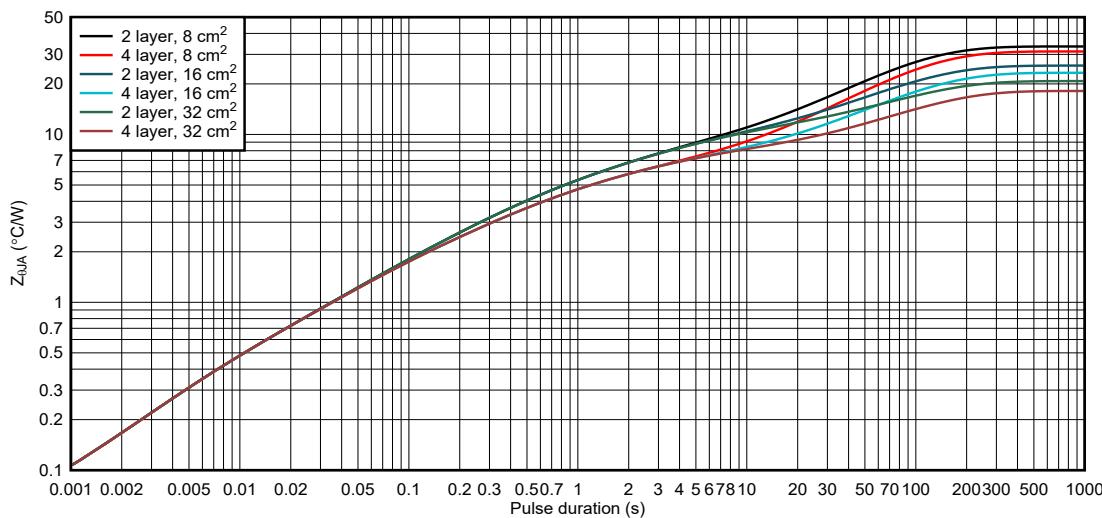


図 9-5. DDW パッケージと 2 オンス銅レイアウトでの、接合部から周囲への熱インピーダンス

9.2 DDV パッケージ

DDV パッケージは、熱インターフェイス・コンパウンドをはさんでヒートシンクと直接接続するように設計されています（例：Arctic Silver の Ceramique、TIMTronics 413 など）。ヒートシンクは DRV8962 からの熱を吸収し、空気に伝達します。適切な熱管理を行えば、このプロセスは平衡状態になり、デバイスから熱を継続的に伝達できます。DDV パッケージの上にあるヒートシンクの概念図を、図 9-6 に示します。

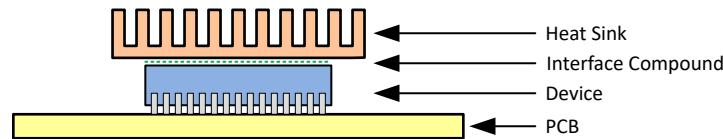


図 9-6. DDV パッケージ上のヒートシンク

ヒートシンクを取り付けるときは、損傷を避けるため、サーマル・パッドとの適切な接触を確保し、部品の機械的ストレス能力を超えないように注意する必要があります。DDV パッケージは、最大 90 ニュートンの負荷に耐えられます。製造時には、45 ニュートンを超える負荷トルクが適用されないようにすることをお勧めします。

$R_{\theta JA}$ は、接合部と周囲の空気との間のシステム熱抵抗です。このため、このシステム・パラメータには次の成分があります。

- DDV パッケージの $R_{\theta JC}$ (接合部から露出パッドまでの熱抵抗)
- 热インターフェイス材料の熱抵抗
- ヒートシンクの熱抵抗

$$R_{\theta JA} = R_{\theta JC} + \text{热インターフェイス抵抗} + \text{ヒートシンク抵抗}$$

サーマル・インターフェイス材質の熱抵抗は、露出した金属パッケージの面積と、面積の熱抵抗に関するメーカーの値 ($^{\circ}\text{Cmm}^2/\text{W}$ で表されます) から決定できます。たとえば、厚さ 0.0254mm (0.001 インチ) の層を持つ標準的な白色熱グリースの熱抵抗は $4.52^{\circ}\text{Cmm}^2/\text{W}$ です。DDV パッケージの露出台面積は 28.7mm^2 です。面積ごとの熱抵抗を、露出した金属の面積で除算すると、インターフェイス材料の熱抵抗は $0.157^{\circ}\text{C}/\text{W}$ と算出されます。

ヒートシンクの熱抵抗は、ヒートシンクのベンダによって予測され、連続的なフロー・ダイナミクス (CFD) モデルを使用してモデル化、または測定されます。ヒートシンクを選択するとき重要な各種パラメータを、以下に示します。

1. 热抵抗
2. 気流

3. 容積抵抗
4. フィン密度
5. フィン間隔
6. 幅
7. 長さ

熱抵抗は、存在する気流に応じて動的に変化するパラメータの 1 つです。

気流は通常、**LFM** (リニア・フィート / 分) または **CFM** (立方フィート / 分) 単位で測定されます。**LFM** は速度の測定値で、**CFM** は体積の測定値です。ファンは送出できる空気の量に従って定格が規定されているため、ファンのメーカーは通常 **CFM** を使用します。速度は、基板レベルでの熱除去において有意義です。このため、ほとんどのパワー・コンバータ・メーカーが提供するディレーティング曲線は、この数値を使用しています。

通常、気流は自然対流と強制対流に分類されます。

- 自然対流とは、外部から誘導される流れがない状況で、熱の伝達はヒートシンク周囲の空気に依存します。自然対流では、放射熱伝達の影響が非常に重要です。総放熱量の約 25% を放射熱伝達が占める可能性があります。部品が近くのより高熱な表面に向けられていない限り、放射を強化するためにヒートシンクの表面を塗装することは不可欠です。
- 強制対流は、機械的な手段、通常はファンやプロワによって空気の流れが誘導されるときに発生します。

熱予算と空間が限られているときは、特定のタイプのヒートシンクを選択することが非常に重要です。この場合、ヒートシンクの体積が関係します。特定のフロー条件について、ヒートシンクの体積を次の式で求めることができます。

体積 (heatsink)=体積抵抗 ($\text{Cm}^3 \text{ } ^\circ\text{C/W}$)/熱抵抗 θ_{SA} ($^\circ\text{C/W}$)

体積抵抗の近似範囲を、次の表に示します。

利用可能な気流 (LFM)	体積抵抗 ($\text{Cm}^3 \text{ } ^\circ\text{C/W}$)
NC	500~800
200	150~250
500	80~150
1000	50~80

ヒートシンクの性能に関する次の重要な基準は幅です。幅は気流に垂直な方向で測定され、ヒートシンクの性能に比例します。ヒートシンクの幅が 2、3、4 倍に増加すると、放熱能力も 2、3、4 倍になります。同様に、使用されるフィンの長さの平方根は、気流と同じ方向におけるヒートシンクの性能にはほぼ比例します。ヒートシンクの長さが 2、3、4 倍に増加すると、放熱能力は 1.4、1.7、2 倍だけ増加します。

基板に十分なスペースがあれば、ヒートシンクの長さよりも幅を広げたほうが有益です。これは、プロセスの開始にすぎません。実際のヒートシンクの正しい設計を完成させるには、この後で繰り返しプロセスを行う必要があります。

ヒートシンクは、IC の両端で機械的に支持する必要があります。この実装により、機械的、熱的、電気的に良好な接触のための正しい圧力が保証されます。ヒートシンクは **GND** に接続するか、フローティングのままにします。

9.3 PCB 材料に関する推奨事項

放熱性能を向上させ、EMI マージンを改善するため (PCB 配線のインダクタンスが低いため)、FR-4 ガラスエポキシ材料を使用し、上端と下端の層に 2 オンス (70 μm) の銅の使用を推奨します。

10 電源に関する推奨事項

DRV8962 は、4.5V～65V の入力電源電圧 (VM) 範囲で動作するように設計されています。VM 定格の $0.01\mu F$ セラミック・コンデンサを、DRV8962 の VM ピンの近くに配置する必要があります。また、バルク・コンデンサを VM に含める必要があります。

10.1 バルク容量

システムの設計では、適切なローカル・バルク容量が重要な要素です。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- システムで必要な最大電流
- 電源容量 (電流供給能力)
- 電源とシステムとの間にある寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッパ)
- モーターのブレーキ方式

電源とモーター駆動システムの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル・バルク容量が小さすぎると、大電流を供給しようとする場合、またはダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モーターが電源にエネルギーを伝達する場合のマージンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。

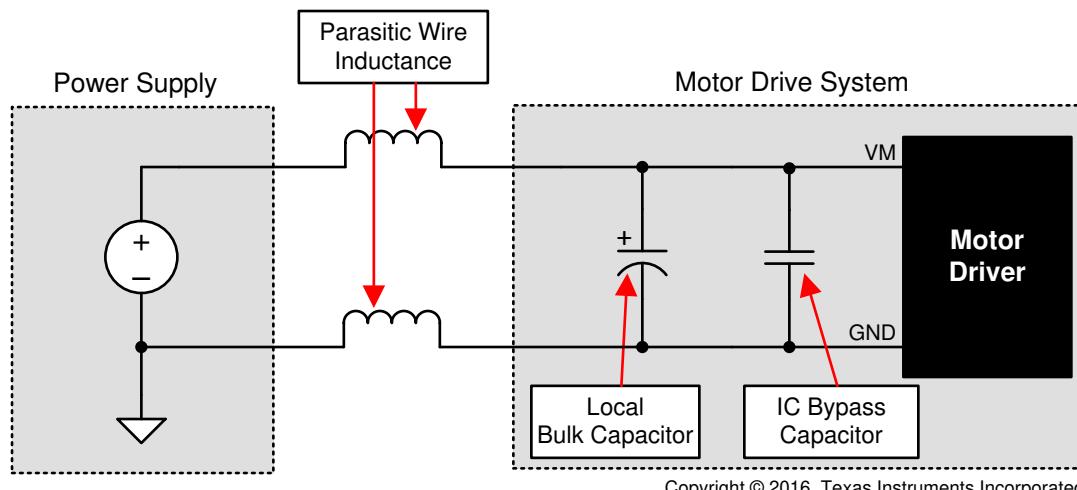


図 10-1. 外部電源を持つシステムの構成例

10.2 電源

DRV8962 は、VM ピンに接続された単一の電源電圧のみで動作します。

- VM ピンは、ハーフブリッジに電源を供給します。
- 内部電圧レギュレータは、デジタル回路と低電圧アナログ回路に 5V 電源 (DVDD) を供給します。DVDD ピンを外部回路の電圧源として使用することは推奨しません。
- 外部低電圧電源を VCC ピンに接続することで、内部回路に電力を供給することができます。過渡時に一定の電圧を供給するため、 $0.1\mu F$ のデカップリング・コンデンサを VCC ピンの近くに配置する必要があります。

- さらに、ハイサイド・ゲート・ドライブには、より高い電圧の電源が必要です。この電源は内蔵のチャージ・ポンプによって生成され、外付けのコンデンサを必要とします。

11 レイアウト

11.1 レイアウトのガイドライン

- 推奨値 $0.01\mu F$ で VM 定格の低 ESR セラミック・バイパス・コンデンサを使用して、VM ピンを PGND ピンにバイパスします。このコンデンサは、VM ピンのできるだけ近くに配置し、太い配線またはグランド・プレーンでデバイスの PGND ピンに接続します。
- VM 定格のバルク・コンデンサを使用して、VM ピンを PGND にバイパスします。この部品には電解コンデンサが使用できます。
- 低 ESR セラミック・コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM 電圧定格の $0.1\mu F$ を推奨します。この部品はピンにできるだけ近付けて配置します。
- 低 ESR セラミック・コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の $1\mu F$ を推奨します。この部品はピンにできるだけ近付けて配置します。
- 低 ESR セラミック・コンデンサを使用して DVDD ピンをグランドにバイパスします。6.3V 定格の $1\mu F$ を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。
- 低 ESR セラミック・コンデンサを使用して VCC ピンをグランドにバイパスします。6.3V 定格の $0.1\mu F$ を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。
- 一般に、電源ピンとデカップリング・コンデンサとの間のインダクタンスは避ける必要があります。
- DDW パッケージのサーマル・パッドは、システム・グランドに接続する必要があります。
 - システムやボードの全体に、大きく、切れ目のない単一のグランド・プレーンを使用することを推奨します。グランド・プレーンは PCB の底面に作成できます。
 - インピーダンスとインダクタンスを最小化するため、グランド・ピンからビアを経由して下層のグランド・プレーンに接続する配線は、できる限り短く、幅広くする必要があります。
 - インピーダンスを低減するために、複数のビアを推奨します。
 - 熱の拡散を改善するため、デバイスの周囲、特に PCB の下層はできるだけ部品を置かないようにしてください。
 - サーマル・パッドに接続された単一または複数の内部グランド・プレーンも、熱の拡散を助け、熱抵抗を減らすため役立ちます。

11.2 レイアウト例

DRV8962 EVM のレイアウト例に従います。設計ファイルは、[DRV8962EVM](#) の製品フォルダからダウンロードできます。

12 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを、以下で紹介します。

12.1 関連資料

- テキサス・インスツルメンツ、『DRV8xxx によるユニポーラ・ステッパ・モーターの駆動方法』アプリケーション・レポート
- テキサス・インスツルメンツ、『モーター・ドライバの消費電力の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『電流再循環および減衰モード』アプリケーション・レポート
- テキサス・インスツルメンツ、『モーター・ドライバの電流定格の理解』アプリケーション・レポート
- テキサス・インスツルメンツ、『モーター・ドライバのレイアウト・ガイド』アプリケーション・レポート
- テキサス・インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション・レポート
- テキサス・インスツルメンツ、『TEC の駆動で検討すべきモーター・ドライバ』

12.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

12.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。[TI の使用条件](#)を参照してください。

12.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

12.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

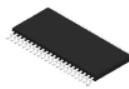
12.6 用語集

テキサス・インスツルメンツ用語集

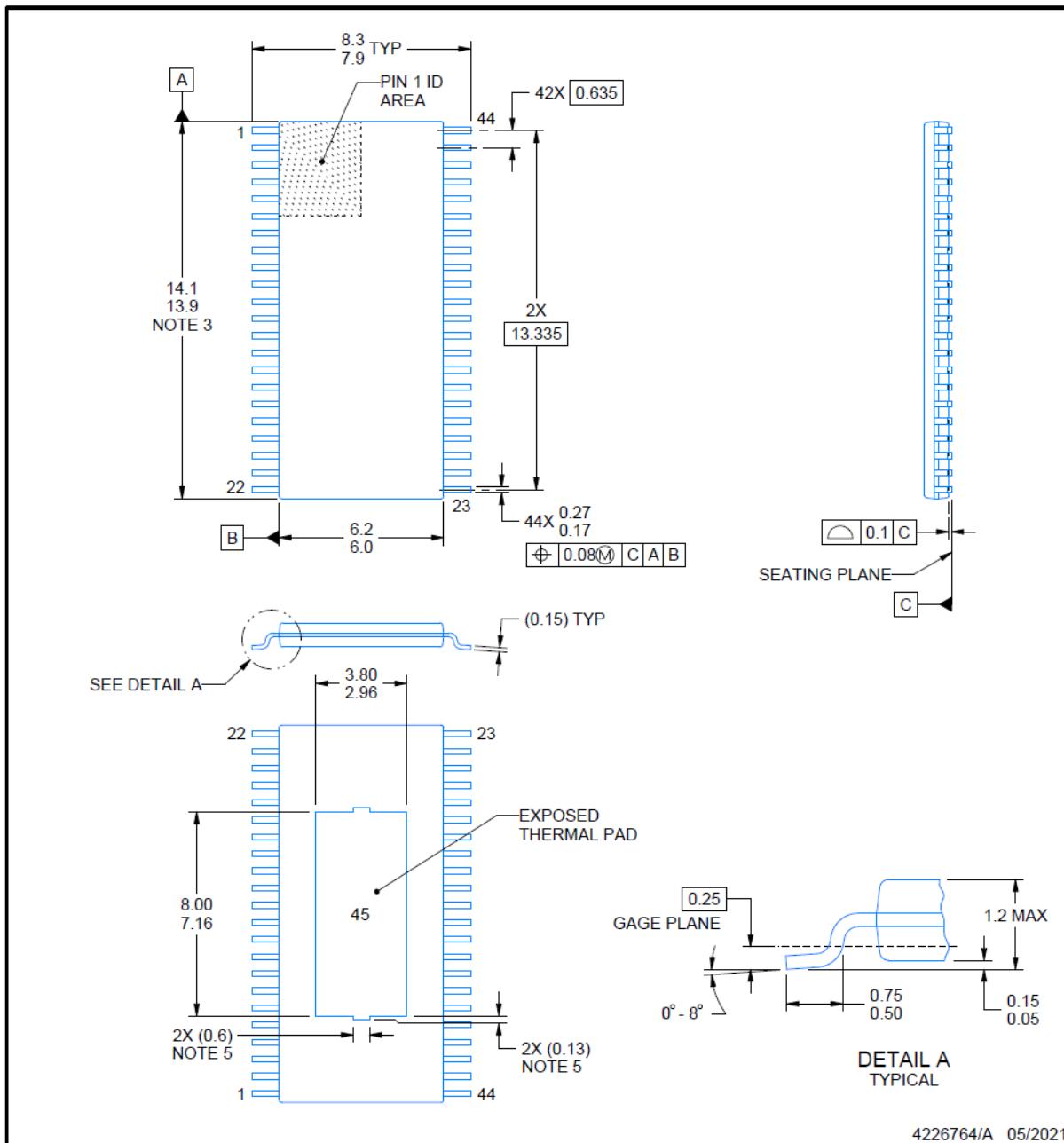
この用語集には、用語や略語の一覧および定義が記載されています。

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあります。ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

DDW0044E**PACKAGE OUTLINE****PowerPAD™ TSSOP - 1.2 mm max height**

PLASTIC SMALL OUTLINE



4226764/A 05/2021

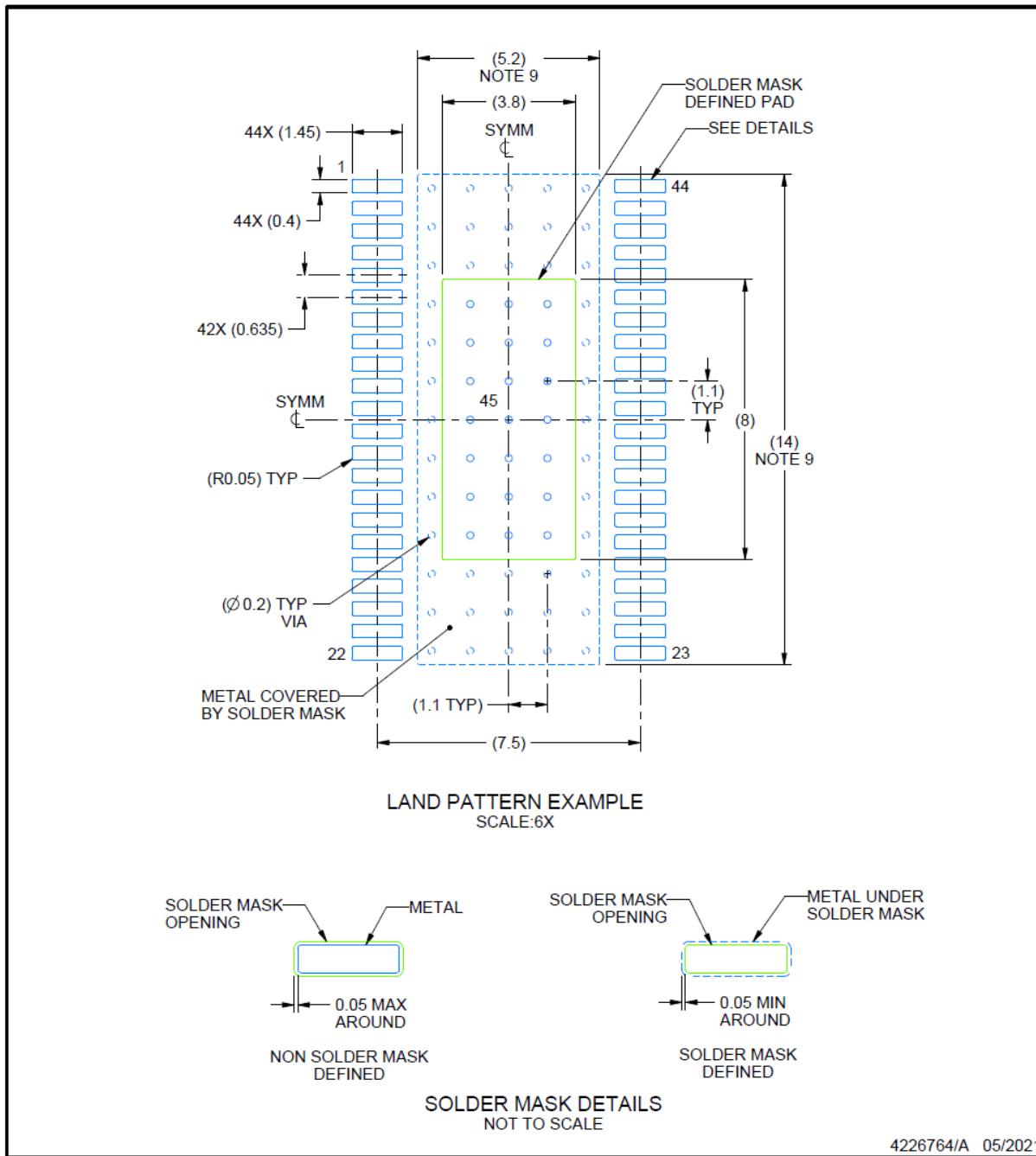
PowerPAD is a trademark of Texas Instruments.

EXAMPLE BOARD LAYOUT

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



4226764/A 05/2021

NOTES: (continued)

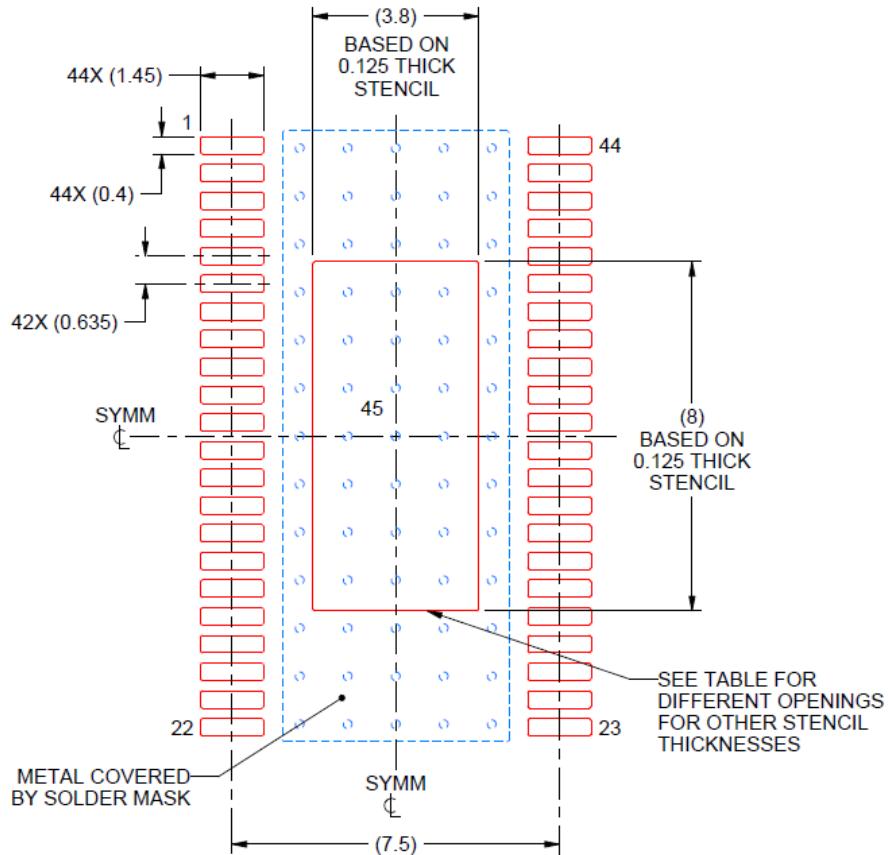
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE

PAD 45:

100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.25 X 8.94
0.125	3.80 X 8.00 (SHOWN)
0.15	3.47 X 7.30
0.175	3.21 X 6.76

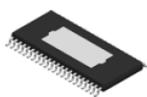
4226764/A 05/2021

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

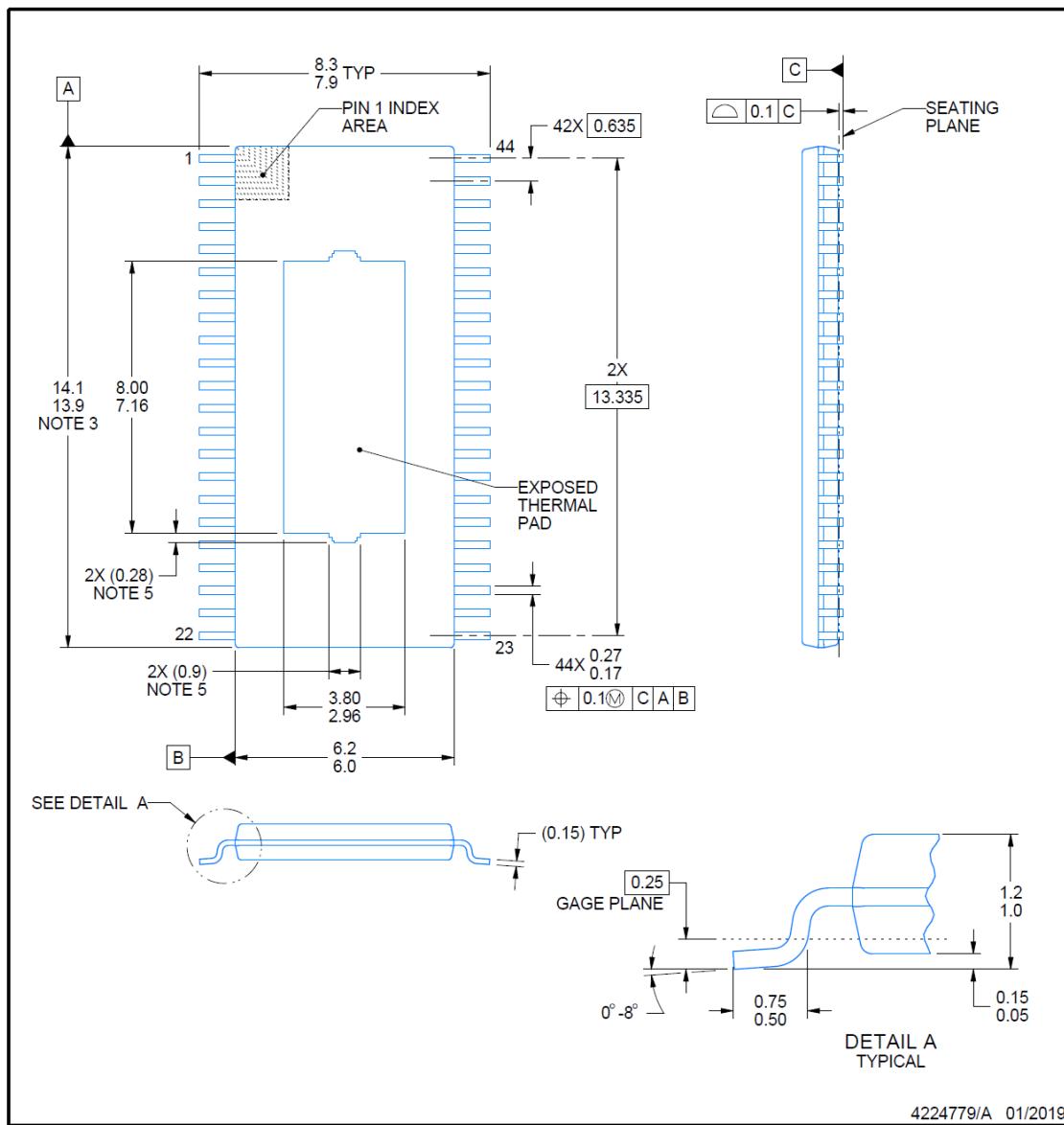
PACKAGE OUTLINE

DDV0044E



PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. Reference JEDEC registration MO-153.
 5. The exposed thermal pad is designed to be attached to an external heatsink.
 6. Features may differ or may not be present.

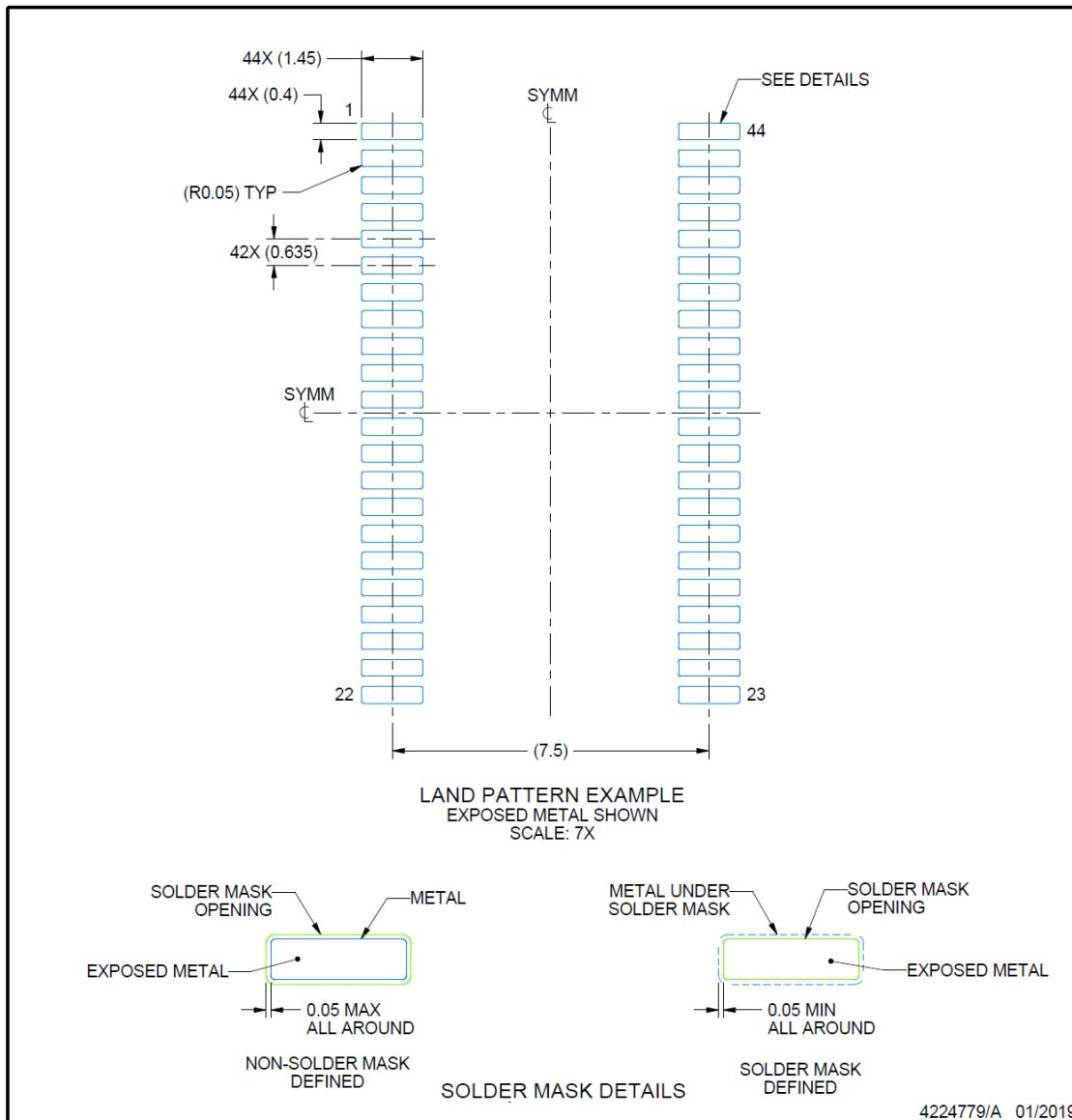


EXAMPLE BOARD LAYOUT

DDV0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

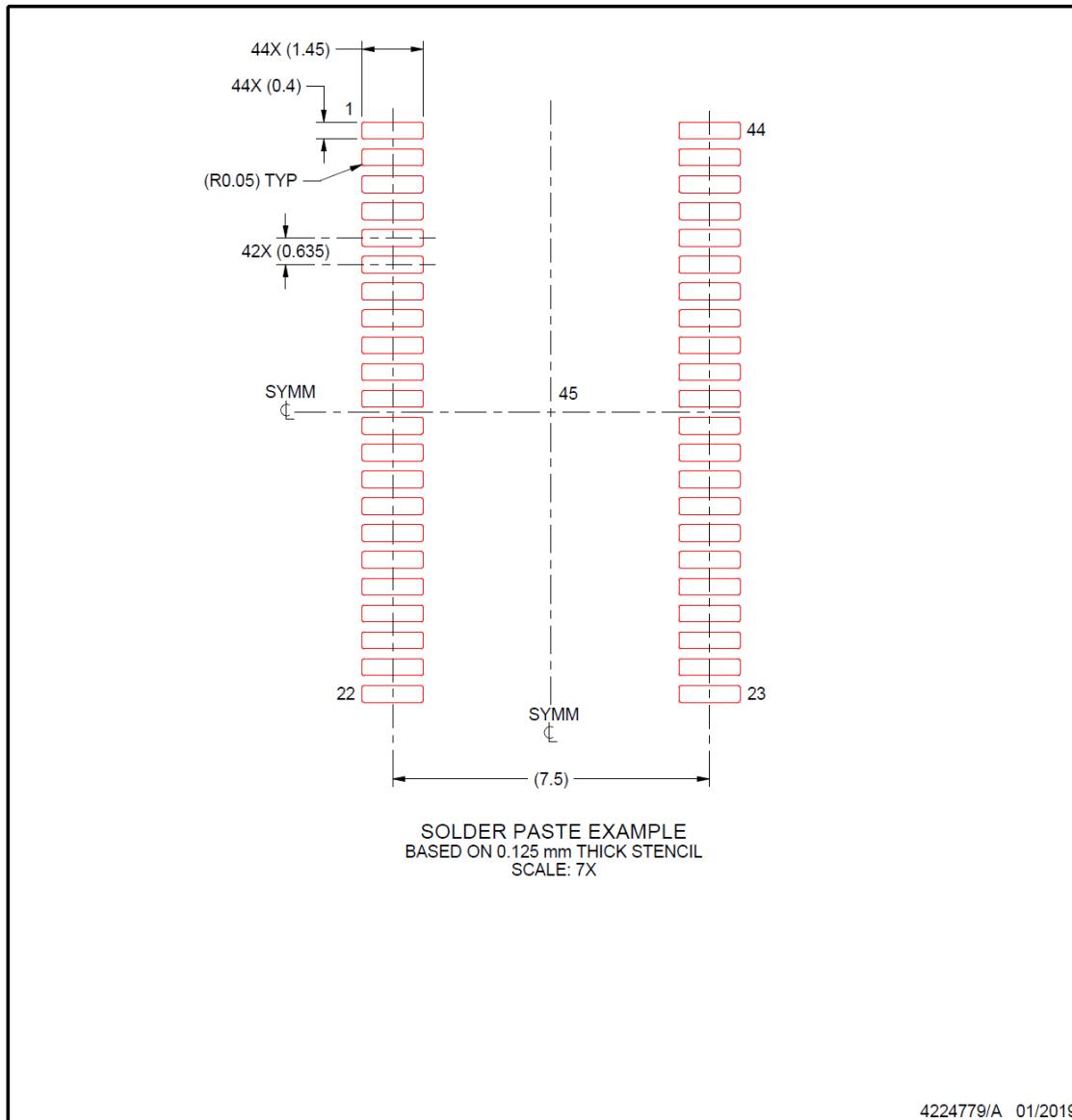
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDV0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE

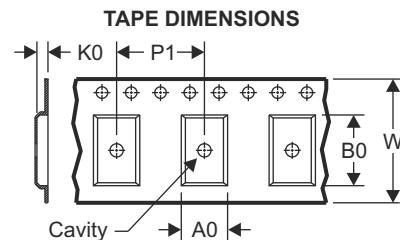
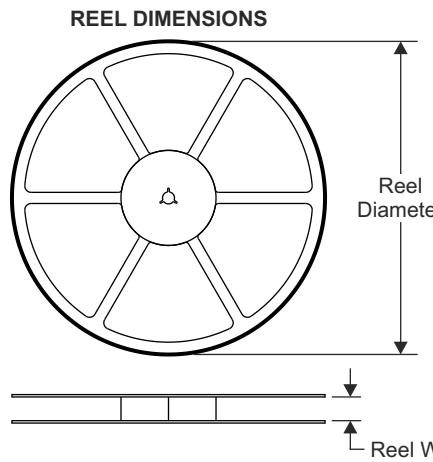


4224779/A 01/2019

NOTES: (continued)

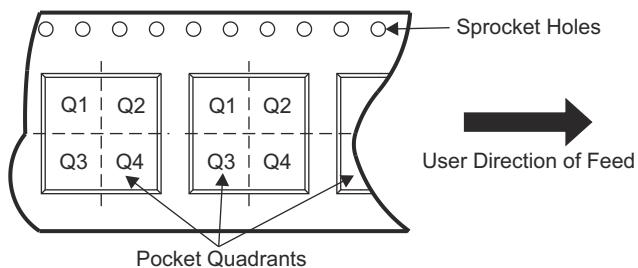
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

13.1 テープおよびリール情報



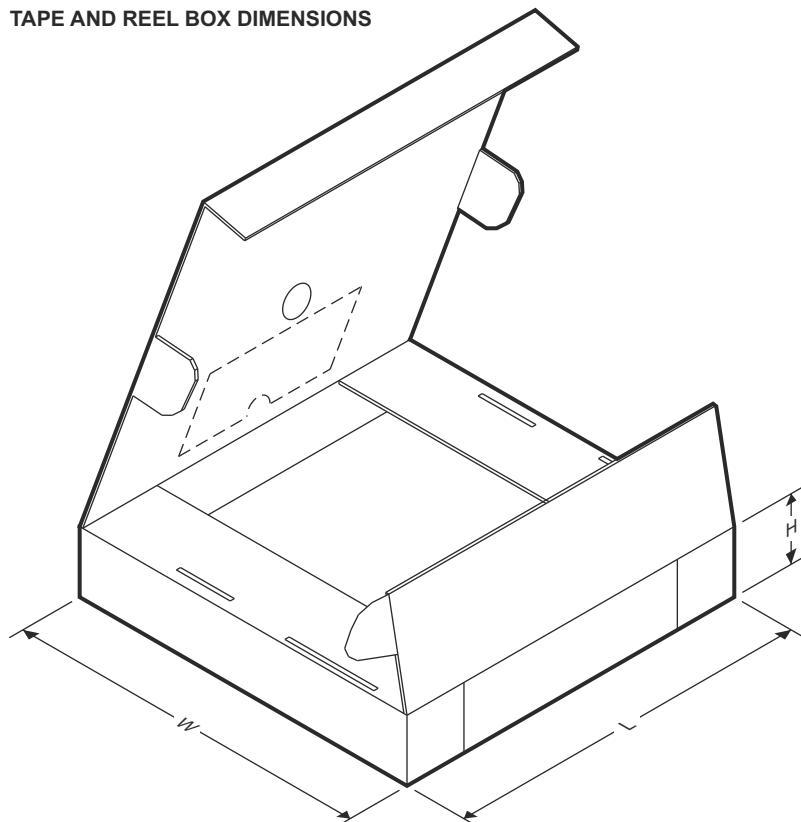
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ・タイプ	パッケージ図	ピン数	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	1ピンの象限
DRV8962DDWR	HTSSOP	DDW	44	2500	330	24.4	8.9	14.7	1.4	12	24	Q1
DRV8962DDVR	HTSSOP	DDV	44	2500	330	24.4	8.9	14.7	1.4	12	24	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ・タイプ	パッケージ図	ピン数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
DRV8962DDWR	HTSSOP	DDW	44	2500	367.0	367.0	45.0
DRV8962DDVR	HTSSOP	DDV	44	2500	367.0	367.0	45.0

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8962DDVR	Active	Production	HTSSOP (DDV) 44	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8962
DRV8962DDVR.A	Active	Production	HTSSOP (DDV) 44	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8962
DRV8962DDWR	Active	Production	HTSSOP (DDW) 44	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8962
DRV8962DDWR.A	Active	Production	HTSSOP (DDW) 44	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8962

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

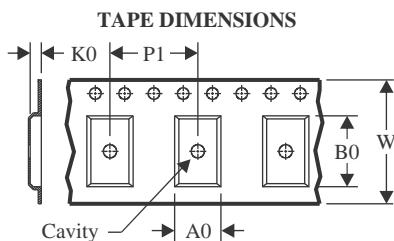
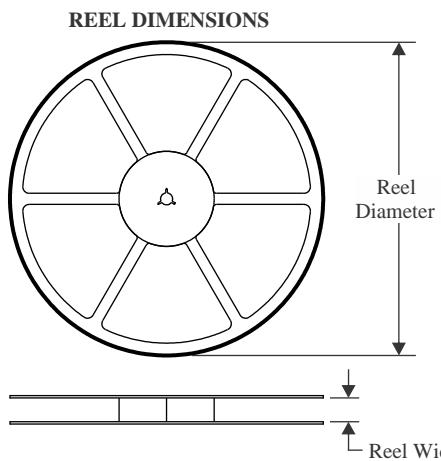
OTHER QUALIFIED VERSIONS OF DRV8962 :

- Automotive : [DRV8962-Q1](#)

NOTE: Qualified Version Definitions:

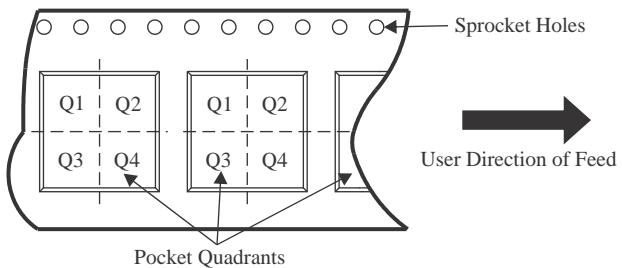
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION



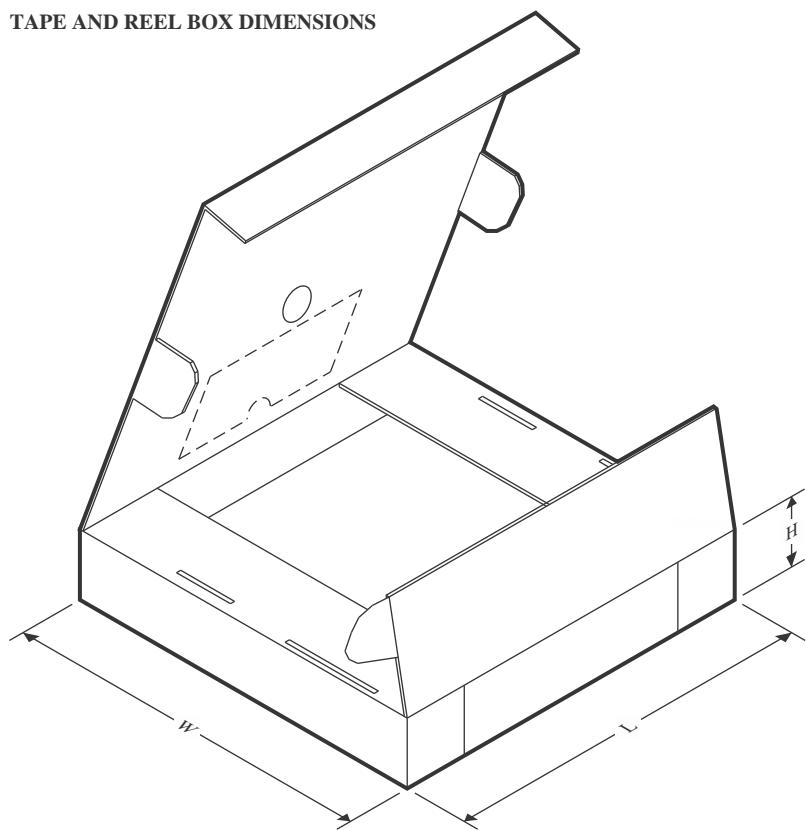
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8962DDVR	HTSSOP	DDV	44	2500	330.0	24.4	8.9	14.7	1.4	12.0	24.0	Q1
DRV8962DDWR	HTSSOP	DDW	44	2500	330.0	24.4	8.9	14.7	1.4	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

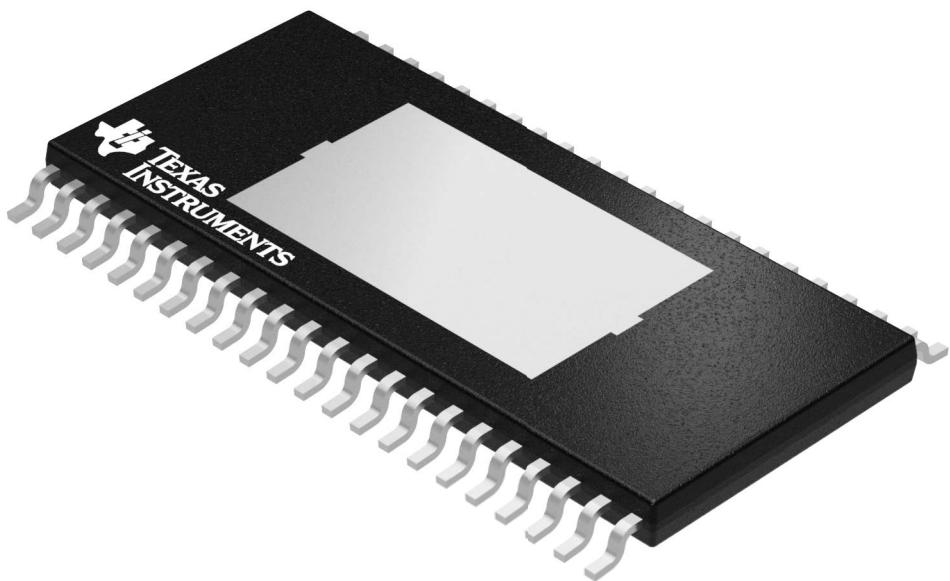
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8962DDVR	HTSSOP	DDV	44	2500	356.0	356.0	45.0
DRV8962DDWR	HTSSOP	DDW	44	2500	356.0	356.0	45.0

GENERIC PACKAGE VIEW

DDV 44

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4206011/H

GENERIC PACKAGE VIEW

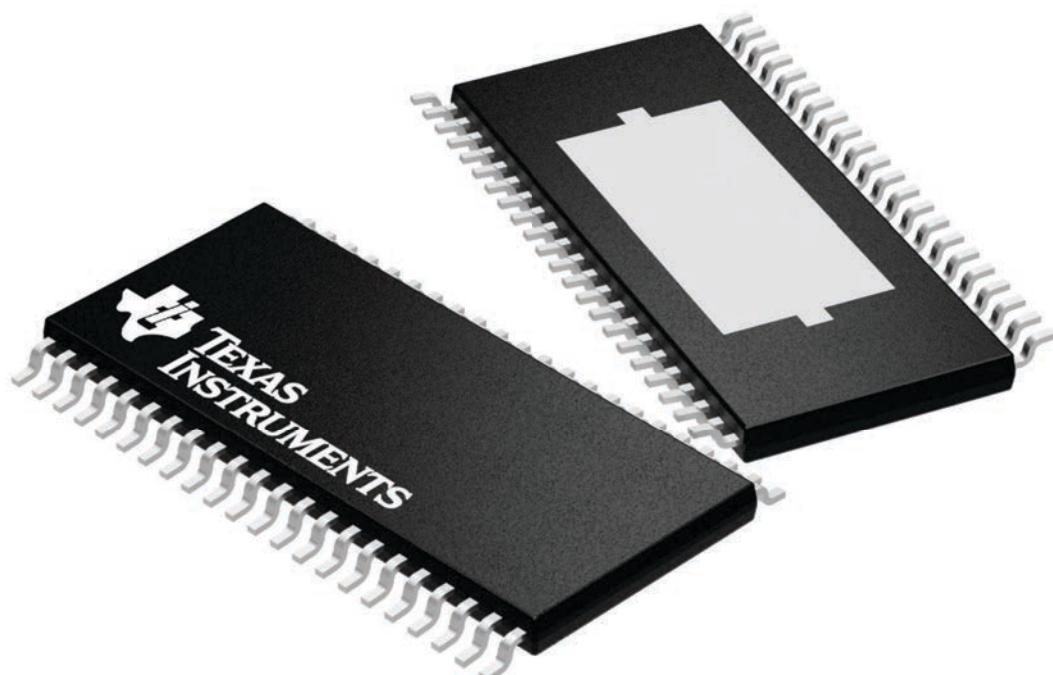
DDW 44

PowerPAD TSSOP - 1.2 mm max height

6.1 x 14, 0.635 mm pitch

PLASTIC SMALL OUTLINE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224876/A

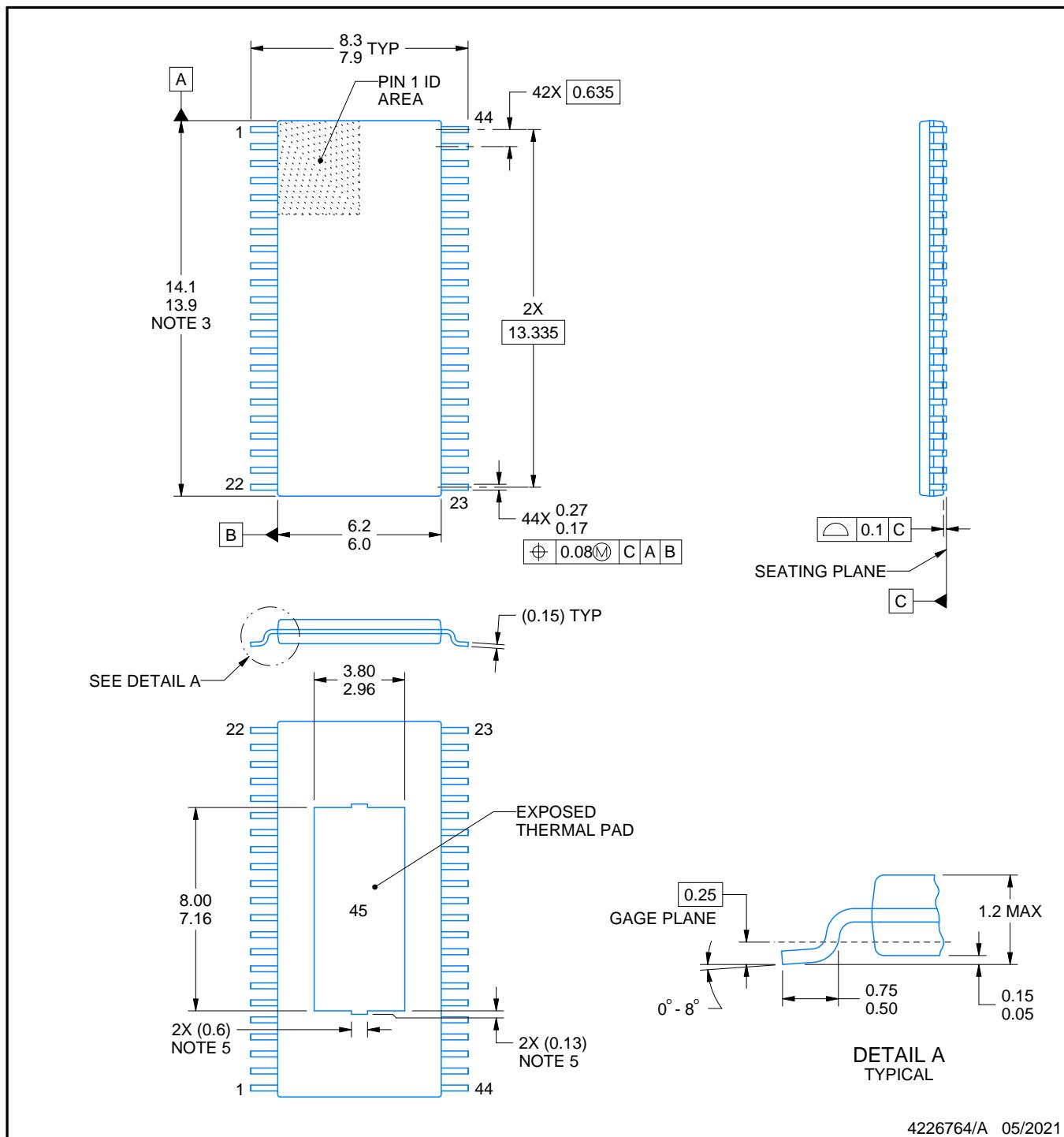


PACKAGE OUTLINE

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



4226764/A 05/2021

NOTES:

PowerPAD is a trademark of Texas Instruments.

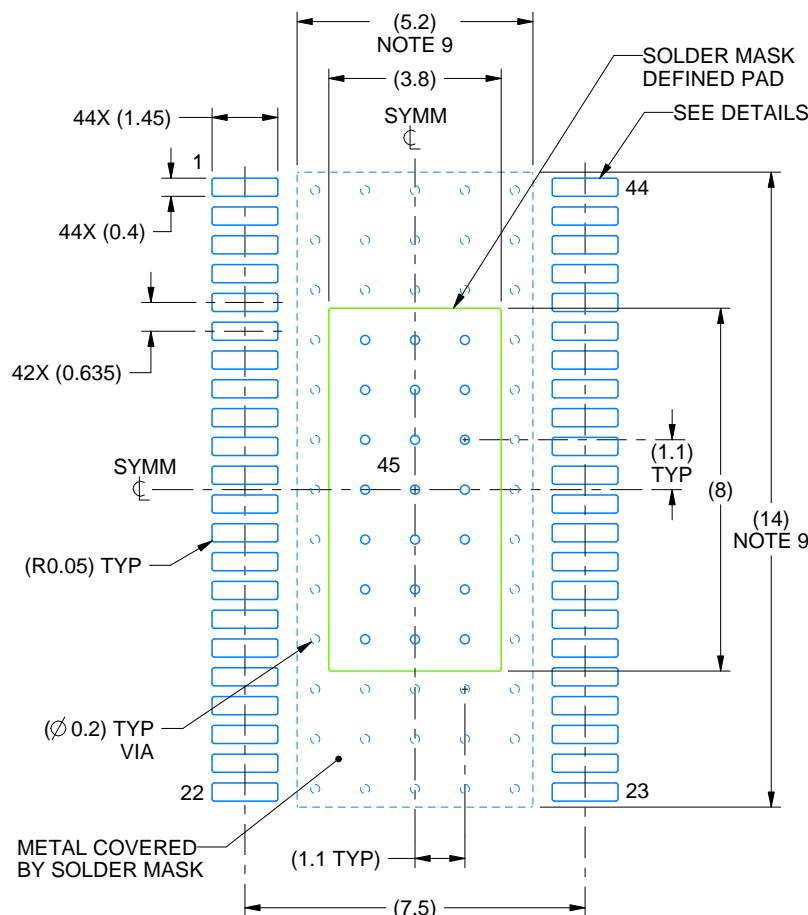
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. Reference JEDEC registration MO-153.
 5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

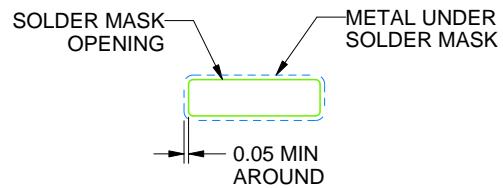
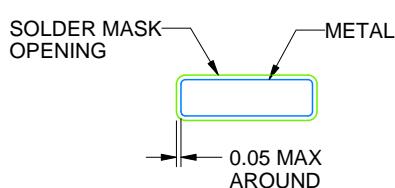
DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4226764/A 05/2021

NOTES: (continued)

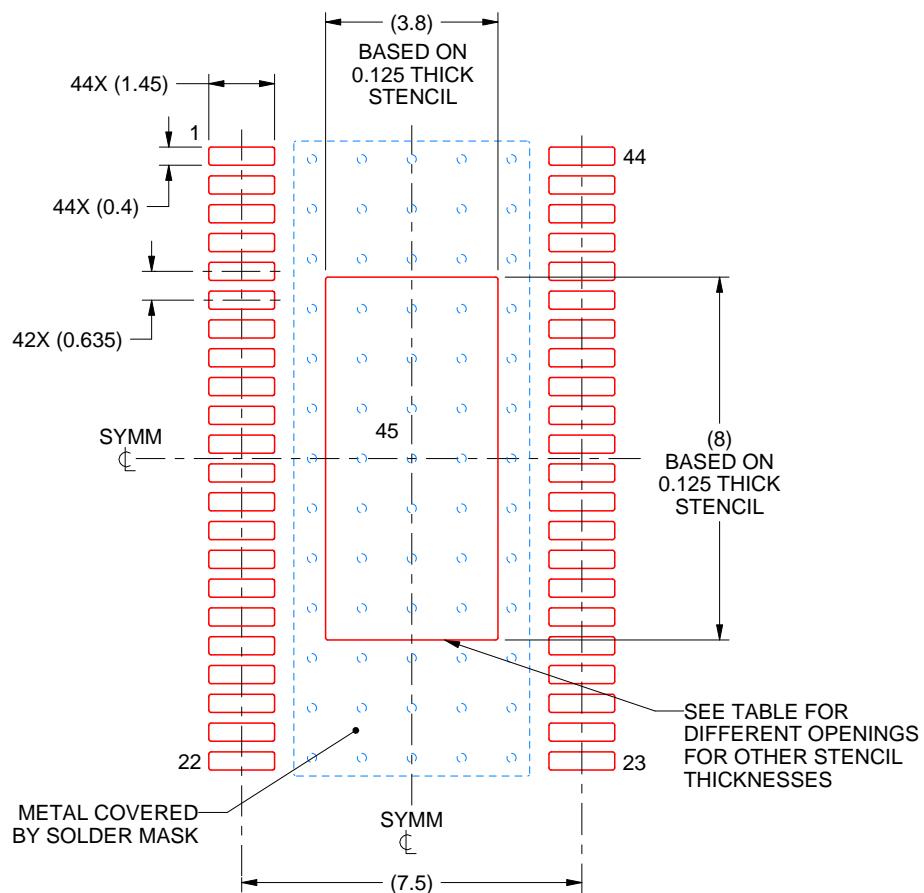
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE

PAD 45:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.25 X 8.94
0.125	3.80 X 8.00 (SHOWN)
0.15	3.47 X 7.30
0.175	3.21 X 6.76

4226764/A 05/2021

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月