

DRV8874-Q1 電流検出およびレギュレーション機能を搭載した H ブリッジ・モータ・ドライバ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: -40°C ~ +125°C, T_A
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- N チャネルの H ブリッジ・モータ・ドライバ
 - 1 つの双方向ブラシ付き DC モータを駆動
 - 2 つの単方向ブラシ付き DC モータ
 - その他の抵抗性および誘導性負荷
- 4.5V ~ 37V の動作電源電圧範囲
- ピン互換の R_{DS(on)} バリエーション
 - DRV8874-Q1: 200mΩ (ハイサイド + ローサイド)
 - DRV8876-Q1: 700mΩ (ハイサイド + ローサイド)
- 高い出力電流能力
 - DRV8874-Q1: 6A (ピーク)
 - DRV8876-Q1: 3.5A (ピーク)
- 電流検出およびレギュレーション機能を内蔵
- 比例電流出力 (IPROPI)
- 電流レギュレーション (IMODE) を選択可能
 - サイクル単位または固定のオフ時間
- 入力制御モード (PMODE) を選択可能
 - PH/EN および PWM H ブリッジ制御モード
 - 独立したハーフブリッジ制御モード
- 1.8V, 3.3V, 5V のロジック入力電圧に対応
- スリープ・モードでの非常に低い消費電力
 - V_{VM} = 24V, T_J = 25°C で 1μA 未満
- 拡散スペクトラム・クロックによる低い電磁気妨害 (EMI)
- 保護機能内蔵
 - 低電圧誤動作防止 (UVLO)
 - チャージ・ポンプ低電圧検出 (CPUV)
 - 過電流保護 (OCP)
 - 自動リトライまたは出力ラッチオフ (IMODE)
 - サーマル・シャットダウン (TSD)
 - フォルトからの自動復帰
 - フォルト通知出力ピン (nFAULT)

2 アプリケーション

- ブラシ付き DC モータ
- サーボ・モータとアクチュエータ
- オンボード充電器 (OBC) の充電口のロック
- サイレンおよび圧電
- サイド・ミラーの角度調整と折り畳み

- 電子シフトの調整とロック

3 概要

DRV8874-Q1 は、N チャネル H ブリッジ、チャージ・ポンプ、電流検出および比例出力、電流レギュレーション、保護回路を備えた統合型モータ・ドライバです。チャージ・ポンプは、N チャネル MOSFET ハーフブリッジと 100% デューティ・サイクル駆動に対応することで効率を向上させています。このデバイス・ファミリでは、最小限の設計変更で各種の負荷に対応できるように、ピン互換の R_{DS(on)} バリエーションを取りそろえています。

IPROPI ピンの内部電流ミラー・アーキテクチャは電流検出およびレギュレーションを実装しています。そのため、大電力シャント抵抗を使う必要がなく、基板面積を節約しシステム・コストを低減できます。IPROPI 電流検出出力を使うと、マイクロコントローラはモータのストールまたは負荷条件の変化を検出できます。外部基準電圧ピン (VREF) を使うことで、起動および高負荷イベント中もマイコンを使わずにモータ電流をレギュレートできます。

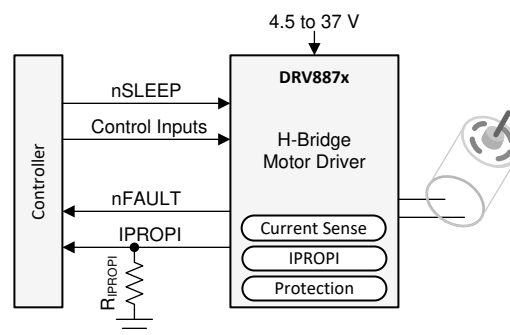
低消費電力スリープ・モードは、内部回路の多くをシャットダウンすることで非常に小さい静止電流を実現します。内部保護機能には、電源低電圧誤動作防止、チャージ・ポンプ低電圧、出力過電流、デバイス過熱が含まれます。フォルト条件は nFAULT で通知されます。

弊社のポートフォリオ全体については、ti.com の [ブラシ付きモーター・ドライバ](#) をご覧ください。

製品情報 (1)

部品番号	パッケージ	本体サイズ (公称)
DRV8874-Q1	HTSSOP (16)	5.00mm × 4.40mm

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



概略回路図



目次

1 特長.....	1	7.3 機能説明.....	10
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	19
3 概要.....	1	8 アプリケーションと実装.....	21
4 改訂履歴.....	2	8.1 アプリケーション情報.....	21
5 ピン構成と機能.....	3	8.2 代表的なアプリケーション.....	21
ピン機能.....	3	9 電源に関する推奨事項.....	31
6 仕様.....	4	9.1 バルク容量.....	31
6.1 絶対最大定格.....	4	10 レイアウト.....	32
6.2 ESD 定格.....	4	10.1 レイアウトのガイドライン.....	32
6.3 推奨動作条件.....	4	10.2 レイアウト例.....	32
6.4 熱に関する情報.....	5	11 デバイスおよびドキュメントのサポート.....	33
6.5 電气的特性.....	5	11.1 ドキュメントのサポート.....	33
6.6 代表的特性.....	8	11.2 ドキュメントの更新通知を受け取る方法.....	33
7 詳細説明.....	9	11.3 コミュニティ・リソース.....	33
7.1 概要.....	9	11.4 商標.....	33
7.2 機能ブロック図.....	9	12 メカニカル、パッケージ、および注文情報.....	34

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2020) to Revision B (January 2021) Page

• 機能安全の箇条書き項目を追加.....	1
-----------------------	---

Changes from Revision * (May 2019) to Revision A (June 2020) Page

• デバイスのステータスを「量産データ」に変更.....	1
------------------------------	---

5 ピン構成と機能

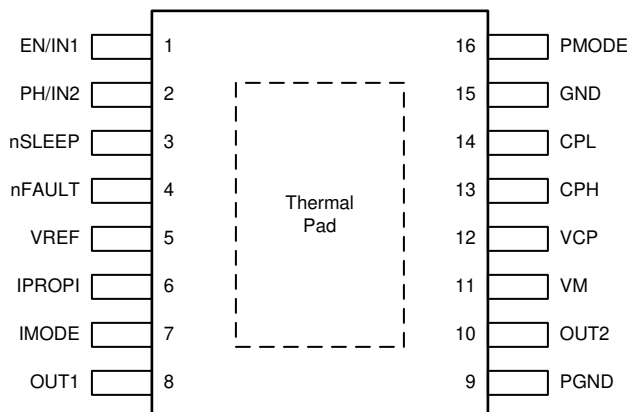


図 5-1. DRV8874-Q1 PWP パッケージ 16 ピン HTSSOP (露出サーマル・パッド付き) 上面図

ピン機能

ピン		タイプ (1)	説明
名前	PWP		
CPH	13	PWR	チャージ・ポンプのスイッチング・ノード。X5R または X7R、22nF、VM 定格セラミック・コンデンサを CPH ピンと CPL ピンの間に接続します。
CPL	14	PWR	
EN/IN1	1	I	H ブリッジ制御入力。「セクション 7.3.2」を参照してください。内部プルダウン抵抗。
GND	15	PWR	デバイスのグランド。システム・グランドに接続します。
IMODE	7	I	電流レギュレーションおよび過電流保護モード。「セクション 7.3.3.2」を参照してください。クワッドレベル入力。
IPROPI	6	O	負荷電流に比例するアナログ電流出力。「セクション 7.3.3.1」を参照してください。
nFAULT	4	OD	フォルト状態出力。フォルト条件の間 Low になります。オープン・ドレイン動作の場合、外付けプルアップ抵抗を接続します。「セクション 7.3.4」を参照してください。
nSLEEP	3	I	スリープ・モード入力。論理 High でデバイスをイネーブルします。論理 Low で低消費電力スリープ・モードに移行します。「セクション 7.4」を参照してください。内部プルダウン抵抗。
OUT1	8	O	H ブリッジ出力。モータまたはその他の負荷に接続します。
OUT2	10	O	H ブリッジ出力。モータまたはその他の負荷に接続します。
PGND	9	PWR	デバイスの電源グランド。システム・グランドに接続します。
PH/IN2	2	I	H ブリッジ制御入力。「セクション 7.3.2」を参照してください。内部プルダウン抵抗。
PMODE	16	I	H ブリッジ制御入力モード。「セクション 7.3.2」を参照してください。トライレベル入力。
VCP	12	PWR	チャージ・ポンプの出力。X5R または X7R、100nF、16V セラミック・コンデンサを VCP ピンと VM ピンの間に接続します。
VM	11	電源	4.5V~37V 電源入力。VM 定格の 0.1μF バイパス・コンデンサと十分なセクション 9.1 をグランドとの間に接続します。
VREF	5	I	内部電流レギュレーション制限を設定するための外部基準電圧入力。「セクション 7.3.3.2」を参照してください。
PAD	—	—	サーマル・パッド。システム・グランドに接続します。

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン・ドレイン

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
電源ピン電圧	VM	-0.3	40	V
グランド・ピン間の電圧差	GND, PGND	-0.3	0.3	V
チャージ・ポンプ・ピン電圧	CPH, VCP	$V_{VM} - 0.3$	$V_{VM} + 7$	V
チャージ・ポンプ・ローサイド・ピン電圧	CPL	-0.3	$V_{VM} + 0.3$	V
ロジック・ピン電圧	EN/IN1, IMODE, nSLEEP, PH/IN2, PMODE	-0.3	5.75	V
オープン・ドレイン出力ピン電圧	nFAULT	-0.3	5.75	V
出力ピン電圧	OUT1, OUT2	-0.9	$V_{VM} + 0.9$	V
出力ピン電流	OUT1, OUT2	内部的に制限	内部的に制限	A
比例電流出力ピン電圧	IPROPI	-0.3	5.75	V
		-0.3	$V_{VM} + 0.3$	V
基準電圧入力ピン電圧	VREF	-0.3	5.75	V
周囲温度、 T_A		-40	125	°C
接合部温度、 T_J		-40	150	°C
保管温度、 T_{stg}		-65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、本製品に永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾		±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 に準拠	角のピン	±750	
			その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{VM}	電源電圧	VM	4.5		37	V
V_{IN}	論理入力電圧	EN/IN1, MODE, nSLEEP, PH/IN2	0		5.5	V
f_{PWM}	PWM 周波数	EN/IN1, PH/IN2	0		100	kHz
V_{OD}	オープン・ドレイン・プルアップ電圧	nFAULT	0		5.5	V
I_{OD}	オープン・ドレイン出力電流	nFAULT	0		5	mA
$I_{OUT}^{(1)}$	ピーク出力電流	OUT1, OUT2	0		6	A
I_{IPROPI}	電流検出出力電流	IPROPI	0		3	mA
V_{VREF}	電流制限基準電圧	VREF	0		3.6	V
T_A	動作時周囲温度		-40		125	°C
T_J	動作時接合部温度		-40		150	°C

(1) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱特性 ⁽¹⁾		DRV8874-Q1	単位
		PWP (HTSSOP)	
		16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	36.0	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	27.3	°C/W
R _{θJB}	接合部から基板への熱抵抗	11.1	°C/W
Ψ _{JT}	接合部から上面への熱特性パラメータ	0.4	°C/W
Ψ _{JB}	接合部から基板への熱特性パラメータ	11.0	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	2.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性

4.5V ≤ V_{VM} ≤ 37V、-40°C ≤ T_J ≤ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VCP、VM)						
I _{VMQ}	VM スリープ・モード電流	V _{VM} = 13.5V、nSLEEP = 0V、T _J = 25°C	0.75	1		μA
		nSLEEP = 0V			5	μA
I _{VM}	VM アクティブ・モード電流	V _{VM} = 13.5V、nSLEEP = 5V、EN/IN1 = PH/IN2 = 0V	3	7		mA
t _{WAKE}	ターンオン時間	V _{VM} > V _{UVLO} 、nSLEEP = 5V でアクティブ			1	ms
t _{SLEEP}	ターンオフ時間	nSLEEP = 0V でスリープ・モード			1	ms
V _{VCP}	チャージ・ポンプ・レギュレータ電圧	VM で決まる VCP、V _{VM} = 13.5V	5			V
f _{VCP}	チャージ・ポンプ・スイッチング周波数		400			kHz
論理レベル入力 (EN/IN1、PH/IN2、nSLEEP)						
V _{IL}	入力論理 Low 電圧	V _{VM} < 5V	0		0.7	V
		V _{VM} ≥ 5V	0		0.8	
V _{IH}	入力論理 High 電圧		1.5		5.5	V
V _{HYS}	入力ヒステリシス		200			mV
		nSLEEP	50			mV
I _{IL}	入力論理 Low 電流	V _I = 0V	-5		5	μA
I _{IH}	入力論理 High 電流	V _I = 5V	50		75	μA
R _{PD}	入力プルダウン抵抗	対 GND	100			kΩ
トライレベル入力 (PMODE)						
V _{TIL}	トライレベル入力論理 Low 電圧		0		0.65	V
V _{TIZ}	トライレベル入力 Hi-Z 電圧	4.5V < V _{VM} < 5.5V	0.9	1.0	1.1	V
		5.5V < V _{VM} < 37V	0.9	1.1	1.2	
V _{TIH}	トライレベル入力論理 High 電圧		1.5		5.5	V
I _{TIL}	トライレベル入力論理 Low 電流	V _I = 0V	-50	-32		μA
I _{TIZ}	トライレベル入力 Hi-Z 電流	V _I = 1.1V	-10		10	μA
I _{TIH}	トライレベル入力論理 High 電流	V _I = 5V	113	150		μA
R _{TPD}	トライレベル・プルダウン抵抗	対 GND	44			kΩ
R _{TPU}	トライレベル・プルアップ抵抗	対内部 5V	156			kΩ
クワッドレベル入力 (IMODE)						
V _{QI2}	クワッドレベル入力レベル 1	クワッドレベル 1 に設定する電圧	0		0.45	V

DRV8874-Q1

JAJSHH8B – AUGUST 2019 – REVISED JANUARY 2021

 $4.5V \leq V_{VM} \leq 37V$ 、 $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _{Q12}	クワッドレベル入力レベル 2	クワッドレベル 2 を設定するための対 GND 抵抗	18.6	20	21.4	kΩ
R _{Q13}	クワッドレベル入力レベル 3	クワッドレベル 3 を設定するための対 GND 抵抗	57.6	62	66.4	kΩ
V _{Q14}	クワッドレベル入力レベル 4	クワッドレベル 4 を設定するための電圧	2.5		5.5	V
R _{QPD}	クワッドレベル・プルダウン抵抗	対 GND		136		kΩ
R _{QPU}	クワッドレベル・プルアップ抵抗	対内部 5V		68		kΩ
オープン・ドレイン出力 (nFAULT)						
V _{OL}	出力論理 Low 電圧	I _{OD} = 5mA			0.3	V
I _{OZ}	出力論理 High 電流	V _{OD} = 5V	-2		2	μA
ドライバ出力 (OUT1, OUT2)						
R _{DS(on)_HS}	ハイサイド MOSFET オン抵抗	V _{VM} = 13.5V、I _O = 2A、T _J = 25°C		100	120	mΩ
		V _{VM} = 13.5V、I _O = 2A、T _J = 150°C		160	190	mΩ
R _{DS(on)_LS}	ローサイド MOSFET オン抵抗	V _{VM} = 13.5V、I _O = -2A、T _J = 25°C		100	120	mΩ
		V _{VM} = 13.5V、I _O = -2A、T _J = 150°C		160	190	mΩ
V _{SD}	ボディ・ダイオード順方向電圧	I _{SD} = 1A		0.9		V
t _{RISE}	出力立ち上がり時間	V _{VM} = 13.5V、OUTx が 10% から 90% まで立ち上がる時間		500		ns
t _{FALL}	出力立ち下がり時間	V _{VM} = 13.5V、OUTx が 90% から 10% まで立ち下がる時間		500		ns
t _{PD}	入力から出力までの伝搬遅延	(EN/IN1、PH/IN2) から OUTx まで、OUTx から GND に 200Ω を接続		1.75		μs
t _{DEAD}	出力デッドタイム	ボディ・ダイオード導通		750		ns
電流センスおよびレギュレーション (IPROPI、VREF)						
A _{IPROPI}	電流ミラー・スケーリング係数			450		μA/A
A _{ERR} ⁽¹⁾	電流ミラー・スケーリング誤差	I _{OUT} < 0.4A、 5.5V ≤ V _{VM} ≤ 37V	-30		30	mA
		0.4A ≤ I _{OUT} < 1A、 5.5V ≤ V _{VM} ≤ 37V	-7.5		7.5	
		1A ≤ I _{OUT} < 2A、 5.5V ≤ V _{VM} ≤ 37V	-6		6	
		2A ≤ I _{OUT} < 4A、 5.5V ≤ V _{VM} ≤ 37V	-5.5		5.5	
t _{OFF}	電流レギュレーション・オフ時間			25		μs
t _{DELAY}	電流検出遅延時間			6		μs
t _{DEG}	電流レギュレーション・グリッチ除去時間			1.7		μs
t _{BLK}	電流レギュレーション・ブランキング時間			2.7		μs
保護回路						
V _{UVLO}	電源低電圧誤動作防止 (UVLO)	V _{VM} 立ち上がり	4.3	4.45	4.6	V
		V _{VM} 立ち下がり	4.2	4.35	4.5	V
V _{UVLO_HYS}	電源 UVLO ヒステリシス			100		mV
t _{UVLO}	電源低電圧グリッチ除去時間			10		μs
V _{CPUV}	チャージ・ポンプ低電圧誤動作防止	V _{CP} は V _M で決まる、V _{VCP} 立ち下がり		2.25		V
I _{OC}	過電流保護トリップ・ポイント		6	10		A
t _{OC}	過電流保護グリッチ除去時間			3		μs
t _{RETRY}	過電流保護リトライ時間			2		ms
T _{TSD}	サーマル・シャットダウン温度		160	175	190	°C

$4.5V \leq V_{VM} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{HYS}	サーマル・シャットダウン・ヒステリシス			20		$^{\circ}C$

(1) 低電流時、ローサイド・パワー MOSFET を流れる I_{OUT} 電流に対して IPROPI 出力は固定のオフセット誤差を持っています。

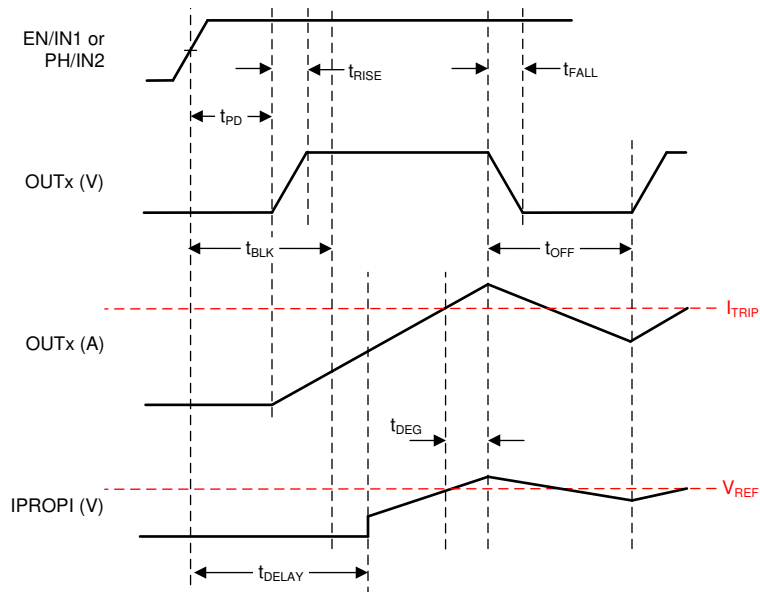


図 6-1. タイミング・パラメータ図

6.6 代表的特性

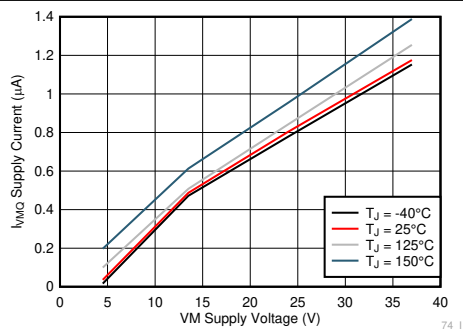


図 6-2. スリープ電流 (I_{VMQ}) と電源電圧 (V_{VM}) との関係

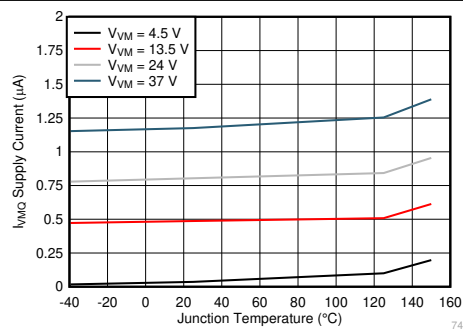


図 6-3. スリープ電流 (I_{VMQ}) と接合部温度との関係

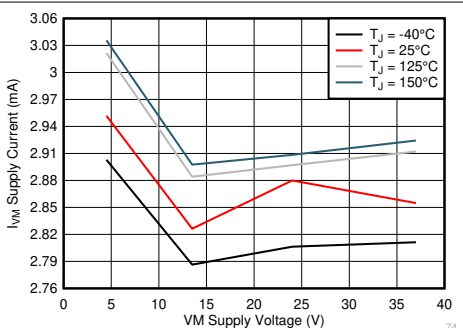


図 6-4. アクティブ電流 (I_{VM}) と電源電圧 (V_{VM}) との関係

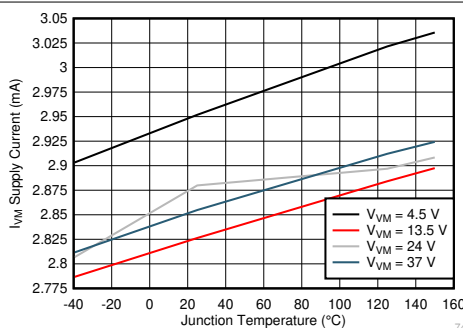


図 6-5. アクティブ電流 (I_{VM}) と接合部温度との関係

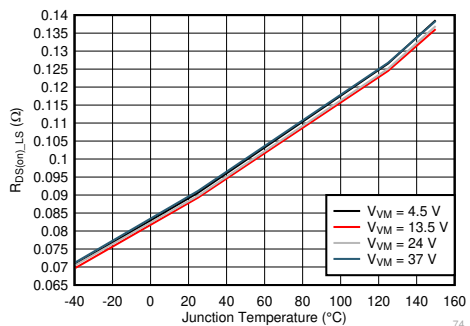


図 6-6. ローサイド $R_{DS(on)}$ と接合部温度との関係

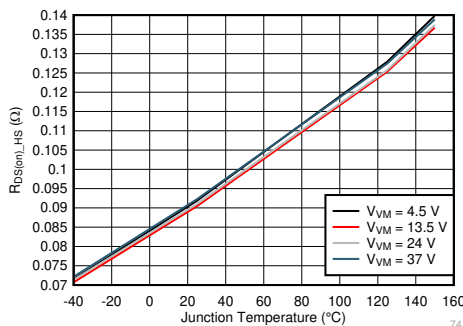


図 6-7. ハイサイド $R_{DS(on)}$ と接合部温度との関係

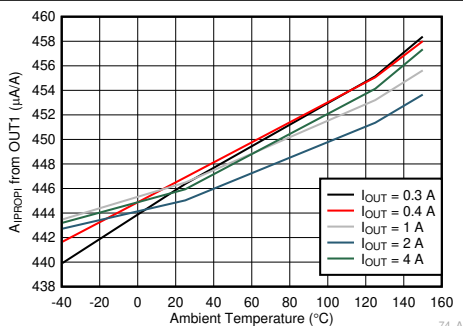


図 6-8. OUT1 電流検出誤差と接合部温度との関係

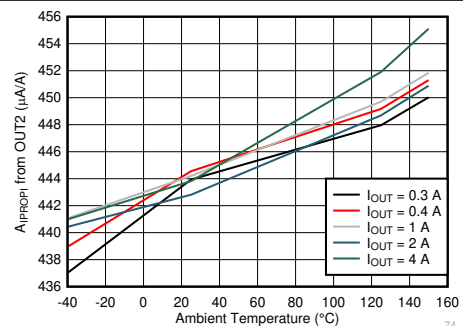


図 6-9. OUT2 電流検出誤差と接合部温度との関係

7 詳細説明

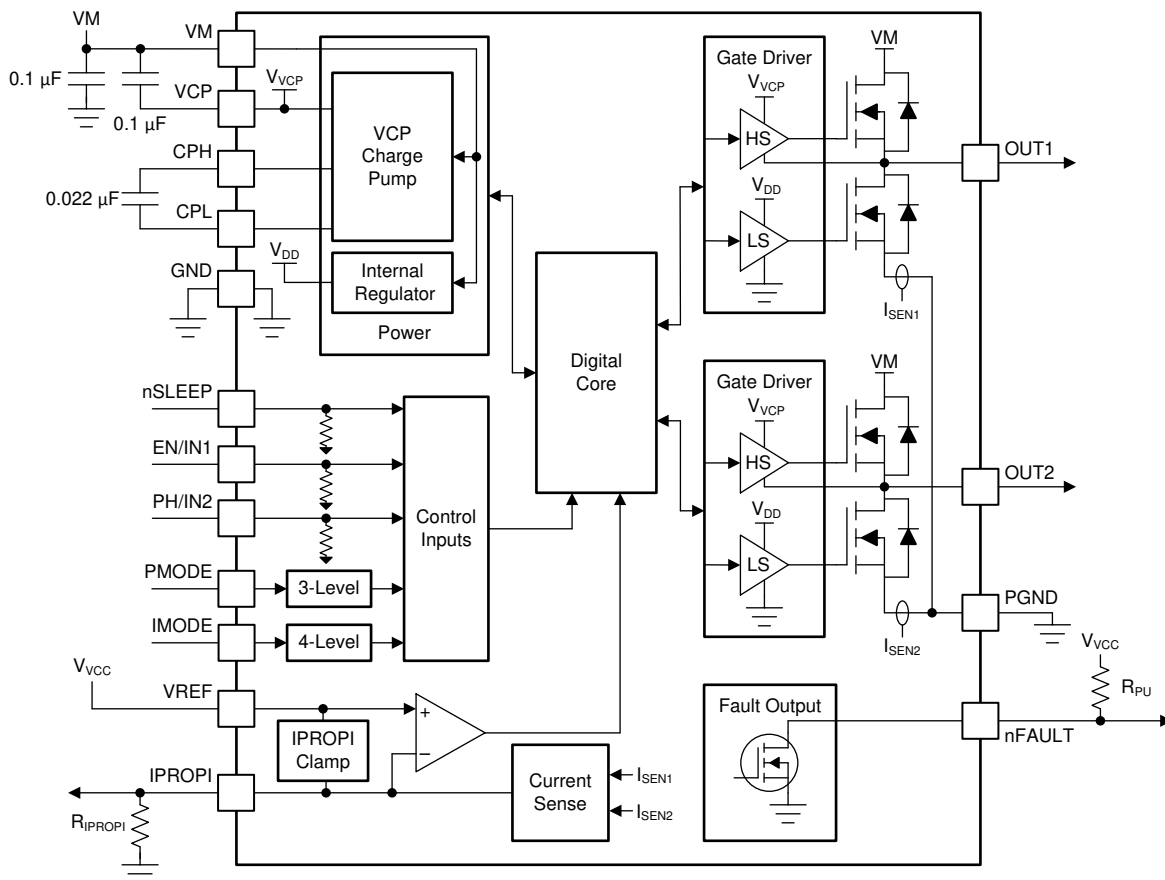
7.1 概要

DRV887x-Q1 ファミリーは、4.5~37V で動作するブラシ付き DC モータ・ドライバであり、各種モータおよび負荷の幅広い出力負荷電流をサポートしています。本デバイスは、**PMODE** ピン設定で設定される各種制御モードで動作できる H ブリッジ出力電力段を内蔵しています。そのため、1 つの双方向ブラシ付き DC モータ、2 つの単方向ブラシ付き DC モータ、その他の出力負荷構成を駆動できます。また、チャージ・ポンプ・レギュレータを内蔵しており、より高効率なハイサイド N チャネル MOSFET と 100% デューティ・サイクル動作に対応しています。本デバイスは、バッテリーまたは DC 電圧電源に直接接続できる単一電源入力 (VM) で動作します。nSLEEP ピンにより、超低消費電力モードに移行して、スリープ時の消費電流を最小限に抑えることができます。

DRV887x-Q1 ファミリーは、ローサイド・パワー MOSFET の電流ミラーを使用した電流検出出力回路も内蔵しています。I_{PROPI} ピンは、MOSFET の電流に比例した小さな電流を吐き出します。この電流は、外付け抵抗 (R_{I_{PROPI}}) を使用して比例電圧に変換できます。電流検出回路を内蔵することで、DRV887x-Q1 は固定オフ時間 PWM チョッピング方式で出力電流を制限できます。また、負荷情報を外部コントローラに提供して、負荷またはストール条件の変化を検出できます。内蔵電流検出回路により、外付け電源シャント抵抗が不要になるだけでなく、オフ時間のスロー・ディケイ再循環期間中も電流検出値を提供できるため、従来の外付けシャント抵抗による検出よりも優れています。システムの要求に応じて負荷電流を制限するため、オフ時間の PWM 電流レギュレーション・レベルは、モータが動作している間 VREF ピンを使って設定できます。

システムに異常状態が発生した場合、内蔵する各種保護機能がデバイスを保護します。主な保護機能は、低電圧誤動作防止 (UVLO)、チャージ・ポンプ低電圧 (CPUV)、過電流保護 (OCP)、過熱シャットダウン (TSD) などです。フォルト状態は、nFAULT ピンにより通知されます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 外付け部品

表 7-1 に、推奨外付け部品を示します。

表 7-1. 推奨外付け部品

部品	ピン 1	ピン 2	推奨する事項
C _{VM1}	VM	GND	0.1μF、低 ESR セラミック・コンデンサ、VM 定格。
C _{VM2}	VM	GND	セクション 9.1 、VM 定格。
C _{VCP}	VCP	VM	X5R または X7R、100nF、16V セラミック・コンデンサ
C _{FLY}	CPH	CPL	X5R または X7R、22nF、VM 定格セラミック・コンデンサ
R _{IMODE}	IMODE	GND	「 セクション 7.3.3.2 」を参照してください。
R _{PMODE}	PMODE	GND	「 セクション 7.3.2 」を参照してください。
R _{nFAULT}	VCC	nFAULT	プルアップ抵抗、I _{OD} ≤ 5mA
R _{IPROPI}	IPROPI	GND	「 セクション 7.3.3.1 」を参照してください。

7.3.2 制御モード

DRV887x-Q1 ファミリは、3 つのモードを備えており、EN/IN1 ピンと PH/IN2 ピンを使った各種制御方式に対応しています。制御モードは、PMODE ピンを論理 Low、論理 High、Hi-Z のいずれかに設定して選択します ([表 7-2](#) 参照)。PMODE ピンの状態は、nSLEEP ピンでデバイスをイネーブルした際にラッチされます。PMODE の状態を変更するには、nSLEEP ピンを論理 Low にし、t_{SLEEP} 時間待機して、PMODE ピンの入力を変更し、nSLEEP ピンを論理 High に戻してデバイスをイネーブルします。

表 7-2. PMODE の機能

PMODE の状態	制御モード
PMODE = 論理 Low	PH/EN
PMODE = 論理 High	PWM
PMODE = Hi-Z	独立ハーフブリッジ

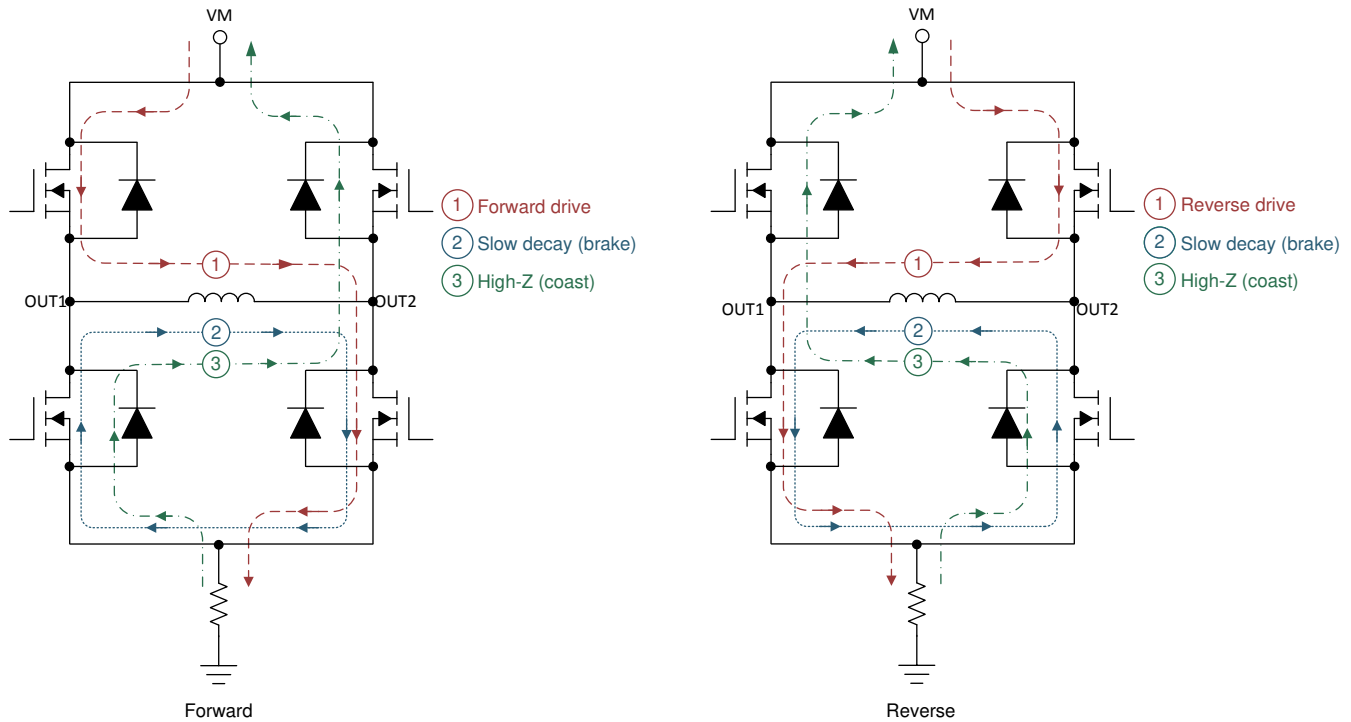


図 7-1. H ブリッジの動作モード

入力は、静的電圧 (100% 駆動モード) またはパルス幅変調 (PWM) 電圧信号 (PWM 駆動モード) を受け入れます。VM を印加する前に、デバイスの入力ピンに電力を供給しても問題ありません。入力がない場合でも出力が確実に Hi-Z になるように、EN/IN1 および PH/IN2 ピンにはデフォルトで内部プルダウン抵抗が接続されています。

以下に、各制御モードの真理値表を示します。これらの表は内部電流レギュレーション機能を考慮していないことに注意してください。また、DRV887x-Q1 ファミリーでは、ハーフブリッジのハイサイド MOSFET とローサイド MOSFET の切り替え時に自動的にデッドタイムが生成されます。

図 7-1 に、H ブリッジの各種状態の呼称と構成を示します。

7.3.2.1 PH/EN 制御モード (PMODE = 論理 Low)

電源投入時に PMODE ピンが論理 Low の場合、デバイスは PH/EN モードにラッチされます。PH/EN モードでは、H ブリッジのインターフェイスの速度と方向タイプを制御できます。表 7-3 に、PH/EN モードの真理値表を示します。

表 7-3. PH/EN 制御モード

nSLEEP	EN	PH	OUT1	OUT2	説明
0	X	X	Hi-Z	Hi-Z	スリープ (H ブリッジ Hi-Z)
1	0	X	L	L	ブレーキ (ローサイド・スロー・ディケイ)
1	1	0	L	H	逆方向 (OUT2 → OUT1)
1	1	1	H	L	順方向 (OUT1 → OUT2)

7.3.2.2 PWM 制御モード (PMODE = 論理 High)

電源投入時に PMODE ピンが論理 High の場合、デバイスは PWM モードにラッチされます。PWM モードでは、nSLEEP ピンを論理 Low にしなくても H ブリッジは Hi-Z 状態に移行できます。表 7-4 に、PWM モードの真理値表を示します。

表 7-4. PWM 制御モード

nSLEEP	IN1	IN2	OUT1	OUT2	説明
0	X	X	Hi-Z	Hi-Z	スリープ (H ブリッジ Hi-Z)

表 7-4. PWM 制御モード (continued)

nSLEEP	IN1	IN2	OUT1	OUT2	説明
1	0	0	Hi-Z	Hi-Z	コースト (H ブリッジ Hi-Z)
1	0	1	L	H	逆方向 (OUT2 → OUT1)
1	1	0	H	L	順方向 (OUT1 → OUT2)
1	1	1	L	L	ブレーキ (ローサイド・スロー・ディケイ)

7.3.2.3 独立ハーフブリッジ制御モード (PMODE = Hi-Z)

電源投入時に PMODE ピンが Hi-Z の場合、デバイスは独立ハーフブリッジ制御モードにラッチされます。このモードでは、各ハーフブリッジを直接制御して、ハイサイド・スロー・ディケイまたは 2 つの独立した負荷の駆動をサポートできます。表 7-5 に、独立ハーフブリッジ・モードの真理値表を示します。

独立ハーフブリッジ制御モードでは、電流検出および帰還は引き続き利用できますが、各ハーフブリッジが独立して動作するため、内部電流レギュレーションはディスエーブルされます。また、両方のローサイド MOSFET が同時に電流を流している場合、IPROPI でスケールされた出力はその電流の和となります。詳細については、「[セクション 7.3.3](#)」を参照してください。

表 7-5. 独立ハーフブリッジ制御モード

nSLEEP	INx	OUTx	説明
0	X	Hi-Z	スリープ (H ブリッジ Hi-Z)
1	0	L	OUTx ローサイド・オン
1	1	H	OUTx ハイサイド・オン

7.3.3 電流検出およびレギュレーション

DRV887x-Q1 デバイス・ファミリーは電流検出、レギュレーション、帰還回路を内蔵しています。これらの機能により外付け検出抵抗または検出回路なしで出力電流を検出できるため、システムのサイズ、コスト、複雑さを低減できます。また、モータ・ストールや高トルクの発生時には出力電流を制限し、電流比例出力により負荷電流に関する詳細なフィードバックをコントローラに提供することもできます。

7.3.3.1 電流検出

I_{PROPI} ピンは、A_{I_{PROPI}} でスケールされる H ブリッジのローサイド・パワー MOSFET を流れる電流に比例したアナログ電流を出力します。I_{PROPI} の出力電流は式 1 で計算できます。式 1 の I_{LSx} は、ローサイド MOSFET のドレインからソースに電流が流れるときのみ有効です。ソースからドレインに電流が流れる場合、そのチャネルの I_{LSx} の値はゼロです。たとえば、ブリッジにブレーキがかかっている場合 (スロー・ディケイ状態)、I_{PROPI} から流れ出る電流はローサイド MOSFET のうちの 1 つの電流にのみ比例します。

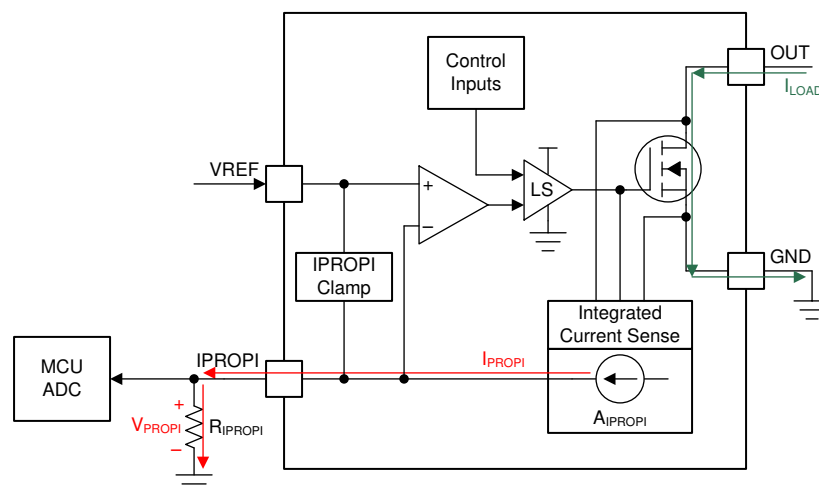
$$I_{\text{PROPI}} (\mu\text{A}) = (I_{\text{LS1}} + I_{\text{LS2}}) (\text{A}) \times A_{\text{I}_{\text{PROPI}}} (\mu\text{A/A}) \quad (1)$$

内部電流ミラー・アーキテクチャで電流を測定するため、外付け検出抵抗は不要です。また、電流ミラー・アーキテクチャにより、ドライブ期間とブレーキ (ローサイド・スロー・ディケイ) 期間の両方でモータ巻線電流を検出できるため、一般的な双方向ブラシ付き DC モータ用途で電流を常時監視できます。コースト・モードでは、電流がソースからドレインに流れるため、電流が還流して電流を検出できません。しかし、ドライブ・モードまたはスロー・ディケイ・モードでドライバを短い間有効にして電流を測定した後、コースト・モードに戻すことで、その電流をサンプリングできます。独立 PWM モードで両方のローサイド MOSFET に電流が流れている場合、I_{PROPI} の出力は 2 つのローサイド MOSFET の電流の和となります。

I_{PROPI} アナログ電流出力により I_{PROPI} ピンで比例電圧 (V_{I_{PROPI}}) を生成するために、I_{PROPI} ピンは外付け抵抗 (R_{I_{PROPI}}) を介してグランドに接続する必要があります。これにより、標準のアナログ / デジタル・コンバータ (ADC) を使用して、R_{I_{PROPI}} 抵抗両端の電圧降下として負荷電流を測定できます。R_{I_{PROPI}} 抵抗は、すべてのコントローラ ADC を利用できるように、そのアプリケーションの負荷電流の期待値に基づいて値を調整できます。また、DRV887x-Q1 は I_{PROPI} 電圧クランプ回路を備えているため、V_{REF} ピンの V_{VREF} を基準として V_{I_{PROPI}} 電圧を制限し、出力過電流または想定外の大電流イベント時に外部 ADC を保護できます。

出力電流に対応する I_{PROPI} 電圧は、式 2 で計算できます。

$$V_{\text{I}_{\text{PROPI}}} (\text{V}) = I_{\text{PROPI}} (\text{A}) \times R_{\text{I}_{\text{PROPI}}} (\Omega) \quad (2)$$



Copyright © 2017, Texas Instruments Incorporated

図 7-2. 内蔵電流検出回路

I_{PROPI} 出力の帯域幅は、DRV887x-Q1 の内部電流検出回路の検出遅延時間 (t_{DELAY}) によって制限されます。この時間は、ローサイド MOSFET イネーブル・コマンド (PH/EN ピンの INx) から I_{PROPI} 出力準備完了までの遅延に相当し

ます。デバイスが H ブリッジ PWM パターンで駆動とスロー・ディケイ (ブレーキ) を繰り返している場合、電流を検出するローサイド MOSFET は連続的にオンし、検出遅延時間は IPROPI 出力に影響を与えません。INx (PH/EN ピン) のコマンドがセクション 7.3.2 の論理表に従ってローサイド MOSFET をディスエーブルすると、IPROPI 出力は入力ロジック信号によってディスエーブルされます。ローサイド MOSFET はディスエーブルする際に、本デバイスのスルーレートに従って電流を流し続けようとする場合があります (電気的特性表に t_{RISE} 時間として記載)、このターンオフ時間中のローサイド MOSFET の電流は IPROPI に反映されません。

7.3.3.2 電流レギュレーション

DRV887x-Q1 ファミリーは、固定オフ時間またはサイクル単位の PWM 電流チョッピング方式による電流レギュレーション回路を内蔵しています。電流チョッピング方式は IMODE クワッドレベル入力で選択できます。これにより、モータ・ストール、高トルク、その他の大電流負荷イベント時に出力電流を制限できます。

IMODE レベルは、ピンをフローティング (Hi-Z) 状態にする方法、ピンを GND に接続する方法、IMODE と GND の間に抵抗を接続する方法のいずれかで設定できます。IMODE ピンの状態は、nSLEEP ピンでデバイスをイネーブルした際にラッチされます。IMODE の状態を変更するには、nSLEEP ピンを論理 Low にし、 t_{SLEEP} 時間待機して、IMODE ピンの入力を変更し、nSLEEP ピンを論理 High に戻してデバイスをイネーブルします。IMODE 入力は、過電流イベントに対するデバイスの応答を選択するためにも使用します。詳細については、「セクション 7.3.4」を参照してください。

IPROPI を GND に接続し、VREF ピンの電圧を GND より高く設定することで内部電流レギュレーション機能を無効にできます (電流帰還が不要の場合)。電流帰還が必要でありかつ電流レギュレーションが不要である場合、 V_{IPROPI} が V_{VREF} スレッシュホールドに到達することがないように V_{VREF} と R_{IPROPI} を設定します。電流レギュレーション回路を正常に動作させるには、「推奨動作条件」表に規定されている VREF ピン電圧の範囲内に V_{VREF} が入っている必要があります。独立ハーフブリッジ制御モード (PMODE = Hi-Z) の場合、出力が独立して動作し、電流検出およびレギュレーションがハーフブリッジ間で共有されるため、内部電流レギュレーション回路は自動的にディスエーブルされます。

表 7-6. IMODE の機能

IMODE の状態		IMODE の機能		nFAULT 応答
		電流チョッピング・モード	過電流 応答	
クワッドレベル 1	IMODE = GND	固定オフ時間	自動リトライ	過電流のみ
クワッドレベル 2	$R_{IMODE} = 20k\Omega$ (対 GND)	サイクル単位	自動リトライ	電流チョッピングおよび過電流
クワッドレベル 3	$R_{IMODE} = 62k\Omega$ (対 GND)	サイクル単位	出力をオフにラッチ	電流チョッピングおよび過電流
クワッドレベル 4	IMODE = Hi-Z	固定オフ時間	出力をオフにラッチ	過電流のみ

電流チョッピング・スレッシュホールド (I_{TRIP}) は、VREF 電圧 (V_{VREF}) と IPROPI 出力抵抗 (R_{IPROPI}) の組み合わせにより設定されます。具体的には、内部コンパレータを使用して、外付け R_{IPROPI} 抵抗両端の電圧降下を V_{VREF} と比較します。

$$I_{TRIP} (A) \times A_{IPROPI} (\mu A/A) = V_{VREF} (V) / R_{IPROPI} (\Omega) \quad (3)$$

たとえば、 $V_{VREF} = 2.5V$ 、 $R_{IPROPI} = 1500\Omega$ 、 $A_{IPROPI} = 450\mu A/A$ の場合、 I_{TRIP} は約 3.7A となります。

I_{TRIP} スレッシュホールドを超えると、IMODE 設定に従って、出力は電流チョッピング・モードに移行します。 I_{TRIP} コンパレータには、ブランキング時間 (t_{BLK}) とグリッチ除去時間 (t_{DEG}) があります。内部ブランキング時間は、出力切替時の電圧および電流過渡事象が電流レギュレーションに影響を与えないようにするのに役立ちます。これらの過渡現象はモータ内部のコンデンサにより発生することがあり、またはモータ端子への接続で発生することがあります。内部グリッチ除去時間により、過渡条件が電流レギュレーションを通常より早くトリガすることを防止します。過渡条件がグリッチ除去時間より長く続く場合、10nF のコンデンサを IPROPI ピンに (DRV887x-Q1 に近付けて) 接続することで、IPROPI 出力の過渡現象をフィルタ処理し、電流レギュレーションが通常より早くトリガされるのを防止できます。コンデンサの値は必要に応じて調整できますが、コンデンサの値が大きいと、電流レギュレーション回路の応答が遅くなる場合があります。

「電気的特性」表の A_{ERR} パラメータは、 A_{IPROPI} ゲインに関連する誤差です。この誤差は、 I_{OUT} 電流に加算されたオフセット誤差とゲイン誤差の複合的な影響を示しています。

7.3.3.2.1 固定オフ時間電流チョッピング

固定オフ時間モードでは、 I_{OUT} が I_{TRIP} を超過すると、 t_{OFF} の間 H ブリッジがブレーキ (ローサイド・スロー・ディケイ状態、両方のローサイド MOSFET がオン) に移行します。 t_{OFF} が経過すると、 I_{OUT} が I_{TRIP} を超過したままでない限り、制御入力に従って出力が再イネーブルされます。 I_{OUT} が I_{TRIP} を超過したままの場合、H ブリッジは t_{OFF} の間、次のブレーキ (ローサイド・スロー・ディケイ) 期間に移行します。EN/IN1 または PH/IN2 制御ピン入力の状態が t_{OFF} 時間中に変化すると、 t_{OFF} 時間の残りの時間は無視され、出力は再び入力に追従するようになります。

固定オフ時間モードにより、外部コントローラを使用せずに、シンプルな電流チョッピング方式を実現できます。図 7-3 に、これを示します。固定オフ時間モードでは、H ブリッジが t_{OFF} 期間の後自動的にイネーブルし、EN/IN1 ピンまたは PH/IN2 ピンの新しい制御入力エッジを使わずに出力がリセットされるため、100% デューティ・サイクル電流レギュレーションをサポートできます。

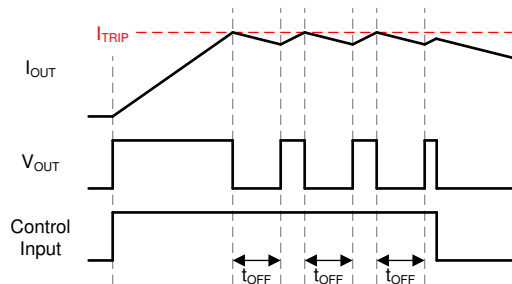


図 7-3. オフ時間電流レギュレーション

7.3.3.2.2 サイクル単位電流チョッピング

サイクル単位モードの場合、 I_{OUT} が I_{TRIP} を超過してから、EN/IN1 ピンまたは PH/IN2 ピンの次の制御入力エッジまで、H ブリッジがブレーキ (ローサイド・スロー・ディケイ状態、両方のローサイド MOSFET がオン) に移行します。このため、外部コントローラによる電流チョッピング方式の追加制御が可能です。図 7-4 に、これを示します。サイクル単位モードでは、ブレーキ (ローサイド・スロー・ディケイ状態) に移行した後、出力をリセットするために新しい制御入力エッジが必要のため、100% デューティ・サイクル電流レギュレーションをサポートしていません。

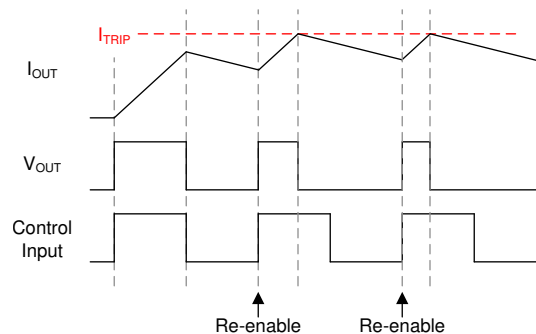


図 7-4. サイクル単位電流レギュレーション

本デバイスは、サイクル単位モードにおいて、H ブリッジが内部電流チョッピングに移行すると常に nFAULT ピンを Low にして表示します。これを使って、デバイスの出力が制御入力と異なっているかどうか、または負荷が I_{TRIP} スレッショルドに達したかどうかを判断できます。これを図 7-5 に示します。nFAULT は、デバイスが次の制御入力エッジを受信し、出力をリセットするとすぐに解放されます。

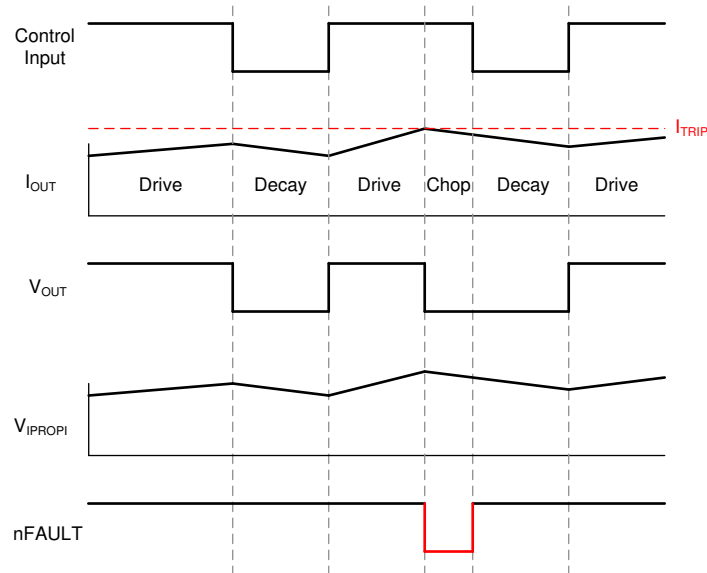
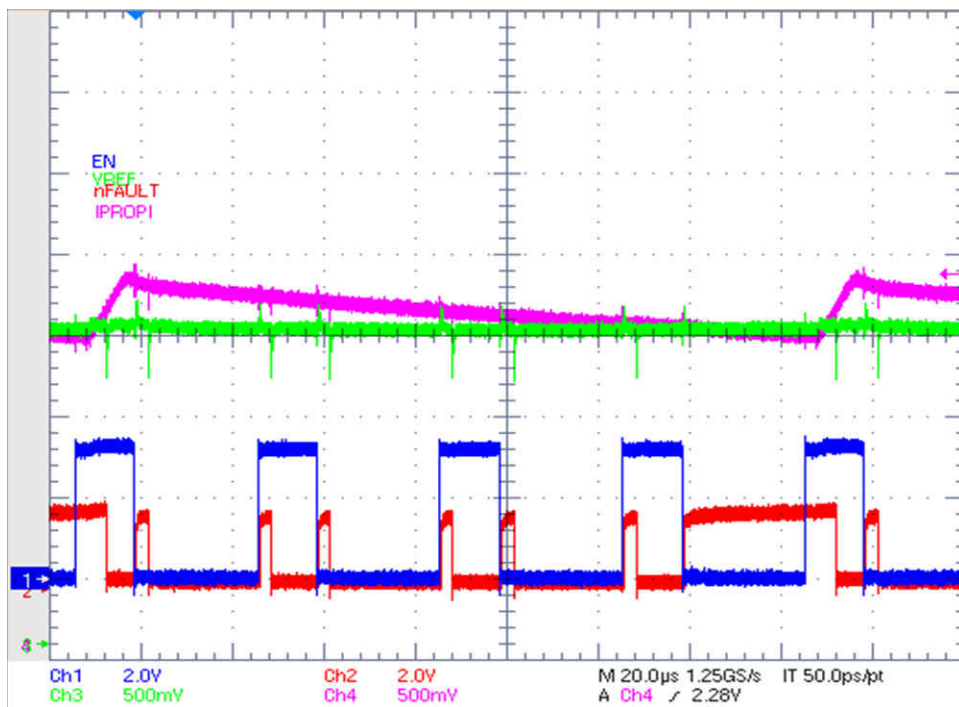


図 7-5. nFAULT が電流チョッピング・インジケータとして機能するサイクル単位電流レギュレーション

nFAULT ピンが電流チョッピング状態出力として Low になっても、デバイスの機能は影響されません。nFAULT ピンは状態出力としてのみ使用され、デバイスは通常動作を継続します。デバイス・フォルト (「[セクション 7.3.4](#)」で概説しています) と電流チョッピング状態出力を区別するために、nFAULT ピンを制御入力と比較できます。電流チョッピング状態出力は、制御入力が増方向または逆方向の駆動状態 (図 7-1) を指示している場合にのみアサートできます。nFAULT ピンの挙動が図 7-5 に示す動作から逸脱した場合、以下の状況のいずれかが発生しています。

- デバイス・フォルトが発生した場合、電流チョッピングではなくフォルト条件を示すために nFAULT ピンが Low にプルされます。デバイス・フォルトの種類によっては、制御入力が増 Hi-Z またはスロー・ディケイ状態を指示していても、nFAULT は Low に維持される場合があります。
- 制御入力が増ドライブからスロー・ディケイに移行した際、 $I_{OUT} > I_{TRIP}$ の場合、nFAULT ピンは t_{BLK} の間 High になった後再び Low になります。この原因として、制御入力の PWM 周波数またはデューティ・サイクルに応じて生じるオフ時間が短すぎるために I_{OUT} 電流が I_{TRIP} スレッショルドを下回るまで減衰できないことが考えられます。図 7-6 に、この条件の例を示します。 $I_{OUT} > I_{TRIP}$ という条件は、オシロスコープでは $V_{IPROPI} > V_{REF}$ として観測できます。



チャンネル 1 = EN チャンネル 2 = nFAULT
チャンネル 3 = VREF チャンネル 4 = IPROPI

図 7-6. nFAULT ピン ($V_{IPROPI} > V_{VREF}$ 、PH/EN モード) と PWM 信号 (EN ピン)

7.3.4 保護回路

DRV887x-Q1 ファミリは、電源低電圧、チャージ・ポンプ低電圧、出力過電流、デバイス過熱イベントからデバイスを保護します。

7.3.4.1 VM 電源低電圧誤動作防止 (UVLO)

VM ピンの電源電圧が低電圧誤動作防止スレッショルド電圧 (V_{UVLO}) を下回ると、H ブリッジのすべての MOSFET がディスエーブルされ、nFAULT ピンが Low に駆動されます。この条件では、チャージ・ポンプはディスエーブルされます。低電圧条件が解消し、VM が V_{UVLO} スレッショルドを上回ると、通常動作を再開します。

7.3.4.2 VCP チャージ・ポンプ低電圧誤動作防止 (CPUV)

VCP ピンのチャージ・ポンプ電圧が低電圧誤動作防止スレッショルド電圧 (V_{CPUV}) を下回ると、H ブリッジのすべての MOSFET がディスエーブルされ、nFAULT ピンが Low に駆動されます。低電圧条件が解消し、VCP が V_{CPUV} スレッショルドを上回ると、通常動作を再開します。

7.3.4.3 OUTx の過電流保護 (OCP)

各 MOSFET のアナログ電流制限回路により、短絡時にもデバイスのピーク出力電流を制限できます。

出力電流が t_{OCP} より長く過電流スレッショルド I_{OCP} を上回ると、H ブリッジのすべての MOSFET がディスエーブルされ、nFAULT ピンが Low に駆動されます。表 7-6 に示すとおり、過電流応答は IMODE ピンで設定できます。

自動リトライ・モードでは、MOSFET がディスエーブルされ、nFAULT ピンが t_{RETRY} の間 Low に駆動されます。 t_{RETRY} 後、EN/IN1 ピンと PH/IN2 ピンの状態に応じて MOSFET が再イネーブルされます。過電流状態がまだ解消していない場合、このサイクルを繰り返します。解消している場合、通常のデバイス動作を再開します。

ラッチオフ・モードでは、nSLEEP ピンを使用するか VM 電源を切ってデバイスをリセットするまで、MOSFET はディスエーブルされ、nFAULT ピンは Low に駆動されたままになります。

セクション 7.3.2.3 では、OCP の動作が若干変わります。過電流イベントが検出されると、該当するハーフブリッジのみがディスエーブルされ、nFAULT ピンが Low に駆動されます。もう一方のハーフブリッジは通常動作を継続します。これにより、本デバイスは負荷を個別に駆動して、フォルト・イベントを個別に管理できます。両方のハーフブリッジで過電流イベントが検出されると、両方のハーフブリッジがディスエーブルされ、nFAULT ピンが Low に駆動されます。自動リトライ・モードでは、両方のハーフブリッジで同じ過電流リトライ・タイマを共有します。まず一方のハーフブリッジに過電流イベントが発生し、その後 t_{RETRY} が経過する前に、もう一方のハーフブリッジにも発生した場合、最初のハーフブリッジのリトライ・タイマが t_{RETRY} にリセットされ、リトライ・タイマのタイムアウト後に両方のハーフブリッジが再イネーブルされます。

7.3.4.4 サーマル・シャットダウン (TSD)

デバイス温度が過熱スレッショルド T_{TSD} を上回ると、H ブリッジのすべての MOSFET がディスエーブルされ、nFAULT ピンが Low に駆動されます。過熱状態が解消し、デバイス温度が T_{TSD} スレッショルドを下回ると、通常動作を再開します。

7.3.4.5 フォルト条件のまとめ

表 7-7. フォルト条件のまとめ

フォルト	条件	通知	H ブリッジ	復帰
I_{TRIP} 状態出力	CBC モード & $I_{OUT} > I_{TRIP}$	nFAULT	アクティブ ローサイド・スロー・ディ ケイ	制御入力エッジ
VM 低電圧誤動作防止 (UVLO)	$VM < V_{UVLO}$	nFAULT	ディスエーブル	$VM > V_{UVLO}$
VCP 低電圧誤動作防止 (CPUV)	$VCP < V_{CPUV}$	nFAULT	ディスエーブル	$VCP > V_{CPUV}$
過電流 (OCP)	$I_{OUT} > I_{OCP}$	nFAULT	ディスエーブル	t_{RETRY} またはリセット (IMODE で設定)
サーマル・シャットダウン (TSD)	$T_J > T_{TSD}$	nFAULT	ディスエーブル	$T_J < T_{TSD} - T_{HYS}$

7.3.5 ピン構造図

7.3.5.1 論理レベル入力

図 7-7 に、論理レベル入力ピン EN/IN1、PH/IN2、nSLEEP の入力構造を示します。

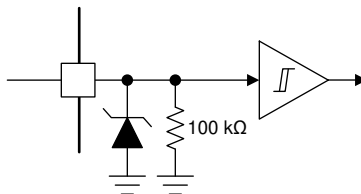


図 7-7. 論理レベル入力

7.3.5.2 トライレベル入力

図 7-8 にトライレベル入力ピン PMODE の入力構造を示します。

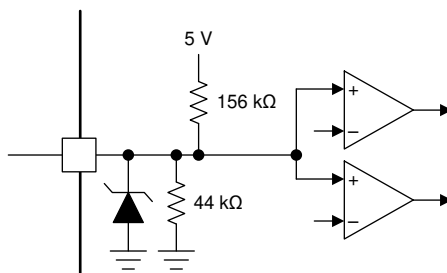


図 7-8. PMODE トライレベル入力

7.3.5.3 クワッドレベル入力

図 7-9 にクワッドレベル入力ピン IMODE の入力構造を示します。

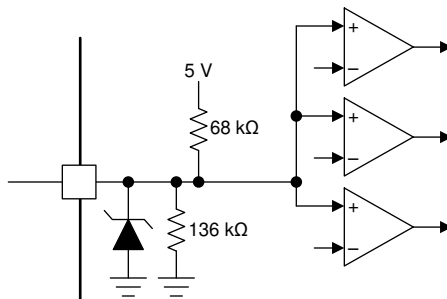


図 7-9. クワッドレベル入力

7.4 デバイスの機能モード

DRV887x-Q1 ファミリには、システムの入力に応じた動作モードがあります。

7.4.1 アクティブ・モード

VM ピンの電源電圧が低電圧スレッシュホールド V_{UVLO} を超え、nSLEEP ピンが論理 High になり、 t_{WAKE} が経過すると、デバイスはアクティブ・モードに移行します。このモードでは、H ブリッジ、チャージ・ポンプ、内部論理回路がアクティブになり、本デバイスはいつでも入力を受信できます。本デバイスがアクティブ・モードに移行すると、入力制御モード (PMODE) と電流制御モード (IMODE) がラッチされます。

7.4.2 低消費電力スリープ・モード

DRV887x-Q1 ファミリは低消費電力モードをサポートしているため、ドライバがアクティブでないときに VM ピンの消費電流を低減できます。nSLEEP ピンを論理 Low に設定し、 t_{SLEEP} が経過するまで待機すると、このモードに移行します。スリープ・モードでは、H ブリッジ、チャージ・ポンプ、内部 5V レギュレータ、内部論理回路がディスエーブルされます。弱いプルダウンにより、すべての内部 MOSFET が確実にディスエーブルに維持されます。低消費電力スリープ・モードでは、本デバイスは nSLEEP 以外の入力に応答しません。

7.4.3 フォルト・モード

異常状態が発生すると、DRV887x-Q1 ファミリはフォルト・モードに移行します。これにより、デバイスと出力負荷が保護されます。フォルト・モードでの本デバイスの挙動は表 7-7 に示すとおり、フォルト条件で決まります。復帰条件を満たすと、本デバイスはフォルト・モードからアクティブ・モードに戻ります。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV887x-Q1 ファミリーは、ハーフブリッジまたは H ブリッジ電力段構成を必要とする各種用途に使用できます。一般的なアプリケーション例としては、ブラシ付き DC モータ、ソレノイド、アクチュエータなどがあります。また、LED、抵抗素子、リレーなど多くの一般的な受動負荷の駆動にも利用できます。以下のアプリケーション例では、H ブリッジ・ドライバを必要とする双方向電流制御アプリケーションや、2 つのハーフブリッジ・ドライバを必要とするデュアル単方向電流制御アプリケーションで本デバイスを使用する方法を紹介します。

8.2 代表的なアプリケーション

8.2.1 主要アプリケーション

主要アプリケーション例では、H ブリッジ構成を採用し、外部負荷（ブラシ付き DC モータなど）の双方向電流を駆動するように本デバイスを構成しています。H ブリッジの極性とデューティ・サイクルは、外部コントローラから EN/IN1 および PH/IN2 ピンに接続された PWM および IO 信号で制御されます。本デバイスは、PMODE ピンを GND に接続することで PH/EN 制御モードに構成されます。電流制限スレッシュホールド (I_{TRIP}) は、制御論理電源電圧 (V_{CC}) を外付け抵抗分圧器で分圧して生成します。本デバイスは、IMODE ピンを GND に接続することで固定オフ時間電流レギュレーション方式に構成されます。負荷電流は、 R_{IPROPI} 両端の電圧をコントローラが ADC で検出することで監視されます。

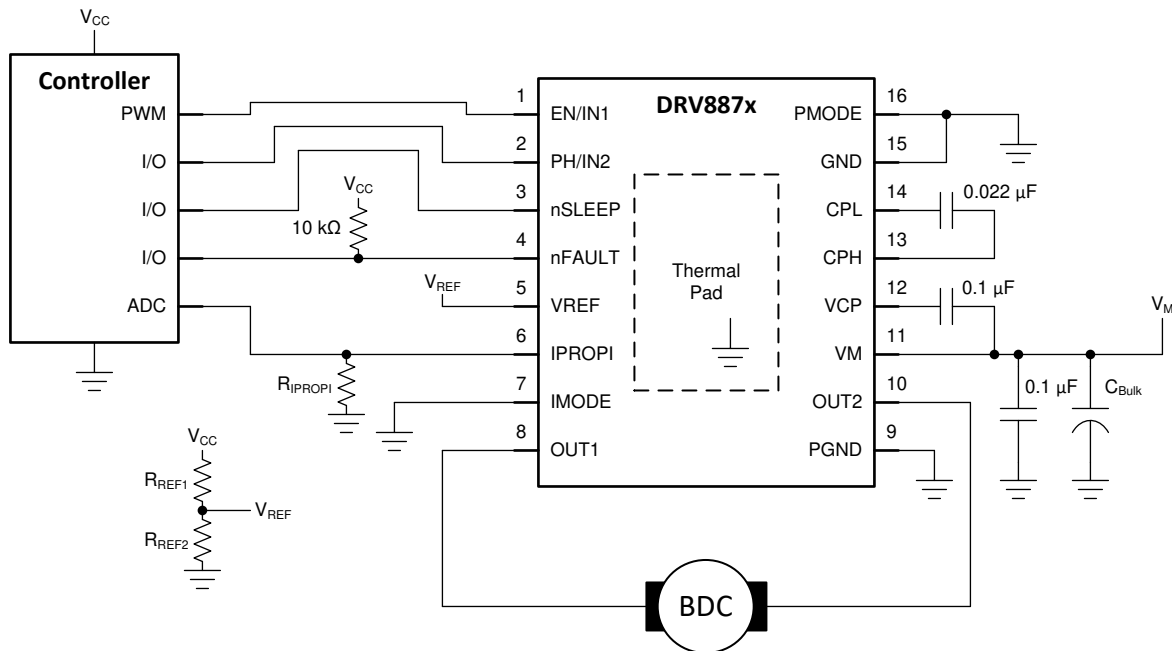


図 8-1. 代表的なアプリケーション回路図

8.2.1.1 設計要件

表 8-1. 設計パラメータ

略号	設計パラメータ	値の例
V_M	モータおよびドライバ電源電圧	13.5V
V_{CC}	コントローラ電源電圧	3.3V

表 8-1. 設計パラメータ (continued)

略号	設計パラメータ	値の例
I_{RMS}	出力 RMS 電流	0.5A
f_{PWM}	スイッチング周波数	20kHz
I_{TRIP}	電流レギュレーション・トリップ・ポイント	1A
A_{IPROPI}	電流検出スケーリング係数	450 μ A/A
R_{IPROPI}	IPROPI 外付け抵抗	5.6k Ω
V_{REF}	電流レギュレーション基準電圧	2.5V
V_{ADC}	コントローラ ADC 基準電圧	2.5V
R_{REF1}	VREF 外付け抵抗	16k Ω
R_{REF2}	VREF 外付け抵抗	50k Ω
T_A	PCB 周囲温度	-20~85°C
T_J	デバイスの最大接合部温度	150°C
$R_{\theta JA}$	デバイスの接合部から周囲への熱抵抗	35°C/W

8.2.1.2 詳細な設計手順

8.2.1.2.1 電流検出およびレギュレーション

DRV887x-Q1 ファミリーは、出力電流のレギュレーションおよび検出回路を内蔵しています。

電流検出帰還回路は、IPROPI のスケールダウンした出力電流をコントローラ ADC の入力電圧のダイナミック・レンジ内で適切に検出できるように、 R_{IPROPI} 抵抗を調整することで構成します。以下に、この例を示します。

$$R_{IPROPI} \leq V_{ADC} / (I_{TRIP} \times A_{IPROPI}) \quad (4)$$

$$R_{IPROPI} = 5.5k\Omega \leq 2.5V / (1A \times 450\mu A/A) \quad (5)$$

$V_{ADC} = 2.5V$ 、 $I_{TRIP} = 1A$ 、 $A_{IPROPI} = 450\mu A/A$ の場合、IPROPI 電圧のダイナミック・レンジを最大化するため、約 5.6k Ω の R_{IPROPI} を選択します。

R_{IPROPI} の精度 (許容差) は、アプリケーションの要件に基づいて選定できます。10%、5%、1%、0.1% はいずれも有効な許容差です。性能とコストの最良のバランスを実現するため、通常 1% を推奨します。

出力電流レギュレーション・トリップ・ポイント (I_{TRIP}) は、 V_{REF} と R_{IPROPI} の組み合わせにより設定します。 R_{IPROPI} はすでに計算済みで A_{IPROPI} は一定であるため、後は V_{REF} を計算するだけです。

$$V_{REF} = R_{IPROPI} \times (I_{TRIP} \times A_{IPROPI}) \quad (6)$$

$$V_{REF} = 2.5V = 5.6k\Omega \times (1A \times 450\mu A/A) \quad (7)$$

$R_{IPROPI} = 5.6k\Omega$ 、 $I_{TRIP} = 1A$ 、 $A_{IPROPI} = 450\mu A/A$ の場合、 V_{REF} を 2.5V に設定する必要があります。

V_{REF} は、単純な抵抗分圧器 (R_{REF1} と R_{REF2}) でコントローラ電源電圧から生成できます。 R_{REF1} の値を選択し、 R_{REF2} の必要な値を計算することで抵抗値を設定できます。

8.2.1.2.2 消費電力および出力電流特性

本デバイスの出力電流および消費電力特性は、PCB 設計と外部条件に大きく依存します。ここでは、これらの値を計算するための指針を提示します。

本デバイスの総消費電力は、おもに 3 つの要素から成ります。それは、静止時消費電流、パワー MOSFET のスイッチング損失、パワー MOSFET の $R_{DS(on)}$ (導通) 損失です。それ以外の要素が消費電力の増加に影響することもあります。この 3 つの主要な要素に比べると通常わずかです。

$$P_{TOT} = P_{VM} + P_{SW} + P_{RDS} \quad (8)$$

P_{VM} は、公称電源電圧 (V_M) と I_{VM} アクティブ・モード電流の仕様から計算できます。

$$P_{VM} = V_M \times I_{VM} \quad (9)$$

$$P_{VM} = 0.054W = 13.5V \times 4mA \quad (10)$$

P_{SW} は、公称電源電圧 (V_M)、平均出力電流 (I_{RMS})、スイッチング周波数 (f_{PWM})、デバイス出力立ち上がり (t_{RISE}) / 立ち下がり (t_{FALL}) 時間の仕様から計算できます。

$$P_{SW} = P_{SW_RISE} + P_{SW_FALL} \quad (11)$$

$$P_{SW_RISE} = 0.5 \times V_M \times I_{RMS} \times t_{RISE} \times f_{PWM} \quad (12)$$

$$P_{SW_FALL} = 0.5 \times V_M \times I_{RMS} \times t_{FALL} \times f_{PWM} \quad (13)$$

$$P_{SW_RISE} = 0.0675W = 0.5 \times 13.5V \times 0.5A \times 1\mu s \times 20kHz \quad (14)$$

$$P_{SW_FALL} = 0.0675W = 0.5 \times 13.5V \times 0.5A \times 1\mu s \times 20kHz \quad (15)$$

$$P_{SW} = 0.135W = 0.0675W + 0.0675W \quad (16)$$

P_{RDS} は、デバイスの $R_{DS(on)}$ と平均出力電流 (I_{RMS}) から計算できます。

$$P_{RDS} = I_{RMS}^2 \times (R_{DS(ON_HS)} + R_{DS(ON_LS)}) \quad (17)$$

$R_{DS(ON)}$ はデバイス温度と強い相関があることに注意する必要があります。正規化した $R_{DS(on)}$ と温度との関係を示す曲線については、「代表的特性」の曲線を参照してください。デバイス温度を $85^\circ C$ と仮定すると、正規化した温度データに基づき、 $R_{DS(on)}$ は約 1.25 倍になると予想されます。

$$P_{RDS} = 0.0625W = (0.5A)^2 \times (100m\Omega \times 1.25 + 100m\Omega \times 1.25) \quad (18)$$

各種消費電力要素を合計することで、予想される消費電力とデバイス接合部温度が設計目標の範囲内にあることを検証できます。

$$P_{TOT} = P_{VM} + P_{SW} + P_{RDS} \quad (19)$$

$$P_{TOT} = 0.252W = 0.054W + 0.135W + 0.0625W \quad (20)$$

デバイス接合部温度は、 P_{TOT} 、デバイス周囲温度 (T_A)、パッケージ熱抵抗 ($R_{\theta JA}$) を使って計算できます。 $R_{\theta JA}$ の値は、PCB 設計とデバイス周りの銅製ヒートシンクに大きく依存します。

$$T_J = (P_{TOT} \times R_{\theta JA}) + T_A \quad (21)$$

$$T_J = 94^\circ C = (0.252W \times 35^\circ C/W) + 85^\circ C \quad (22)$$

デバイス接合部温度が規定の動作範囲内にあることを確認する必要があります。利用可能な測定結果に応じて、デバイス接合部温度を検証する方法はその他にもあります。

モータ・ドライバの定格電流と消費電力の詳細については、「[セクション 8.2.1.2.3](#)」および「[セクション 11.1.1](#)」を参照してください。

8.2.1.2.3 熱性能

データシートに規定する接合部から周囲への熱抵抗 $R_{\theta JA}$ は、おもに各種ドライバの比較または熱性能の概算に役立ちます。しかし、実際のシステム性能は、PCB 層形成 (スタックアップ)、配線、ビア数、サーマル・パッド周りの銅面積に応じて、この値よりも良くなったり、悪くなったりします。ドライバが特定の電流を駆動する時間の長さもまた、消費電力や熱性能に影響を与えます。ここでは、定常および過渡熱条件での設計方法について考察します。

このセクションのデータは、次の基準を使用してシミュレーションしたものです。

- 2 層 PCB、標準 FR4、1oz (35 μ m 銅箔厚) または 2oz 銅箔厚。
- 上層: DRV887x-Q1 HTSSOP パッケージ・フットプリントと銅プレーン・ヒートシンク。シミュレーションでは、上層の銅箔面積を変化させています。
- 下層: DRV887x-Q1 のサーマル・パッド下のビアで熱的に接続されたグラウンド・プレーン。下層の銅箔面積は上層の銅箔面積によって変化します。サーマル・ビアはサーマル・パッドの下にのみ配置 (1.2mm 間隔のグリッド・パターン)。
- 4 層 PCB、標準 FR4。外側のプレーンは 1oz (35 μ m 銅箔厚) または 2oz 銅箔厚。
- 上層: DRV887x-Q1 HTSSOP パッケージ・フットプリントと銅プレーン・ヒートシンク。シミュレーションでは、上層の銅箔面積を変化させています。内側のプレーンは 1oz で一定。
- 中間層 1: DRV887x-Q1 のサーマル・パッドとビアで熱的に接続された GND プレーン。グラウンド・プレーンの領域は 74.2mm x 74.2mm です。
- 中間層 2: 電源プレーン、熱的接続なし。
- 下層: DRV887x-Q1 の下に小さな銅パッドを設け、上層および内部 GND プレーンから打ったビアで熱的に接続した信号層。下層のサーマル・パッドはパッケージと同じサイズ (5mm x 4.4mm)。上層の銅プレーンが変化しても、下層のパッドのサイズは一定。サーマル・ビアはサーマル・パッドの下にのみ配置 (1.2mm 間隔のグリッド・パターン)。

図 8-2 に、HTSSOP パッケージ用基板のシミュレーション例を示します。表 8-2 に、各シミュレーションで変化させた基板の寸法を示します。

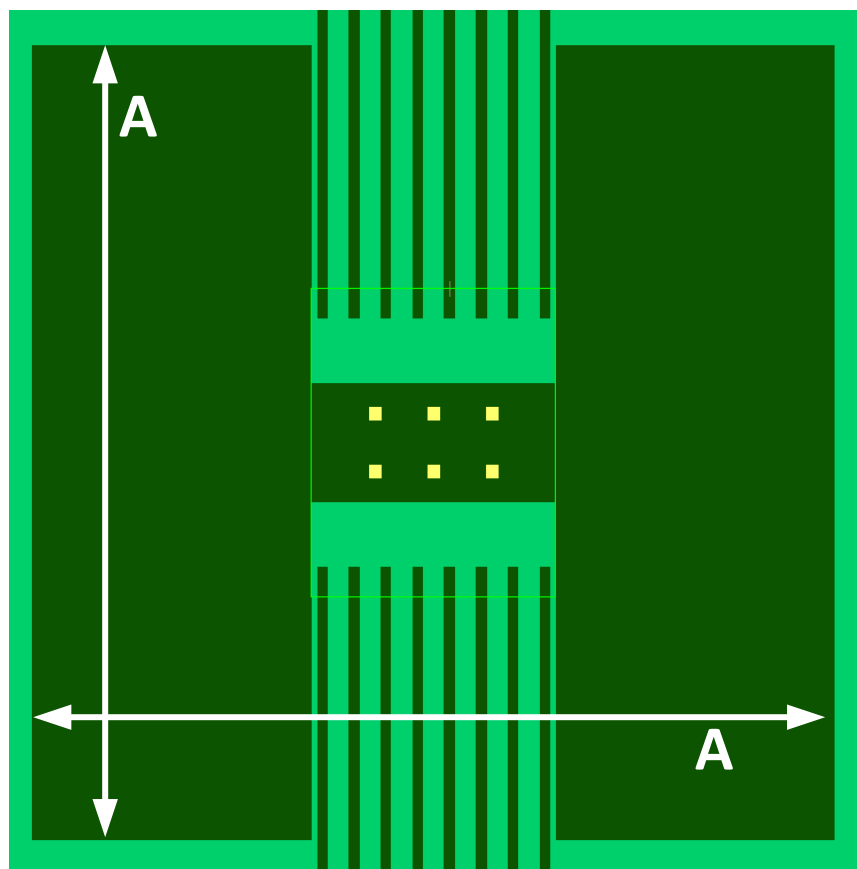


図 8-2. HTSSOP の PCB モデルの上層

表 8-2. 16 ピン PWP パッケージの寸法 A

銅 (Cu) 面積 (mm ²)	寸法 A (mm)
2	16.43
4	22.35
8	30.68

表 8-2. 16 ピン PWP パッケージの寸法 A (continued)

銅 (Cu) 面積 (mm ²)	寸法 A (mm)
16	42.42

8.2.1.2.3.1 定常状態熱性能

「定常状態条件」とは、モータ・ドライバが長時間にわたって一定の RMS 電流で動作することを指します。図 8-3、図 8-4、図 8-5、図 8-6 に、HTSSOP パッケージ用の PCB の銅箔面積、銅箔厚さ、層数に応じて $R_{\theta JA}$ と Ψ_{JB} (接合部から基板への熱特性パラメータ) が変化する様子を示します。銅面積が大きく、層数が多く、銅プレーンが厚いほど、 $R_{\theta JA}$ と Ψ_{JB} は小さくなり、PCB レイアウトの熱性能が高くなることを示しています。

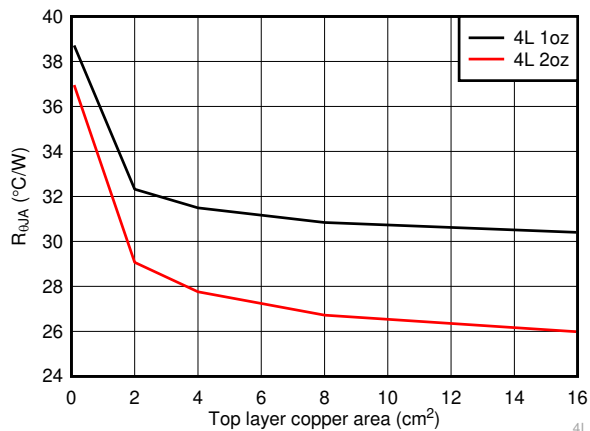


図 8-3. HTSSOP、4 層 PCB の接合部から周囲への熱抵抗と銅面積との関係

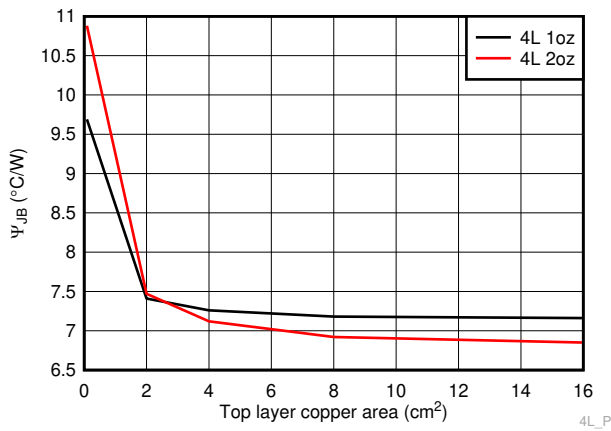


図 8-4. HTSSOP、4 層 PCB の接合部から基板への熱特性パラメータと銅面積との関係

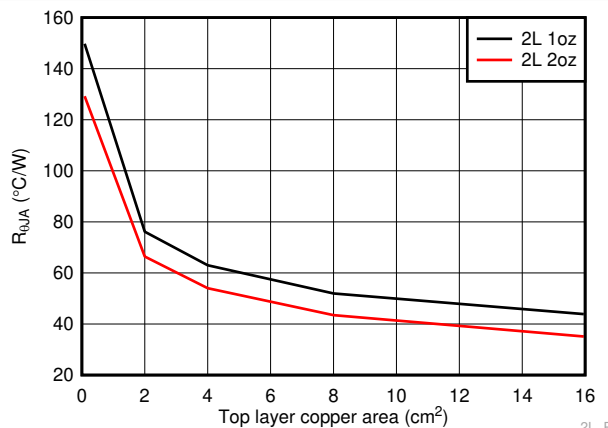


図 8-5. HTSSOP、2 層 PCB の接合部から周囲への熱抵抗と銅面積との関係

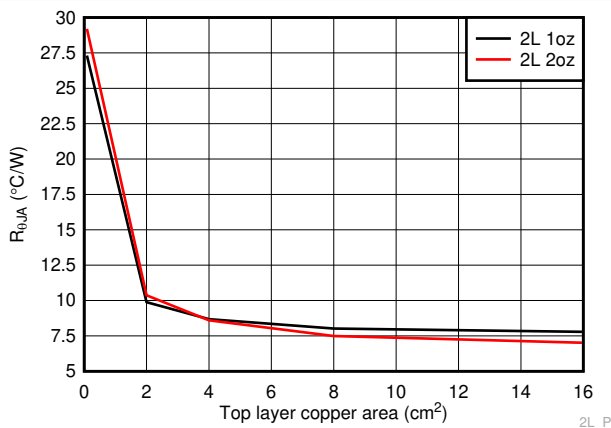


図 8-6. HTSSOP、2 層 PCB の接合部から基板への熱特性パラメータと銅面積との関係

8.2.1.2.3.2 過渡熱性能

モータ・ドライバは、短時間に大きな電流が流れるさまざまな過渡駆動条件になる可能性があります。たとえば、次のとおりです。

- ロータがフルスピードで回転しない状況でのモータの起動。
- 電源またはグラウンドがどちらかのモータ出力に短絡することで、本デバイスが過電流保護状態に移行し、また過電流保護状態から復帰するフォルト条件。
- モータまたはソレノイドが一定時間駆動した後、解放される。

このような過渡条件で、熱性能に影響を与えるもうひとつの要素が駆動時間です。過渡条件の場合、熱インピーダンス・パラメータ ($Z_{\theta JA}$) は接合部から周囲への熱性能を意味します。図 8-7 および図 8-8 に、HTSSOP パッケージ用の 1oz および 2oz 銅レイアウトの熱インピーダンスのシミュレーション結果を示します。これらのグラフは、短い電流パルスで熱性能が高くなることを示しています。駆動時間が短い場合、本デバイスのダイ・サイズとパッケージが熱性能を支配します。より長いドライブ・パルスの場合、基板レイアウトが熱性能により大きな影響を与えます。どちらのグラフの熱インピーダンス曲線も、ドライブ・パルス期間が長くなるに従って層数と銅面積に応じた差が観測されることを示しています。長いパルスの場合、定常状態の性能になるとみなすことができます。

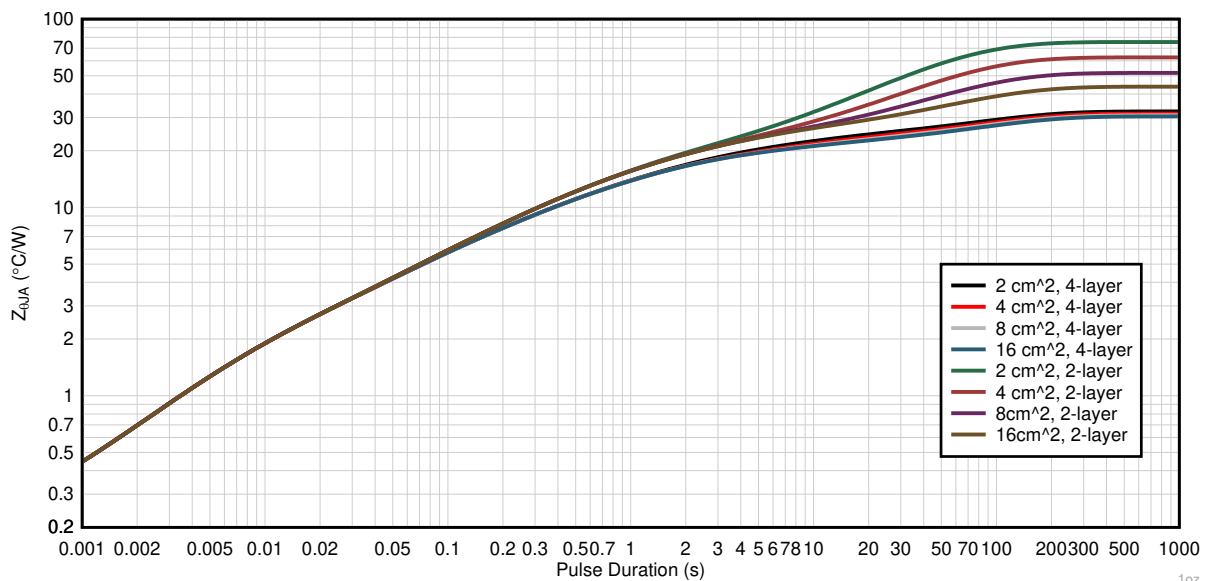


図 8-7. HTSSOP パッケージと 1oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

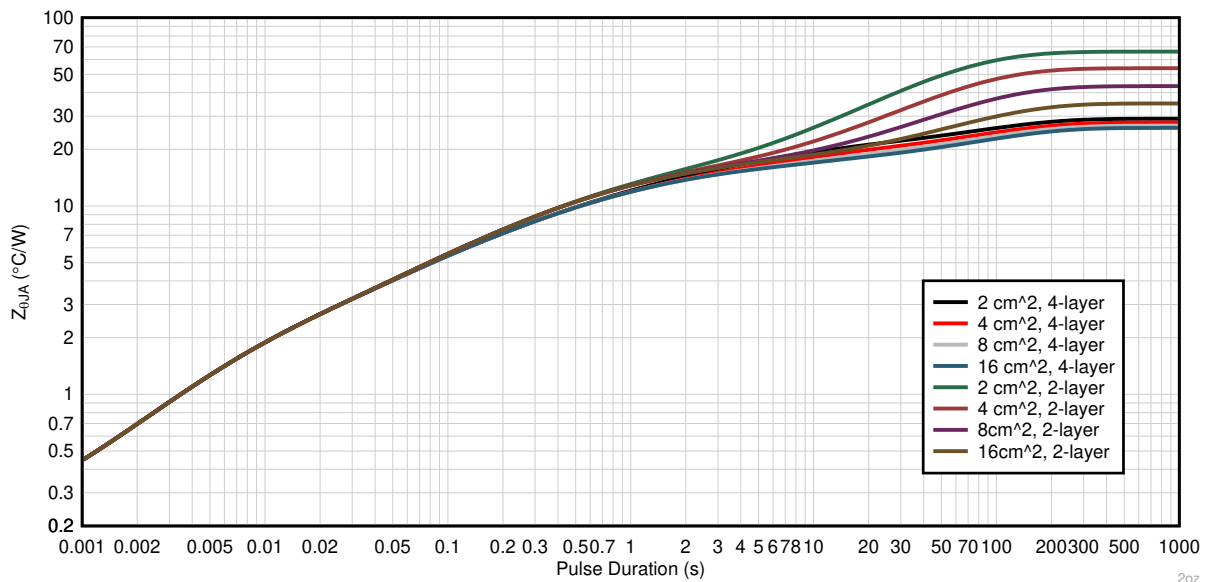
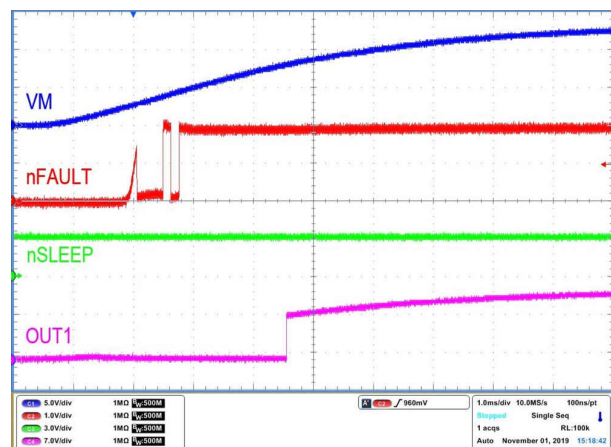


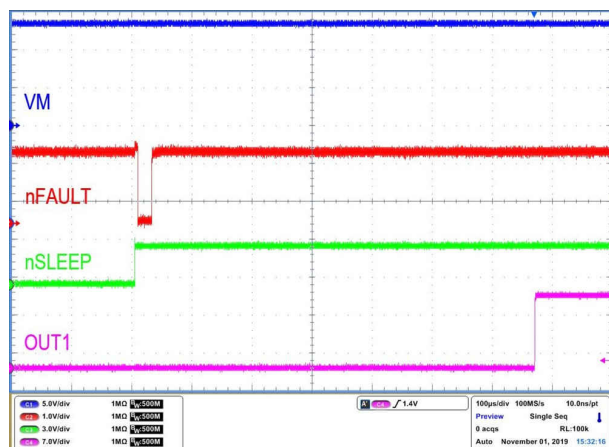
図 8-8. HTSSOP パッケージと 2oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

8.2.1.3 アプリケーション曲線



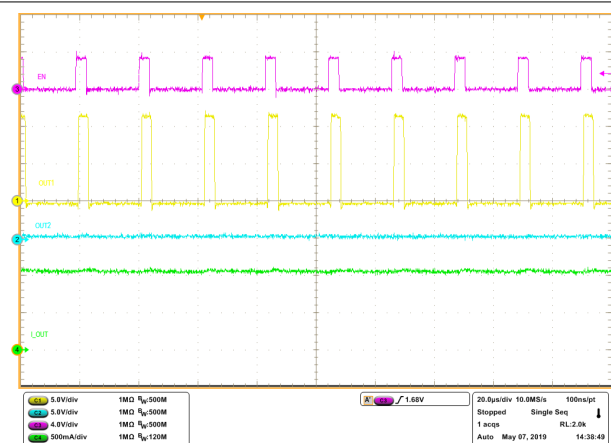
チャンネル 1 = VM チャンネル 2 = nFAULT
チャンネル 3 = nSLEEP
チャンネル 4 = IOUT

図 8-9. デバイス電源投入、電源電圧 (VM) ランプ使用



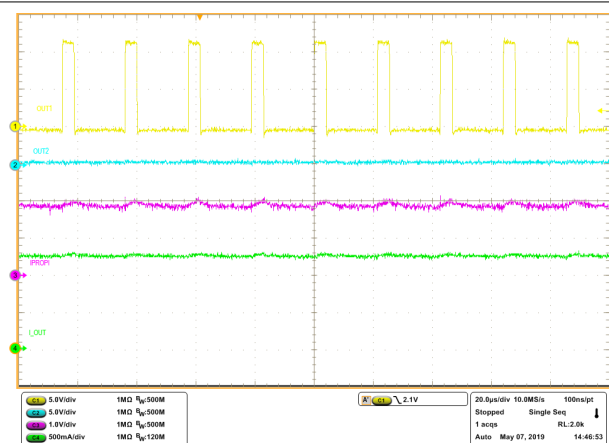
チャンネル 1 = VM チャンネル 2 = nFAULT
チャンネル 3 = nSLEEP
チャンネル 4 = IOUT

図 8-10. デバイスの電源投入、nSLEEP 使用



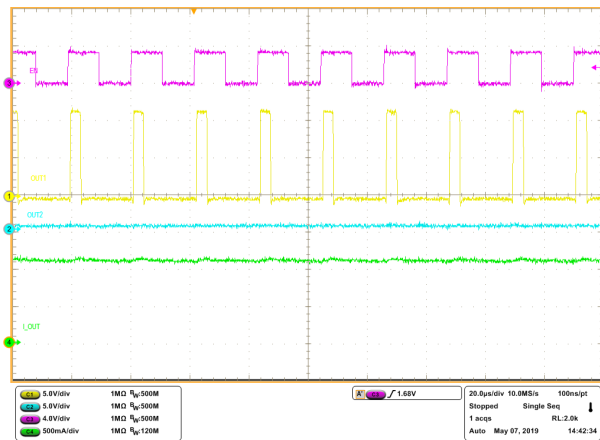
A. チャンネル 1 = OUT1 チャンネル 2 = OUT2 チャンネル 3 = EN/IN1
チャンネル 4 = IOUT

図 8-11. ドライバ PWM 動作 (PH/EN)



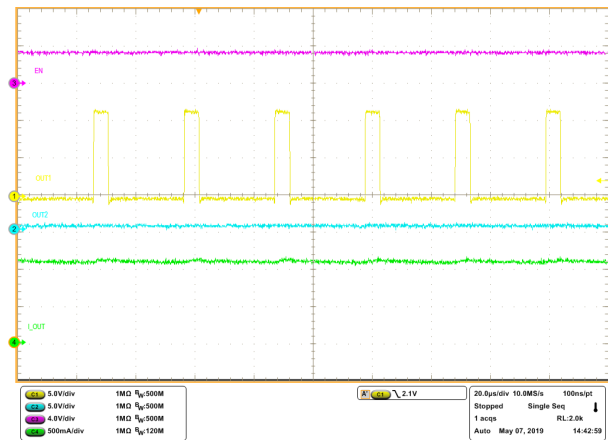
チャンネル 1 = OUT1 チャンネル 2 = OUT2 チャンネル 3 = IPROPI
チャンネル 4 = IOUT

図 8-12. ドライバ PWM 動作、電流帰還使用



チャンネル 1 = OUT1 チャンネル 2 = OUT2 チャンネル 3 = EN/IN1
チャンネル 4 = IOUT

図 8-13. ドライバ PWM 動作、電流チョッピング使用



チャンネル 1 = OUT1 チャンネル 2 = OUT2 チャンネル 3 = EN/IN1
チャンネル 4 = IOUT

図 8-14. ドライバ・フル・オン動作、電流チョッピング使用

8.2.2 代替アプリケーション

代替アプリケーション例では、デュアル・ハーフブリッジ構成を採用し、2 つの外部負荷 (2 つのブラシ付き DC モータなど) の単方向電流を駆動するように本デバイスを構成しています。各ハーフブリッジのデューティ・サイクルは、外部コントローラから EN/IN1 および PH/IN2 ピンに接続された PWM 信号で制御されます。本デバイスは、PMODE ピンをフローティング状態にすることで独立ハーフブリッジ制御モードに構成されます。独立ハーフブリッジ制御モードでは電流レギュレーション方式がディスエーブルされるため、VREF ピンを V_{CC} に接続します。総負荷電流は、 R_{IPROPI} 両端の電圧をコントローラが ADC で検出することで監視されます。

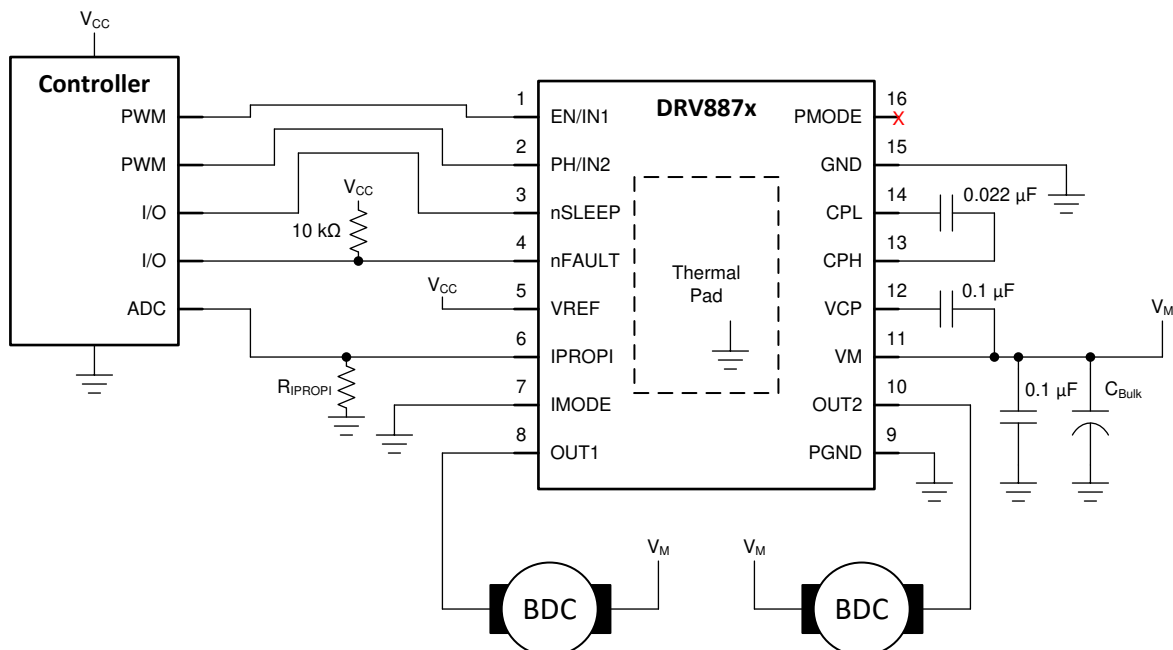


図 8-15. 代表的なアプリケーション回路図

8.2.2.1 設計要件

表 8-3. 設計パラメータ

略号	設計パラメータ	値の例
V_M	モータおよびドライバ電源電圧	13.5V
V_{CC}	コントローラ電源電圧	3.3V
I_{RMS1}	出力 1 RMS 電流	0.5A
I_{PEAK1}	出力 1 ピーク電流	1A
I_{RMS2}	出力 2 RMS 電流	0.25A
I_{PEAK2}	出力 2 ピーク電流	0.5A
f_{PWM}	スイッチング周波数	20kHz
A_{IPROPI}	電流検出スケーリング係数	450 μ A/A
R_{IPROPI}	IPROPI 外付け抵抗	4.9k Ω
V_{ADC}	コントローラ ADC 基準電圧	3.3V
T_A	PCB 周囲温度	-20~85°C
T_J	デバイスの最大接合部温度	150°C
$R_{\theta JA}$	デバイスの接合部から周囲への熱抵抗	35°C/W

8.2.2.2 詳細な設計手順

詳細な設計手順の例については、「主要アプリケーション」の「[セクション 8.2.1.2](#)」を参照してください。大半の設計コンセプトは、代替アプリケーション例に該当します。手順に加える若干の変更について以下に記載します。

8.2.2.2.1 電流検出およびレギュレーション

2 つのハーフブリッジ負荷に対応する代替アプリケーションでは、IPROPI 出力が 2 つの出力電流を合わせたものとなります。コントローラ ADC の入力電圧がダイナミック・レンジ内に収まるように、電流検出帰還抵抗 R_{IPROPI} を適切にスケーリングする必要があります。以下に、この例を示します。

$$R_{IPROPI} \leq V_{ADC} / ((I_{PEAK1} + I_{PEAK2}) \times A_{IPROPI}) \quad (23)$$

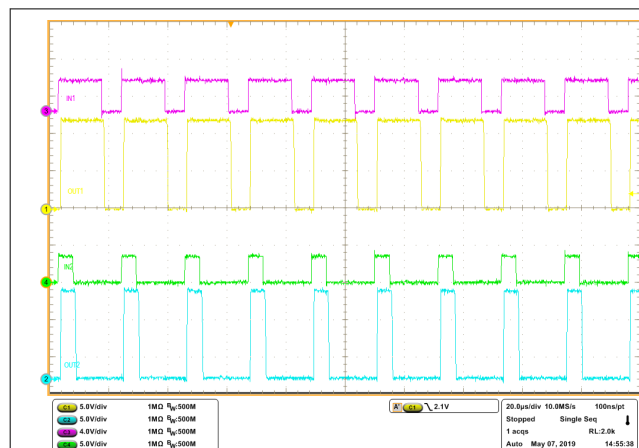
$$R_{IPROPI} = 4.9k\Omega \leq 3.3V / ((1A + 0.5A) \times 450\mu A/A) \quad (24)$$

$V_{ADC} = 3.3V$ 、 $I_{PEAK1} = 1A$ 、 $I_{PEAK2} = 0.5A$ 、 $A_{IPROPI} =$ の場合、IPROPI 電圧のダイナミック・レンジを最大化するため、約 4.9k Ω の R_{IPROPI} を選択します。

R_{IPROPI} の精度 (許容差) は、アプリケーションの要件に基づいて選定できます。10%、5%、1%、0.1% はいずれも有効な許容差です。性能とコストの最良のバランスを実現するため、通常 1% を推奨します。

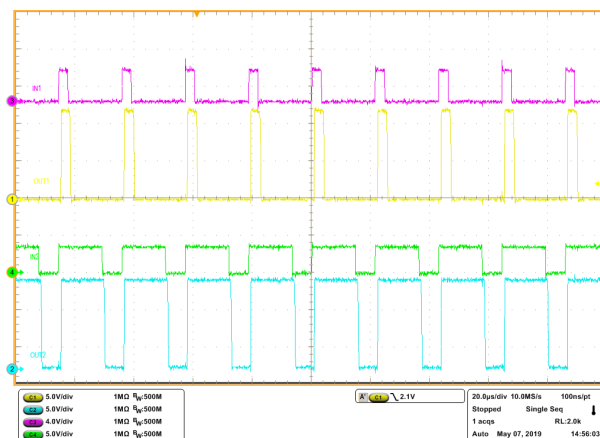
独立ハーフブリッジ・モードでは、本デバイスの内部電流レギュレーションはディセーブルされます。 V_{REF} は、コントローラ ADC の電源リファレンスに直接設定できます。

8.2.2.3 アプリケーション曲線



A. チャンネル 1 = OUT1 チャンネル 2 = OUT2 チャンネル 3 = EN/IN1
チャンネル 4 = PH/IN2

図 8-16. 独立ハーフブリッジ PWM 動作



A. チャンネル 1 = OUT1 チャンネル 2 = OUT2 チャンネル 3 = EN/IN1
チャンネル 4 = PH/IN2

図 8-17. 独立ハーフブリッジ PWM 動作

9 電源に関する推奨事項

9.1 バルク容量

適切なローカル・バルク容量の確保は、モータ・ドライブ・システムの設計において重要な要素です。バルク容量を増やすと、一般にメリットがありますが、コストの増大と大型化というデメリットも伴います。

必要なローカル・バルク容量値は、次のようなさまざまな要素で決まります。

- モータまたは負荷が必要とする最大電流
- 電源容量と電流供給能力
- 電源とモータ・システムとの間の寄生インダクタンスの大きさ
- 許容されるシステムの電圧リップル
- モータのブレーキ方式 (該当する場合)

電源とモータ・ドライブ・システムとの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル・バルク容量が小さすぎると、モータに大電流を供給しようとする場合、または負荷ダンピングが発生した場合、システムの電圧が変動します。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に推奨最小値が記載されていますが、バルク・コンデンサの適切な容量を決定するにはシステム・レベルのテストが必要です。

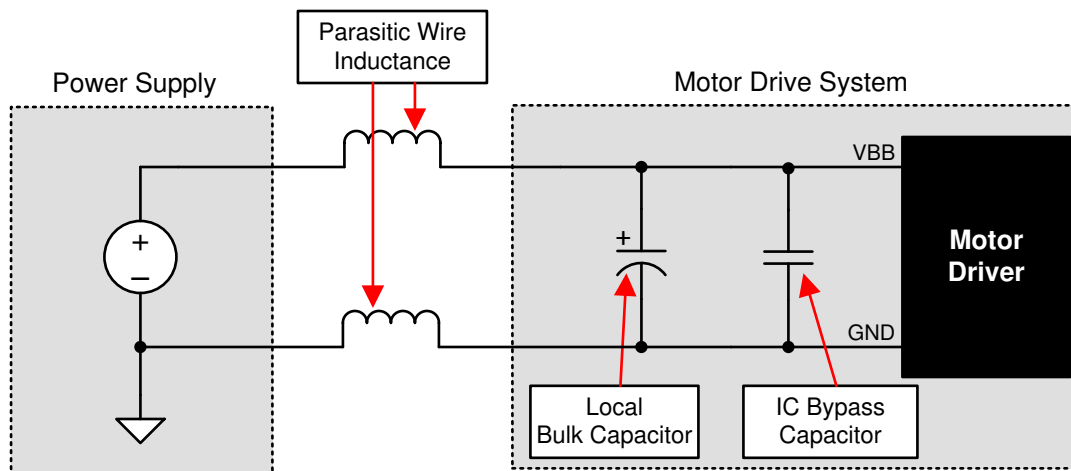


図 9-1. システム電源の寄生成分の例

10 レイアウト

10.1 レイアウトのガイドライン

DRV887x-Q1 ファミリーには、大電流を駆動できるパワー MOSFET が内蔵されているため、レイアウト設計および外付け部品の配置には細心の注意を払う必要があります。設計とレイアウトに関する指針は以下のとおりです。

- VM - GND 間のバイパス・コンデンサ、VCP - VM 間のチャージ・ポンプ・ストレージ・コンデンサ、チャージ・ポンプ・フライング・コンデンサには、ESR の小さいセラミック・コンデンサを使用する必要があります。X5R および X7R タイプを推奨します。
- ループ・インダクタンスを最小限に抑えるため、VM 電源とチャージ・ポンプ・コンデンサ (VCP、CPH、CPL) はデバイスにできるだけ近付けて配置する必要があります。
- VM 電源バルク・コンデンサはセラミックまたは電解タイプとすることができますが、やはりループ・インダクタンスを最小限に抑えるため、デバイスにできるだけ近付けて配置する必要があります。
- VM、OUT1、OUT2、PGND は電源から出力へ大電流を供給し、グラウンドに戻します。これらのトレースには、実現可能な場合、厚い金属配線を使用する必要があります。
- PGND と GND は、ともに PCB のグラウンド・プレーンに直接接続する必要があります。互いに絶縁するようには設計されていません。
- PCB のヒートシンクを最大限に確保するため、本デバイスのサーマル・パッドは、PCB 上層のグラウンド・プレーン (と、利用可能な場合、サーマル・ビアを介して内部グラウンド・プレーン) に取り付ける必要があります。
- サーマル・ビアの推奨ランド・パターンは、パッケージ図面のセクションに記載しています。
- 最適なヒートシンクを実現するために、サーマル・パッドを取り付ける銅プレーンの面積はできるだけ大きくする必要があります。

10.2 レイアウト例

10.2.1 HTSSOP のレイアウト例

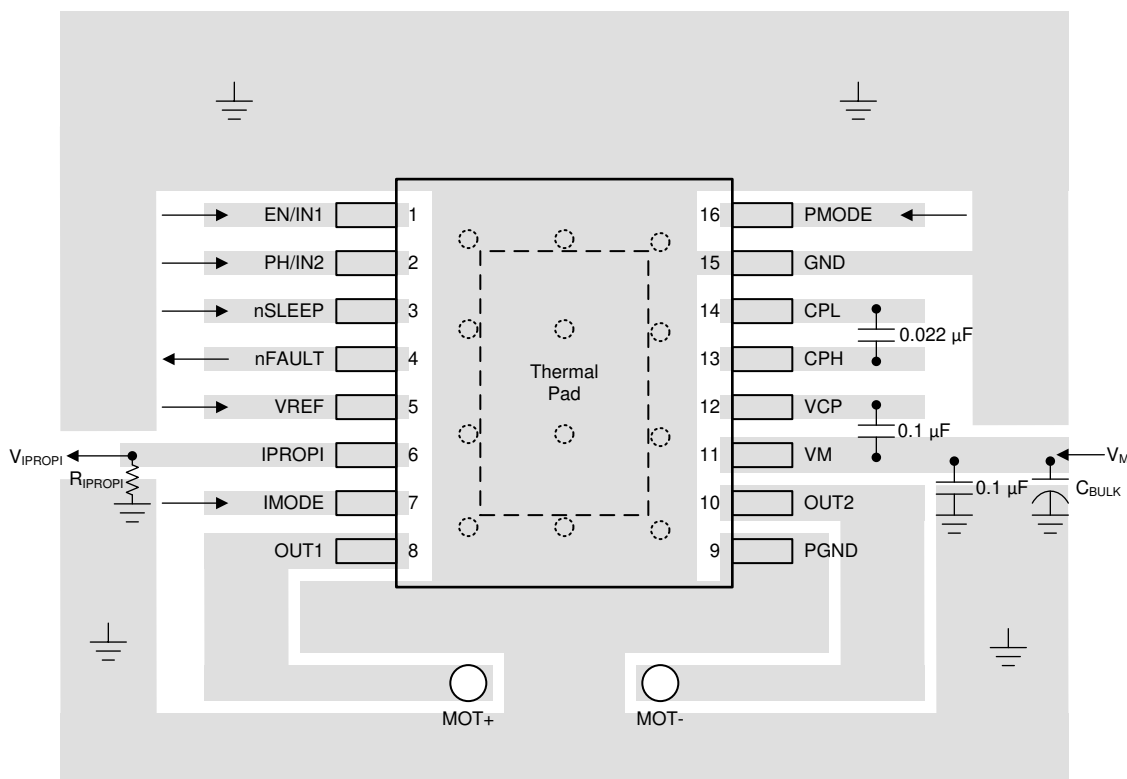


図 10-1. HTSSOP (PWP) のレイアウト例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『モータ・ドライバ消費電力の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『電流の再循環とディケイ・モード』アプリケーション・レポート
- テキサス・インスツルメンツ、『PowerPAD™ 入門』アプリケーション・レポート
- テキサス・インスツルメンツ、『熱特性強化型パッケージ PowerPAD™』アプリケーション・レポート
- テキサス・インスツルメンツ、『モータ・ドライバ電流定格の説明』アプリケーション・レポート
- テキサス・インスツルメンツ、『モータ・ドライバの基板レイアウトのベスト・プラクティス』アプリケーション・レポート
- テキサス・インスツルメンツ、『モータ・ドライバのレイアウト・ガイド』アプリケーション・レポート

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

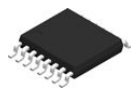
11.3 コミュニティ・リソース

11.4 商標

すべての商標は、それぞれの所有者に帰属します。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

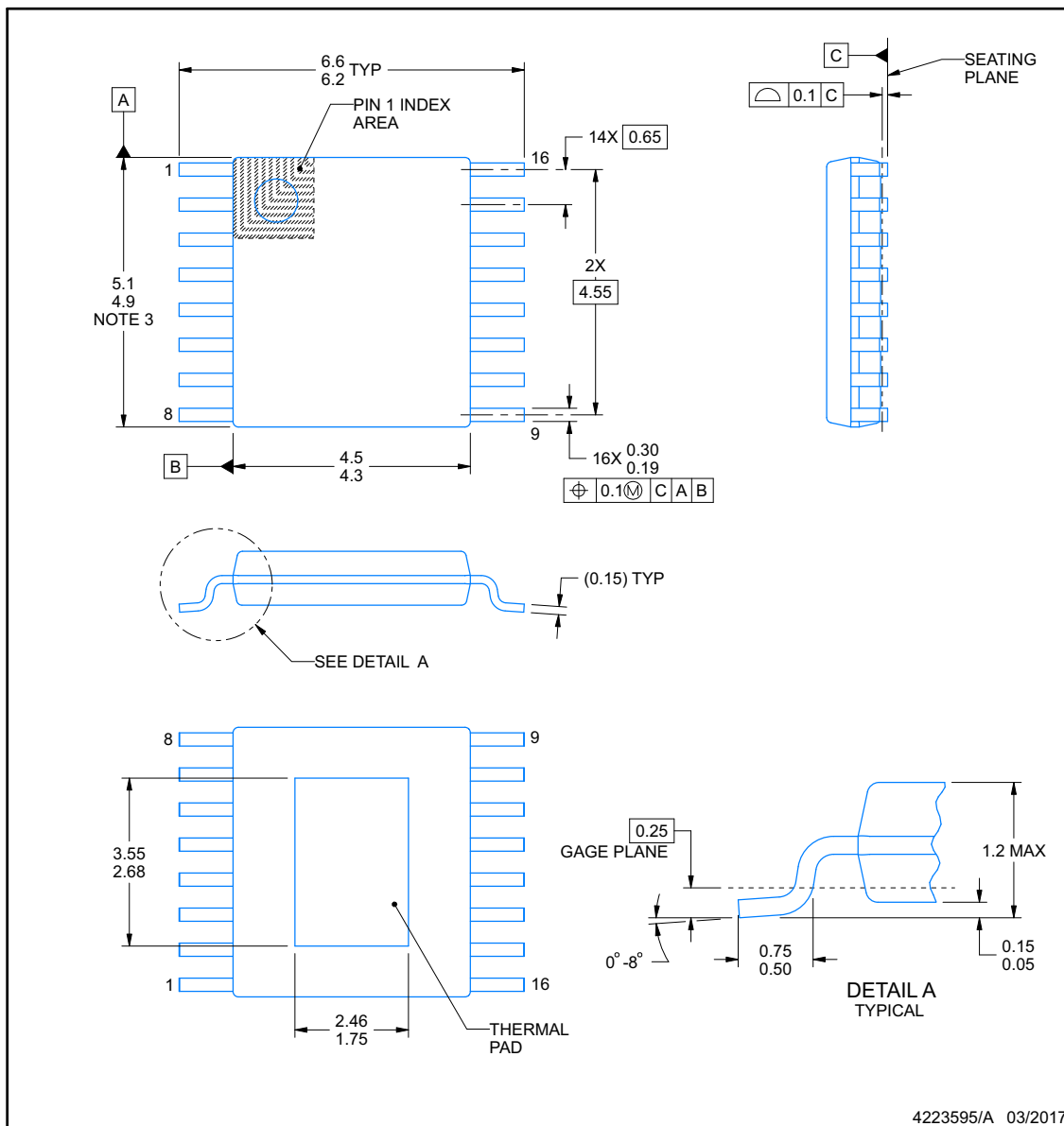


PACKAGE OUTLINE

PWP0016J

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



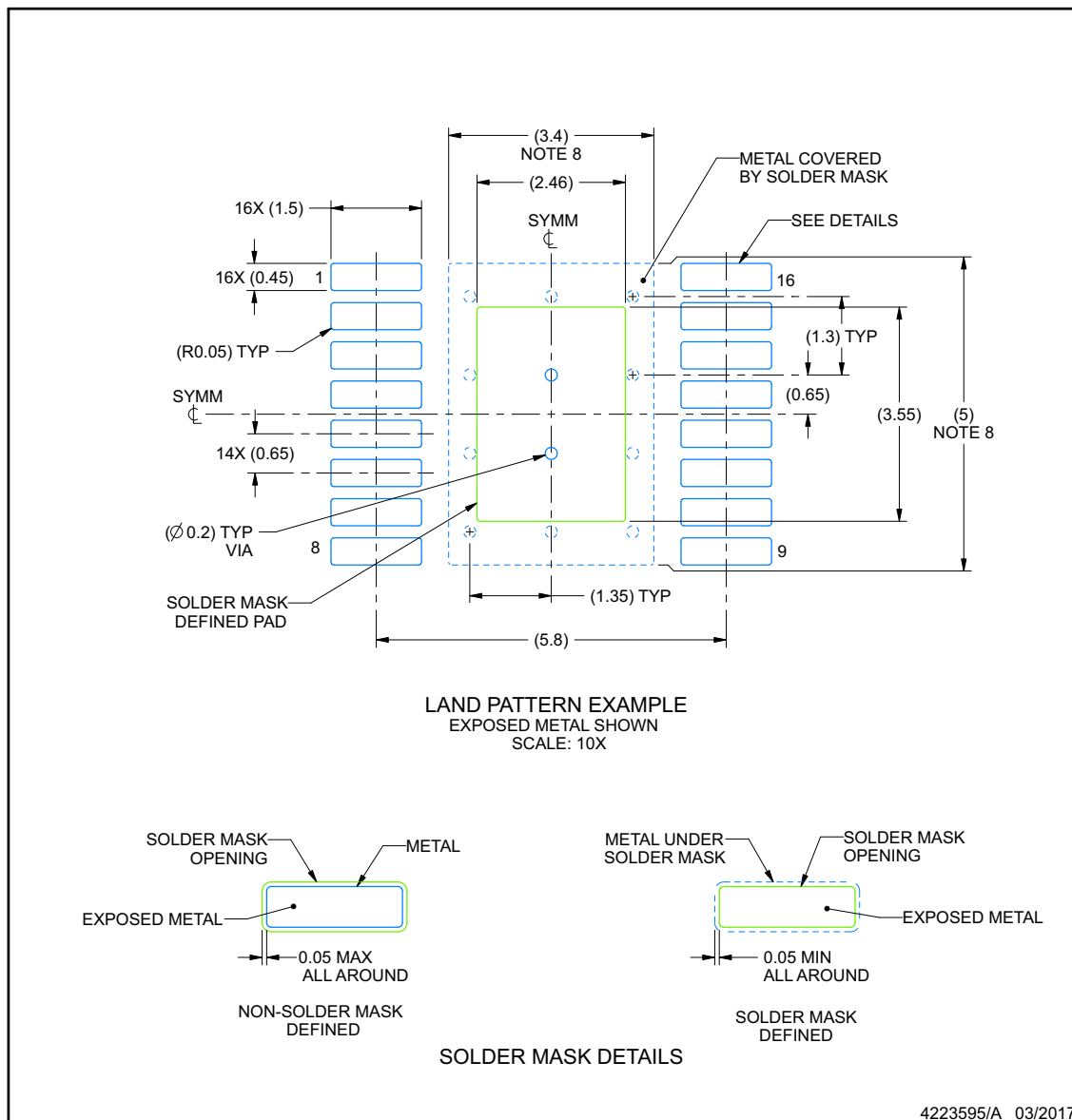
NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT**PWP0016J****PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

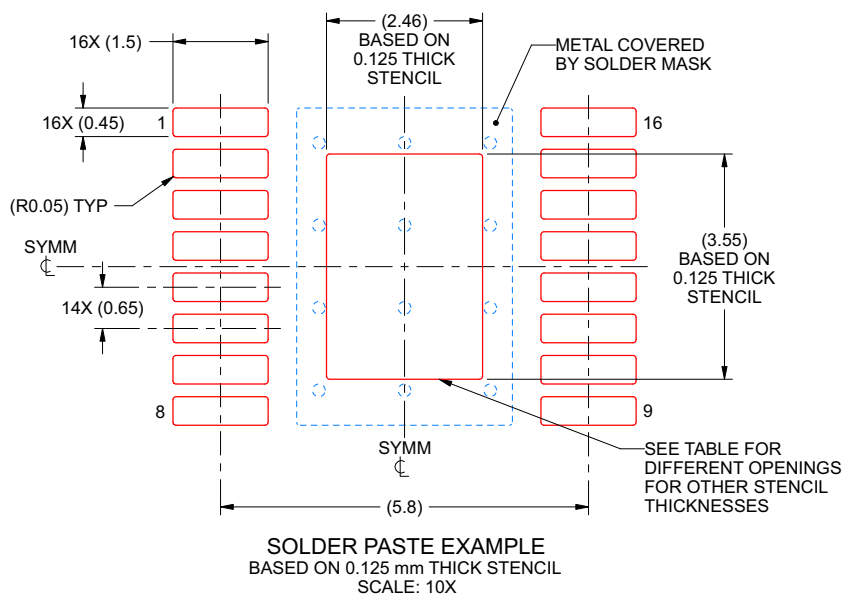
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
8. Size of metal pad may vary due to creepage requirement.
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0016J

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.75 X 3.97
0.125	2.46 X 3.55 (SHOWN)
0.15	2.25 X 3.24
0.175	2.08 X 3.00

4223595/A 03/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8874QPWPRQ1	Active	Production	HTSSOP (PWP) 16	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8874Q
DRV8874QPWPRQ1.A	Active	Production	HTSSOP (PWP) 16	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8874Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

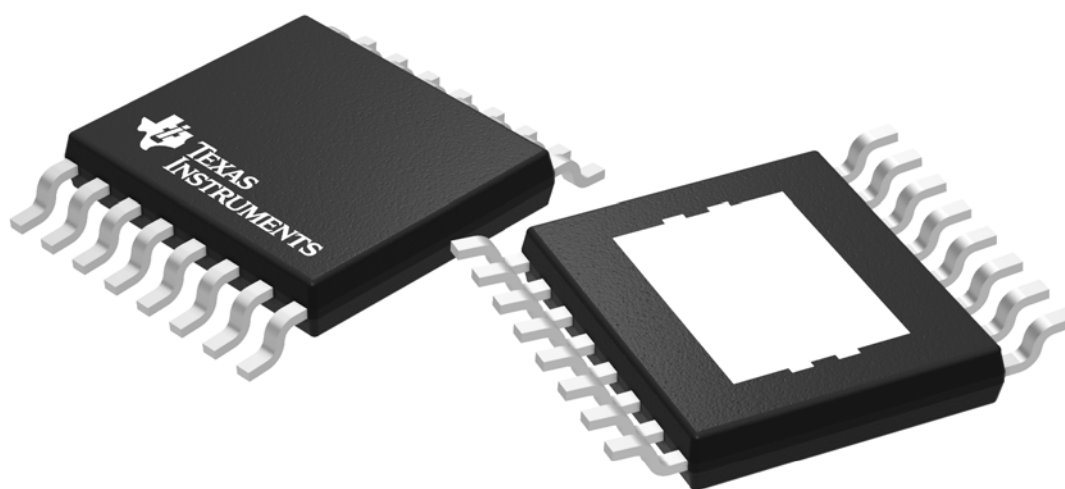
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV8874-Q1 :

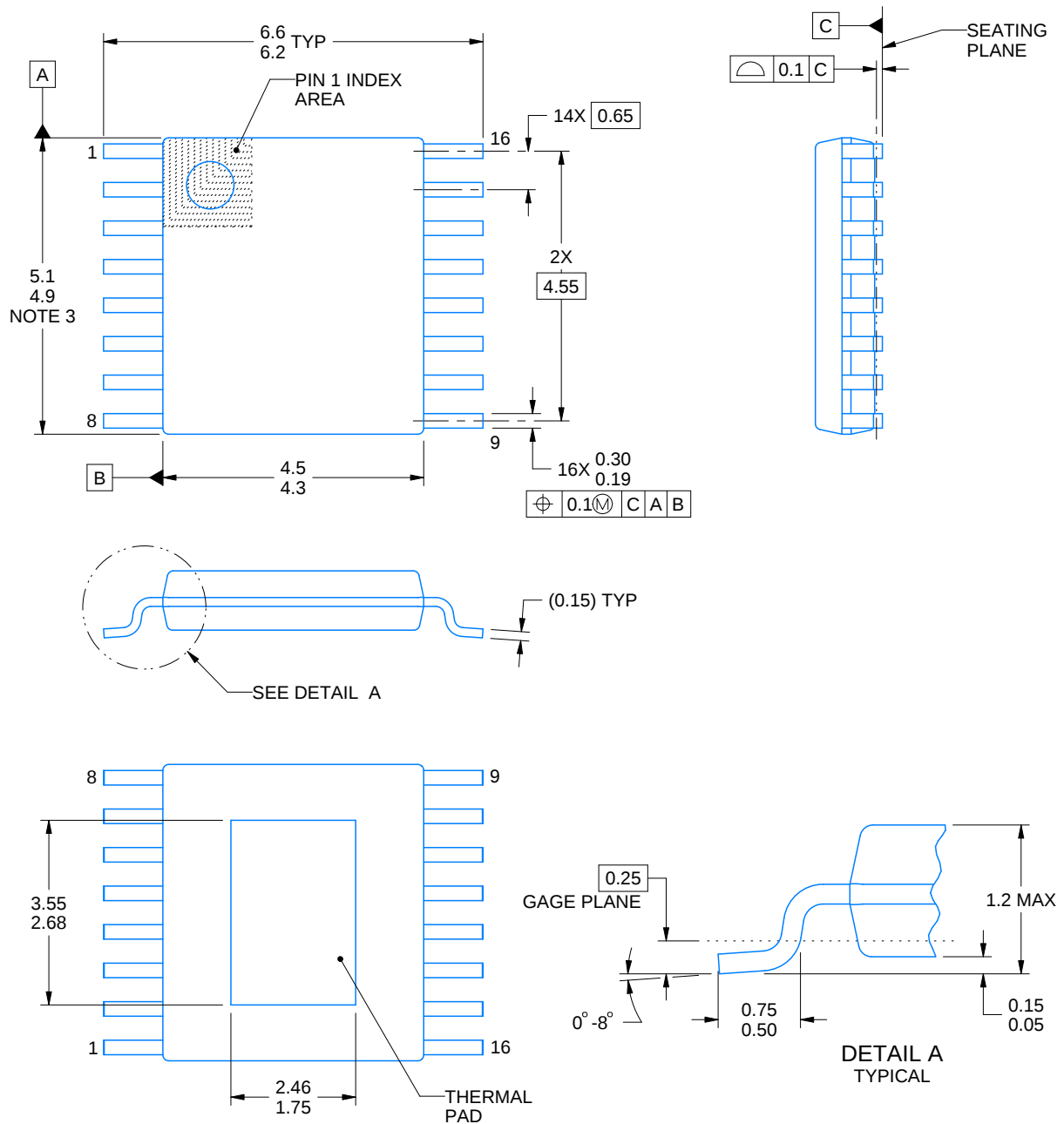
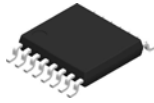
- Catalog : [DRV8874](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4223595/A 03/2017

NOTES:

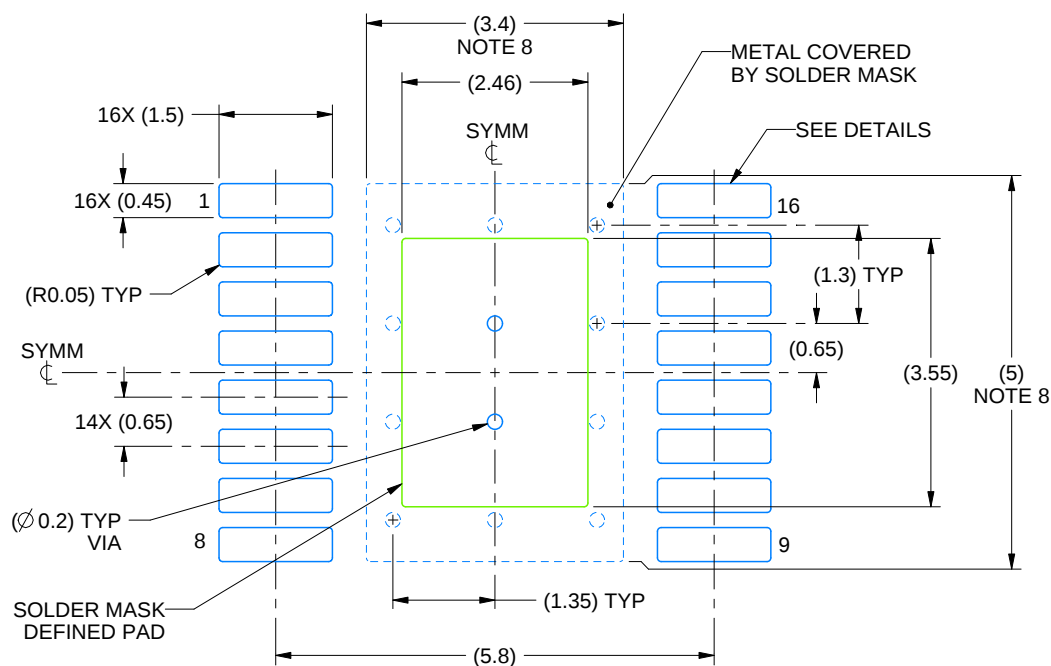
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.

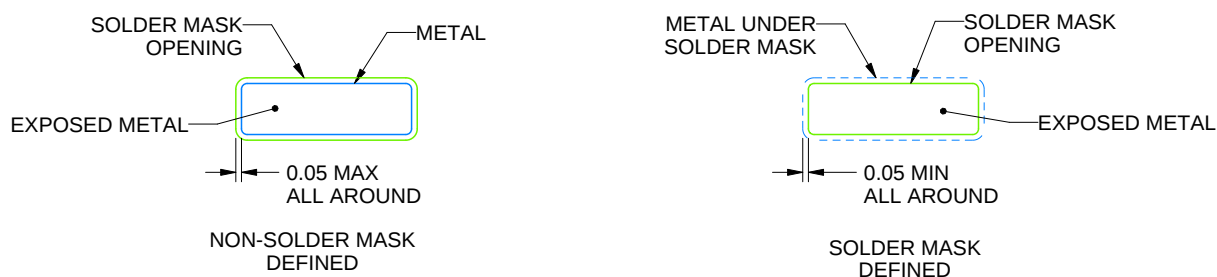
PWP0016J

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4223595/A 03/2017

NOTES: (continued)

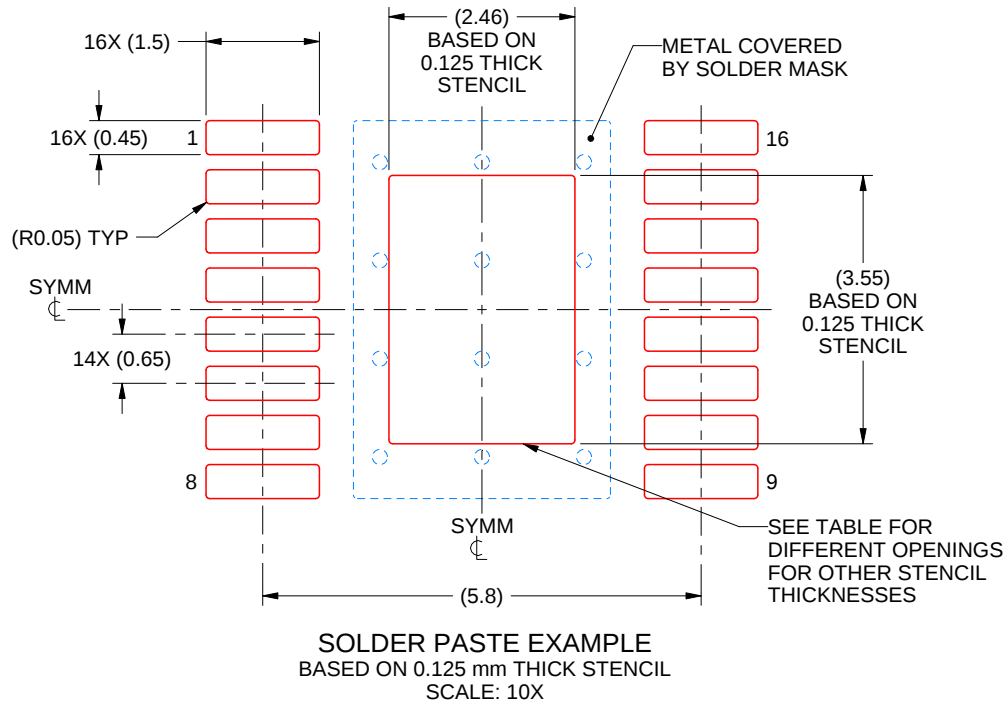
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
8. Size of metal pad may vary due to creepage requirement.
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0016J

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.75 X 3.97
0.125	2.46 X 3.55 (SHOWN)
0.15	2.25 X 3.24
0.175	2.08 X 3.00

4223595/A 03/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated