

DRV8844A クワッドハーフブリッジドライバ、独立グランド付き

1 特長

- 4 チャネルのハーフブリッジドライバ
 - 各ハーフブリッジの独立制御
 - ローサイドスイッチまたはハイサイドスイッチとして使用可能
 - 出力を並列に接続できます
- ロー MOSFET の $R_{DS(ON)}$ FET あたり **210mΩ**
 - 最大駆動電流: **2.5A** (24V, 25°C)
- **±32.5V** までの両極性電源をサポート
- **8V ~ 65V** の動作電源電圧範囲
- オプションの電流検出抵抗接続用に独立した電源グランドをサポート
- さまざまな種類の負荷を駆動可能
 - 4 つのソレノイド、バルブ、またはリレー
 - 2 つのブラシ付き DC モータ
 - 1 つのステッパモータ
 - 1 つまたは 2 つの熱電冷却器 (TEC)
 - 3 相ブラシレス DC モーター (BLDC) を 1 台駆動可能
- 3.3V、10mA LDO レギュレータ内蔵
- 業界標準の IN/EN デジタル制御インターフェース
- 保護機能
 - VM 低電圧誤動作防止 (UVLO)
 - 過電流保護 (OCP)
 - サーマルシャットダウン (TSD)
 - フォルト条件出力 (nFAULT)

2 アプリケーション

- 繊維機械
- OA 機器
- ゲーム機
- ファクトリオートメーション
- モータードライブ
- 舞台照明
- 热電冷却器 (TEC)

3 説明

DRV8844A は、幅広いアプリケーションに対応する、4 チャネル個別制御のハーフブリッジドライバです。本デバイスは、適切な PCB 放熱が施されている場合、24V・25°Cにおいて最大 2.5A のピーク出力電流または 1.75A のRMS 出力電流をサポートします。本デバイスの出力段は、N チャネルパワー MOSFET により構成され、4 つの独立したハーフブリッジとして動作します。これにより、本デバイスは 2 つの DC モータ、1 つのステッピングモータ、4 つのソレノイド、その他の負荷の駆動に使用可能です。各出力は、LS スイッチ (ローサイドスイッチ)、HS スイッチ (ハイサイドスイッチ)、もしくはプッシュプル出力ドライバとして構成可能です。

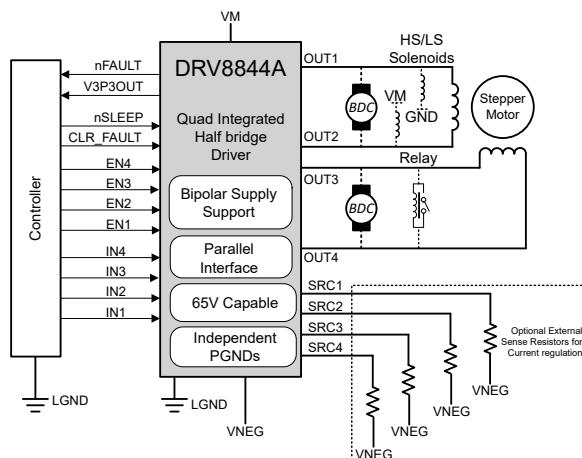
各 1/2 H ブリッジを個別に制御できるよう、専用の入力が提供されています。正負の分割電源での動作を可能にするため、ロジック入力および nFAULT 出力は、独立したフローティンググラウンドピンを基準としています。また、DRV8844A は各ハーフブリッジへのセンス抵抗接続に対応しており、モータ制御などの用途においてシステムレベルでの電流検出を可能にします。

本デバイスには、過電流保護、短絡保護、低電圧ロックアウト、過温保護のための内部シャットダウン機能が搭載されています。

デバイス情報 (1)

部品番号	パッケージ	本体サイズ (公称)
DRV8844A	HVSSOP (28) (DGQ)	7.30mm × 4.90mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7 アプリケーションと実装	15
2 アプリケーション	1	7.1 アプリケーション情報	15
3 説明	1	7.2 アプリケーション情報	15
4 ピン構成および機能	3	7.3 電源に関する推奨事項	21
5 仕様	6	7.4 レイアウト	23
5.1 絶対最大定格.....	6	8 デバイスおよびドキュメントのサポート	25
5.2 ESD 定格.....	6	8.1 ドキュメントのサポート	25
5.3 推奨動作条件.....	6	8.2 コミュニティリソース	25
5.4 熱に関する情報.....	7	8.3 サポート・リソース	25
5.5 電気的特性.....	7	8.4 商標	25
5.6 スイッチング特性.....	9	8.5 静電気放電に関する注意事項	25
6 詳細説明	10	8.6 用語集	25
6.1 概要.....	10	9 改訂履歴	25
6.2 機能ブロック図.....	10	10 メカニカル、パッケージ、および注文情報	25
6.3 機能説明.....	10		

4 ピン構成および機能

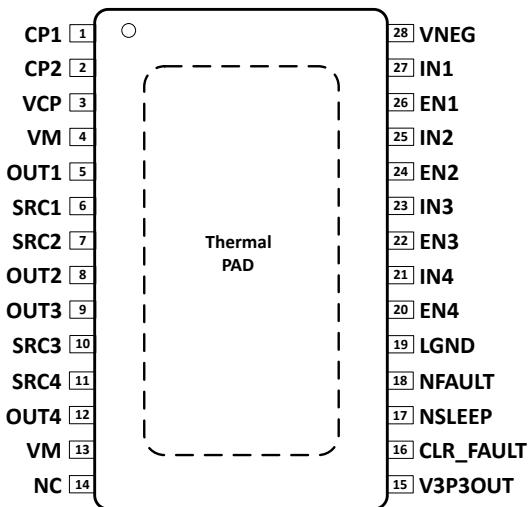


図 4-1. DGQ パッケージ 28 ピン HVSSOP 上面図

表 4-1. ピンの機能

ピン 名称	番号	種類 ⁽¹⁾	説明	外付け部品または接続
電源およびグランド				
CP1	1	P	チャージポンプ フライング コンデンサ	CP1 と CP2 の間に 0.01μF 100V のコンデンサを接続してください。
CP2	2	P	チャージポンプ フライング コンデンサ	
LGND	19	P	ロジック入力基準グランド	ロジックグランドに接続。この電圧は、VNEG から VM – 8V の範囲内であれば任意に設定可能です。
V3P3OUT	15	P	3.3V レギュレータ出力	VNEG に 0.47μF、定格 6.3V のセラミックコンデンサでバイパスしてください。VREF に電源を供給するために使用できます。
VCP	3	P	ハイサイド ゲートドライブ電圧	VM に 0.1μF 16V のセラミックコンデンサを接続してください。
VM	4, 13	P	メイン電源	モーター電源 (8V~60V) に接続します。両方のピンは、同じ電源に接続する必要があります。VNEG に 10μF(最小値) 以上のコンデンサでバイパスしてください。
SRC1	6	P	OUT1 用ローサイド FET ソース	VNEG に直接接続するか、オプションの電流検出抵抗を介して接続してください
SRC2	7	P	OUT2 用ローサイド FET ソース	
SRC3	10	P	OUT3 用ローサイド FET ソース	
SRC4	11	P	OUT4 用ローサイド FET ソース	
VNEG	28, PPAD	P	負電源(デュアル電源時)またはグランド(単一電源時)	
制御				
EN1	26	I	チャネル 1、イネーブル	ロジック High で OUT1 がイネーブルになります。内部プルダウン。
EN2	24	I	チャネル 2、イネーブル	ロジック High で OUT2 がイネーブルになります。内部プルダウン。
EN3	22	I	チャネル 3、イネーブル	ロジック High で OUT3 がイネーブルになります。内部プルダウン。
EN4	20	I	チャネル 4、イネーブル	ロジック High で OUT4 がイネーブルになります。内部プルダウン。
IN1	27	I	チャネル 1 入力	ロジック入力は OUT1 の状態を制御します。内部プルダウン。
IN2	25	I	チャネル 2 入力	ロジック入力は OUT2 の状態を制御します。内部プルダウン。
IN3	23	I	チャネル 3 入力	ロジック入力は OUT3 の状態を制御します。内部プルダウン。

表 4-1. ピンの機能 (続き)

ピン		種類 ⁽¹⁾	説明	外付け部品または接続
名称	番号			
IN4	21	I	チャネル 4 入力	ロジック入力は OUT4 の状態を制御します。内部プルダウン。
CLR_FAULT	16	I	フォルト入力をクリアします	負のエッジが入力されると、影響を受けたチャネルのラッチフォルトがクリアされます
nSLEEP	17	I	スリープ モード入力	デバイスは、ロジック High でイネーブルし、ロジック Low で低消費電力スリープ モードに移行します。内部プルダウン。

表 4-1. ピンの機能 (続き)

ピン		種類 ⁽¹⁾	説明	外付け部品または接続
名称	番号			
STATUS				
nFAULT	18	OD	フォルト	フォルト状態(過熱、過電流、UVLO)では、ロジック Low。オープンドレイン出力。
出力				
OUT1	5	O	出力 1	負荷に接続します
OUT2	8	O	出力 2	
OUT3	9	O	出力 3	
OUT4	12	O	出力 4	
内部接続なし				
NC	14	—	無接続	これらのピンには接続されていません

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
VM	電源電圧	-0.3	70	V
	ロジック グランド 電圧 (LGND)	-0.5	VM - 8	V
	デジタルピン電圧	LGND - 0.5	LGND + 7	V
	SRC1、SRC2、SRC3、SRC4 (ピン 6、7、10、11、オプションのセンス抵抗付き) を VNEG ピン (ピン 28) に接続	-0.6	0.6	V
	ピークモーター駆動出力電流、 $t < 1\mu\text{s}$	内部的に制限		A
	ピークモーター駆動出力電流 ⁽²⁾		2.5	A
T _J	動作時の仮想接合部温度	-40	150	°C
T _{stg}	保存温度	-60	150	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

(2) 消費電力および温度の制限に従う必要があります。

5.2 ESD 定格

		値	単位
V _(ESD)	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±3000	V
	荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽²⁾	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内において、電圧は VNEG を基準とする (特に記述のない限り)

		最小値	公称値	最大値	単位
V _M	モーター電源電圧 ⁽¹⁾	8		65	V
I _{V3P3}	負荷電流で V3P3OUT	0		10	mA
T _A	周囲温度	-40		125	°C

(1) すべての V_M ピンは、同じ電源電圧に接続する必要があります。

5.4 热に関する情報

热評価基準 ⁽¹⁾		DRV8844A	単位
		DGQ (HVSSOP)	
		28 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.9	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	32.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	9.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.0	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	9.7	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース(底面)への熱抵抗	1.7	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーションレポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

5.5 電気的特性

$T_A = 25^\circ\text{C}$ 、動作周囲温度範囲全体で、特に記載がない場合はすべての電圧が VNEG 端子に対する値です

パラメータ	テスト条件	最小値	標準値	最大値	単位
電源					
I_{VM}	V_M 動作電源電流	$V_M = 24\text{V}, f_{\text{PWM}} < 50\text{kHz}$		1	5 mA
I_{VMO}	V_M スリープ モード電源電流	$V_M = 24\text{V}$		500	800 μA
V_{UVLO}	V_M 低電圧誤動作防止電圧	V_M 立ち上がり		6.3	8 V
V3P3OUT レギュレータ					
V_{3P3}	V_{3P3OUT} 電圧	$I_{\text{OUT}} = 0$ から 1mA	3.18	3.3	3.52 V
ロジックレベル入力					
V_{IL}	入力 Low 電圧		$LGND + 0.6$	$LGND + 0.7$	V
V_{IH}	入力 High 電圧		$LGND + 2.2$	$LGND + 5.25$	V
V_{HYS}	入力ヒステリシス		50	600	mV
I_{IL}	入力 Low 電流	$V_{IN} = LGND$	-5	5	μA
I_{IH}	高入力電流	$V_{IN} = LGND + 3.3\text{V}$		100	μA
R_{PD}	内部プルダウン抵抗			100	k Ω
nFAULT 出力(オープンドレイン出力)					
V_{OL}	出力 Low 電圧	$I_O = 5\text{mA}$		$LGND + 0.5$	V
I_{OH}	出力 High リーク電流	$V_O = LGND + 3.3\text{V}$		1	μA
H プリッジ FET					
$R_{DS(ON)}$	HS FET オン抵抗	$V_M = 24\text{V}, I_O = 1\text{A}, T_J = 25^\circ\text{C}$		0.21	Ω
		$V_M < 24\text{V}, I_O = 1\text{A}, T_J = 85^\circ\text{C}$		0.25	
	LS FET オン抵抗	$V_M = 24\text{V}, I_O = 1\text{A}, T_J = 25^\circ\text{C}$		0.21	
		$V_M < 24\text{V}, I_O = 1\text{A}, T_J = 85^\circ\text{C}$		0.25	
I_{OFF}	オフ状態のリーク電流		-2	2	μA
保護回路					
I_{OCP}	過電流保護トリップレベル		5		A
t_{DEAD}	出力デッドタイム			90	ns
t_{OCP}	過電流保護グリッチ除去時間			5	μs

$T_A = 25^\circ\text{C}$ 、動作周囲温度範囲全体で、特に記載がない場合はすべての電圧が VNEG 端子に対する値です

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{CLR_FAULT}	フォルトをクリアするための最小パルス幅	5			μs
T_{TSD}	サーマル シャットダウン温度	ダイ温度	150	160	180

5.6 スイッチング特性

自由空気での動作温度範囲内 (特に記述のない限り)、(1)([図 5-1](#) を参照)

番号	パラメータ	テスト条件	最小値	最大値	単位
1	t_1	遅延時間、ENx high から OUTx high、INx = 1 まで	130	330	ns
2	t_2	遅延時間、ENx low から OUTx low まで、INx = 1	275	475	ns
3	t_3	遅延時間、ENx high から OUTx low、INx = 0	100	300	ns
4	t_4	遅延時間、ENx low から OUTx high まで、INx = 0	200	400	ns
5	t_5	遅延時間、INx High から OUTx High まで	300	500	ns
6	t_6	遅延時間、INx Low から OUTx Low まで	275	475	ns
7	t_R	出力立ち上がり時間、VNEG への抵抗性負荷	30	150	ns
8	t_F	出力立ち下がり時間、VNEG への抵抗性負荷	30	150	ns

(1) 量産では検査していません。

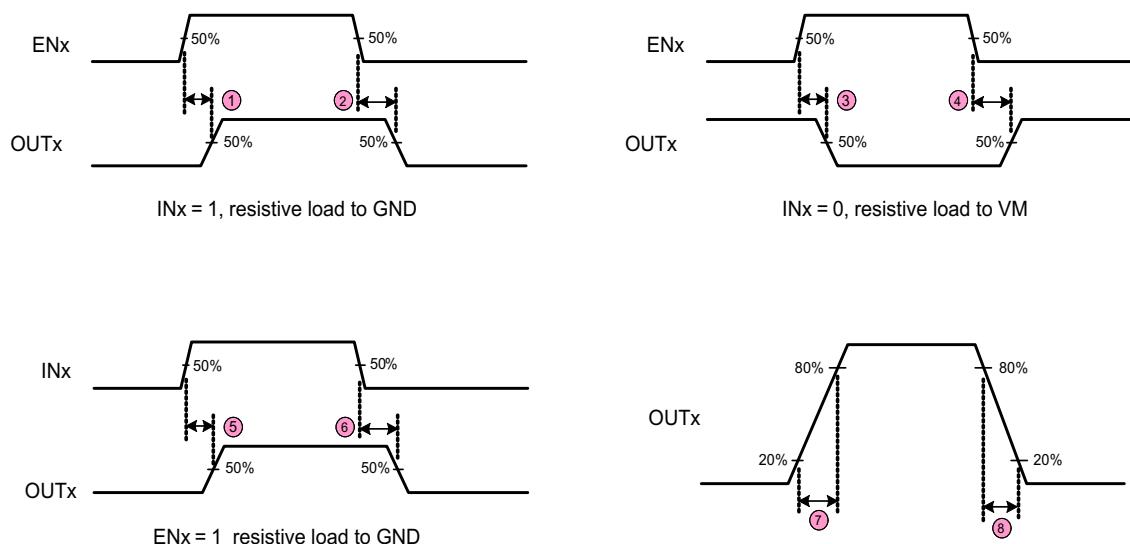


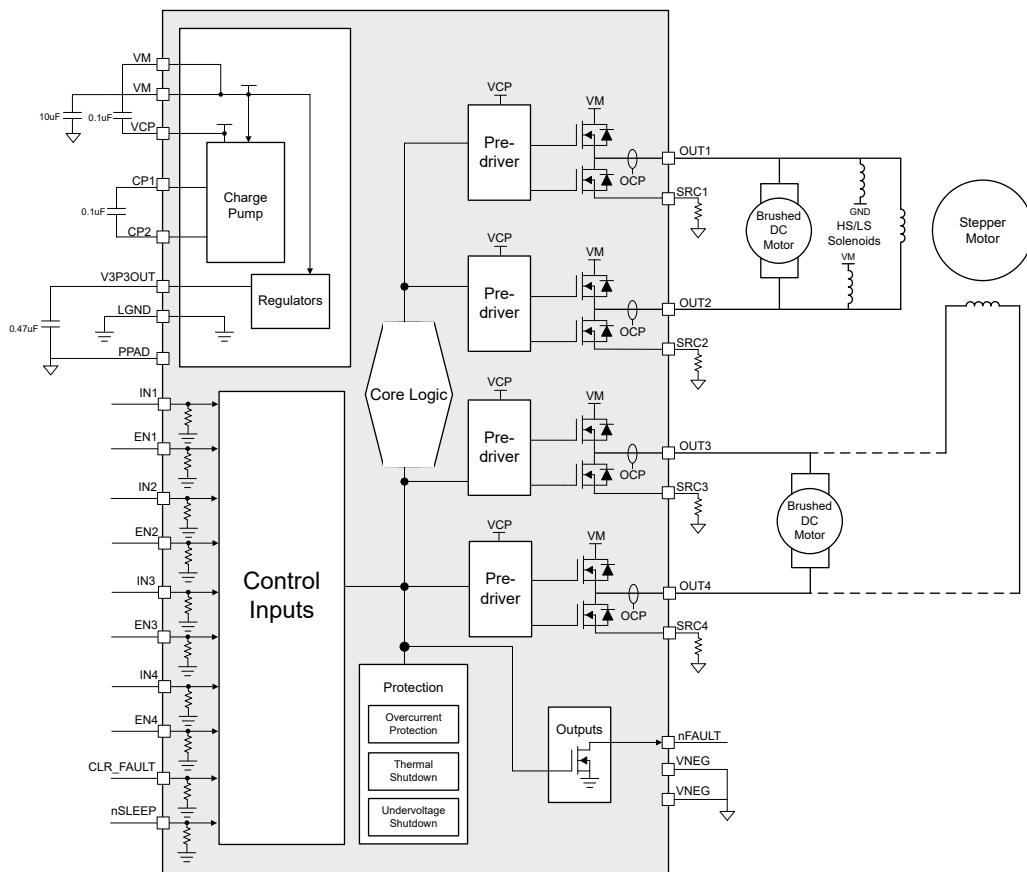
図 5-1. DRV8844A のスイッチング特性

6 詳細説明

6.1 概要

DRV8844A には、4 つの独立した 2.5A ハーフ H ブリッジ、保護回路、スリープモード、およびフォルト報告機能を統合しています。このデバイスは 8V ~ 60V の広い範囲に対応する単一の電源で動作し、ブラシ付き DC モーター、ステッパー、ソレノイドを含むモータ駆動アプリケーションに適しています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 出力ステージ

DRV8844A には、N チャネル MOSFET を使用した 4 つの 1/2-H ブリッジドライバを内蔵しています。出力回路のブロック図は 図 6-1 に示されています。

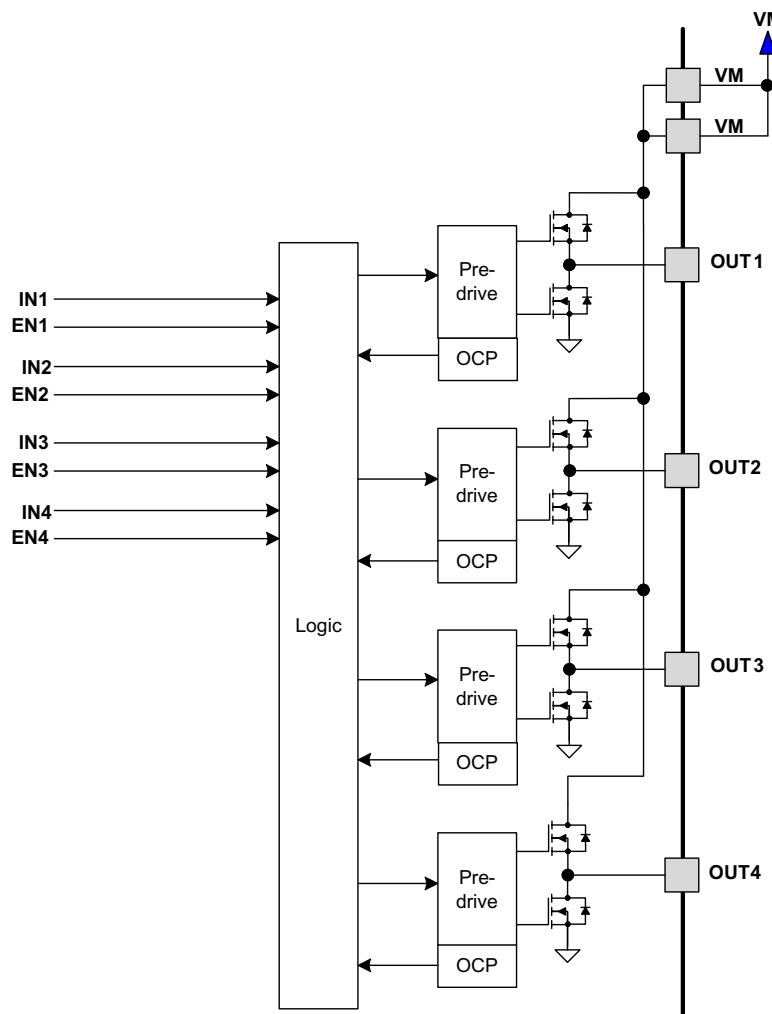


図 6-1. モータ制御回路

出力ピンは VM と VNEG の間で駆動されます。VNEG は、単一電源アプリケーションでは通常グラウンドに接続され、二重電源アプリケーションでは負電圧となります。

複数の VM モータ電源ピンがあることに注意してください。すべての VM ピンは、モータ電源電圧にまとめて接続する必要があります。

6.3.2 ロジック入力

ロジック入力および nFAULT 出力は、LGND ピンを基準としています。このピンは、ロジック信号のソース(例:マイクロコントローラなど)のロジックグランドに接続されています。これにより、LGND を VNEG とは異なる電位に設定することが可能になります。たとえば、設計者はバイポーラ電源を用いて負荷を駆動でき、VM に +24V、VNEG に -24V を与え、LGND を 0V(グラウンド)に接続する構成が可能です。

6.3.3 ブリッジ制御

INx 入力ピンは OUTx 出力の High/Low 状態を直接制御し、ENx 入力ピンは OUTx ドライバの有効/無効を制御します。表 6-1 は、ロジックを示します。

表 6-1. H ブリッジロジック

INx	ENx	OUTx
X	0	Z
0	1	L
1	1	H

入力は、DC モータの速度などの PWM 制御にも使用できます。PWM による巻線制御では、駆動電流が中断されたとき、モータの誘導性の性質から、電流を継続して流す必要があります。これを「再循環電流」といいます。再循環電流を扱うために、H ブリッジは 2 種類の状態(ファーストディケイまたはスロー ディケイ)で動作できるようになります。高速減衰モードでは、H ブリッジがディセーブルされ、再循環電流がボディダイオードに流れます。低速減衰では、モーターの巻線が短絡します。

ファースト ディケイを使用する PWM 信号の場合、ENx ピンに PWM 信号が印加されます。スロー ディケイを使用する場合、INx ピンに PWM 信号が印加されます。表 6-2 は OUT1 と OUT2 を H ブリッジとして使用した DC モーター駆動の例です。

表 6-2. PWM の機能

IN1	EN1	IN2	EN2	機能
PWM	1	0	1	順方向 PWM、スロー ディケイ
0	1	PWM	1	逆方向 PWM、スロー ディケイ
1	PWM	0	PWM	順方向 PWM、ファースト ディケイ
0	PWM	1	PWM	逆方向 PWM、ファースト ディケイ

図 6-2 は、異なる駆動モードおよび減衰モード時の電流経路を示しています。

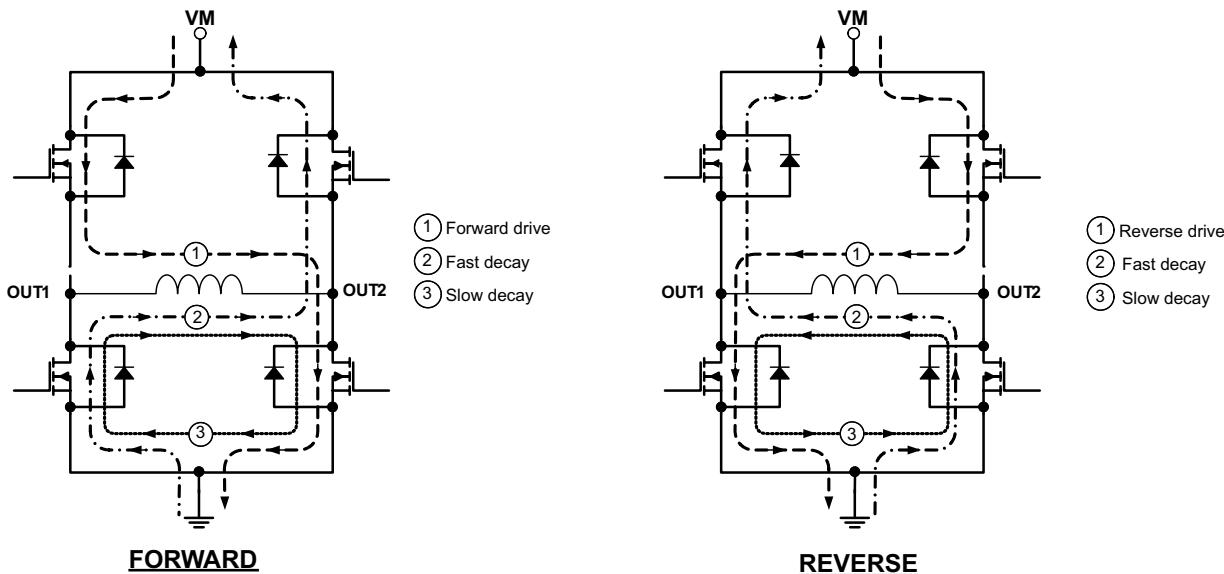


図 6-2. 現在のパス

6.3.4 チャージポンプ

出力ステージが N チャネル FET を用いているため、ハイサイド FET を完全に導通させるには、VM 電源電圧を上回るゲート駆動電圧が必要となります。DRV8844A は、この目的のために VM 電源を超える電圧を生成するチャージポンプ回路を内蔵しています。

チャージポンプを動作させるには、2 つの外付けコンデンサが必要です。これらのコンデンサ（容量値、接続方法など）の詳細については、ブロック図およびピンの説明を参照してください。

nSLEEP が Low の場合、チャージポンプは停止します。

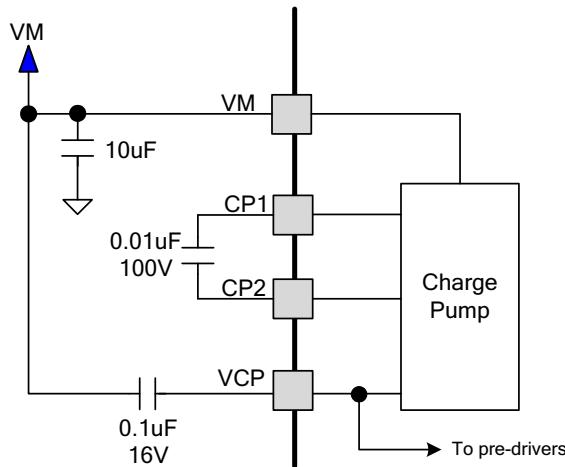


図 6-3. チャージポンプ

6.3.5 保護回路

DRV8844A は、低電圧、過電流、過熱状態から完全に保護されています。

6.3.5.1 過電流保護 (OCP)

各 FET にはアナログ電流制限回路が搭載されており、ゲート駆動を遮断することで FET を流れる電流を制限します。このアナログ電流制限が OCP デグリッチ時間を超えて継続すると、過電流が発生しているチャンネルは無効化され、nFAULT ピンが Low に駆動されます。ドライバは、RESET がアサートされるか、VM 電源が再投入されるまでオフのままでです。

ハイサイドおよびローサイド両方のデバイスで過電流状態が発生すると、たとえばグランドへの短絡、電源への短絡、またはモータ巻線間の短絡など、すべて過電流シャットダウンにつながります。

6.3.5.2 サーマルシャットダウン (TSD)

ダイ温度が安全限界を超えると、H ブリッジ内のすべての FET が無効化され、nFAULT ピンが Low に駆動されます。ダイ温度が安全なレベルまで下がると、動作は自動的に再開されます。

6.3.5.3 低電圧誤動作防止 (UVLO)

VM ピンの電圧が任意の時点でアンダーボルテージロックアウト閾値を下回ると、すべての出力が無効化され、内部ロジックはリセットされ、nFAULT ピンが Low に駆動されます。VM が UVLO(アンダーボルテージロックアウト)閾値を上回ると、動作は再開されます。

6.3.6 CLR_FAULT および nSLEEP 動作

CLR_FAULT ピンは、ラッチされた過電流�トルトをクリアするために使用できます。このピンに入力される立下りエッジによって、ラッチされた OCP フォルトがリセットされます。OCP 状態により NFAULT が Low に引き下げられた場合、CLR_FAULT ピンへの立下りエッジ入力によって NFAULT が解除されます。ラッチされたフォルトがクリアされると、影響を受けたチャネルは対応する IN ピンおよび EN ピンの状態に従って動作します。

nSLEEP を Low にすると、デバイスは低消費電力のスリープ状態に入ります。この状態では、H ブリッジは無効化され、ゲートドライブのチャージポンプが停止し、すべての内部クロックも停止します。この状態では、nSLEEP が非アクティブの High に戻るまで、すべての入力は無視されます。スリープモードから復帰する際、モータードライバが完全に動作可能になるまでに、約 1ms の時間が必要です。nRESET および nSLEEP には、およそ $100\text{k}\Omega$ の内部プルダウン抵抗が備わっていることに注意してください。これらの信号は、デバイスを動作させるためにロジック High に駆動される必要があります。

V3P3OUT LDO レギュレータは、スリープモード中も動作を維持します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.2 アプリケーション情報

DRV8844A は、次のタイプの負荷を駆動するために使用できます。

- 1 つのステッパ モータ
- 2 つのブラシ付き DC モータ
- 最大 4 つのソレノイド負荷
 - ユニポーラソレノイド
 - バイポーラソレノイド

出力は並列接続可能で、駆動電流を増加させることができます。フルブリッジ構成で出力を接続する場合、任意の 2 つの出力を並列接続できます。

7.2.1 ソレノイド負荷の駆動

ソレノイドはユニポーラ型またはバイポーラ(二安定型)とすることが可能です。DRV8844A は、ユニポーラ($VM, 0$)およびバイポーラ($+VM, -VM$)の電源構成をサポートしており、両タイプのソレノイド負荷の駆動に使用可能です。

加えて、DRV8844A は 4 系統のハーフブリッジそれぞれに独立した入力(IN)および有効化(EN)端子を持ち、個別制御が可能です。4 つのハーフブリッジにはそれぞれ独立した SRC ピンがあり、必要に応じて電流検出用抵抗を配置することができます。

DRV8844A は、正負の二系統電源(デュアルレール)での動作に対応しています。VNEG には LGND 基準で -24V を、VM には LGND 基準で +24V を印加できます。これにより、負荷を LGND 基準で VM まで引き上げ(充電)、または VNEG まで引き下げ(放電)することができます。

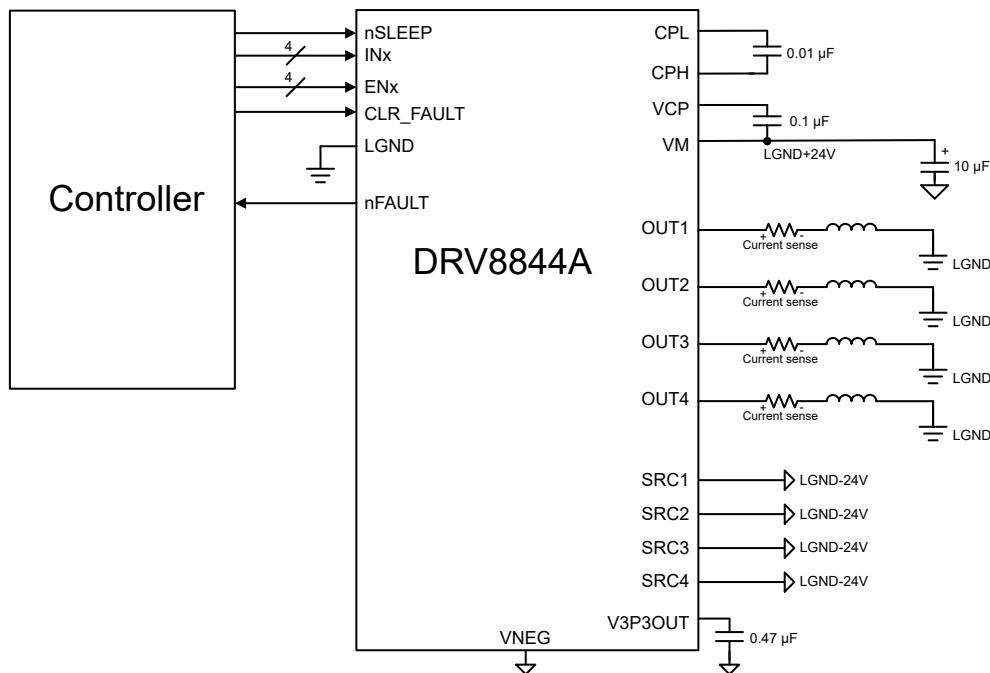


図 7-1. DRV8844A を用いた双極（バイポーラ）ソレノイド負荷の駆動

OUT から VLOAD への負荷接続により、DRV8844A はハイサイドの能動リサーキュレーションを備えたプルダウン動作が可能です

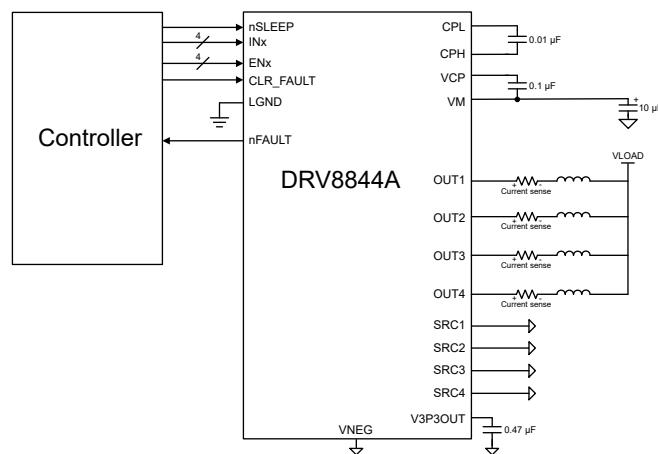


図 7-2. DRV8844A は、ユニポーラ負荷を VLOAD ヘシンク駆動可能です

OUT から VNEG への負荷接続により、DRV8844A はローサイド能動リサーキュレーション付きのプルアップ動作が可能です

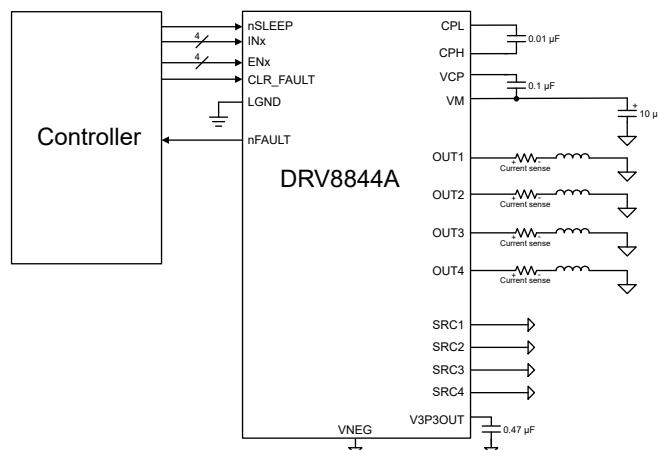


図 7-3. DRV8844A は、ユニポーラ負荷を VNEG 側（ソース）へ駆動可能です

7.2.2 ステッパモーターの駆動

DRV8844A は、PWM 入力インターフェイスを使用して 1 つのステッパモーターを駆動できます。

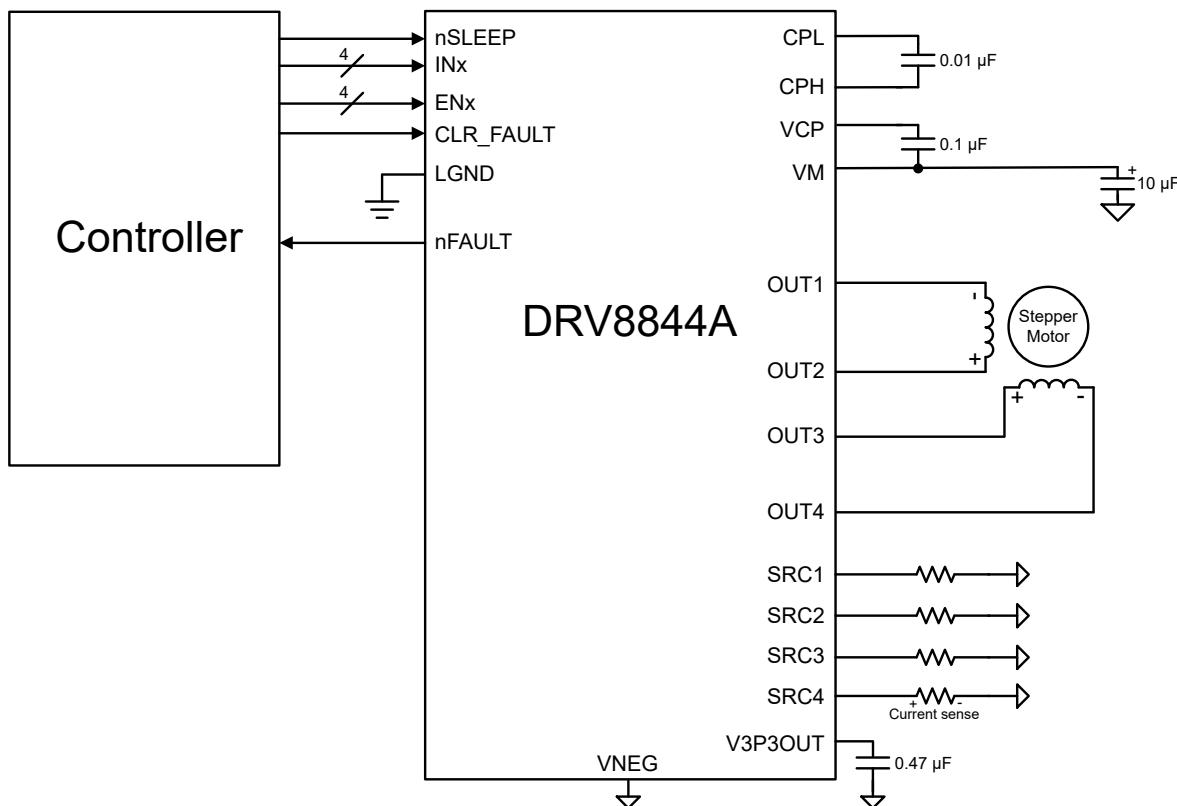


図 7-4. DRV8844A はステッピングモーターの駆動に使用されます

DRV8844A は、ステッピングモータの電流制御を目的として、各ハーフブリッジに電流検出センス抵抗を接続可能です。フルスケール電流 (I_{FS}) は、どちらかの巻線によって駆動される最大電流です。DRV8844A は、4 つのハーフブリッジすべてのソース端子に電流検出センス抵抗を接続可能であり、モータ制御用途に必要な真の双方向電流検出を可能にします。また、オンボードの 3.3V LDO を電流制御の基準電圧源として利用可能です。

注

I_{FS} 電流は、モータの飽和を回避するために、[所定の式](#)に従わなければなりません。VM はモーターの電源電圧、 R_L はモーターの巻線の抵抗です。

$$I_{FS} (A) < \frac{VM (V)}{R_L (\Omega) + 2 \times R_{DS(ON)} (\Omega)} \quad (1)$$

目標モーター速度が高すぎると、モーターは回転しません。モーターが目標速度に対応できることを確認してください。

モーターの目標の速度 (V)、マイクロステッピング レベル (n_m)、モーターのフルステップ角度 (θ_{step}) を求めるには、入力波形の周波数を次のように決定します。

$$f_{step} (\text{steps / s}) = \frac{v (\text{rpm}) \times 360 (\text{° / rot})}{\theta_{step} (\text{° / step}) \times n_m (\text{steps / microstep}) \times 60 (\text{s / min})} \quad (2)$$

θ_{step} は、ステッパ モーターのデータシート、またはモーター本体に記載されています。

周波数 f_{step} は、DRV8962 の入力の変化の周波数を示します。下図の $1/f_{\text{step}} = t_{\text{STEP}}$ に、120 rpm の目標速度および 1/2 ステップ時の計算例を示します。

$$f_{\text{step}} (\text{steps / s}) = \frac{120 \text{ rpm} \times 360^\circ / \text{rot}}{1.8^\circ / \text{step} \times 1/2 \text{ steps / microstep} \times 60 \text{ s / min}} = 800 \text{Hz} \quad (3)$$

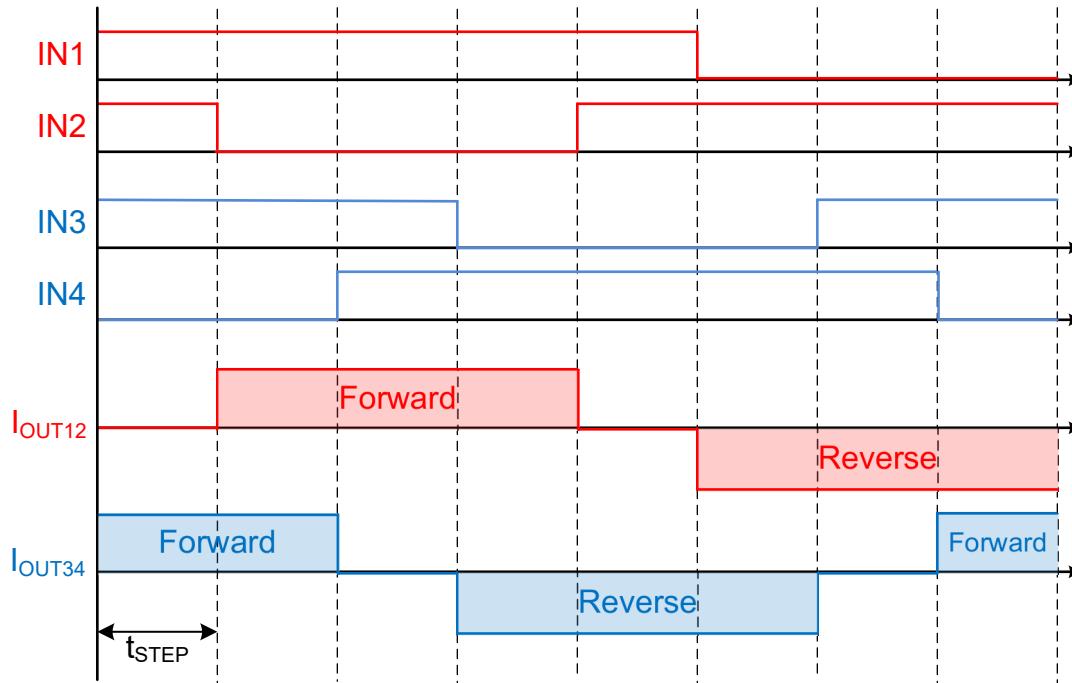


図 7-5. 1/2 ステッピング動作の例

7.2.3 ブラシ付き DC モータの駆動

DRV8844A は、以下の構成により 2 台の BDC モータを駆動することも可能です

対応する OUT の SRC ピンを接続してまとめ、共通の電流検出センス抵抗を使用することができます。

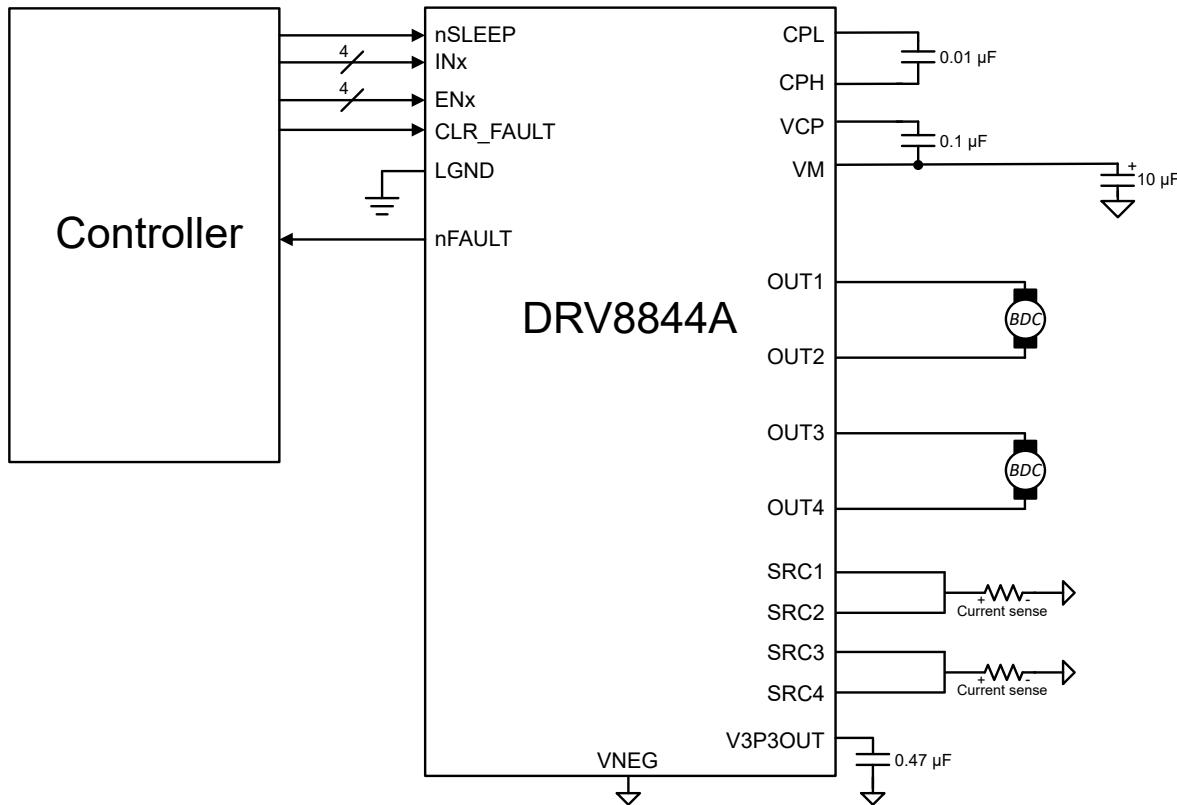


図 7-6. DRV8844A による 2 台の BDC モータ駆動

以下の真理値表に、ブラシ付き DC モータの制御方法を示します。

表 7-1. ブラシ付き DC モーター

機能	EN1	EN2	IN1	IN2	OUT1	OUT2
順方向	1	1	PWM	0	H	L
逆方向	1	1	0	PWM	L	H
ブレーキ	1	1	0	0	L	L
ブレーキ	1	1	1	1	H	H
コースト	0	X	X	X	Z	X
コースト	X	0	X	X	X	Z

7.3 電源に関する推奨事項

DRV8844A は、LGND を基準とするフローティングロジック電源レールをサポートするように設計されています。LGND は VNEG から VM-8V の範囲内で任意の電圧に設定できます。VM は VNEG を基準として 8V ~ 70V の範囲で使用できます。10 μ F のコンデンサを VNEG ピンにバイパス接続する必要があります。

7.3.1 バulk コンデンサ

適切なローカルバulk容量の確保は、モーター駆動システムの設計において重要な要素です。一般的に、バulk容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。モータードライバの近くにあるバulkコンデンサは、モーターの電流変動を平滑化するための局所的な電荷貯蔵庫として機能します。

経験豊富なエンジニアは多くの場合、バulk容量に関する一般的なガイドラインを使用してコンデンサの値を選択します。そのようなガイドラインの 1 つでは、モーター電力 1 ワットごとに少なくとも 1 ~ 4 μ F の静電容量を使用するように指示されています。例として、24V 電源から 2A を消費するモータの場合、電力は 48W となり、この一般的な指針に基づけばバulk容量は 48 ~ 192 μ F が必要となります。

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バulkコンデンサの定格電圧は動作電圧より高くする必要があります。

モーターの起動、負荷トルクの変化、PWM 動作などの電流遷移時に一定のモーター電源電圧を供給するには、大きなバulk容量が求められます。安定した電源供給に必要な容量の概算は、基板電子回路の複雑さ、コスト、およびサイズを抑えるために不可欠です。予想される負荷電流の変動と許容されるモーター電源電圧の変動に基づいて適切なコンデンサのサイズを見つけるには、一般的なガイドラインの方法が使えます。

$$C_{BULK} > k \times \Delta I_{MOTOR} \times T_{PWM} / \Delta V_{SUPPLY} \quad (4)$$

ここで

C_{BULK} は、バulk容量です。

k は、この種のアプリケーションで一般的なコンデンサの ESR を表す係数です。DRV8718-Q1EVM を使用したラボでの測定に基づくと、このような場合には $k \approx 3$ が実用的です。

ΔI_{MOTOR} はモータ電流の予想される変化、 $i_{max} - i_{min}$ です

t_{PWM} は、PWM 周波数の逆数で、PWM サイクルです

ΔV_{SUPPLY} は、モーターの電源電圧の許容変動幅です

図 7-7 は複数のデータ ポイントをプロットしたもので、この一般的なガイドラインを適用しています。比較的良好な一致を示しています。

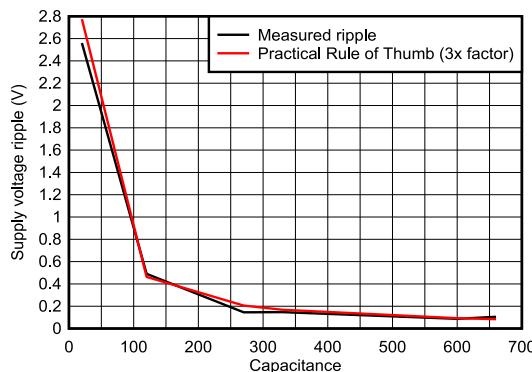


図 7-7. 測定結果と 3x 一般的なガイドライン、電解コンデンサの実際にはゼロではない ESR 値を考慮

詳細については、アプリケーションノート [DC モーター ドライブ アプリケーション向けバルク コンデンサのサイズ設定](#) を参照してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- VM ピンは、VM に対応した定格を持つ $0.1\mu\text{F}$ の低 ESR セラミックバイパスコンデンサを用いて VNEG ピンへバイパスされます。これらのコンデンサは VM ピンのできるだけ近くに配置し、太いパターンまたはグラウンドプレーンを介してデバイスの VNEG ピンへ接続することが推奨されます。
- 低 ESR セラミックコンデンサを CP1 ピンと CP2 ピンの間に配置する必要があります。VM の $0.01\mu\text{F}$ 定格値を推奨します。この部品はピンにできるだけ近付けて配置します。
- 低 ESR セラミックコンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の $0.1\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。
- V3P3OUT ピンは、低 ESR セラミックコンデンサを用いてグラウンドへバイパスしてください。 6.3V 定格の $0.47\mu\text{F}$ を推奨します。このバイパスコンデンサはピンにできるだけ近付けて配置します。
- 一般に、電源ピンとデカップリングコンデンサの間のインダクタンスを防ぐ必要があります。
- サーマルパッドは、システムグランドに接続する必要があります。
 - システム／基板全体に対して、大きく途切れのない単一のグラウンドプレーンを使用するようにしてください。グランドプレーンは PCB の下層に作成できます。図 7-8 に、ドライバの下のグランドプレーンが連続的である場合に対して、くびれれている場合に温度が上昇する例を示します。
 - インピーダンスとインダクタンスを最小化するには、ビアを経由して下層のグランドプレーンに接続する前に、グランドピンからのパターンをできる限り短く、幅広くする必要があります。
 - インピーダンスを低減するために、複数のビアを推奨します。
 - 熱の拡散を改善するために、デバイスの周囲のスペースをできるだけ大きく、特に PCB の下層に確保してください。
 - サーマル PAD に接続された内部グラウンドプレーン(単一または複数)を利用してすることで、放熱性を高め、熱抵抗を低減可能。
- 詳細なレイアウト設計指針や推奨事項については、アプリケーションノート [モータードライバーの基板レイアウトのベストプラクティス](#)を参照のこと。

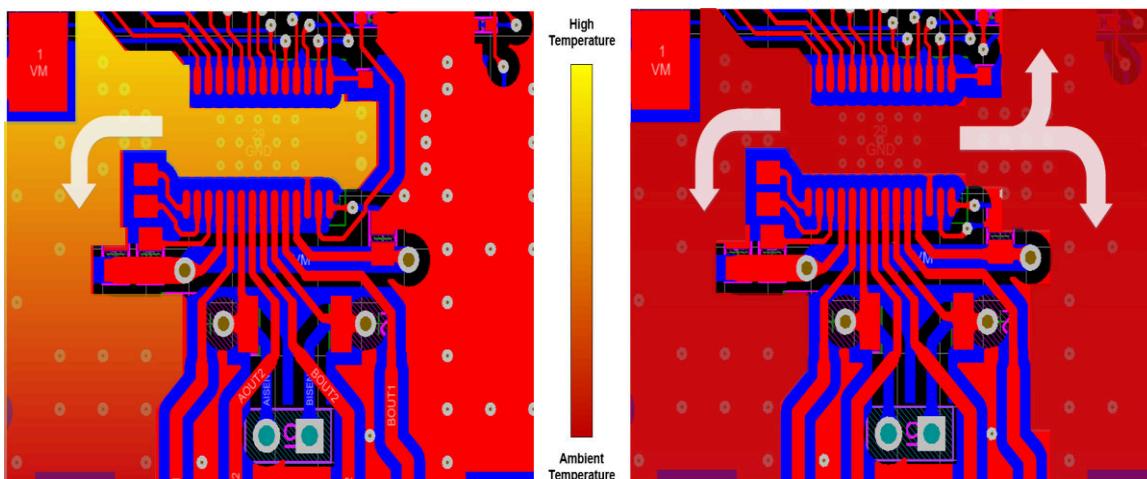


図 7-8. くびれたグランドプレーンと連続的なグランドプレーンの温度分布の比較

7.4.2 レイアウト例

DRV8844A EVM のレイアウト例に従います。[DRV8844AEVM](#) 製品フォルダから Altium 設計ファイルをダウンロード可能です。

7.4.3 熱に関する注意事項

DRV8844A は、前述のようにサーマルシャットダウン機能 (TSD) を備えています。デバイス温度が約 150°C を超えると、温度が安全なレベルに下がるまでデバイスは無効化されます。

デバイスが TSD(サーマルシャットダウン)に入ろうとする傾向がある場合、それは 電力損失が大きすぎる、ヒートシンクが不十分、または周囲温度が高すぎることを示しています。

7.4.3.1 ヒートシンク

DGQ パッケージでは、露出したパッドを使用してデバイスから熱を除去します。正常に動作できるようにするためにには、このパッドを PCB 上の銅領域に熱的に接続して、熱を放散させる必要があります。PCB が多層基板でグランドプレーンを持つ場合、熱パッドとグランドプレーンを複数のビアで接続することにより放熱を行うことが可能。内層のない PCB の場合、PCB のいずれかの面に銅領域を追加することで熱を放散できます。銅領域がデバイスから見て PCB の反対側にある場合は、サーマルビアを使用して上層と下層の間で熱を伝達します。

一般に、利用できる銅の面積が大きくなれば、より多くの熱を放散できます。

7.4.4 消費電力

DRV8844A での電力消費は、主に出力 FET 抵抗、つまり $R_{DS(ON)}$ で消費される電力によって大きく左右されます。DC モーター駆動時の各 H ブリッジの平均電力損失は、概算で式 5 の式により求められます。

$$P = 2 \times R_{DS(ON)} \times (I_{OUT})^2 \quad (5)$$

ここで、

- P は 1 つの H ブリッジの電力損失です。
- $R_{DS(ON)}$ は各 FET の抵抗です。
- $I_{OUT(RMS)}$ は各巻線に適用される RMS 出力電流です。

I_{OUT} 電流は、DC モーターに流れる平均電流と等しくなります。起動時やフォルト発生時には、この電流は通常動作時よりもはるかに高くなることに注意してください。これらのピーク電流と持続時間も考慮する必要があります。係数 2 は、任意の瞬間に 2 つの FET(1 つのハイサイドと 1 つのローサイド)が巻線電流を導通していることに由来します。

デバイス全体の消費電力は、2 つの H ブリッジそれぞれで消費される電力の合計です。

デバイスが放散できる電力の最大値は、周囲温度とヒートシンクに依存します。

$R_{DS(ON)}$ は温度とともに上昇するので、デバイスが発熱すると消費電力が増大することに注意してください。これは、ヒートシンクのサイズを決定する際に考慮する必要があります。

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- ・『モータドライバの消費電力の計算』、[SLVA504](#)
- ・DRV8844A 評価基板
- ・『モータドライバの電流定格について』、[SLVA505](#)

8.2 コミュニティリソース

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
August 2025	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8844ADGQR	Active	Production	HVSSOP (DGQ) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8844A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

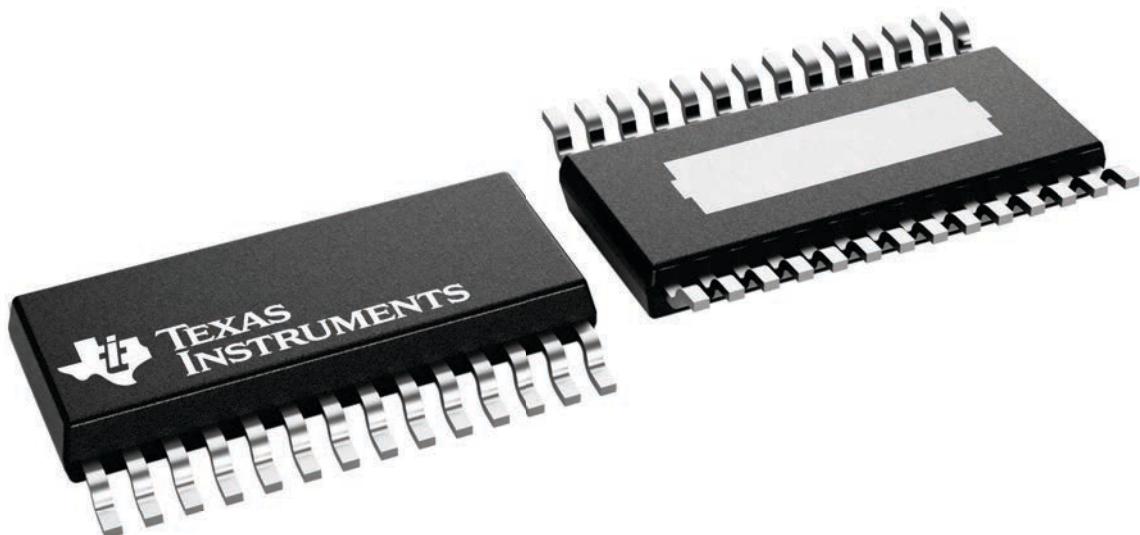
DGQ 28

HVSSOP - 1.1 mm max height

3 x 7.1, 0.5 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226530/A

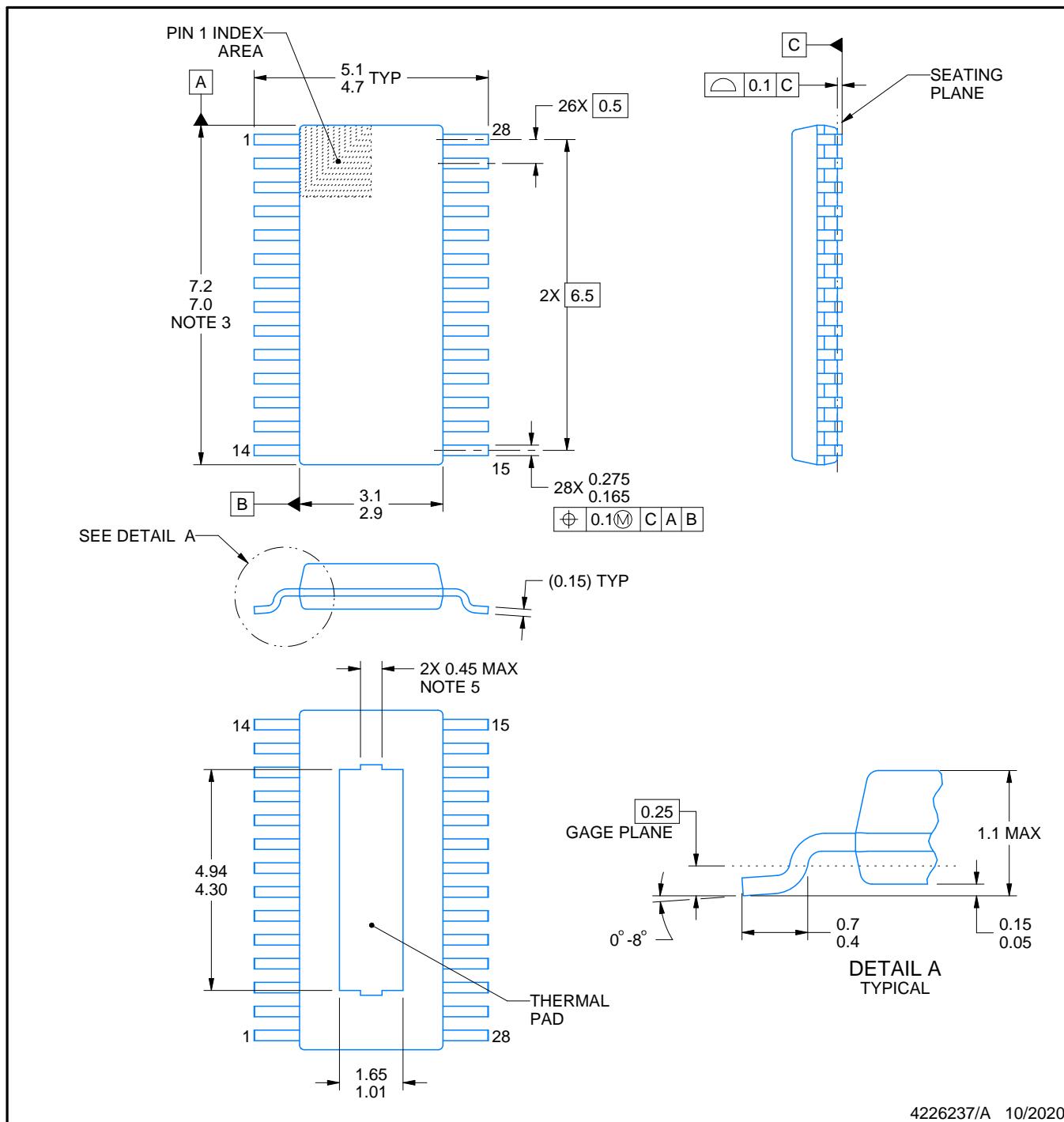
PACKAGE OUTLINE



DGQ0028A

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

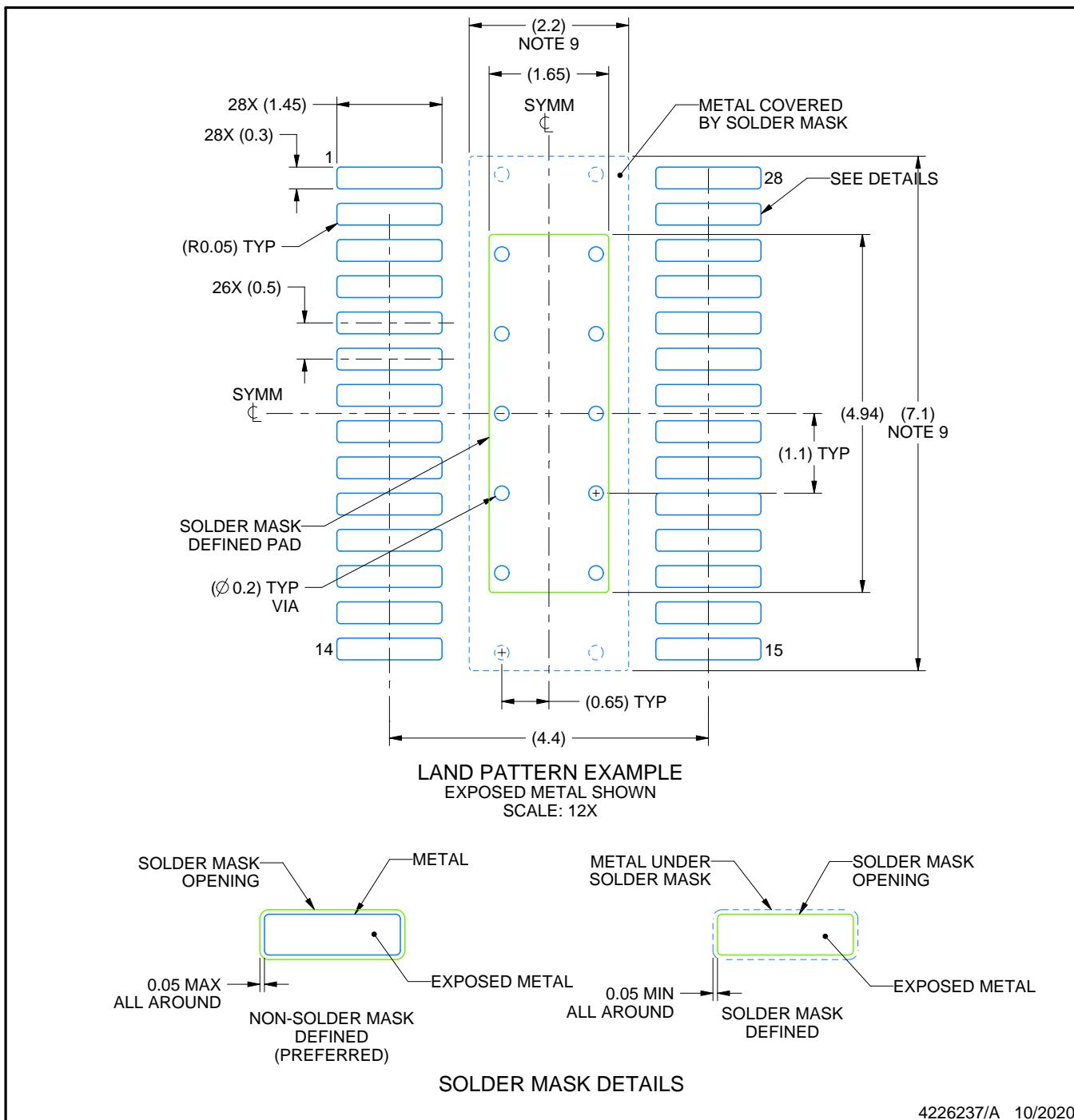
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. No JEDEC registration as of September 2020.
 5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGQ0028A

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226237/A 10/2020

NOTES: (continued)

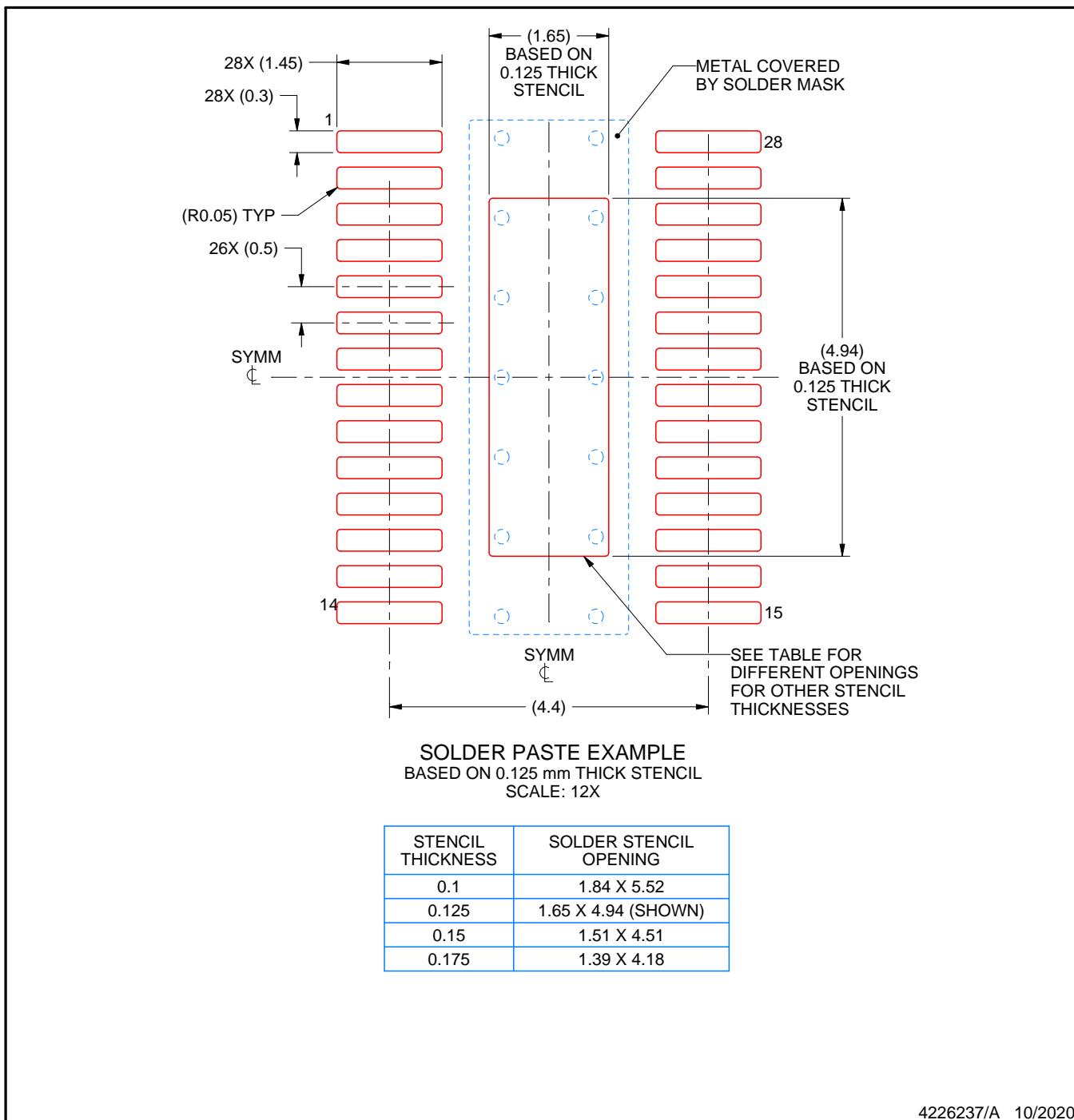
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGQ0028A

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

4226237/A 10/2020

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月