

# DRV8363-Q1 48V バッテリ、3相スマートゲートドライバ、高精度電流センシング機能および高度監視機能を搭載

## 1 特長

- ・ 車載アプリケーション向けの AEC-Q100 テスト ガイダンス
  - デバイスの周囲温度:  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- ・ 3 相ハーフブリッジ ゲートドライバ
  - 6 個の N チャネル MOSFET (NMOS) を駆動
  - 8 ~ 85V の広い動作電圧範囲
  - ハイサイド ゲートドライバのブートストラップ アーキテクチャ
  - 400nC の MOSFET を 20kHz で駆動可能な 50mA の平均ゲートスイッチング電流をサポート
  - トリクル チャージ ポンプにより 100% の PWM デューティサイクルをサポートし、外付けの遮断 / 逆極性保護回路を駆動するためのオーバードライブ電源を生成
- ・ スマート ゲートドライブ アーキテクチャ
  - 15 レベルで構成可能な最大 1000 / 2000mA (ソース / シンク) のピーク ゲートドライブ電流
  - ゲートソース電圧監視に基づく閉ループの自動デッドタイム挿入
  - 構成可能なソフトシャットダウンにより、過電流シャットダウン時の誘導性電圧スパイクを最小化
- ・ ローサイド電流検出アンプ
  - 全温度範囲にわたって 1mV の低入力オフセット
  - 4 レベルの可変ゲイン
  - 単方向または双方向のセンシングをサポートする調整可能な出力バイアス
- ・ SPI ベースの詳細な構成と診断
- ・ ドライバを個別にディセーブルする DRVOFF ピン
- ・ 高電圧ウェークアップ ピン (nSLEEP)
- ・ モーター ブレーキを制御するための専用 ASCIN ピン (アクティブ短絡回路)
- ・ 6x, 3x, 1x、および独立 PWM モード
- ・ 3.3V および 5V のロジック入力をサポート
- ・ 統合保護機能
  - バッテリおよび電源電圧モニタ
  - MOSFET  $V_{DS}$  および  $R_{sense}$  過電流監視
  - MOSFET  $V_{GS}$  ゲート フォルト監視
  - デバイス熱警告とシャットダウン
  - フォルト状態インジケータ ピン

## 2 アプリケーション

- ・ 48V の車載用モータ制御アプリケーション
  - 燃料、水、油のポンプ
  - 車載用のファンとブロワー

- 車載各種ボディ用モーター
- トランスマッショングアクチュエータ
- 車載用 BLDC および PMSM モーター
- ・ E モビリティ、電動アシスト自転車、電動スクーター

## 3 説明

DRV8363-Q1 は、48V の車載用 3 相 BLDC アプリケーション向けの統合スマートゲートドライバです。このデバイスには、3 つのハーフブリッジ ゲートドライバがあり、それぞれがハイサイドとローサイドの N チャネル パワーモノラル MOSFET を駆動できます。DRV8363-Q1 は、外付け 12V 電源と統合ブートストラップダイオードを使ってハイサイド MOSFET のために適切なゲート駆動電圧を生成します。スマート ゲートドライブのアーキテクチャは、16mA から最大でソース 1A、シンク 2A までの構成可能なピークゲート駆動電流をサポートします。DRV8363-Q1 は、モーター接続時に 8V ~ 85V と広い電源電圧範囲で動作します。トリクル チャージ ポンプにより、ゲートドライバは 100% の PWM デューティサイクル制御をサポートし、外部スイッチのオーバードライブゲート駆動電圧を供給します。

DRV8363-Q1 は、抵抗によるローサイド電流検出をサポートする、ローサイド電流検出アンプを備えています。アンプのオフセットが低いため、システムは正確なモーター電流測定を行うことができます。

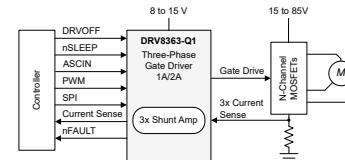
DRV8363-Q1 に内蔵されている広範な診断機能と保護機能により、堅牢なモーター駆動システムの設計が可能になります。外部コンポーネントの必要性がなくなります。高度に構成可能なデバイス応答により、このデバイスは、さまざまなシステム設計にシームレスに組み込むことができます。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ(公称) <sup>(2)</sup>
DRV8363-Q1	QFN (48)	7mm × 7mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージ サイズ(長さ × 幅)は公称値であり、該当する場合はピンを含みます。



概略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長	1	6.6 プログラミング	45
2 アプリケーション	1	6.7 レジスタ マップ	47
3 説明	1	7 アプリケーションと実装	75
4 ピン機能 48 ピン DRV8363-Q1	3	7.1 アプリケーション情報	75
5 仕様	6	7.2 代表的なアプリケーション	75
5.1 絶対最大定格	6	7.3 レイアウト	77
5.2 推奨動作条件	7	8 デバイスおよびドキュメントのサポート	79
5.3 熱に関する情報 (1pkg)	7	8.1 ドキュメントのサポート	79
5.4 電気的特性	8	8.2 ドキュメントの更新通知を受け取る方法	79
5.5 SPI のタイミング要件	17	8.3 サポートリソース	79
5.6 SPI のタイミング図	17	8.4 商標	79
6 詳細説明	18	8.5 静電気放電に関する注意事項	79
6.1 概要	18	8.6 用語集	79
6.2 機能ブロック図	19	9 改訂履歴	79
6.3 機能説明	20	10 メカニカル、パッケージ、および注文情報	80
6.4 障害検出と応答の概略表 (障害表)	37	10.1 テープおよびリール情報	82
6.5 デバイスの機能モード	44		

## 4 ピン機能 48 ピン DRV8363-Q1

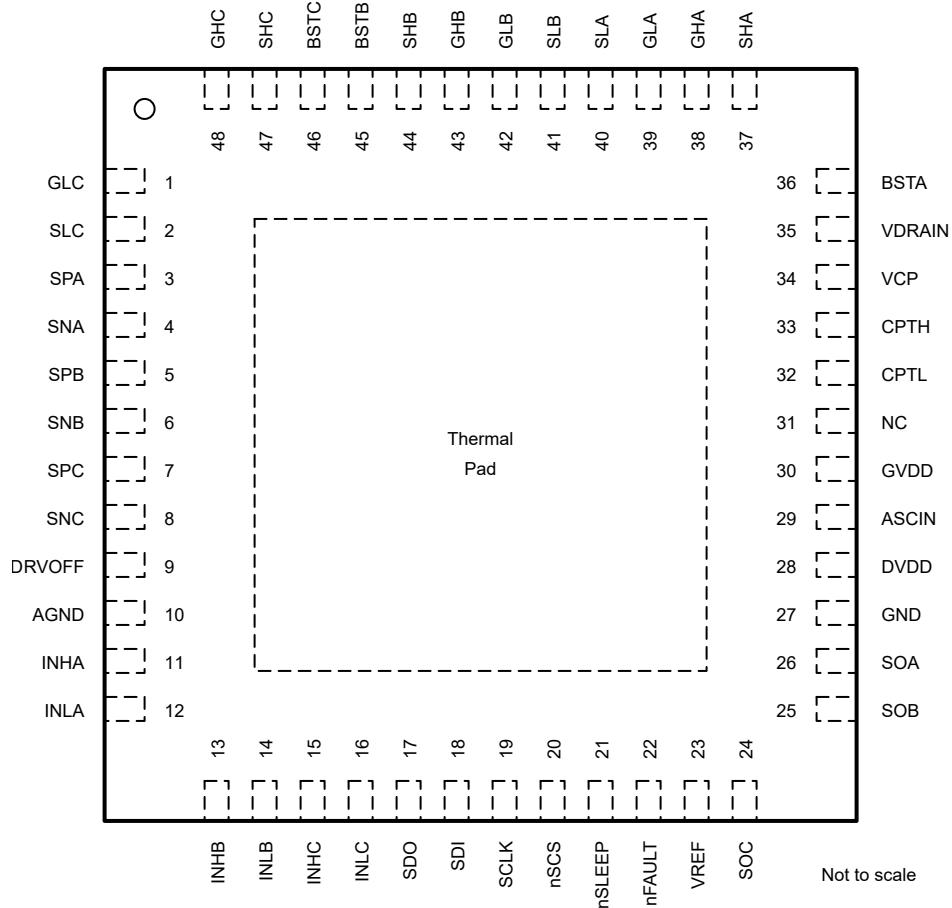


図 4-1. DRV8363-Q1 パッケージ、48 ピン、QFN (露出サーマル パッド付き) 上面図

表 4-1. ピン機能 (48-QFN)

ピン		I/O <sup>(1)</sup>	説明
名称	番号		
GLC	1	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
SLC	2	I	ローサイド ソース検出入力。ローサイド パワー MOSFET のソースに接続します。
SPA	3	I	ローサイド電流シャントアンプ入力。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。
SNA	4	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。
SPB	5	I	ローサイド電流シャントアンプ入力。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。
SNB	6	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。
SPC	7	I	ローサイド電流シャントアンプ入力。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。
SNC	8	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。
DRVOFF	9	I	ゲートドライバ出力 GHx および GLx へのアクティブ High シャットダウン入力。
AGND	10	PWR	デバイスのグランド。
INHA	11	I	ハイサイド ゲートドライバの制御入力。このピンはハイサイド ゲートドライバの出力を制御します。

**表 4-1. ピン機能 (48-QFN) (続き)**

ピン		I/O <sup>(1)</sup>	説明
名称	番号		
INLA	12	I/O	ローサイド ゲートドライバの制御入力。このピンはローサイド ゲートドライバの出力を制御します。
INHB	13	I	ハイサイド ゲートドライバの制御入力。このピンはハイサイド ゲートドライバの出力を制御します。
INLB	14	I/O	ローサイド ゲートドライバの制御入力。このピンはローサイド ゲートドライバの出力を制御します。
INHC	15	I	ハイサイド ゲートドライバの制御入力。このピンはハイサイド ゲートドライバの出力を制御します。
INLC	16	I/O	ローサイド ゲートドライバの制御入力。このピンはローサイド ゲートドライバの出力を制御します。
SDO	17	O	シリアル データ出力。
SDI	18	I	シリアル データ入力。
SCLK	19	I	シリアル クロック入力。
nSCS	20	I	シリアル チップ選択。
nSLEEP	21	I	ゲートドライバ nSLEEP。このピンを論理 Low になると、本デバイスは低消費電力のスリープ モードに移行します。
nFAULT	22	OD	フォルト通知出力。このピンはフォルト条件中論理 Low にプルされ、外付けプルアップ抵抗を必要とします。
VREF	23	PWR	電流センス アンプ用外部電圧レファレンス。
SOC	24	O	電流センスアンプの出力。
SOB	25	O	電流センスアンプの出力。
SOA	26	O	電流センスアンプの出力。
GND	27	PWR	デバイスのグランド
DVDD	28	PWR	3.3V/5V LDO 出力。10V を超える定格のセラミックコンデンサを使用して隣接する GND に接続します。
ASCIN	29	I	ASC 外部トリガピン。このピンがロジック High のとき、デバイスは 3 つのローサイドゲートまたはハイサイドゲートのすべてをオンにします。
GVDD	30	PWR	ゲートドライバの電源出力。GVDD 定格セラミックを使用して、外部からレギュレートされた 10V ~ 15V の電源を GVDD ピンと GND ピンの間に接続します。
NC	31	NC	接続なし。ピンはフローティングのままにしてください。
CPTL	32	PWR	トリクル チャージ ポンプ スイッチング ノード。チャージ ポンプ フライング コンデンサを CPTL ピンと CPTH ピンの間に接続します。
CPTH	33	PWR	トリクル チャージ ポンプ スイッチング ノード。チャージ ポンプ フライング コンデンサを CPTL ピンと CPTH ピンの間に接続します。
VCP	34	PWR	トリクル チャージ ポンプ ストレージ 容量。VCP ピンと VDRAIN ピンの間にセラミック コンデンサを接続します。
VDRAIN	35	PWR	ハイサイド ドレイン検出およびチャージ ポンプ 電源入力。
BSTA	36	O	ブートストラップ出力ピン。BSTA と SHA の間にブートストラップ コンデンサを接続します。
SHA	37	I	ハイサイド ソース センス入力。ハイサイド パワー MOSFET ソースに接続します。
GHA	38	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GLA	39	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
SLA	40	I	ローサイド ソース 検出入力。ローサイド パワー MOSFET のソースに接続します。
SLB	41	I	ローサイド ソース 検出入力。ローサイド パワー MOSFET のソースに接続します。
GLB	42	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
GHB	43	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
SHB	44	I	ハイサイド ソース センス入力。ハイサイド パワー MOSFET ソースに接続します。
BSTB	45	O	ブートストラップ出力ピン。BSTB と SHB の間にブートストラップ コンデンサを接続します。
BSTC	46	O	ブートストラップ出力ピン。BSTC と SHC の間にブートストラップ コンデンサを接続します。
SHC	47	I	ハイサイド ソース センス入力。ハイサイド パワー MOSFET ソースに接続します。

**表 4-1. ピン機能 (48-QFN) (続き)**

ピン		I/O <sup>(1)</sup>	説明
名称	番号		
GHC	48	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。

(1) 信号タイプ:I = 入力、O = 出力、I/O = 入力または出力、PWR = 電源

## 5 仕様

### 5.1 絶対最大定格

推奨動作条件範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
ゲートドライバ レギュレータ ピン電圧	GVDD	-0.3	20	V
ハイサイド ドレイン ピン電圧	VDRAIN	-0.3	85	V
ブートストラップ ピン電圧	BSTx	-0.3	105	V
ブートストラップ ピン電圧	SH を基準とした BST	-0.3	20	V
ロジック ピン電圧	nSLEEP、DRVOFF、BRAKE	-0.3	35	V
ロジック ピン電圧	nFAULT	-0.3	6	V
	INHx、INLx	-0.3	35	
	SCLK、nSCS、SDI、SDO	-0.3	6	
ハイサイド ゲートドライブ ピン電圧	GH	-5	105	V
過度ハイサイド ゲートドライブ ピンマイナス電圧	GH、1 μs	-20		V
ハイサイド ゲートドライブ ピン電圧	SH を基準とした GH	-0.3	20	V
ハイサイド ソース ピン電圧	SH、DC	-5	105	V
過度ハイサイド ソース ピンマイナス電圧	SH、1 μs	-20		V
ハイサイドソースピンのスルーレート	SH、 $V_{BST-SH} > 4.3V$		20	V/ns
ローサイド ゲートドライブ ピン電圧	SL を基準とした GL	-0.3	20	V
ローサイド ソース検出ピン電圧	SL	-5	$V_{GVDD} + 0.3$	V
過度ローサイド ソースセンスピンマイナス電圧	SL、1 μs	-16		V
電流検出アンプ リファレンス入力ピン電圧	CSAREF	-0.3	5.5	V
シャントアンプ入力ピン電圧	SN、SP	-1	1	V
過渡 500ns シャントアンプ入力ピン電圧	SN、SP、500ns	-16	20	V
シャントアンプ出力ピン電圧	SO	-0.3	$V_{CSAREF} + 0.3$	V
接合部温度、 $T_J$		-40	150	°C
保管温度、 $T_{stg}$		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

## 5.2 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
$V_{GVDD}$	電源電圧	$GVDD$	8	20		V
$V_{VDRAIN}$	ハイサイド ドレイン ピン電圧	VDRAIN、ローサイドゲート駆動、ハイサイド ゲート駆動スイッチング(ブートストラップ付 き)	0			V
	ハイサイド ドレイン ピン電圧	VDRAIN、トリクルチャージポンプ機能をサ ポートするため $V_{TCP}$ 最小 > $V_{BST\_UV}$ 最大 (立ち下がり)、ハイサイドゲート駆動 100%、 $BST\_UV$ 検出なし。 VDRAIN> $GVDD+4V$ 、 $GVDD>9V$	13		85	V
$V_{BST-SH}$	SH を基準とするブートストラップ ピンの電 圧	$BST(V_{BST} - V_{SH})$ 、ハイサイドゲート駆動ス イッ칭、 $BST\_UV$ 検出なし、 $V_{BST-SH}$ $min > V_{BST\_UV} max(r$ 立ち上がり)、	6.1	20		V
$V_{BST}$	ブートストラップ ピン電圧	$BST$	0	105		V
$V_{SH}$	ハイサイド ソース ピン電圧	SH	-2	85		V
$I_{TRICKLE}$	トリクル チャージ ポンプの外部負荷電流	$BST/位相$		130		$\mu A$
$V_I$	入力電圧	INH, INL, SDI, SCLK, nSCS	0	5.5		V
$V_{OD}$	オープンドレイン プルアップ電圧	nFAULT		5.5		V
$I_{OD}$	オープンドレイン出力電流	nFAULT		-5		mA
$V_{CSAREF}$	電流センス アンプ リファレンス 電圧	CSAREF	3.0	5.5		V
$T_A$	動作時の周囲温度		-40	125		°C
$T_J$	動作時接合部温度		-40	150		°C

## 5.3 热に関する情報 (1pkg)

熱評価基準 <sup>(1)</sup>		DRV8363	単位
		RGZ (QFN)	
		48	
$R_{\theta JA}$	接合部から周囲への熱抵抗	未定	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	未定	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	未定	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	未定	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	未定	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	未定	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

## 5.4 電気的特性

(特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
<b>電源 (GVDD、VDRAIN、DVDD)</b>						
I <sub>VDRAIN_UNPWR</sub>	GVDD 電源が供給されていないときの VDRAIN スリーブ電流	GVDD = 0V、VDRAIN = 48V、V <sub>BST-SH</sub> = 0V、nSLEEP=0V、T <sub>j</sub> 25°C。SH=VDRAIN および 0V SH=0V 時の VDRAIN のリーク電流。 SH=VDRAIN 時の VDRAIN+SH のリーク電流 [すべての 3 つのプリドライバ位相をまとめる]	2	4.5	13.5	µA
I <sub>GVDD</sub>	GVDD スタンバイ モード電流	GVDD = 12V、VDRAIN = 48V、INH = INL = 0。DRVOFF = Low、SHx=0V。TCP = ON、VCP の外部負荷なし。[TCP スイッチが切り替わります]	9.5	13.4	17.5	mA
I <sub>GVDD</sub>	GVDD スタンバイ モード電流	GVDD = 12V、VDRAIN = 48V、INH = INL = 0。DRVOFF = High、SHx=VDRAIN、TCP = ON、VCP の外部負荷なし。[TCP スイッチがオンになります]	9.7	11.7	16.6	mA
I <sub>GVDD</sub>	GVDD アクティブ モード電流	GVDD = 12V、VDRAIN = 48V、INH = INL = 20kHz でスイッチング。INL=1 時に SH=0、INH=1 時に SH=VDRAIN。 INH=INL=0 時に SH は電圧を保持。FET の接続なし。TCP がオン、TCP スイッチが切り替わります	9.8	13.1	20	mA
t <sub>WAKE</sub>	ターンオン時間	GVDD = 12V nSLEEP = High からアクティブモード (出力準備完了) (nFAULT = High)		10	ms	
V <sub>DVDD_RT</sub>	DVDD デジタルレギュレータ電圧 (室温)	V <sub>GVDD</sub> ≥ GVDD_UVH、0mA ≤ I <sub>DVDD</sub> ≤ 30mA 外部負荷 + 0mA ~ 5mA 内部デジタル負荷、T <sub>j</sub> = 25°C、LDO_5P0 = 0	3.2	3.3	3.4	V
V <sub>DVDD_RT</sub>	DVDD デジタルレギュレータ電圧 (室温)	V <sub>GVDD</sub> ≥ GVDD_UVH、30mA ≤ I <sub>DVDD</sub> ≤ 100mA 外部負荷 + 0mA ~ 5mA 内部デジタル負荷、T <sub>j</sub> = 25°C、LDO_5P0 = 0	3.2	3.3	3.4	V
V <sub>DVDD</sub>	DVDD デジタルレギュレータ電圧	V <sub>GVDD</sub> ≥ GVDD_UVH、0mA ≤ I <sub>DVDD</sub> ≤ 30mA 外部負荷 + 0mA ~ 5mA 内部デジタル負荷、LDO_5P0 = 0	3.1	3.3	3.5	V
V <sub>DVDD</sub>	DVDD デジタルレギュレータ電圧	V <sub>GVDD</sub> ≥ GVDD_UVH、30mA ≤ I <sub>DVDD</sub> ≤ 100mA 外部負荷 + 0mA ~ 5mA 内部デジタル負荷、LDO_5P0 = 0	3.1	3.3	3.5	V
V <sub>DVDD_RT</sub>	DVDD デジタルレギュレータ電圧 (室温)	V <sub>GVDD</sub> ≥ 6.5V、0mA ≤ I <sub>DVDD</sub> ≤ 30mA 外部負荷 + 0mA ~ 5mA 内部デジタル負荷、T <sub>j</sub> = 25°C、LDO_5P0 = 1	4.85	5	5.15	V
V <sub>DVDD_RT</sub>	DVDD デジタルレギュレータ電圧 (室温)	V <sub>GVDD</sub> ≥ 6.5V、30mA ≤ I <sub>DVDD</sub> ≤ 100mA 外部負荷 + 0mA ~ 5mA 内部デジタル負荷、T <sub>j</sub> = 25°C、LDO_5P0 = 1	4.85	5	5.15	V
V <sub>DVDD</sub>	DVDD デジタルレギュレータ電圧	V <sub>GVDD</sub> ≥ 6.5V、0mA ≤ I <sub>DVDD</sub> ≤ 30mA 外部負荷 + 0mA ~ 5mA 内部デジタル負荷、LDO_5P0 = 1	4.7	5	5.3	V
V <sub>DVDD</sub>	DVDD デジタルレギュレータ電圧	V <sub>GVDD</sub> ≥ 6.5V、30mA ≤ I <sub>DVDD</sub> ≤ 100mA 外部負荷 + 0mA ~ 5mA 内部デジタル負荷、LDO_5P0 = 1	4.7	5	5.3	V
<b>ロジックレベル入力 (INHx, INLx, nSLEEP など)</b>						
V <sub>IL</sub>	入力ロジック Low 電圧	NSLEEP ピン。GVDD>4.5V		0.8	V	

(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{IL}$	入力ロジック Low 電圧	DRVOFF ピン。GVDD>4.5V			0.8	V
$V_{IL}$	入力ロジック Low 電圧	INLx, INHx, BRAKE, SDI, SCLK, nSCS。GVDD>4.5V			0.8	V
$V_{IH}$	入力ロジック High 電圧	NSLEEP ピン。GVDD>4.5V	2.2			V
$V_{IH}$	入力ロジック High 電圧	DRVOFF ピン。GVDD>4.5V	2.2			V
$V_{IH}$	入力ロジック High 電圧	INLx, INHx, DRVOFF, BRAKE, SDI, SCLK, nSCS GVDD > 4.5V DVDD < 4V	2.2			V
$V_{IH}$	入力ロジック High 電圧	INLx, INHx, DRVOFF, BRAKE, SDI, SCLK, nSCS GVDD > 4.5V DVDD < 5.25V	2.6			V
$V_{IH}$	入力ロジック High 電圧	INLx, INHx, DRVOFF, BRAKE, SDI, SCLK, nSCS GVDD > 4.5V DVDD < 6V	2.9			V
$V_{HYS}$	入力ヒステリシス	NSLEEP	100	250	500	mV
$V_{HYS}$	入力ヒステリシス	DRVOFF	50	200	400	mV
$I_{IL}$	入力ロジック Low 電流	INLx, INHx, DRVOFF, EBRAKE, SDI, SCLK = 0V	-1	0	1	$\mu$ A
$R_{PU}$	入力プルアップ抵抗	nSCS から DVDD ピン	50	100	200	k $\Omega$
$R_{PD}$	入力プルダウン抵抗	SDI, SCLK から GND [測定条件: ピンは 2.2V]	50	100	200	k $\Omega$
$R_{PD}$	入力プルダウン抵抗	INLx, INHx, DRVOFF, BRAKE, NSLEEP から GND [測定条件: ピンは 2.2V]	150	250	350	k $\Omega$
$t_{NSLEEP\_DG}$	NSLEEP 入力のグリッチ除去時間	NSLEEP から EN_2US 立下りおよび立ち上がり	1	2	4	$\mu$ s
$t_{DRVOFF\_DG}$	DRVOFF 入力のグリッチ除去時間	DRVOFF から DRVOFF_DG1 立下りおよび立ち上がり	1	2	4	$\mu$ s

**オープンドレイン出力(nFAULT)**

$V_{OL}$	出力ロジック Low 電圧	$I_{OD} = 5mA$ , GVDD > 4V		0.4	V
$I_{OZ}$	出力ロジック High 電流	$V_{OD} = 5 V$	-1	1	$\mu$ A

**ブートストラップダイオード(BST)**

$V_{BOOTD}$	ブートストラップ ダイオードの順方向電圧	$I_{BOOT} = 100 \mu A$		0.82	V	
$V_{BOOTD}$	ブートストラップ ダイオードの順方向電圧	$I_{BOOT} = 10 mA$		1	V	
$V_{BOOTD}$	ブートストラップ ダイオードの順方向電圧	$I_{BOOT} = 100 mA$		1.6	V	
$R_{BOOTD}$	ブートストラップの動的抵抗 ( $\Delta V_{BOOTD}/\Delta I_{BOOT}$ )	$I_{BOOT} = 100mA$ および $50mA$	3.9	4.8	9	$\Omega$

**トリクルチャージポンプ(VCP)**

$V_{TCP}$	トリクルチャージポンプの出力電圧	$V_{VCP-VDRIVE}, VDRIVE > 15V, GVDD>11V, VDRIVE>GVDD+4V$ 。外部負荷 $I_{VCP} < 4mA$	10.3	10.7	10.9	V
$V_{TCP}$	トリクルチャージポンプの出力電圧	$V_{VCP-VDRIVE}, VDRIVE > 15V, 8V<GVDD<11V, VDRIVE>GVDD+4V$ 。外部負荷 $I_{VCP} < 2mA$	7.5	7.8	8.0	V
	トリクルチャージポンプの出力電圧	$V_{VCP-VDRIVE}, VDRIVE=GVDD, 8V<GVDD<11V$ 、外部負荷 $I_{VCP} < 2mA$	4.0	5.4	6.7	V
$V_{BST\_TCPOFF}$	VCP の BST 監視電圧により、BST コンデンサの充電を停止(立ち上がり電圧)	INLx = 0, SHx = 0, VDRIVE, VDRIVE = 48V, 85V	12.0	13.2	14.6	V

(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$T_{PRECHARGE}$	ブートストラッププリチャージの起動時間	$I_{NH}=I_{NL}=0$ , $BST\_UVLO$ = 最高レベル。 $TCP\_SWITCH=PRECHARGE$ モード (5mA)。 $GVDD > 11V$ , $VDRain > GVDD + 4V$ 。 $SHx=VDRain$ , $VCP \rightarrow VDRain$ 間で $I_{EXT\_LOAD}=6.25K\Omega$ 。仕様時間は $BST\_UVLO$ のクリア後に 200us (6.25K と $BST\_UVLO+200us$ に同意したギャレット 12/12/23)。 $BST\_UVLO=0$ (High UVLO レベル)		1.5	3	ms
<b>ゲートドライバ(GH、GL、SH、SL)</b>						
$V_{GSHx\_LO}$	ハイサイド ゲート駆動の low レベル電圧 ( $V_{GH} - V_{SH}$ )	$I_{GHx} = -10mA$ , $GVDD = 12V$ , $IDRIVE = 1000mA$ , FET は接続されていない	0	0.022	0.2	V
$V_{GSHx\_HI}$	ハイサイド ゲート駆動の High レベル電圧 ( $V_{BST} - V_{GH}$ )	$I_{GHx} = 10mA$ , $GVDD = 12V$ , $IDRIVE = 500mA$ , FET は接続されていない	0	0.09	0.2	V
$V_{GSLx\_LO}$	ローサイド ゲート駆動の low レベル電圧 ( $V_{GL} - V_{SL}$ )	$I_{GLx} = -10mA$ , $GVDD = 12V$ , $IDRIVE = 1000mA$ , FET は接続されていない	0	0.022	0.2	V
$V_{GSLx\_HI}$	ローサイド ゲート駆動の High レベル電圧 ( $V_{GVDD} - V_{GL}$ )	$I_{GLx} = 10mA$ , $GVDD = 12V$ , $IDRIVE = 500mA$ , FET は接続されていない	0	0.09	0.2	V
$I_{DRIVEP0}$	ピーク ソースゲート電流	$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0x0$	9	16	26	mA
$I_{DRIVEP1}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0x1$	19	32	52	mA
$I_{DRIVEP2}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0x2$	38	64	103	mA
$I_{DRIVEP3}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0x3$	57	96	154	mA
$I_{DRIVEP4}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0x4$	76	128	205	mA
$I_{DRIVEP5}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0x5$	96	160	256	mA
$I_{DRIVEP6}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0x6$	115	192	308	mA
$I_{DRIVEP7}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0x7$	134	224	359	mA
$I_{DRIVEP8}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0x8$	153	256	410	mA
$I_{DRIVEP9}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0x9$	172	288	461	mA
$I_{DRIVEP10}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0xA$	192	320	512	mA
$I_{DRIVEP11}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0xB$	230	384	615	mA
$I_{DRIVEP12}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0xC$	307	512	820	mA
$I_{DRIVEP13}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0xD$	460	768	1229	mA
$I_{DRIVEP14}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0xE$	614	1024	1639	mA
$I_{DRIVEP15}$		$V_{BST}-V_{SH} = V_{GVDD} = 12V$ , $IDRVP_{xx} = 0xF$	614	1024	1639	mA

(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I <sub>DRIVEN0</sub>	ピークシンクゲート電流	V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0x0	19	32	52	mA
I <sub>DRIVEN1</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0x1	38	64	103	mA
I <sub>DRIVEN2</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0x2	76	128	205	mA
I <sub>DRIVEN3</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0x3	115	192	308	mA
I <sub>DRIVEN4</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0x4	153	256	410	mA
I <sub>DRIVEN5</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0x5	192	320	512	mA
I <sub>DRIVEN6</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0x6	230	384	615	mA
I <sub>DRIVEN7</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0x7	268	448	717	mA
I <sub>DRIVEN8</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0x8	307	512	820	mA
I <sub>DRIVEN9</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0x9	345	576	922	mA
I <sub>DRIVEN10</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0xA	384	640	1024	mA
I <sub>DRIVEN11</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0xB	460	768	1229	mA
I <sub>DRIVEN12</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0xC	614	1024	1639	mA
I <sub>DRIVEN13</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0xD	921	1536	2458	mA
I <sub>DRIVEN14</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0xE	1228	2048	3277	mA
I <sub>DRIVEN15</sub>		V <sub>BST</sub> -V <sub>SH</sub> = V <sub>GVDD</sub> = 12V、IDRVN_xx = 0xF	1228	2048	3277	mA
R <sub>PD_LS</sub>	ローサイド パッシブ プルダウン	GL から SL、V <sub>GL</sub> - V <sub>SL</sub> = 2V	60	85	120	kΩ
R <sub>PDSA_HS</sub>	ハイサイド セミアクティブ プルダウン	GVDD_UV = 1 GH から SH、V <sub>GH</sub> - V <sub>SH</sub> = 2V	2	4	8	kΩ
I <sub>PUHOLD_L</sub>	ハイサイド プルアップホールド Low 電流		614	1024	1639	mA
I <sub>PUHOLD_H</sub>	ハイサイド プルアップホールド High 電流		153	256	410	mA
I <sub>PDSTRONG_LS</sub>	ローサイド・プルダウン強電流		1228	2048	3277	mA
I <sub>PDSTRONG_HS</sub>	ハイサイド プルダウン強電流		1228	2048	3277	mA
ゲートドライバのタイミング						
t <sub>PDR_LS</sub>	ローサイド立ち上がり伝搬遅延	INL から GL 立ち上がりまで、V <sub>GVDD</sub> > 8V	45	63	90	ns
t <sub>PDF_LS</sub>	ローサイド立ち下がり伝搬遅延	INL から GL 立ち下がりまで、V <sub>GVDD</sub> > 8V	45	64	90	ns
t <sub>PDR_HS</sub>	ハイサイド立ち上がり伝搬遅延	INH から GH 立ち上がりまで、V <sub>GVDD</sub> = V <sub>BST</sub> - V <sub>SH</sub> > 8V	45	62	90	ns
t <sub>PDF_HS</sub>	ハイサイド立ち下がり伝搬遅延	INH から GH 立ち下がりまで、V <sub>GVDD</sub> = V <sub>BST</sub> - V <sub>SH</sub> > 8V	45	65	90	ns

(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PD\_MATCH}$	ローサイドゲートドライバの伝搬遅延の一致	GL ターンオンから GL ターンオフまで、 $V_{GL-SL} = 1V$ から $V_{GL-SL} = V_{GVDD} - 1V$ 、 $V_{GVDD} = V_{BST} - V_{SH} > 8V$ 、 $V_{SH} = 0V \sim 90V$ 、GH と GL は無負荷	-8	$\pm 4$	8	ns
	ハイサイドゲートドライバの伝搬遅延の一致	GH ターンオンから GH ターンオフまで、 $V_{GH-SH} = 1V$ から $V_{GH-SH} = V_{BST-SH} - 1V$ 、 $V_{GVDD} = V_{BST} - V_{SH} > 8V$ 、 $V_{SH} = 0V \sim 90V$ 、GH と GL は無負荷	-10	$\pm 4$	10	ns
$t_{PD\_MATCH\_PH}$	位相ごとの伝搬遅延のマッチング	デッドタイムの無効化。GL ターンオフから GH ターンオンまで、 $V_{GL-SL} = V_{GVDD} - 1V$ から $V_{GH-SH} = 1V$ 、 $V_{GVDD} = V_{BST} - V_{SH} > 8V$ 、 $V_{SH} = 0V \sim 90V$ 、GH と GL は無負荷、デッドタイムは無効化	-12	$\pm 4$	12	ns
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 0000b = 0h	70			ns
	デジタルゲート駆動デッドタイム	DEADT = 0001b = 1h	120			ns
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 0010b = 2h	180			ns
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 0011b = 3h	300			ns
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 0100b = 4h	400			ns
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 0101b = 5h	500			ns
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 0110b = 6h	600			ns
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 0111b = 7h	750			ns
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 1000b = 8h	1000			ns
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 1001b = 9h	1.5			us
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 1010b = Ah	2			us
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 1011b = Bh	2.5			us
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 1100b = Ch	3			us
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 1101b = Dh	3.5			us
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 1110b = Eh	5			us
$t_{DEAD}$	デジタルゲート駆動デッドタイム	DEADT = 1111b = Fh	10			us
$t_{DEAD}$	アナログ伝搬遅延デッドタイムの変動	デジタルデッドタイムの一番上に挿入	-12	4	12	ns
電流シャントアンプ (SNx, SOx, SPx, CSAREF)						
$A_{CSA}$	検出アンプのゲイン	CSAGAIN = 00b	5			V/V
		CSAGAIN = 01b	10			V/V
		CSAGAIN = 10b	20			V/V
		CSAGAIN = 11b	40			V/V
$A_{CSA}$	検出アンプのゲイン	CSAGAIN = 00b	4.9	5	5.08	V/V
		CSAGAIN = 01b	9.85	10	10.15	V/V
		CSAGAIN = 10b	19.7	20	20.3	V/V
		CSAGAIN = 11b	39.4	40	40.8	V/V
$A_{CSA\_ERR\_DRIFT}$	検出アンプのゲイン誤差の温度ドリフト		-30		30	ppm/°C
NL	非直線性誤差		0.01	0.05		%

(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{SET}$	$\pm 1\%$ までのセトリング タイム	$V_{STEP} = 1.6V, A_{CSA} = 5V/V, C_{SO} = 500pF, VREF=4.5V-5.5V, k=1/2, Cboardroute=0pF-60pF$		0.6	1.6	$\mu s$
		$V_{STEP} = 1.6V, A_{CSA} = 10V/V, C_{SO} = 500pF, VREF=4.5V-5.5V, k=1/2, Cboardroute=0pF-60pF$		0.65	1.6	$\mu s$
		$V_{STEP} = 1.6V, A_{CSA} = 20V/V, C_{SO} = 500pF, VREF=4.5V-5.5V, k=1/2, Cboardroute=0pF-60pF$		0.7	1.6	$\mu s$
		$V_{STEP} = 1.6V, A_{CSA} = 40V/V, C_{SO} = 500pF, VREF=4.5V-5.5V, k=1/2, Cboardroute=0pF-60pF$		1.25	2.1	$\mu s$
$t_{SET}$	$\pm 1\%$ までのセトリング タイム	$V_{STEP} = 1.6V, A_{CSA} = 5V/V, C_{SO} = 60pF, VREF=4.5V-5.5V, k=1/2, Cboardroute=0pF-60pF$		0.3	0.6	$\mu s$
		$V_{STEP} = 1.6V, A_{CSA} = 10V/V, C_{SO} = 60pF, VREF=4.5V-5.5V, k=1/2, Cboardroute=0pF-60pF$		0.35	0.6	$\mu s$
		$V_{STEP} = 1.6V, A_{CSA} = 20V/V, C_{SO} = 60pF, VREF=4.5V-5.5V, k=1/2, Cboardroute=0pF-60pF$		0.35	0.7	$\mu s$
		$V_{STEP} = 1.6V, A_{CSA} = 40V/V, C_{SO} = 60pF, VREF=4.5V-5.5V, k=1/2, Cboardroute=0pF-60pF$		0.6	0.9	$\mu s$
$BW$	帯域幅	$A_{CSA} = 5V/V, C_{LOAD} = 60pF, 小信号 -3dB$	3	5	7	MHz
		$A_{CSA} = 10V/V, C_{LOAD} = 60pF, 小信号 -3dB$	2.5	4.8	6.6	MHz
		$A_{CSA} = 20V/V, C_{LOAD} = 60pF, 小信号 -3dB$	2	4	5.4	MHz
		$A_{CSA} = 40V/V, C_{LOAD} = 60pF, 小信号 -3dB$	1.75	3	4.2	MHz
$t_{SR}$	出力スルーレート	$V_{STEP} = 1.6V, A_{CSA} = 5V/V, C_{LOAD} = 60pF, Low から High に遷移$		14		$V/\mu s$
		$V_{STEP} = 1.6V, A_{CSA} = 10V/V, C_{LOAD} = 60pF, Low から High に遷移$		13		$V/\mu s$
		$V_{STEP} = 1.6V, A_{CSA} = 20V/V, C_{LOAD} = 60pF, Low から High に遷移$		13		$V/\mu s$
		$V_{STEP} = 1.6V, A_{CSA} = 40V/V, C_{LOAD} = 60pF, Low から High に遷移$		6		$V/\mu s$
$V_{SWING}$	出力電圧範囲	$V_{CSAREF} = 3$	0.25	2.75		V
$V_{SWING}$	出力電圧範囲	$V_{CSAREF} = 5.5$	0.25	5.25		V
$V_{SWING}$	出力電圧範囲	$V_{CSAREF} = 3 \sim 5.5V$	0.25	$V_{CSAREF} - 0.25$		V
$V_{COM}$	同相入力範囲		-0.15	0.15		V
$V_{DIFF}$	差動モード入力範囲	ゲイン $A_{CSA} = 5V/V$	-0.3	0.3		V
$V_{OFF}$	入力オフセット電圧	$V_{SP} = V_{SN} = GND, T_J = -40^\circ C, G=5V/V$	-2.6	2.6		mV
$V_{OFF}$	入力オフセット電圧	$V_{SP} = V_{SN} = GND, T_J = 25^\circ C, G=5V/V$	-2.6	2.6		mV
$V_{OFF}$	入力オフセット電圧	$V_{SP} = V_{SN} = GND, T_J = 150^\circ C, G=5V/V$	-2.6	2.6		mV
$V_{OFF}$	入力オフセット電圧	$V_{SP} = V_{SN} = GND, G=5V/V$	-2.6	2.6		mV

(特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$V_{OFF\_DRIFT}$	入力オフセット電圧ドリフト	$V_{SP} = V_{SN} = GND$	-10	0	$\mu V/^\circ C$
$V_{BIAS}$	出力電圧バイアス比	$V_{SP} = V_{SN} = GND$		0.5	
$V_{BIAS\_ACC}$	出力電圧バイアス比の精度		-1.2	1.8	%
$I_{BIAS}$	入力バイアス電流	$V_{SP} = V_{SN} = GND, V_{CSAREF} = 3V \sim 5.5V$		100	$\mu A$
$I_{BIAS\_OFF}$	入力バイアス電流オフセット	$I_{SP} - I_{SN}$	-2.5	2.5	$\mu A$
CMRR	同相除去比	DC	80		dB
		20kHz	60		dB
PSRR	電源除去比	PVDD~SOx, DC	100		dB
PSRR	電源除去比	PVDD~SOx, 20kHz	63		dB
PSRR	電源除去比 (CSAREF)	CSAREF から SOx, DC、差動	85		dB
		CSAREF から SOx, 20kHz、差動	90		dB
PSRR	電源除去比 (CSAREF)	CSAREF から SOx, 20kHz、シングルエンジン	40		dB
$I_{CSA\_SUP}$	GVDD 電源オフ時の CSA の電源リーク電流	$V_{CSAREF} = 3V \sim 5.5V, GVDD = 0V, VDRAIN = 48V/0V$		1000	nA
$I_{CSA\_SUP}$	CSA の消費電流	$V_{CSAREF} = 3V \sim 5.5V$	4.5	6.5	mA
$T_{CMREC}$	同相復帰時間		2	2.5	us
リップル	SOx 出力リップル電圧	ピーク ツー ピーク、CSAREF = 3~5.5V、 SOx 容量 = 500pF、入力換算、SOx / ゲイン	850	1100	$\mu V$
$C_{LOAD}$	最大負荷容量		10		nF

## 保護回路

$V_{GVDD\_UV\_BST}$	GVDD 低電圧警告スレッショルド立ち上がり	$GVDD\_UV\_BST\_LV = 1b$	9.25	9.6	9.95	V
$V_{GVDD\_UV\_BST}$	GVDD 低電圧警告スレッショルド立ち下がり	$GVDD\_UV\_BST\_LVL = 1b$	9.1	9.45	9.8	V
$V_{GVDD\_UV\_BST}$	GVDD 低電圧警告スレッショルド立ち上がり	$GVDD\_UV\_BST\_LVL = 0b$	10.25	10.65	10.95	V
$V_{GVDD\_UV\_BST}$	GVDD 低電圧警告スレッショルド立ち下がり	$GVDD\_UV\_BST\_LVL = 0b$	10.1	10.45	10.8	V
$V_{GVDD\_UVH}$	GVDD 低電圧障害スレッショルド立ち上がり		7.2	7.55	7.9	V
$V_{GVDD\_UVH}$	GVDD 低電圧障害スレッショルド立ち下がり		7	7.35	7.7	V
$V_{GVDD\_UVL}$	GVDD 低電圧誤動作防止スレッショルド		5.35	5.65	5.95	V
$V_{GVDD\_UVL}$	GVDD 低電圧誤動作防止スレッショルド		5.25	5.55	5.85	V
$V_{GVDD\_OV}$	GVDD 過電圧スレッショルド立ち上がり		16.9	17.65	18.4	V
$V_{GVDD\_OV}$	GVDD 過電圧スレッショルド立ち下がり		16.5	17.25	18	V
$V_{VDRAIN\_UVH}$	VDRAIN 低電圧障害スレッショルド立ち上がり	$VDRAIN\_UVH\_LVL = 0b$	18	19	20	V
$V_{VDRAIN\_UVH}$	VDRAIN 低電圧障害スレッショルド立ち下がり	$VDRAIN\_UVH\_LVL = 0b$	17	18	19	V
$V_{VDRAIN\_UVH}$	VDRAIN 低電圧障害スレッショルド立ち上がり	$VDRAIN\_UVH\_LVL = 01b$	20	21	22	V
$V_{VDRAIN\_UVH}$	VDRAIN 低電圧障害スレッショルド立ち下がり	$VDRAIN\_UVH\_LVL = 01b$	19	20	21	V
$V_{VDRAIN\_UVH}$	VDRAIN 低電圧障害スレッショルド立ち上がり	$VDRAIN\_UVH\_LVL = 10b$	22	23	24	V

(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>VDRAIN_UVH</sub>	VDRAIN 低電圧障害スレッショルド立ち下がり	VDRAIN_UVH_LVL = 10b	21	22	23	V
V <sub>VDRAIN_UVH</sub>	VDRAIN 低電圧障害スレッショルド立ち上がり	VDRAIN_UVH_LVL = 11b	24	25	26	V
V <sub>VDRAIN_UVH</sub>	VDRAIN 低電圧障害スレッショルド立ち下がり	VDRAIN_UVH_LVL = 11b	23	24	25	V
V <sub>VDRAIN_UVL</sub>	TCP 立ち上がりを無効にする VDRAIN 低電圧スレッショルド	VDRAIN_UVL_LVL = 0b	10.2	10.7	11.2	
V <sub>VDRAIN_UVL</sub>	TCP 立ち下がりを無効にする VDRAIN 低電圧スレッショルド	VDRAIN_UVL_LVL = 0b	10	10.5	11	V
V <sub>VDRAIN_UVL</sub>	TCP 立ち上がりを無効にする VDRAIN 低電圧スレッショルド	VDRAIN_UVL_LVL = 1b	5.15	5.65	5.95	V
V <sub>VDRAIN_UVL</sub>	TCP 立ち下がりを無効にする VDRAIN 低電圧スレッショルド	VDRAIN_UVL_LVL = 1b	5.05	5.55	5.85	V
V <sub>VDRAIN_OV</sub>	VDRAIN 過電圧障害スレッショルド立ち上がり	VDRAIN_OV_LVL = 0b。	55.5	58	60.5	V
V <sub>VDRAIN_OV</sub>	VDRAIN 過電圧障害スレッショルド立ち下がり	VDRAIN_OV_LVL = 0b。	53.5	56	58.5	V
V <sub>VDRAIN_OV</sub>	VDRAIN 過電圧障害スレッショルド立ち上がり	VDRAIN_OV_LVL = 1b。	57.5	60	62.5	V
V <sub>VDRAIN_OV</sub>	VDRAIN 過電圧障害スレッショルド立ち下がり	VDRAIN_OV_LVL = 1b。	55.5	58	60.5	V
V <sub>VDRAIN_OV</sub>	VDRAIN 過電圧障害スレッショルド立ち上がり	VDRAIN_OV_LVL = 10b。	59.5	62	64.5	V
V <sub>VDRAIN_OV</sub>	VDRAIN 過電圧障害スレッショルド立ち下がり	VDRAIN_OV_LVL = 10b。	57.5	60	62.5	V
V <sub>VDRAIN_OV</sub>	VDRAIN 過電圧障害スレッショルド立ち上がり	VDRAIN_OV_LVL = 11b。	78	81.5	84	V
V <sub>VDRAIN_OV</sub>	VDRAIN 過電圧障害スレッショルド立ち下がり	VDRAIN_OV_LVL = 11b。	76	79.5	82	V
V <sub>VCP_UV</sub>	VCP 低電圧障害スレッショルド立ち上がり		6.7	7.6	8.4	V
V <sub>VCP_UV</sub>	VCP 低電圧障害スレッショルド立ち下がり		6.5	7.4	8.2	V
V <sub>BST_UV_HI</sub>	ブートストラップ低電圧レベル (High) 立ち上がり	8V < GVDD < 9V。 PREDRV_BST_UVLO=1	4.5	5.15	5.8	V
V <sub>BST_UV_HI</sub>	ブートストラップ低電圧レベル (High) 立ち下がり	8V < GVDD < 9V。 PREDRV_BST_UVLO=1	4.4	5.05	5.7	V
V <sub>BST_UV_LO</sub>	ブートストラップ低電圧レベル (Low) 立ち上がり	GVDD > 9V。PREDRV_BST_UVLO=0	5.45	6.1	6.8	V
V <sub>BST_UV_LO</sub>	ブートストラップ低電圧レベル (Low) 立ち下がり	GVDD > 9V。PREDRV_BST_UVLO=0	5.35	6	6.65	V
V <sub>DVDD_UV</sub>	DVDD 低電圧障害スレッショルド立ち上がり		2.6	2.75	2.9	V
V <sub>DVDD_UV</sub>	DVDD 低電圧障害スレッショルド立ち下がり		2.5	2.65	2.8	V
V <sub>DVDD_OV</sub>	DVDD 過電圧障害スレッショルド立ち上がり	DVDD_LDO_SEL = 0b (3.3V)	3.7	3.85	4.0	V
V <sub>DVDD_OV</sub>	DVDD 過電圧障害スレッショルド立ち下がり	DVDD_LDO_SEL = 0b (3.3V)	3.65	3.8	3.95	V
V <sub>DVDD_OV</sub>	DVDD 過電圧障害スレッショルド立ち上がり	DVDD_LDO_SEL = 1b (5V)	5.55	5.75	5.95	V
V <sub>DVDD_OV</sub>	DVDD 過電圧障害スレッショルド立ち下がり	DVDD_LDO_SEL = 1b (5V)	5.5	5.7	5.9	V
V <sub>VREF_UV</sub>	VREF 低電圧障害スレッショルド立ち上がり	VREF 立ち上がり	2.05	2.2	2.35	V
V <sub>VREF_UV</sub>	VREF 低電圧障害スレッショルド立ち下がり	VREF 立ち下がり	1.85	2	2.15	V
TOTW	過熱警告スレッショルド立ち上がり		127	142	157	°C

(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TOTW	過熱警告スレッショルド立ち下がり		121	136	151	°C
TOTSD	過熱シャットダウンスレッショルド立ち上がり		161	176	191	°C
TOTSD	過熱シャットダウンスレッショルド立ち下がり		155	170	185	°C
VVDS_LVL0	VDS 過電流障害レベル	VDS_LVL_x = 0000b	0.085	0.1	0.115	V
VVDS_LVL1	VDS 過電流障害レベル	VDS_LVL_x = 0001b	0.135	0.15	0.165	V
VVDS_LVL2	VDS 過電流障害レベル	VDS_LVL_x = 0010b	0.185	0.2	0.215	V
VVDS_LVL3	VDS 過電流障害レベル	VDS_LVL_x = 0011b	0.28	0.3	0.32	V
VVDS_LVL4	VDS 過電流障害レベル	VDS_LVL_x = 0100b	0.38	0.4	0.42	V
VVDS_LVL5	VDS 過電流障害レベル	VDS_LVL_x = 0101b	0.475	0.5	0.525	V
VVDS_LVL6	VDS 過電流障害レベル	VDS_LVL_x = 0110b	0.57	0.6	0.63	V
VVDS_LVL7	VDS 過電流障害レベル	VDS_LVL_x = 0111b	0.67	0.7	0.73	V
VVDS_LVL8	VDS 過電流障害レベル	VDS_LVL_x = 1000b	0.76	0.8	0.84	V
VVDS_LVL9	VDS 過電流障害レベル	VDS_LVL_x = 1001b	0.86	0.9	0.94	V
VVDS_LVL10	VDS 過電流障害レベル	VDS_LVL_x = 1010b	0.95	1.0	1.05	V
VVDS_LVL11	VDS 過電流障害レベル	VDS_LVL_x = 1011b	1.43	1.5	1.57	V
VVDS_LVL12	VDS 過電流障害レベル	VDS_LVL_x = 1100b	1.9	2.0	2.1	V
VVGS_FLT	VGS 障害スレッショルド立ち上がり	障害 VGS モニタモード。VGS 立ち上がり	0.6	1.2	1.7	V
VVGS_FLT	VGS 障害スレッショルド立ち下がり	障害 VGS モニタモード。VGS 立ち下がり	0.5	1.1	1.6	V
<b>RSHUNT_OCP</b>						
V_RSHUNT_OCP	RSHUNT OCP スレッショルド	RSHUNT_OCP_LVL=0	VREF*0.20	VREF*0.80		
V_RSHUNT_OCP	RSHUNT OCP スレッショルド	RSHUNT_OCP_LVL=1	VREF*0.10	VREF*0.90		
RSHUNT_OCP_VAR	RSHUNT OCP スレッショルド変動	RSHUNT_OCP_LVL=0, 1, k=1/2, SN/SP コモンモード = 0V	-3.2	3.2	%	
RSHUNT_OCP_VAR	RSHUNT OCP スレッショルド変動	RSHUNT_OCP_LVL=0, 1, k=1/2, SN/SP コモンモード = -0.175V	-3.5	3.5	%	
RSHUNT_OCP_VAR	RSHUNT OCP スレッショルド変動	RSHUNT_OCP_LVL=0, 1, k=1/2, SN/SP コモンモード = 0.7V	-3.8	3.8	%	
RSHUNT_OCP_VAR	RSHUNT OCP スレッショルド変動	RSHUNT_OCP_LVL=0, 1, k=1/8, SN/SP コモンモード = 0V	-2	2	%	
RSHUNT_OCP_VAR	RSHUNT OCP スレッショルド変動	RSHUNT_OCP_LVL=0, 1, k=1/8, SN/SP コモンモード = -0.175V	-2	2	%	
RSHUNT_OCP_VAR	RSHUNT OCP スレッショルド変動	RSHUNT_OCP_LVL=0, 1, k=1/8, SN/SP コモンモード = 0.7V	-2	2	%	

## ADVANCE INFORMATION

## 5.5 SPI のタイミング要件

$V_{PVDD} = 5 \sim 15 \text{ V}$ 、動作時周囲温度範囲全体 (特に記述のない限り)

		最小値	公称値	最大値	単位
$t_{CLK}$	SCLK の最小期間		100		ns
$t_{CLKH}$	SCLK 最小 High 時間		50		ns
$t_{CLKL}$	SCLK の最小 Low 時間		50		ns
$t_{SU\_SDI}$	SDI 入力データ セットアップ時間		15		ns
$t_{H\_SDI}$	SDI 入力データ ホールド時間		25		ns
$t_{D\_SDO}$	SDO 出力データ遅延時間、 $CL = 20\text{pF}$	0	50		ns
$t_{SCLK}$	SCLK High から SDO 有効まで、 $C_L = 20\text{pF}$				
$t_{SU\_nSCS}$	nSCS 入力セットアップ時間		25		ns
$t_{H\_nSCS}$	nSCS 入力ホールド時間		25		ns
$t_{HI\_nSCS}$	nSCS のアクティブ Low の前の最小 High 時間		450		ns
$t_{ACC\_nSCS}$	nSCS アクセス時間			50	ns
$t_{DIS\_nSCS}$	nSCS ディスエーブル時間			50	ns

## 5.6 SPI のタイミング図

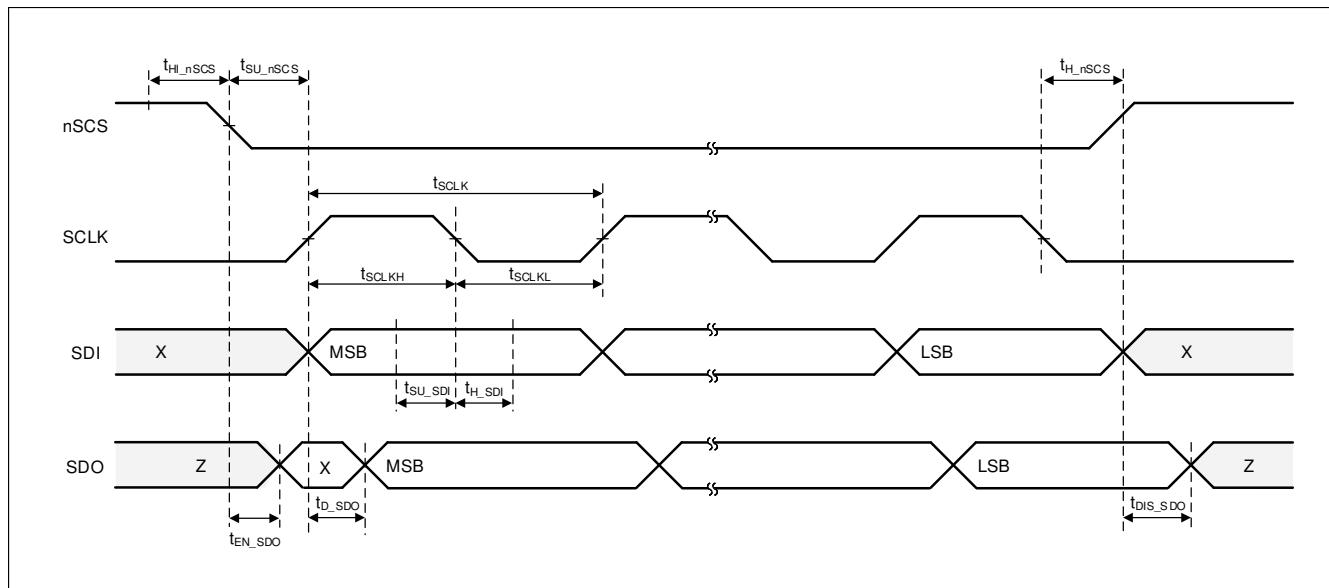


図 5-1. SPI ペリフェラルモードのタイミング図

## 6 詳細説明

### 6.1 概要

DRV8363-Q1 は、3 位相モーター駆動アプリケーション用の統合型 8V ~ 85V ゲートドライバです。これらのデバイスでは、3 つの独立したハーフブリッジゲートドライバ、トリクルチャージポンプ、低出力マイコンの電源用リニアレギュレータを統合することにより、システムのコンポーネント数、コスト、複雑性を低減しています。このデバイスは、最大 3 つの電流シャント（または電流センス）アンプも内蔵しています。標準のシリアル ペリフェラル インターフェイス (SPI) を使うと、デバイスの各種設定とフォルト診断情報の読み出しを外部コントローラから簡単にすることができます。

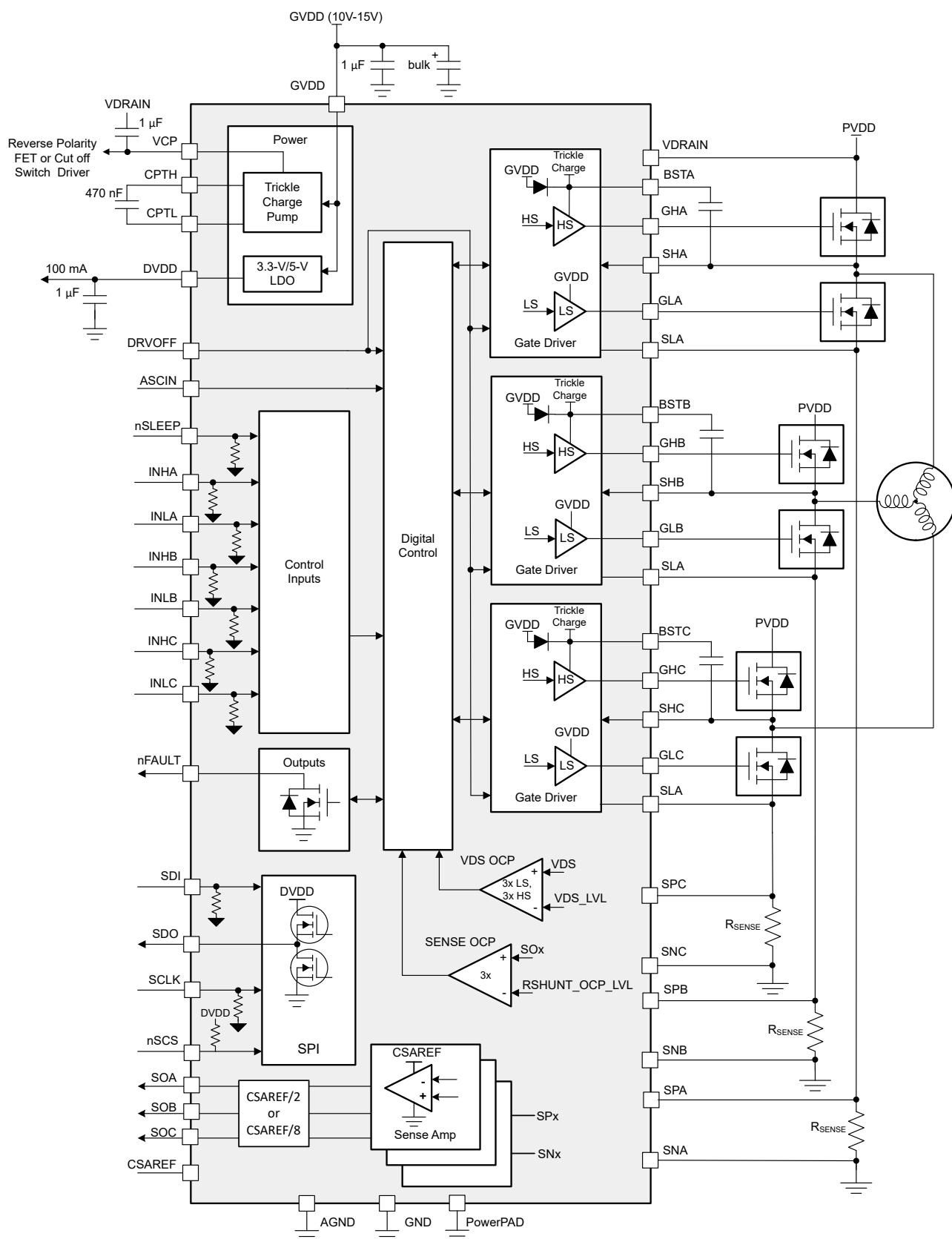
本ゲートドライバは外付け N チャネルハイサイド/ローサイドパワー MOSFET をサポートしており、最大 1A ソースおよび 2A シンクのピーク電流を駆動することができます。ハイサイド ゲート駆動の電源電圧は、ブートストラップ コンデンサから生成されます。ローサイドゲートドライバの電源電圧は、公称 12V で外部から供給されます。

スマート ゲートドライブ アーキテクチャはゲート駆動出力電流の強度を動的に調整する機能を備えています。これにより、ゲートドライバはパワー MOSFET の VDS スイッチング速度を制御できます。この機能により、外部のゲート駆動抵抗およびダイオードが不要になるので、部品表 (BOM) の部品点数や、コスト、プリント基板 (PCB) 上に占める面積が低減します。このアーキテクチャでは、ゲートドライバで発生する短絡からの保護、ハーフブリッジのデッド タイムの制御、外部パワー MOSFET の dV/dt 寄生ターンオンからの保護のために、内部ステートマシンも使用します。

DRV8363-Q1 は、ローサイド シャント抵抗を使用してすべての外部ハーフブリッジを流れる電流のレベルを監視するために、電流センスアンプが内蔵されています。電流センスアンプのゲイン設定は、SPI コマンドを介して調整できます。

高いレベルでデバイスが統合されていることに加え、DRV8363-Q1 には、広範な保護機能も組み込まれています。主な機能には、電源の低電圧/過電圧監視 (GVDD UV/OV)、ドレイン電源の低電圧/過電圧監視 (VDRAIN UV/OV)、VDS 過電流監視、R<sub>SENSE</sub> 過電流監視 (SNS\_OCP)、過熱監視/シャットダウン (OTW および OTSD) が含まれます。故障イベントは、nFAULT ピンで通知されます。

## 6.2 機能ブロック図



ADVANCE INFORMATION

図 6-1. DRV8363-Q1 のブロック図

資料に関するフィードバック(ご意見やお問い合わせ)を送信

19

## 6.3 機能説明

### 6.3.1 3つのBLDC ゲート ドライバ

DRV8363-Q1 は 3 つのハーフブリッジゲートドライバを統合し、それぞれがハイサイドとローサイドの N チャネルパワー MOSFET を駆動できます。ブートストラップ回路は、幅広い動作条件においてハイサイド MOSFET に適切なゲートバイアス電圧を供給し、内蔵のトリクルチャージポンプは 100% のデューティサイクル動作をサポートしています。ハーフブリッジゲートドライバは、3 相モータを駆動するために複数のドライバを組み合わせて使用することも、他の種類の負荷を駆動するために個別に使用することもできます。

#### 6.3.1.1 PWM 制御モード

DRV8363-Q1 には、さまざまな整流方式や制御方式をサポートするために、4 種類の PWM 制御モードが用意されています。PWM 制御モードは、PWM\_MODE レジスタビットで調整できます。

##### 6.3.1.1.1 6x PWM モード

6x PWM モードでは、対応する INHx および INLx 信号が [表 6-1](#) に記載されている出力状態を制御します。

**表 6-1. 6x PWM モードの真理値表**

INLx	INHx	GLx	GHx	注
0	0	L	L	
0	1	L	H	
1	0	H	L	
1	1	L	L	貫通電流保護

##### 6.3.1.1.2 3x PWM モード、INLx 有効化制御付き

この 3x PWM モードでは、INHx ピンで各ハーフブリッジを制御し、Low または High の 2 つの出力状態がサポートされます。INLx ピンは、ハイサイドとローサイド両方のゲート駆動出力を Low にするために使用します。この状態にする必要がない場合は、すべての INLx ピンをロジック High に固定してください。[表 6-2](#) に示すように、対応する INHx および INLx 信号で出力状態を制御します。

**表 6-2. 3x PWM モードの真理値表**

INLx	INHx	GLx	GHx
0	X	L	L
1	0	H	L
1	1	L	H

##### 6.3.1.1.3 1x PWM モード

1x PWM モードでは、デバイスは内部に格納されている 6 段階のブロック整流テーブルを使用します。この機能により、3 相 BLDC モータを、単純なコントローラから供給する 1 つの PWM を使用して制御できます。PWM は INHA ピンに印加され、ハーフブリッジの出力周波数とデューティサイクルを決定します。

ハーフブリッジの出力状態は INLA、INHB、INLB の各ピンによって管理され、それらが状態の論理入力として使用されます。状態の入力は、外部コントローラで制御することも、モータからのホール エフェクトセンサのデジタル出力に直接接続することもできます (INLA = HALL\_A, INHB = HALL\_B, INLB = HALL\_C)。1x PWM モードは通常、同期整流 (ローサイド MOSFET 再循環)で動作します。

INHC 入力は、6 段階の整流テーブルによって方向を制御します。このテーブルは、ホール エフェクトセンサが INLA、INHB、INLB の状態入力を直接制御している場合に、モータの方向を変更するために使用されます。この機能が必要ない場合は、INHC ピンを Low に接続してください。

INLC 入力は、INLC ピンが Low にプルされたときに、すべてのハイサイド MOSFET をオフにし、すべてのローサイド MOSFET をオンにすることにより、モータにブレーキをかけます。このブレーキ動作は、他の入力ピンの状態とは無関係です。この機能が必要ない場合は、INLC ピンを High に接続してください。

**表 6-3. 同期 1x PWM モード (PWM1X\_COM = 0b)**

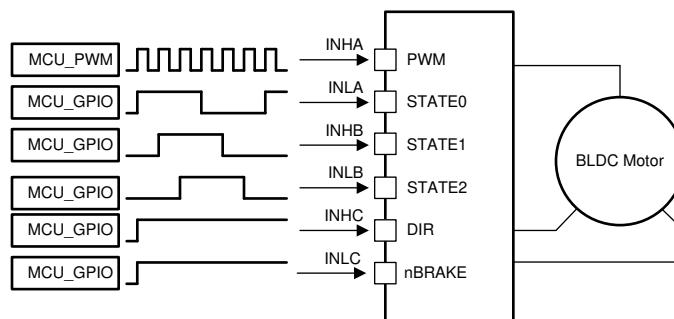
ロジックおよびホール入力						ゲートドライブ出力 <sup>(1)</sup>						説明	
状態	INHC = 0			INHC = 1			位相 A		位相 B		位相 C		
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
ストップ	0	0	0	0	0	0	L	L	L	L	L	L	ストップ
アライン	1	1	1	1	1	1	PWM	!PWM	L	H	L	H	アライン
1	1	1	0	0	0	1	L	L	PWM	!PWM	L	H	B → C
2	1	0	0	0	1	1	PWM	!PWM	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	!PWM	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	!PWM	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	!PWM	C → A
6	0	1	0	1	0	1	L	H	PWM	!PWM	L	L	B → A

(1) !PWM は PWM 信号の反転です。

**表 6-4. 非同期 1x PWM モード (PWM\_MODE = 1b)**

ロジックおよびホール入力						ゲートドライブ出力						説明	
状態	INHC = 0			INHC = 1			位相 A		位相 B		位相 C		
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
ストップ	0	0	0	0	0	0	L	L	L	L	L	L	ストップ
アライン	1	1	1	1	1	1	PWM	L	L	H	L	H	アライン
1	1	1	0	0	0	1	L	L	PWM	L	L	H	B → C
2	1	0	0	0	1	1	PWM	L	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	L	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	L	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	L	C → A
6	0	1	0	1	0	1	L	H	PWM	L	L	L	B → A

図 6-2 と図 6-3 は、1x PWM モードで可能な 2 種類の構成を示しています。



**図 6-2. 1x PWM — 単純なコントローラ**

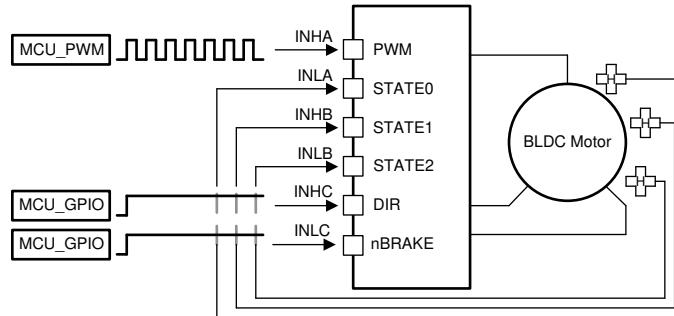


図 6-3. 1x PWM – ホールエフェクトセンサ

### 6.3.1.2 ゲートドライブアーキテクチャ

ゲートドライバでは、ハイサイドとローサイド両方のドライバに対して、相補型のプッシュプルトポロジが使用されています。このトポロジにより、外部 MOSFET ゲートのプルアップとプルダウンが両方とも強化できます。ローサイドゲートドライバには、GVDD 電源から直接電力が供給されます。ハイサイド ゲートドライバ用には、ブートストラップダイオードとブートストラップコンデンサを使ってフローティング ハイサイド ゲート電源電圧を生成します。ブートストラップダイオードは内蔵されており、**BSTx** ピンに外付けのブートストラップコンデンサを使います。100% デューティサイクル制御をサポートするため、トリクルチャージポンプが本デバイスに内蔵されています。ドライバと外部 MOSFET のリーク電流による電圧降下を防止するため、トリクルチャージポンプが **BSTx** ノードに接続されています。

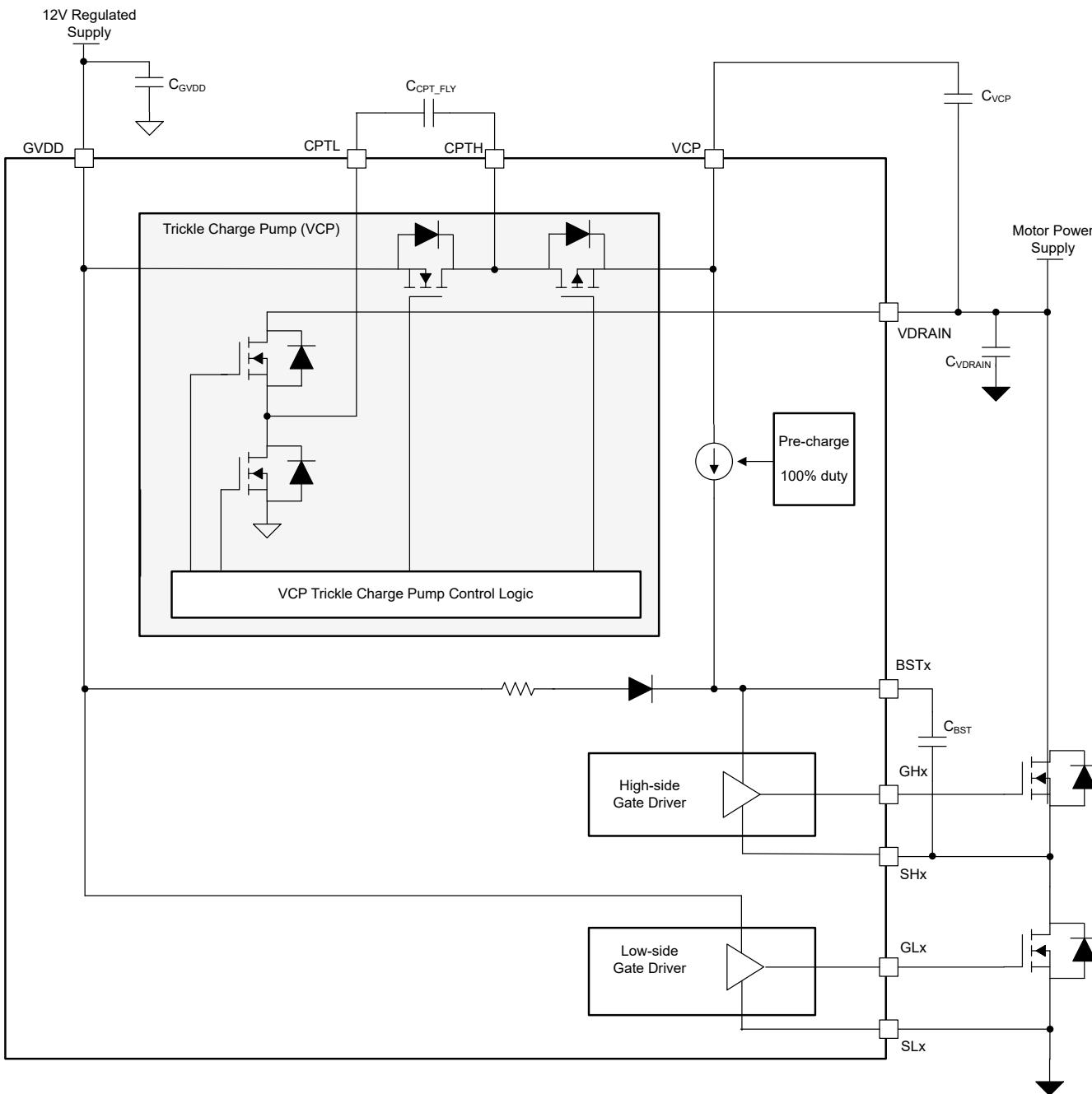


図 6-4. DRV8363-Q1 ゲート ドライバの電源アーキテクチャ

#### 6.3.1.2.1 ブートストラップダイオード

ハイサイドバイアスを生成するにはブートストラップダイオードが必要ですが、ドライバデバイスに内蔵されています。ダイオードアノードは内部抵抗経由で **GVDD** に接続され、カソードは **BSTx** に接続されます。 $C_{BST}$  コンデンサが **BSTx** ピンと **SHx** ピンに接続されている場合、**SHx** がグランドに遷移するたびに、 $C_{BST}$  コンデンサの電荷がスイッチングサイクルごとに更新されます。コンデンサ値  $C_{BST}$  は、ハイサイド MOSFET のゲート電荷に依存し、PWM 制御と MOSFET ゲートの電圧降下を考慮して選択する必要があります。ブートダイオードにより、高速な回復時間、低いダイオード抵抗、電圧定格マージンが可能になり、効率的で信頼性の高い動作を実現できます。

### 6.3.1.2.2 VCP トリクルチャージポンプ

このデバイスは、 $C_{BST}$  ブートストラップコンデンサに電流を供給するチャージポンプを備えているため、ブートストラップコンデンサが充電されたままになります。これにより、ゲートドライバは 100% のデューティサイクルで動作できます。チャージポンプは、電源オン時に  $C_{BST}$  コンデンサの事前充電もサポートしています。

100% の PWM デューティサイクル動作をサポートすることに加え、VCP チャージポンプは外部部品のオーバードライブ電源をサポートするよう設計されています。電源電圧  $V_{VCP}$  は VCP ピンで供給され、電圧は VDRAIN を基準にレギュレートされます。ここでは、VCP ピンと VDRAIN ピンの間にコンデンサを接続します。VCP 電圧は、バッテリ逆接続保護スイッチ、ハイサイドスイッチ、またはモーター位相絶縁スイッチなどの外部スイッチ制御回路のオーバードライブ電源として使用できます。VCP チャージポンプはこれらの外部負荷をサポートするように設計されていますが、オーバードライブ電源の合計電流制限を超えないように注意する必要があります。

### 6.3.1.2.3 ゲートドライバの出力

ゲートドライバでは、スマートゲートドライブアーキテクチャの使用によって、外部パワー MOSFET のスイッチング制御や、MOSFET の保護手法の追加、効率性と堅牢性のバランスの両立を実現できます。このアーキテクチャは IDRIVE および TDRIVE と呼ばれる 2 つのコンポーネントによって実装されます。IDRIVE ゲート駆動電流と TDRIVE ゲート駆動時間の最初の設定は、システムで使用する外部パワー MOSFET のパラメータと、目標とする立ち上がりおよび立ち下がり時間に基づき選択する必要があります。

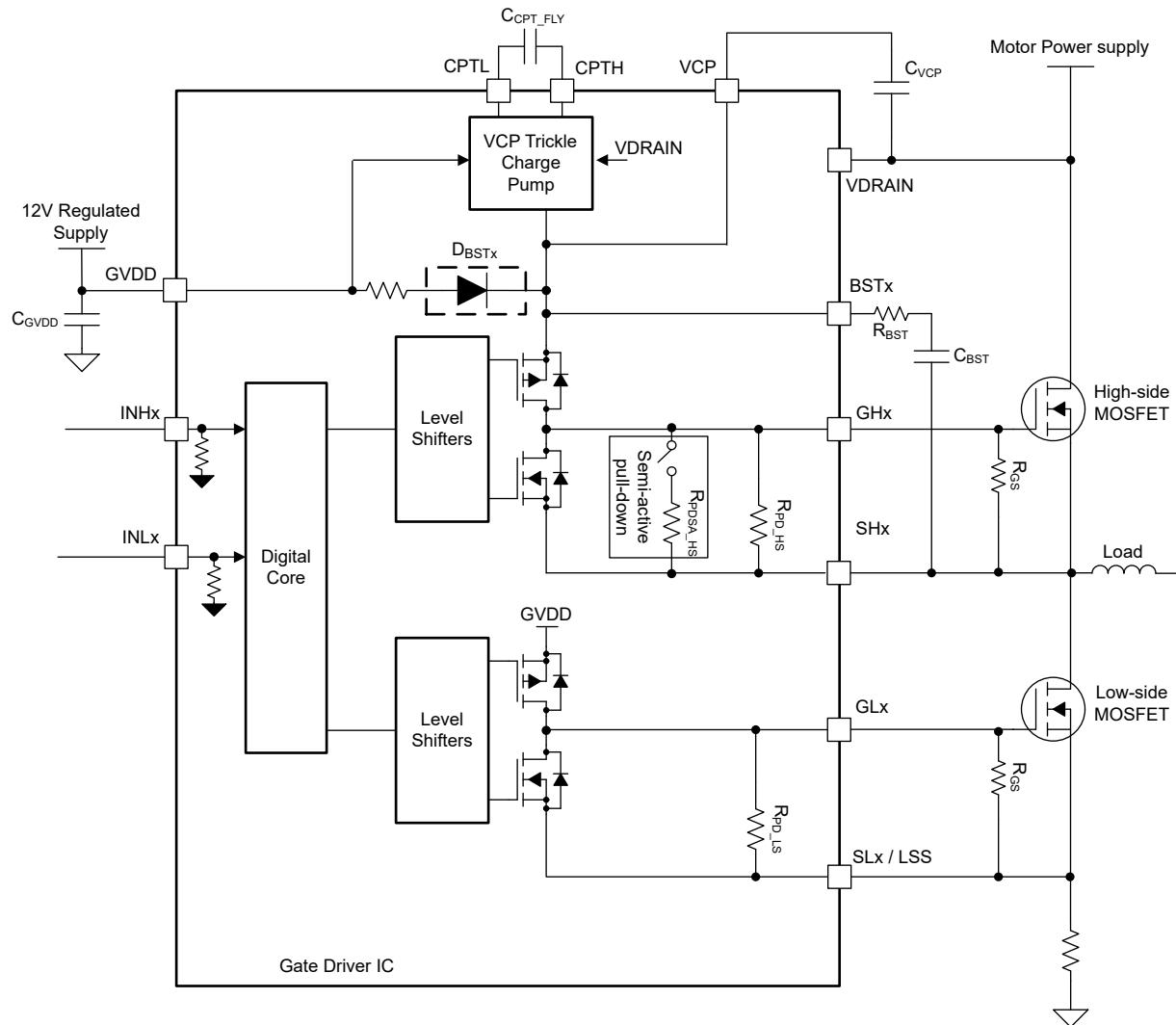


図 6-5. ゲートドライバのアーキテクチャ

#### 6.3.1.2.4 パッシブおよびセミアクティブプルダウン抵抗

各ゲートドライバは、無電力状態で外部 MOSFET をターン オフ状態に維持するため、ゲートとソースの間にパッシブ プルダウンを備えています。さらに、ローサイド ゲートドライバのセミアクティブ プルダウン回路により、スリープ モード中のゲートインピーダンスが低減されます。

#### 6.3.1.2.5 TDRIVE ゲート駆動タイミング制御

このデバイスには、外部 MOSFET の寄生  $dV/dt$  ゲートターンオンを防止するため、TDRIVE ゲート駆動タイミング制御機能が内蔵されています。MOSFET がスイッチングしているときは常に、反対側の MOSFET ゲートで強力なプルダウン  $I_{STRONG}$  電流が有効になります。この強いプルダウンは TDRIVE 期間全体にわたって持続します。この機能は、ハーフブリッジスイッチノード電圧のスルーレートが高い場合に外部 MOSFET ゲートにカップリングする寄生電荷を除去するのに役立ちます。

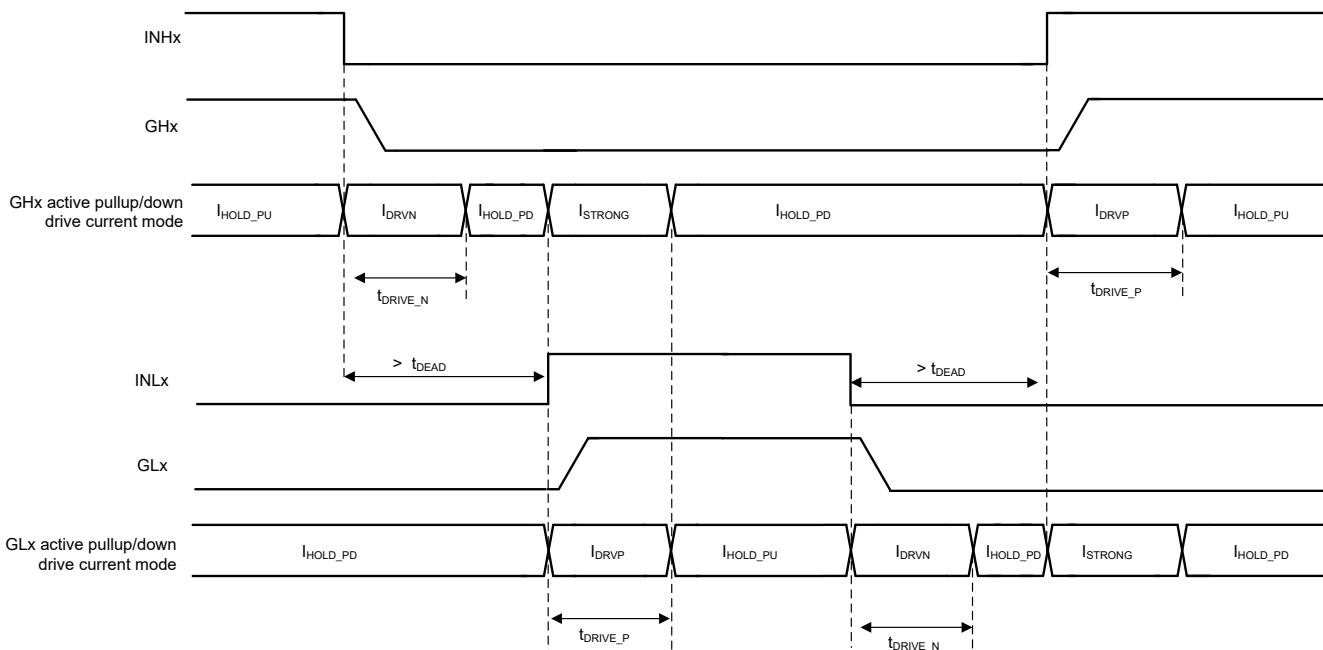


図 6-6. TDRIVE ゲート駆動タイミング制御 (DEADT\_MODE=0b)

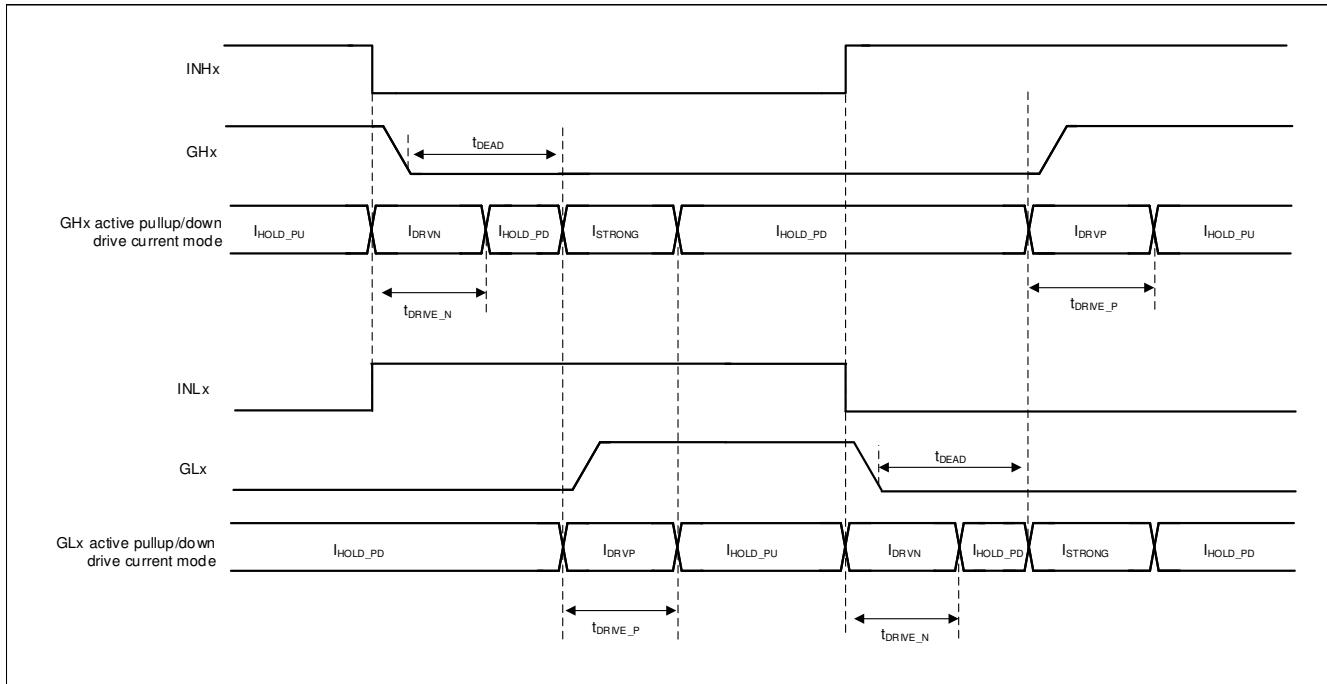


図 6-7. TDRIVE ゲート駆動タイミング制御 (DEADT\_MODE=1b)

### 6.3.1.2.6 伝搬遅延

伝搬遅延時間 ( $t_{pd}$ ) は入力ロジックのエッジから出力の変化が検出されるまでの時間として測定されます。この時間は、デジタル伝搬遅延、アナログゲートドライバによる遅延という 2 つの要素で構成されています。

複数の制御モードとデッドタイム挿入をサポートするため、デバイス全体への入力コマンドの伝搬に伴い、わずかなデジタル遅延が追加されます。また、アナログゲートドライバによるわずかな遅延も、デバイスの全体的な伝搬遅延に含まれます。

### 6.3.1.2.7 デッドタイムとクロス導通防止

DRV8363-Q1 の 6xPWM モードでは、ハイサイド INHx 入力とローサイド INLx 入力は独立して動作しますが、同じハーフブリッジのハイサイドとローサイドが同時にオンになった場合の相互導通を防止するという例外があります。電力段の貫通電流状態を防止するため、このデバイスはハイサイドとローサイドのゲート出力を Low にプルし、ハイサイド入力とローサイド入力が同時にロジック High になると故障 STP\_FLT が通知されます。

6xPWM モードでは、SPI レジスタ ビット DEADT\_MODE が 0b で、DEADT\_MODE\_6X が 00b の場合、デバイスは INHx と INLx を監視し、INHx = INLx = Low の期間が  $t_{DEAD}$  より短い場合、デッドタイムを挿入します。6xPWM モード以外では、構成に関係なくデッドタイムは常に挿入されます。

#### 注

PWM\_MODE が 001b ~ 101b に設定されている場合、STP\_FLT の誤フラグを避けるため、STP\_MODE ビットを 1b に設定する必要があります。SPI レジスタ ビット STP\_MODE = 0b は、PWM\_MODE = 000b (6xPWM モード) にのみ使用できます。

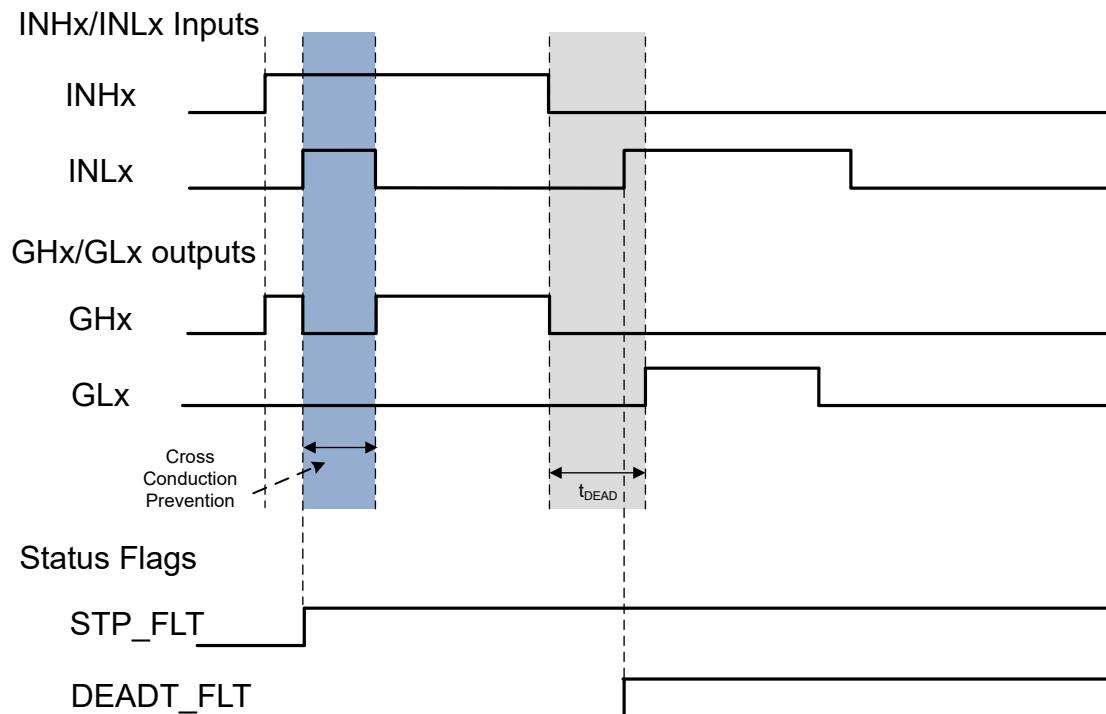


図 6-8. クロス導通防止とデッドタイム挿入

### 6.3.2 DVDD リニア電圧レギュレータ

デバイスには 100mA 出力のリニアレギュレータが内蔵されており、外部回路から使用できます。LDO は 3.3V または 5V 出力に設定できます。このレギュレータは、低電力 MCU または低電流をサポートするその他の回路に電源電圧を供給できます。DVDD レギュレータの出力は、 $1\mu\text{F}$  セラミックコンデンサを使用して DVDD ピン付近でバイパスされます。TI では、十分な実効キャパシタンスを維持するため、16V 以上の定格を持つ X5R または X7R コンデンサを使用することをお勧めしています。コンデンサからのグランド帰還は、隣接する GND グランドピンへと配線されます。

LDO の出力電圧は、LDO\_SEL レジスタビットで選択できます。

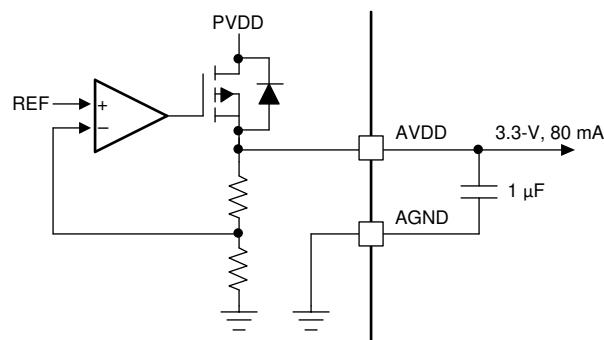


図 6-9. DVDD リニア レギュレータのブロック図

電力は DVDD リニアレギュレータによりデバイス内で消費されます。 $P = (V_{GVDD} - V_{DVDD}) \times I_{DVDD}$

例えば、 $V_{GVDD} = 12\text{V}$  の場合、DVDD から 20mA の電流が流れると、消費電力は式 1 のようになります。

$$P = (24\text{ V} - 3.3\text{ V}) \times 20\text{ mA} = 414\text{ mW} \quad (1)$$

### 6.3.3 ローサイド電流検出アンプ

DRV8363-Q1 デバイスは、ローサイド シャント抵抗を使った電流測定のための高性能ローサイド電流検出アンプを内蔵しています。ローサイド電流測定は、一般に過電流保護、外部トルク制御、または外部コントローラによるブラシレス DC の整流を実装するために使用されます。この電流センス アンプは、5 ~ 40V/V の範囲で 9 つのゲイン設定を設定でき、SPI コマンドを使用して構成できます。CSA 出力は、外部電圧リファレンスピン (VREF) を基準とするか、.. CSA 出力オフセットは  $1/2 \times VREF$  と  $1/8 \times VREF$  の間で設定でき、必要に応じて双方向または単方向の電流センシングをサポートします。

注

デフォルトでは、CSA 出力は無効になっています。CSA 出力は、SPI レジスタ IC\_CTRL2 で有効化できます。

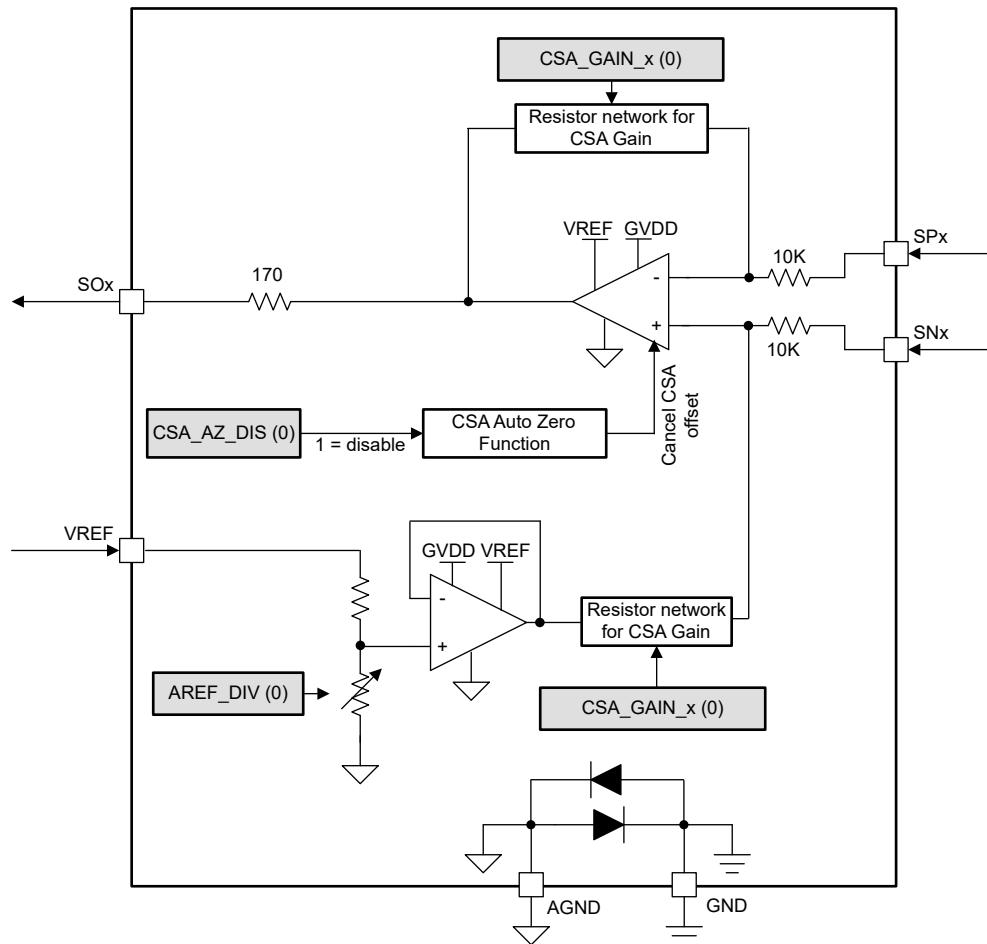


図 6-10. 電流センスアンプの回路

#### 6.3.3.1 単方向電流センス動作

電流測定の分解能を最大限に高めるため、DRV8363-Q1 は同相電圧  $1/8 \times VRE$  を内部で生成します。電流センサアンプは単方向モードとして動作し、SO ピンは、SP および SN ピン間の電圧にゲイン設定 ( $G_{CSA}$ ) と出力を乗算した値に等しいアナログ電圧を出力します。

シャント抵抗を流れる電流値を計算するには、式2を使用します。

$$I = \frac{V_{SOx} - V_{VREF}/8}{G_{CSA} \times R_{SENSE}}$$

(2)

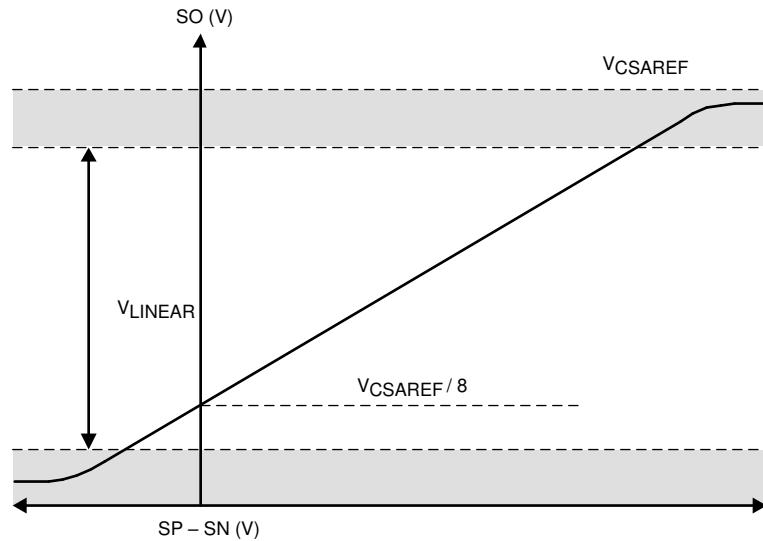


図 6-11. 単方向電流検出の出力

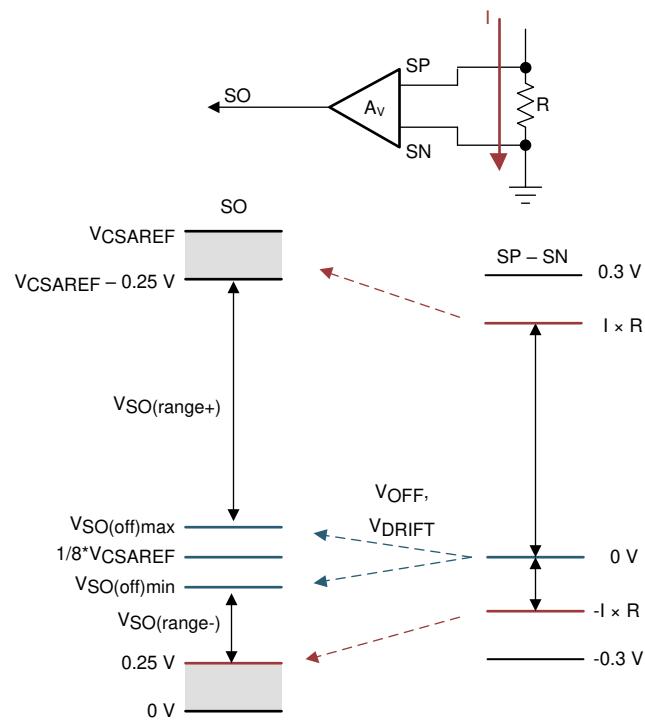


図 6-12. 単方向電流検出の領域

### 6.3.3.2 双方向電流検出の動作

このモードでは、DRV8363-Q1 は  $1/2 \times V_{REF}$  の同相電圧を内部で生成し、双方向電流測定を可能にします。電流センサアンプは双方向モードとして動作し、SO ピンは、SP および SN ピン間の電圧にゲイン設定 ( $G_{CSA}$ ) と出力を乗算した値に等しいアナログ電圧を出力します。

シャント抵抗 ( $A_{REF\_DIV} = V_{REF} / 2$  ケース) を流れる電流値を計算するには、式 3 を使用します。

$$I = \frac{V_{SOx} - \frac{V_{VREF}}{2}}{G_{CSA} \times R_{SENSE}} \quad (3)$$

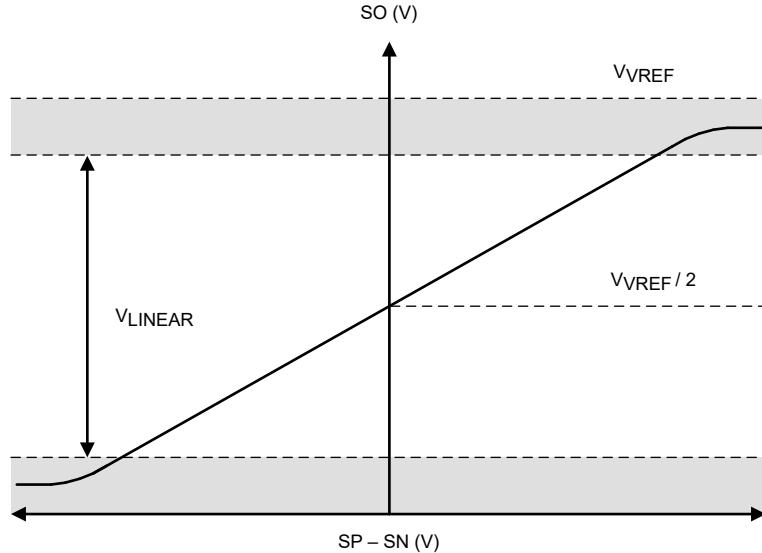


図 6-13. 双方向電流検出の出力

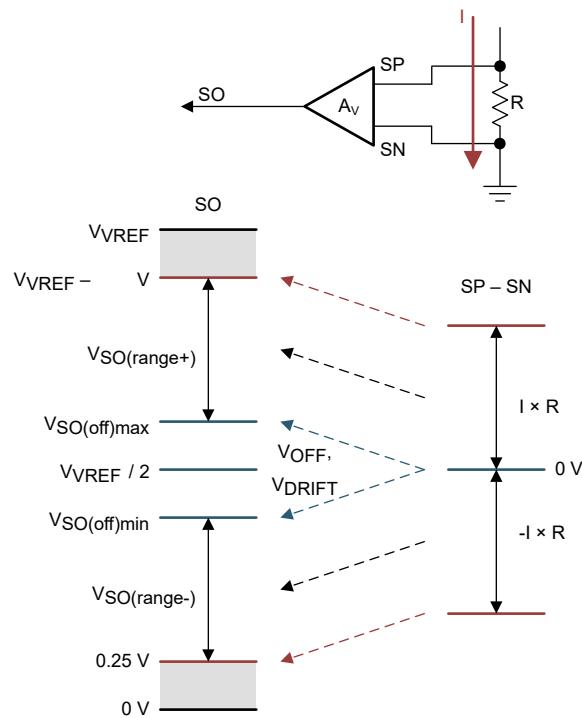


図 6-14. 双方向電流検出の領域

### 6.3.4 ゲート ドライバシャットダウン

故障状態が検出されるか、DRVOFF ピンがシステムによって駆動されると、このデバイスはゲートドライバシャットダウンの動作を実行します。外部 MOSFET をオフにするため、ハイサイドおよびローサイドのゲートドライバ出力がプルダウンされます。

#### 6.3.4.1 DRVOFF ゲート ドライバシャットダウン

DRVOFF が High に駆動されると、ゲートドライバはシャットダウン モードに移行し、入力ピン INH<sub>x</sub> および INL<sub>x</sub> の信号がオーバーライドされます。DRVOFF は内部デジタル ロジックをバイパスし、プリドライバに直接接続されます。このピンは、外部コントローラを直接バイパスしてゲートドライバを無効にする、外部で監視される故障用のメカニズムを提供します。DRVOFF ピンが High に駆動されると、ゲートドライバは無効になり、シャットダウン シーケンスがトリガれます。

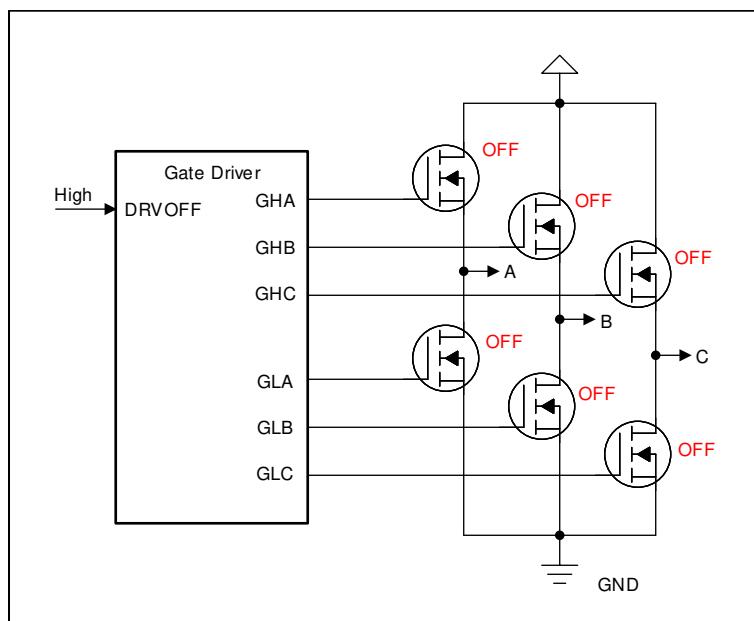


図 6-15. DRVOFF のゲート ドライバの出力状態

#### 6.3.4.2 ゲート ドライバシャットダウンタイミング シーケンス

図に示すように、このデバイスはゲートドライバシャットダウン シーケンスを開始します。シャットダウン駆動電流は、SPI レジスタ IDRVN\_SD でプログラムできます。ゲートドライバは、MOSFET のゲートを放電する  $t_{DRVN\_SDD}$  時間に  $I_{DRVN\_SDD}$  を使用します。シャットダウン電流は  $I_{DRVN\_SD}$  電流に変化し、 $t_{DRVN\_SD}$  時間の終了まで保持されます。シャットダウン シーケンスの完了後、ゲートドライバの出力はセミアクティブ プルダウン モードになります。

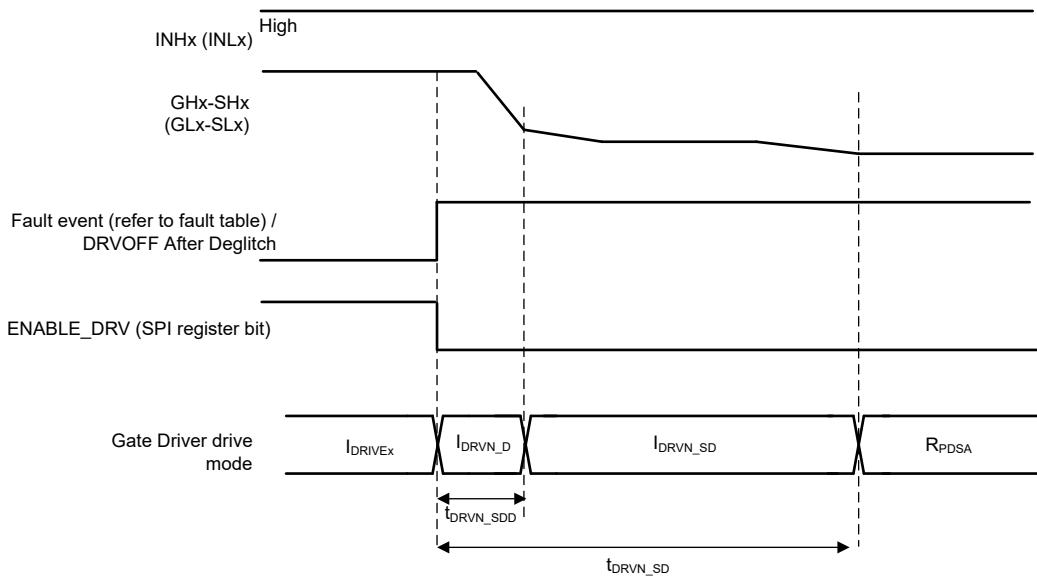


図 6-16. ゲート ドライバ シャットダウン シーケンス

### 6.3.5 ゲート ドライバ保護回路

DRV832x ファミリのデバイスは、PVDD 低電圧および過電圧、AVDD POR、ブートストラップ低電圧、GVDD 低電圧、MOSFET  $V_{DS}$  および  $V_{SENSE}$  過電流イベントから保護されています。

#### 6.3.5.1 GVDD 低電圧誤動作防止 (GVDD\_UV)

GVDD ピンの電圧が  $V_{GVDD\_UV}$  スレッショルドを下回る状態が、 $t_{GVDD\_UV\_DG}$  時間を超えると常に、本デバイスは GVDD 低電圧イベントを検出します。GVDD\_UV 低電圧イベントを検出すると、ゲートドライバとチャージポンプが無効になり、nFAULT ピンが Low に駆動されます。GVDD\_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

#### 6.3.5.2 GVDD 過電圧故障 (GVDD\_OV)

GVDD ピンの電源電圧が  $t_{GVDD\_OV\_DG}$  時間よりも長い間  $V_{GVDD\_OV}$  スレッショルドを超えた場合、DRV8363-Q1 が GVDD 過電圧イベントを検出します。過電圧状態を検出すると、ゲートドライバとチャージポンプが無効になり、nFAULT ピンが Low に駆動されます。GVDD\_OV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

#### 6.3.5.3 VDRAIN 低電圧故障 (VDRAIN\_UV)

VDRAIN ピンの電源電圧が  $V_{DRAIN\_UV}$  スレッショルドを下回る状態が  $t_{vdrain\_uv\_dg}$  時間を超えると常に、DRV8363-Q1 が VDRAIN 低電圧イベントを検出します。低電圧電圧状態を検出すると、ゲートドライバとチャージポンプが無効になり、nFAULT ピンが Low に駆動されます。VDRAIN\_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

#### 6.3.5.4 VDRAIN 過電圧故障 (VDRAIN\_OV)

VDRAIN ピンの電源電圧が  $t_{PVDD\_OV\_DG}$  時間よりも長い間  $V_{DRAIN\_OV}$  スレッショルドを超えた場合、DRV8363-Q1 が VDRAIN 過電圧イベントを検出します。過電圧状態を検出すると、ゲートドライバとチャージポンプが無効になり、nFAULT ピンが Low に駆動されます。VDRAIN\_OV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。VDRAIN\_OV スレッショルドは、VDRAIN\_OV\_LVL レジスタフィールドを使用して、期待される電源電圧範囲に基づいて調整できます。

#### 6.3.5.5 VCP 低電圧故障 (CP\_OV)

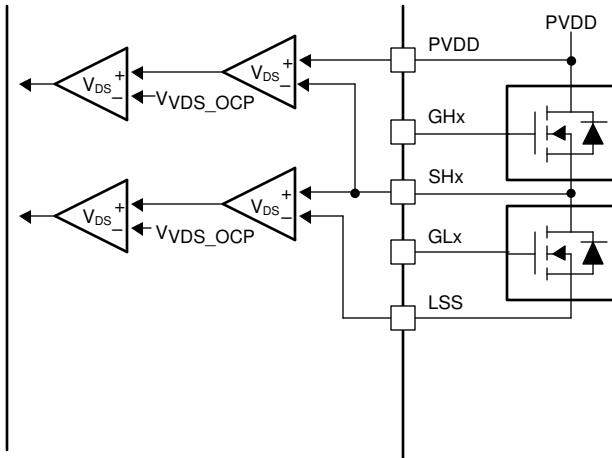
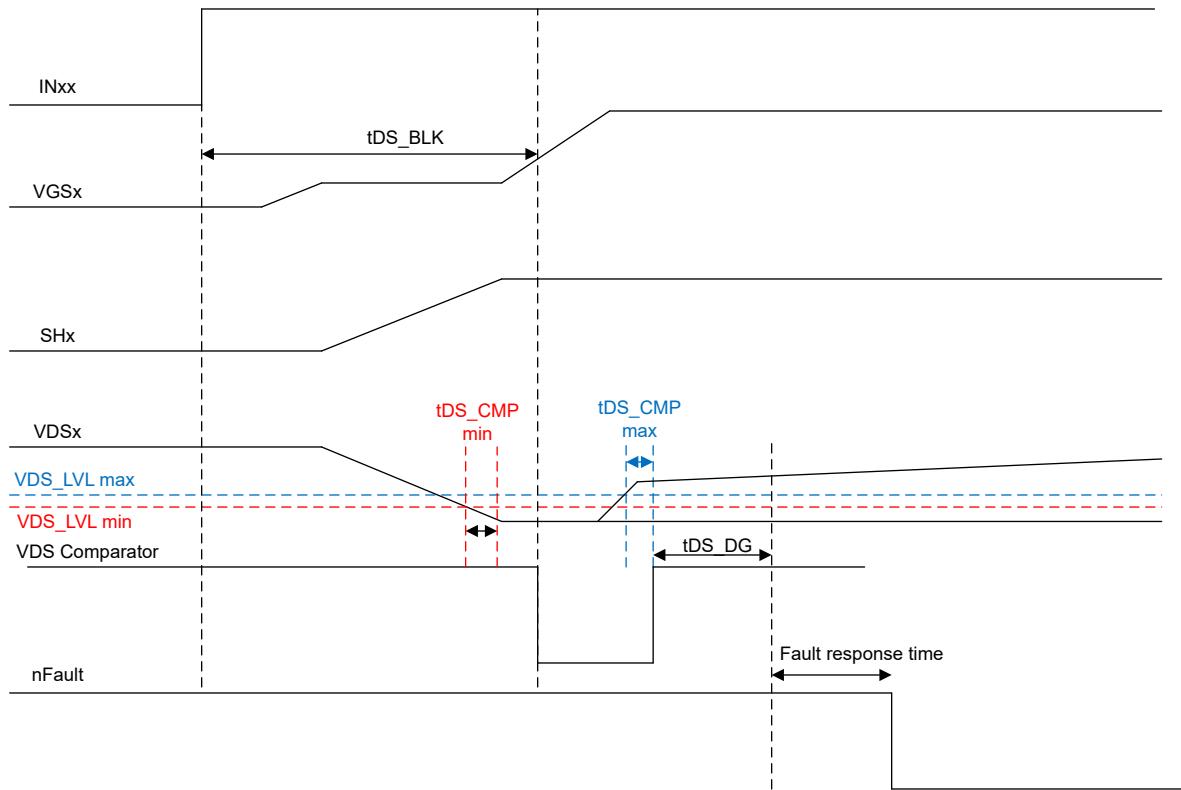
VCP ピンと VDRAIN ピン間の電圧が  $t_{CP\_UV\_DG}$  時間よりも長い間  $V_{CP\_UV}$  スレッショルドを下回ると常に、DRV8363-Q1 が VCP 低電圧イベントを検出します。低電圧電圧状態を検出すると、ゲートドライバとチャージポンプが無効になり、nFAULT ピンが Low に駆動されます。VCP\_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

#### 6.3.5.6 BST 低電圧誤動作防止 (BST\_UV)

BTSx ピンと SHx ピンの間の電圧が  $V_{BST\_UV}$  スレッショルドを下回る状態が、 $t_{BST\_UV\_DG}$  時間を超えると常に、本デバイスは BST 低電圧イベントを検出します。BST\_UV の低電圧イベントを検出すると、ゲートドライバが無効になり、nFAULT ピンが Low に駆動されます。BST\_UV 条件のクリア後、故障状態はラッチされたまま維持され、SPI コマンドでクリアできます。

#### 6.3.5.7 MOSFET $V_{DS}$ 過電流保護 (VDS\_OCP)

本デバイスは、外部パワー MOSFET での過電流状態や短絡状態を検出するため、調整可能な  $V_{DS}$  電圧監視機能を備えています。MOSFET 過電流状態は、外部 MOSFET  $R_{DS(on)}$  での  $V_{DS}$  電圧降下を監視することによって検出されます。ハイサイド VDS モニタは VDRAIN ピンと SHx ピンの間の電圧を測定し、ローサイド VDS モニタは SHx ピンと SLx ピンの間の電圧を測定します。外部 MOSFET にかかる電圧が、 $V_{DS\_LVL}$  スレッショルドを  $t_{DS\_DG}$  グリッヂ除去時間より上回ると、VDS\_OCP イベントが認識されます。VDS 過電流イベントの検出後、外部 MOSFET をオフにするため、すべてのゲートドライバ出力は Low に駆動され、nFAULT ピンは Low に駆動されます。VDS レベルとグリッヂ除去時間はプログラマ可能です。

図 6-17. DRV8363-Q1 V<sub>DS</sub> モニタ図 6-18. DRV8363-Q1 V<sub>DS</sub> モニタのタイミング

### 6.3.5.8 MOSFET VGS 監視保護

は、DRV8363-Q1 内蔵のゲート-ソース間電圧 (VGS) のモニタを活用して、外部 MOSFET の状態を監視します。MOSFET の出力状態をオフに指示した場合 ( $IN_{xx} = \text{Low}$ )、モニタは出力をオフであることを確認してオフを維持します。いずれかの時点で VGS 電圧が  $t_{VGS\_DG}$  より長い時間 VGS スレッショルドを超えると、 $nFAULT$  ピンが Low に駆動され、対応する出力チャネルの  $VGS_{\_XX}$  フラグが設定されます。MOSFET の出力状態をオンに指示した場合 ( $IN_{xx} = \text{High}$ )、モニタは出力がオンであることを確認します。いずれかの時点で VGS 電圧が  $t_{VGS\_DG}$  より長い時間 VGS スレッショルドを下回ると、 $nFAULT$  ピンが Low に駆動され、対応する出力チャネルの  $VGS_{\_XX}$  フラグが設定されます。VGS モニタのブランкиング時間は VDS モニタと共有され、 $VDS_{\_VGS\_BLK}$  レジスタフィールドで調整できます。この値は、外部 MOSFET の予測スイッチング時間に基づいて設定することを推奨します。VGS モニタのグリッチ除去時間は、

**VGS\_DEG** レジスタ フィールドで調整できます。グリッチ除去タイマは、**PWM** 信号の立ち上がり/立ち下がりの後にブランギング時間が経過するまで起動しません。この値は、システムのノイズレベルと許容されるフォルトトレランスタイミングに基づいて設定することを推奨します。

#### 6.3.5.9 VSENSE 過電流保護 (SEN\_OCP)

**SPx** ピンと **SNx** ピンの間の外部電流検出抵抗での電圧降下を検出することにより、過電流も監視できます。いつでも、**SPx-SNx** の差電圧が  $t_{OCP\_DEG}G$  デグリッチ時間よりも長い間 **VSENSE\_OCP** スレッショルドを超えると、**SEN\_OCP** イベントが認識されます。**SEN\_OCP** 過電流イベントの検出後、外部 MOSFET をオフにするため、すべてのゲートドライバ出力は **Low** に駆動され、**nFAULT** ピンは **Low** に駆動されます。**VSENSE** スレッショルドとデグリッチ時間はプログラム可能です。**SEN\_OCP** 条件のクリア後、故障状態はラッチされたまま維持され、**SPI** コマンドでクリアできます。

#### 6.3.5.10 サーマル シャットダウン (OTSD)

ダイ温度がサーマル シャットダウン制限のトリップ ポイント ( $T_{OTSD}$ ) を超えると、**OTSD** イベントが認識されます。**OTSD** 過熱イベントを検出した後、**OTSD\_MODE** が故障モードの場合、すべてのゲートドライバ出力が低く駆動されて外部 MOSFET が無効になり、チャージポンプと電流センスが無効になり、**nFAULT** ピンが低く駆動されます。**OTSD** 条件のクリア後、故障状態はラッチされたまま維持され、**SPI** コマンド (**CLR\_FLT**) でクリアできます。**OTSD\_MODE** はデフォルトで故障モードです。デバイス電源投入中に **OTSD** 状態が検出された場合、**nFAULT** は **Low** に維持され、チャージポンプ、**OTSD** 条件が解消されて **MCU** が **SPI** コマンド (**CLR\_FLT**) を送信するまで、電流センスは無効のままになります。

#### 6.3.5.11 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ ポイント ( $T_{OTW}$ ) を上回ると、**SPI** デバイスのレジスタに **OTW** ビットが設定されます。デバイスの機能は継続され、追加動作が実行されることはありません。ダイ温度が過熱警告のヒステリシス ポイント未満まで低下すると、**OTW** ビットはラッチされたまま維持され、**SPI** コマンド **CLR\_FLT** でクリアできます。**OTW** ビットが **1b** の場合、**WARN\_MODE** ビットが **1b** 時に **nFAULT** は **High** のままでです。

#### 6.3.5.12 OTP CRC

電源を投入するたびに、デバイスは **OTP CRC** チェックを実行します。計算された **CRC8** チェックサムが、内部 **OTP** メモリに保存されている **CRC8** チェックサムと一致しない場合、**OTP\_CRC** 故障フラグがセットされます。

#### 6.3.5.13 SPI ウオッチドッグ タイマ

このデバイスは、外部コントローラが動作していることを確認し、プログラマブル ウィンドウ タイプの **SPI** ウオッチドッグ タイマを統合しています。**SPI** ウオッチドッグ タイマーは、**WDT\_EN** SPI レジスタビットに **1** を書き込むことによって有効化できます。ウォッチドッグ タイマは、デフォルトで無効になっています。ウォッチドッグ タイマがイネーブルになると、内部タイマはカウントアップを開始します。有効な **SPI** アクセスが、タイマをリセットします。この 有効な **SPI** アクセスは、下位ウィンドウ時間と上位ウィンドウ時間の間に発行する必要があります。ウォッチドッグタイマ障害が検出されると、**nFAULT** ピンが **Low** にアサートされます。

#### 6.3.5.14 位相診断

このデバイスは、電流ソースと **VDRAIN** ピンと **SHx** デバイスピンの間、および **SHx** デバイスピンと各チャネルのデバイス グランドの間を統合しています。これらのスイッチは、**SPI** レジスタビット **PH\_DIAG\_Hx** と **PH\_DIAG\_Lx** を使用して、個別に有効化/無効化できます。**PH\_DIAG\_Hx** が **1b** の場合、**SHx** ピンのソース電流 **I<sub>PHD\_SRC</sub>** が有効化されます。**PH\_DIAG\_Lx** が **1b** の場合、**SHx** ピンのシンク電流 **I<sub>PHD\_SNK</sub>** が有効になります。**PHDEN\_Hx** と **PHDEN\_Lx** のいずれかのレジスタ ビットが **1** に設定されている場合、**VDS** 過電流検出フラグである **VDS\_Hx** と **VDS\_Lx** は故障検出フラグから **VDS** コンパレータのステータス フラグに変更されます。内部電流ソースと **VDS** ステータス フラグの組み合わせにより、外部 MOSFET をアクティブにせずに、モーター負荷の開放フォルト検出などの位相診断に使用できます。

**DRV8363-Q1** は自動開放負荷シーケンスおよび **MOSFET** 短絡検出シーケンスも搭載しています。自動開放負荷検出を実行するには、**OPEN\_DET\_EN** ビットを **1b** に設定します。自動 **MOSFET** 短絡検出シーケンスを実行するには、**SHORT\_DET\_EN** ビットを **1b** に設定します。一度に実行できる自動シーケンスは 1 つのみであることに注意してください。このシーケンスの結果は、**IC\_STAT3** レジスタに通知されます。

## ADVANCE INFORMATION

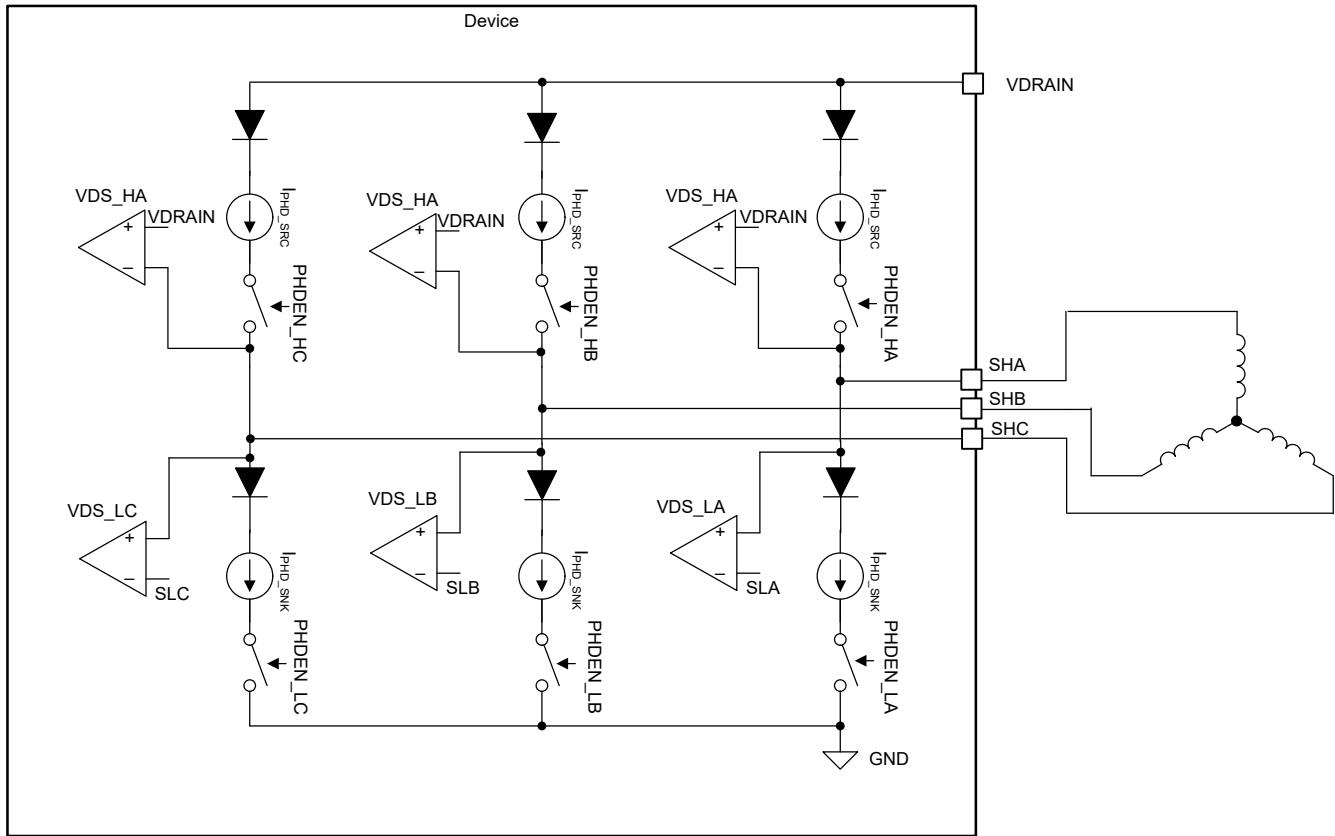


図 6-19. 位相診断

## 6.4 障害検出と応答の概略表 (障害表)

表 6-5. 障害検出と応答の概略

名称	SPI フラグビット	条件	モード	デジタルコア	ゲートドライバ	チャージポンプ	電流検出	応答
GVDD 低電圧誤動作防止	該当なし	GVDD < GVDD_UVLO	該当なし	リセット	ディセーブル	ディセーブル	ディセーブル	ゲート駆動シャットダウン、デバイスシャットダウン、nFAULT
GVDD 低電圧警告	GVDD_UVH	GVDD < GVDD_UVH	GVDD_UVH_MOD_E = 0 (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			GVDD_UVH_MOD_E = 1 (障害)	アクティブ	無効(弱プルダウン)	アクティブ	アクティブ	ゲート駆動シャットダウン、SPI 通知、nFAULT
GVDD 低電圧 BST 警告	GVDD_UV_BST	GVDD < GVDD_UV_BST	GVDD_UV_BST_MODE = 00b (RT 警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知(ラッチなし)、nFAULT
			GVDD_UV_BST_MODE = 01b (障害)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、VCP_UV 無効、BST_UV_LVL を 1b に強制、nFAULT
			GVDD_UV_BST_MODE = 10b (RT 障害)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知(ラッチなし)、VCPI_UV 無効、BST_UV_LVL を 1b に強制、nFAULT
			GVDD_UV_BST_MODE = 11b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
GVDD 過電圧	GVDD_OV	GVDD > GVDD_OV	GVDD_OV_MODE = 0b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			GVDD_OV_MODE = 1b (障害)	アクティブ	無効(標準シャットダウン)	ディセーブル	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT

表 6-5. 障害検出と応答の概略 (続き)

名称	SPI フラグビット	条件	モード	デジタルコア	ゲートドライバ	チャージポンプ	電流検出	応答
VDRAIN 低電圧 Low レッショルド	VDRAIN_UVL	VDRAIN < VDRAIN_UVL	VDRAIN_UVL_MO DE = 00b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VDRAIN_UVL_MO DE = 01b (警告 RT)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知 (ラッチなし)、nFAULT
			VDRAIN_UVL_MO DE = 10b (障害)	アクティブ	無効 (標準シャットダウン)	ディセーブル	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			VDRAIN_UVL_MO DE = 11b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
VDRAIN 定電圧 High スレッショルド	VDRAIN_UVH	VDRAIN < VDRAIN_UVH	VDRAIN_UVH_MO DE = 00b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VDRAIN_UVH_MO DE = 01b (警告 RT)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知 (ラッチなし)、nFAULT
			VDRAIN_UVH_MO DE = 10b (障害)	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			VDRAIN_UVH_MO DE = 11b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
VDRAIN 過電圧	VDRAIN_OV	VDRAIN > VDRAIN_OV	VDRAIN_OV_MOD E = 00b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VDRAIN_OV_MOD E = 01b (障害)	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			VDRAIN_OV_MOD E = 10b (ASC ラッチ)	アクティブ	アクティブ (ASC 有効)	アクティブ	アクティブ	SPI 通知、nFAULT
			VDRAIN_OV_MOD E = 11b (ASC RT)	アクティブ	アクティブ (ASC 有効)	アクティブ	アクティブ	SPI 通知、nFAULT

**表 6-5. 障害検出と応答の概略 (続き)**

名称	SPI フラグビット	条件	モード	デジタルコア	ゲートドライバ	チャージポンプ	電流検出	応答
DVDD 過電圧	DVDD_OV	DVDD > DVDD_OV	DVDD_MODE = 0b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			DVDD_MODE = 1b (障害)	アクティブ	無効 (標準シャットダウン)	ディセーブル	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
過熱警告	OTW	内部温度 > OTW	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
過熱シャットダウン	OTSD	内部温度 > OTSD	OTSD_MODE = 0b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			OTSD_MODE = 1b (障害)	ディセーブル	無効 (標準シャットダウン)	ディセーブル	ディセーブル	SPI 通知、ゲート駆動シャットダウン、nFAULT
加熱シャットダウン、トルクルチャージポンプ	OTSD_TCP	内部チャージポンプ 温度 > OTSD	該当なし	アクティブ	アクティブ	ディセーブル	アクティブ	SPI 通知、nFAULT
VCP 低電圧	VCP_UV	VCP < VCP_UV	VCP_UV_MODE = 00b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VCP_UV_MODE = 01b (障害)	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			VCP_UV_MODE = 10b (障害、TCP シャットダウン)	アクティブ	無効 (標準シャットダウン)	ディセーブル	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			VCP_UV_MODE = 11b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし

表 6-5. 障害検出と応答の概略 (続き)

名称	SPI フラグビット	条件	モード	デジタルコア	ゲートドライバ	チャージポンプ	電流検出	応答
ブートストラップ低電圧	BST_x_UV	BSTx < BST_UV	BST_UV_MODE = 000b、110b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			BST_UV_MODE = 001b (障害 RT、アクティブプルダウン)	アクティブ	HS オフ (アクティブプルダウン)、LS アクティブ	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			BST_UV_MODE = 010b (障害 RT、弱プルダウン)	アクティブ	HS オフ (弱プルダウン)、LS アクティブ	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			BST_UV_MODE = 011b (障害、アクティブプルダウン)	アクティブ	HS オフ (アクティブプルダウン)、LS アクティブ	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			BST_UV_MODE = 100b (障害、弱プルダウン)	アクティブ	HS オフ (弱プルダウン)、LS アクティブ	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			BST_UV_MODE = 101b (障害、弱プルダウン、TCP スイッチオフ)	アクティブ	HS オフ (弱プルダウン)、LS アクティブ	ディセーブル	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT
			BST_UV_MODE = 111b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
VREF 低電圧	VREF_UV	VREF < VREF_UV	該当なし	アクティブ	アクティブ	アクティブ	ディセーブル	SPI 通知、nFAULT
VDS OCP	VDS_xx	VDS > VDS_LVL	VDS_OCP_MODE = 0b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VDS_OCP_MODE = 1b (障害)	アクティブ	無効 (ソフトシャットダウン)	アクティブ	アクティブ	SPI 通知、ゲート駆動シャットダウン、nFAULT

**表 6-5. 障害検出と応答の概略 (続き)**

名称	SPI フラグビット	条件	モード	デジタルコア	ゲートドライバ	チャージポンプ	電流検出	応答
センス OCP	OCP_SNS_x	SOx > SNS_OCP_LVL	SNS_OCP_MODE = 000b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			SNS_OCP_MODE = 001b (障害)	アクティブ	無効 (ソフトシャットダウン)	アクティブ	アクティブ	SPI 通知、nFAULT
			SNS_OCP_MODE = 010b (警告 RT)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知 (ラッチなし)、nFAULT
			SNS_OCP_MODE = 011b (障害 RT)	アクティブ	無効 (ソフトシャットダウン)	アクティブ	アクティブ	SPI 通知 (ラッチなし)、ゲート駆動シャットダウン、nFAULT
			SNS_OCP_MODE = 100b (制限モード)	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	次の PWM エッジまでゲート駆動をシャットダウン
			SNS_OCP_MODE = 111b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
VGS モニタ	VGS_xx	オフ/オン状態でスレッショルドを上回る/下回る VGS 電圧	VGS_MODE = 0b (警告)	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
			VGS_MODE = 1b (障害)	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	SPI 通知、nFAULT
ウォッチドッグモニタ	WDT_FLT	ウォッチドッグはウィンドウでサービスなし	該当なし	アクティブ	無効 (標準シャットダウン)	アクティブ	アクティブ	SPI 通知、nFAULT
デッドタイム保護	DEADT_FLT	DEADT 設定より短いデッドタイム	DEADT_MODE_6X = 00b (障害)	アクティブ	最小デッドタイムが強制	アクティブ	アクティブ	SPI 通知、ゲートドライバ出力の強制、nFAULT
			DEADT_MODE_6X = 01b (強制のみ)	アクティブ	最小デッドタイムが強制	アクティブ	アクティブ	SPI 通知、ゲートドライバ出力の強制、nFAULT
			DEADT_MODE_6X = 10b (無効)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
			DEADT_MODE_6X = 11b (警告)	アクティブ	最小デッドタイムが強制	アクティブ	アクティブ	SPI 通知、nFAULT

表 6-5. 障害検出と応答の概略 (続き)

名称	SPI フラグビット	条件	モード	デジタルコア	ゲートドライバ	チャージポンプ	電流検出	応答
シートスルー保護	STP_FLT	INHx + INLx 同時 High	STP_MODE = 0b (警告 + 強制)	アクティブ	強制 (両方の入力が High の間 Low)	アクティブ	アクティブ	SPI 通知、出力は強制
			STP_MODE = 1b (強制のみ)	アクティブ	強制 (両方の入力が High の間 Low)	アクティブ	アクティブ	出力は強制
SPI クロック障害	SPI_CLK_FLT	SPI フレームのクロック数が誤っている (24 または 32 ビットではない)	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT、SPI トランザクションが拒否
SPI アドレス障害	SPI_ADDR_FLT	SPI の無効なアドレスアクセス	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT、SPI トランザクションが拒否
SPI CRC 障害	SPI_CRC_FLT	SPI CRC 値の不一致	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT、SPI トランザクションが拒否
SPI パリティ障害	SPI_PAR_FLT	SPI パリティビット値の不一致	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT、SPI トランザクションが拒否
OTP CRC 障害	OTP_CRC_FLT	内部 OTP 値の破損	該当なし	アクティブ	無効 (弱ブルダウン)	アクティブ	アクティブ	SPI 通知、nFAULT
デバイスマード障害	DEV_MODE_FLT	デバイスが TI テストモード	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
ブートストラッププリチャージタイムアウト	BST_TIMEOUT_FLT	タイムアウト期間の終了までにブートストラップのプリチャージが未完了	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
解放負荷検出	OPEN_WARN_x	解放テストシーケンスで開放負荷の検出	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT
バッテリへの短絡の検出	SHT_VDD_WARN_x	短絡テストシーケンスでバッテリへの短絡の検出	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT

**表 6-5. 障害検出と応答の概略 (続き)**

名称	SPI フラグビット	条件	モード	デジタルコア	ゲートドライバ	チャージポンプ	電流検出	応答
GND への短絡の検出	SHT_GND_WARN_X	短絡テストシーケンスでグランドへの短絡の検出	該当なし	アクティブ	アクティブ	アクティブ	アクティブ	SPI 通知、nFAULT

## 6.5 デバイスの機能モード

### 6.5.1 ゲート ドライバの機能モード

#### 6.5.1.1 スリープ モード

nSLEEP ピンは、DRV8363-Q1 の状態を管理するピンです。nSLEEP ピンが Low になると、デバイスは低消費電力のスリープ モードに移行します。スリープ モードでは、すべてのゲートドライバ、センスアンプ、すべての外部 MOSFET、GVDD レギュレータが無効化されます。nSLEEP ピンでの立ち下がりエッジの後、 $t_{SLEEP}$  時間が経過するとデバイスがスリープ モードに移行します。nSLEEP ピンが High になると、デバイスのスリープ モードは自動的に終了します。 $t_{WAKE}$  時間が経過すると、デバイスは入力可能な状態になります。

#### 6.5.1.2 動作モード

nSLEEP ピンが High で、 $V_{PVDD}$  電圧が  $V_{UVLO}$  電圧より大きい場合は、デバイスが動作モードに移行します。 $t_{WAKE}$  時間が経過すると、デバイスは入力可能な状態になります。このモードでは、GVDD レギュレータと AVDD レギュレータアクティブです

## 6.6 プログラミング

### 6.6.1 SPI

このデバイスは、シリアル ペリフェラル インターフェイス (SPI) バスを使用して、デバイス構成、動作パラメータを設定し、診断情報を読み取ります。デバイスの SPI はセカンダリモードで動作し、外部コントローラに接続します。SPI CRC (SPI\_CRC\_EN = 0b) が有効な場合、SPI 入力データ (SDI) ワードは、24 ビットのワード、1 つの読み取り/書き込みビット、1 パリティビット、6 ビットのアドレス、16 ビットのデータで構成されています。SPI 出力データ (SDO) ワードは 24 ビットのワード、8 ビットのステータスデータ、16 ビットのレジスタデータで構成されています。SPI CRC が有効 (SPI\_CRC\_EN = 1b) の場合、フレームの最後に追加の 8 ビット CRC (初期値 0xFF、多项式 0x2F) が追加され、SPI データワードの合計長が 32 ビットに増加します。

有効なフレームは次の条件を満たしていなければなりません。

- nSCS ピンが High から Low、Low から High に遷移すると、SCLK ピンの Low になります。
- nSCS ピンは、ワード間の 400ns 以上にわたって High にプルアップされます。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態に設定される。
- データは SCLK ピンの立ち上がりエッジで収集され、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) が最初にシフトイン / シフトアウトされる。
- トランザクションを有効にするには、24 (または 32) SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータワードが 24 (または 32) ビットでない場合、フレーム エラーが発生してデータワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、8 ビットのコマンド データに続いて SDO ピンでシフトアウトされる。
- SDO ピンはプッシュプル タイプの出力です。
- SPI 故障は、nSCS の立ち上がりエッジで確認されます。

### 6.6.2 SPI フォーマット

SDI 入力データワードは 24 (または 32) ビット長であり、以下のフォーマットで構成されています。

- 1 パリティビット、P。パリティビットは偶数パリティ方式を使用するため、SPI フレーム内のパリティビットの数は偶数にする必要があります。
- 6 アドレスビット、A5-A0
- 1 読み取りまたは書き込みビット、W0。書き込みコマンドの場合は W0 = 0b、読み取りコマンドの場合は W0 = 1b です。
- 16 データビット、D15-D0
- SPI\_CRC\_EN = 1b の場合、8 ビット CRC。

SDO 出力データワードは 24 (または 32) ビット長であり、以下のフォーマットで構成されています。

- 1 故障ステータスビット、F。このビットは、IC\_STAT1 故障レジスタビットと同じです。
- 1 パリティビット、P。パリティビットは偶数パリティ方式を使用するため、SPI フレーム内のパリティビットの数は偶数にする必要があります。
- 6 読み戻しビット、A6-A0。これは同じ SPI フレーム内の SDI の着信 6 アドレスビットの読み戻しです。このデバイスは、SCLK の立ち上がりエッジで SDI をキャプチャし、SCLK の立ち下がりエッジで SDO をプッシュアウトします。
- 16 データビット、D15-D0。これはアドレス指定されたレジスタの読み取りデータです。書き込みコマンドの場合、アドレス指定されたレジスタに以前に保存されたデータです。
- SPI\_CRC\_EN = 1b の場合、8 ビット CRC

### 6.6.3 SPI フォーマット図

表 6-6. SPI の SDI 入力データワードフォーマット (24 ビット、CRC 無効)

PARIT Y	アドレス							RW	データ															
	B23	B22	B21	B20	B19	B18	B17		B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1
P	A5	A4	A3	A2	A1	A0	W0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

表 6-7. SDO 出力データワードフォーマット (24 ビット、CRC 無効)

STATUS												データ												
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
フル オルト	P	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

表 6-8. SPI の SDI 入力データワードフォーマット (32 ビット、CRC 有効)

PARITY	アドレス							RW	データ																CRC							
	B31	B30	B29	B28	B27	B26	B25		B24	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1
P	A5	A4	A3	A2	A1	A0	W0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	C7	C6	C5	C4	C3	C2	C1	C0	

表 6-9. SDO 出力データワードフォーマット (32 ビット、CRC 有効)

STATUS												データ													CRC						
B31	B30	B29	B28	B27	B26	B25	B24	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
フル オルト	P	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	C7	C6	C5	C4	C3	C2	C1	C0

## 6.7 レジスタ マップ

このセクションは DRV8363-Q1 の予備的なレジスタ マップなので、変更される可能性があります。

## 6.7.1 STATUS レジスタ

表 6-10 に、ステータス レジスタに対してメモリマップされたレジスタを示します。表 6-10 にリストされていないすべてのレジスタオフセットアドレスは予約領域と見なされます。レジスタの内容は変更しないでください。

**表 6-10. STATUS レジスタ**

オフセット	略称	説明	セクション
0h	IC_STAT1	IC ステータス レジスタ 1	<a href="#">セクション 6.7.1.1</a>
1h	IC_STAT2	IC ステータス レジスタ 2	<a href="#">セクション 6.7.1.2</a>
2h	IC_STAT3	IC ステータス レジスタ 3	<a href="#">セクション 6.7.1.3</a>
3h	IC_STAT4	IC ステータス レジスタ 4	<a href="#">セクション 6.7.1.4</a>
4h	IC_STAT5	IC ステータス レジスタ 5	<a href="#">セクション 6.7.1.5</a>
5h	IC_STAT6	IC ステータス レジスタ 6	<a href="#">セクション 6.7.1.6</a>

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-11 に、このセクションでアクセス タイプに使用しているコードを示します。

**表 6-11. STATUS のアクセス タイプ コード**

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 6.7.1.1 IC\_STAT1 レジスタ (オフセット = 0h) [リセット = 8000h]

IC\_STAT1 を表 6-12 に示します。

概略表に戻ります。

**表 6-12. IC\_STAT1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	SPI_OK	R	1h	SPI 故障は検出されていません 0h = SPI 故障が検出されました 1h = 故障なし
14	FAULT	R	0h	FAULT ステータス レジスタの論理和。nFAULT ピンを反映します。 0h = nFAULT ステータス ロジック Low 1h = nFAULT ステータス ロジック High1 つまたは複数の障害イベントが検出されました。
13	WARN	R	0h	OTW を除く WARN ステータスの OR (論理和) 0h = 過熱警告イベント検出なし 1h = 1 つまたは複数の警告イベントが検出されました
12	VDS	R	0h	VDS 過電流検出の OR (論理和) 0h = VDS イベント検出なし。 1h = 1 つまたは複数の VDS イベントが検出されました。
11	VGS	R	0h	VGS 検出の OR (論理和) 0h = VGS イベント検出なし。 1h = 1 つまたは複数の VGS イベントが検出されました。
10	SNS_OCP	R	0h	センス過電流検出の OR (論理和) 0h = センス過電流イベント検出なし。 1h = 1 つまたは複数のセンス過電流イベントが検出されました。
9	OV	R	0h	電源電圧過電圧検出の OR (論理和) 0h = 過電圧イベント検出なし。 1h = 1 つ以上の過電圧イベントが検出。
8	UV	R	0h	電源電圧低電圧検出の OR (論理和) 0h = 低電圧イベント検出なし。 1h = 1 つ以上の低電圧イベントが検出。
7	RESET_STAT	R	0h	デジタルリセットステータス: デジタルリセット信号に追従します。CLR_FLT = 1 に設定することでクリアされます。 0h = CLR_FLT を 1 に設定することで信号をクリア 1h = デジタルがリセットから復帰
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	OTW	R	0h	過熱警告ステータス ビット 0h = イベントは検出なし 1h = 過熱警告イベントが検出されました
0	DRV_STAT	R	0h	ドライバインプルステータスを表示: ドライバは INxx 入力に追従 0h = ドライバ出力が無効 1h = ドライバ出力が有効

### 6.7.1.2 IC\_STAT2 レジスタ (オフセット = 1h) [リセット = 0000h]

IC\_STAT2 を表 6-13 に示します。

概略表に戻ります。

**表 6-13. IC\_STAT2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	SNS_OCP_A	R	0h	位相 A の外部検出抵抗ステータスビットの過電流 0h = フォルトは未検出 1h = フォルト検出あり
9	SNS_OCP_B	R	0h	位相 B の外部検出抵抗ステータスビットの過電流 0h = フォルトは未検出 1h = フォルト検出あり
8	SNS_OCP_C	R	0h	位相 C の外部検出抵抗ステータスビットの過電流 0h = フォルトは未検出 1h = フォルト検出あり
7	予約済み	R	0h	予約済み
6	PH_DIAG_ACTIVE	R	0h	PH_DIAG がアクティブ (PH_DIAG_xx の 1 つ以上が High) 0h = PH_DIAG は現在アクティブではない 1h = PH_DIAG は現在アクティブ
5	VDS_HA	R	0h	A ハイサイド MOSFET の VDS 過電流ステータス 0h = フォルトは未検出 1h = フォルト検出あり
4	VDS_LA	R	0h	A ローサイド MOSFET の VDS 過電流ステータス 0h = フォルトは未検出 1h = フォルト検出あり
3	VDS_HB	R	0h	B ハイサイド MOSFET の VDS 過電流ステータス 0h = フォルトは未検出 1h = フォルト検出あり
2	VDS_LB	R	0h	B ローサイド MOSFET の VDS 過電流ステータス 0h = フォルトは未検出 1h = フォルト検出あり
1	VDS_HC	R	0h	C ハイサイド MOSFET の VDS 過電流ステータス 0h = フォルトは未検出 1h = フォルト検出あり
0	VDS_LC	R	0h	C ローサイド MOSFET の VDS 過電流ステータス 0h = フォルトは未検出 1h = フォルト検出あり

### 6.7.1.3 IC\_STAT3 レジスタ (オフセット = 2h) [リセット = 0000h]

IC\_STAT3 を表 6-14 に示します。

概略表に戻ります。

**表 6-14. IC\_STAT3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	SHT_VDD_FLT_A	R	0h	位相 A のバッテリへの短絡ステータス 0h = フォルトは未検出 1h = フォルト検出あり
14	SHT_VDD_FLT_B	R	0h	位相 B のバッテリへの短絡ステータス 0h = フォルトは未検出 1h = フォルト検出あり
13	SHT_VDD_FLT_C	R	0h	位相 C のバッテリへの短絡ステータス 0h = フォルトは未検出 1h = フォルト検出あり
12	SHT_GND_FLT_A	R	0h	位相 A の GND への短絡ステータス 0h = フォルトは未検出 1h = フォルト検出あり
11	SHT_GND_FLT_B	R	0h	位相 B の GND への短絡ステータス 0h = フォルトは未検出 1h = フォルト検出あり
10	SHT_GND_FLT_C	R	0h	位相 C の GND への短絡ステータス 0h = フォルトは未検出 1h = フォルト検出あり
9	OPEN_FLT_A	R	0h	位相 A の解放負荷ステータス 0h = フォルトは未検出 1h = フォルト検出あり
8	OPEN_FLT_B	R	0h	位相 B の解放負荷ステータス 0h = フォルトは未検出 1h = フォルト検出あり
7	OPEN_FLT_C	R	0h	位相 C の解放負荷ステータス 0h = フォルトは未検出 1h = フォルト検出あり
6	予約済み	R	0h	予約済み
5	VGS_HA	R	0h	A ハイサイド MOSFET の VDS ゲートドライバ故障ステータス。 0h = フォルトは未検出 1h = フォルト検出あり
4	VGS_LA	R	0h	A ローサイド MOSFET の VDS ゲートドライバ故障ステータス。 0h = フォルトは未検出 1h = フォルト検出あり
3	VGS_HB	R	0h	B ハイサイド MOSFET の VDS ゲートドライバ故障ステータス。 0h = フォルトは未検出 1h = フォルト検出あり
2	VGS_LB	R	0h	B ローサイド MOSFET の VDS ゲートドライバ故障ステータス。 0h = フォルトは未検出 1h = フォルト検出あり
1	VGS_HC	R	0h	C ハイサイド MOSFET の VDS ゲートドライバ故障ステータス。 0h = フォルトは未検出 1h = フォルト検出あり
0	VGS_LC	R	0h	C ローサイド MOSFET の VDS ゲートドライバ故障ステータス。 0h = フォルトは未検出 1h = フォルト検出あり

#### 6.7.1.4 IC\_STAT4 レジスタ (オフセット = 3h) [リセット = 0000h]

IC\_STAT4 を表 6-15 に示します。

概略表に戻ります。

**表 6-15. IC\_STAT4 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	DVDD_OV	R	0h	DVDD 過電圧検出 0h = イベントは検出なし 1h = DVDD 過電圧イベントを検出
13	VDRAIN_OV	R	0h	VDRAIN 過電圧ステータス 0h = フォルトは未検出 1h = フォルト検出あり
12	VDRAIN_UVH	R	0h	VDRAIN 低電圧ステータス、High スレッショルド 0h = フォルトは未検出 1h = フォルト検出あり
11	VDRAIN_UVL	R	0h	VDRAIN 低電圧ステータス、Low スレッショルド 0h = フォルトは未検出 1h = フォルト検出あり
10	VCP_UV	R	0h	VCP 低電圧ステータス 0h = フォルトは未検出 1h = フォルト検出あり
9	GVDD_OV	R	0h	GVDD 過電圧ステータス 0h = フォルトは未検出 1h = フォルト検出あり
8	GVDD_UVH	R	0h	GVDD 低電圧ステータス、High スレッショルド 0h = フォルトは未検出 1h = フォルト検出あり
7	GVDD_UV_BST	R	0h	GVDD 低電圧ステータス、BST 0h = フォルトは未検出 1h = フォルト検出あり
6	予約済み	R	0h	
5	予約済み	R	0h	
4	VREF_UV	R	0h	VREF 低電圧ステータス 0h = フォルトは未検出 1h = フォルト検出あり
3	BST_TIMEOUT_FLT	R	0h	電源投入時の BST タイムアウト障害 (パワーアップシーケンス中、 BST_UV または VCP_UV のいずれかが約 10ms より長い間 High に維持された) 0h = フォルトは未検出 1h = フォルト検出あり
2	BSTA_UV	R	0h	A ハイサイド MOSFET の BST 低電圧 0h = フォルトは未検出 1h = フォルト検出あり
1	BSTB_UV	R	0h	B ハイサイド MOSFET の BST 低電圧 0h = フォルトは未検出 1h = フォルト検出あり
0	BSTC_UV	R	0h	C ハイサイド MOSFET の BST 低電圧 0h = フォルトは未検出 1h = フォルト検出あり

### 6.7.1.5 IC\_STAT5 レジスタ (オフセット = 4h) [リセット = 0000h]

IC\_STAT5 を表 6-16 に示します。

概略表に戻ります。

**表 6-16. IC\_STAT5 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	
12	予約済み	R	0h	
11	OTSD_TCP	R	0h	過熱シャットダウン TCP ステータスピット 0h = イベントは検出なし 1h = 過熱シャットダウン TCP イベントを検出
10	OTSD	R	0h	過熱シャットダウンステータスピット 0h = イベントは検出なし 1h = 過熱シャットダウンイベントを検出
9	WDT_FLT	R	0h	ウォッチドッグタイム障害ステータス 0h = フォルトは未検出 1h = フォルト検出あり
8	SPI_PAR_FLT	R	0h	SPI パリティビット障害ステータス 0h = フォルトは未検出 1h = フォルト検出あり
7	SPI_CRC_FLT	R	0h	SPI CRC 故障ステータス 0h = フォルトは未検出 1h = フォルト検出あり
6	SPI_ADDR_FLT	R	0h	SPI アドレス障害ステータス 0h = フォルトは未検出 1h = 無効なレジスタアドレスへのアクセス試行を検出
5	SPI_CLK_FLT	R	0h	SPI クロック障害ステータス 0h = フォルトは未検出 1h = 誤った SCLK サイクル数を検出
4	OTP_CRC_FLT	R	0h	OTP CRC 故障ステータス 0h = フォルトは未検出
3	DEV_MODE_FLT	R	0h	デバイス モード故障ステータス 0h = フォルトは未検出 1h = フォルト検出あり
2	予約済み	R	0h	
1	STP_FLT	R	0h	シートスルー保護障害ステータス 0h = フォルトは未検出 1h = シートスルー入力条件を検出 (INHx/INLx が同時に High)
0	DEADT_FLT	R	0h	デッドタイム保護障害ステータス 0h = フォルトは未検出 1h = 最小デッドタイム違反を検出

### 6.7.1.6 IC\_STAT6 レジスタ (オフセット = 5h) [リセット = 0000h]

IC\_STAT6 を表 6-17 に示します。

概略表に戻ります。

**表 6-17. IC\_STAT6 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	
14	予約済み	R	0h	
13	予約済み	R	0h	
12	予約済み	R	0h	
11	予約済み	R	0h	
10	予約済み	R	0h	
9	予約済み	R	0h	
8	予約済み	R	0h	
7	VDRAIN_UVOV_RAW	R	0h	VDRAIN OV/UV 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
6	GVDD_UVOV_RAW	R	0h	GVDD OV/UV 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
5	BST_VCP_UV_RAW	R	0h	BST UV および VCP UV 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
4	VREF_UV_RAW	R	0h	VREF UV 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
3	DVDD_OV_RAW	R	0h	DVDD OV 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
2	OTSD_RAW	R	0h	OTSD 監視出力のラッチなしステータスビット 0h = フォルトは未検出 1h = フォルト検出あり
1	予約済み	R	0h	
0	予約済み	R	0h	

## 6.7.2 制御レジスタ

表 6-18 に、制御レジスタ用にメモリマップされたレジスタを示します。表 6-18 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更しないでください。

**表 6-18. 制御レジスタ**

オフセット	略称	説明	セクション
9h	IC_CTRL1	IC 制御レジスタ 1	<a href="#">セクション 6.7.2.1</a>
Ah	IC_CTRL2	IC 制御レジスタ 2	<a href="#">セクション 6.7.2.2</a>
Bh	GD_CTRL1	ゲート駆動制御レジスタ 1	<a href="#">セクション 6.7.2.3</a>
Ch	GD_CTRL2	ゲート駆動制御レジスタ 2	<a href="#">セクション 6.7.2.4</a>
Dh	GD_CTRL3	ゲート駆動制御レジスタ 3	<a href="#">セクション 6.7.2.5</a>
Eh	GD_CTRL4	ゲート駆動制御レジスタ 4	<a href="#">セクション 6.7.2.6</a>
Fh	GD_CTRL5	ゲート駆動制御レジスタ 5	<a href="#">セクション 6.7.2.7</a>
13h	CSA_CTRL1	CSA 制御レジスタ 1	<a href="#">セクション 6.7.2.8</a>
14h	CSA_CTRL2	CSA 制御レジスタ 2	<a href="#">セクション 6.7.2.9</a>
15h	MON_CTRL1	モニタ制御レジスタ 1	<a href="#">セクション 6.7.2.10</a>
16h	MON_CTRL2	モニタ制御レジスタ 2	<a href="#">セクション 6.7.2.11</a>
17h	MON_CTRL3	モニタ制御レジスタ 3	<a href="#">セクション 6.7.2.12</a>
18h	MON_CTRL4	モニタ制御レジスタ 4	<a href="#">セクション 6.7.2.13</a>
19h	MON_CTRL5	モニタ制御レジスタ 5	<a href="#">セクション 6.7.2.14</a>
1Ah	MON_CTRL6	モニタ制御レジスタ 6	<a href="#">セクション 6.7.2.15</a>
1Bh	DIAG_CTRL1	診断制御レジスタ 1	<a href="#">セクション 6.7.2.16</a>
1Ch	IC_CTRL_SP	IC 制御スペシャルレジスタ	<a href="#">セクション 6.7.2.17</a>

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-19 に、このセクションでアクセス タイプに使用しているコードを示します。

**表 6-19. 制御アクセス タイプ コード**

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 6.7.2.1 IC\_CTRL1 レジスタ (オフセット = 9h) [リセット = 0106h]

IC\_CTRL1 を表 6-20 に示します。

概略表に戻ります。

**表 6-20. IC\_CTRL1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	DIS_PWM_INPUT	R/W	0h	PWM 入力を無効化 0h = ゲートドライバ出力は INHx および INL デジタル入力によって制御されます。 1h = INHx および INLx デジタル入力は無視され、ゲートドライバ出力はデフォルトで Low (アクティブ プルダウン) にプルされます。
14	WARN_MODE	R/W	0h	警告 nFAULT モード、警告イベントの nFAULT 応答を制御します 0h = 警告応答の nFAULT 通知なし。ステータス フラグが設定されます。 1h = nFAULT は警告応答のため Low に駆動されます。ステータス フラグが設定されます。
13	DIS_SSC	R/W	0h	TI 社内用設計パラメータ: TI から通知を受けない限り、変更は必要ありません。このビットは、デバイスの内部発振器のスペクトラム拡散クロック機能を無効化にします 0h = 通常動作。スペクトラム拡散クロック処理機能を有効化。 1h = TI のデバッグの目的で、拡散スペクトラムクロック処理機能を無効化。
12	予約済み	R	0h	予約済み
11	EBRAKE_LS_FORCE	R/W	0h	OCP_VDS_LS_x 故障が発生した場合でも LS 緊急ブレーキを強制します (Ebrake が有効な場合) 0h = LS Ebrake の強制なし 1h = LS Ebrake は説明のように強制
10	EBRAKE_MODE	R/W	0h	LS または HS の緊急ブレーキ 0h = すべての LS FET をオンにすることによる緊急ブレーキ 1h = すべての HS FET をオンにすることによる緊急ブレーキ
9	EBRAKE_EN	R/W	0h	緊急ブレーキを有効化 (BRAKE ピンと OR 接続) 0h = 通常モード 1h = 緊急ブレーキを有効化
8	EBRAKE_PRIORITY	R/W	1h	OTSD、GVDD_UVH、GVDDD_OV、DRVOFF 以外の故障よりも緊急ブレーキが優先されます。記載のこれら 3 つの故障は、常に Ebrake より優先されます。 0h = すべての故障よりもブレーキを優先 1h = OTSD、GVDD_UVH、DRV OFF 以外の故障よりもブレーキが優先されます (デフォルト)
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3-1	LOCK	R/W	3h	レジスタ設定をロックおよびロック解除します。リストされていないビット設定は効果がありません。 3h = すべてのレジスタをロック解除します。 6h = これらのビット以外のレジスタへの書き込みを無視して設定をロックします。

**表 6-20. IC\_CTRL1 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
0	CLR_FLT	R/W	0h	<p>故障をクリア。故障イベントが検出され、故障フラグが設定された後で、最初に CLR_FLT コマンドを発行し、次に別の SPI フレームで ENABLE_DRV コマンドを発行することを推奨します。CLR_FLT コマンドと ENABLE_DRV コマンドが同じ SPI フレーム内で発行されると、CLR_FLT はより優先度が高くなり、故障フラグがすぐにラッチされており、デバイスが CLR_FLT を待機している場合、ENABLE_DRV はセットされません。</p> <p>0h = アクションなし 1h = 故障クリア。0b にセルフクリア。</p>

### 6.7.2.2 IC\_CTRL2 レジスタ (オフセット = Ah) [リセット = 0000h]

IC\_CTRL2 を表 6-21 に示します。

概略表に戻ります。

**表 6-21. IC\_CTRL2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	TCP_SW_CURLIM	R/W	0h	TCP_EN_DLY 後の TCP スイッチ電流制限 0h = 1.25mA (標準値) 1h = 2.3mA (標準値)
5-4	TCP_SW_HD_CURLIM	R/W	0h	High デューティサイクルの TCP スイッチ HD 電流制限 (TCP_HD_DIS = 0) 0h = 7.7mA (標準値) 1h = 6.4mA (標準値) 2h = 10.5mA (標準値) 3h = 9.2mA (標準値)
3	TCP_SW_DLY	R/W	0h	本デバイスが PWM 非アクティブを検出してから、トリクル チャージ ポンプがアクティブになるまでの遅延時間 (INHx=INLx = Low) 0h = 100us (代表値) 1h = 250us (代表値)
2	TCP_HD_DIS	R/W	0h	VCP/TCP High デューティが無効 0h = TCP High デューティサイクルが有効 1h = TCP High デューティサイクルが無効
1-0	TCP_SW_MODE	R/W	0h	VCP/TCP モード制御 0h = VCP/TCP の通常動作。電源投入時に VCP/TCP が有効になります。TCP SW は PWM 入力に応答します。SPI DIS_PWM_INPUT が 1 の場合、TCP SW が有効になります。DRVOFF が High であり、システムがデバイスに BST コンデンサを充電状態に維持する必要がある場合、TCP_SW_MODE が 00b である必要があります。 1h = VCP/CPTH - Shx スイッチを無効化。VCP/TCP チャージポンプクロックがアクティブ。 2h = VCP/TCP シャットダウン。VCP/CPTH-SHx スイッチと VCP/TCP チャージポンプクロックの両方が無効になります。 3h = VCP/TCP の通常動作。電源投入時に VCP/TCP が有効になります。

### 6.7.2.3 GD\_CTRL1 レジスタ (オフセット= Bh) [リセット= 0038h]

GD\_CTRL1 を表 6-22 に示します。

概略表に戻ります。

**表 6-22. GD\_CTRL1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	PWM1X_COM	R/W	0h	1x PWM 通信制御 0h = 1x PWM モードは同期整流を使用 1h = 1x PWM モードは非同期整流を使用
14	PWM1X_DIR	R/W	0h	1x PWM 方向。1x PWM モードではこのビットは INHC (DIR) 入力と論理和がとられます。
13-12	PWM1X_BRAKE	R/W	0h	1x PWM 出力構成。 0h = 出力は指令された入力に従います 1h = 3 つのローサイド MOSFET をすべてオンにする 2h = 3 つのハイサイド MOSFET のすべてをターンオン 3h = 6 つの MOSFET のすべてをターンオフ (コスト)
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9-8	PWM_MODE	R/W	0h	PWM モード 0h = 6x PWM モード (INHx/INLx) 1h = INLx 有効化制御付き 3x PWM モード 2h = 1x PWM モード (INHx/INLx) 3h = 独立
7	STP_MODE_6X	R/W	0h	6xPWM モードでの STP 故障通知の制御 0h = 通知が有効 (出力を Low に強制) 1h = 通知が無効 (出力を Low に強制)
6-3	DEADT	R/W	7h	ゲートドライバ デッドタイム 0h = 70ns 1h = 120ns 2h = 180ns 3h = 300ns 4h = 400ns 5h = 500ns 6h = 600ns 7h = 750ns 8h = 1000ns 9h = 1.5us Ah = 2us Bh = 2.5us Ch = 3us Dh = 3.5us Eh = 5us Fh = 10us
2	DEADT_MODE	R/W	0h	開ループ/閉ループ 0h = デバイス入力 (INHx または INLx) が Low になるとデッドタイムが挿入されます 1h = ゲートドライバ出力 (GHx または GLx) を監視することでデッドタイムが挿入されます

**表 6-22. GD\_CTRL1 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
1-0	DEADT_MODE_6X	R/W	0h	<p>6 PWM モードの場合のみ、デッドタイム違反応答モード。注: 6 PWM モード以外では、DEADT_MODE ビットに関係なくデッドタイムは常に挿入され、MCU へは故障は通知されません。</p> <p>0h = デッドタイム保護を有効化。通知が実行されます。ゲートドライバ制御信号は、デッドタイム期間中は強制的に Low になります。デッドタイム状態が検出されると、SPI 故障フラグがセットされ、nFAULT ピンが Low に駆動されます。</p> <p>1h = デッドタイム保護を有効化。通知は実行されません。ゲートドライバ制御信号は、デッドタイム期間中は強制的に Low になります。デッドタイム状態が検出されると、SPI 故障フラグは設定されず、nFAULT ピンは High のままでです。</p> <p>2h = デッドタイム保護を無効化。デッドタイムは挿入されません。SPI フォルトフラグはセットされず、nFAULT1 ピンは High のままでです。これは、DEADT_MODE が 0b (INH または INL の監視) と 1b (GHx または GLx の監視) の場合の両方に適用されます。</p> <p>3h = デッドタイム保護が有効化され、SPI 故障がセットされていますが、nFAULT 通知は実行されません。デッドタイム期間中、ゲートドライバ出力は強制的に Low になります。デッドタイム状態が検出されると、nFAULT ピンは High のままでです。</p>

#### 6.7.2.4 GD\_CTRL2 レジスタ (オフセット = Ch) [リセット = 7700h]

GD\_CTRL2 を表 6-23 に示します。

概略表に戻ります。

表 6-23. GD\_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	TDRV_P	R/W	7h	ピークソースプルアップ駆動タイミング 0h = 200ns 1h = 300ns 2h = 400ns 3h = 500ns 4h = 650ns 5h = 750ns 6h = 900ns 7h = 1000ns 8h = 1.4us 9h = 1.6us Ah = 2us Bh = 2.2us Ch = 2.6us Dh = 3us Eh = 3.5us Fh = 4us
11-8	TDRV_N	R/W	7h	ピークシンクプルダウン駆動タイミング
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	IHOLD_SEL	R/W	0h	IHOLD プルアップおよびプルダウン電流を選択します。PWM が非アクティブ (ENABLE_DRV が 0b) の間、IHOLD_SEL ビットを設定する必要があります。 0h = IHOLD プルアップ/ダウン 500mA/1000mA (標準値) 1h = IHOLD プルアップ/ダウン 260mA/260mA (標準値)
3-0	IDRVN_SD	R/W	0h	スマートシャットダウン駆動電流。

#### 6.7.2.5 GD\_CTRL3 レジスタ (オフセット = Dh) [リセット = 0000h]

GD\_CTRL3 を表 6-24 に示します。

概略表に戻ります。

表 6-24. GD\_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	IDRVP_HA	R/W	0h	ハイサイドピークソースプルアップ電流。
11-8	IDRVN_HA	R/W	0h	ハイサイドピークシンクプルダウン電流。電気的特性表の IDRVN パラメータを参照してください。
7-4	IDRVP_LA	R/W	0h	ローサイドピークソースプルアップ電流
3-0	IDRVN_LA	R/W	0h	ローサイドピークシンクプルダウン電流。電気的特性表の IDRVN パラメータを参照してください。

#### 6.7.2.6 GD\_CTRL4 レジスタ (オフセット = Eh) [リセット = 0000h]

GD\_CTRL4 を表 6-25 に示します。

概略表に戻ります。

**表 6-25. GD\_CTRL4 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15-12	IDRVP_HB	R/W	0h	ハイサイドピークソースプルアップ電流。
11-8	IDRVN_HB	R/W	0h	ハイサイドピークシンクプルダウン電流。電気的特性表の IDRVN パラメータを参照してください。
7-4	IDRVP_LB	R/W	0h	ローサイドピークソースプルアップ電流
3-0	IDRVN_LB	R/W	0h	ローサイドピークシンクプルダウン電流。電気的特性表の IDRVN パラメータを参照してください。

#### 6.7.2.7 GD\_CTRL5 レジスタ (オフセット= Fh) [リセット= 0000h]

GD\_CTRL5 を表 6-26 に示します。

概略表に戻ります。

表 6-26. GD\_CTRL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	IDRVP_HC	R/W	0h	ハイサイドピークソースプルアップ電流。
11-8	IDRVN_HC	R/W	0h	ハイサイドピークシンクプルダウン電流。電気的特性表の IDRVN パラメータを参照してください。
7-4	IDRVP_LC	R/W	0h	ローサイドピークソースプルアップ電流
3-0	IDRVN_LC	R/W	0h	ローサイドピークシンクプルダウン電流。電気的特性表の IDRVN パラメータを参照してください。

### 6.7.2.8 CSA\_CTRL1 レジスタ (オフセット = 13h) [リセット = 0000h]

CSA\_CTRL1 を表 6-27 に示します。

概略表に戻ります。

**表 6-27. CSA\_CTRL1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5-4	CSA_AZ_TMAX	R/W	0h	PWM 入力スイッチングがない場合に CSA_CLK を切り替えるまでの最大遅延 0h = 250us 1h = 1ms 2h = 5ms 3h = 遅延なし
3	CSA_AZ_DIS	R/W	0h	電流センシングアンプの自動ゼロ機能の無効化 (Luis に関する注: CSA クロックを Low に強制し、この信号をトップレベルにします) 0h = CSA 自動ゼロ機能有効化。通常 PWM/CSA 動作中はこのビットは 0b になります。 1h = CSA 自動ゼロ機能無効化。このビットの目的は、自動ゼロ機能のために電流検出アンプのスイッチング動作を無効にすることです。このビットを使用する場合は、タイミング要件を参照してください。
2	CSA_A_DIS	R/W	0h	CSA チャネル A を無効化 0h = CSA チャネル A を有効化 1h = CSA チャネル A を無効化
1	CSA_B_DIS	R/W	0h	CSA チャネル B を無効化 0h = CSA チャネル B を有効化 1h = CSA チャネル B を無効化
0	CSA_C_DIS	R/W	0h	CSA チャネル C を無効化 0h = CSA チャネル C を有効化 1h = CSA チャネル C を無効化

### 6.7.2.9 CSA\_CTRL2 レジスタ (オフセット = 14h) [リセット = 0000h]

CSA\_CTRL2 を表 6-28 に示します。

概略表に戻ります。

**表 6-28. CSA\_CTRL2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	AREF_DIV	R/W	0h	VREF の分割比 0h = 1/2 1h = 1/8
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11-8	WDT_TEST	R/W	0h	WDT 用 SPI テストレジスタ。このレジスタへの書き込みアクセスはデバイスの動作に影響はありませんが、正しいウインドウ内でアクセスすると、ウォッチドッグタイマがリセットされます。
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5-4	CSA_GAIN_A	R/W	0h	SOA の CSA ゲイン。GAIN は PWM 動作中に更新できます。未定義の設定 (1001b ~ 1111b) は 40 です。 0h = 5 1h = 10 2h = 20 3h = 40
3-2	CSA_GAIN_B	R/W	0h	SOB の CSA ゲイン。GAIN は PWM 動作中に更新できます。未定義の設定 (1001b ~ 1111b) は 40 です。 0h = 5 1h = 10 2h = 20 3h = 40
1-0	CSA_GAIN_C	R/W	0h	SOC の CSA ゲイン。GAIN は PWM 動作中に更新できます。未定義の設定 (1001b ~ 1111b) は 40 です。 0h = 5 1h = 10 2h = 20 3h = 40

### 6.7.2.10 MON\_CTRL1 レジスタ (オフセット = 15h) [リセット = 4000h]

MON\_CTRL1 を表 6-29 に示します。

概略表に戻ります。

**表 6-29. MON\_CTRL1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15-14	VDRAIN_OV_LVL	R/W	1h	VDRAIN 過電圧スレッショルド レベル 0h = 36V (標準値) 1h = 54V (標準値) 2h = 72V (標準値) 3h = 84V (標準値)
13-12	VDRAIN_UVH_LVL	R/W	0h	VDRAIN UV の High スレッショルドレベル 0h = 18 V 1h = 20 V 2h = 22 V 3h = 24 V
11	VDRAIN_UVL_LVL	R/W	0h	VDRAIN UV の Low スレッショルドレベル 0h = 10.5 V 1h = 5.55 V
10-8	VDRAIN_OV_MODE	R/W	0h	Ebrake モードに設定した場合: HS または LS ブレーキは SPI_BRAKE ビットから適用。VDRAIN_OV = 1 であり VDS 応答で WPD の場合は、SPI_BRAKE に関係なくブレーキと LS APD を適用 (WPD なし) 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ) 2h = EBrake モード (ラッチ、SPI_EBRAKE_DIR または VDS 故障に基づく HS または LS) 3h = EBrake モード (オートリカバリ、SPI_EBRAKE_DIR または VDS 故障に基づく HS または LS) 4h = デフォルトモード 5h = デフォルトモード 6h = デフォルトモード 7h = レポートなし。シャットダウンなし。
7-6	VDRAIN_UVH_MODE	R/W	0h	低電圧監視用 VDRAIN 監視モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ) 2h = 警告モード (オートリカバリ) 3h = レポートなし。シャットダウンなし。
5-4	VDRAIN_UVL_MODE	R/W	0h	低電圧監視用 VDRAIN 監視モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ) 2h = 警告モード (オートリカバリ) VDS 故障が無効化 3h = レポートなし。シャットダウンなし。
3	GVDD_UVH_MODE	R/W	0h	GVDD_UVH 監視モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ)
2-1	GVDD_UV_BST_MODE	R/W	0h	GVDD_UV_BST 監視モード。WARN_MODE に関係なく nFAULT は High のままで。 0h = 警告モード (オートリカバリ)。VCP_UV 入力は有効なままで、BST_UV_LVL の強制なし 1h = 警告スペシャルモード (ラッチ)、VCP_UV 入力は無効、BST_UV_LVL は 1 2h = 警告スペシャルモード (オートリカバリ)、VCP_UV 入力は無効、BST_UV_LVL は 1 3h = レポートなし。動作なし。
0	GVDD_UV_BST_LVL	R/W	0h	GVDD_UV_BST 監視スレッショルドレベル。 0h = 10.6V (標準値) 1h = 9.6V (標準値)

### 6.7.2.11 MON\_CTRL2 レジスタ (オフセット = 16h) [リセット = 8003h]

MON\_CTRL2 を表 6-30 に示します。

概略表に戻ります。

**表 6-30. MON\_CTRL2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	GVDD_OV_MODE	R/W	1h	過電圧監視の GVDD 監視モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ)
14	VDRAIN_UVL_MASK	R/W	0h	アクティブの場合、最初の電源オンシーケンスの間にこのビットが VDRAIN_UVL をマスクします。 0h = 通常動作 1h = 最初の電源オンシーケンスの間に VDRAIN_UVL がマスクされます
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	OCP_SNS_STD_SHD	R/W	0h	OCP_SNS 故障のシャットダウンタイプ 0h = ソフトシャットダウンシーケンス (固定 Tdrv) 1h = 標準シャットダウンシーケンス (TDRV_N に従う)
10	OCP_SNS_A_EN	R/W	0h	チャネル A のシャント OCP 有効 0h = チャネル A のシャント OCP を無効化 1h = チャネル A のシャント OCP を有効化
9	OCP_SNS_B_EN	R/W	0h	チャネル B のシャント OCP 有効 0h = チャネル B のシャント OCP を無効化 1h = チャネル B のシャント OCP を有効化
8	OCP_SNS_C_EN	R/W	0h	チャネル C のシャント OCP 有効 0h = チャネル C のシャント OCP を無効化 1h = チャネル C のシャント OCP を有効化
7	OCP_SNS_LVL	R/W	0h	$V_{SENSE}$ 過電流保護のスレッショルド電圧 (シャント OCP)スレッショルドは VREF の %として表されます。 0h = VREF-GND の 80%/20% 1h = VREF-GND の 90%/10%
6	予約済み	R	0h	予約済み
5	SNS_OCP_TRETRY	R/W	0h	センス OCP リトライ時間 0h = 1ms 1h = 9ms
4-2	SNS_OCP_MODE	R/W	0h	$V_{SENSE}$ 過電流保護の監視モード (Rshunt 監視) 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ) 2h = 警告モード (オートリカバリ) 3h = 故障モード (オートリカバリ) 4h = 制限モード (オートリカバリ CBC) 5h = デフォルトモード 6h = デフォルトモード 7h = レポートなし。シャットダウンなし。
1-0	SNS_OCP_DEG	R/W	3h	$V_{SENSE}$ 過電流保護のデグリッチ時間 (Rshunt 監視) 0h = 3.0us (代表値) 1h = 6.0us (代表値) 2h = 9.0us (代表値) 3h = 12.0us (代表値)

### 6.7.2.12 MON\_CTRL3 レジスタ (オフセット = 17h) [リセット = 5101h]

MON\_CTRL3 を表 6-31 に示します。

概略表に戻ります。

**表 6-31. MON\_CTRL3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15-14	VDS_MODE	R/W	1h	VDS 過電流モード 0h = 警告モード(ラッチ) 1h = 故障モード(ラッチ) 2h = デフォルトモード 3h = レポートなし。シャットダウンなし。
13-11	VDS_VGS_BLK	R/W	2h	VDS 過電流および VGS ブランкиング時間 0h = 150ns 1h = 500ns 2h = 1us 3h = 2us 4h = 6us 5h = 8us 6h = 10us 7h = 12us
10-8	VDS_DEG	R/W	1h	VDS 過電流デグリッチ時間 0h = 500ns 1h = 1us 2h = 1.5us 3h = 2us 4h = 4us 5h = 6us 6h = 8us 7h = 8us
7-6	VGS_MODE	R/W	0h	VGS モニタモード 0h = 警告モード(ラッチ) 1h = 故障モード(ラッチ) 2h = デフォルトモード 3h = レポートなし。シャットダウンなし。
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	VGS_DEG	R/W	1h	VGS 監視デグリッチ時間 0h = 500ns 1h = 1us 2h = 1.5us 3h = 2us 4h = 2us 5h = 2us 6h = 2us 7h = 2us

### 6.7.2.13 MON\_CTRL4 レジスタ (オフセット = 18h) [リセット = 0000h]

MON\_CTRL4 を表 6-32 に示します。

概略表に戻ります。

**表 6-32. MON\_CTRL4 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	WDT_FLT_MODE	R/W	0h	ウォッチドッグ時間故障モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ)。ゲートドライバシャットダウン。
4	WDT_CNT	R/W	0h	ウォッチドッグ時間故障カウント 0h = 1回の WDT 障害によりステータス フラグが報告され、nFAULT1 ピンが Low にアサートされます。 1h = 3回連続する故障通知ステータス フラグ、nFAULT ピンが Low にアサートされます。3つの故障が連続して検出されると、内部カウンタは 0 にクリアされます。WDT_EN が 0b にクリアされていれば、内部カウンタもクリアできます。
3	WDT_MODE	R/W	0h	ウォッチドッグ時間モード 0h = 有効な読み取りアクセスによって、ウォッチドッグ タイマがリセットされます 1h = CSA_CTRL2 への有効な書き込みアクセスは、ウォッチドッグタイマをリセットします
2-1	WDT_W	R/W	0h	ウォッチドッグタイムウインドウ tWDL (下側ウンドウ) および tWDU (上側ウンドウ) 0h = tWDL 0.5ms tWDU 10ms 1h = tWDL 1ms tWDU 20ms 2h = tWDL 2ms tWDU 40ms 3h = tWDL 2ms tWDU 40ms
0	WDT_EN	R/W	0h	ウォッチドッグ時間有効化 0h = ウォッチドッグ タイマを無効化。 1h = ウォッチドッグ タイマを有効化。

#### 6.7.2.14 MON\_CTRL5 レジスタ (オフセット = 19h) [リセット = 0000h]

MON\_CTRL5 を表 6-33 に示します。

概略表に戻ります。

**表 6-33. MON\_CTRL5 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	SPARE_19h_7	R/W	0h	予備
6	DVDD_OV_MODE	R/W	0h	過電圧用 DVDD 監視 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ)
5-4	VCP_UV_MODE	R/W	0h	低電圧監視の VCP 監視モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ、TCP オン) 2h = 故障モード (ラッチ、TCP オフ) 3h = レポートなし。シャットダウンなし。
3	BST_UV_LVL	R/W	0h	BST ピンの低電圧レッショルド レベル $V_{BST\_UV}$ 0h = 6.0V (標準値) 1h = 5.0V (標準値)
2-0	BST_UV_MODE	R/W	0h	BST ピン UV 監視モード。 0h = 警告モード (ラッチ) 1h = 故障モード (リアルタイム) HS アクティブ PD 2h = 故障モード (リアルタイム) HS 弱 PD 3h = 故障モード (ラッチ) HS アクティブ PD 4h = 故障モード (ラッチ) HS 弱 PD 5h = 故障モード (ラッチ) HS 弱 PD、TCP_SW オフ 6h = デフォルトモード 7h = レポートなし。動作なし。

### 6.7.2.15 MON\_CTRL6 レジスタ (オフセット = 1Ah) [リセット = 2000h]

MON\_CTRL6 を表 6-34 に示します。

概略表に戻ります。

**表 6-34. MON\_CTRL6 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	ALL_CH	R/W	1h	すべてのチャネル シャットダウン有効化 0h = VDS、VGS、OCP_SNS に応答して、関連する障害のあるハーフブリッジがシャットダウン (アクティブ ブルダウン)。3 つのチャネルのすべてが故障を起こした後、nFAULT は Low になります。PWM を再起動する復帰シーケンスの場合、MCU は CLR_FLT を使用します。 1h = VDS、VGS、および OCP_SNS に応答して 3 つのハーフブリッジがすべてシャットダウン (セミアクティブ ブルダウン) となります。1 つまたは複数のチャネルにフォルトが発生すると、nFAULT は Low になります。
12	予約済み	R	0h	予約済み
11-8	VDS_LVL_A	R/W	0h	位相 A の VDS 過電流スレッショルド 0h = 100 mV 1h = 150 mV 2h = 200 mV 3h = 300 mV 4h = 400 mV 5h = 500 mV 6h = 600 mV 7h = 700 mV 8h = 800 mV 9h = 900 mV Ah = 1.0V Bh = 1.5V Ch = 2.0V
7-4	VDS_LVL_B	R/W	0h	位相 B の VDS 過電流スレッショルド
3-0	VDS_LVL_C	R/W	0h	位相 C の VDS 過電流スレッショルド

### 6.7.2.16 DIAG\_CTRL1 レジスタ (オフセット = 1Bh) [リセット = 0000h]

DIAG\_CTRL1 を表 6-35 に示します。

概略表に戻ります。

表 6-35. DIAG\_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	SPARE_1bh_12	R/W	0h	予備
11	OPEN_DET_EN	R/W	0h	自動オフライン開放負荷診断。short_en_det が有効な場合に 2 番目に実行。シークエンスが完了するとビットは自動クリア。 0h = 通常動作 1h = 自動開放負荷検出を有効化
10	SHORT_DET_EN	R/W	0h	自動オフライン開放負荷検出。Open_en_det が有効な場合に最初に実行。シークエンスが完了するとビットは自動クリア。 0h = 通常動作 1h = 自動短絡負荷検出を有効化
9-8	OFFLINE_DLY	R/W	0h	自動オフライン検出遅延 0h = 50us (代表値) 1h = 250us (代表値) 2h = 1ms (標準値) 3h = 2.2ms (標準値)
7	TCP_LL_MODE	R/W	0h	位相診断の TCP_SWITCH 電流制限を低減 0h = 通常の TCP_SWITCH 電流制限 1h = TCP_SWITCH の電流制限を低減 (230uA、標準値)
6	PH_DIAG_LL	R/W	0h	プリドライバの有効化/無効化による低リークの位相診断 0h = 位相診断中に PWM 生成を許容 1h = 位相診断中に PWM 生成を許容しない
5	PH_DIAG_HA	R/W	0h	位相 A の位相診断プルアップ有効 0h = 診断電流ソースを無効化 1H = 診断電流ソースを有効化
4	PH_DIAG_LA	R/W	0h	位相 A の位相診断プルダウン有効 0h = 診断電流ソースを無効化 1H = 診断電流ソースを有効化
3	PH_DIAG_HB	R/W	0h	位相 B の位相診断プルアップ有効 0h = 診断電流ソースを無効化 1H = 診断電流ソースを有効化
2	PH_DIAG_LB	R/W	0h	位相 B の位相診断プルダウン有効 0h = 診断電流ソースを無効化 1H = 診断電流ソースを有効化
1	PH_DIAG_HC	R/W	0h	位相 C の位相診断プルアップ有効 0h = 診断電流ソースを無効化 1H = 診断電流ソースを有効化
0	PH_DIAG_LC	R/W	0h	位相 C の位相診断プルダウン有効 0h = 診断電流ソースを無効化 1H = 診断電流ソースを有効化

### 6.7.2.17 IC\_CTRL\_SP レジスタ (オフセット = 1Ch) [リセット = 0805h]

IC\_CTRL\_SP を表 6-36 に示します。

概略表に戻ります。

**表 6-36. IC\_CTRL\_SP レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	SPARE_1ch_15	R/W	0h	予備
14	SPARE_1ch_14	R/W	0h	予備
13	SPI_CRC_EN	R/W	0h	SPI CRC を有効化 0h = CRC なし、24 ビットフレーム 1h = CRC 有効、32 ビットフレーム
12	DVDD_LVL	R/W	0h	LDO 出力電圧を制御するビット 0h = 3.3 V 1h = 5 V
11	OTSD_MODE	R/W	1h	過熱シャットダウン モード 0h = 警告モード (ラッチ) 1h = 故障モード (ラッチ)
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	LOCK2	R/W	5h	レジスタ をロック解除およびロックします。リストされていないビット設定は効果がありません。 2h = このレジスタをロック解除 5h = これらのビット以外の追加の書き込みを無視することで、このレジスタ の設定をロックします。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

DRV8363-Q1 は、主に 3 相ブラシレス DC モーター制御のアプリケーションで使用されます。「[セクション 7.2](#)」セクションの設計手順では、デバイスの使用方法と設定方法を中心に説明します。

### 7.2 代表的なアプリケーション

#### 7.2.1 48 ピンパッケージを使用した代表的なアプリケーション

図は、DRV8363-Q1 48 ピン パッケージの代表的なアプリケーション図を示しています。

## ADVANCE INFORMATION

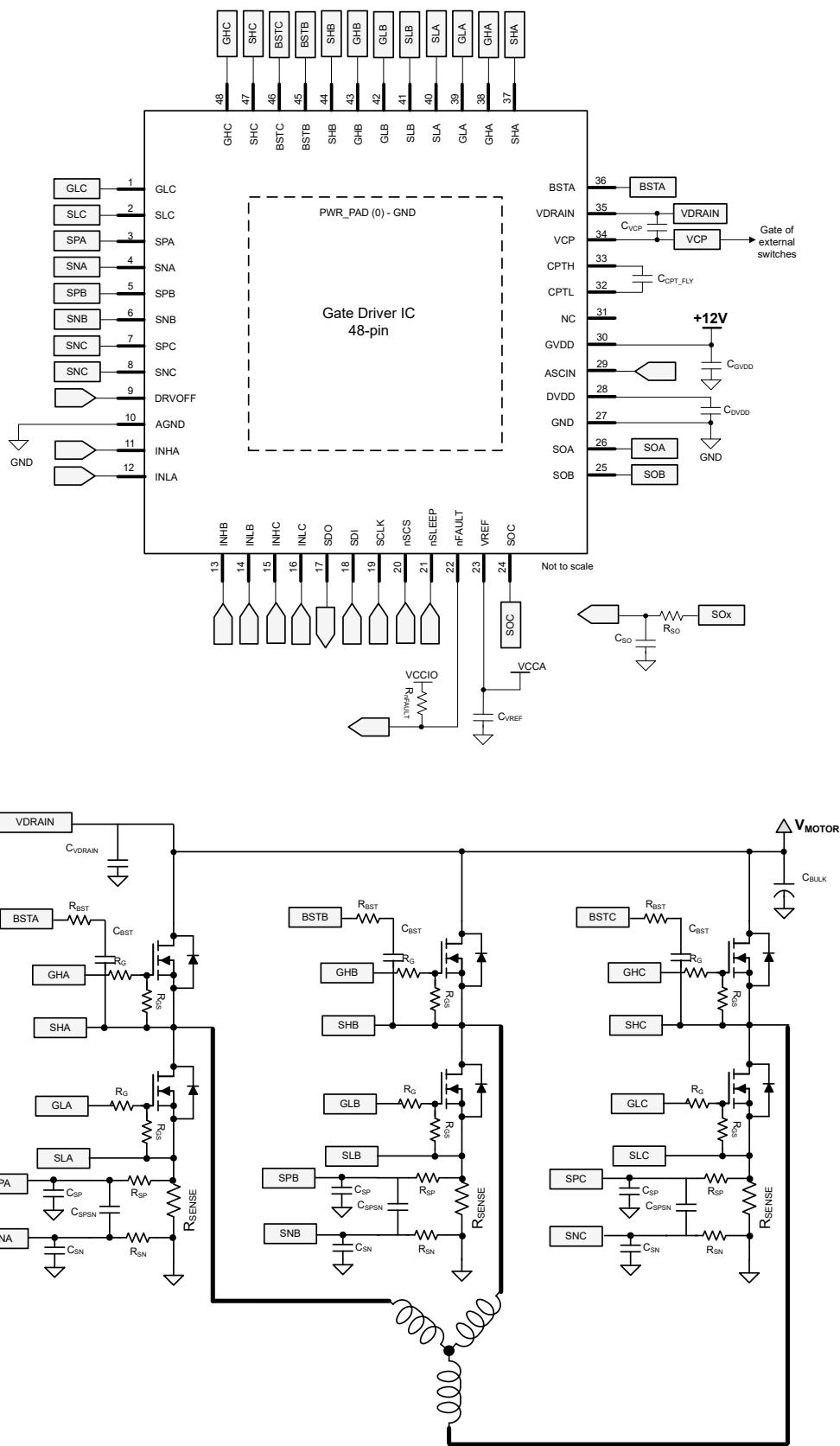


図 7-1. DRV8363-Q1 の代表的なアプリケーション回路

### 7.2.1.1 外付け部品

「外付け部品」には、推奨外付け部品が一覧表示されます。

**表 7-1. 外付け部品 (48 ピン パッケージ)**

部品	PIN1	PIN2	推奨
C <sub>GVDD</sub>	GVDD	GND	GVDD 定格の 10μF セラミックコンデンサ。
C <sub>DVDD</sub>	DVDD	GND	DVDD 電圧定格の 1.0μF セラミックコンデンサ
C <sub>CPT_FLY</sub>	CPTH	CPTL	GVDD 電圧定格の 1.0μF セラミックコンデンサ
C <sub>VCP</sub>	VCP	VDRAIN	VCP 電圧定格の 1.0μF セラミックコンデンサ
R <sub>nFAULT</sub>	VCCIO	nFAULT	10kΩ は MCU I/O 電源または DVDD をブレアアップ
C <sub>VREF</sub>	VREF	GND	VREF 定格の 0.1μF セラミックコンデンサ
C <sub>BULK</sub>	V <sub>MOTOR</sub>	GND	100μF ~ 1000μF は V <sub>MOTOR</sub> 定格です。システム構成に応じて異なります
C <sub>VDRAIN</sub>	VDRAIN	GND	1μF は VDRAIN に定格規定されています
C <sub>BST</sub>	BSTx	SHx	1.0μF、20V BSTx と Shx の間のセラミックコンデンサは、外部 MOSFET の合計ゲート電荷 Q <sub>g</sub> に依存します。C <sub>BST</sub> > 40 X Q <sub>g</sub> / (V <sub>GHX</sub> -V <sub>SHX</sub> )
R <sub>BST</sub>	BSTx	SHx	オプション: BSTx と Shx との間に 3Ω の直列抵抗を接続することで SHx ピンに大きな負の過渡電圧が発生した場合に C <sub>BST</sub> が過充電されるのを防止します。
R <sub>G</sub>	GHx, GLx	外部 MOSFET のゲート	オプション: GHx/GLx と外部 MOSFET のゲートの間に 2Ω の直列抵抗。
R <sub>GS</sub>	GHx, GLx	外部 MOSFET のソース	オプション: 外部 MOSFET の GHx/GLx とソースの間の 100kΩ プルダウン抵抗。
R <sub>SENSE</sub>	SPX	SNX	電流検出アンプ用の 0.5mΩ シャント抵抗。システム設計パラメータ。
R <sub>SO</sub>	MCU ADC	SOx	電流センスアンプ出力フィルタ用 160Ω
C <sub>SO</sub>	MCU ADC	GND	電流センスアンプ出力フィルタ用 AREF 定格 470pF セラミックコンデンサ
R <sub>SP</sub> , R <sub>SN</sub>	SPx/SNx	R <sub>SENSE</sub>	オプション: 電流センスアンプ入力フィルタ用 10Ω。
C <sub>SPSN</sub>	SPX	SNX	オプション: 電流センスアンプ入力フィルタ用 1nF セラミックコンデンサ。
C <sub>SP</sub> , C <sub>SN</sub>	SPx/SNx	GND	オプション: 電流センスアンプ入力フィルタ用 1nF セラミックコンデンサ。

### 7.2.2 アプリケーション曲線

**図 7-2. デバイス パワーアップ**

## 7.3 レイアウト

### 7.3.1 レイアウトのガイドライン

- GHx, SHx, GLx, SLx のパターンの長さとインピーダンスを最小化します。寄生インダクタンスを最小化するため、できるだけ少数のビアを使用します。TI では、寄生抵抗を最小限に抑えるため、デバイスピンから離して配線した直後にこれらのトレース幅を 15 ~ 20mil (0.381 ~ 0.508mm) 広げることを推奨しています (1mil は 1/1000 インチ)。
- BSTx コンデンサは対応するピンの近くに配置します。TI では、寄生ビアのインダクタンスを回避するため、このコンデンサを PCB の同じ側に配置することを強く推奨しています。
- CPTH/CPTL フライングコンデンサは、デバイスのピンにできるだけ近づけて配置します。TI では、寄生ビアのインダクタンスを回避するため、このコンデンサを PCB の同じ側に配置することを強く推奨しています。
- GVDD コンデンサは、GVDD のピンの近くに配置します。TI では、寄生ビアのインダクタンスを回避するため、このコンデンサを PCB の同じ側に配置することを強く推奨しています。

- DVDD コンデンサは、DVDD のピンの近くに配置します。TI では、寄生ビアのインダクタンスを回避するため、このコンデンサを PCB の同じ側に配置することを強く推奨しています。さらに、DVDD コンデンサの GND リターン接続は、DVDD レギュレータループに寄生インダクタンスと抵抗が加わるのを避けるため、隣接する GND ピンに直接配線します。
- VDRAIN 接続は、VDS の精度を維持するため、接続が 3 位相の「平均」を監視するようにルーティングされます。TI では、VDRAIN への入力を安定させ、ピンの絶対最大定格を超えないようにするために、VDRAIN をハイサイドバルク容量の近くに接続することも推奨しています。チャージポンプに安定したスイッチング電流を供給するために、VDRAIN コンデンサを VDRAIN ピンの近くに配置します。
- 外部 MOSFET 上の高電流パスをバイパスするために、追加のバルク容量が必要です。このバルク容量は、バルク容量が外部 MOSFET を通過する高電流パスの長さを最小化するように配置されています。接続用の金属パターンはできる限り幅広くし、PCB の層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルクコンデンサが高電流を伝達できるようになります。
- VDS を正確に検出して過渡抵抗を向上させるため、SLx ピンを GND に直接接続しないで MOSFET の各ソースに接続します。
- SNX/SPX ピンは、センス抵抗からデバイスに並列に配線します。フィルタリング後のノイズ結合を最小限に抑えるため、デバイスのピンの近くにフィルタコンポーネントを配置します。最高の CSA 精度を実現するには、SNx/SPx が GND プレーンから離れていることを確認してください。
- フィルタリング後のノイズ結合を最小限に抑えるため、MCU/ADC 入力の近くに SO フィルタコンポーネントを配置します。
- 露出したパッドは、電気的なグランドではなく、放熱のために使用され、GND/AGND ピンに対してハイインピーダンスに接続されます。そのため、露出したパッドを最良のサーマル GND に接続し、GND/AGND ピンを MCU リファレンス GND に接続することを推奨します。

## 8 デバイスおよびドキュメントのサポート

### 8.1 ドキュメントのサポート

#### 8.1.1 関連資料

- テキサス・インスツルメンツ、『スマートゲートドライブの理解(Rev. D)』アプリケーションレポート
- テキサス・インスツルメンツ、『ブランレスDCモータドライバの考慮事項および選択ガイド(Rev. A)』アプリケーションレポート
- テキサス・インスツルメンツ、『モーター アプリケーションでのハイサイドおよび3相アイソレータMOSFET回路の設計』アプリケーションノート
- テキサス・インスツルメンツ、『モータードライバの基板レイアウトのベストプラクティス(Rev. B)』アプリケーションノート
- テキサス・インスツルメンツ、『熱特性強化型パッケージPowerPAD™』アプリケーションレポート
- テキサス・インスツルメンツ、『PowerPAD™ 入門』アプリケーションレポート
- テキサス・インスツルメンツ、『MSP430を使用するセンサ付き3相BLDCモータ制御』アプリケーションレポート
- テキサス・インスツルメンツ、『BLDCモータを使用する電動自転車のハードウェア設計の考慮事項』アプリケーションレポート

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。右上の【アラートを受け取る】をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポートリソース

### 8.4 商標

すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項



このICは、ESDによって破損する可能性があります。テキサス・インスツルメンツは、ICを取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESDによる破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密なICの場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

日付	改訂	注
June 2025	*	初版。

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 付録：パッケージ・オプション

### パッケージ情報

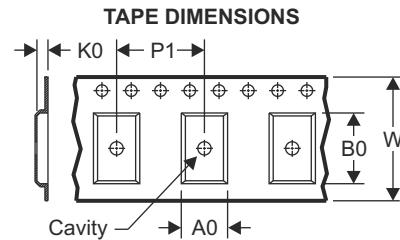
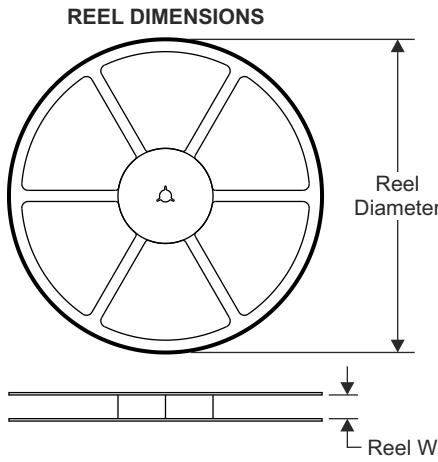
注文可能な型番	ステータス <a href="#">(1)</a>	資料の タイプ <a href="#">(2)</a>	パッケージ   ピン数	パッケージ数量   キ ヤリア	RoHS <a href="#">(3)</a>	リード端子の仕上げ/ ボールの原材料 <a href="#">(4)</a>	MSL 定格/ピークリフロ ー <a href="#">(5)</a>	動作温度 (°C)	部品マーキング <a href="#">(6)</a>
DRV8363RGZR	アクティブ	量産開始前	VQFN (RGZ)   48	1000   TRAY	あり	NiPdAu	Level-3-260C-168 HR	-40~125	DRV8363

- (1) **ステータス:**ステータスの詳細については、当社の[製品ライフサイクル](#)をご覧ください。
- (2) **資料のタイプ:**指定された量産開始前部品はプロトタイプ/検証用デバイスであり、実生産向けに承認またはリリースされたものではありません。テストおよび最終プロセス（品質保証、信頼性性能テスト、プロセス認証が含まれますが、これに限定されるものではありません）がまだ完了していない可能性があるほか、さらなる変更が加えられたり、中止される可能性もあります。注文可能になっている場合、その購入はチェックアウト時に新たな免責条項の対象となるものとします。また、これは早期内部評価のみを目的としたものです。これらの商品は、いかなる保証もなしで販売されています。
- (3) **RoHS 値:**はい、いいえ、RoHS 免除。詳細情報および値の定義については、[TI RoHS に関する声明](#)を参照してください。
- (4) **リード端子の仕上げ/ボールの原材料:**部品には複数の材料仕上げオプションがあります。複数の仕上げオプションは、縦罫線で区切られています。リード端子の仕上げ / ボールの原材料の値が最大列幅に収まらない場合は、2行にまたがります。
- (5) **MSL 定格/ピークリフロー:**湿度感度レベルの定格、および半田付けのピーク（リフロー）温度です。部品が複数の耐湿性定格を持つ場合、JEDEC 規格で最低レベルのみを示しています。プリント基板に部品を取り付けるために使用する実際のリフロー温度については、出荷ラベルをご確認ください。
- (6) **部品マーキング:**ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークが部品に記載されることがあります。複数の部品マーキングが括弧の中に記載されています。括弧内で「～」で区切られた1つの部品マーキングのみが部品に表示されます。行がインデントされている場合は、前行の続きということです。2行合わせたものが、そのデバイスの部品マーキング全体となります。

**重要なお知らせと免責事項:**このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよびテキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

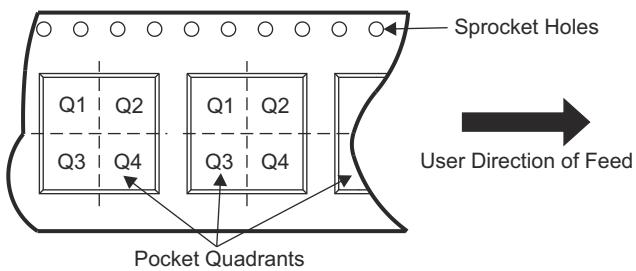
いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格（年次ベース）を超えることはありません。

## 10.1 テープおよびリール情報



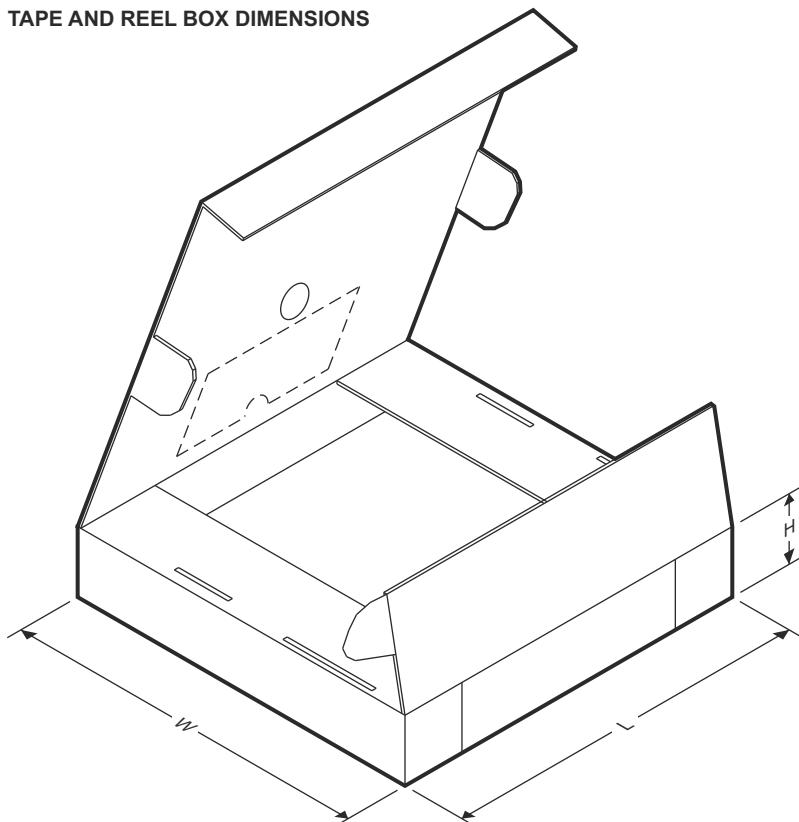
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の象限
DRV8363RGZR	VQFN	RGZ	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PDRV8363RGZRQ1	VQFN	RGZ	48	1000	336.6	336.6	31.8

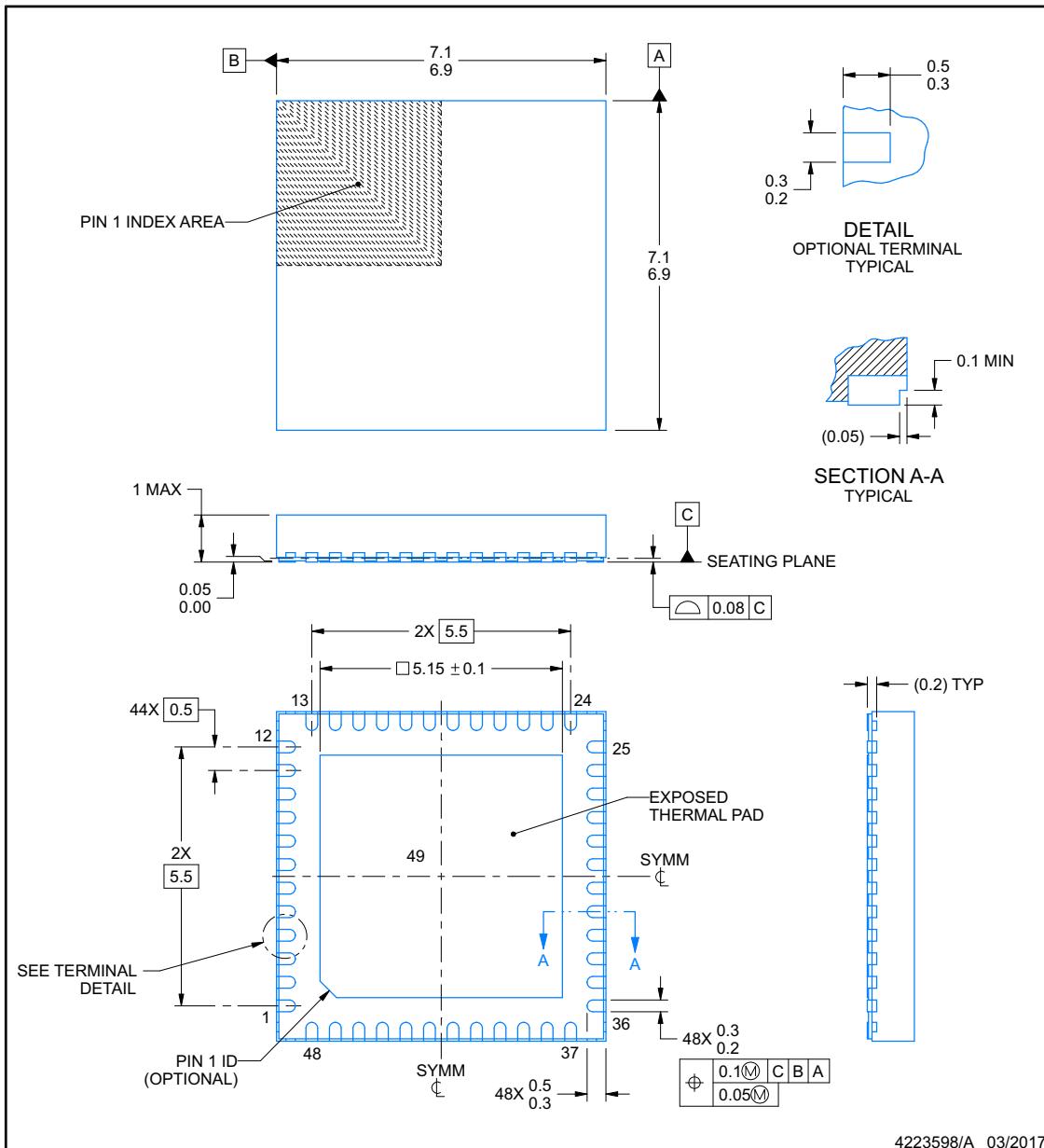
## RGZ0048N



## PACKAGE OUTLINE

### VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



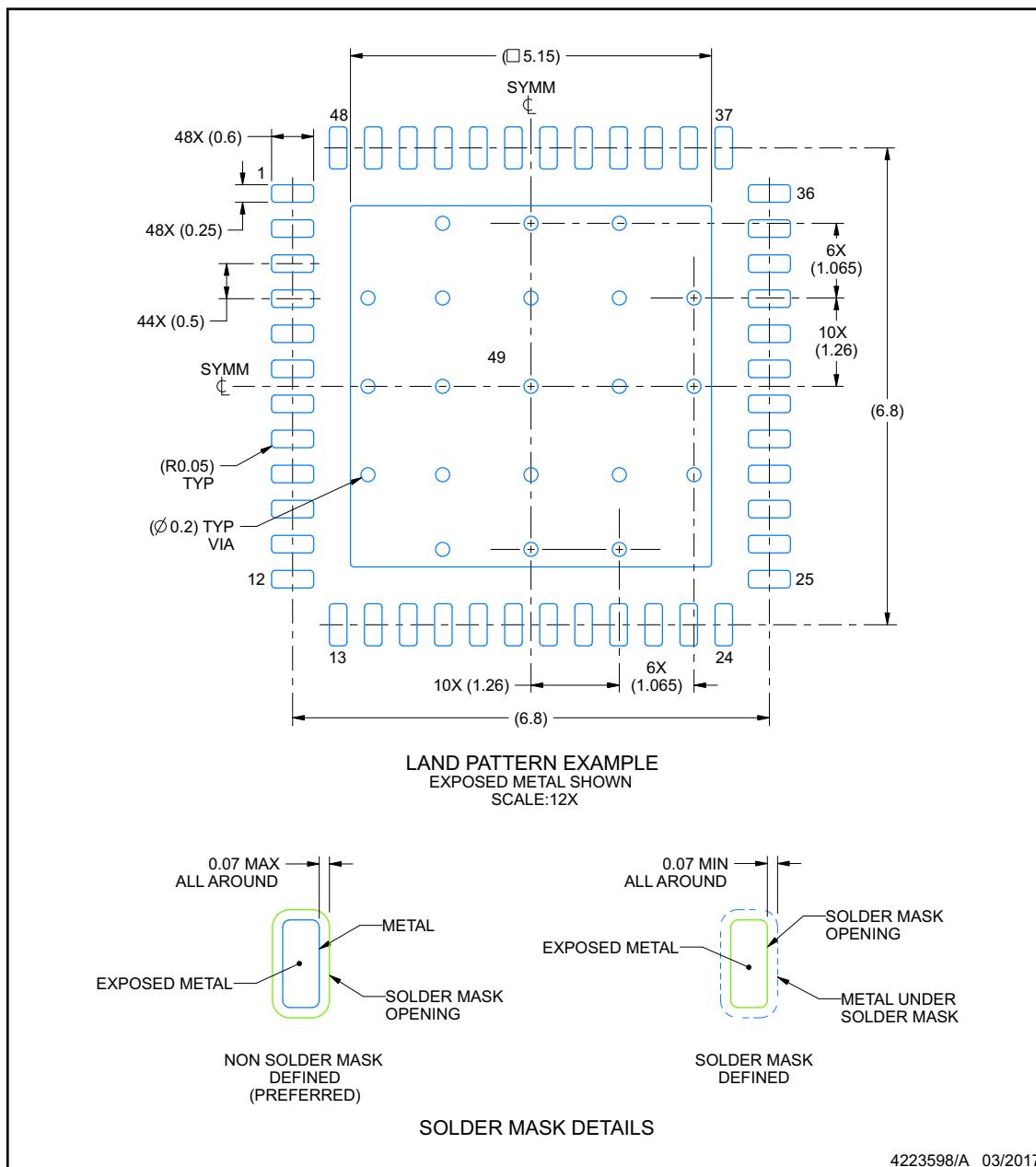
4223598/A 03/2017

## EXAMPLE BOARD LAYOUT

**RGZ0048N**

**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



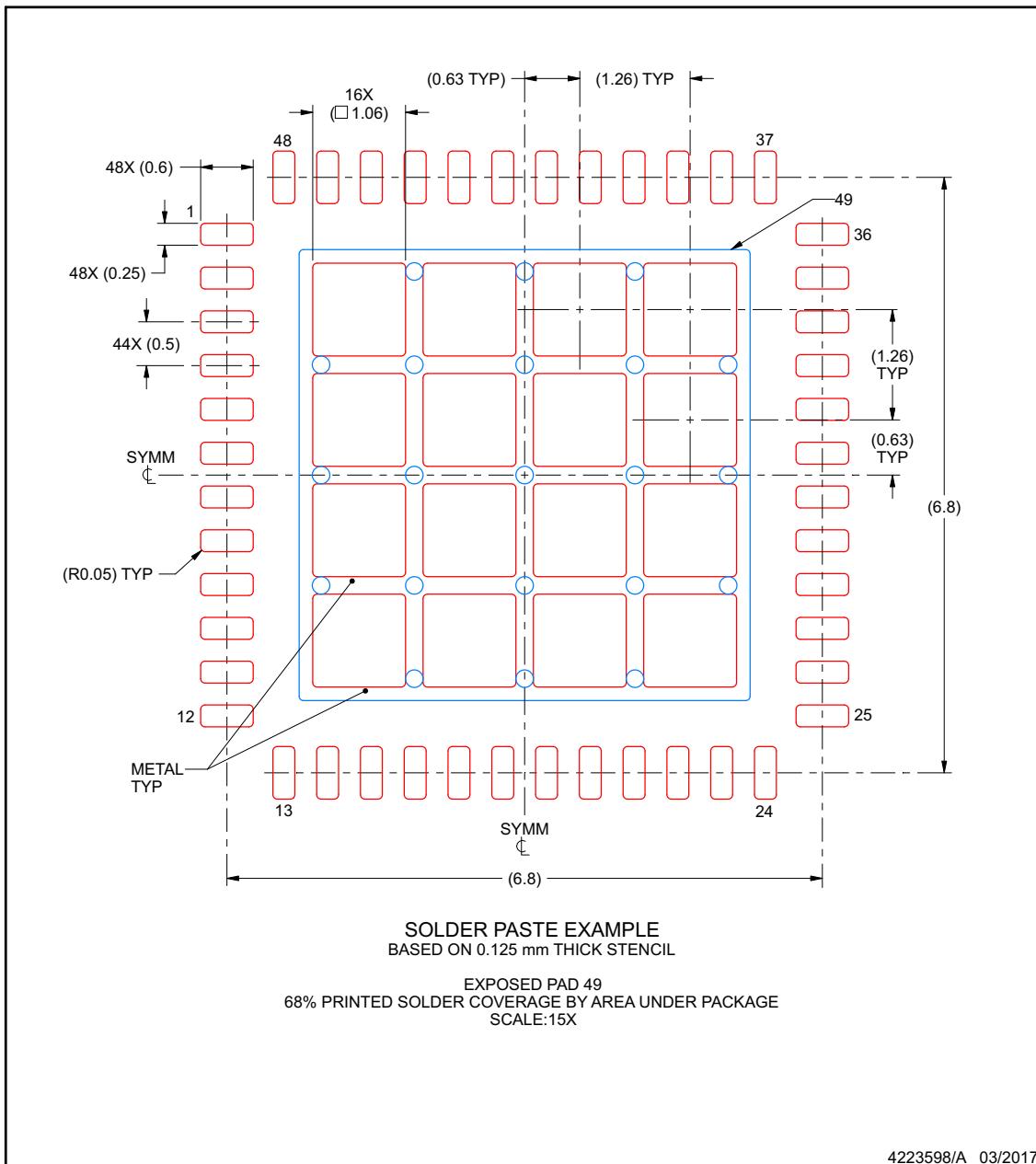
**ADVANCE INFORMATION**

## EXAMPLE STENCIL DESIGN

RGZ0048N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV8363QRGZRQ1	Active	Preproduction	VQFN (RGZ)   48	4000   LARGE T&R	-	Call TI	Call TI	-40 to 125	

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

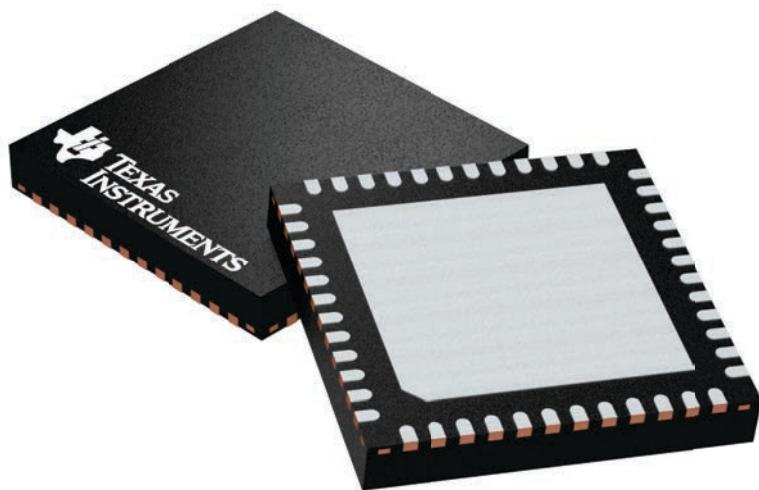
## GENERIC PACKAGE VIEW

**RGZ 48**

**VQFN - 1 mm max height**

7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4224671/A

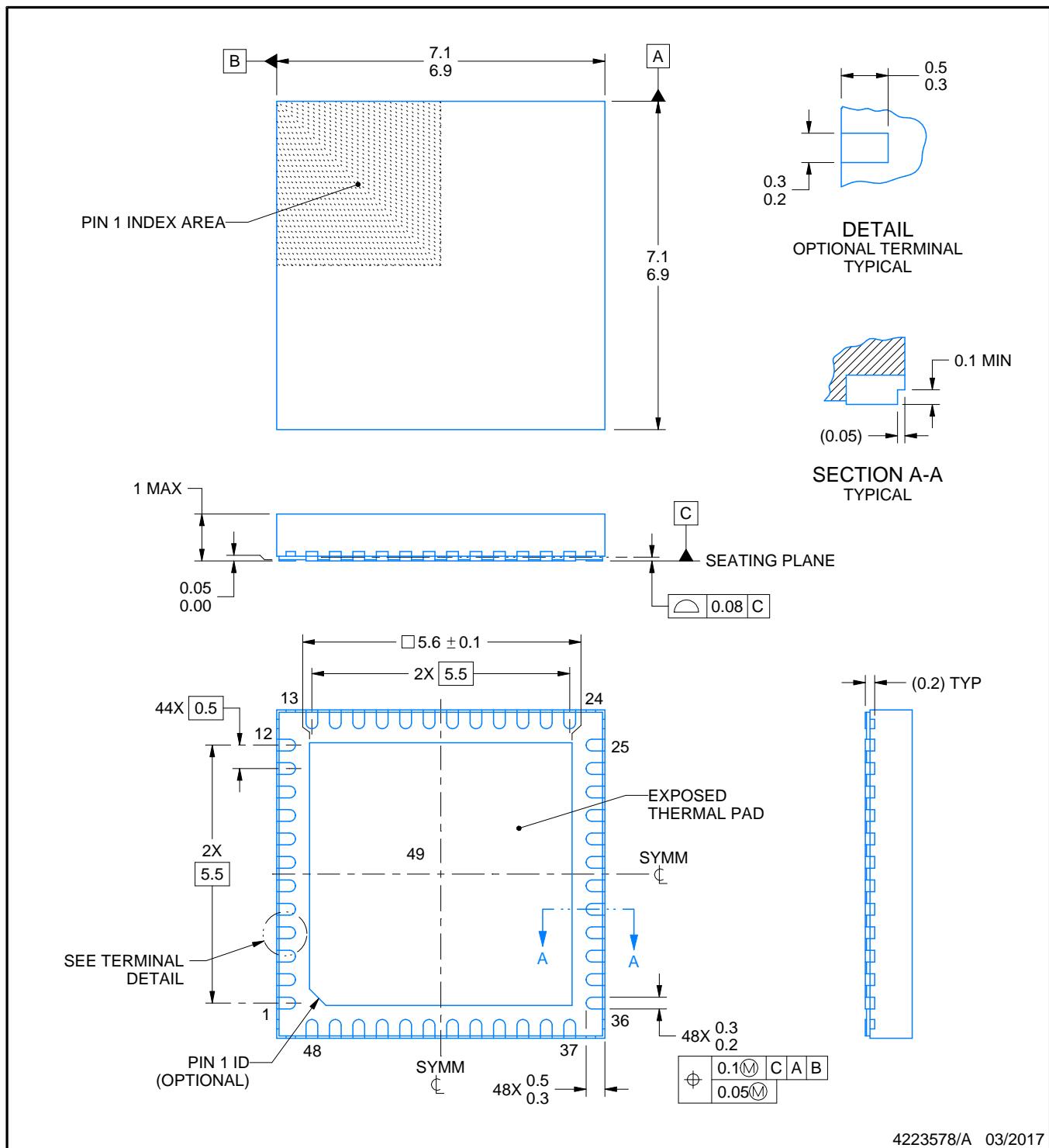
## **PACKAGE OUTLINE**

**RGZ0048M**



## VQFN - 1 mm max height

## PLASTIC QUAD FLATPACK - NO LEAD



4223578/A 03/2017

## NOTES:

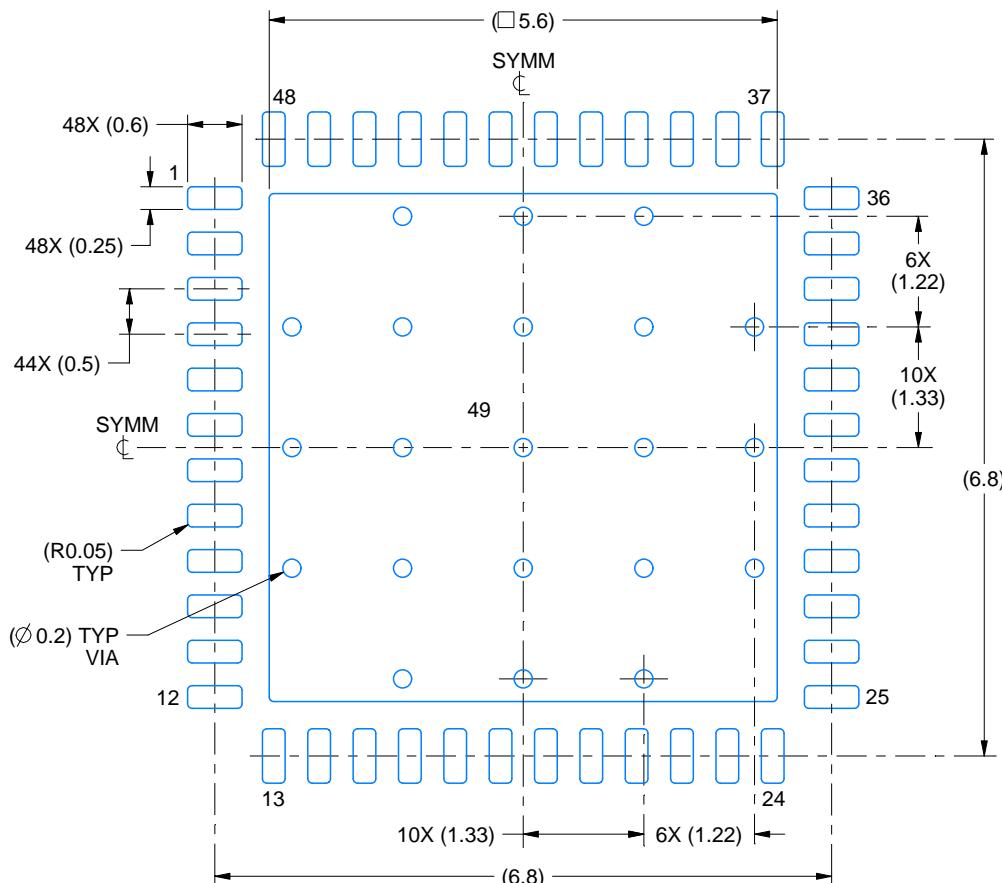
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

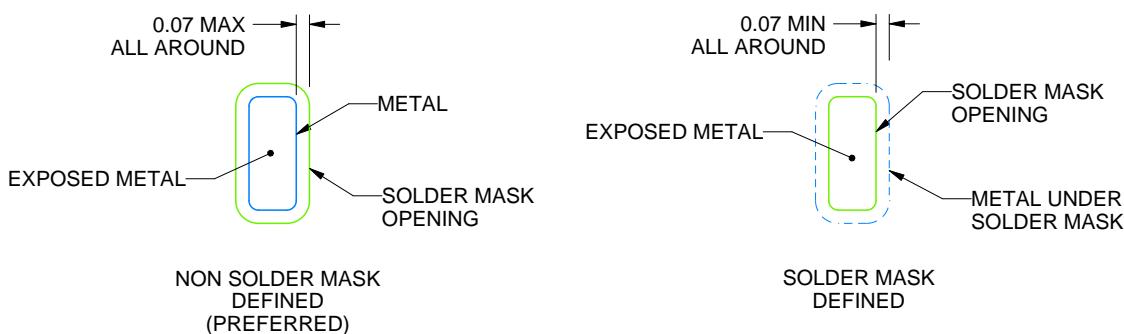
RGZ0048M

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:12X



SOLDER MASK DETAILS

4223578/A 03/2017

NOTES: (continued)

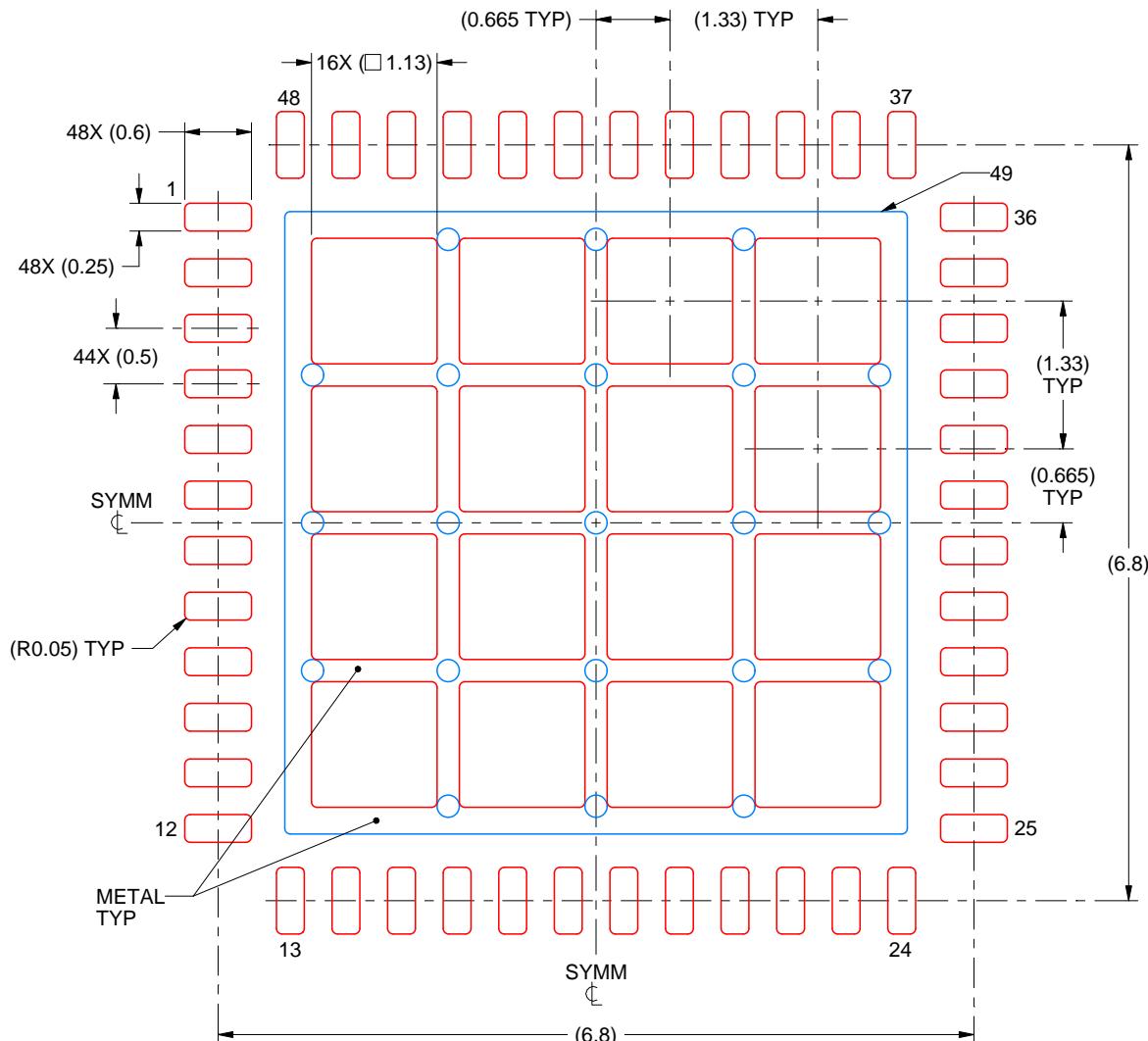
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

## **EXAMPLE STENCIL DESIGN**

**RGZ0048M**

## VQFN - 1 mm max height

## PLASTIC QUAD FLATPACK - NO LEAD



#### SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49  
66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCAI F:15X

4223578/A 03/2017

## NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月