DRV8262-Q1：24V および 48V 車載アプリケーション向け、電流検出出力搭載、60V、シングルまたはデュアル H ブリッジ モータ ドライバ

1 特長

- 車載用に **AEC-Q100** 認定済み
  - 温度グレード 1:-40℃～+125℃、T_A
- 機能安全対応
  - 機能安全システム設計に役立つ資料を利用可能
- – シングルまたはデュアル H ブリッジ モータドライバ
  - 1 つまたは 2 つのブラシ付き DC モータを駆動
  - 1 つのステッパ モータ
  - 1 つまたは 2 つの熱電冷却器 (TEC)
- **4.5V～60V** の動作電源電圧範囲
- 低い $R_{DS(ON)}$:
  - **100mΩ** HS + LS (デュアル H ブリッジ)
  - **50mΩ** HS + LS (シングル H ブリッジ)
- 高い出力電流能力:
  - デュアル H ブリッジ (24V、25℃):ピーク **8A**
  - シングル H ブリッジ (24V、25℃):ピーク **16A**
- 動作インターフェイスをプログラム可能
  - 位相 / イネーブル (**PH/EN**)
  - PWM (**IN/IN**)
- 電流検出およびレギュレーション機能を内蔵
  - ハイサイド MOSFET の電流検出
  - 各 H ブリッジの検出出力 (**IPROPI**)
  - 最大電流時に **±4 %** の検出精度
- 独立したロジック電源電圧 (**VCC**)
- オフ時間 PWM チョッピングを構成可能
  - 7、16、24 または 32μs
- フォルトからの回復方法をプログラム可能
- 1.8V、3.3V、5.0V のロジック入力をサポート
- 低消費電流のスリープ モード (**3μA**)
- 保護機能
  - VM 低電圧誤動作防止 (UVLO)
  - チャージ ポンプ低電圧 (CPUV)
  - 過電流保護 (OCP)
  - サーマル シャットダウン (OTSD)
  - フォルト条件出力 (nFAULT)

2 アプリケーション

- **24V および 48V 車載ボディ・システム**
- 車載用 ブラシ付き DC モータ
- ドア・モジュール、ミラー、シフタ、シート
- トランク・リフト、ウィンドウ・リフト
- ステアリング・コラム、サンルーフ・シェード
- 電気自動車、トラック、バス、その他の商用車

3 説明

DRV8262-Q1 は、24V および 48V 車載アプリケーション向けの、電圧範囲の広い大電力の H ブリッジ モータ ドライバです。このデバイスは 2 個の H ブリッジを内蔵しており、1 個もしくは 2 個の DC モータまたは 1 個のバイポーラ ステッパ モータを駆動します。DRV8262-Q1 は、デュアル H ブリッジ モードで最大 8A、シングル H ブリッジ モードで最大 16A のピーク電流をサポートしています。このデバイスは、電流検出とレギュレーション、電流検出出力、保護回路も内蔵しています。

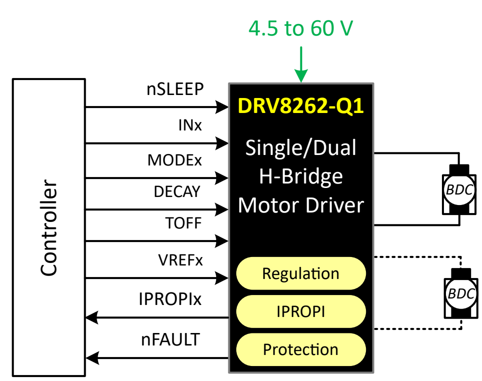
複数のハイサイド MOSFET 間にまたがる電流検出機能を内蔵しているため、ドライバは起動時や高負荷時にもモータの電流をレギュレートできます。可変の外部基準電圧により、電流制限を設定できます。また、このデバイスは、各 H ブリッジのモータ電流に比例した出力電流を供給します。センシング機能を内蔵しているので、シャント抵抗が不要になり、ボード面積の節減とシステムコストの削減につながります。

低消費電力のスリープ モードにより、非常に低い待機時消費電流を実現できます。保護機能として、電源低電圧誤動作防止 (UVLO)、チャージ ポンプ低電圧検出 (CPUV)、出力過電流検出 (OCP)、デバイス過熱検出 (OTSD) を内蔵しています。

製品情報

部品番号	パッケージ(1)	パッケージ サイズ (2)	本体サイズ (公称)
DRV8262QDDWRQ1	HTSSOP-44	14mm × 8.1mm	14mm × 6.1mm

(1) 巻末の注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



DRV8262-Q1 の概略回路図

目次

4 ピン構成および機能

DRV8262-Q1 は、熱性能が強化された 44 ピン HTSSOP パッケージで供給されます。

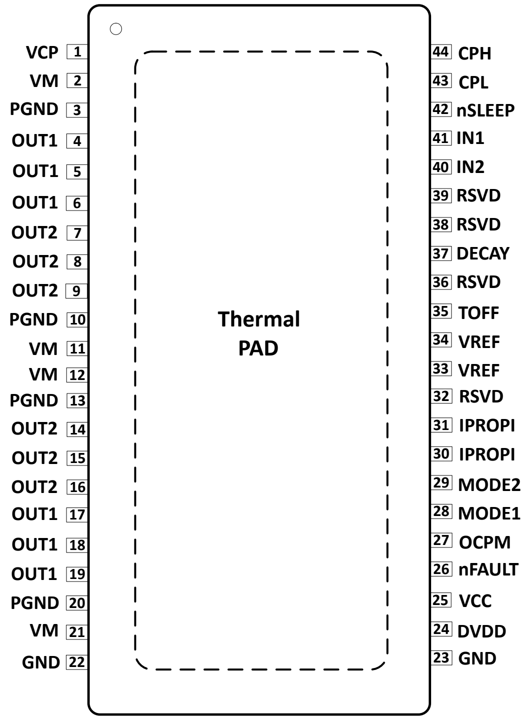


図 4-1. シングル H ブリッジモード、 上面図

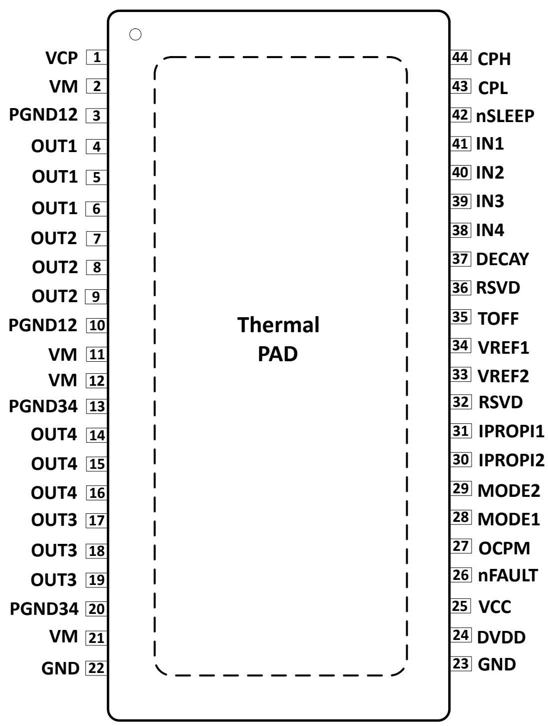


図 4-2. デュアル H ブリッジモード、 上面図

表 4-1. ピン構成

ピン			タイプ	説明
名称		DDW		
シングル H ブリッジ	デュアル H ブリッジ			
RSVD	IN4	38	入力	デュアル H ブリッジモードの H ブリッジ 2 の PWM 入力。シングル H ブリッジモードでは、このピンは未接続のままにします。
RSVD	IN3	39	入力	デュアル H ブリッジモードの H ブリッジ 2 の PWM 入力。シングル H ブリッジモードでは、このピンは未接続のままにします。
IPROPI	IPROPI2	30	出力	デュアル H ブリッジモードの H ブリッジ 2 のアナログ電流出力。シングル H ブリッジモードでは、もう 1 つの IPROPI ピンに接続します。
IPROPI	IPROPI1	31	出力	デュアル H ブリッジモードの H ブリッジ 1 のアナログ電流出力。シングル H ブリッジモードでは、もう 1 つの IPROPI ピンに接続します。
VREF	VREF2	33	入力	デュアル H ブリッジモードで H ブリッジ 2 の電流を設定するための基準電圧入力。シングル H ブリッジモードでは、他の VREF ピンに接続します。DVDD は分割抵抗を使用して VREF を供給できます。
VREF	VREF1	34	入力	デュアル H ブリッジモードで H ブリッジ 1 の電流を設定するための基準電圧入力。シングル H ブリッジモードでは、他の VREF ピンに接続します。DVDD は分割抵抗を使用して VREF を供給できます。
PGND	PGND12	3、10	電源	H ブリッジ の電源グランド。システム グランドに接続。
PGND	PGND34	13、20	電源	H ブリッジ の電源グランド。システム グランドに接続。
OUT1	OUT3	17、18、19	出力	巻線出力。モータ端子に接続します。
OUT2	OUT4	14、15、16	出力	巻線出力。モータ端子に接続します。
OUT1		4、5、6	出力	巻線出力。モータ端子に接続します。
OUT2		7、8、9	出力	巻線出力。モータ端子に接続します。
IN2		40	入力	H ブリッジ 1 の PWM 入力。
IN1		41	入力	H ブリッジ 1 の PWM 入力。
DECAY		37	入力	ディケイ設定ピン。
TOFF		35	入力	PWM オフタイム設定ピン。
OCPM		27	入力	フォルトからの回復の方法を決定します。OCPM 電圧に応じて、フォルトからの回復はラッチオフまたは自動再試行になります。
VCP		1	電源	チャージ ポンプ出力。X7R、1μF、16V コンデンサを VM に接続します。
VM		2、11、12、21	電源	電源。電源電圧に接続し、VM 定格の 2 つの 0.01μF セラミック コンデンサと 1 つのバルク コンデンサを使用して PGND にバイパスします。
GND		22、23	電源	デバイスのグランド。システム グランドに接続。
CPH		44	電源	チャージ ポンプのスイッチング ノード。X7R、0.1μF、VM 定格セラミック コンデンサを CPH と CPL の間に接続します。
CPL		43		
DVDD		24	電源	LDO 出力。X7R、1μF、10V セラミック コンデンサを GND に接続します。
VCC		25	電源	内部ロジック ブロックの電源電圧。個別の電源電圧が利用できない場合は、VCC ピンと DVDD 出力を接続します。
nFAULT		26	オープン ドレイン	フォルト通知。フォルト条件により論理 Low に駆動。オープン ドレイン出力には外部プルアップ抵抗が必要です。
MODE1		28	入力	デュアル H ブリッジとシングル H ブリッジのいずれかの動作モードを選択します。
MODE2		29	入力	PH/EN と IN/IN の間のインターフェイスを選択します。
nSLEEP		42	入力	スリープ モード入力。デバイスは、ロジック High でイネーブルし、ロジック Low で低消費電力スリープ モードに移行します。nSLEEP Low パルスにより、ラッチされたフォルトがクリアされます。
RSVD		32、36	-	予約済み。未接続のままにします。

表 4-1. ピン構成 (続き)

ピン			タイプ	説明
名称		DDW		
シングル H ブリッジ	デュアル H ブリッジ			
PAD		-	-	サーマル パッド。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)。[1] [2]

	最小値	最大値	単位
電源電圧 (VM)	-0.3	70	V
チャージ ポンプ電圧 (VCP、CPH)	-0.3	V_{VM} + 5.75	V
チャージ ポンプ負スイッチング ピン (CPL)	-0.3	V_{VM}	V
nSLEEP ピン電圧 (nSLEEP)	-0.3	V_{VM}	V
内部レギュレータ電圧 (DVDD)	-0.3	5.75	V
外部ロジック電源 (VCC)	-0.3	5.75	V
IPROPI ピン電圧 (IPROPI)	-0.3	DVDD + 0.3	V
制御ピン電圧	-0.3	5.75	V
オープン ドレイン出力電流 (nFAULT)	0	10	mA
基準入力ピン電圧 (VREF)	-0.3	5.75	V
PGNDx から GND への電圧	-0.5	0.5	V
PGNDx ～ GND 電圧、< 1μs	-2.5	2.5	V
OUTx ピンの連続電圧	-1	V_{VM} + 1	V
過渡 100ns の OUTx ピン電圧	-3	V_{VM} + 3	V
ピーク駆動電流	内部的に制限		A
動作時周囲温度、T_A	-40	125	℃
動作時の接合部温度、T_J	-40	150	℃
保管温度、T_{stg}	-65	150	℃

(1) 「*絶対最大定格*」を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。*絶対最大定格*は、これらの条件において、または*推奨動作条件*に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗示するものではありません。*推奨動作条件*の範囲外で使用する場合、それが *絶対最大定格* の範囲内であっても、デバイスが完全に機能しない可能性があり、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、回路のグランド端子 GND を基準としたものです。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 に準拠 [1]		±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 に準拠する CDM ESD 分類レベル C4B	角のピン	±750	
			その他のピン	±500	

(1) AEC Q100-002 では、HBM ストレスは ANSI/ESDA/JEDEC JS-001 仕様に準拠しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.5	60	V
V_I	ロジック レベル入力電圧	0	5.5	V
V_{VCC}	VCC ピン電圧	3.05	5.5	V
V_{REF}	リファレンス電圧 (VREF)	0.05	3.3	V
$I_{RMS,DUAL}$	RMS 電流、デュアル H ブリッジモード	0	5	A
$I_{RMS.SINGLE}$	RMS 電流、シングル H ブリッジモード	0	10	A
T_A	動作時の周囲温度	-40	125	℃
T_J	動作時接合部温度	-40	150	℃

5.4 熱に関する情報

熱評価基準		DDW	単位
$R_{θJA}$	接合部から周囲への熱抵抗	22.2	℃/W
$R_{θJC(top)}$	接合部からケース (上面) への熱抵抗	9.1	℃/W
$R_{θJB}$	接合部から基板への熱抵抗	5.3	℃/W
$Ψ_{JT}$	接合部から上面への特性パラメータ	0.1	℃/W
$Ψ_{JB}$	接合部から基板への特性パラメータ	5.3	℃/W
$R_{θJC(bot)}$	接合部からケース (底面) への熱抵抗	0.7	℃/W

5.4.1 過渡熱インピーダンスと電流能力

熱シミュレーションに基づく情報

表 5-1. 過渡熱インピーダンス ($R_{θJA}$) および電流許容値

$R_{θJA}$ [℃/W](1)				構成	電流 (A)(2)					
					PWM なし(3)				PWM あり(4)	
0.1 秒	1 秒	10 秒	DC		0.1 秒	1 秒	10 秒	DC	10 秒	DC
1.8	4.7	8.4	23.3	デュアル H ブリッジ (両方の出力に同じ電流が供給されます)	8	5.7	4.2	2.5	4	2.2
				デュアル H ブリッジ (1 つの出力にのみ負荷)	8	8	6	3.5	5.4	3
				シングル H ブリッジ	16	11.3	8.4	4.9	7.9	4.4

(1) 114.3mm x 76.2mm x 1.6mm の 4 層 PCB (表層および裏層に 2 オンスの銅箔、内層に 1 オンスの銅箔、表層および裏層の銅箔面積は 16cm^2、サーマルパッドの下に 13×5 のサーマルビアアレイ、1.1mm ピッチ、直径 0.2mm、0.025mm の銅メッキ) を使用してシミュレーションしました。
(2) 周囲温度 85℃ で接合部温度が 150℃ まで上昇した場合の推定過渡電流能力。
(3) 48V 電源電圧での導通損失 (I^2R) と静止電流損失のみが考慮されます。導通損失を計算するため、「電気的特性」表に従って 150℃ での最大オン抵抗値が考慮されます。
(4) スイッチング損失は、次の式で概算されます: $P_{SW} = V_{VM} \times I_{Load} \times f_{PWM} \times t_{RF}$、$V_{VM}$ = 48V, f_{PWM} = 20KHz, t_{RF} = 110ns の場合

5.5 電気的特性

標準値は T_A = 25℃ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VM、DVDD)						
I_{VM}	VM 動作電源電流	nSLEEP = 1、無負荷、VCC = 外部 5V		5	8	mA
		nSLEEP = 1、モータ負荷なし、VCC = DVDD		8.5	13	
I_{VMQ}	VM スリープ モード電源電流	nSLEEP = 0		3	8	μA
t_{SLEEP}	スリープ時間	nSLEEP = 0 からスリープ モードまで	120			μs
t_{RESET}	nSLEEP リセット パルス	nSLEEP = Low でフォルトをクリア	20		40	μs
t_{WAKE}	ウェークアップ時間	nSLEEP = 1 で出力遷移		0.75	1	ms
t_{ON}	ターンオン時間	VM > UVLO で出力遷移		0.8	1.3	ms
V_{DVDD}	内部レギュレータ電圧	外部負荷なし、6V < V_{VM} < 60V	4.75	5	5.25	V
		外部負荷なし、V_{VM} = 4.5V	4.3	4.45		V
チャージ ポンプ (VCP、CPH、CPL)						
V_{VCP}	VCP 動作電圧	6V < V_{VM} < 60V		V_{VM} + 5		V
$f_{(VCP)}$	チャージ ポンプのスイッチング周波数	V_{VM} > UVLO、nSLEEP = 1		360		kHz
論理レベル入力 (IN1、IN2、IN3、IN4、OCPM、MODE1、MODE2、nSLEEP)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧		1.5		5.5	V
V_{HYS}	入力ロジック ヒステリシス			100		mV
V_{HYS_nSLEEP}	nSLEEP ロジック ヒステリシス			300		mV
I_{IL}	入力論理 Low 電流 (MODE2 を除く)	V_{IN} = 0V	-1		1	μA
I_{IH}	入力論理 High 電流 (MODE2 を除く)	V_{IN} = 5V			50	μA
R_{PU}	MODE2 内部プルアップ抵抗			220		kΩ
t_{PDH} [1]	INx High から OUTx High になるまでの伝搬遅延時間			600		ns
t_{PDL} [1]	Inx Low から OUTx Low になるまでの伝搬遅延時間			600		ns
トライレベル入力 **(DECAY)**						
V_{I1}	入力ロジック Low 電圧	GND に接続	0		0.6	V
V_{I2}	入力ハイ インピーダンス電圧	ハイ インピーダンス (GND との間の抵抗値が 500kΩ よりも大きい)	1.8	2	2.2	V
V_{I3}	入力ロジック High 電圧	DVDD に接続	2.7		5.5	V
I_O	出力プルアップ電流			10.5		μA
クワッドレベル入力 **(TOFF)**						
V_{I1}	入力ロジック Low 電圧	GND に接続	0		0.6	V
V_{I2}		330kΩ ± 5% を GND に接続	1	1.25	1.4	V
V_{I3}	入力ハイ インピーダンス電圧	ハイ インピーダンス (GND との間の抵抗値が 500kΩ よりも大きい)	1.8	2	2.2	V
V_{I4}	入力ロジック High 電圧	DVDD に接続	2.7		5.5	V

標準値は T_A = 25℃ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_O	出力プルアップ電流			10.5		μA
制御出力 (nFAULT)						
V_{OL}	出力ロジック Low 電圧	I_O = 5mA			0.3	V
I_{OH}	出力ロジック High リーク電流		-1		1	μA
モーター ドライバ出力 (OUT1、OUT2、OUT3、OUT4)						
$R_{DS(ONH\_DUAL)}$	デュアル H ブリッジ、ハイサイド FET オン抵抗	T_J = 25°C、I_O = -5A		50	60	mΩ
		T_J = 125°C、I_O = -5A		75	94	mΩ
		T_J = 150°C、I_O = -5A		85	107	mΩ
$R_{DS(ONL\_DUAL)}$	デュアル H ブリッジ、ローサイド FET オン抵抗	T_J = 25°C、I_O = 5A		50	60	mΩ
		T_J = 125°C、I_O = 5A		72	90	mΩ
		T_J = 150°C、I_O = 5A		80	100	mΩ
$R_{DS(ONH\_SINGLE)}$	シングル H ブリッジ、ハイサイド FET オン抵抗	T_J = 25°C、I_O = -5A		25	30	mΩ
		T_J = 125°C、I_O = -5A		38	47	mΩ
		T_J = 150°C、I_O = -5A		43	54	mΩ
$R_{DS(ONL\_SINGLE)}$	シングル H ブリッジ、ローサイド FET オン抵抗	T_J = 25°C、I_O = 5A		25	30	mΩ
		T_J = 125°C、I_O = 5A		36	45	mΩ
		T_J = 150°C、I_O = 5A		40	50	mΩ
I_{LEAK}	GND への出力リーク電流	スリープモードで、H ブリッジは、Hi-Z、V_{VM} = 60V です			300	μA
t_{RF}	出力立ち上がり / 立ち下がり時間	I_O = 5A、10% ～ 90% の範囲		110		ns
t_D	出力デッドタイム	VM = 24V、I_O = 5A		300		ns
電流検出およびレギュレーション (IPROPI、VREF)						
A_{IPROPI}	電流ミラー ゲイン			212		μA/A
A_{ERR}	電流ミラー スケーリング誤差	定格電流の 10%～20%	-12		12	%
		定格電流の 20%～40%	-7		7	
		定格電流の 40%～100%	-4		4	
I_{VREF}	VREF リーク電流	VREF = 3.3V			30	nA
t_{OFF}	PWM オフ時間	TOFF = 0		7		μs
		TOFF = 1		16		
		TOFF = ハイ インピーダンス		24		
		TOFF = 330kΩ ～ GND		32		
t_{DEG}	電流レギュレーション グリッチ除去時間			0.5		μs
t_{BLK}	電流レギュレーション ブランキング時間			1.5		μs
保護回路						
V_{UVLO}	VM 低電圧誤動作防止 (UVLO)	VM 立ち下がり	4.1	4.25	4.35	V
		VM 立ち上がり	4.2	4.35	4.45	
VCC_{UVLO}	VCC 低電圧誤動作防止 (UVLO)	VCC 立ち下がり	2.7	2.8	2.9	V
		VCC 立ち上がり	2.8	2.9	3.05	

標準値は T_A = 25℃ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{UVLO,HYS}$	低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		100		mV
V_{CPUV}	チャージ ポンプ低電圧	VCP 立ち下がり		V_{VM} + 2		V
I_{OCP}	過電流保護	デュアル H ブリッジ、任意の FET を流れる電流	8			A
		シングル H ブリッジ、任意の FET を流れる電流	16			A
t_{OCP}	過電流検出遅延			2.1		μs
t_{RETRY}	過電流リトライ時間			4.1		ms
T_{OTSD}	サーマル シャットダウン	ダイ温度 T_J	150	165	180	℃
T_{HYS_OTSD}	サーマル シャットダウン ヒステリシス	ダイ温度 T_J		20		℃

(1) 設計により検証済み。

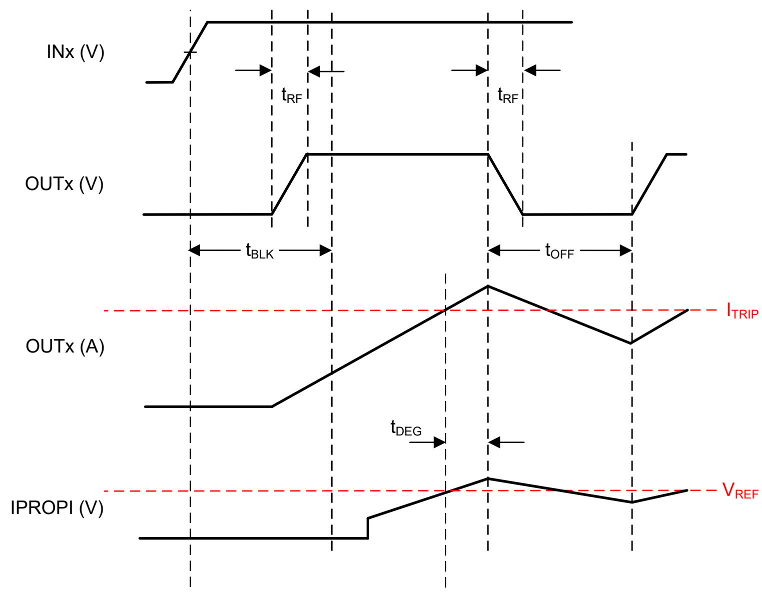


図 5-1. IPROPI タイミング図

5.6 代表的特性

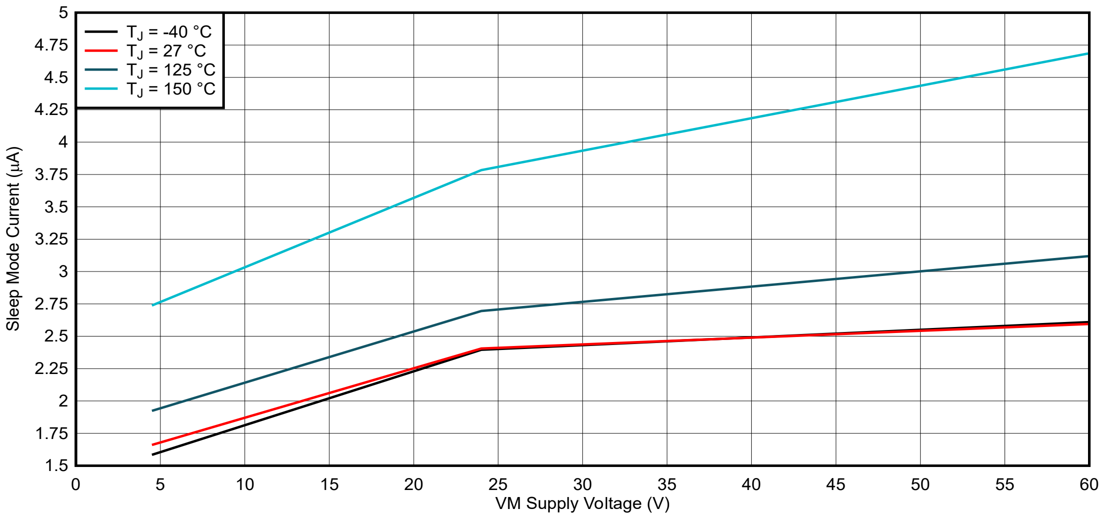


図 5-2. スリープ モード電源電流

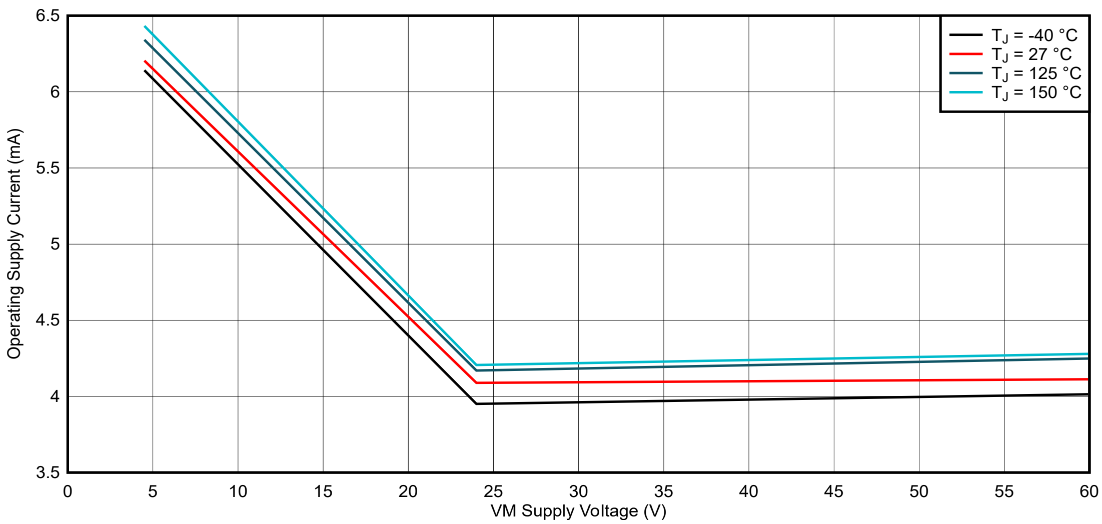


図 5-3. 動作消費電流、VCC = 外部 5V

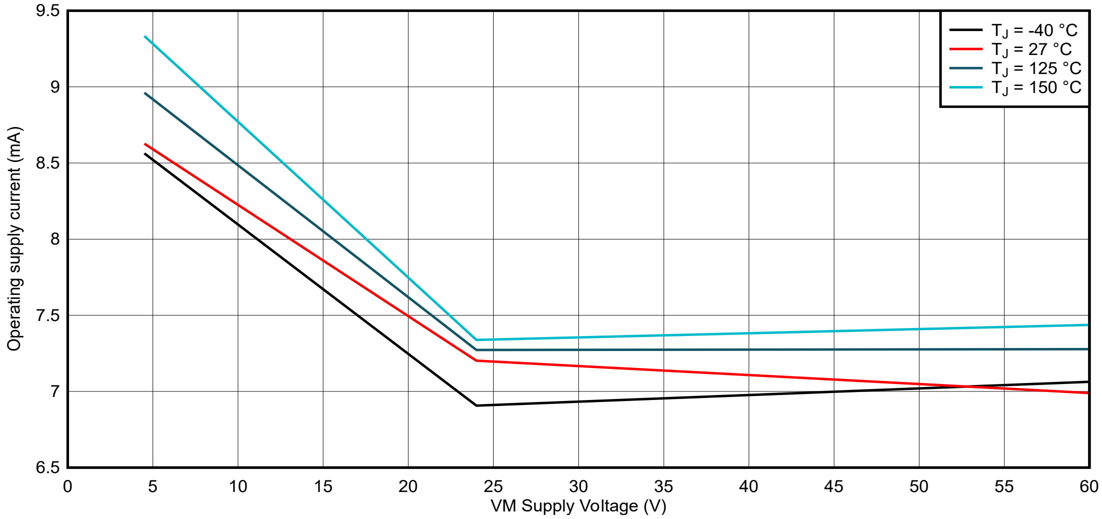


図 5-4. 動作消費電流、VCC = DVDD

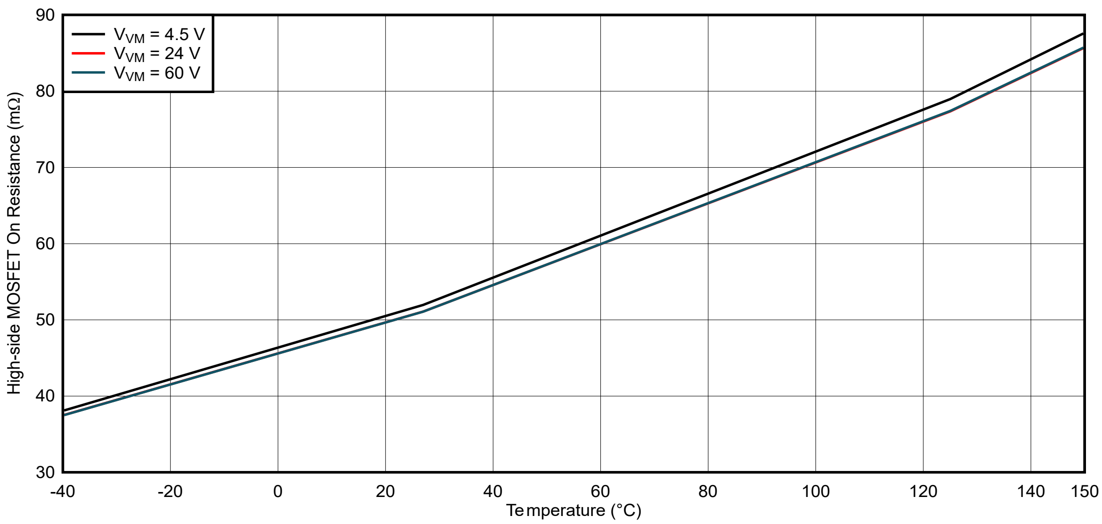


図 5-5. ハイサイド FET オン抵抗、デュアル H ブリッジモード

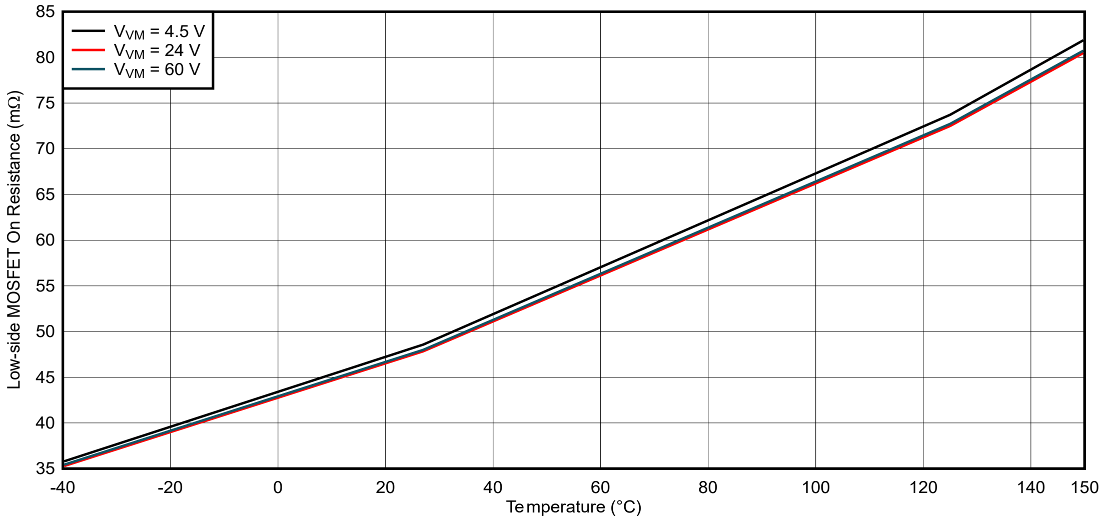


図 5-6. ローサイド FET オン抵抗、デュアル H ブリッジモード

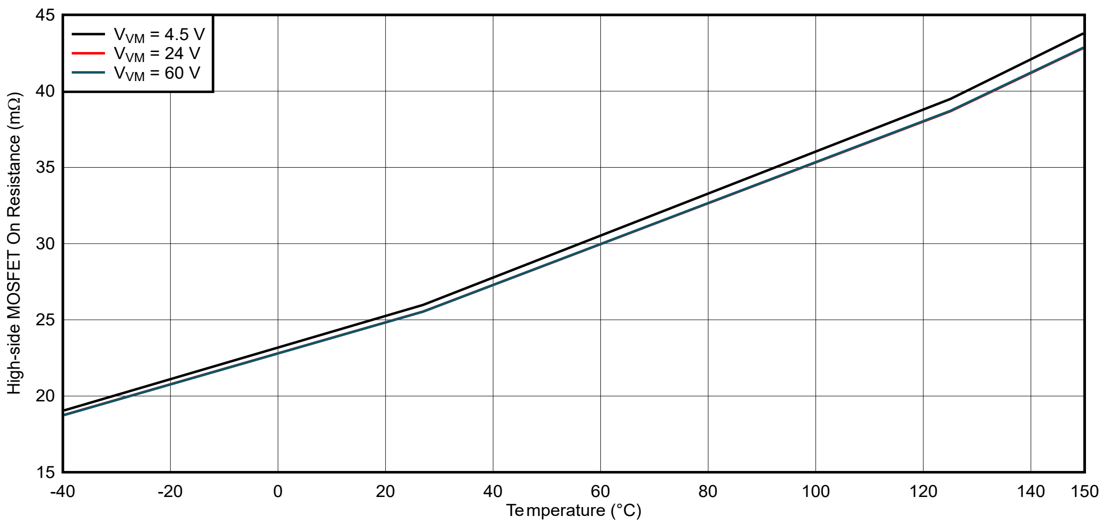


図 5-7. ハイサイド FET オン抵抗、シングル H ブリッジモード

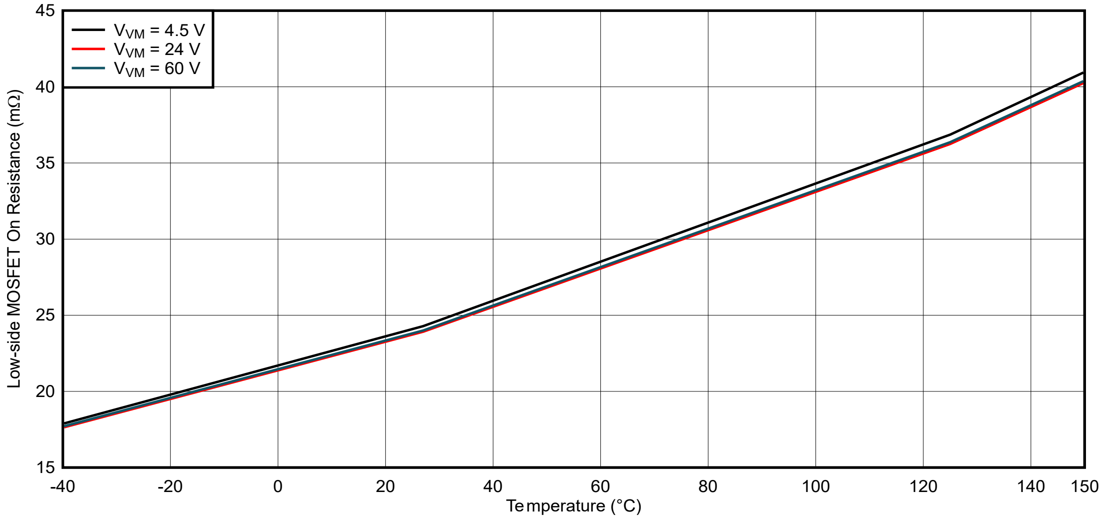


図 5-8. ローサイド FET オン抵抗、シングル H ブリッジモード

6 詳細説明

6.1 概要

DRV8262-Q1 は、4.5V ～ 60V で動作する H ブリッジモータドライバであり、各種のモータおよび負荷で最大 16A のピークモータ電流をサポートしています。このデバイスは 2 つの H ブリッジ出力電力段を内蔵しており、2 つのブラシ付き DC モータを駆動します。H ブリッジを並列接続して、1 つのブラシ付き DC モータに大電流を供給できます。H ブリッジの数と動作インターフェイスは、MODE1 および MODE2 ピンの設定で選択します。

このデバイスはチャージポンプを内蔵しており、100% のデューティサイクルでハイサイド N チャネル MOSFET を効率的に駆動します。このデバイスは、単一の電源電圧入力 (VM) で動作できます。代わりに、VCC ピンを 2 番目の電源に接続し、内部ロジック ブロックに電力を供給することもできます。nSLEEP ピンにより、超低消費電力モードに移行して、スリープ時の消費電流を最小限に抑えることができます。

デバイスは、パッドの露出した 44 ピン HTSSOP (DDW) パッケージで供給されます。デュアル H ブリッジモードでは、DDW パッケージは出力ごとに最大 8A のピーク電流を供給します。シングル H ブリッジモードでは、DDW パッケージは最大 16A のピーク電流を供給します。実際に供給可能な電流は、周囲温度、電源電圧、PCB の熱設計に依存します。

このデバイスには電流検出出力が内蔵されています。IPROPI ピンは、ハイサイド MOSFET の電流に比例した小さな電流を出力します。IPROPI ピンからの電流は、外付け抵抗 (R_{IPROPI}) を使用して、比例電圧に変換できます。電流検出回路を内蔵することで、DRV8262-Q1 は固定オフ時間 PWM チョッピング方式で出力電流を制限できます。また、負荷情報を外部コントローラに提供して、負荷またはストール条件の変化を検出できます。IPROPI 出力の検出精度は、定格電流の 40% ～ 100% について ±4% です。より高精度の検出が必要な場合は、外付けの電力検出抵抗も接続できます。システムの要求に応じて負荷電流を制限するために、電流レギュレーションのレベルは、動作中に VREF ピンで設定できます。

システムに異常状態が発生した場合、内蔵する各種保護機能がデバイスを保護します。保護機能には、低電圧誤動作防止 (UVLO)、チャージ ポンプ低電圧 (CPUV)、過電流保護 (OCP)、過熱シャットダウン (OTSD) があります。フォルト条件は nFAULT ピンにより示されます。

6.2 機能ブロック図

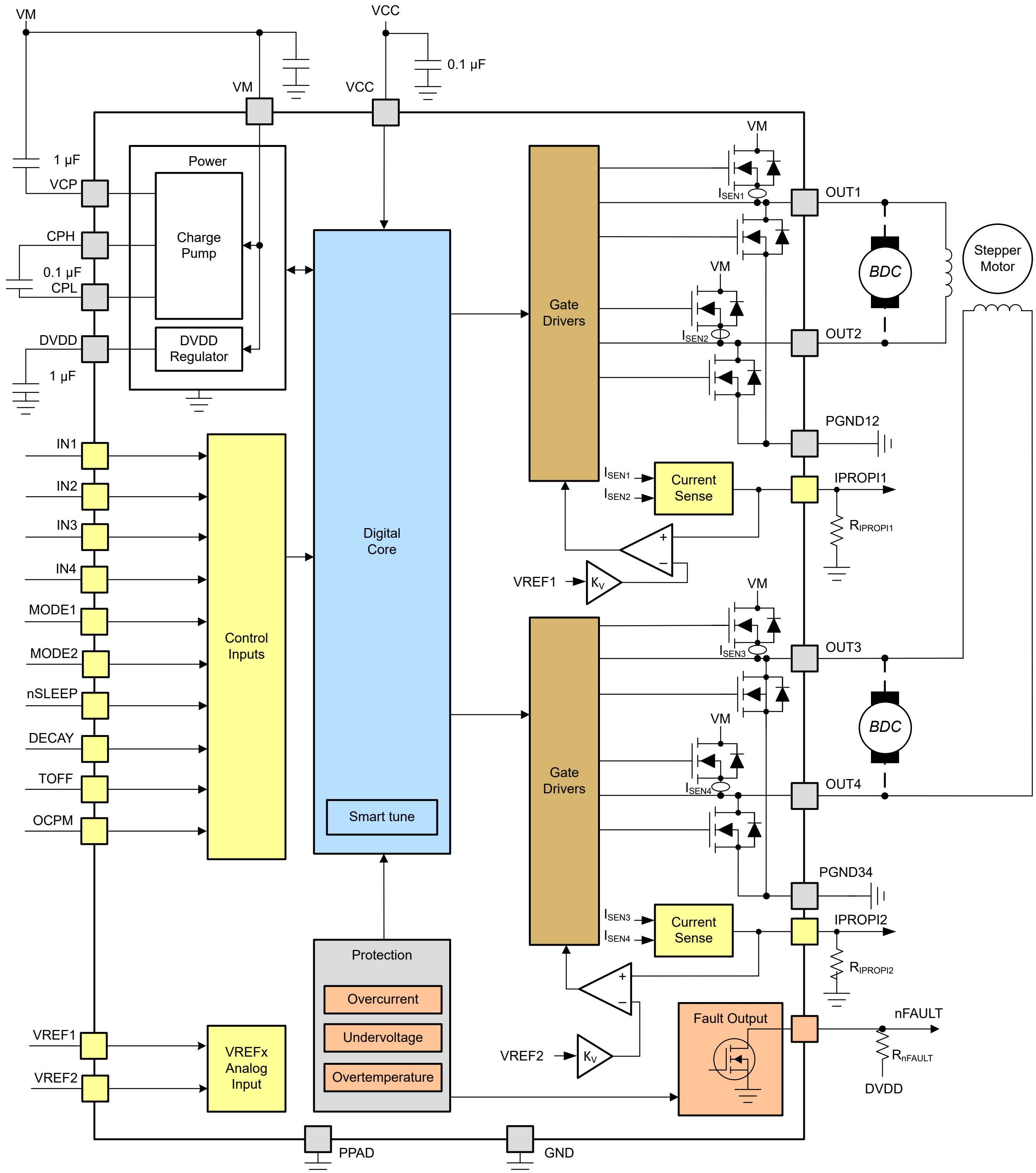


図 6-1. デュアル H ブリッジのブロック図

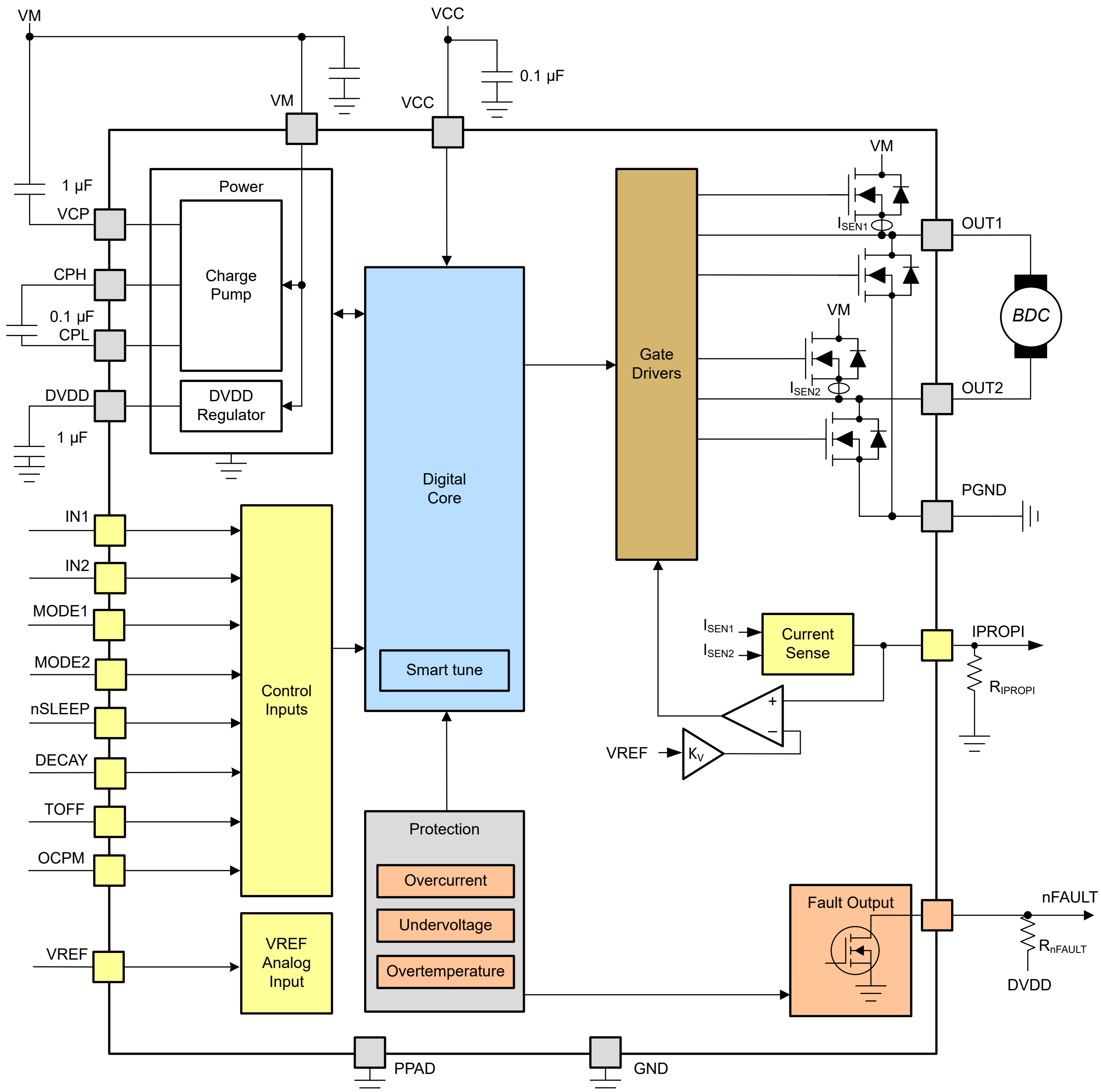


図 6-2. シングル H ブリッジ ブロック図

6.3 機能説明

以下の表に、ドライバの外付け部品の推奨値を示します。

表 6-1. 外付け部品

部品	ピン 1	ピン 2	推奨
C_{VM1}	VM	PGND12	X7R、0.01µF、VM 定格セラミック コンデンサ
C_{VM2}	VM	PGND34	X7R、0.01µF、VM 定格セラミック コンデンサ
C_{VM3}	VM	PGND12	バルク、VM 定格コンデンサ
C_{VCP}	VCP	VM	X7R、1µF、16V セラミック コンデンサ
C_{SW}	CPH	CPL	X7R、0.1µF、VM 定格セラミック コンデンサ
C_{DVDD}	DVDD	GND	X7R、1µF、10V 定格セラミック コンデンサ
C_{VCC}	VCC	GND	X7R、0.1µF、6.3V または 10V 定格セラミックコンデンサ
R_{nFAULT}	DVDD または VCC	nFAULT	10kΩ 抵抗
R_{REF1}	VREFx	DVDD	電流レギュレーション スレッショルドを設定するための抵抗。
R_{REF2}	VREFx	GND	
$R_{IPROPIx}$	IPROPIx	GND	詳細は、セクション 6.5.2 を参照してください。

6.3.1 スペクトラム拡散

スペクトラム拡散または周波数ディザリングは、狭帯域信号を広帯域信号に変換して EMI の影響を低減するために使用され、複数の周波数にわたってエネルギーを拡散します。図 6-3 は、時間が経過するとともに、クロック周波数の操作によってエネルギーがどのように拡散するかを示します。

DRV8262-Q1 の場合、デジタル回路の内部クロックの周波数 (標準値 10MHz) とチャージ ポンプのクロックの周波数 (標準値 357kHz) を操作することにより、ピーク エネルギーが低減され、他の周波数と高調波に分配されます。スペクトラム拡散と出力スルーレート制御を組み合わせることで、本デバイスからの放射妨害波を最小限に抑え、厳格な EMI 規格取得への一助となります。

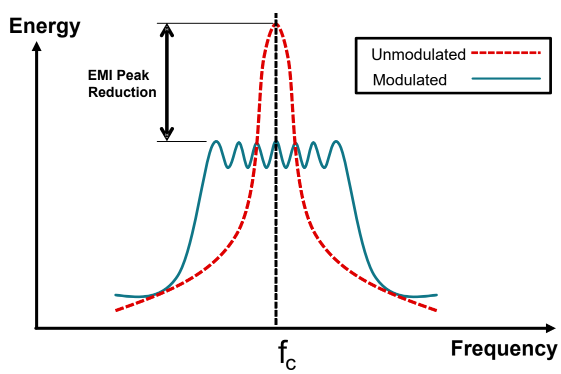


図 6-3. スペクトラム拡散と周波数変調による EMI 低減

DRV8262-Q1 に電源を投入すると、スペクトラム拡散が有効になります。スペクトラム拡散を実装するには、複数の方法があります。DRV8262-Q1 では、三角波アナログ変調プロファイルを使用します。図 6-4 および 図 6-5 は、それぞれの中心周波数周辺の内部デジタル クロックとチャージ ポンプ クロックのスペクトラム拡散プロファイルを示します。デジタル クロックは、9MHz～11MHz の間の 14 ステップの等量によって変わります。

注

中心周波数自体は、プロセスや温度の変化に応じて変化します。また、これらに加えて、スペクトラム拡散による変動もあります。

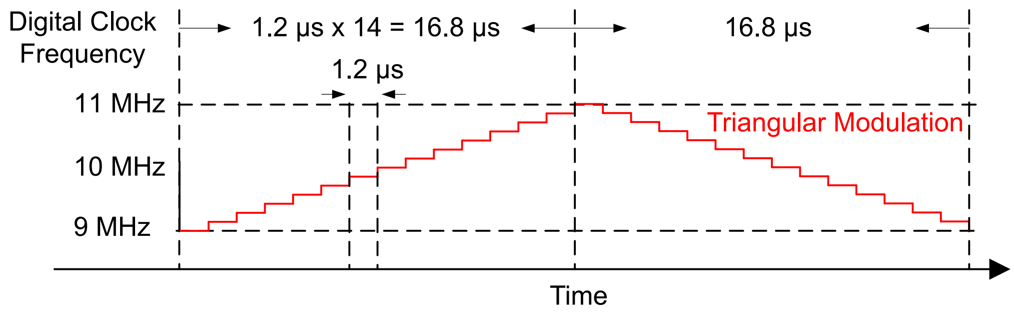


図 6-4. 内部デジタル クロックの三角波スペクトラム拡散

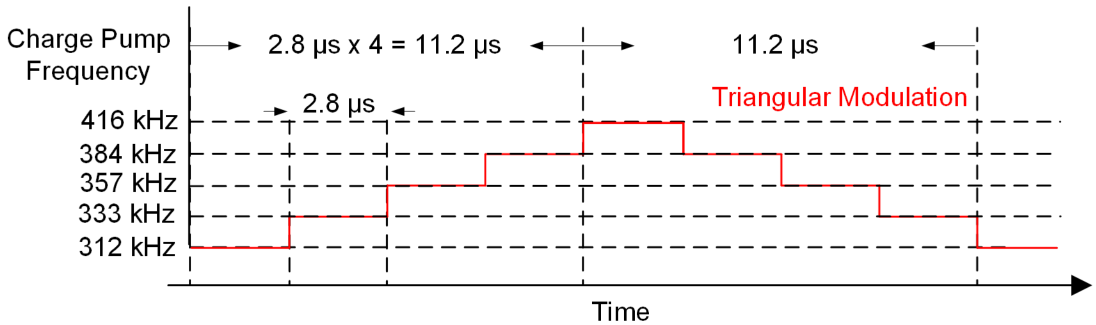


図 6-5. チャージ ポンプ クロックの三角波スペクトラム拡散

6.4 デバイスの動作モード

DRV8262-Q1 は、PH/EN または PWM インターフェイスを搭載したデュアルまたはシングル H ブリッジをサポートしています。動作モードは、表 6-2 で示されているように、MODE1 ピンと MODE2 ピンで選択されます。

- MODE1 および MODE2 ピンの状態は、nSLEEP ピンでデバイスをイネーブルした際、または電源を入れた時にラッチされます。
- PH/EN インターフェイスを選択するには、MODE2 ピンを接地する必要があります。
- PWM インターフェイスを選択するには、MODE2 ピンをフローティングのままにするか、MODE2 ピンを DVDD に接続します。

表 6-2. 動作モード

MODE1	MODE2	デュアルまたはシングル H ブリッジ	インターフェイス
0	0	デュアル	PH/EN
	フローティングまたは DVDD	デュアル	PWM
1	0	シングル	PH/EN
	フローティングまたは DVDD	シングル	PWM

INx 入力は、100% のデューティ サイクル駆動用に静的電圧に設定できます。また INx 入力をパルス幅変調して、モーターの速度を可変にすることも可能です。VM サプライを印加する前に、入力ピンに電力を供給しても問題ありません。

セクション 6.4.1 および セクション 6.4.2 に、各インターフェイスの真理値表を示します。表は、内部電流レギュレーション機能を考慮していないことにご注意ください。また、DRV8262-Q1 では、H ブリッジのハイサイド MOSFET とローサイド MOSFET の切り替え時に自動的にデッドタイムを処理します。

6.4.1 デュアル H ブリッジ モード (MODE1 = 0)

- 電源投入時に MODE1 ピンがロジック Low の場合、デバイスはデュアル H ブリッジモードにラッチされます。
  – このモードでは、2 つのブラシ付き DC モータまたは 1 つのステッパ モーターを駆動できます。
- MODE2 ピンは、PH/EN と PWM との間の動作インターフェイスを設定します。
  – PH/EN モードでは、速度と方向のインターフェイスタイプにより H ブリッジを制御できます。
  – PWM インターフェイスを使用すると、nSLEEP ピンをロジック Low にしなくても、H ブリッジ出力を Hi-Z にできます。

表 6-3 および 表 6-4 に、デュアル H ブリッジ モードの真理値表を示します。

表 6-3. PH/EN インターフェイス搭載のデュアル H ブリッジ

nSLEEP	IN1/IN3	IN2/IN4	OUT1/OUT3	OUT2/OUT4	説明
0	X	X	ハイ インピーダンス	ハイ インピーダンス	スリープ
1	0	X	H	H	ブレーキ (ハイサイド スロー ディケイ)
1	1	0	L	H	リバース (OUT2/4 -> OUT1/3)
1	1	1	H	L	フォーワード (OUT1/3 -> OUT2/4)

表 6-4. PWM インターフェイス搭載のデュアル H ブリッジ

nSLEEP	IN1/IN3	IN2/IN4	OUT1/OUT3	OUT2/OUT4	説明
0	X	X	ハイ インピーダンス	ハイ インピーダンス	スリープ
1	0	0	ハイ インピーダンス	ハイ インピーダンス	コースト (H ブリッジ出力 Hi-Z)
1	0	1	L	H	リバース (OUT2/4 -> OUT1/3)
1	1	0	H	L	フォーワード (OUT1/3 -> OUT2/4)
1	1	1	H	H	ブレーキ (ハイサイド スロー ディケイ)

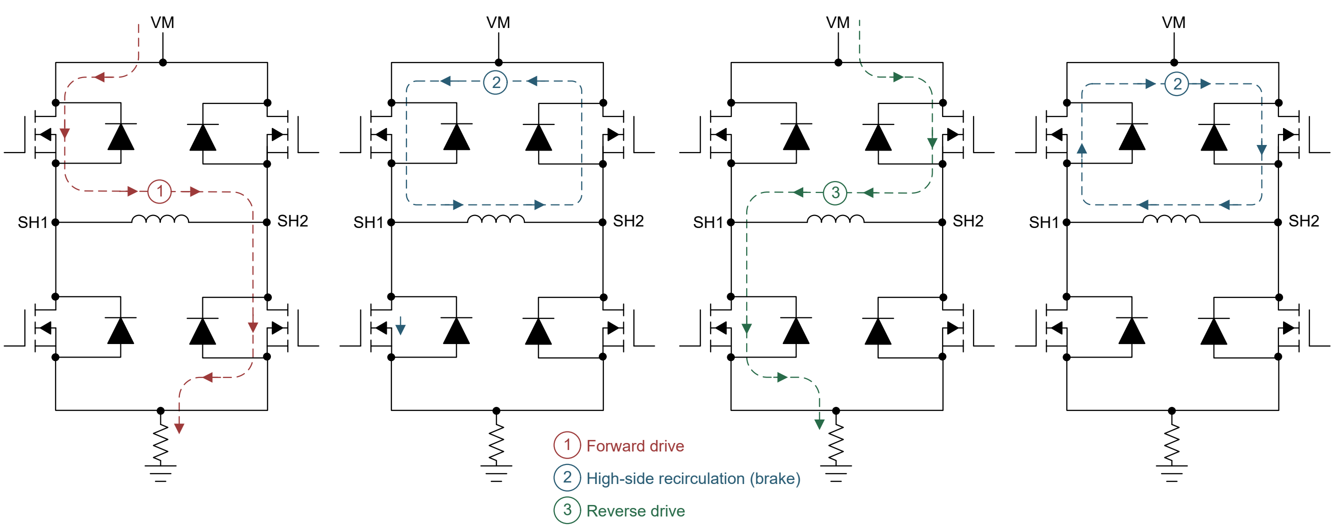


図 6-6. 現在のパス

6.4.2 シングル H ブリッジ モード (MODE1 = 1)

電源投入時に MODE1 ピンがロジック High の場合、デバイスはシングル H ブリッジモードにラッチされます。デバイスはこのモードでは 1 つのブラシ付き DC モータを駆動します。表 6-5 および 表 6-6 に、シングル H ブリッジモードの真理値表を示します。

表 6-5. シングル H ブリッジ、PH/EN インターフェイス付き

nSLEEP	IN1	IN2	OUT1/3	OUT2/4	説明
0	X	X	ハイ インピーダンス	ハイ インピーダンス	スリープ
1	0	X	H	H	ブレーキ (ハイサイド スロー ディケイ)
1	1	0	L	H	リバース (OUT2/4 -> OUT1/3)
1	1	1	H	L	フォーワード (OUT1/3 -> OUT2/4)

表 6-6. PWM インターフェイス搭載のシングル H ブリッジ

nSLEEP	IN1	IN2	OUT1/OUT3	OUT2/OUT4	説明
0	X	X	ハイ インピーダンス	ハイ インピーダンス	スリープ
1	0	0	ハイ インピーダンス	ハイ インピーダンス	コースト (H ブリッジ出力 Hi-Z)
1	0	1	L	H	リバース (OUT2/4 -> OUT1/3)
1	1	0	H	L	フォーワード (OUT1/3 -> OUT2/4)
1	1	1	H	H	ブレーキ (ハイサイド スロー ディケイ)

6.5 電流検出とレギュレーション

デバイスには、ハイサイド MOSFET の両端での電流検出、電流レギュレーション、電流検出フィードバックが内蔵されています。これらの機能により外付け検出抵抗または電流検出回路なしでモータ電流を検出できるため、システムのサイズ、コスト、複雑さを低減できます。また、モータ ストールや高トルクの発生時にはモータの電流を制限し、IPROPI 出力を介して負荷電流に関する詳細なフィードバックをコントローラに提供することも可能です。

6.5.1 電流検出とフィードバック

このデバイスは、シングル H ブリッジモードで動作している場合は 1 つの IPROPI 出力、デュアル H ブリッジモードで動作している場合は 2 つの IPROPI 出力をサポートしています。

IPROPI ピンは、H ブリッジのハイサイド FET を流れる電流に比例した電流を出力し、電流ミラーゲイン A_{IPROPI} でスケーリングします。IPROPI の出力電流は 式 1 で計算できます。I_{HS1} および I_{HS2} (式 1 参照) は、ハイサイド MOSFET のドレインからソースに電流が流れるときのみ有効になります。ソースからドレインに電流が流れる場合、そのチャネルの I_{HS1} および I_{HS2} の値はゼロです。このため、高速減衰モード (コーストモード) またはローサイドスローディケイモードで動作している場合の IPROPI ピンの電流は示されません。IPROPI ピンは、順方向駆動、逆方向駆動、ハイサイドスローディケイの下の H ブリッジ電流を表すため、一般的なブラシ付き DC モータ用途で電流を連続的に監視できます。

コーストモードでも、ドライブ モードまたはスロー ディケイ モードでドライバを短時間有効にして電流を測定した後、コースト モードに戻すことで、その電流をサンプリングすることが可能です。

$$I_{PROPI} = (I_{HS1} + I_{HS2}) \times A_{IPROPI} \tag{1}$$

I_{IPROPI} アナログ電流出力により IPROPI ピンで比例電圧 (V_{IPROPI}) を生成するには、各 IPROPI ピンを外付け抵抗 (R_{IPROPI}) を介してグランドに接続する必要があります。これにより、標準のアナログ / デジタル コンバータ (ADC) を使用して、R_{IPROPI} 抵抗両端の電圧降下として負荷電流を測定できます。R_{IPROPI} 抵抗は、すべてのコントローラ ADC を利用できるように、そのアプリケーションの負荷電流の期待値に基づいて値を調整できます。デバイスの内部にはクランプ回路が実装されており、VREF ピンの V_{VREF} を基準として V_{IPROPI} を制限し、出力過電流または想定外の大電流イベント時に外部 ADC を保護できます。

出力電流に対応する IPROPI 電圧は、式 2 で計算できます。

$$V_{IPROPI}\ (V) = I_{PROPI}\ (A) \times R_{IPROPI}\ (\Omega) \tag{2}$$

IPROPI の電圧は、VREF の最大推奨値である 3.3V 未満です。R_{IPROPI} 抵抗の場合、10%、5%、1%、0.1% はすべて有効な許容誤差値です。性能とコストの間で最適なバランスをとるために、通常 1% が推奨されます。

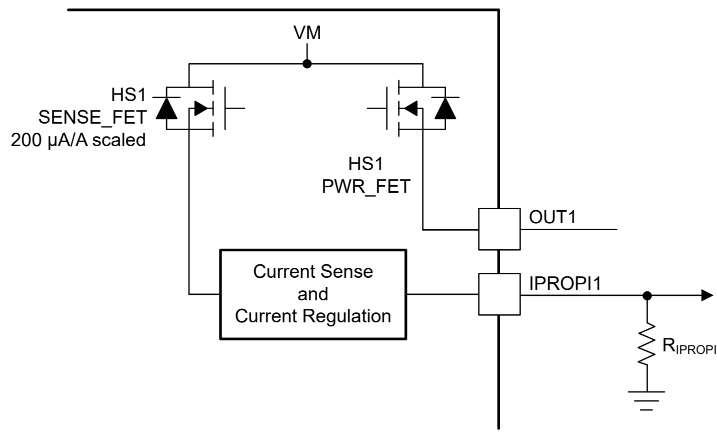


図 6-7. 内蔵電流検出回路

「電気的特性」表の A_{ERR} パラメータは、A_{IPROPI} ゲインの誤差です。このパラメータは、I_{OUT} 電流に加算されたオフセット誤差とゲイン誤差の複合的な影響を示しています。

6.5.2 電流レギュレーション

電流チョッピング スレッショルド (I_{TRIP}) は、VREF 電圧 (V_{VREF}) と IPROPI 出力抵抗 (R_{IPROPI}) の組み合わせにより設定されます。具体的には、内蔵のコンパレータを使用して、外付け R_{IPROPI} 抵抗両端の電圧降下を V_{VREF} と比較します。

$$I_{TRIP} \times A_{IPROPI} = V_{VREF}\ (V) / R_{IPROPI}\ (\Omega) \quad (3)$$

たとえば、デュアル H ブリッジモードで、V_{VREF} が 3.3V のときに I_{TRIP} を 5A に設定するには、R_{IPROPI} を以下の値にする必要があります

$R_{IPROPI} = V_{VREF}/(I_{TRIP} \times A_{IPROPI}) = 3.3/(5 \times 212 \times 10^{-6}) = 3.09k\Omega$

シングル H ブリッジモードでは、2 つの IPROPI ピンを接続します。デュアル H ブリッジモードでは、2 つの VREF ピンを備えており、各ブラシ付き DC モータに対して別々の電流チョッピングスレッショルドを設定できます。

IPROPI を GND に接続し、VREF ピンの電圧を GND より高く設定することで、内部電流レギュレーション機能をディセーブルできます (電流帰還が不要の場合)。電流帰還が必要でありかつ電流レギュレーションが不要である場合、V_{IPROPI} が V_{VREF} スレッショルドに到達することがないように V_{VREF} と R_{IPROPI} を設定します。

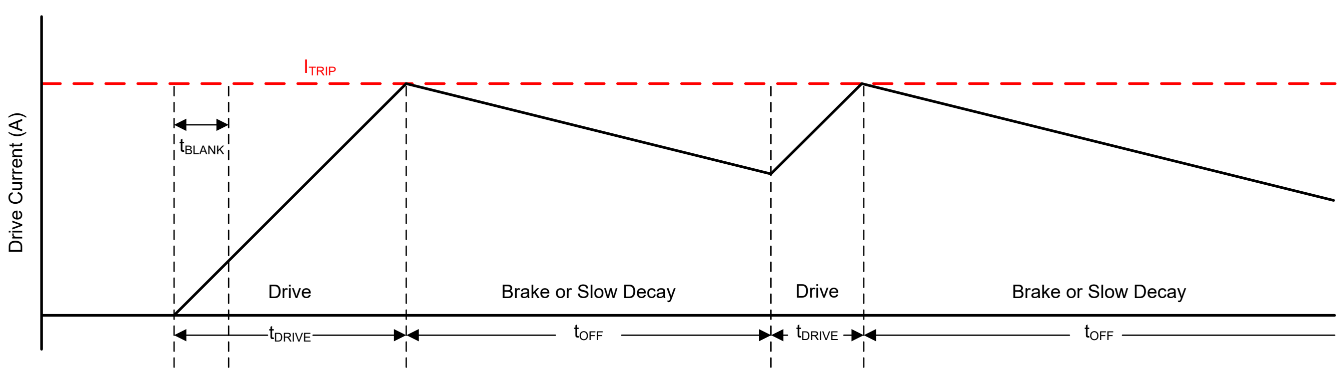


図 6-8. 電流レギュレーション

モータ巻線に流れる電流は、調整可能なオフ時間 PWM 電流レギュレーション回路によって制御されます。PWM 電流チョッピング中、PWM 電流チョッピング スレッショルドに達するまで H ブリッジはモーター巻線を駆動します。

シングル BDC またはデュアル BDC アプリケーションで、DECAY ピンを接地して I_{TRIP} 電流に達した場合、TOFF ピンによってプログラムされた t_{OFF} の間、両方のハイサイド FET をイネーブルすることにより、デバイスは強制的に低速で電流が減衰されます。

t_{OFF} 時間が経過し、電流レベルが電流レギュレーション (I_{TRIP}) レベルを下回ると、入力に従った出力が再度イネーブルされます。t_{OFF} 時間の経過後も電流が I_{TRIP} レベルより高いままなら、デバイスは強制的に同じ期間の別の t_{OFF} 時間を繰り返します。この「ダブル t_{OFF}」時間は、電流が t_{OFF} 時間の終了時に I_{TRIP} を下回るまで続きます。

電流レギュレーションでは、入力をトグルさせて負荷を逆方向に駆動することで、電流をより迅速に減衰させることができます。たとえば、負荷が電流レギュレーションに入る前にフォーワードドライブ状態の場合、ドライバが電流レギュレーションを強制したときにのみ、リバースドライブに移行することができます。

シングルまたはデュアル BDC アプリケーションでは、t_{OFF} 中のハイサイドスローディケイ用に DECAY ピンを接地し続けます。ステッパ アプリケーションでは、DECAY ピンの電圧は、目的のディケイモードに応じて決まります。ディケイモードは、表 6-7 で示されるように、DECAY ピンで選択します。

表 6-7. ディケイ モードの設定

DECAY	ディケイ モード
0	スローディケイ (ブレーキまたはハイサイド還流)
1	スマート チューン ダイナミック ディケイ
ハイ インピーダンス	ミックス ディケイ:30% 高速

INx 制御ピン入力の状態が t_{OFF} 時間の途中に変化すると、t_{OFF} の残りの時間は無視され、出力は再び入力に追従するようになります。これは、図 6-9 に示すとおりです。

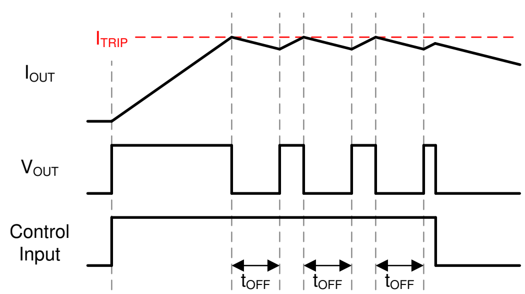


図 6-9. 電流レギュレーション

表 6-8 で示すように、TOFF ピンは PWM オフ時間を設定します。このオフ時間設定は、実行中に変更できます。

表 6-8. オフ時間の設定

TOFF	OFF-TIME (t_{OFF})
0	7μs
1	16μs
ハイ インピーダンス	24μs
330kΩ から GND へ	32μs

6.5.2.1 ミックス ディケイ

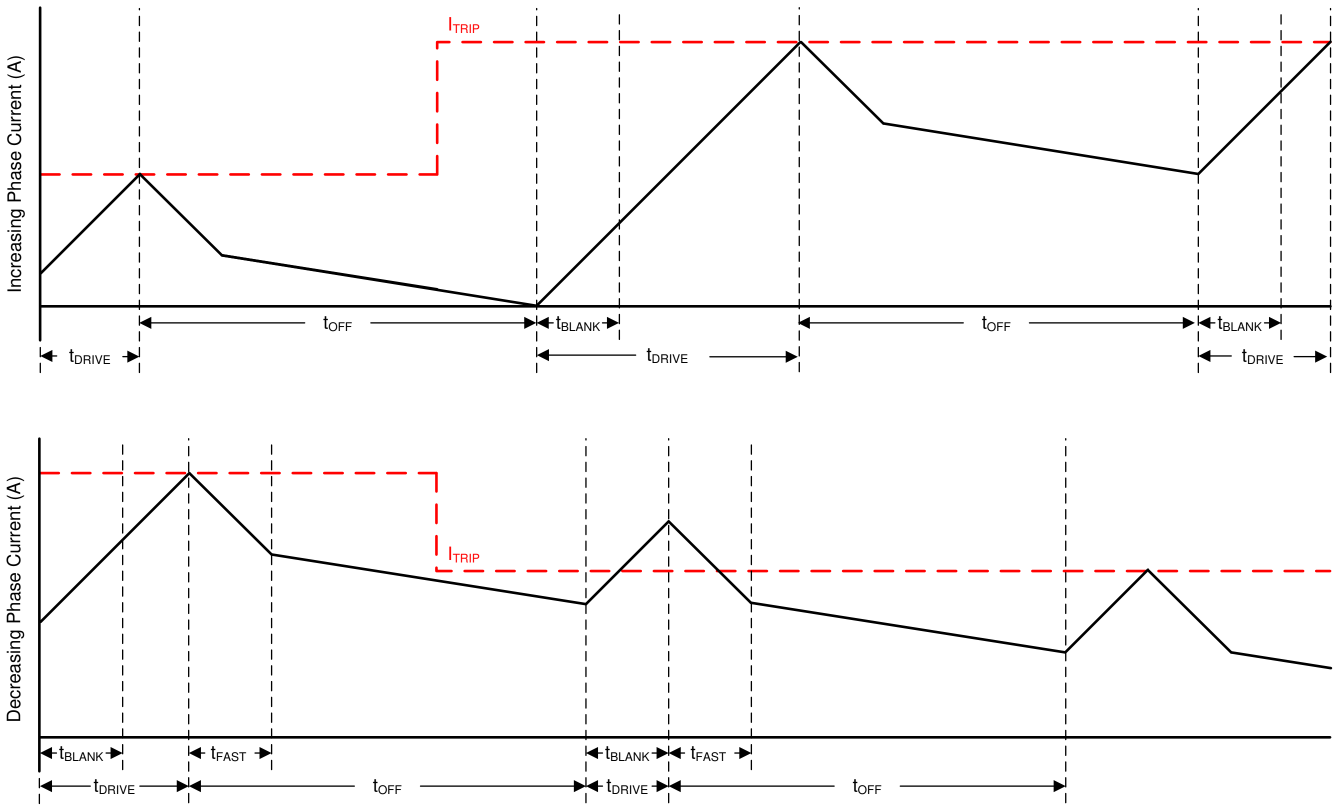


図 6-10. ミックス ディケイ モード

ミックス ディケイでは、t_{OFF} 時間の初めの 30% の期間はファースト ディケイを行い、その後スロー ディケイに切り替わります。

6.5.2.2 スマート チューン ダイナミック ディケイ

スマート チューン電流レギュレーション方式は、従来の固定オフ時間電流レギュレーション方式に比べて高度な電流レギュレーション制御手法です。スマート チューン電流レギュレーション方式を使うと、ステッピング モータ ドライバは以下のような動作要因に基づいてディケイ方式を調整できます。

- モーターの巻線抵抗およびインダクタンス
- モーターの経年変化
- モーターの動的速度および負荷
- モーターの電源電圧変動
- 小電流と大電流の dI/dt の関係

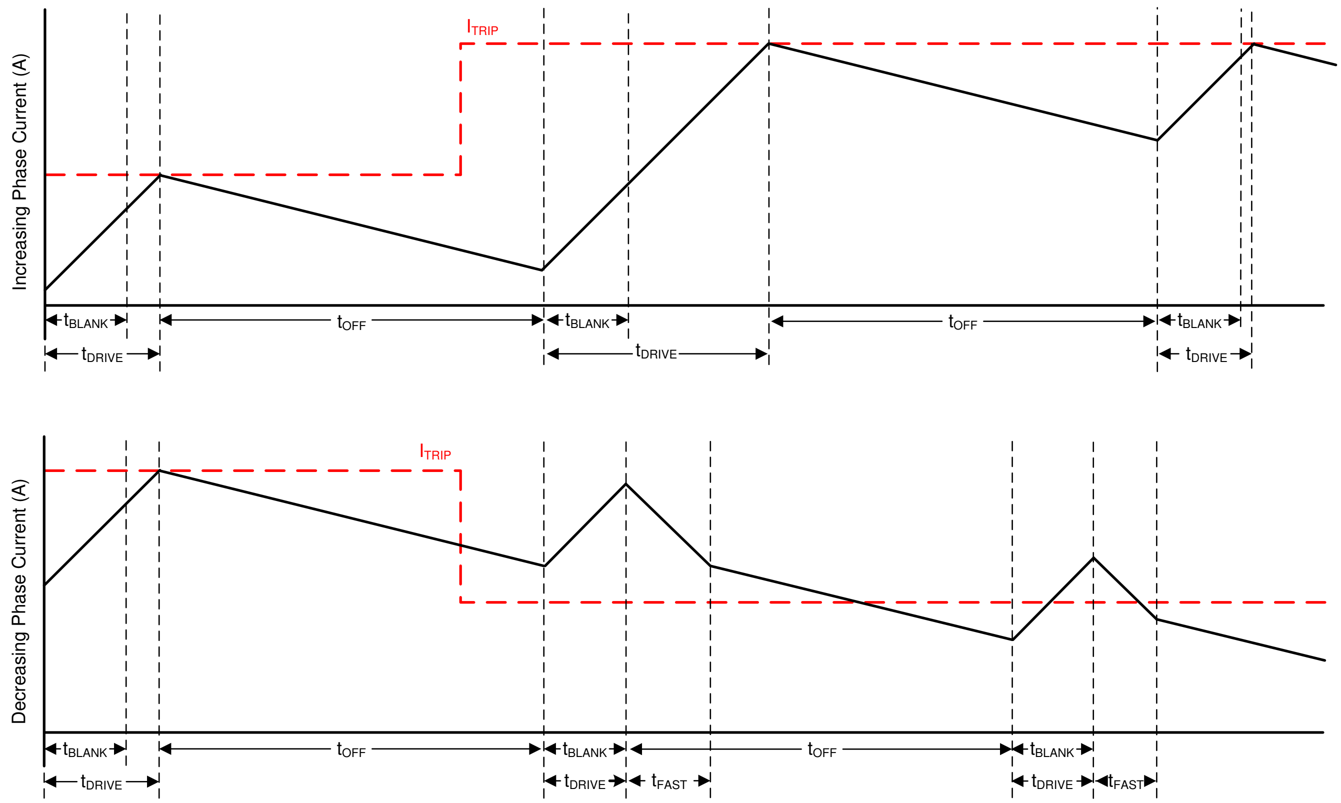


図 6-11. スマート チューン ダイナミック ディケイ モード

スマート チューン ダイナミック減衰では、混合減衰の総時間に対する高速減衰の割合が動的に調整されます。この機能により、モーターのリップルを最小限に抑える最適な減衰設定が自動的に決定されるため、モーターのチューニングが不要になります。

ディケイ モード設定は、各 PWM サイクルで繰り返し最適化されます。モーター電流が目標トリップ レベルを超えると、レギュレーション損失を防ぐため、次のサイクルで減衰モードはより積極的になります (高速減衰の割合を増やします)。目標トリップ レベルに達するまでに長い駆動時間を必要とする場合は、リップルを抑え、効率を上げるために、次のサイクルでディケイ モードはより消極的になります (ファースト ディケイの割合を減らします)。立ち下がりステップでは、次のステップに素早く達するために、スマート チューン ダイナミック減衰は自動的に高速減衰に切り替わります。

スマート チューン ダイナミック ディケイは、電流レギュレーション方式で電流リップルを最小限に抑える必要がありながら、固定周波数を維持する必要があるアプリケーション用に設計されています。

6.5.3 外付け抵抗による電流検出

IPROPI 出力の精度は、定格電流の 40%～100% について ±4% です。より正確な電流検出が必要な場合は、以下に示すように、PGND ピンとシステム グランドとの間に外部検出抵抗を使用して負荷電流を検出することもできます。

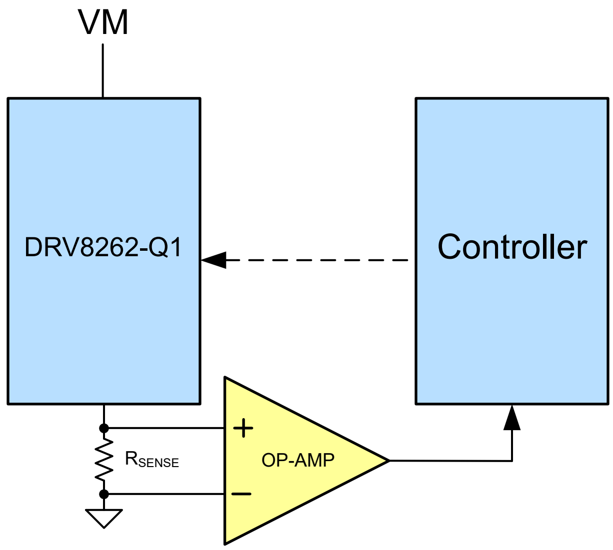


図 6-12. 外付け抵抗による電流検出

外付け検出抵抗の両端での電圧降下は、300mV 未満とします。

センス抵抗は、対応する IC ピンのできるだけ近くに配置してください。検出抵抗を左右対称に配置することで、マッチングを適切に維持できます。低インダクタンスの検出抵抗を使用することで、電圧スパイクとリンギングを防止します。必要な性能を得るために、検出抵抗には十分大きな電力を定格とする表面接地型の抵抗を使用してください。パワー抵抗は標準の抵抗より大きく高価であるため、通常は複数の標準抵抗を並行して使用します。これにより、電流と放熱が分散されます。

6.6 チャージ ポンプ

ハイサイド N チャネル MOSFET のゲート駆動電圧を供給するため、チャージ ポンプが内蔵されています。このチャージポンプには、VM ピンと VCP ピンの間に電荷を蓄積するためのコンデンサを接続する必要があります。また、CPH ピンと CPL ピンの間にもフライング コンデンサとして働くセラミック コンデンサを接続する必要があります。

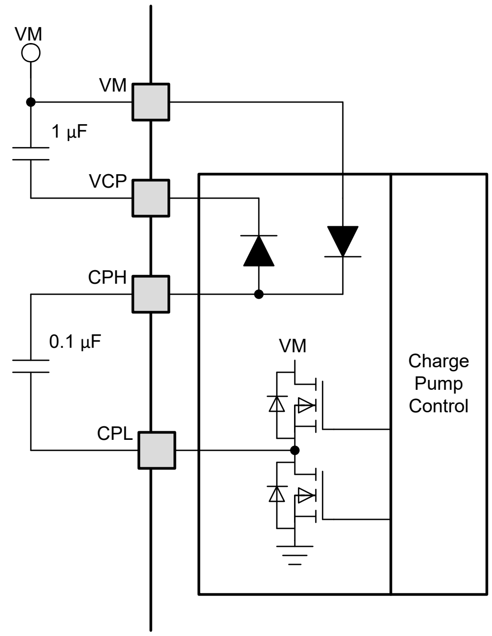


図 6-13. チャージ ポンプのブロック図

6.7 リニア電圧レギュレータ

本デバイスには、リニア電圧レギュレータが内蔵されています。VCC ピンを DVDD に接続すると、DVDD レギュレータはローサイド ゲートドライバとすべての内部回路に電力を供給します。正常に動作させるため、1µF セラミック コンデンサを使用して DVDD ピンを GND にバイパスします。DVDD 出力は通常 5V です。

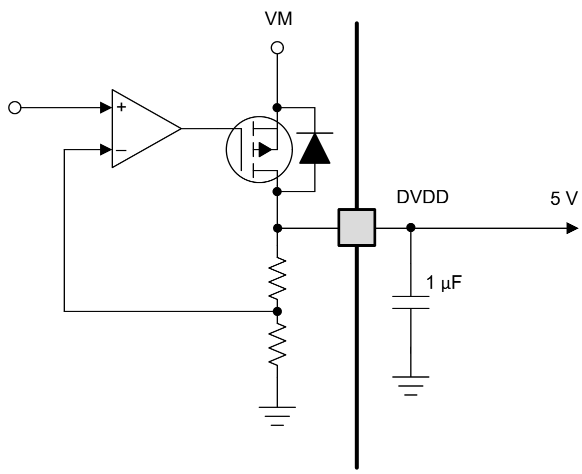


図 6-14. リニア電圧レギュレータのブロック図

デジタル入力を永続的に High に固定する必要がある場合は、入力を外部レギュレータではなく DVDD ピンに接続することを推奨します。この方法により、VM ピンに電圧が印加されないときやスリープ モード時に電力を節約します。DVDD のレギュレータがディセーブルされ、電流が入力プルダウン抵抗に流れないためです。参考までに、論理レベル入力は 200kΩ (標準値) のプルダウンを備えています。

6.8 VCC 電圧電源

外部電圧を VCC ピンに印加することで、内部ロジック回路に電力を供給することができます。VCC ピンの電圧を 3.05V ～ 5.5V の間で維持します。外部電源が利用できない場合、VCC をデバイスの DVDD ピンに接続する必要があります。

VCC から電力を供給する場合、内部ロジック ブロックは VM 電源レールからの電力を消費しないため、DRV8262-Q1 の電力損失を低減できます。これは、高電圧アプリケーションや、周囲の温度が高いとき非常に有益です。0.1µF のセラミック コンデンサを使用して、VCC ピンをグランドにバイパスします。

6.9 ロジック レベル、トライレベル、クワッドレベルのピン構造図

図 6-15 に、DECAY ピンの入力構造を示します。

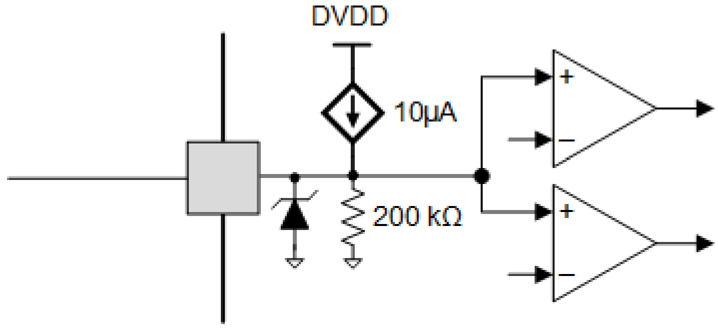


図 6-15. トライレベル入力ピン構造図

図 6-16 に、TOFF ピンの入力構造を示します。

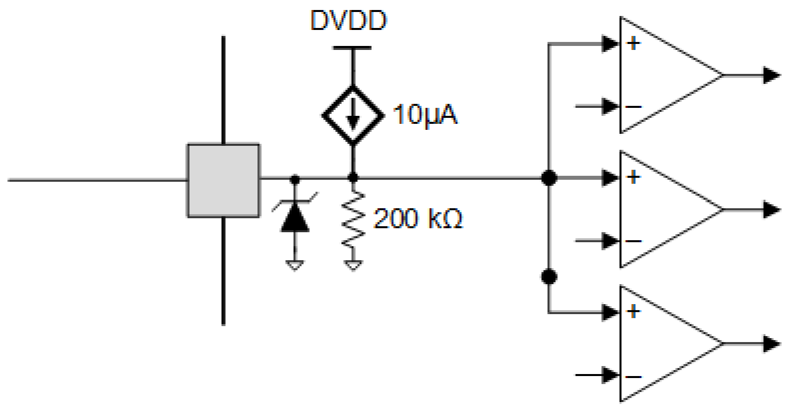


図 6-16. クワッドレベル入力ピン構造図

図 6-17 に、IN1、IN2、IN3、IN4、MODE1、MODE2、OCPM および nSLEEP ピンの入力構造を示します。

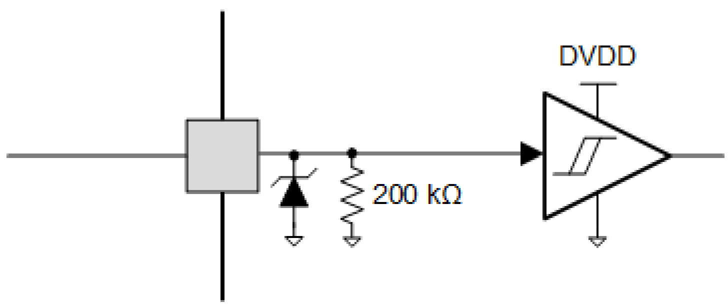


図 6-17. ロジック レベル入力ピンの図

6.10 保護回路

本デバイスは、電源低電圧、チャージ ポンプ低電圧、出力過電流、デバイス過熱イベントからデバイスを保護します。

6.10.1 VM 低電圧誤動作防止 (UVLO)

VM ピンの電圧が UVLO スレッショルド電圧を下回ると、次の動作が行われます。

- すべての出力がディセーブル (ハイ インピーダンス) になる
- nFAULT ピンが Low に駆動される
- チャージ ポンプがディセーブルになる

VM 電圧が UVLO 立ち上がりスレッショルド電圧を上回ると、通常動作が再開されます (ドライバが動作し、nFAULT が解放されます)。

VM 電圧が内部デジタル リセット電圧 (最大 3.9V) を下回ると、内部ロジック回路がディセーブルされ、nFAULT のプルダウンもディセーブルされます。したがって、VM が約 3.9V を下回ると、nFAULT は再び High になります。

6.10.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧が CPUV 電圧を下回ると、次の動作が行われます。

- すべての出力がディセーブル (ハイ インピーダンス) になる
- nFAULT ピンが Low に駆動される
- チャージ ポンプはアクティブのまま

VCP 低電圧条件が解消すると、通常動作に復帰します (ドライバが動作し、nFAULT が解放されます)。

6.10.3 ロジック電源パワーオン リセット (POR)

VCC ピンの電圧が VCC_{UVLO} スレッショルドを下回ると、次のようになります。

- すべての出力がディセーブル (ハイ インピーダンス) になる
- チャージ ポンプがディセーブルになる

VCC UVLO は nFAULT ピンに通知されません。VCC 低電圧条件が解消されると、通常のモーター ドライバ動作が再開されます。

6.10.4 過電流保護 (OCP)

各 MOSFET のアナログ電流制限回路は、ゲート駆動を止めることで、MOSFET に流れる電流を制限します。この電流制限が t_{OCP} よりも長い時間継続すると、過電流フォルトが検出されます。

- H ブリッジはディセーブルです。デュアル H ブリッジモードの場合、過電流が発生している H ブリッジのみがディセーブルです。
- nFAULT は Low に駆動される
- チャージ ポンプはアクティブのままです

ハイサイドとローサイドの両方の MOSFET が過電流状態の場合、グランドまたは電源への短絡が起きていることを意味し、これによって過電流フォルトが検出されます。

過電流状態が解消されたときの回復の機構は、OCPM ピンの設定によって決まります。OCPM ピンは、ラッチオフまたは自動再試行タイプのいずれかの回復をプログラムします。

- OCPM ピンがロジック Low のとき、デバイスはラッチオフ タイプの回復を行います。すなわち、OCP 状態が解消されると、nSLEEP リセット パルスが印加された後、または電源を切って再投入した後で、通常動作に復帰します。
- OCPM ピンがロジック High のとき、t_{RETRY} 時間が経過し、フォルト状態が解消した後で、自動的に通常動作に復帰します (ドライバが動作し、nFAULT が解放されます)。

6.10.5 サーマル シャットダウン (OTSD)

ダイ温度がサーマル シャットダウン制限 (T_{OTSD}) を超えると、サーマル シャットダウンが検出されます。サーマル シャットダウンが検出されると、以下のようになります。

- すべての MOSFET はディセーブルです
- nFAULT は Low に駆動される
- チャージ ポンプがディセーブルになる

サーマル シャットダウン状態が解消されたときの回復の機構は、OCPM ピンの設定によって決まります。OCPM ピンは、ラッチオフまたは自動再試行タイプのいずれかの回復をプログラムします。

- OCPM ピンがロジック Low のとき、デバイスにはラッチオフ タイプの回復機能があります。つまり、接合部温度が過熱スレッショルド制限値からヒステリシスを引いた値 (T_{OTSD} - T_{HYS_OTSD}) を下回った後、nSLEEP リセット パルスが印加されるか、電源を切って再投入すると、通常動作が再開されます。
- OCPM ピンが論理 High のとき、接合部温度が過熱スレッショルド制限値からヒステリシスを引いた値 (T_{OTSD} - T_{HYS_OTSD}) を下回ると、通常動作が自動的に再開されます。

6.10.6 nFAULT 出力

nFAULT ピンはオープンドレイン出力で、5V、3.3V または 1.8V の電源にプルアップされています。フォルトが検出された場合、nFAULT ピンは論理 Low です。電源投入後、nFAULT ピンは High になります。5V にプルアップする場合、nFAULT ピンを DVDD ピンに抵抗で接続できます。3.3V または 1.8V にプルアップする場合、外部電源を使う必要があります。

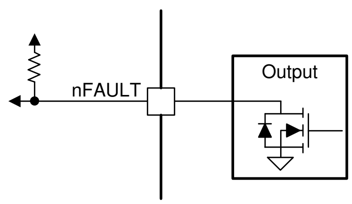


図 6-18. nFAULT ピン

6.10.7 フォルト条件のまとめ

表 6-9. フォルト条件のまとめ

フォルト	条件	異常通知	H ブリッジ	チャージ ポンプ	ロジック	復帰
VM 低電圧 (UVLO)	VM < V_{UVLO}	nFAULT	ディセーブル	ディセーブル	リセット	VM > V_{UVLO}
VCP 低電圧 (CPUV)	VCP < V_{CPUV}	nFAULT	ディセーブル	動作	動作	VCP > V_{CPUV}
ロジック電源 POR	VCC < VCC_{UVLO}	-	ディセーブル	ディセーブル	リセット	VCC > VCC_{UVLO}
過電流 (OCP)	I_{OUT} > I_{OCP}, OCPM = 0	nFAULT	ディセーブル	動作	動作	ラッチ済み: nSLEEP リセット パルス
	I_{OUT} > I_{OCP}, OCPM = 1	nFAULT	ディセーブル	動作	動作	自動リトライ: t_{RETRY}
サーマル シャットダウン (OTSD)	T_J > T_{TSD}、OCPM = 0	nFAULT	ディセーブル	ディセーブル	動作	ラッチ済み: nSLEEP リセット パルス
	T_J > T_{TSD}、OCPM = 1	nFAULT	ディセーブル	ディセーブル	動作	自動: T_J < T_{OTSD} - T_{HYS_OTSD}

6.11 デバイスの機能モード

6.11.1 スリープ モード

nSLEEP ピンが Low になると、本デバイスは低消費電力のスリープ モードに移行します。スリープ モードでは、すべての内部 MOSFET、DVDD レギュレータ、SPI、チャージ ポンプがディセーブルになります。nSLEEP ピンでの立ち下がりエッジの後、t_{SLEEP} 時間が経過すると、デバイスはスリープ モードに移行します。nSLEEP ピンが High になると、本デバイスは自動的にスリープから復帰します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

6.11.2 動作モード

このモードは、次の場合にイネーブルになります。

- nSLEEP が High
- VM > UVLO

t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

6.11.3 nSLEEP リセット パルス

ラッチされたフォルトは nSLEEP リセット パルスでクリアできます。このパルス幅は 20μs より長く、40μs より短い必要があります。nSLEEP が 40μs より長く 120μs より短期間 Low である場合、フォルトはクリアされますが、本デバイスはシャットダウンする場合があります。以下のタイミング図を参照してください。このリセット パルスは、チャージ ポンプの状態にも、その他の機能ブロックの状態にも影響を与えません。

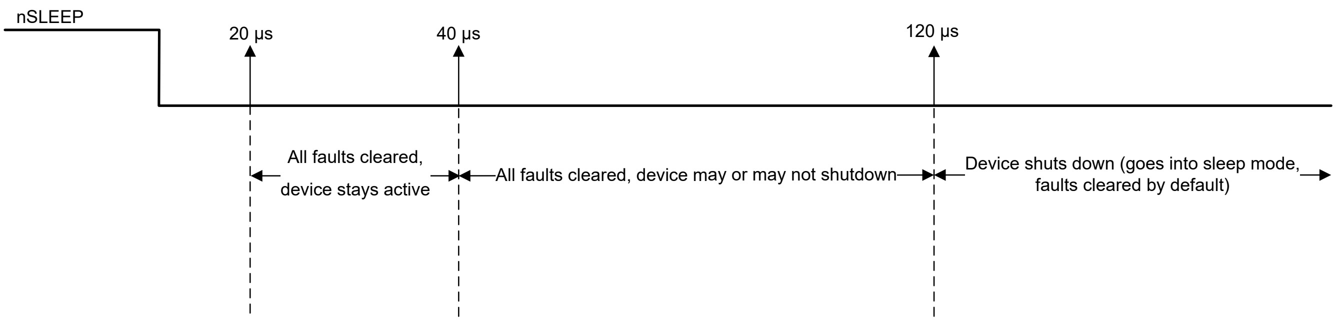


図 6-19. nSLEEP リセット パルス

6.11.4 機能モードのまとめ

下表に、機能モードの概要を示します。

表 6-10. 機能モードのまとめ

条件		構成	H ブリッジ	DVDD レギュレータ	チャージ ポンプ	ロジック
スリープ モード	4.5V < VM < 60V	nSLEEP ピン=0	ディセーブル	ディセーブル	ディセーブル	ディセーブル
動作	4.5V < VM < 60V	nSLEEP ピン=1	動作	動作	動作	動作

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DRV8262-Q1 は、次のタイプの負荷を駆動するために使用できます

- 1 つまたは 2 つのブラシ付き DC モーター
- 1 つのステッパ モータ
- 1 つまたは 2 つの熱電冷却器 (TEC)

7.1.1 ブラシ付き DC モータの駆動

このアプリケーション例では、1 つまたは 2 つのブラシ付き DC モータを通じて双方向電流を駆動するようにデバイスを構成しています。H ブリッジの構成、極性、インターフェイス、およびデューティ サイクルは、外部コントローラから INx と MODEx ピンに接続された PWM および IO リソースで制御されます。電流制限スレッショルド (I_{TRIP}) は、VREF ピンの分圧抵抗を使用して生成されます。DECAY ピンをグランドに接続することで、デバイスはスロー ディケイに設定されます。

7.1.1.1 ブラシ付き DC モータ ドライバの代表的なアプリケーション

以下の回路図は、それぞれ 1 つおよび 2 つのブラシ付き DC モータを駆動する DRV8262-Q1 を示しています。

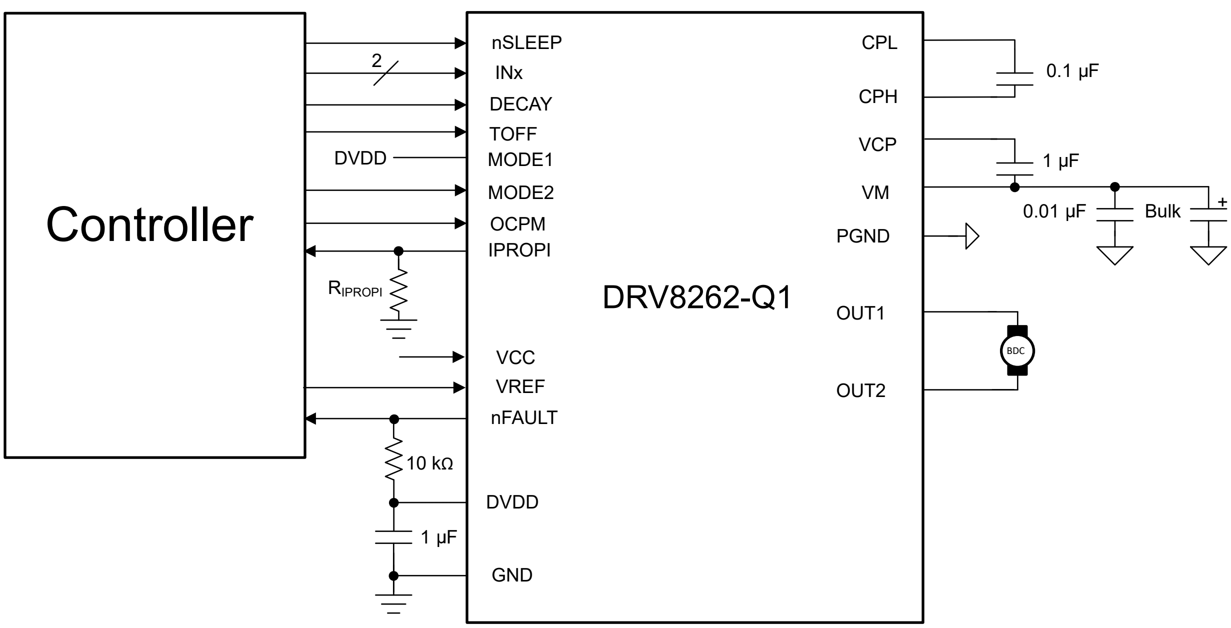


図 7-1. 1 つのブラシ付き DC モータを駆動

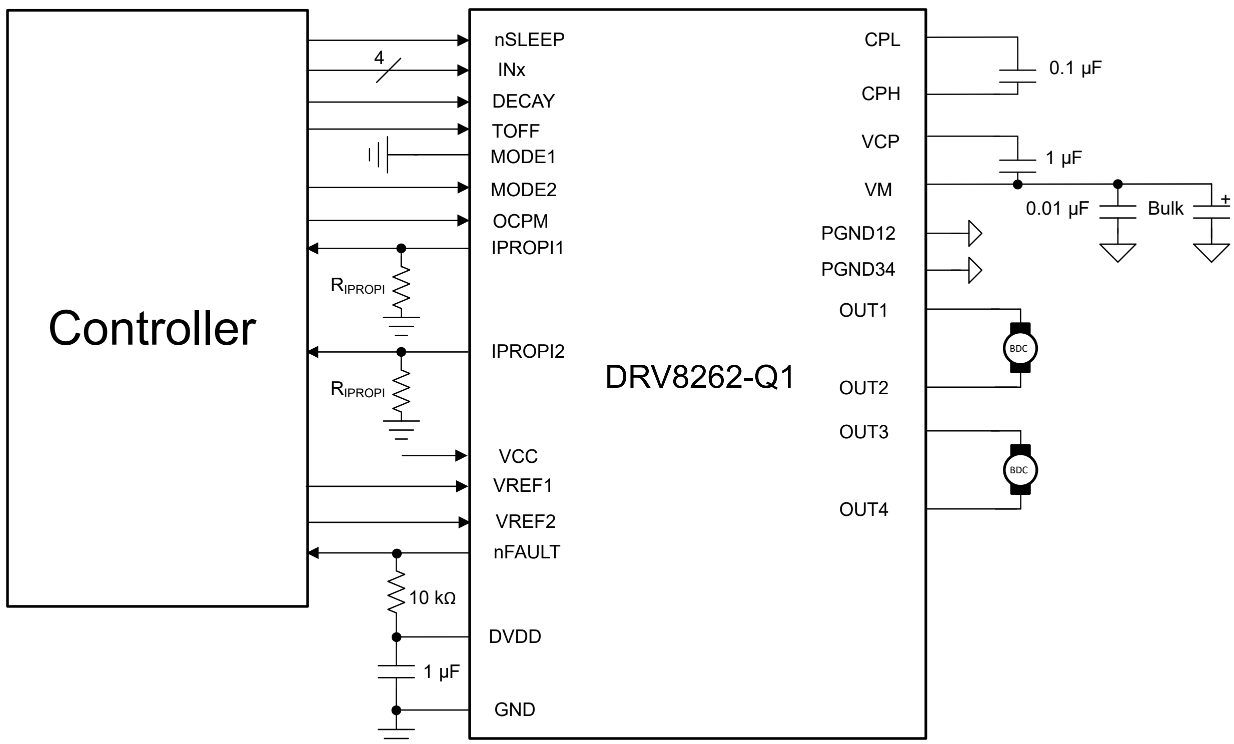


図 7-2. 2 つのブラシ付き DC モータの駆動

7.1.1.2 電力損失の計算 - デュアル H ブリッジ

ハイサイド再循環を使用する H ブリッジの場合、各 FET の消費電力は次のように概算できます。

- $P_{HS1} = R_{DS(ON)} \times I_L{}^2$
- $P_{LS1} = 0$
- $P_{HS2} = [R_{DS(ON)} \times I_L{}^2 \times (1\text{-}D)] + [2 \times V_D \times I_L \times t_D \times f_{PWM}]$
- $P_{LS2} = [R_{DS(ON)} \times I_L{}^2 \times D] + [VM \times I_L \times t_{RF} \times f_{PWM}]$

ここで、

- $R_{DS(ON)}$ = 各 FET のオン抵抗
  - デュアル H ブリッジモードで、DRV8262-Q1 では、$R_{DS(ON)}$ は、通常 25℃ で 50mΩ、150℃ で 85mΩ です。
- f_{PWM} = PWM スイッチング周波数
- VM = ドライバへの電源電圧
- I_L = モータ RMS 電流
- D=PWM のデューティ サイクル (0～1)
- t_{RF} = 出力電圧の立ち上がり / 立ち下がり時間
  - DRV8262-Q1 の場合、立ち上がり、または立ち下がり時間は 110ns
- V_D=FET ボディダイオードの順方向バイアス電圧
  - DRV8262-Q1 の場合、電圧は 1V
- t_D=デッドタイム
  - DRV8262-Q1 の場合、電圧は 300ns

逆方向の負荷電流フローの消費電力を推定するためにも同じ式が適用されますが、HS1 を HS2 に、LS1 を LS2 に交換します。

上記の式に次の値を代入します。

- VM = 24V

- I_L = 4A
- $R_{DS(ON)}$ = 50mΩ
- D = 0.5
- V_D = 1V
- T_D = 300ns
- t_{RF} = 110ns
- f_{PWM} = 20kHz

各 FET での損失は次のように計算できます。

$P_{HS1} = 50m\Omega \times 4^2 = 0.8W$

$P_{LS1} = 0$

$P_{HS2} = [50m\Omega \times 4^2 \times (1-0.5)] + [2 \times 1V \times 4A \times 300ns \times 20KHz] = 0.448W$

$P_{LS2} = [50m\Omega \times 4^2 \times 0.5] + [24 \times 4A \times 110ns \times 20kHz] = 0.611W$

静止電流損失 $P_Q = 24V \times 5mA = 0.12W$

$P_{TOT} = 2 \times (P_{HS1} + P_{LS1} + P_{HS2} + P_{LS2}) + P_Q = 2 \times (0.8 + 0 + 0.448 + 0.611) + 0.12 = 3.84W$

7.1.1.3 電力損失の計算 - シングル H ブリッジ

シングル H ブリッジモードでは、各 FET のオン抵抗は通常、25℃ で 25mΩ、150℃ で 43mΩ です。

電力損失の計算式に以下の値を代入します

- VM = 24V
- I_L = 8A
- $R_{DS(ON)}$ = 25mΩ
- D = 0.5
- V_D = 1V
- T_D = 300ns
- t_{RF} = 110ns
- f_{PWM} = 20kHz

各 FET での損失は次のように計算できます。

$P_{HS1} = 25m\Omega \times 8^2 = 1.6W$

$P_{LS1} = 0$

$P_{HS2} = [25m\Omega \times 8^2 \times (1-0.5)] + [2 \times 1V \times 8A \times 300ns \times 20KHz] = 0.896W$

$P_{LS2} = [25m\Omega \times 8^2 \times 0.5] + [24 \times 8A \times 110ns \times 20kHz] = 1.223W$

静止電流損失 $P_Q = 24V \times 5mA = 0.12W$

$P_{TOT} = P_{HS1} + P_{LS1} + P_{HS2} + P_{LS2} + P_Q = 1.6 + 0 + 0.896 + 1.223 + 0.12 = 3.84W$

7.1.1.4 接合部温度の推定

周囲温度 T_A、総消費電力 (P_{TOT}) の場合、接合部温度 (T_J) は次のように計算されます。

$T_J = T_A + (P_{TOT} \times R_{\theta JA})$

JEDEC 規格の 4 層 PCB の場合を考えると、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、の場合 22.2℃/W になります。

周囲温度が 25℃と仮定すると接合部温度は以下のように計算されます。

$$T_J = 25°C + (3.84W \times 22.2\ °C/W) = 110.2\ °C \tag{4}$$

より正確な計算を行うには、「代表的な動作特性」セクションに示されている、デバイス接合部温度に対する FET のオン抵抗の依存性を考慮してください。

たとえば、

- 接合部温度が 110.2℃ の場合、オン抵抗は 25℃ の場合に比べて 1.4 倍に増加する可能性があります。
- 導通損失の初期推定値は 3.2W です。
- 導通損失の新しい推定値は 3.2W x 1.4 = 4.48W になります。
- よって、合計電力損失の新しい推定値は 5.12W です。
- DDW パッケージの接合部温度の新しい推定値は 138.7℃ です。
- これ以上計算を繰り返しても、接合部温度の推定値が大きく増加する可能性はわずかです。

7.1.1.5 アプリケーション特性の波形

波形パターンは上から下へ順に：I_{OUT2}、$V_{IPROPI2}$、I_{OUT1}、$V_{IPROPI1}$、OUT2、OUT3、OUT1、OUT4

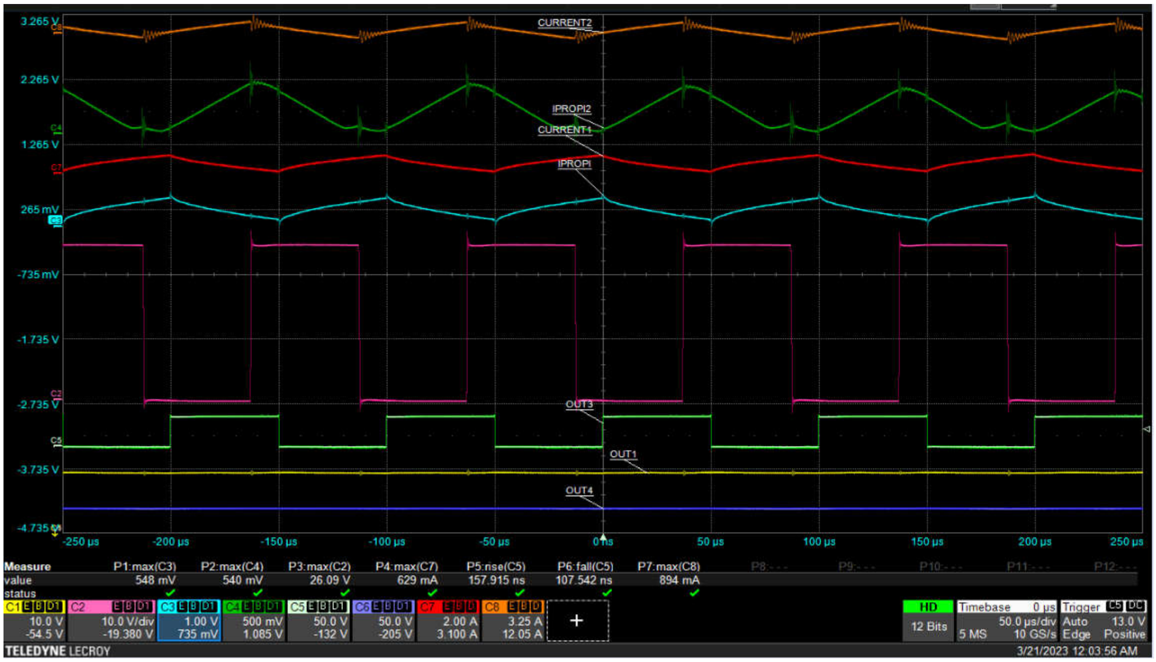


図 7-3. デュアル H ブリッジ動作、VM = 24V

7.1.2 ステッパ モーターの駆動

デュアル H ブリッジモードに構成した場合、本デバイスは 1 つのステッパ モータを駆動できます。

7.1.2.1 ステッパ ドライバの代表的なアプリケーション

次の回路図は、ステッパ モータを駆動する DRV8262-Q1 を示しています。

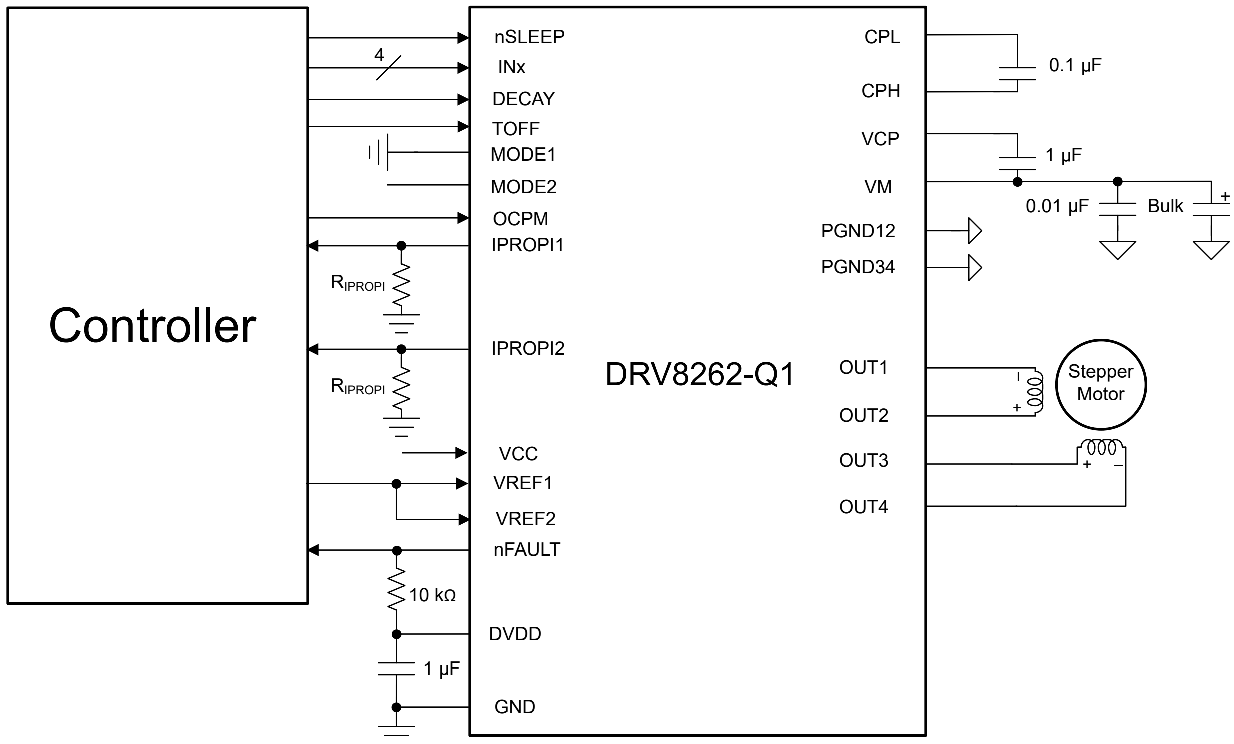


図 7-4. 1 つのステッパ モータの駆動

フルスケール電流 (I_{FS}) は、どちらかの巻線によって駆動される最大電流です。この値は、VREF 電圧と、IPROPI ピンとグランド間に接続されている抵抗によって異なります。

$I_{FS} \times A_{IPROPI} = V_{VREF} / R_{IPROPI}$

VREF ピンの最大許容電圧は 3.3V です。DVDD は分割抵抗を使用して VREF を供給できます。

注

モータを飽和させないように、I_{FS} 電流は 式 5 にも従う必要があります。VM はモーターの電源電圧、R_L はモーターの巻線の抵抗です。

$$I_{FS}\ (A) < \frac{VM\ (V)}{R_L\ (\Omega) + 2 \times R_{DS(ON)}\ (\Omega)} \tag{5}$$

目標モーター速度が高すぎると、モーターは回転しません。モーターが目標速度に対応できることを確認してください。

モーターの目標の速度 (V)、マイクロステッピング レベル (n_m)、モーターのフルステップ角度 (θ_{step}) を求めるには、入力波形の周波数を次のように決定します。

$$f_{step}\ (steps/s) = \frac{v\ (rpm) \times 360\ (°/rot)}{\theta_{step}\ (°/step) \times n_m\ (steps/microstep) \times 60\ (s/min)} \tag{6}$$

θ_{step} は、ステッパ モーターのデータシート、またはモーター本体に記載されています。

周波数 f_{step} は、DRV8262-Q1 の入力の変化の周波数を示します。次の図では、$1/f_{step} = t_{STEP}$ となります。目標速度 120rpm、1/2 ステップでの計算例を、式 7 に示します。

$$f_{step}\ (\text{steps}/\text{s}) = \frac{120\ \text{rpm} \times 360° / \text{rot}}{1.8° / \text{step} \times 1/2\ \text{steps}/\text{microstep} \times 60\ \text{s}/\text{min}} = 800\,\text{Hz} \tag{7}$$

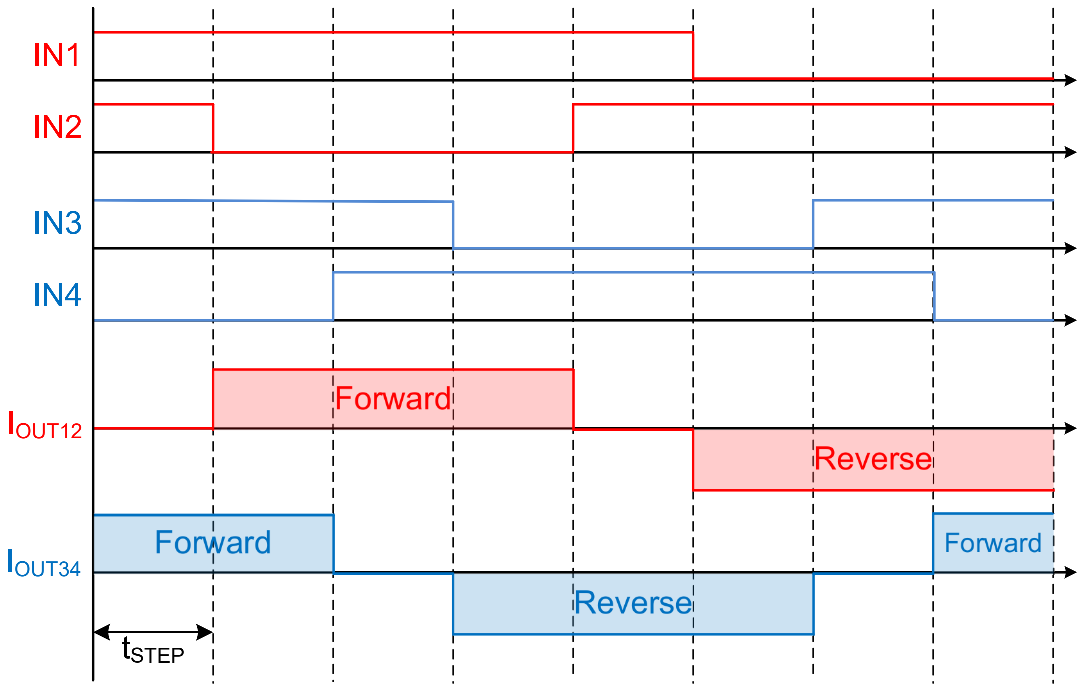


図 7-5. 1/2 ステッピング動作の例

IPROPI ピンは、ドライブモードおよびスローディケイ(ハイサイド再循環)モード中のステッパ モーターのコイル A とコイル B の電流に対応する、各 H ブリッジの電流を出力します。

7.1.2.2 電力損失の計算

以下の計算では、電源電圧が 24V、フルスケール電流が 5A、入力 PWM 周波数が 30kHz のユースケースを想定しています。

全電力散逸は主な 3 つの要素 (導通損失 (P_{COND})、スイッチング損失 (P_{SW})、静止電流による電力損失 (P_Q)) で構成されます。

導通損失 (P_{COND}) は、式 8 のように、モーターの RMS 電流 (I_{RMS})、ハイサイド オン抵抗 ($R_{DS(ONH)}$)、ローサイド オン抵抗 ($R_{DS(ONL)}$) で決まります。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) \tag{8}$$

セクション 7.1.2.1 で説明する代表的なアプリケーションの導通損失は 式 9 のように計算されます。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) = 2 \times (5A / \sqrt{2})^2 \times (0.1\Omega) = 2.5W \tag{9}$$

PWM スイッチング周波数に起因する電力損失は、出力電圧の立ち上がり時間 / 立ち下がり時間 (t_{RF})、電源電圧、モータの RMS 電流、PWM スイッチング周波数で決まります。各 H ブリッジの立ち上がり時間のスイッチング損失と立ち下がり時間のスイッチング損失は 式 10 と 式 11 のように計算されます。

$$P_{SW\_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RF} \times f_{PWM} \tag{10}$$

$$P_{SW\_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RF} \times f_{PWM} \tag{11}$$

各種パラメータの値を代入した後、各 H ブリッジのスイッチング損失は次のように計算されます。

$$P_{SW\_RISE} = 0.5 \times 24V \times (5A / \sqrt{2}) \times (110ns) \times 30kHz = 0.14W \tag{12}$$

$$P_{SW\_FALL} = 0.5 \times 24V \times (5A / \sqrt{2}) \times (110ns) \times 30kHz = 0.14W \tag{13}$$

ステッパ モーター ドライバの合計スイッチング損失 (P_{SW}) は立ち上がり時間のスイッチング損失 (P_{SW_RISE}) と立ち下がり時間のスイッチング損失 (P_{SW_FALL}) の和の 2 倍として以下のように計算されます。

$$P_{SW} = 2 \times (P_{SW\_RISE} + P_{SW\_FALL}) = 2 \times (0.14W + 0.14W) = 0.56W \tag{14}$$

注

出力の立ち上がり時間 / 立ち下がり時間 (t_{RF}) は、電源電圧、温度、デバイス間の変動に基づいて変化すると予想されます。

VCC ピンが外部電圧に接続されているとき、静止電流は代表値で 5mA です。電源によって消費される静止電流による消費電力は、以下のように計算されます。

$$P_Q = V_{VM} \times I_{VM} \tag{15}$$

値を代入すると、静止時の電力損失は以下のように計算されます。

$$P_Q = 24V \times 5mA = 0.12W \tag{16}$$

注

静止時の電力損失は、動作電源電流 (I_{VM}) の代表値を使用して計算されます。この値は電源電圧、温度、デバイス間のばらつきによって変化します。

全消費電力 (P_{TOT}) は導通損失、スイッチング損失、静止電力損失の合計として計算されます (式 17 を参照)。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 2.5W + 0.56W + 0.12W = 3.18W \tag{17}$$

7.1.2.3 接合部温度の推定

周囲温度が 25°C と仮定すると、の接合部温度は以下のように計算されます

$$T_J = 25°C + (3.18\text{-}W \times 22.2\ °C/W) = 95.6\ °C \tag{18}$$

より正確な計算を行うには、セクション 7.1.1.4 で説明されているように、デバイス接合部温度に対する FET のオン抵抗の依存性を考慮してください。

7.1.3 熱電冷却器 (TEC) の駆動

熱電冷却器 (TEC) はペルチェ効果に基いて動作します。TEC の両端に電圧が印加されると、DC 電流が半導体の接合部を流れ、温度差が生じます。熱は、TEC の片側から反対側に伝達されます。これにより、TEC 素子の「高温」側と「低温」側が形成されます。DC 電流が逆方向になると、高温側と低温側も逆方向になります。

TEC を流れる電流を変調する一般的な方法は、PWM 駆動を使用し、オンとオフのデューティ サイクルを変えて、平均電流を変化させることです。単一電源で加熱と冷却の両方を可能にするには、H ブリッジ トポロジが必要です。デュアル H ブリッジモードでは、最大 5A 電流で 2 つの TEC を双方向駆動できます。シングル H ブリッジモードでは、最大 10A 電流で単一の TEC を駆動できます。

また、DRV8262-Q1 には±4% の精度を達成する電流センシングと電流検出出力 (IPROPI) の機能が内蔵されているため、閉ループ制御トポロジで 2 つの外部シャント抵抗が不要になり、部品表のコストとスペースを削減できます。次の回路図は、2 つの TEC を駆動する DRV8262-Q1 を示します。

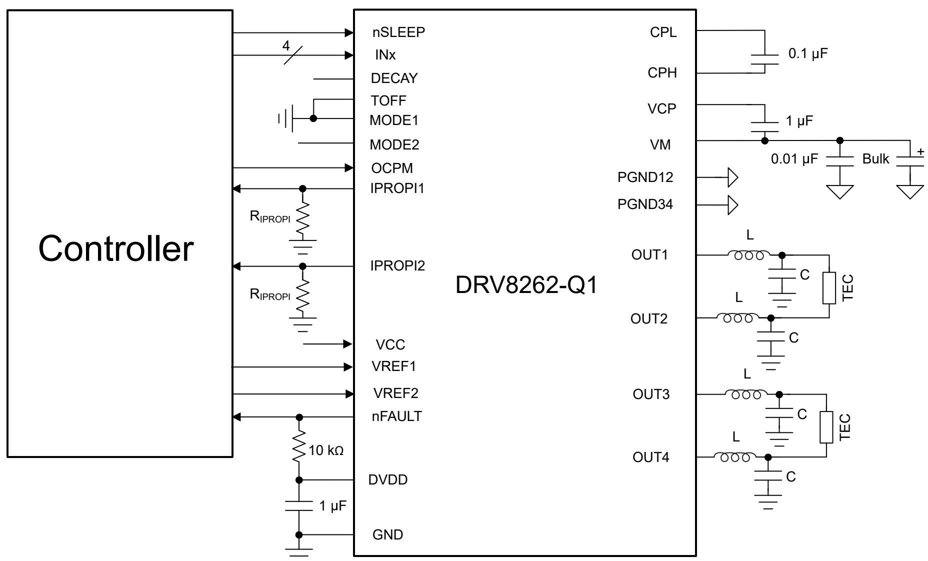


図 7-6. 2 つの TEC の駆動

次の回路図は、1 つの TEC をより高電流で駆動する DRV8262-Q1 を示します。

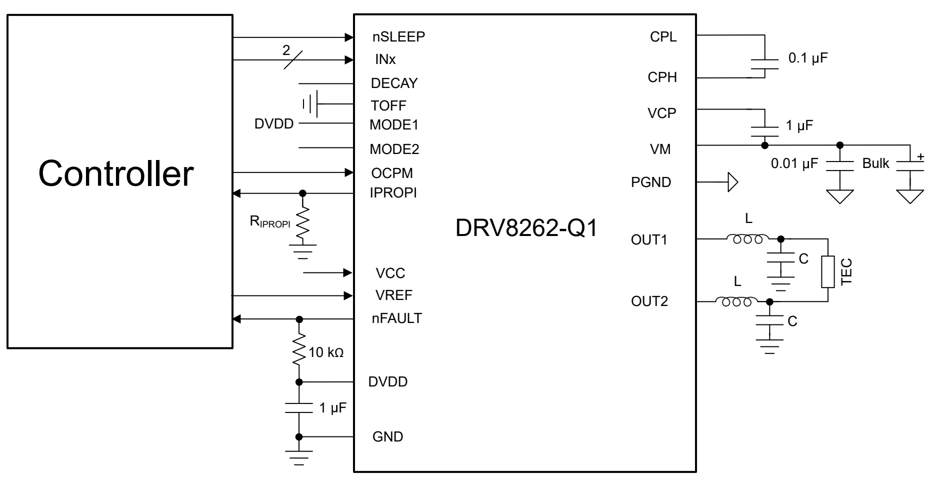


図 7-7. 1 つの TEC を大電流で駆動

出力ノードに接続された LC フィルタは、DRV8262-Q1 からの PWM 出力を、TEC 両端の低リップル DC 電圧に変換します。高速過渡 (例: 方形波電力) により TEC の寿命が短くなる可能性があるため、リップル電流を最小化するにはフィルタが必要です。最大リップル電流は、最大電流の 10% 未満にすることを推奨します。TEC の最大温度差は、リップル電流が増加すると減少し、次の式で計算されます。

$$\Delta T = \Delta T_{MAX} / (1 + N^2) \quad (19)$$

ここでの ΔT は実際の温度差、ΔT_{MAX} は TEC データシートに記載されている可能な最大の温度差、N はリップル電流と最大電流の比です。N は 0.1 未満です。

入力 PWM 周波数の選択は、スイッチング損失と、より小型のインダクタおよびコンデンサの使用との間のトレードオフです。また、PWM 周波数が高いと、TEC の両端の電圧を厳密に制御でき、LC コンポーネントのコストを削減できる可能性もあります。

二次ローパス フィルタの伝達関数を以下に示します:

$$H (j\omega) = 1 / (1 - (\omega / \omega_0)^2 + j\omega / Q\omega_0) \quad (20)$$

ここで、

$\omega_0 = 1 / \sqrt{(LC)}$、フィルタの共振周波数

Q = 品質係数

ω = DRV8262-Q1 入力 PWM 周波数

フィルタの共振周波数は通常、PWM 周波数よりも 1 桁以上低い値を選択します。この想定から、式 19 は次のように簡素化できます

dB 単位の $H = -40 \log (f_S/f_0)$

ここで、$f_0 = 1/2\pi\sqrt{(LC)}$、f_S は入力 PWM スイッチング周波数です。

- L = 10µH、C = 22µF の場合、共振周波数は 10.7kHz です。
- この共振周波数は、100kHz のスイッチング周波数で 39dB の減衰に相当します。
- VM = 48V の場合、39dB の減衰は、TEC 素子の両端におけるリップル電圧の大きさが約 550mV であることを意味します。
- したがって、抵抗が 1.5Ω の TEC 素子の場合、TEC を流れるリップル電流は 366mA です。
- 5A の電流では、366mA は 7.32% のリップル電流に相当します。
- これにより、式 19 に従って、TEC 素子の最大温度差が約 0.5% 低減されます。

TEC 素子を通過する電源電圧と DC 電流に応じて LC の値を調整します。DRV8262-Q1 は、最高 200kHz の入力 PWM 周波数をサポートしています。入力 PWM 周波数を選択する前に、与えられた周囲温度におけるデバイスの電力損失を慎重に考慮する必要があります。

一部の TEC ベースの冷暖房システムでは、電流ループを閉じることが重要です。DRV8262-Q1 は、外付けの電流シャント抵抗を使用せずに、この機能を実現できます。内部電流ミラーは各ハーフブリッジの電流を監視するために使用され、この情報は IPROPI ピンで利用できます。マイクロコントローラは、IPROPI ピンの電圧に基づいて PWM デューティを監視および調整できます。

さらに、DRV8262-Q1 は、外部電圧リファレンス (VREF) をデバイスに供給して電流レギュレーションのトリップ ポイントを調整することにより、内部で電流をレギュレートできます。電流ループはその後、H ブリッジ内で閉じられます。

7.2 電源に関する推奨事項

このデバイスは、4.5V ～ 60V の入力電源電圧 (VM) 範囲で動作するように設計されています。VM 定格の 0.01µF セラミック コンデンサをデバイスの VM ピンの近くに配置する必要があります。また、バルク コンデンサを VM に接続する必要があります。

7.2.1 バルク コンデンサ

適切なローカル バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般に、バルク容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。

必要なローカル容量は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源容量と電流供給能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッパ)
- モーターのブレーキ方式

電源とモーター ドライブ システムの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク コンデンサの定格電圧は動作電圧より高いです。

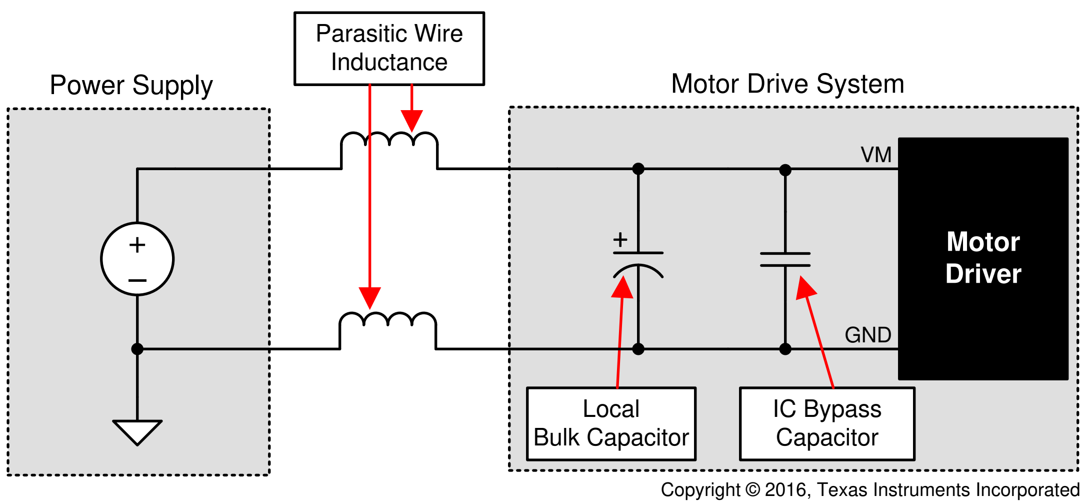


図 7-8. 外部電源を使用したモーター駆動システムの構成例

7.2.2 電源

デバイスは、VM ピンに接続された単一の電源電圧のみで動作します。

- VM ピンは、H ブリッジに電源を供給します。
- 内部電圧レギュレータは、デジタル回路と低電圧アナログ回路に 5V 電源 (DVDD) を供給します。DVDD ピンを外部回路の電圧源として使用することは推奨しません。
- 外部低電圧電源を VCC ピンに接続することで、内部回路に電力を供給することができます。過渡時に一定の電圧を供給するため、0.1µF のデカップリング コンデンサを VCC ピンの近くに配置する必要があります。
- さらに、ハイサイド ゲートドライブには、より高い電圧の電源が必要です。この電源は内蔵のチャージ ポンプによって生成され、外付けのコンデンサが必要です。

7.3 レイアウト

7.3.1 レイアウトのガイドライン

- VM ピンは、low ESR セラミックバイパスコンデンサと VM の推奨定格値 0.01μF を使用して、PGND ピンにバイパスされます。このコンデンサは VM ピンのできるだけ近くに配置し、太いパターンまたはグランド プレーンでデバイスの PGND ピンに接続する必要があります。
- VM 定格のバルク コンデンサを使用して、VM ピンを PGND にバイパスする必要があります。この部品には電解コンデンサが使用できます。
- 低 ESR セラミック コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM の 0.1μF 定格値を推奨します。この部品はピンにできるだけ近付けて配置します。
- 低 ESR セラミック コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の 1μF を推奨します。この部品はピンにできるだけ近付けて配置します。
- 低 ESR セラミック コンデンサを使用して、DVDD ピンをグランドにバイパスします。6.3V 定格の 1μF を推奨します。このバイパス コンデンサはピンにできるだけ近付けて配置します。
- 低 ESR セラミック コンデンサを使用して、VCC ピンをグランドにバイパスします。6.3V 定格の 0.1μF を推奨します。このバイパス コンデンサはピンにできるだけ近付けて配置します。
- 一般に、電源ピンとデカップリング コンデンサの間のインダクタンスを防ぐ必要があります。
- DDW パッケージのサーマル パッドは、システム グランドに接続する必要があります。
  - TI は、システム / 基板全体には、破損していない大きな単一のグランド プレーンを使用することを推奨します。グランド プレーンは PCB の下層に作成できます。
  - インピーダンスとインダクタンスを最小化するには、ビアを経由して下層のグランド プレーンに接続する前に、グランド ピンからのパターンをできる限り短く、幅広くする必要があります。
  - インピーダンスを低減するために、複数のビアを推奨します。
  - 熱の拡散を改善するために、デバイスの周囲のスペースをできるだけ大きく、特に PCB の下層に確保してください。
  - サーマル パッドを単一または複数の内部グランド プレーンに接続することでも、熱の拡散と熱抵抗の低減に役立ちます。

7.3.2 レイアウト例

DRV8262-Q1 EVM のレイアウト例に従います。設計ファイルは、DRV8262Q1EVM 製品フォルダからダウンロードできます。

8 パッケージの熱に関する考慮事項

8.1 DDW パッケージ

DDW パッケージのサーマル パッドは、デバイスの熱能力を向上させるため、デバイスの底面に取り付けられています。データシートに規定されている電力を供給するには、サーマル パッドが PCB の大部分を覆うようにはんだ付けする必要があります。詳細については、セクション 7.3.1 を参照してください。

8.1.1 熱性能

データシートに規定する接合部から周囲への熱抵抗 $R_{\theta JA}$ は、おもに各種ドライバの比較または熱性能の概算に役立ちます。ただし、実際のシステム性能は、PCB 層形成 (スタックアップ)、配線、ビア数、サーマル パッド周りの銅面積に応じて、この値よりも良くなったり、悪くなったりします。ドライバが特定の電流を駆動する時間の長さもまた、消費電力や熱性能に影響を与えます。ここでは、定常状態および過渡熱条件での設計方法について考察します。

このセクションのデータは、以下の基準を使用してシミュレーションしたものです:

HTSSOP (DDW パッケージ)

- 2 層 PCB (サイズ 114.3 x 76.2 x 1.6mm)、標準 FR4、1oz (35mm 銅箔厚) または 2oz 銅箔厚。サーマル ビアはサーマル パッドの下にのみ配置 (13 × 5 サーマル ビア アレイ、1.1mm 間隔、0.2mm 直径、0.025mm 銅メッキ)。
  - 上層:HTSSOP パッケージのフットプリントと銅プレーン ヒートシンク。シミュレーションでは、上層の銅箔面積を変化させています。
  - 下層:ドライバのサーマル パッド下のビアで熱的に接続されたグランド プレーン。下層の銅箔面積は上層の銅箔面積によって変化します。
- 4 層 PCB (サイズ 114.3 × 76.2 × 1.6mm)、標準 FR4。外側プレーンは、1oz (35mm 銅箔厚) または 2oz 銅箔厚。内側プレーンは、1oz で維持されます。サーマル ビアはサーマル パッドの下にのみ配置 (13 × 5 サーマル ビア アレイ、1.1mm 間隔、0.2mm 直径、0.025mm 銅メッキ)。
  - 上層:HTSSOP パッケージのフットプリントと銅プレーン ヒートシンク。シミュレーションでは、上層の銅箔面積を変化させています。
  - 中間層 1:サーマル パッドとビアで熱的に接続された GND プレーン。グランド プレーンの面積は、上面の銅箔部分の面積によって異なります。
  - 中間層 2:電源プレーン、熱的接続なし。電源プレーンの面積は、上層の銅箔面積によって異なります。
  - 下層:TOP プレーンおよび内部 GND プレーンからビア スティッチングで熱的に接続された信号層。下層のサーマル パッドは上層の銅箔部分と同じサイズ。

DDW パッケージについてシミュレーションした基板の例を 図 8-1 に示します。表 8-1 は、各シミュレーションに沿って変化させた基板の寸法を示します。

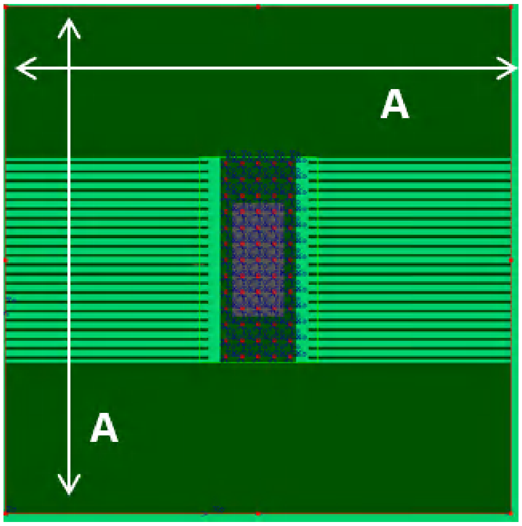


図 8-1. DDW の PCB モデルの上層

表 8-1. DDW パッケージの寸法 A

銅 (Cu) 面積 (cm^2)	寸法 A (mm)
2	19.79
4	26.07
8	34.63
16	46.54
32	63.25

8.1.1.1 定常状態熱性能

「定常状態」条件とは、ドライバが長時間にわたって一定の RMS 電流で動作することを指します。このセクションの図は、銅面積、銅厚、PCB 層数に応じた $R_{θJA}$ と $Ψ_{JB}$ (接合部から基板への熱特性) の変化を示しています。銅面積が大きく、層数が多く、銅プレーンが厚いほど、$R_{θJA}$ と $Ψ_{JB}$ は小さくなり、PCB レイアウトの熱性能が高くなることを示しています。

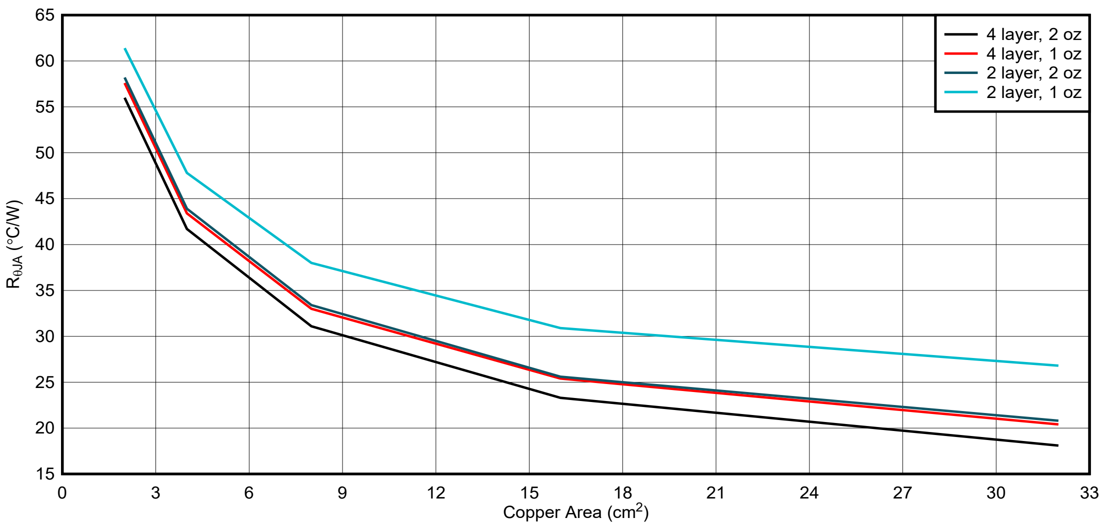


図 8-2. DDW パッケージ、PCB の接合部から周囲への熱抵抗と銅面積との関係

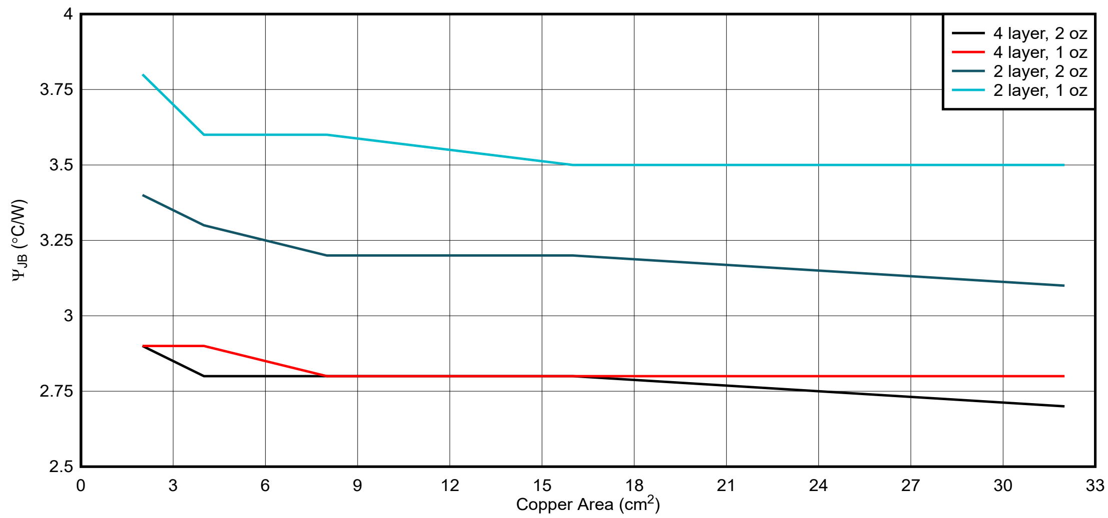


図 8-3. DDW パッケージ、接合部から基板への特性パラメータと銅面積との関係

8.1.1.2 過渡熱性能

ドライバは、短時間に大きな電流が流れるさまざまな過渡駆動条件を経験します。上記に該当する例

- ローターが最初に静止しているときのモータ起動。
- 電源またはグランドがモータの出力のいずれかに短絡し、過電流保護がトリガされるフォルト条件。
- モータまたはソレノイドが短時間駆動された後、解放される。

このような過渡条件では、銅箔部分の面積や厚さに加えて、駆動時間も熱性能に影響を与えます。過渡条件の場合、熱インピーダンス パラメータ ($Z_{\theta JA}$) は、接合部から周囲への熱性能を示します。このセクションの図は、DDW パッケージの 1oz および 2oz の銅レイアウトの熱インピーダンスをシミュレートしたものです。これらのグラフは、短い電流パルスで熱性能が高くなることを示しています。駆動時間が短い場合、本デバイスのダイ サイズとパッケージが熱性能を支配します。より長いドライブ パルスの場合、基板レイアウトが熱性能により大きな影響を与えます。どちらのグラフの熱インピーダンス曲線も、ドライブ パルス期間が長くなるに従って層数と銅面積に応じた差が観測されることを示しています。長いパルスの場合、定常状態の性能になるとみなすことができます。

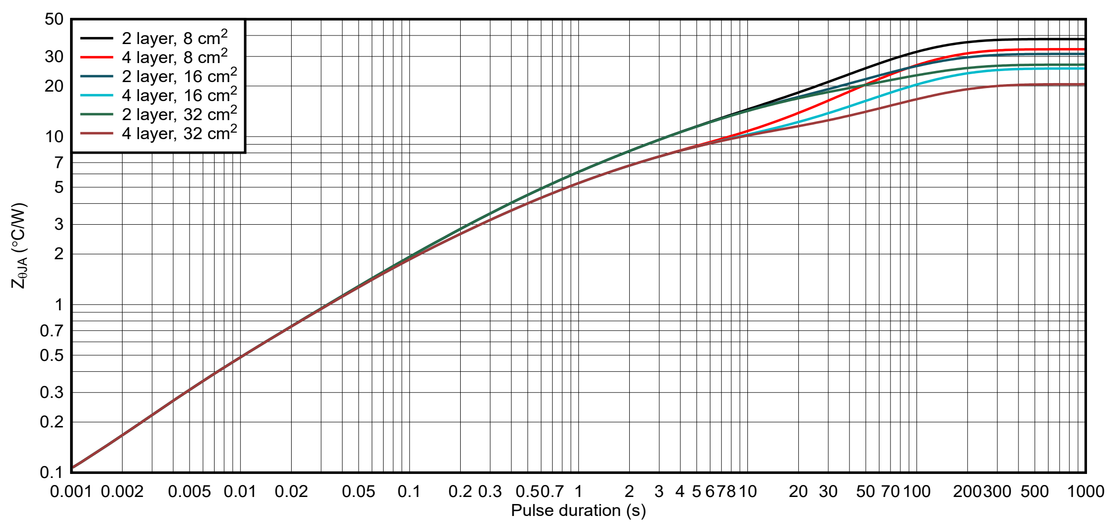


図 8-4. DDW パッケージと 1oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

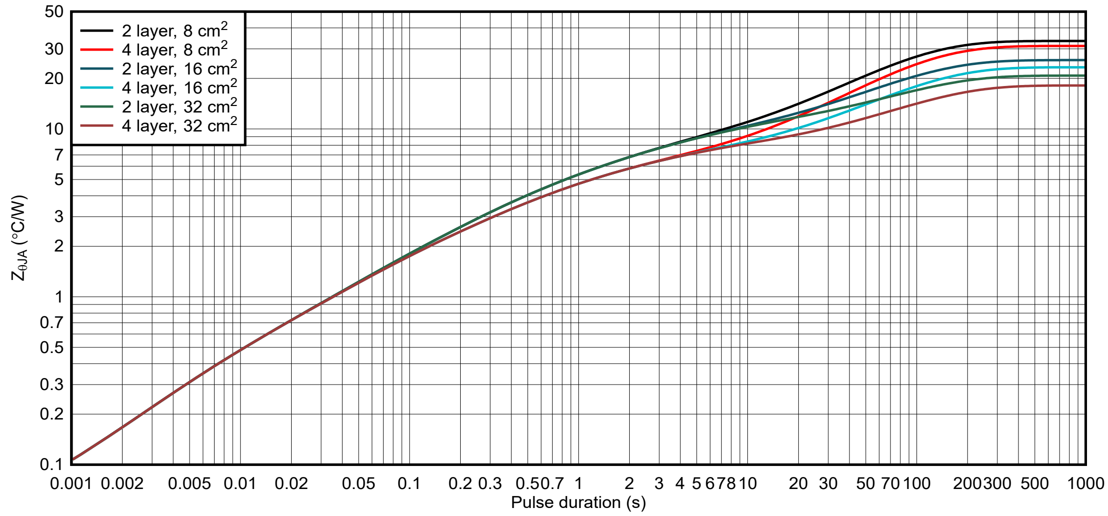


図 8-5. DDW パッケージと 2oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

8.2 PCB 材料に関する推奨事項

放熱性能を向上させ、EMI マージンを改善するために、上層と下層の両方に FR-4 ガラス エポキシ材料、2 オンス (70μm) の銅を用いることを推奨します (PCB パターンのインダクタンスが低いため)。

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、システムの開発を行うためのツールやソフトウェアを、以下に挙げます。

9.1 ドキュメントのサポート

9.1.1 関連資料

- テキサス・インスツルメンツ、*『モーター ドライバ消費電力の計算』アプリケーション レポート*
- テキサス・インスツルメンツ、*『電流再循環および減衰モード』アプリケーション レポート*
- テキサス・インスツルメンツ、*『モーター ドライバの電流定格の理解』アプリケーション レポート*
- テキサス・インスツルメンツ、*『モーター ドライブのレイアウト ガイド』アプリケーション レポート*
- テキサス・インスツルメンツ、*『半導体および IC パッケージの熱評価基準』アプリケーション レポート*
- テキサス・インスツルメンツ、『TEC の駆動で検討すべきモーター ドライバ』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (February 2024) to Revision A (July 2025)	Page
• *表 5-1* 表を更新しました。	7

11 メカニカル、パッケージ、および注文情報

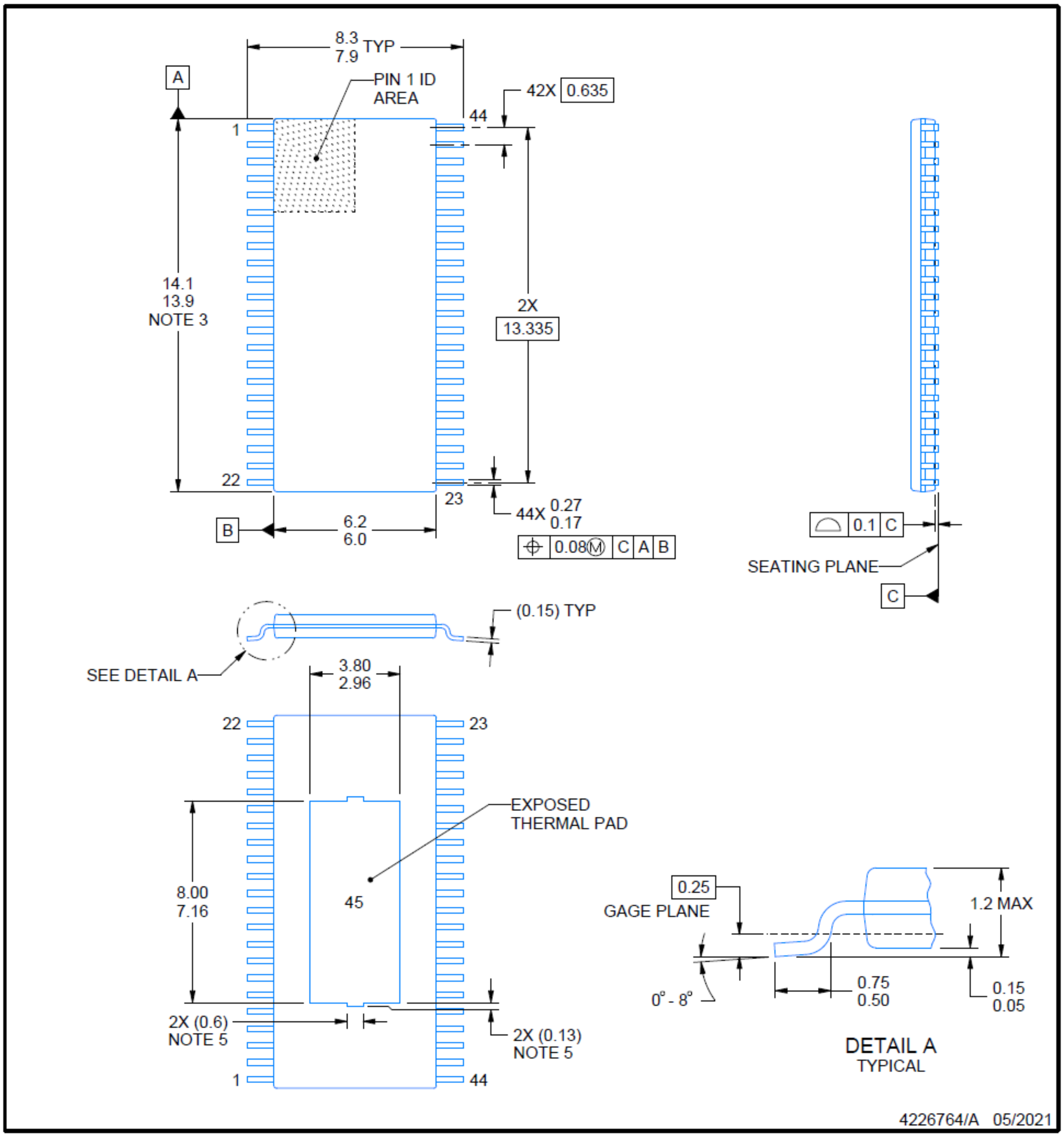
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGE OUTLINE

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

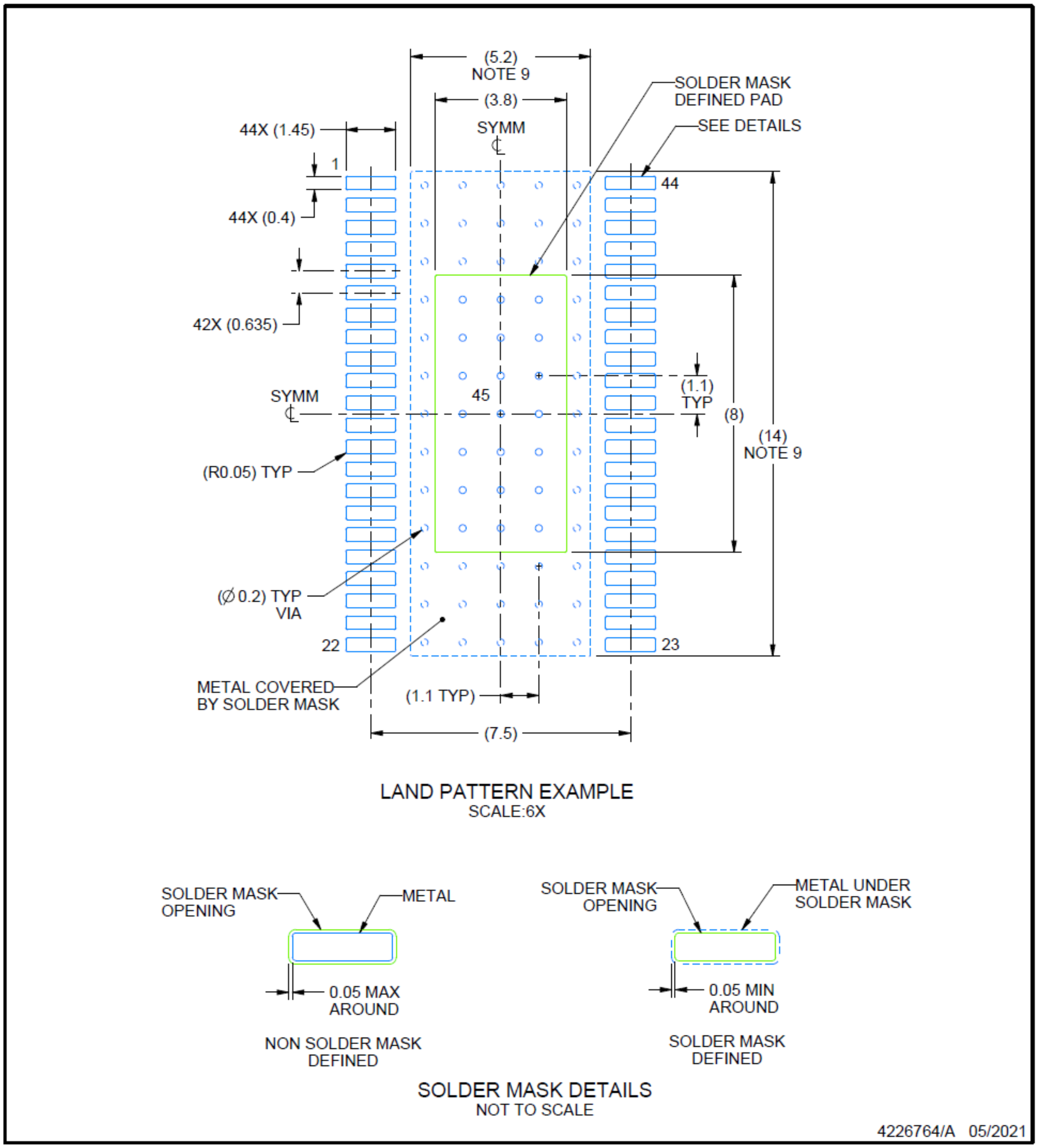
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DDW0044E **PowerPAD™ TSSOP - 1.2 mm max height**

PLASTIC SMALL OUTLINE



NOTES: (continued)

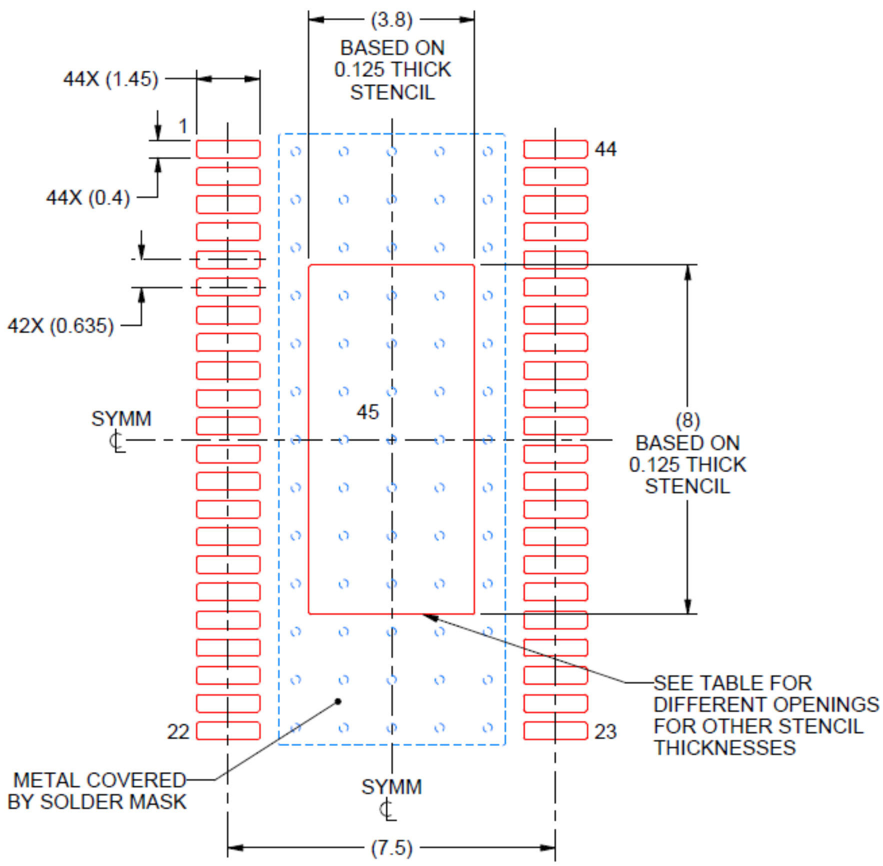
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
PAD 45:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.25 X 8.94
0.125	3.80 X 8.00 (SHOWN)
0.15	3.47 X 7.30
0.175	3.21 X 6.76

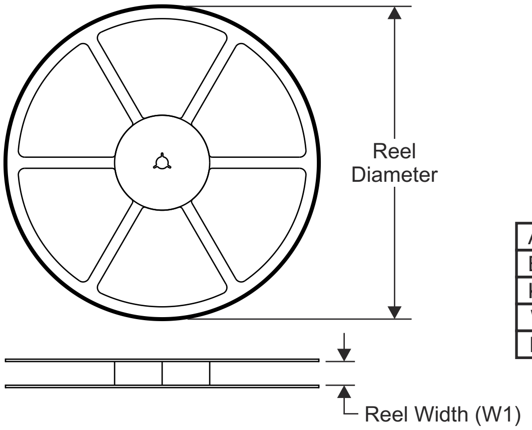
4226764/A 05/2021

NOTES: (continued)

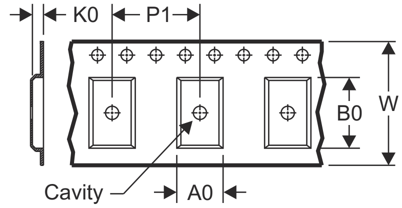
10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

11.1 テープおよびリール情報

REEL DIMENSIONS

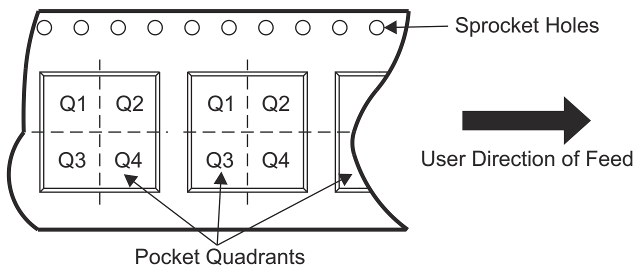


TAPE DIMENSIONS



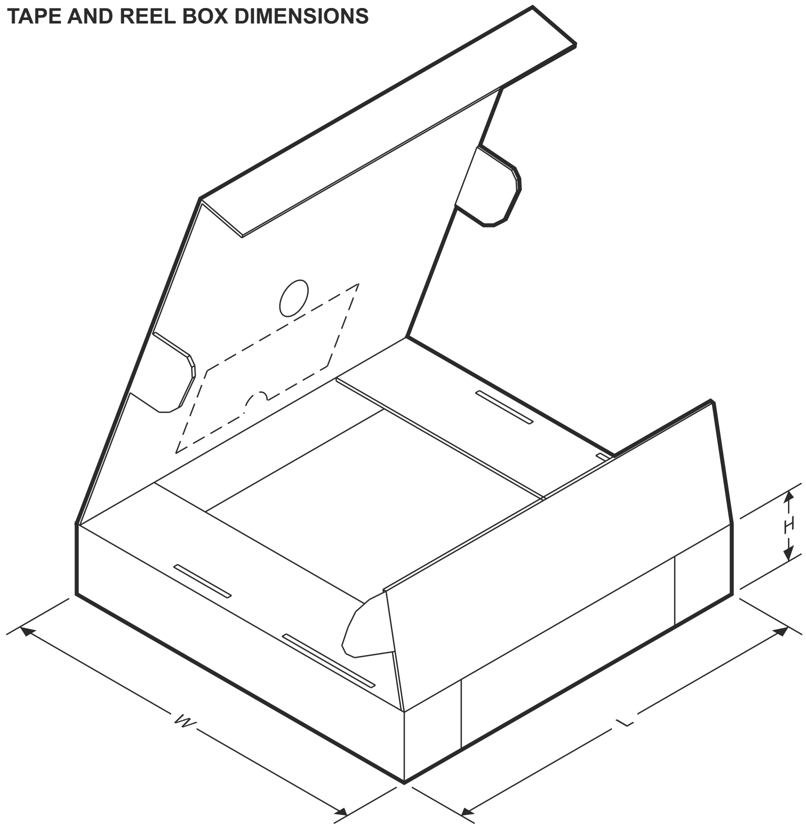
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の象限
DRV8262QDDWRQ1	HTSSOP	DDW	44	2500	330	24.4	8.9	14.7	1.4	12	24	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
DRV8262QDDWRQ1	HTSSOP	DDW	44	2500	367.0	367.0	45.0

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8262QDDWRQ1	Active	Production	HTSSOP (DDW) | 44	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8262Q1
DRV8262QDDWRQ1.A	Active	Production	HTSSOP (DDW) | 44	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8262Q1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV8262-Q1 :

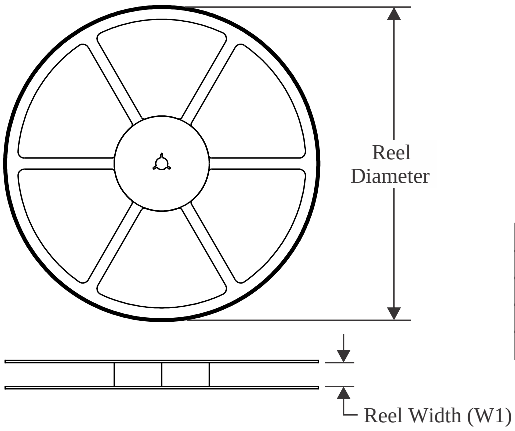
- Catalog : DRV8262

NOTE: Qualified Version Definitions:

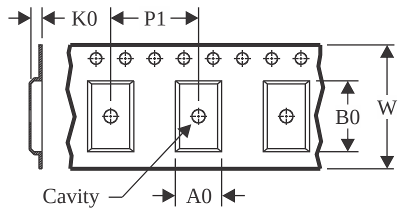
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

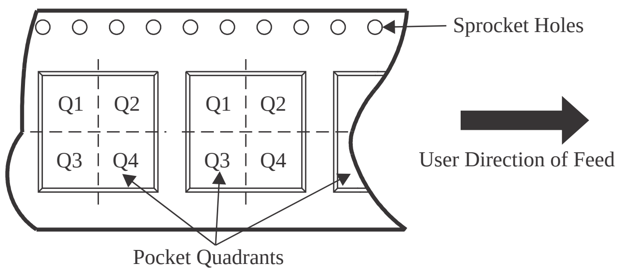


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

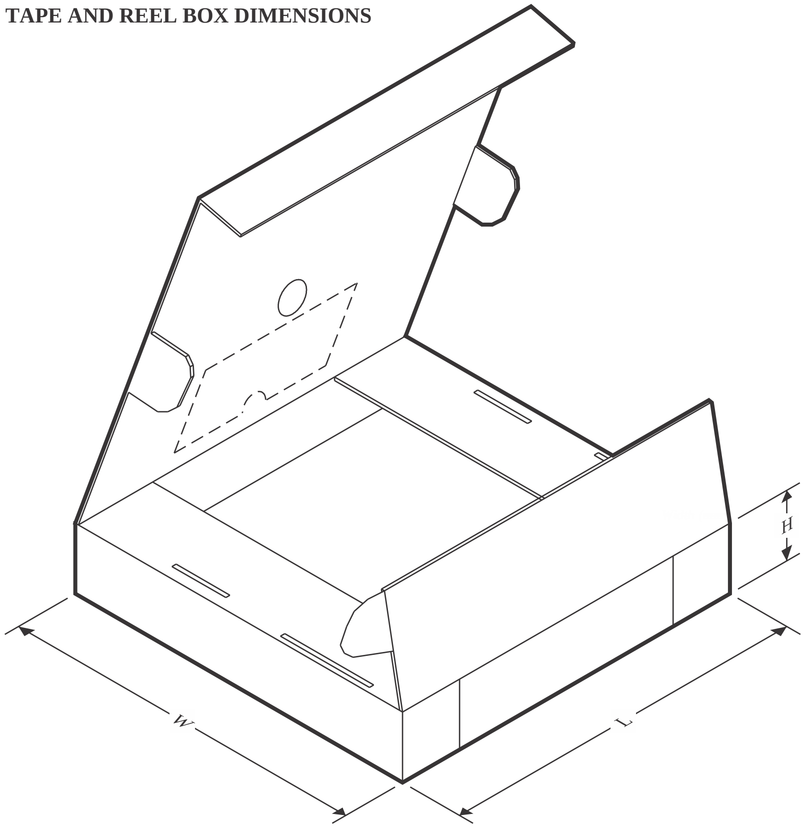
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8262QDDWRQ1	HTSSOP	DDW	44	2500	330.0	24.4	8.9	14.7	1.4	12.0	24.0	Q1

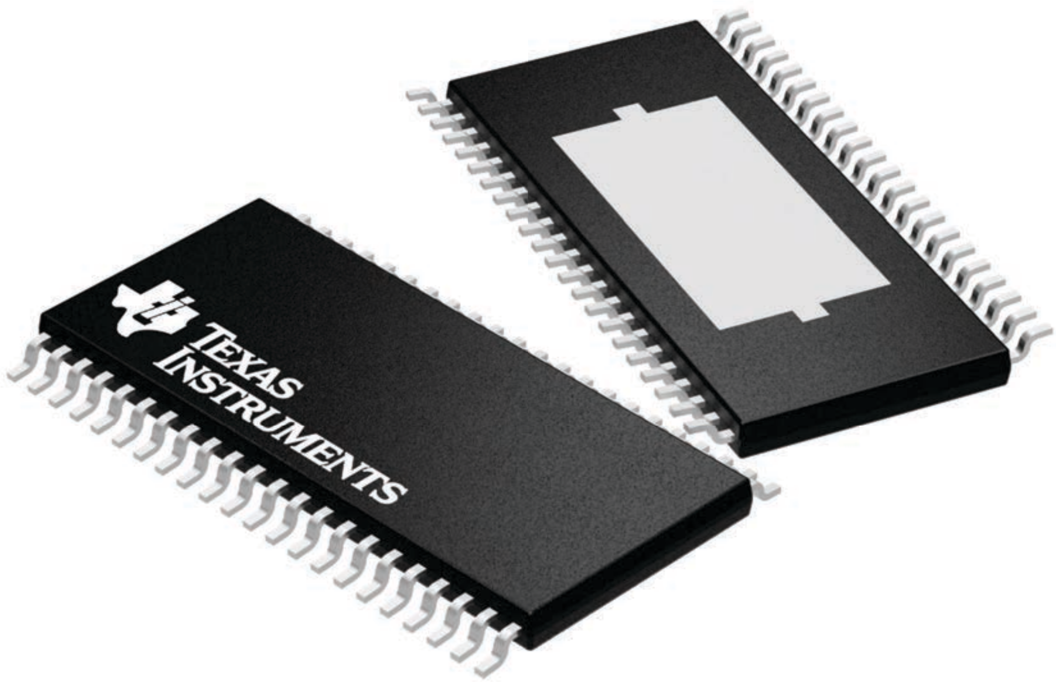
TAPE AND REEL BOX DIMENSIONS

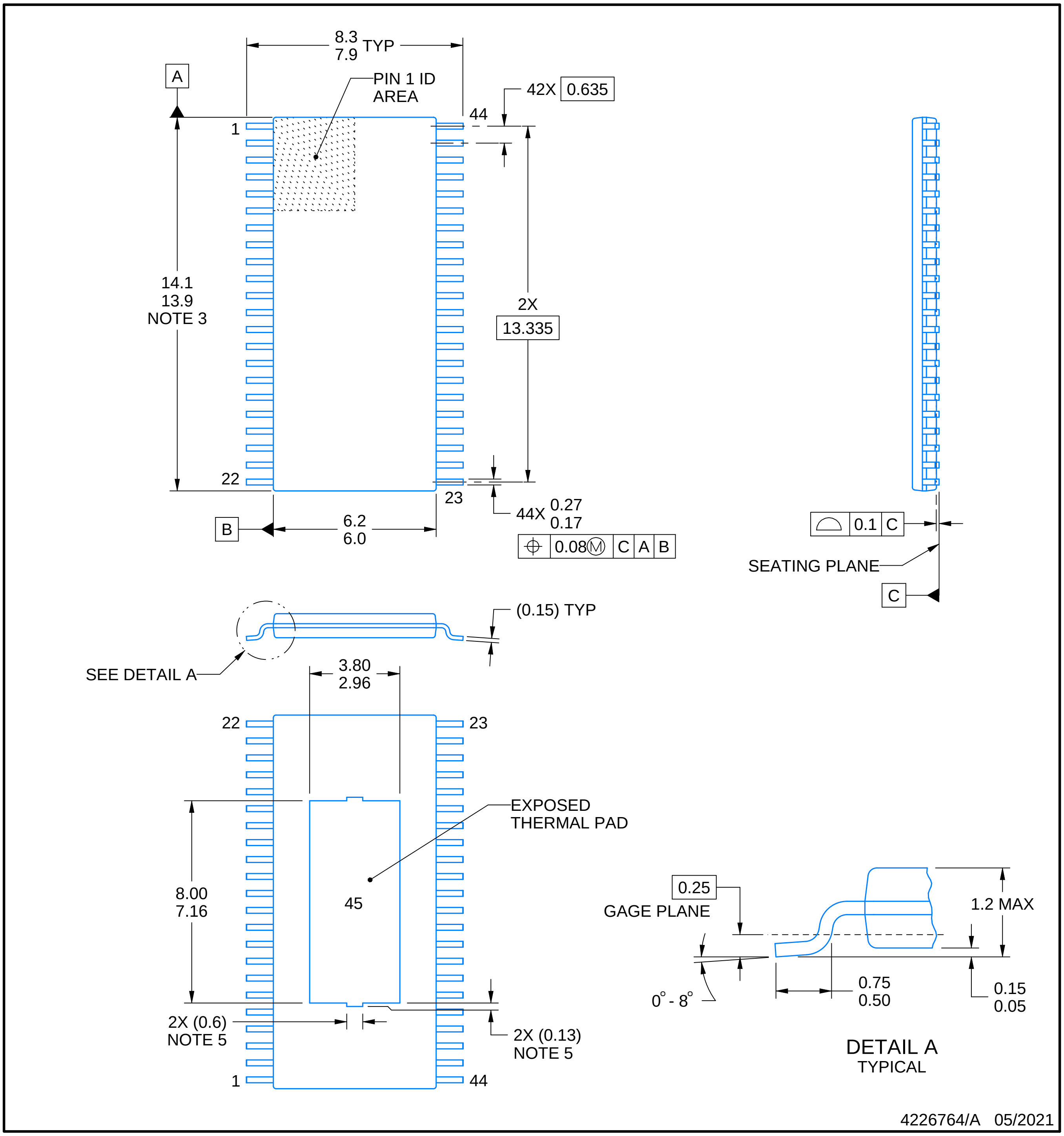


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8262QDDWRQ1	HTSSOP	DDW	44	2500	356.0	356.0	45.0

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

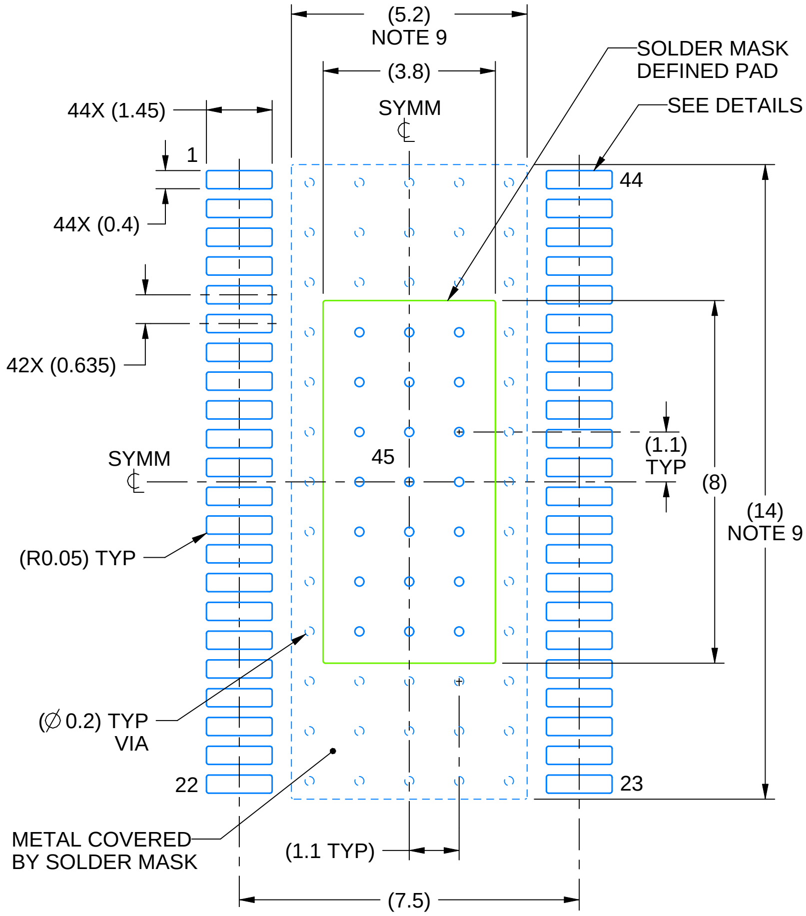




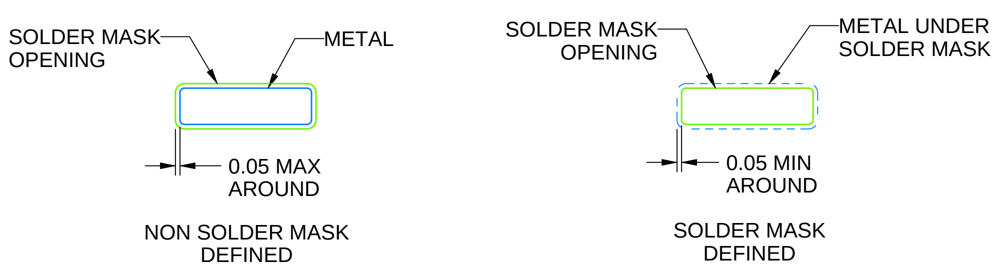
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE:6X

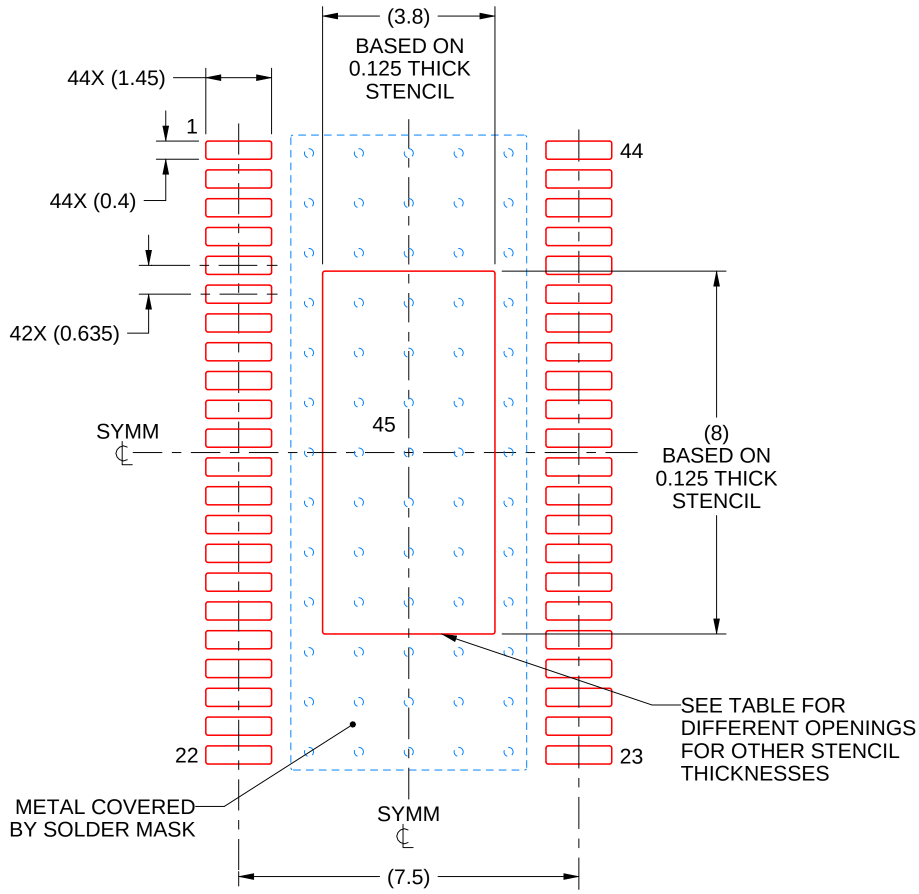


SOLDER MASK DETAILS
NOT TO SCALE

4226764/A 05/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
PAD 45:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.25 X 8.94
0.125	3.80 X 8.00 (SHOWN)
0.15	3.47 X 7.30
0.175	3.21 X 6.76

4226764/A 05/2021

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。