

DRV8256E/P H ブリッジ・モータ・ドライバ、電流検出機能およびスマート・チューン・テクノロジー内蔵

1 特長

- N チャネル H ブリッジ・モータ・ドライバ
 - 1 つの双方向ブラシ付き DC モータを駆動
 - 2 つの単方向ブラシ付き DC モータ
- 電流検出およびレギュレーション機能を内蔵
- 4.5V~48V の動作電源電圧範囲
- 複数の制御インターフェイス・オプション
 - 位相 / イネーブル (PH/EN)
 - PWM (IN/IN)
- スマート・チューン、ファーストおよびミックス・ディケイ・オプション
- 低い $R_{DS(ON)}$: 24V、25°C で 165mΩ HS + LS
- 高い出力電流能力: ピーク 6.4A
- ブラシ付き DC モータの突入電流を制限
- 構成可能なオフ時間 PWM チョッピング
 - 7、16、24、32μs
- 1.8V、3.3V、5.0V のロジック入力をサポート
- 低消費電流のスリープ・モード (2μA)
- 拡散スペクトラム・クロック処理による低い EMI
- 保護機能
 - VM 低電圧誤動作防止 (UVLO)
 - チャージ・ポンプ低電圧検出 (CPUV)
 - 過電流保護 (OCP)
 - サーマル・シャットダウン (OTSD)
 - フォルト条件出力 (nFAULT)

2 アプリケーション

- ブラシ付き DC モータ
- プリンタとスキャナ
- ATM と繊維機械
- 主な家電製品
- 掃除機、ヒューマノイド、ロボティクス
- スマート・メーター

3 概要

DRV8256E/P デバイスは、さまざまな産業用アプリケーションに適したシングル H ブリッジ・モータ・ドライバです。このデバイスには N チャネル H ブリッジ、チャージ・ポンプ・レギュレータ、電流検出およびレギュレーション、保護回路が内蔵されています。

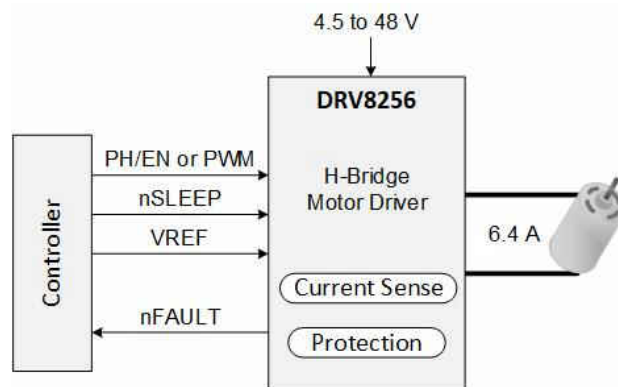
電流検出機能を内蔵しているため、ドライバは起動時や高負荷時にもモータの突入電流をレギュレートできます。可変の外部基準電圧により、電流制限を設定できます。内蔵の電流検出機能では内部の電流ミラー・アーキテクチャを使用するため、大きいシャント抵抗が不要になり、基板面積の節約とシステムコストの削減が可能です。低消費電力のスリープ・モードにより、内部回路の多くをシャットダウンして、非常に低い静止電流を実現できます。

保護機能として、電源低電圧誤動作防止 (UVLO)、チャージ・ポンプ低電圧検出 (CPUV)、過電流検出 (OCP)、デバイス過熱検出 (TSD) を内蔵しています。フォルト条件は nFAULT で通知されます。

製品情報

部品番号 ⁽¹⁾	パッケージ	本体サイズ (公称)
DRV8256EPWPR	HTSSOP (28)	9.7mm × 4.4mm
DRV8256ERGER	VQFN (24)	4.0mm × 4.0mm
DRV8256PPWPR	HTSSOP (28)	9.7mm × 4.4mm
DRV8256PRGER	VQFN (24)	4.0mm × 4.0mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



DRV8256 の概略回路図



目次

1 特長.....	1	8 アプリケーションと実装.....	26
2 アプリケーション.....	1	8.1 アプリケーション情報.....	26
3 概要.....	1	8.2 代表的なアプリケーション.....	26
4 改訂履歴.....	2	9 電源に関する推奨事項.....	30
5 ピン構成および機能.....	3	9.1 バルク容量の決定.....	30
端子機能.....	4	10 レイアウト.....	31
6 仕様.....	6	10.1 レイアウトのガイドライン.....	31
6.1 絶対最大定格.....	6	10.2 レイアウト例.....	31
6.2 ESD 定格.....	6	11 デバイスおよびドキュメントのサポート.....	33
6.3 推奨動作条件.....	7	11.1 ドキュメントのサポート.....	33
6.4 熱に関する情報.....	7	11.2 Receiving Notification of Documentation Updates..	33
6.5 電気的特性.....	8	11.3 サポート・リソース.....	33
7 詳細説明.....	11	11.4 商標.....	33
7.1 概要.....	11	11.5 Electrostatic Discharge Caution.....	33
7.2 機能ブロック図.....	12	11.6 Glossary.....	33
7.3 機能説明.....	14	12 メカニカル、パッケージ、および注文情報.....	34
7.4 デバイスの機能モード.....	24		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2020) to Revision A (June 2021)	Page
• ピーク電流を 6A に更新.....	1
• 「電流レギュレーション」のセクションを更新	15
• 「電流レギュレーション」のセクションを更新	27
• 「レイアウトのガイドライン」のセクションを更新	31
• 「レイアウト例」の図を更新	31
• QFN パッケージの図の 1 セットを削除.....	34

5 ピン構成および機能

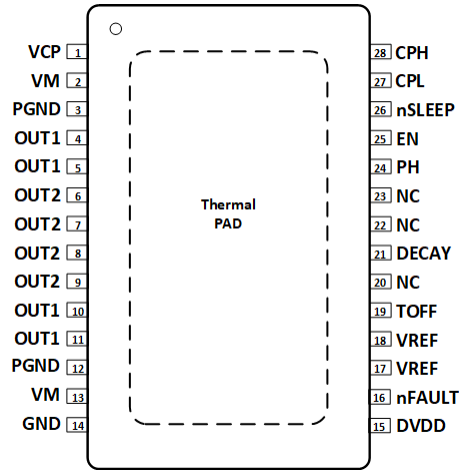


図 5-1. PWP PowerPAD™ パッケージ 28 ピン HTSSOP 上面図 DRV8256E

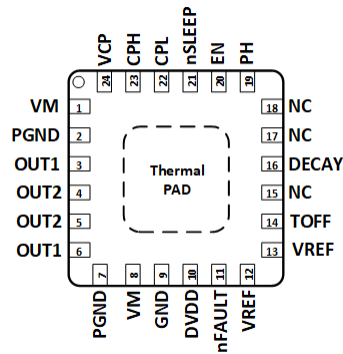


図 5-2. RGE パッケージ 24 ピン VQFN (露出サーマル・パッド付き) 上面図 DRV8256E

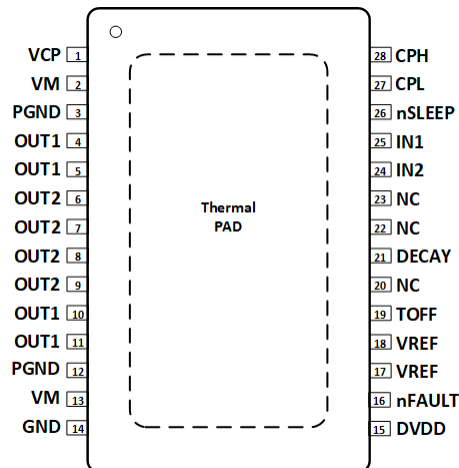


図 5-3. PWP PowerPAD™ パッケージ 28 ピン HTSSOP 上面図 DRV8256P

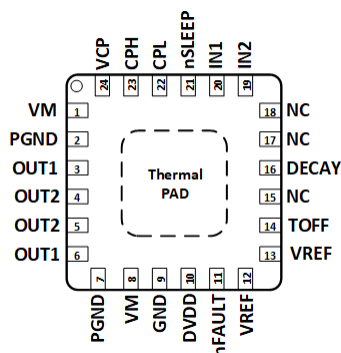


図 5-4. RGE パッケージ 24 ピン VQFN (露出サーマル・パッド付き) 上面図 DRV8256P

端子機能

ピン					種類	説明
名前	PWP		RGE			
	DRV8256E	DRV8256P	DRV8256E	DRV8256P		
DECAY	21	21	16	16	I	ディケイ・モード設定ピン。クワッドレベル・ピン。
EN	25	—	20	—	I	イネーブル入力。ロジック High にするとブリッジはイネーブルされ、ロジック Low にするとブリッジはディセーブルされてハイ・インピーダンスになります。
IN1	—	25	—	20	I	PWM 入力。H ブリッジの状態をロジック制御します。内部プルダウン。
IN2	—	24	—	19	I	PWM 入力。H ブリッジの状態をロジック制御します。内部プルダウン。
OUT1	4, 5, 10, 11	4, 5, 10, 11	3, 6	3, 6	O	巻線出力。モータの巻線に接続します。
OUT2	6, 7, 8, 9	6, 7, 8, 9	4, 5	4, 5	O	巻線出力。モータの巻線に接続します。
PH	24	—	19	—	I	Phase 入力ロジック High にすると、OUT1 から OUT2 に電流が駆動されます。
VREF	17, 18	17, 18	12, 13	12, 13	I	基準電圧入力ピン。これらのピンの電圧により、H ブリッジのフルスケールのチョッピング電流が設定されます。2 本のピンは互いに接続する必要があります。
NC	20, 22, 23	20, 22, 23	15, 17, 18	15, 17, 18	I	未接続。
CPH	28	28	23	23	PWR	チャージ・ポンプのスイッチング・ノード。X7R、0.022μF、VM 定格セラミック・コンデンサを CPH と CPL の間に接続します。
CPL	27	27	22	22		
GND	14	14	9	9	PWR	デバイスのグラウンド。システム・グラウンドに接続します。
TOFF	19	19	14	14	I	電流チョッピング中のディケイ・モードのオフ時間を設定します。クワッドレベル・ピン。また、スマート・チューン・リップル・コントロール・モードでリップル電流を設定します。
DVDD	15	15	10	10	PWR	ロジック電源電圧。X7R、0.47μF～1μF、6.3V または 10V 定格セラミック・コンデンサを GND との間に接続します。
VCP	1	1	24	24	O	チャージ・ポンプの出力。X7R、0.22μF、16V セラミック・コンデンサを VM との間に接続します。
VM	2, 13	2, 13	1, 8	1, 8	PWR	電源。モータ電源電圧に接続し、VM 定格の 2 つの 0.01μF セラミック・コンデンサ (各ピンに 1 つずつ) と 1 つのバルク・コンデンサを使用して PGND にバイパスします。

ピン					種類	説明
名前	PWP		RGE			
	DRV8256E	DRV8256P	DRV8256E	DRV8256P		
PGND	3, 12	3, 12	2, 7	2, 7	PWR	電源グラウンド。システム・グラウンドに接続します。
nFAULT	16	16	11	11	O	フォルト通知。フォルト条件により論理 Low に駆動されます。オープン・ドレイン出力には外部プルアップ抵抗が必要です。
nSLEEP	26	26	21	21	I	スリープ・モード入力。論理 High でデバイスをイネーブル。論理 Low で低消費電力スリープ・モードに移行。内部プルダウン抵抗。
PAD	-	-	-	-	-	サーマル・パッド。システム・グラウンドに接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内、GND 基準 (特に記述のない限り)⁽¹⁾

	最小	最大	単位
電源電圧 (VM)	−0.3	50	V
チャージ・ポンプ電圧 (VCP, CPH)	−0.3	$V_{VM} + 7$	V
チャージ・ポンプ負スイッチング・ピン (CPL)	−0.3	V_{VM}	V
nSLEEP ピン電圧 (nSLEEP)	−0.3	V_{VM}	V
内部レギュレータ電圧 (DVDD)	−0.3	5.75	V
制御ピン電圧 (PH, EN, IN1, IN2, nFAULT, DECAY, TOFF)	−0.3	5.75	V
オープンドレイン出力電流 (nFAULT)	0	10	mA
リファレンス入力ピン電圧 (VREF)	−0.3	5.75	V
巻線出力ピン電圧 (連続) (OUT1, OUT2)	−1	$V_{VM} + 1$	V
巻線出力ピン電圧 (過渡 100ns) (OUT1, OUT2)	−3	$V_{VM} + 3$	V
ピーク駆動電流 (OUT1, OUT2)	内部的に制限		A
動作時周囲温度、 T_A	−40	125	°C
動作時の接合部温度、 T_J	−40	150	°C
保管温度、 T_{stg}	−65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	PWP のコーナー・ピン (1、14、15、28)	
			その他のピン	

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.5	48	V
V_I	論理レベル入力電圧	0	5.5	V
V_{REF}	基準 RMS 電圧範囲 (V_{REF})	0.05	5	V
f_{PWM}	PWM 信号周波数 (PH、EN、IN1、IN2)	0	100	kHz
I_{FS}	ピーク出力電流	0	6.4	A
T_A	動作時周囲温度	-40	125	°C
T_J	動作時ジャンクション温度	-40	150	°C

6.4 熱に関する情報

熱測定値		PWP (HTSSOP)	RGE (VQFN)	単位
		28 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	29.7	39.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	23.0	28.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	9.3	16.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	0.4	°C/W
Ψ_{JB}	接合部から基板への評価パラメータ	9.2	15.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.4	3.4	°C/W

6.5 電気的特性

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ の値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
電源 (VM、DVDD)						
I _{VM}	VM 動作電源電流	nSLEEP = 1、モータ負荷なし		4	5.5	mA
I _{VMQ}	VM スリープ・モード電源電流	nSLEEP = 0		2	4	μA
t _{SLEEP}	スリープ時間	nSLEEP = 0 でスリープモード	120			μs
t _{RESET}	nSLEEP リセット・パルス	nSLEEP = Low でフォルトをクリア	20		40	μs
t _{WAKE}	ウェークアップ時間	nSLEEP = 1 で出力遷移		0.8	1.2	ms
t _{ON}	ターンオン時間	VM > UVLO で出力遷移		0.8	1.2	ms
V _{DVDD}	内部レギュレータ電圧	外部負荷なし、6V < V _{VM} < 48V	4.75	5	5.25	V
		外部負荷なし、V _{VM} = 4.5V	4.2	4.35		V
チャージ・ポンプ (VCP、CPH、CPL)						
V _{VCP}	VCP 動作電圧	6V < V _{VM} < 48V		V _{VM} +5		V
f _(VCP)	チャージ・ポンプ・スイッチング周波数	V _{VM} > UVLO、nSLEEP = 1		360		kHz
ロジック・レベル入力 (PH、EN、IN1、IN2、nSLEEP)						
V _{IL}	入力論理 Low 電圧		0		0.6	V
V _{IH}	入力論理 High 電圧		1.5		5.5	V
V _{HYS}	入力論理ヒステリシス			150		mV
I _{IL}	入力論理 Low 電流	V _{IN} = 0V	−1		1	μA
I _{IH}	入力論理 High 電流	V _{IN} = 5V			100	μA
t _{PD}	伝搬遅延	PH、EN、INx 入力から電流が変化するまで		800		ns
クワッドレベル入力 (DECAY、TOFF)						
V _{I1}	入力論理 Low 電圧	GND に接続	0		0.6	V
V _{I2}		330kΩ ± 5% を GND との間に接続	1	1.25	1.4	V
V _{I3}	入力ハイ・インピーダンス電圧	ハイ・インピーダンス (GND との間の抵抗値が 500kΩ よりも大きい)	1.8	2	2.2	V
V _{I4}	入力論理 High 電圧	DVDD に接続	2.7		5.5	V
I _O	出力プルアップ電流			10		μA
制御出力 (nFAULT)						
V _{OL}	出力論理 Low 電圧	I _O = 5mA			0.5	V
I _{OH}	出力論理 High リーク電流		−1		1	μA
モータ・ドライバ出力 (OUT1、OUT2)						
R _{DS(ONH)}	ハイサイド FET オン抵抗	T _J = 25°C、I _O = -1A		82	100	mΩ
		T _J = 125°C、I _O = -1A		125	150	mΩ
		T _J = 150°C、I _O = -1A		140	175	mΩ
R _{DS(ONL)}	ローサイド FET オン抵抗	T _J = 25°C、I _O = 1A		82	100	mΩ
		T _J = 125°C、I _O = 1A		125	150	mΩ
		T _J = 150°C、I _O = 1A		140	175	mΩ
t _{SR}	出力スルーレート	VM = 24V、I _O = 1A、10% と 90% の間		240		V/μs
電流レギュレーション (VREF)						
I _{VREF}	VREF リーク電流	VREF = 3.3V			8.25	μA

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ の値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
t _{OFF}	PWM オフ時間	TOFF = 0		7		μs
		TOFF = 1		16		
		TOFF = ハイ・インピーダンス		24		
		TOFF = 330kΩ を GND との間に接続		32		
ΔI _{TRIP}	I _{TRIP} 電流精度	0.5A < I _{TRIP} < 1A	-12		12	%
		1A < I _{TRIP} < 2A	-6		6	
		2A < I _{TRIP} < 5A	-4		4	
保護回路						
V _{UVLO}	VM 低電圧誤動作防止 (UVLO)	VM 立ち下がり、UVLO 立ち下がり	4.1	4.25	4.35	V
		VM 立ち上がり、UVLO 立ち上がり	4.2	4.35	4.45	
V _{UVLO,HYS}	低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュ ホールド		100		mV
V _{CPUV}	チャージ・ポンプ低電圧	VCP 立ち下がり		V _{VM} + 2		V
I _{OCP}	過電流保護	FET を流れる電流	8			A
t _{OCP}	過電流グリッチ除去時間			2		μs
T _{OTSD}	サーマル・シャットダウン	ダイ温度 T _J	150	165	180	°C
T _{HYS_OTSD}	過熱保護閾値ヒステリシス	ダイ温度 T _J		20		°C

6.5.1 代表的特性

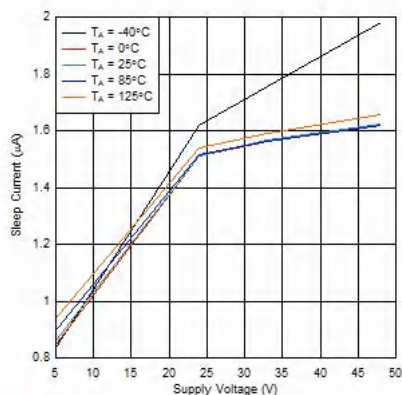


図 6-1. スリープ電流と電源電圧

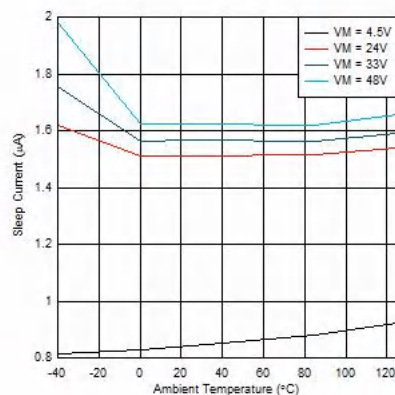


図 6-2. スリープ電流温度特性

6.5.1 代表的特性 (continued)

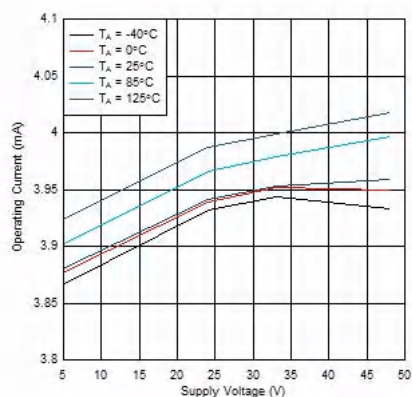


図 6-3. 動作電流と電源電圧

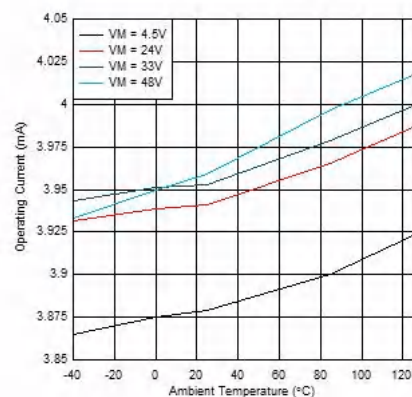
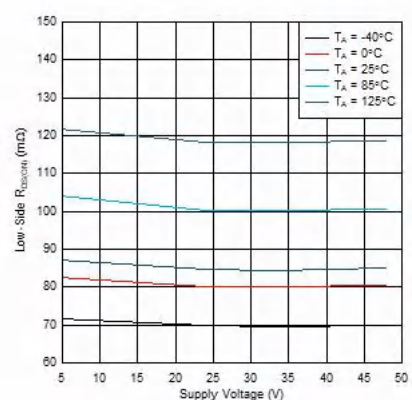
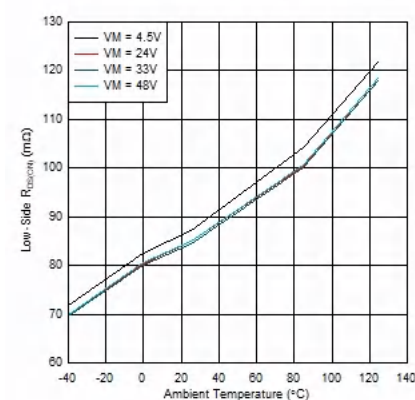
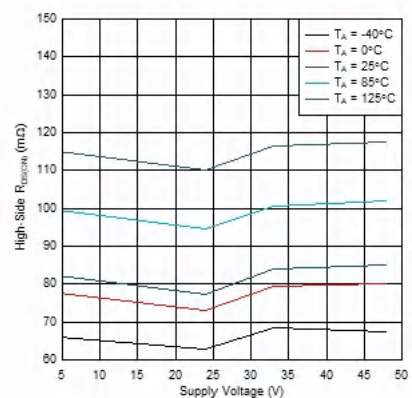
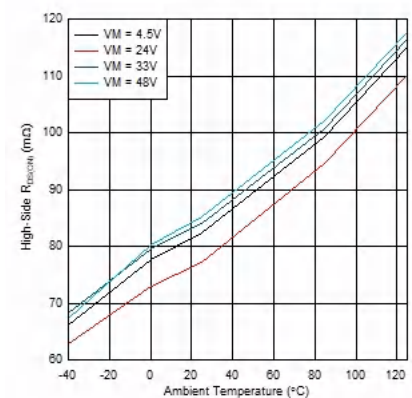


図 6-4. 動作電流温度特性

図 6-5. ローサイド $R_{DS(ON)}$ と電源電圧図 6-6. ローサイド $R_{DS(ON)}$ 温度特性図 6-7. ハイサイド $R_{DS(ON)}$ と電源電圧図 6-8. ハイサイド $R_{DS(ON)}$ 温度特性

7 詳細説明

7.1 概要

DRV8256E/P デバイスは、4.5V～48V で動作するブラシ付き DC モータ・ドライバであり、各種モータおよび負荷の幅広い出力負荷電流をサポートしています。このデバイスは、H ブリッジ出力パワー段とチャージ・ポンプ・レギュレータを内蔵しており、より効率的なハイサイド N チャンネル MOSFET をサポートします。本デバイスは、バッテリーまたは DC 電圧電源に直接接続できる単一電源入力 (VM) で動作します。nSLEEP ピンにより、超低消費電力モードに移行して、スリープ時の消費電流を最小限に抑えることができます。

このデバイスは、ローサイド・パワー MOSFET の電流ミラーを使用した電流検出回路も内蔵しています。内蔵の電流検出回路により、デバイスは固定オフ時間の PWM チョッピング方式で出力電流を制限できます。内蔵の電流検出回路は、外部のシャント抵抗を使用しなくても、従来の外部シャント抵抗検出を実行します。システムの要求に応じて負荷電流を制限するため、オフ時間の PWM 電流レギュレーション・レベルは、モータが動作している間 VREF ピンを使って設定できます。電流レギュレーションは高度に設定可能であり、複数のディケイ動作モードを持っています。PWM オフ時間 t_{OFF} は 7、16、24、32 μ s に調整できます。

システムに異常状態が発生した場合、内蔵する各種保護機能がデバイスを保護します。主な保護機能は、低電圧誤動作防止 (UVLO)、チャージ・ポンプ低電圧 (CPUV)、過電流保護 (OCP)、過熱シャットダウン (TSD) などです。フォルト条件は nFAULT ピンにより示されます。

7.2 機能ブロック図

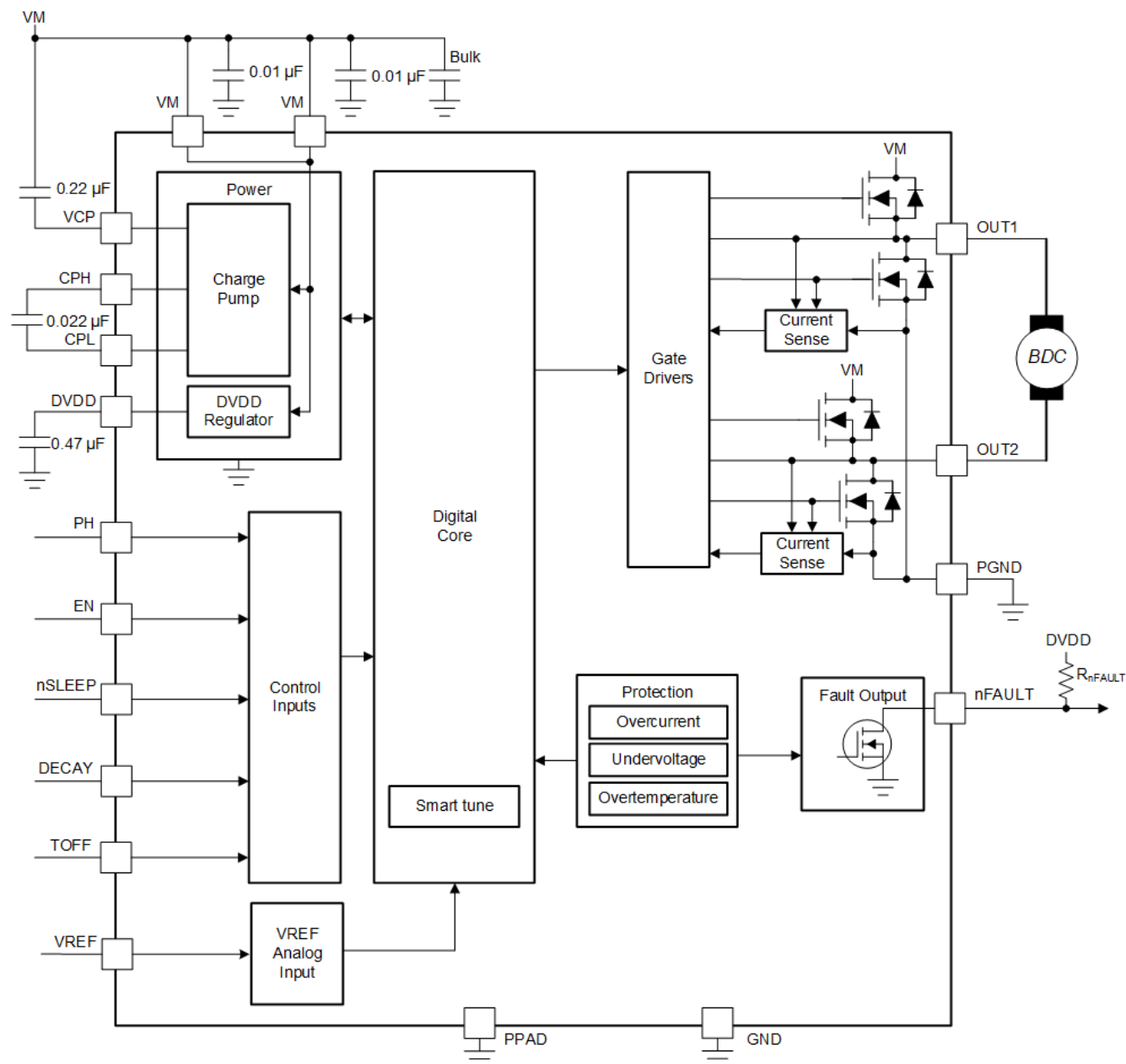


図 7-1. DRV8256E のブロック図

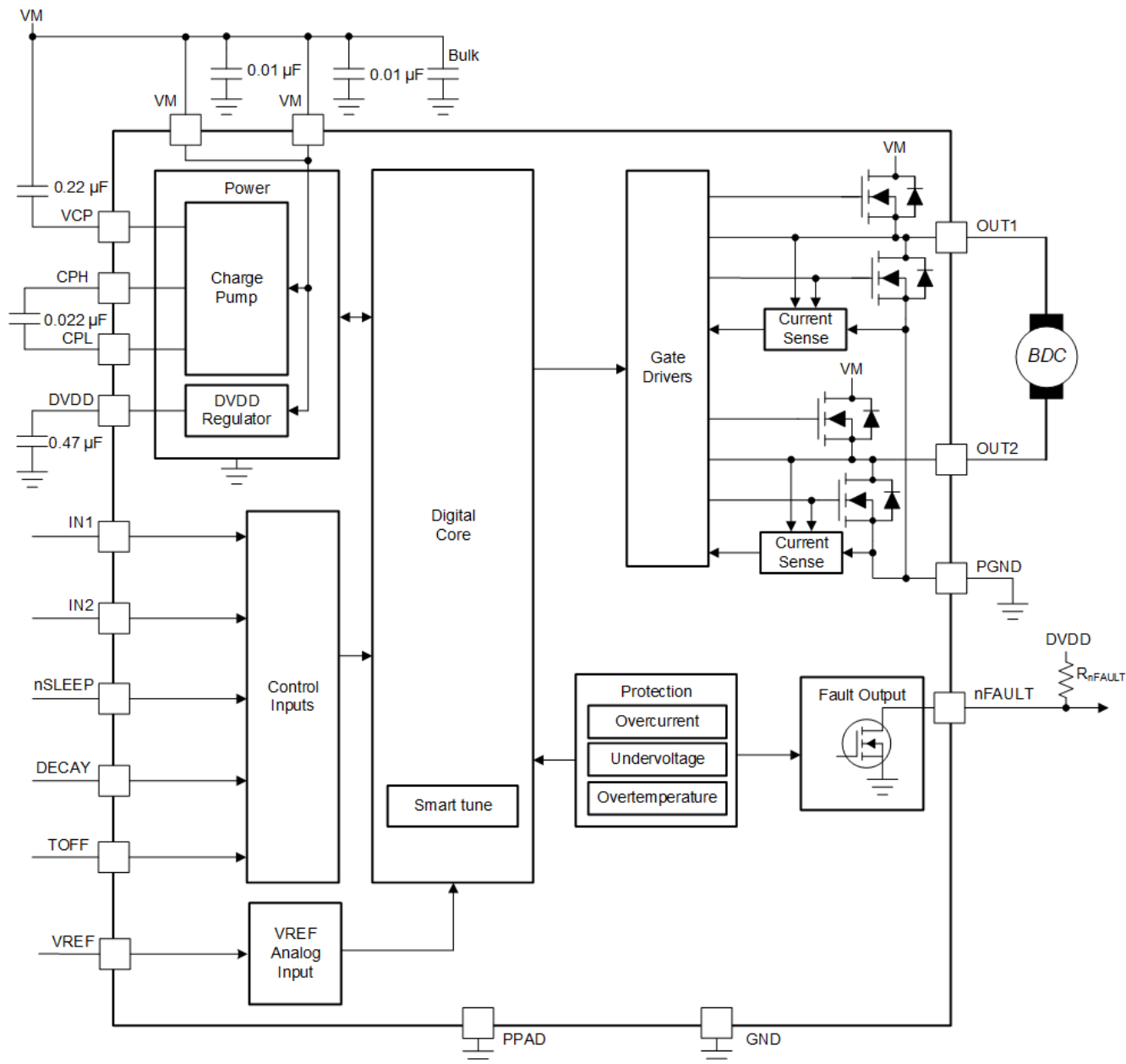


図 7-2. DRV8256P のブロック図

7.3 機能説明

以下の表に、ドライバの外付け部品の推奨値を示します。

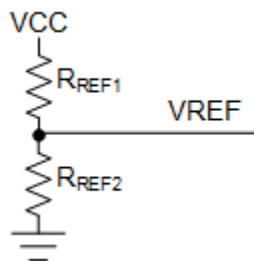


図 7-3. VREF ピンに接続された抵抗分割器

表 7-1. 外付け部品

部品	ピン 1	ピン 2	推奨する事項
C _{VM1}	VM	PGND	2 つの X7R、0.01μF、VM 定格セラミック・コンデンサ
C _{VM2}	VM	PGND	バルク、VM 定格コンデンサ
C _{VCP}	VCP	VM	X7R、0.22μF、16V セラミック・コンデンサ
C _{SW}	CPH	CPL	X7R、0.022μF、VM 定格セラミック・コンデンサ
C _{DVDD}	DVDD	GND	X7R、0.47μF～1μF、6.3V または 10V 定格セラミック・コンデンサ
R _{nFAULT}	VCC	nFAULT	4.7kΩ 以上の抵抗
R _{REF1}	VREF	VCC	チョッピング電流を制限するための抵抗。R _{REF1} と R _{REF2} の並列抵抗値を 50kΩ よりも小さくすることを推奨します。
R _{REF2} (オプション)	VREF	GND	

VCC は本デバイスのピンではありませんが、オープンドレイン出力の nFAULT は VCC 電源電圧にプルアップする必要があります。nFAULT は DVDD にプルアップすることもできます。

7.3.1 ブリッジの制御

DRV8256E は、PH/EN インターフェイスを使用して制御されます。表 7-2 に、フル H ブリッジの状態を示します。この表では、DRV8256E に組み込まれている電流制御機能は考慮されていないことに注意します。正の電流は、OUT1 から OUT2 の方向に定義されています。

表 7-2. DRV8256E の (PH/EN) 制御インターフェイス

nSLEEP	EN	PH	OUT1	OUT2	説明
0	X	X	ハイ・インピーダンス	ハイ・インピーダンス	スリープ・モード、H ブリッジはディセーブル (ハイ・インピーダンス)
1	0	X	ハイ・インピーダンス	ハイ・インピーダンス	H ブリッジはディセーブル (ハイ・インピーダンス)
1	1	0	L	H	逆方向 (OUT2 から OUT1 への電流)
1	1	1	H	L	順方向 (OUT1 から OUT2 への電流)

DRV8256P は、PWM インターフェイスを使用して制御されます。表 7-3 に、フル H ブリッジの状態を示します。この表では、DRV8256P に組み込まれている電流制御機能は考慮されていないことに注意します。正の電流は、OUT1 から OUT2 の方向に定義されています。

表 7-3. DRV8256P の (PWM) 制御インターフェイス

nSLEEP	IN1	IN2	OUT1	OUT2	説明
0	X	X	ハイ・インピーダンス	ハイ・インピーダンス	スリープ・モード、H ブリッジはディセーブル (ハイ・インピーダンス)
1	0	0	L	L	ブレーキ、ローサイド・スロー・ディケイ

表 7-3. DRV8256P の (PWM) 制御インターフェイス (continued)

nSLEEP	IN1	IN2	OUT1	OUT2	説明
1	0	1	L	H	逆方向 (OUT2 から OUT1 への電流)
1	1	0	H	L	順方向 (OUT1 から OUT2 への電流)
1	1	1	H	H	ブレーキ、ハイサイド・スロー・ディケイ

7.3.2 電流レギュレーション

モータ巻線に流れる電流は、調整可能なオフ時間 PWM 電流レギュレーション回路によって制御されます。H ブリッジをイネーブルすると、現在の DC 電圧、巻線のインダクタンス、逆起電力の大きさに応じた速度で、巻線を通る電流が増加します。電流が電流レギュレーション・スレッショルドに達すると、ブリッジは TOFF ピンの設定で決まる時間の間ディケイ・モードに移行して電流を低減します。オフ時間が経過すると、ブリッジは再イネーブルされ、次の PWM サイクルを開始します。内部電流ミラー・アーキテクチャで電流を測定するため、外付けセンス抵抗は不要です。

VREF ピンの電圧が 3.3V を超えない場合、ITRIP 電流 (I_{TRIP}) は、 $I_{TRIP} (A) = V_{REFx} (V) / 0.66 (V/A)$ として計算できます。

VREF 電圧が 3.3V を超えると、ITRIP 電流は VREF 電圧に対して線形で増加しなくなります。VREF を DVDD または外部 5V に接続すると、デバイスは最大 6.4A のピーク電流を供給できます。ただし、デバイスの放熱性能は慎重に考慮する必要があります。5A を超えるピーク電流を駆動するには、ヒートシンクが必要になる場合があります。

表 7-4. オフ時間の設定

TOFF	オフ時間 t_{OFF}
0	7μs
1	16μs
ハイ・インピーダンス	24μs
330kΩ を GND との間に接続	32μs

7.3.3 ディケイ・モード

PWM 電流チョッピング中、PWM 電流チョッピング・スレッシュホールドに達するまで H ブリッジはモータ巻線を駆動します。図 7-4 の項目 1 に、これを示します。

チョッピング電流スレッシュホールドに達すると、H ブリッジは 2 種類の状態 (ファースト・ディケイまたはスロー・ディケイ) で動作できるようになります。ファースト・ディケイ・モードでは、PWM チョッピング電流スレッシュホールドに達すると、巻線電流が逆方向に流れるように H ブリッジは状態を反転させます。反対側の FET がオンになり、巻線電流がゼロに近づくと、ブリッジはディセーブルされ、逆電流が流れるのを防止します。図 7-4 の項目 2 に、ファースト・ディケイ・モードを示します。スロー・ディケイ・モードでは、ブリッジの両方のローサイド FET をオンにすることで巻線電流を再循環させます。図 7-4 の項目 3 に、これを示します。

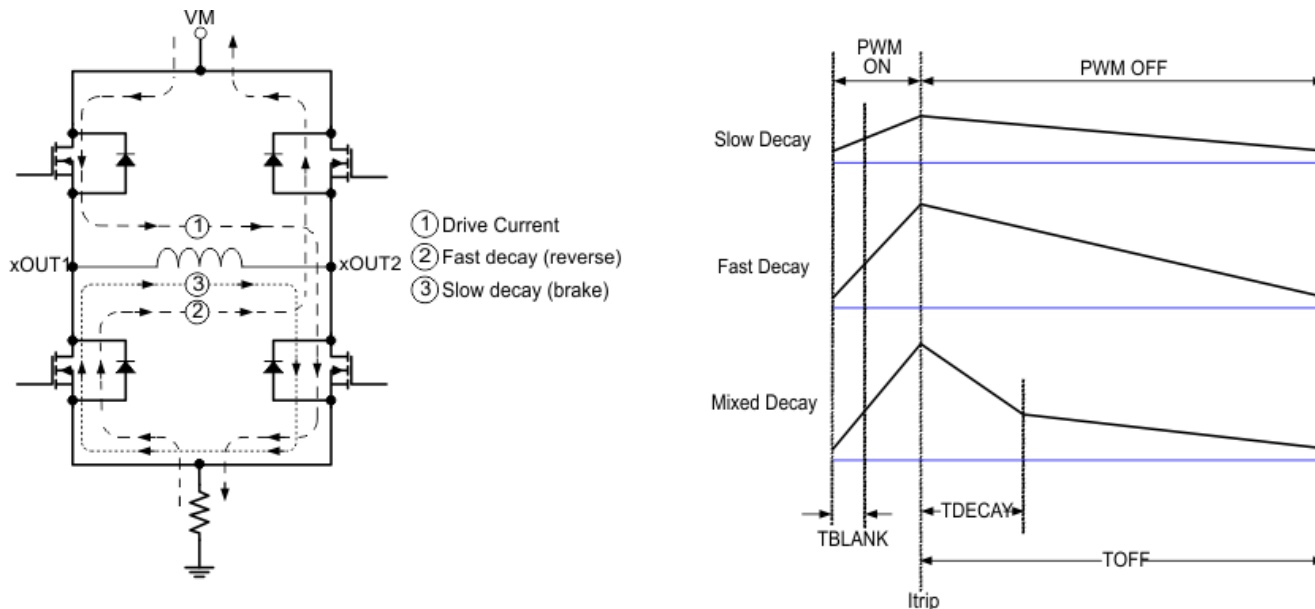


図 7-4. ディケイ・モード

ディケイ・モードは、クワッド・レベルの DECAY ピンを設定することで選択されます (表 7-5 を参照)。

表 7-5. ディケイ・モードの設定

ディケイ	ディケイ・モード
0	スマート・チューン・ダイナミック・ディケイ
1	スマート・チューン・リップル・コントロール
ハイ・インピーダンス	ミックス・ディケイ:30% 高速
330kΩ を GND との間に接続	ファースト・ディケイ

7.3.3.1 ミックス・ディケイ

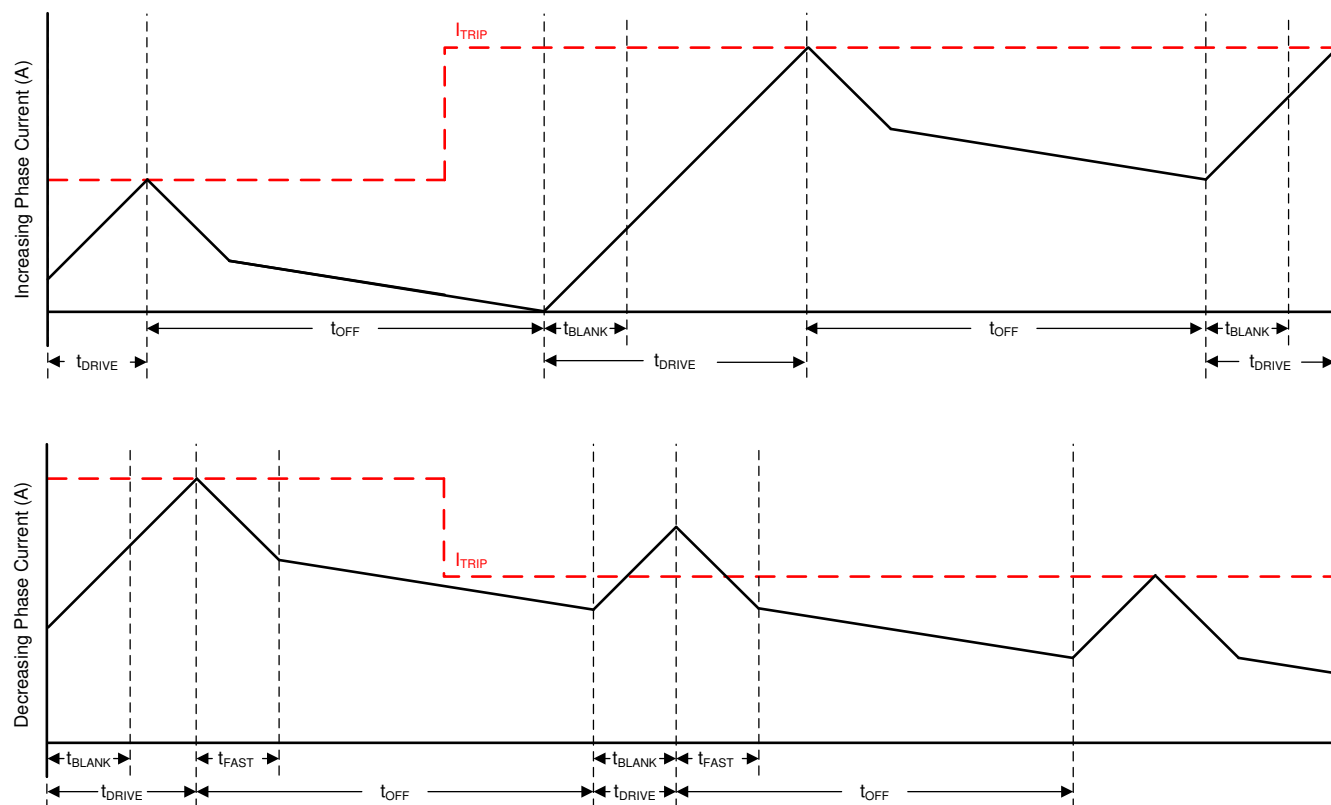


図 7-5. ミックス・ディケイ・モード

ミックス・ディケイでは、 t_{OFF} 時間の初めの 30% の期間はファースト・ディケイを行い、その後スロー・ディケイに切り替わります。

このモードでのリップルは、スロー・ディケイ時より大きくなりますが、ファースト・ディケイ時よりは小さくなります。電流減少ステップでは、ミックス・ディケイはスロー・ディケイよりも高速に新しい I_{TRIP} レベルに落ち着きます。

7.3.3.2 ファースト・ディケイ

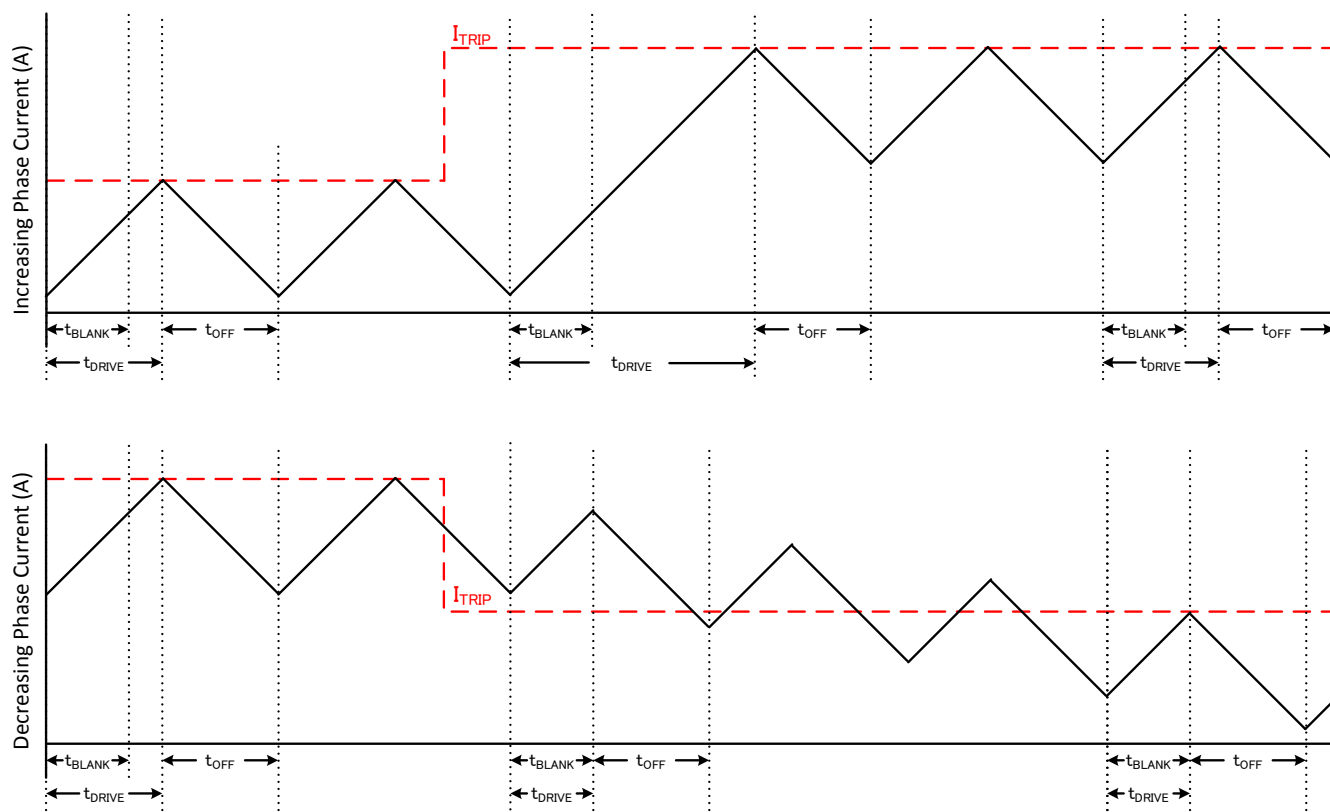


図 7-6. ファースト / ファースト・ディケイ・モード

ファースト・ディケイ中、H ブリッジの極性は反転します。電流がゼロに近づくとき、H ブリッジはディセーブルされ、逆方向の電流を防止します。

ファースト・ディケイは、与えられた t_{OFF} に対して、ディケイ・モードの中で最も大きい電流リップルを示します。電流減少ステップでは、電流が非常に速く減少するため、スロー・ディケイよりも遷移時間ははるかに短くなります。

7.3.3.3 スマート・チューン・ダイナミック・ディケイ

スマート・チューン電流レギュレーション方式は、従来の固定オフ時間電流レギュレーション方式に比べて高度な電流レギュレーション制御手法です。スマート・チューン電流レギュレーション方式を使うと、ステッピング・モータ・ドライバは以下のような動作要因に基づいてディケイ方式を調整できます。

- モータの巻線抵抗およびインダクタンス
- モータの経年変化
- モータの動的速度および負荷
- モータの電源電圧変動
- 小電流と大電流の di/dt

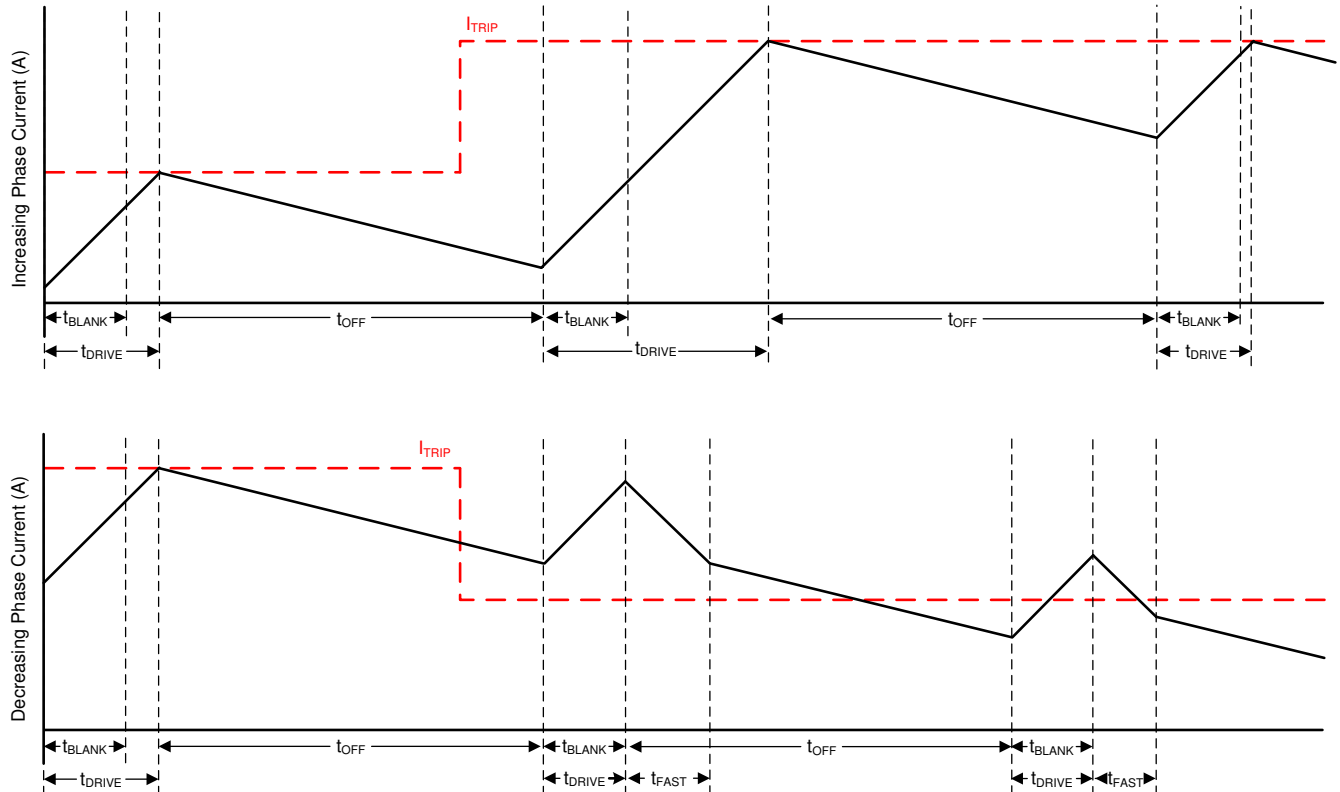


図 7-7. スマート・チューン・ダイナミック・ディケイ・モード

スマート・チューン・ダイナミック・ディケイでは、スロー、ミックス、ファースト・ディケイといったディケイ・モードが自動的に構成されるため、ディケイ・モードの選択が大幅に簡略化されます。ミックス・ディケイでは、スマート・チューンにより、ミックス・ディケイの総時間に対するファースト・ディケイの割合が動的に調整されます。この機能により、モータのリップルを最小限に抑える最良のディケイ設定が自動的に決定されるため、モータのチューニングが不要になります。

ディケイ・モード設定は、各 PWM サイクルで繰り返し最適化されます。モータ電流が目標トリップ・レベルを超えると、レギュレーション損失を防ぐため、次のサイクルでディケイ・モードはより積極的になります (ファースト・ディケイの割合を増やします)。目標トリップ・レベルに達するまでに長い駆動時間を必要とする場合は、リップルを抑え、効率を上げるために、次のサイクルでディケイ・モードはより消極的になります (ファースト・ディケイの割合を減らします)。立ち下がりステップでは、次のステップに素早く達するために、スマート・チューン・ダイナミック・ディケイは自動的にファースト・ディケイに切り替わります。

スマート・チューン・ダイナミック・ディケイは、電流レギュレーション方式で電流リップルを最小限に抑える必要がありながら、固定周波数を維持する必要があるアプリケーションに最適です。

7.3.3.4 スマート・チューン・リップル・コントロール

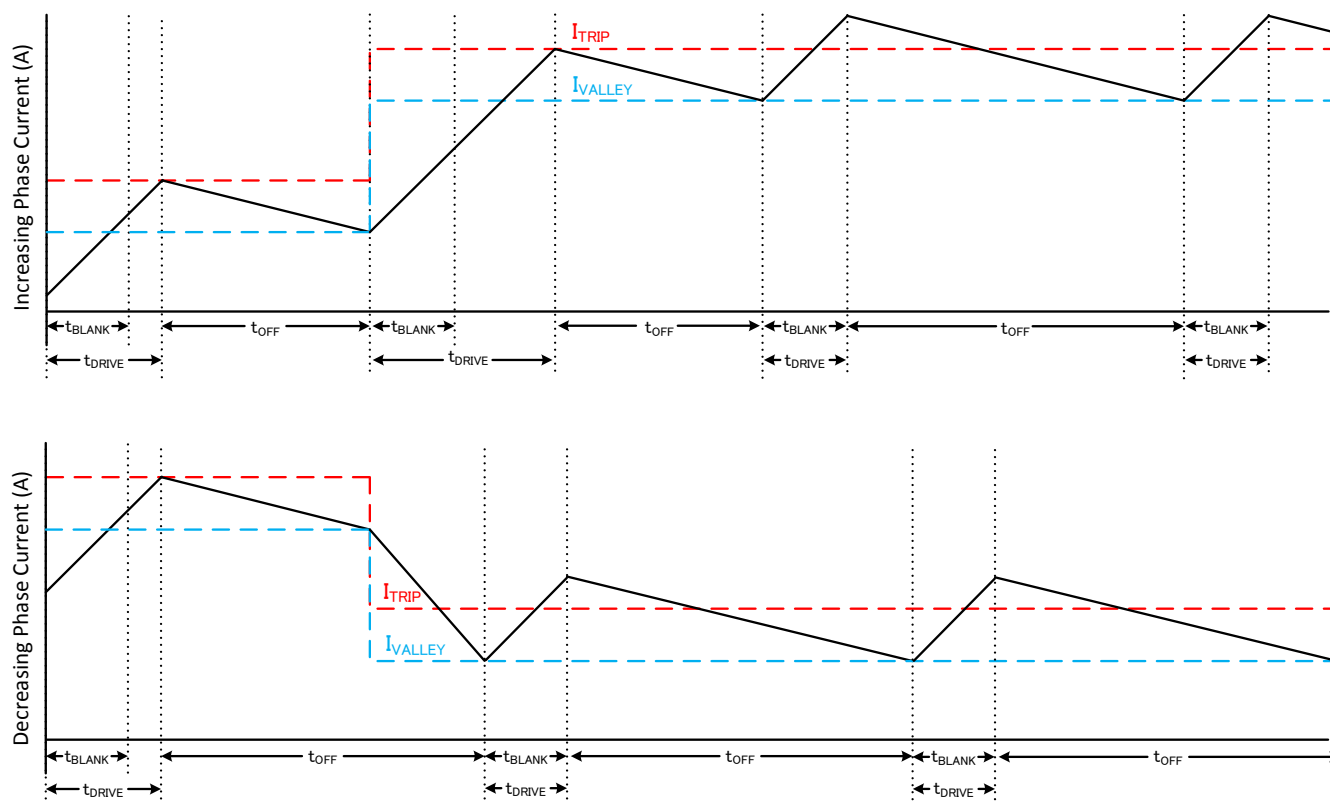


図 7-8. スマート・チューン・リップル・コントロール・ディケイ・モード

スマート・チューン・リップル・コントロールは、 I_{TRIP} レベルと I_{VALLEY} レベルを設定することで動作します。電流レベルが I_{TRIP} に達すると、ドライバは t_{OFF} 時間が経過するまでスロー・ディケイに移行する代わりに、 I_{VALLEY} に達するまでスロー・ディケイに移行します。スロー・ディケイは、両方のローサイド MOSFET がオンになって電流が再循環できるモード 1 と同様に動作します。このモードでは、電流レベルと動作条件に応じて t_{OFF} が変化します。

この手法によって、はるかに厳密な電流レベルのレギュレーションが可能になり、モータの効率とシステムの性能が向上します。スマート・チューン・リップル・コントロールは、可変オフ時間レギュレーション方式に対応するシステムで電流レギュレーションの電流リップルを小さくするために使用できます。

7.3.3.5 ブランキング時間

H ブリッジで電流が出力されると（駆動相の開始）、電流検出コンパレータ出力を一定時間 (t_{BLANK}) 無視した後、電流検出回路を有効にします。ブランキング時間は、PWM の最小駆動時間も設定します。ブランキング時間は約 $1\mu s$ です。

7.3.4 チャージ・ポンプ

ハイサイド N チャネル MOSFET のゲート駆動電圧を供給するため、チャージ・ポンプが内蔵されています。このチャージ・ポンプには、VM ピンと VCP ピンの間に電荷保持のためのコンデンサを接続する必要があります。また、フライング・コンデンサの役割として、CPH ピンと CPL ピンの間にもセラミック・コンデンサを接続する必要があります。

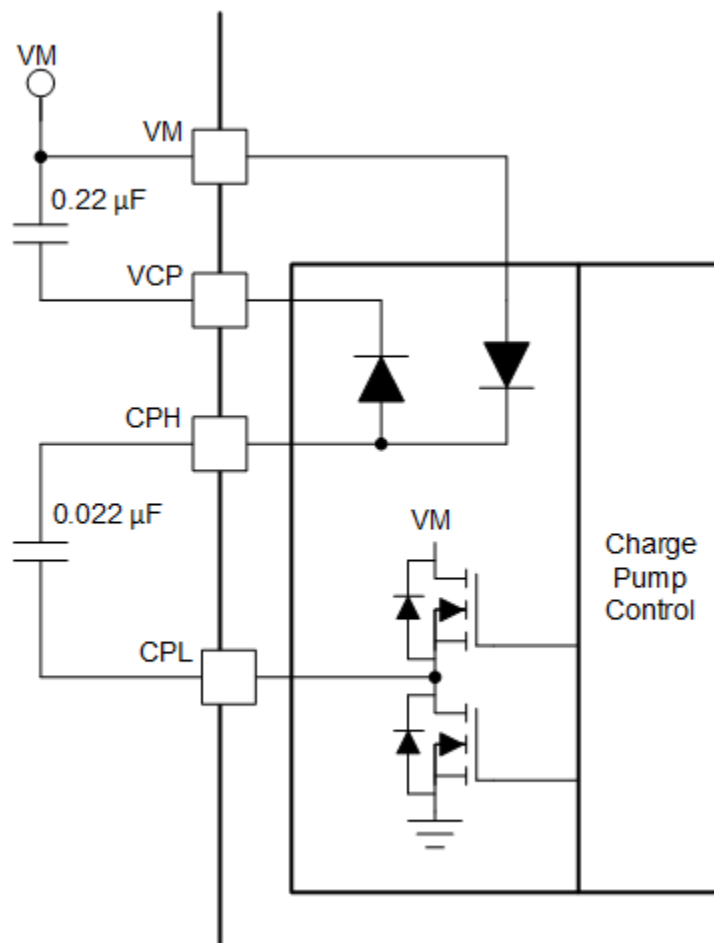


図 7-9. チャージ・ポンプのブロック図

7.3.5 リニア電圧レギュレータ

本デバイスには、リニア電圧レギュレータが内蔵されています。DVDD レギュレータの出力は、リファレンス電圧に使用することができます。DVDD は、最大 2mA の負荷電流を供給できます。正常に動作させるため、セラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。

DVDD の出力は通常 5V です。DVDD LDO の電流負荷が 2 mA を超えると、出力電圧は大きく低下します。

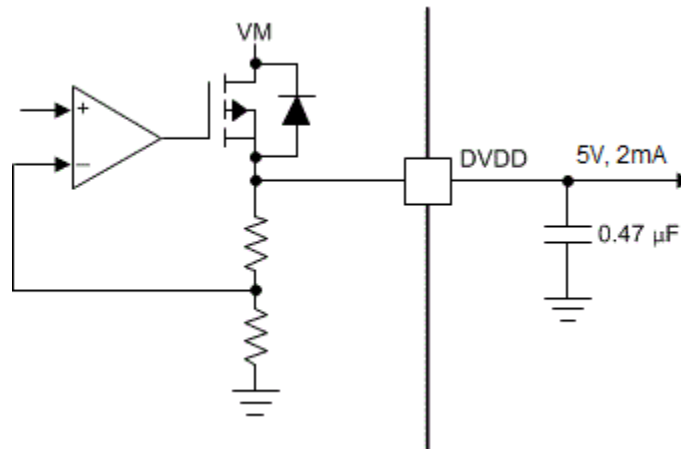


図 7-10. リニア電圧レギュレータのブロック図

デジタル入力 (すなわち DECAYx、TOFF) を永続的に High に固定する場合、入力を外部レギュレータではなく DVDD ピンに接続することを推奨します。これにより、VM ピンに電圧が印加されないときやスリープ・モード時に電力を節約できます。DVDD のレギュレータがディセーブルされている間、電流が入力プルダウン抵抗に流れないためです。参考までに、論理レベル入力は 200kΩ (標準値) のプルダウンを備えています。

nSLEEP ピンを DVDD に接続することはできません。さもないと本デバイスはスリープ・モードから出ることができません。

7.3.6 論理およびクワッドレベル・ピン構造図

図 7-11 に、ロジック・レベル・ピン PH、EN、IN1、IN2、および nSLEEP の入力構造を示します。

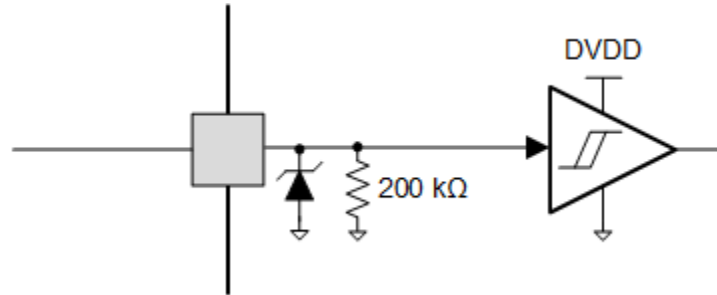


図 7-11. 論理レベル入力ピン構造図

クワッド・レベルのロジック・ピン TOFF および DECAY の構造は次のとおりです (図 7-12 を参照)。

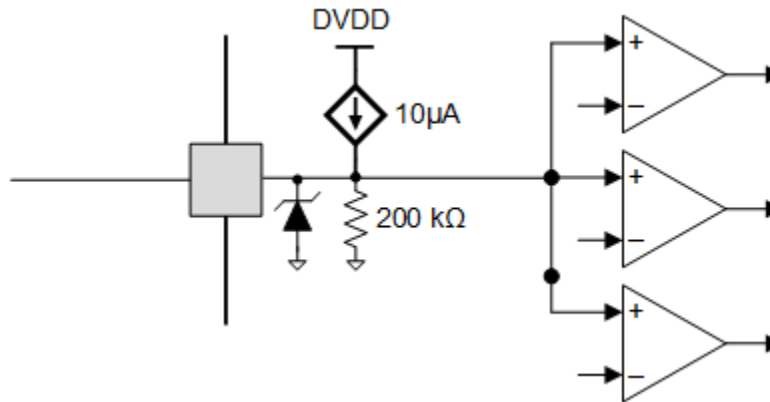


図 7-12. クワッドレベル入力ピン構造図

7.3.6.1 nFAULT ピン

nFAULT ピンはオープンドレインの出力を持っているため、5V、3.3V または 1.8V 電源にプルアップする必要があります。フォルトが検出された場合、nFAULT ピンは論理 Low になります。起動後、nFAULT ピンは High になります。5V にプルアップする場合、nFAULT ピンを DVDD ピンに抵抗で接続できます。3.3V または 1.8V にプルアップする場合、外部電源を使う必要があります。

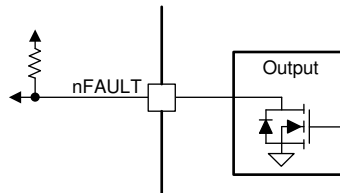


図 7-13. nFAULT ピン

7.3.7 保護回路

本デバイスは、電源低電圧、チャージ・ポンプ低電圧、出力過電流、デバイス過熱イベントからデバイスを保護します。

7.3.7.1 VM 低電圧誤動作防止 (UVLO)

VM ピンの電圧が電圧源の UVLO スレッショルド電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件では、チャージ・ポンプはディセーブルされます。VM 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.7.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧が CPUV 電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。VCP 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.7.3 過電流保護 (OCP)

各 FET のアナログ電流制限回路は、ゲート駆動を止めることで、FET に流れる電流を制限します。この電流制限が t_{OCP} 時間よりも長く続いた場合、H ブリッジがディセーブルされ、nFAULT ピンは Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。OCP 条件が解消すると、nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後、通常動作に復帰します。

7.3.7.4 サーマル・シャットダウン (OTSD)

デバイス温度がサーマル・シャットダウン限界値 (T_{OTSD}) を超えると、H ブリッジのすべての MOSFET がディセーブルされ、nFAULT ピンが Low に駆動されます。接合部温度が、過熱スレッショルド限界値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回った後に、nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後、通常動作に復帰します。

フォルト条件のまとめ

表 7-6. フォルト条件のまとめ

フォルト	条件	異常通知	H ブリッジ	チャージ・ポンプ	ロジック	復帰
VM 低電圧 (UVLO)	$VM < V_{UVLO}$	nFAULT	ディセーブル	ディセーブル	リセット ($V_{DVPD} < 3.9V$)	自動: $VM > V_{UVLO}$
CP 低電圧検出 (CPUV)	$VCP < V_{CPUV}$	nFAULT	ディセーブル	動作	動作	$VCP > V_{CPUV}$
過電流 (OCP)	$I_{OUT} > I_{OCP}$	nFAULT	ディセーブル	動作	動作	ラッチ
サーマル・シャットダウン (OTSD)	$T_J > T_{TSD}$	nFAULT	ディセーブル	ディセーブル	動作	ラッチ

7.4 デバイスの機能モード

7.4.1 スリープ・モード (nSLEEP = 0)

本デバイスの状態は nSLEEP ピンで制御されます。nSLEEP ピンが Low になると、本デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべての内蔵 MOSFET がディセーブルされ、チャージ・ポンプがディセーブルされます。nSLEEP ピンでの立ち上がりエッジの後、 t_{SLEEP} 時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP ピンが High になると、本デバイスは自動的にスリープから復帰します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.2 動作モード (nSLEEP = 1)

nSLEEP ピンが High かつ $VM > UVLO$ の場合、本デバイスはアクティブ・モードに入ります。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.3 nSLEEP リセット・パルス

ラッチされたフォルトは短い nSLEEP パルスでクリアできます。このパルス幅は $20\mu s$ より長く $40\mu s$ より短い必要があります。nSLEEP が $40\mu s$ より長く $120\mu s$ より短い間 Low である場合、フォルトはクリアされますが、本デバイスはシャットダウンする場合としない場合があります (図 7-14 を参照)。このリセット・パルスはチャージ・ポンプの状態にもその他の機能ブロックの状態にも影響を与えません。

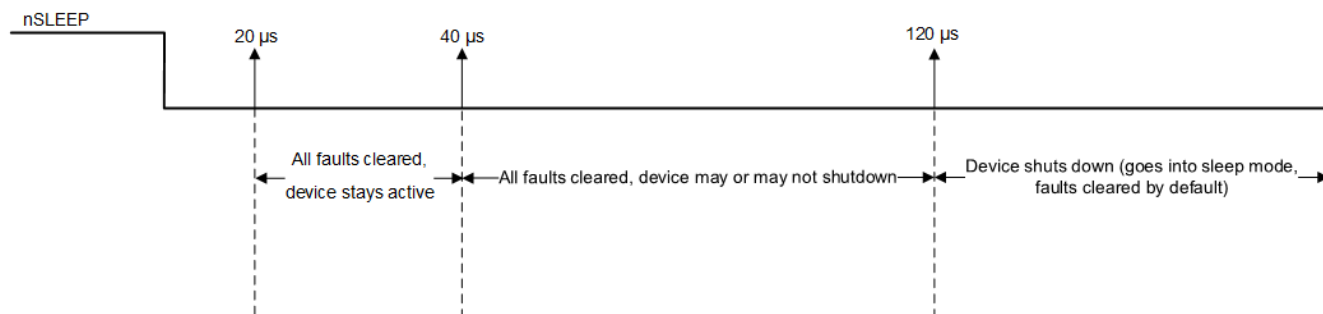


図 7-14. nSLEEP リセット・パルス

機能モードのまとめ

表 7-7 に、機能モードのまとめを示します。

表 7-7. 機能モードのまとめ

条件		構成	H ブリッジ	DVDD レギュレータ	チャージ・ポンプ	ロジック
スリープ・モード	$4.5V < VM < 48V$	nSLEEP ピン = 0	ディセーブル	ディセーブル	ディセーブル	ディセーブル
動作	$4.5V < VM < 48V$	nSLEEP ピン = 1	動作	動作	動作	動作

8 アプリケーションと実装

NOTE

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証テストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8256E/P デバイスは、H ブリッジ電力段構成を必要とする各種アプリケーションに使用できます。一般的なアプリケーション例は、ブラシ付き DC モータです。以下のアプリケーション例では、H ブリッジ・ドライバを必要とする双方向電流制御アプリケーションにこのデバイスを使用する方法を示します。

8.2 代表的なアプリケーション

このアプリケーション例では、H ブリッジ構成を採用し、ブラシ付き DC モータの双方向電流を駆動するようにデバイスを構成しています。H ブリッジの極性とデューティ・サイクルは、外部コントローラから IN1 および IN2 ピンに接続された PWM および IO 信号で制御されます。電流制限スレッショルド (I_{TRIP}) は、VREF ピンの分圧抵抗を使用して生成されます。デバイスは、DECAY ピンを DVDD に接続することでスマート・チューン・リップル・コントロール・ディケイに構成されます。

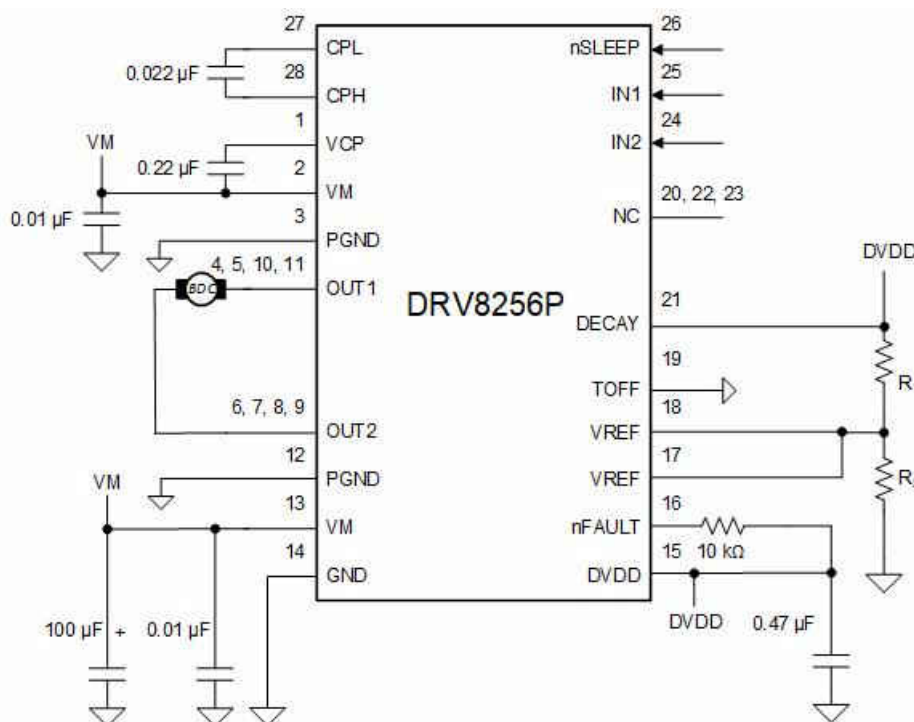


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-1 に、システム設計の設計入力パラメータを示します。

表 8-1. 設計パラメータ

設計パラメータ	略号	値の例
電源電圧	VM	24V
出力 RMS 電流	I_{RMS}	3.5A
電流レギュレーション・トリップ・ポイント	I_{TRIP}	4A

表 8-1. 設計パラメータ (continued)

設計パラメータ	略号	値の例
スイッチング周波数	f_{PWM}	35kHz
周囲温度	T_A	25°C

8.2.2 詳細な設計手順

8.2.2.1 電流レギュレーション

出力電流レギュレーション・トリップ・ポイント (I_{TRIP}) は、VREF ピンの電圧を使用して構成されます。VREF が 3.3V を超えない場合、 $VREF = I_{TRIP} \times 0.66V/A$ 。 I_{TRIP} が 4A の場合、VREF は 2.64V に設定されます。VREF が 3.3V を超える場合、デバイスはさらに高いピーク電流 (VREF が 5V のとき、最大 6.4A) を供給できます。VREF は DVDD から簡単な抵抗分圧器を使用して生成できます。

8.2.2.1.1 消費電力および熱に関する計算

本デバイスの出力電流および消費電力特性は、PCB 設計と外部条件に大きく依存します。ここでは、これらの値を計算するための指針を提示します。

本デバイスの総消費電力 (P_{TOT}) は、おもに 3 つの要素から成ります。それらは、パワー MOSFET $R_{DS(ON)}$ (導通) 損失、パワー MOSFET スwitchング損失、および電源静止電流損失です。それ以外の要素が電力損失の増加に影響することもあります。この 3 つの主要な要素に比べると通常わずかです。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q$$

P_{COND} は、デバイスの $R_{DS(ON)}$ と平均出力電流 (I_{RMS}) から計算できます。

$$P_{COND} = (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)})$$

$R_{DS(ON)}$ はデバイス温度と強い相関があることに注意する必要があります。正規化した $R_{DS(on)}$ と温度との関係を示す曲線については、「代表的特性」の曲線を参照してください。

$$P_{COND} = (3.5A)^2 \times (0.082\Omega + 0.082\Omega) = 2.009W$$

P_{SW} は、公称電源電圧 (V_M)、平均出力電流 (I_{REG})、スイッチング周波数 (f_{PWM})、デバイス出力立ち上がり (t_{RISE}) / 立ち下がり (t_{FALL}) 時間の仕様から計算できます。

$$P_{SW} = P_{SW_RISE} + P_{SW_FALL}$$

$$P_{SW_RISE} = 0.5 \times V_M \times I_{RMS} \times t_{RISE} \times f_{PWM}$$

$$P_{SW_FALL} = 0.5 \times V_M \times I_{RMS} \times t_{FALL} \times f_{PWM}$$

$$P_{SW_RISE} = 0.5 \times 24V \times 3.5A \times 100ns \times 35kHz = 0.147W$$

$$P_{SW_FALL} = 0.5 \times 24V \times 3.5A \times 100ns \times 35kHz = 0.147W$$

$$P_{SW} = 0.147W = 0.147W + 0.294W$$

P_Q は、公称電源電圧 (V_M) と I_{VM} 電流の仕様から計算できます。

$$P_Q = V_M \times I_{VM} = 24V \times 4mA = 0.096W$$

全消費電力 (P_{TOT}) は導通損失、スイッチング損失、静止電力損失の合計として計算されます。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 2.009W + 0.294W + 0.096W = 2.399W$$

周囲温度が T_A 、総消費電力 (P_{TOT}) の場合、接合部温度 (T_J) は次のように計算されます

$$T_J = T_A + (P_{TOT} \times R_{\theta JA})$$

JEDEC 規格の 4 層 PCB を考慮すれば、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、HTSSOP パッケージの場合 29.7°C/W、VQFN パッケージの場合 39°C/W です。

25°Cの周囲温度を仮定すると、HTSSOP パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^{\circ}\text{C} + (2.399\text{W} \times 29.7^{\circ}\text{C/W}) = 96.25^{\circ}\text{C}$$

VQFN パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^{\circ}\text{C} + (2.399\text{W} \times 39^{\circ}\text{C/W}) = 118.56^{\circ}\text{C}$$

デバイス接合部温度が規定の動作範囲内にあることを確認する必要があります。

8.2.2.1.2 アプリケーション曲線

CH3 = VM (10V/div)、CH1 = nFAULT (3V/div)、CH5 = nSLEEP (3V/div)、CH7 = I_{OUT} (4A/div)

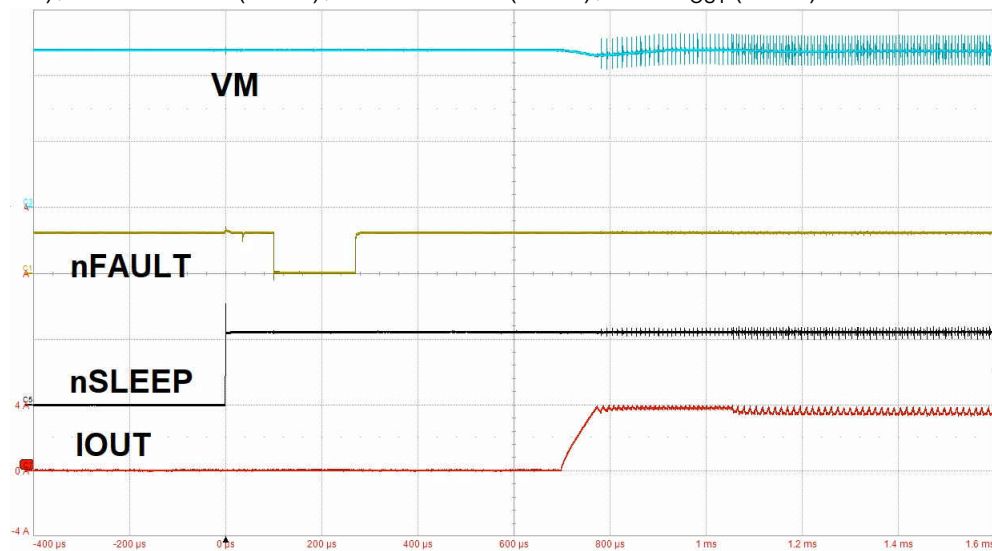


図 8-2. デバイスの電源投入、nSLEEP 使用

CH3 = VM (10V/div)、CH1 = nFAULT (3V/div)、CH5 = nSLEEP (3V/div)、CH7 = I_{OUT} (4A/div)

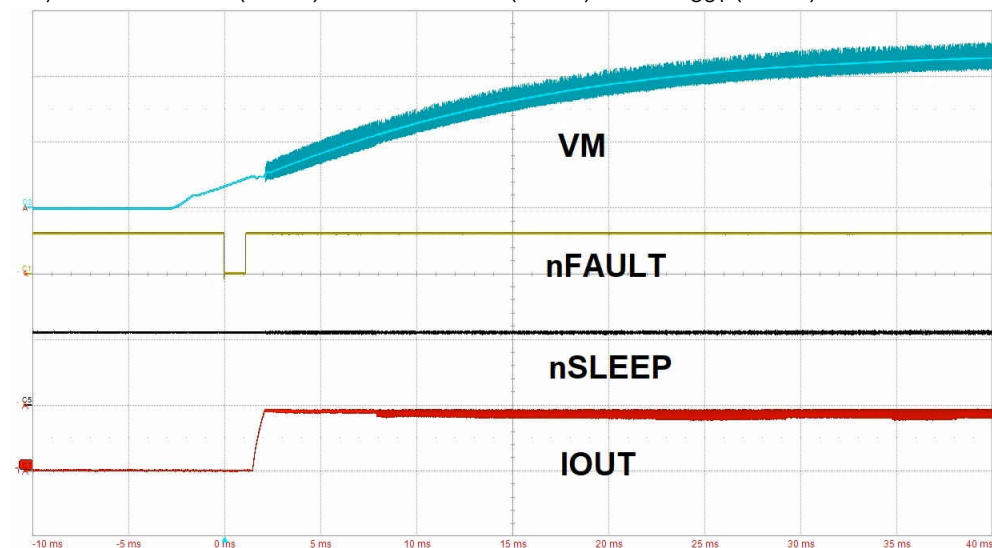


図 8-3. デバイス電源投入、電源電圧 (VM) ランプ使用

CH1 = IN1 (3V/div)、CH7 = I_{RMS} (2A/div)、CH3 = OUT1 (24V/div)、CH2 = OUT2 (24V/div)

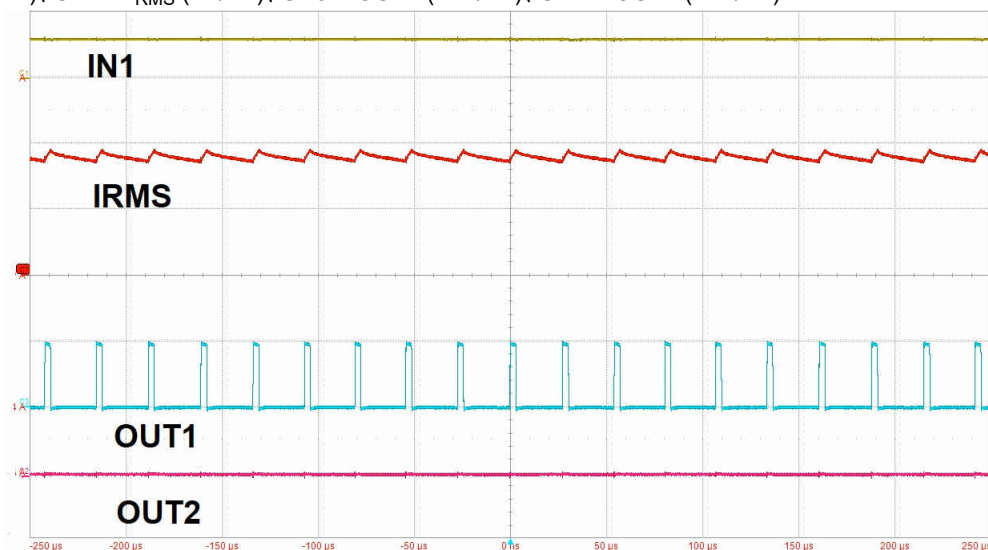


図 8-4. ドライバ・フル・オン動作、電流レギュレーション使用

9 電源に関する推奨事項

本デバイスは、4.5V～48V の入力電圧源 (VM) 範囲で動作するように設計されています。VM 定格の 0.01μF セラミック・コンデンサを、本デバイスにできるだけ近付けて各 VM ピンに配置する必要があります。また、バルク・コンデンサを VM に接続する必要があります。

9.1 バルク容量の決定

適切なローカル・バルク容量を使用することは、モーター駆動システムの設計で重要な要素の 1 つです。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モータ・システムが必要とする最大電流
- 電源容量 (電流供給能力)
- 電源とモータ・システムのための寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモータ駆動システムのためのインダクタンスにより、電源からの電流が変化する割合が制限されます。ローカル・バルク容量が小さすぎる場合、システムはモータからの過剰な電流要求やダンブによる電圧変動の影響を受けます。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。

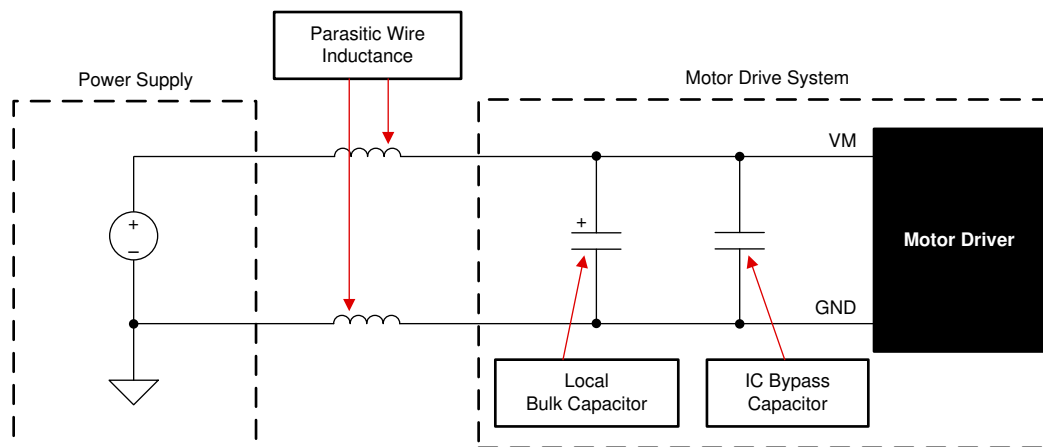


図 9-1. 外部電源を使用したモータ駆動システムの構成

10 レイアウト

10.1 レイアウトのガイドライン

推奨値 $0.01\mu\text{F}$ で VM 電圧定格の低 ESR セラミック・バイパス・コンデンサを使用して、VM ピンを PGND にバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いトレースまたはグラウンド・プレーンでデバイスの PGND ピンに接続する必要があります。

VM 電圧定格のバルク・コンデンサを使用して、VM ピンをグラウンドにバイパスする必要があります。この部品には電解コンデンサが使用できます。

低 ESR セラミック・コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM 電圧定格の $0.022\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の $0.22\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

OUT1 ピン (HTSSOP パッケージのピン 4、5、10、11、QFN パッケージのピン 3、6) は、太い PCB パターンを使用して互いに接続する必要があります。同様に、OUT2 ピン (HTSSOP パッケージのピン 6、7、8、9、QFN パッケージのピン 4、5) は、太い PCB パターンを使用して互いに接続する必要があります。

低 ESR セラミック・コンデンサを使用して DVDD ピンをグラウンドにバイパスします。6.3V 定格の $0.47\mu\text{F}$ を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。

サーマル・パッドはシステム・グラウンドに接続する必要があります。5A を超えるピーク電流を駆動するには、デバイスの近くにヒートシンクを配置する必要があります。

10.2 レイアウト例

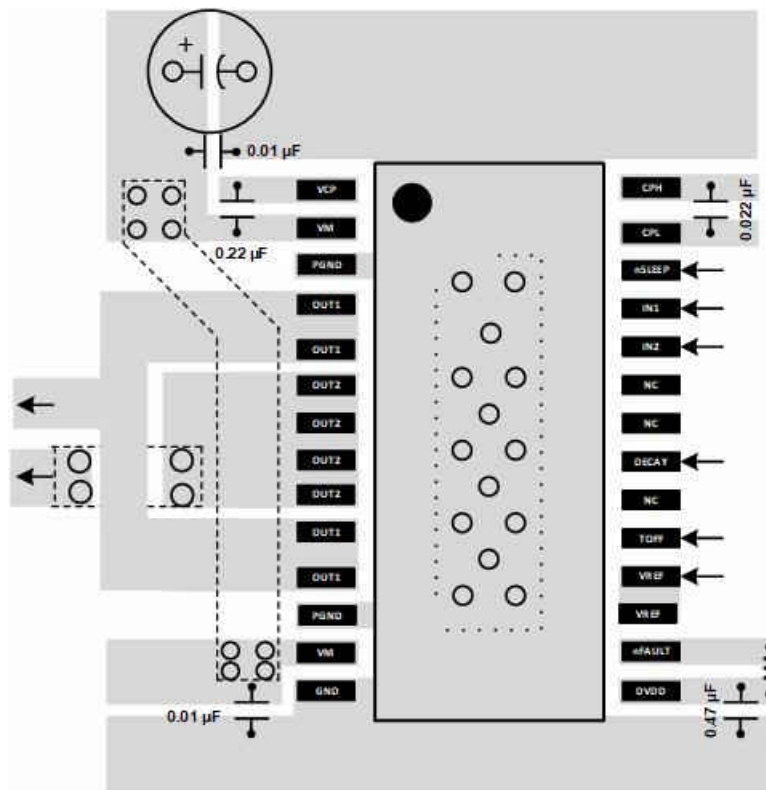


図 10-1. HTSSOP のレイアウト例

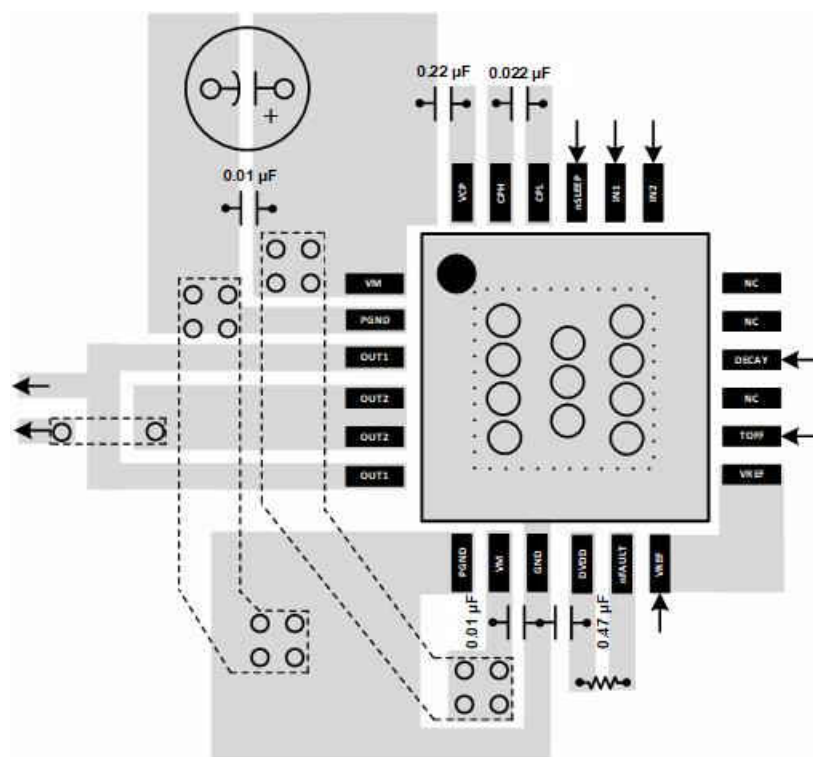


図 10-2. QFN のレイアウト例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[熱特性強化型パッケージ PowerPAD™](#)』アプリケーション・レポート
- テキサス・インスツルメンツ、『[PowerPAD™ Made Easy](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[Current Recirculation and Decay Modes](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[Calculating Motor Driver Power Dissipation](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[Understanding Motor Driver Current Ratings](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[High Resolution Microstepping Driver With the DRV88xx Series](#)』アプリケーション・レポート (英語)

11.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on [ti.com](#). Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

11.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

11.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

11.6 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

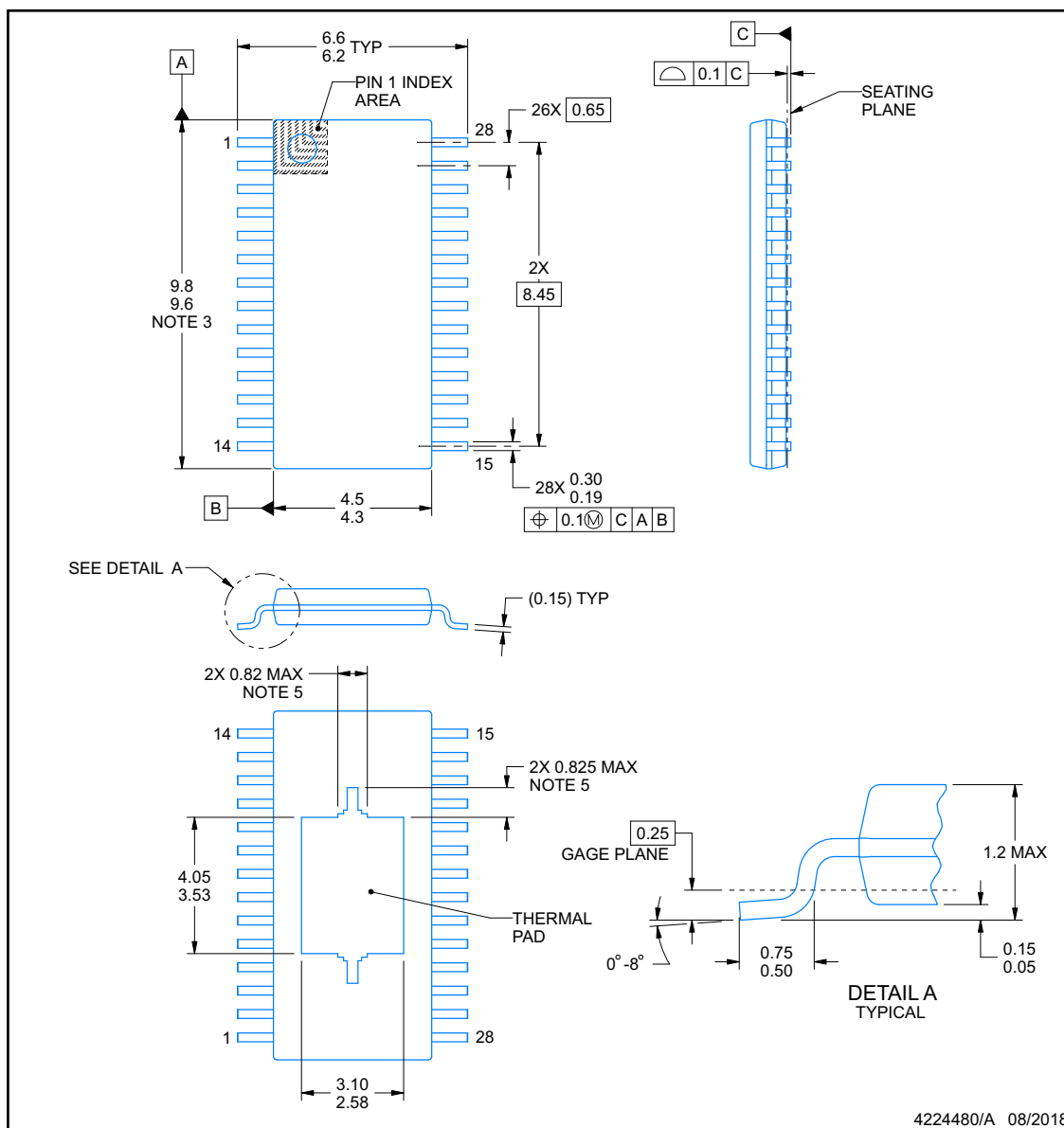


PACKAGE OUTLINE

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4224480/A 08/2018

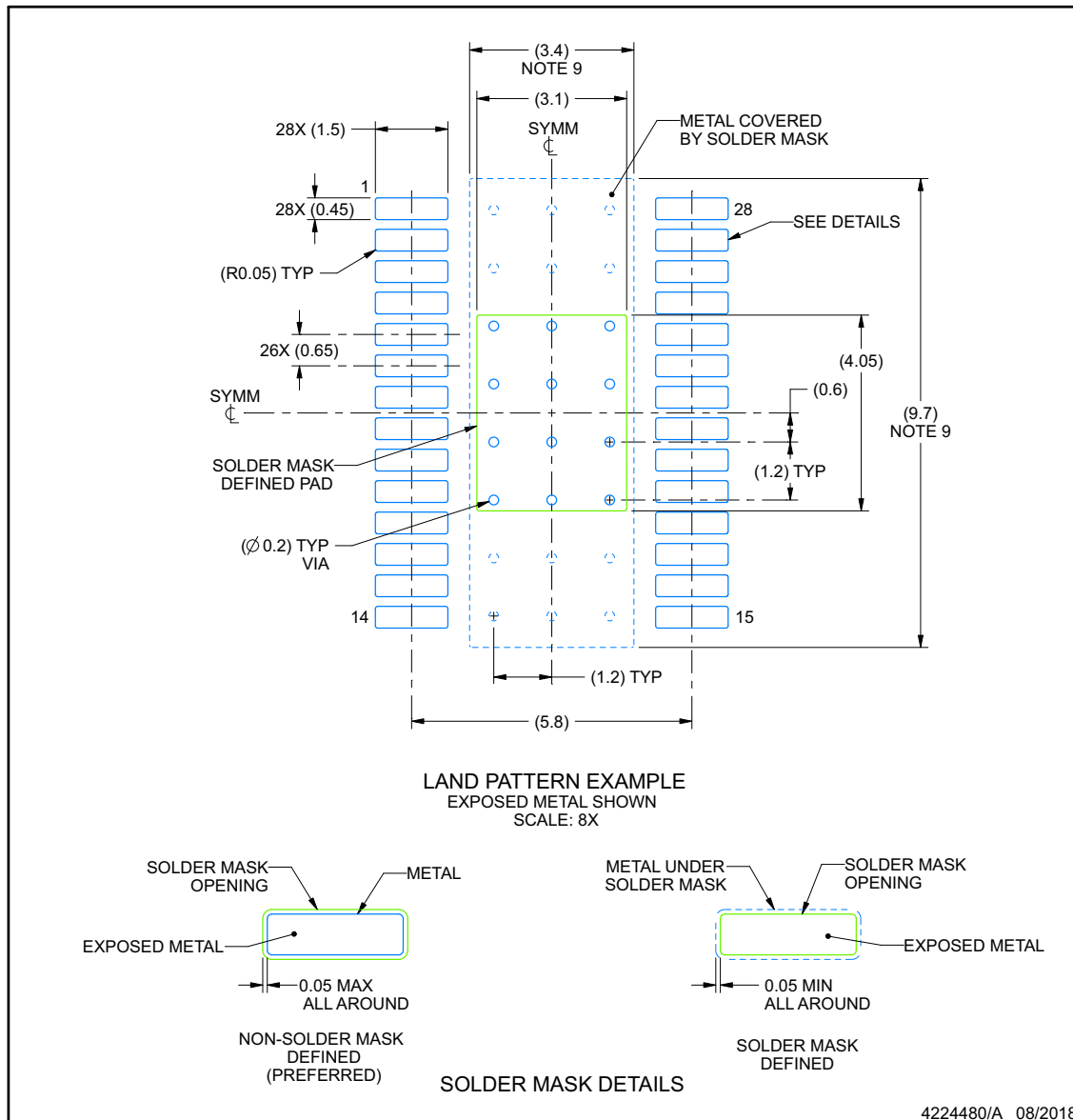
NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT**PWP0028M****PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

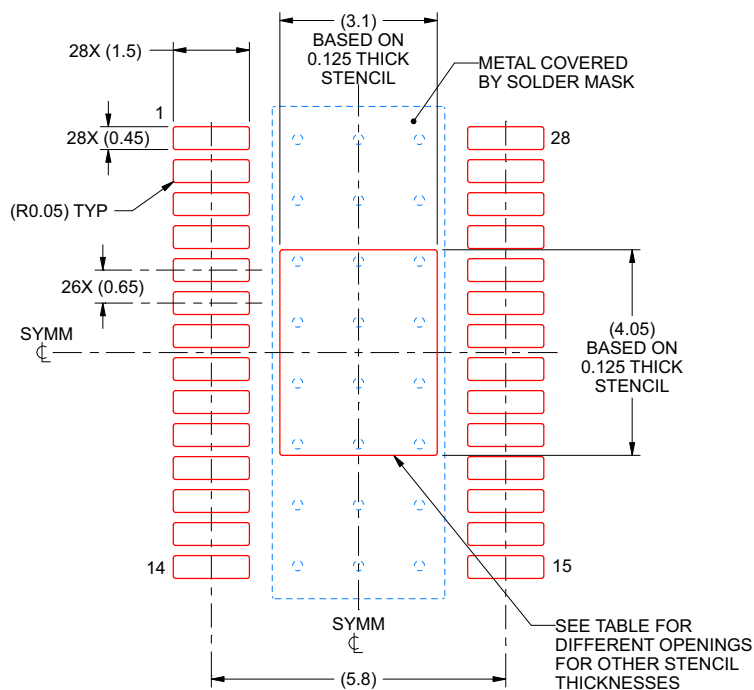
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.47 X 4.53
0.125	3.10 X 4.05 (SHOWN)
0.15	2.83 X 3.70
0.175	2.62 X 3.42

4224480/A 08/2018

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8256EPWPR	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8256E
DRV8256EPWPR.A	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8256E
DRV8256ERGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8256E
DRV8256ERGER.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8256E
DRV8256PPWPR	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8256P
DRV8256PPWPR.A	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8256P
DRV8256PRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8256P
DRV8256PRGER.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8256P
DRV8256PRGERG4	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8256P
DRV8256PRGERG4.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8256P

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

RGE 24

GENERIC PACKAGE VIEW

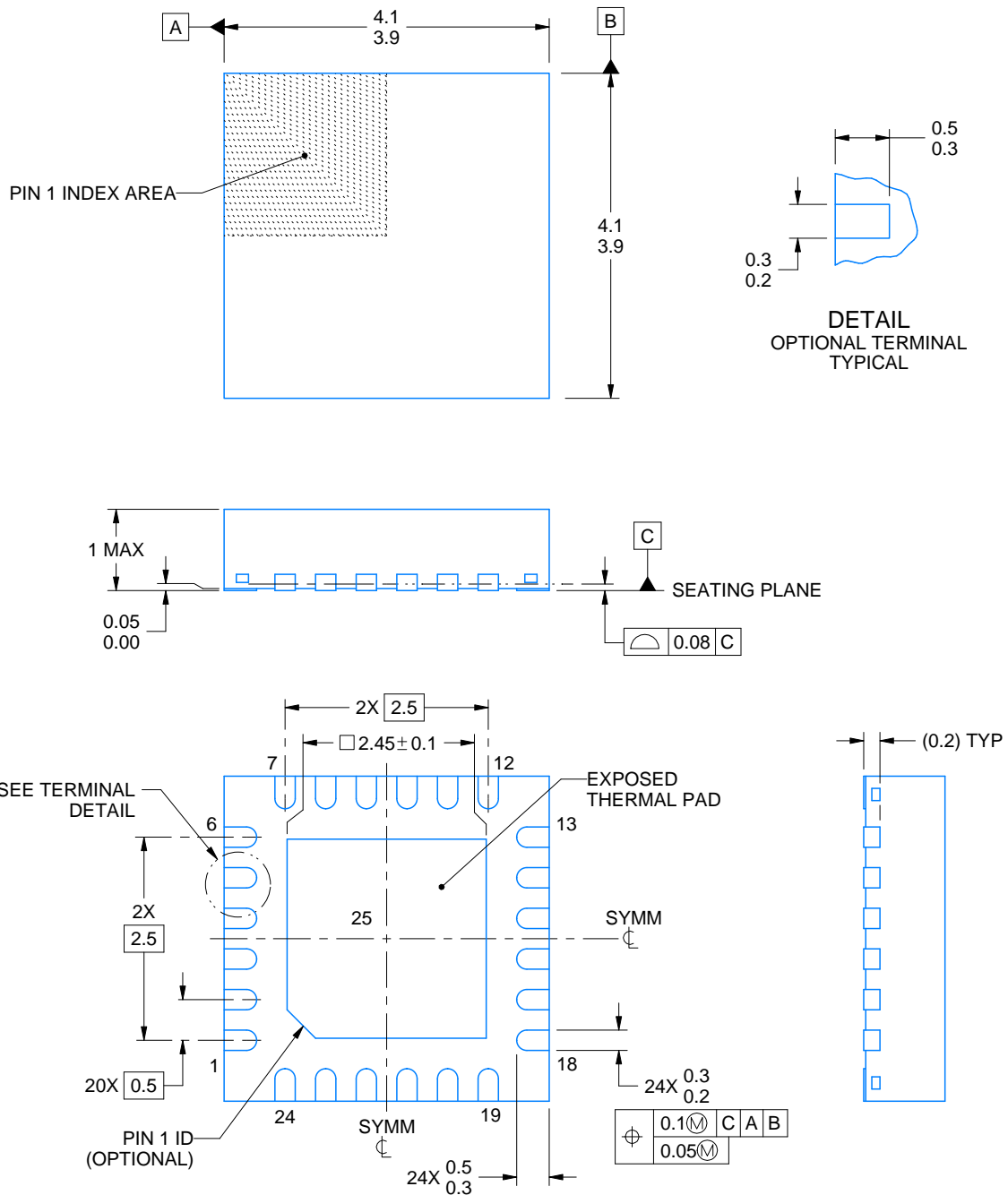
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H



4219013/A 05/2017

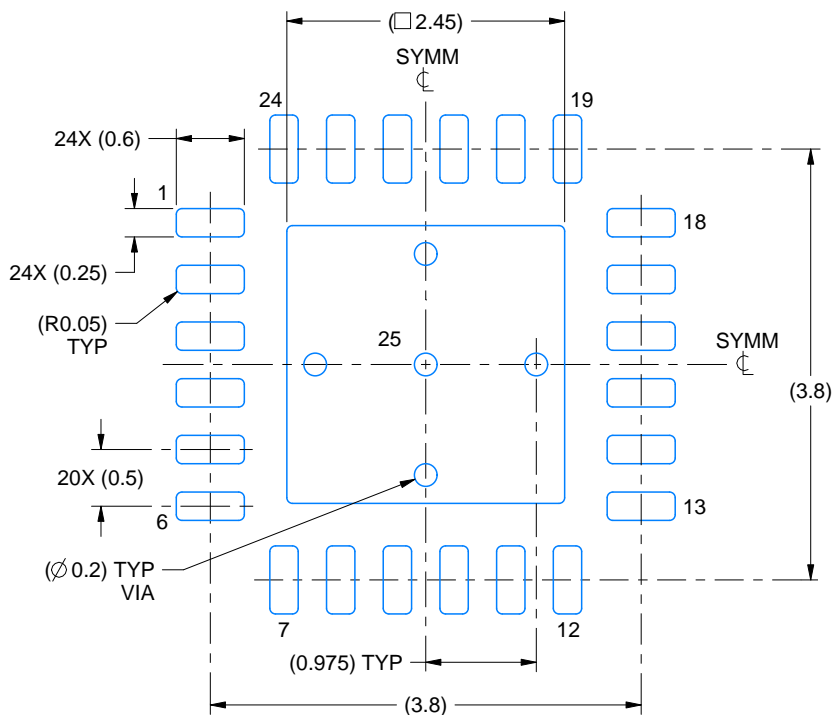
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

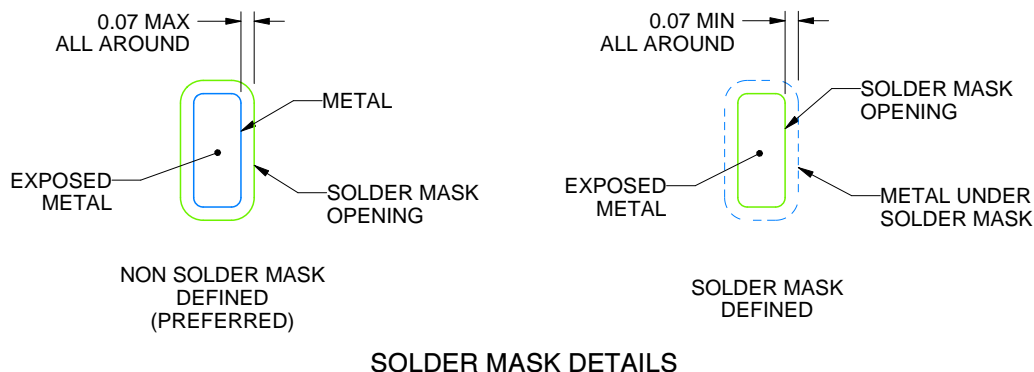
RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



4219013/A 05/2017

NOTES: (continued)

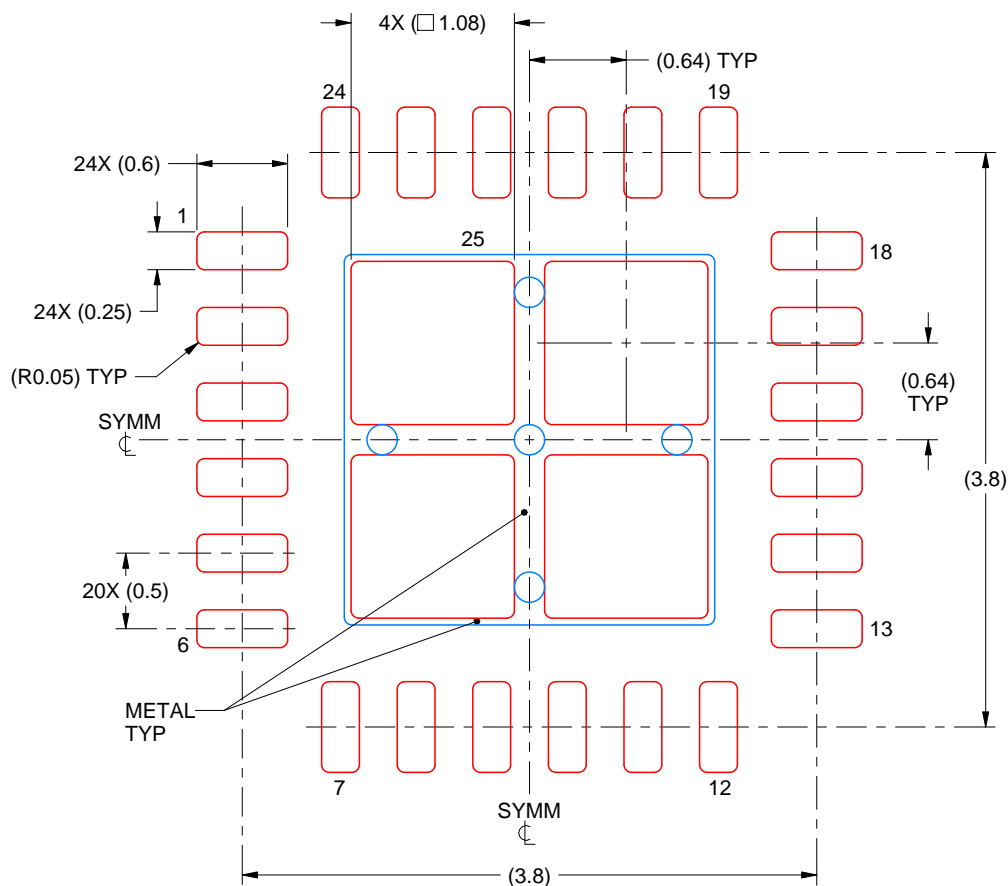
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月