

DRV8001-Q1 ドア制御用高集積、多機能ドライバ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: -40°C ~ +125°C, T_A
- 4.5V ~ 35V (40V 絶対最大) の動作範囲
- 1 つの I_{OUT} が最大 8A の内蔵ハーフブリッジ (R_{DS(on)} = 132mΩ, FET ごとの 66mΩ)
- 1 つの I_{OUT} が最大 7A の内蔵ハーフブリッジ (R_{DS(on)} = 160mΩ, FET ごとの 80mΩ)
- 2 つの内蔵ハーフブリッジ、I_{OUT}、最大 4A (R_{DS(on)} = 400mΩ, FET ごとの 200mΩ)
- 2 つの内蔵ハーフブリッジ、I_{OUT}、最大 1.3A 負荷に対応 (R_{DS(on)} = 1500mΩ, FET ごとの 750mΩ)
- 1 つの構成可能な内蔵ハイサイドドライバをランプまたは LED ドライバとして使用、最大 I_{OUT} 1.5/0.5A (R_{DS(on)} = 0.4/1.5Ω)
- 5 0.5/0.25A 負荷用のハイサイドドライバを内蔵 (R_{DS(on)} = 1.5Ω)
 - 1 個のエレクトロクロミック (EC) ガラス MOSFET に供給するハイサイドドライバ
- 1 つの外部 MOSFET ゲートドライバ、エレクトロクロミック ガラス充電用
- 1 つのエレクトロクロミック ガラス放電用ローサイド FET 内蔵
- ハイサイドドライバ用の内部 10 ビット PWM ジェネレータ
- すべてのハイサイドドライバは、幅広い LED モジュールを駆動するための低電流または高電流のスレッシュホールド定電流モードをサポートしています
- 1 個のヒータ用外部 MOSFET ゲートドライバ
 - オフライン開放負荷診断
 - 短絡検出に適した低 R_{DS(on)} MOSFET の V_{DS} 監視
- 統合ドライバ出力は電流調整機能付き (ITRIP)
- 多重化可能なセンス出力 (IPROPI)
 - 比例電流出力 (IPROPI) 付きの内部電流検出
 - 複数の熱クラスタによる高度なダイ温度モニタリング
 - スケールリングされた供給電圧出力
- 設定可能な障害動作を備えた保護および診断機能
 - オフ状態とオン状態の両方で負荷診断を行い、開放負荷および短絡を検出
 - 過電流および過熱保護

デバイス比較表

2 アプリケーション

- ドア モジュール
- 車体制御モジュール

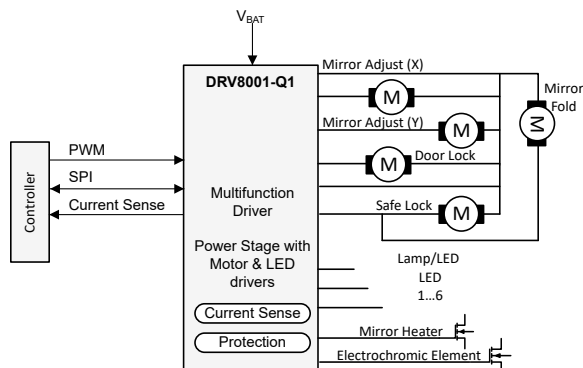
3 概要

DRV8001-Q1 デバイスには、モーター (誘導性)、抵抗性および容量性負荷の駆動と診断、ランプまたは LED の駆動、加熱素子やエレクトロクロミック素子などの特殊な負荷用 MOSFET の駆動など、複数のドア制御固有の機能が内蔵されています。これらのドライバには、過電圧および低電圧モニタリング、オフラインでの開放負荷および短絡診断、ゾーン ベースの温度モニタリングおよびシャットダウン保護などのオフラインおよびアクティブ診断用の保護機能が含まれています。このデバイスは、6 つの統合ハーフブリッジ (2 つのハイサイド代替モード)、6 つの統合ハイサイドドライバ、ヒータ用の外部ハイサイド ゲートドライバ 1 つ、エレクトロクロミック充電用の外部ハイサイド ゲートドライバ 1 つ、エレクトロクロミック負荷放電用の統合ローサイドドライバ 1 つを搭載しています。各ドライバは、PWM 入力制御の構成、センシング、診断、デバイス システム保護機能を備えています。各ハイサイドドライバに対して、専用のプログラマブルな内部 PWM ジェネレータがあります。すべての内蔵ドライバで比例電流センス ピン出力を利用できる

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (公称) (2)
DRV8001-Q1	VQFN (40)	6.00mm × 6.00mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



目次

1 特長.....	1	8.3 DRV8000-Q1_CTRL レジスタ.....	108
2 アプリケーション.....	1	8.4 DRV8001-Q1_STATUS レジスタ.....	118
3 概要.....	1	8.5 DRV8001-Q1_CNFG レジスタ.....	128
4 デバイスの比較.....	3	8.6 DRV8001-Q1_CTRL レジスタ.....	163
5 ピン構成および機能.....	4	9 アプリケーションと実装.....	173
6 仕様.....	6	9.1 アプリケーション情報.....	173
6.1 絶対最大定格.....	6	9.2 代表的なアプリケーション.....	173
6.2 ESD 定格 (車載機器).....	6	9.3 初期設定.....	175
6.3 推奨動作条件.....	6	9.4 電源に関する推奨事項.....	175
6.4 熱に関する情報 (RHA パッケージ).....	7	9.5 レイアウト.....	175
6.5 電気的特性.....	7	10 デバイスおよびドキュメントのサポート.....	178
6.6 タイミング要件.....	16	10.1 ドキュメントの更新通知を受け取る方法.....	178
7 詳細説明.....	18	10.2 サポート・リソース.....	178
7.1 概要.....	18	10.3 商標.....	178
7.2 機能ブロック図.....	19	10.4 静電気放電に関する注意事項.....	178
7.3 外付け部品.....	19	10.5 用語集.....	178
7.4 機能説明.....	20	11 改訂履歴.....	178
7.5 プログラミング.....	53	12 メカニカル、パッケージ、および注文情報.....	178
8 DRV8001-Q1 レジスタ マップ.....	56	12.1 付録: パッケージ オプション.....	182
8.1 DRV8000-Q1_STATUS レジスタ.....	58	12.2 テープおよびリール情報.....	183
8.2 DRV8000-Q1_CNFG レジスタ.....	68		

4 デバイスの比較

表 4-1. デバイスの比較

デバイス名	Hブリッジゲートドライバ	ハーフブリッジドライバ	ハイサイドドライバ	ランプ/LED HSドライバ	ECゲートドライバ	ヒータ HSゲートドライバ	電流シャントアンプ	パッケージ
DRV8000-Q1	1x	6x	5x	1x	1x	1x	1x	7x7 QFN-48 ウェットパブル ランク
DRV8001-Q1	X	6x	5x	1x	1x	1x	X	6x6 QFN-40 ウェットパブル ランク
DRV8002-Q1	1x	6x	5x	1x	X	X	1x	7x7 QFN-48 ウェットパブル ランク

表 4-2. デバイス注文情報

デバイス	量産開始前の部品番号	発注用製品型番 (Orderable Part Number)	EVM
DRV8000-Q1	PDRV8000QWRGZRQ1	DRV8000QRGZRQ1	DRV8000-Q1EVM
DRV8001-Q1	PDRV8001QWRHARQ1	DRV8001QRHARQ1	DRV8001-Q1EVM
DRV8002-Q1	PDRV8002QRGZRQ1	DRV8002QRGZRQ1	DRV8002-Q1EVM

ADVANCE INFORMATION

5 ピン構成および機能

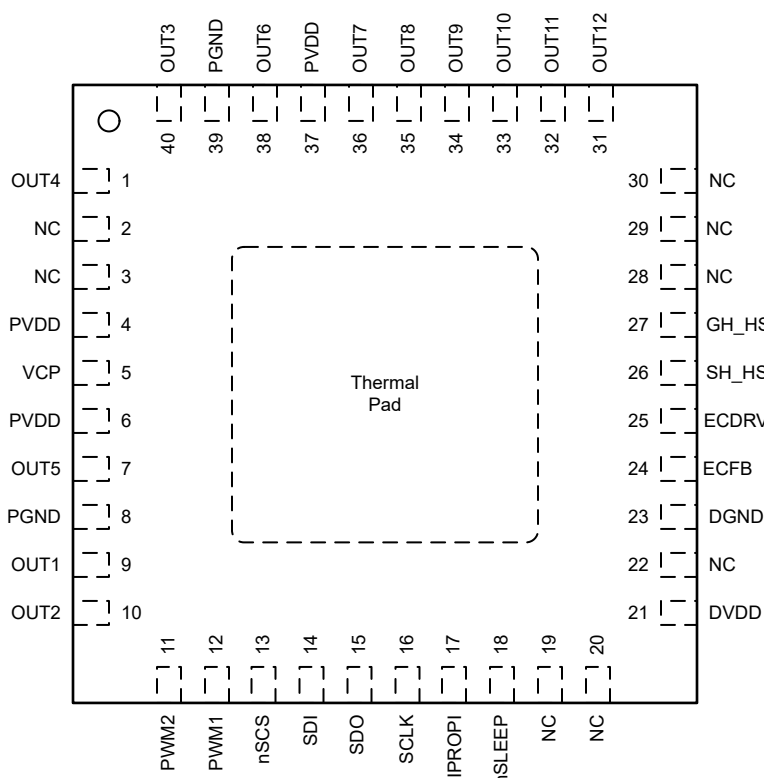


図 5-1. RHA パッケージ、40 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン		I/O ⁽¹⁾	タイプ	説明
番号	名称			
1	OUT4	O	電源	400mΩ ハーフブリッジ出力 4。
2	NC	—	—	接続なし。
3	NC	—	—	接続なし。
4	PVDD	I	電源	デバイスドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1μF の PVDD 定格セラミックコンデンサと 10μF 以上のローカル バルク容量を接続します。
5	VCP	I/O	電源	チャージポンプ出力。1μF、16V セラミックコンデンサを VCP ピンと PVDD ピンの間に接続します。
6	PVDD	I	電源	デバイスドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1μF の PVDD 定格セラミックコンデンサと 10μF 以上のローカル バルク容量を接続します。
7	OUT5	O	電源	130mΩ ハーフブリッジ出力 5 の最初のピン。
8	PGND	I/O	グラウンド	デバイスのグラウンド。システムグラウンドに接続。
9	OUT1	O	電源	1.5Ω ハーフブリッジ出力 1。
10	OUT2	O	電源	1.5Ω ハーフブリッジ出力 2。
11	PWM2	I	デジタル	エレクトロクロムを除くすべてのドライバのレギュレーション用の PWM 入力 2。
12	PWM1	I	デジタル	ハーフブリッジの制御用 PWM 入力 1。
13	nSCS	I	デジタル	シリアルチップ選択。このピンのロジック LOW により、シリアルインターフェイス通信が可能になります。内部プルアップ抵抗。

表 5-1. ピンの機能 (続き)

ピン		I/O ⁽¹⁾	タイプ	説明
番号	名称			
14	SDI	I	デジタル	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。内部プルダウン抵抗。
15	SDO	O	デジタル	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。プッシュプル出力。
16	SCLK	I	デジタル	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。内部プルダウン抵抗。
17	IPROPI	I/O	アナログ	センサ出力は、ドライバ負荷電流フィードバック、PVDD 電圧フィードバック、またはサーマル クラスタ温度フィードバックのいずれかから多重化されます。ハーフブリッジドライバの 2 番目の PWM ピン入力としても構成できます。
18	nSLEEP	I	アナログ	デバイス イネーブル ピン。デバイスをシャットダウンし、スリープ モードに移行するロジック Low。内部プルダウン抵抗。
19	NC	—	—	接続なし。
20	NC	—	—	接続なし。
21	DVDD	I	電源	デバイスのロジック / デジタル出力電源入力。1.0μF、6.3V セラミック コンデンサを DVDD ピンと GND ピンの間に接続することを推奨します。
22	NC	—	—	接続なし。
23	DGND	I/O	グラント	デバイスのグラント。システム グラントに接続。
24	ECFB	I/O	電源	EC 制御用として、ピンは電圧モニタ入力および高速放電ローサイドスイッチとして使用されます。EC 駆動機能を使用しない場合は、このピンを 10kΩ 抵抗を介して GND に接続します。
25	ECDRV	O	アナログ	EC 制御では、ピンは EC 電圧調整用の外部 MOSFET のゲートを制御します
26	SH_HS	I	アナログ	ハイサイド ヒータ MOSFET のソース ピン、ヒータ負荷への出力。ハイサイド MOSFET のソースに接続します。
27	GH_HS	O	アナログ	ヒータ MOSFET 用ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
28	NC	—	—	接続なし。
29	NC	—	—	接続なし。
30	NC	—	—	接続なし。
31	OUT12	O	電源	1.5Ω ハイサイドドライバ出力 12。ローサイド負荷に接続します。
32	OUT11	O	電源	1.5Ω ハイサイドドライバ出力 11。EC 駆動用の SC 保護スイッチとして構成できます。ローサイド負荷に接続します。
33	OUT10	O	電源	1.5Ω ハイサイドドライバ出力 10。ローサイド負荷に接続します。
34	OUT9	O	電源	1.5Ω ハイサイドドライバ出力 9。ローサイド負荷に接続します。
35	OUT8	O	電源	1.5Ω ハイサイドドライバ出力 8。ローサイド負荷に接続します。
36	OUT7	O	電源	構成可能な R _{DS(on)} (400mΩ/ 1500mΩ) を搭載したハイサイドドライバ出力。ローサイド負荷に接続します。
37	PVDD	I	電源	デバイスドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1μF の PVDD 定格セラミック コンデンサと 10μF 以上のローカル バルク容量を接続します。
38	OUT6	O	電源	160mΩ ハーフ ブリッジ出力 6。
39	PGND	I/O	グラント	デバイスのグラント。システム グラントに接続。
40	OUT3	O	電源	400mΩ ハーフ ブリッジ出力 3。

(1) I = 入力、O = 出力

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源ピン電圧	PVDD	-0.3	40	V
電源過渡電圧ランブ	PVDD		2	V/μs
デジタル ロジック電源電圧ランブ	DVDD		2	V/μs
グラント ピン間の電圧差	GND, PGND	-0.3	0.3	V
チャージ ポンプ ピン電圧	VCP	-0.3	PVDD + 15	V
デジタル レギュレータ ピン電圧	DVDD	-0.3	5.75	V
ロジック ピン電圧	PWM1, PWM2, nSLEEP, SCLK, SDO, SDI, nSCS	-0.3	5.75	V
出力ロジック ピン電圧	SDO	-0.3	V _{DVDD} + 0.3	V
出力ピン電圧	OUT1-OUT12, ECDRV, ECFB	-0.3	40	V
出力電流	OUT1-OUT12, ECDRV, ECFB	内部的に制限	内部的に制限	A
ヒータおよびエレクトロクロミック MOSFET ゲート駆動ピン電圧	GH_HS, ECDRV	V _{HEAT} - 0.3 ~ V _{HEAT} + 13	V _{VCP} + 0.3	V
ヒータおよびエレクトロクロミック MOSFET ソースピン電圧	SH_HS, ECFB	-0.3	V _{PVDD} + 0.3	V
ハイサイドドライバおよびヒーター MOSFET ソースピンの最大エネルギー消費、T _J = 25 °C、L _{LOAD} < 100μH	OUT7-OUT12, SH_HS	-	1	mJ
周囲温度、T _A		-40	125	°C
接合部温度、T _J		-40	150	°C
保管温度、T _{stg}		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格 (車載機器)

				値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD ⁽¹⁾ 分 類レベル 2 準拠	PVDD、OUT1~OUT12、 ECFB、GND	±4000	V
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD ⁽¹⁾ 分 類レベル 2 準拠	その他のすべてのピン	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011	角のピン	±750	
		CDM ESD 分類レベル C4B 準拠	その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _{PVDD}	電源電圧	PVDD	4.5		35	V
V _{DVDD}	ロジック入力電圧	DVDD	3		5.5	V
V _{DIN}	デジタル入力電圧	PWMx, SCLK, SDI	0		5.5	V
I _{DOUT}	デジタル出力電流	SDO	0		5	mA
f _{PWM}	入力 PWM 周波数	PWM1, PWM2	0		25	kHz

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _{IPROPI}	アナログ出力電圧	I _{PROPI}	0		3.6	V
V _{IPROPI}	V _{PVDD} < 5.6 V のアナログ出力電圧	I _{PROPI}	0		V _{PVDD} - 2	V
T _A	動作時の周囲温度		-40		125	°C
T _J	動作時接合部温度		-40		150	°C

6.4 熱に関する情報 (RHA パッケージ)

熱評価基準 ⁽¹⁾		RHA パッケージ	単位
R _{θJA}	接合部から周囲への熱抵抗	35	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	31	°C/W
R _{θJB}	接合部から基板への熱抵抗	26	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	6.7	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	1.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性

4.5V ≤ V_{PVDD} ≤ 35V、-40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (DVDD、VCP、PVDD)						
I _{PVDDQ}	PVDD スリープ モード電流	V _{PVDD} = 13.5V、nSLEEP = 0V -40 ≤ T _J ≤ 85°C	2.5	5		μA
I _{DVDDQ}	DVDD スリープ モード電流	V _{PVDD} = 13.5V、nSLEEP = 0V -40 ≤ T _J ≤ 85°C	1	3		μA
I _{PVDD}	PVDD アクティブ モード電流	V _{PVDD} = 13.5、nSLEEP = 5V	6.1			mA
I _{DVDD}	DVDD アクティブ モード電流	V _{DVDD} = 5V、SDO = 0V	7.8	8.5		mA
I _{PVDD_CP_DIS}	PVDD チャージ ポンプ無効モード電流	V _{PVDD} = 13.5V、DIS_CP = 1、-40 ≤ T _J ≤ 85°C	2			mA
I _{DVDD_CP_DIS}	DVDD チャージ ポンプ無効モード電流	V _{PVDD} = 13.5V、V _{DVDD} = 5V、SDO = 0V、DIS_CP = 1、-40 ≤ T _J ≤ 85°C	7			mA
t _{SLEEP}	ターンオフ時間	nSLEEP = 0V でスリープ モード			1	ms
t _{READY_HB_HS}	ハーフ ブリッジおよびハイサイドドライバのターンオン時間				5	ms
t _{READY_HEAT}	ヒーターのターンオン時間				10	ms
f _{VDD}	デジタル発信器のスイッチング周波数	拡散スペクトラムの 1 次周波数	14.25			MHz
V _{VCP}	PVDD を基準とするチャージ ポンプ レギュレータ電圧	V _{PVDD} ≥ 9V、I _{VCP} ≤ 100μA	9.5	10.5	11	V
V _{VCP}	PVDD を基準とするチャージ ポンプ レギュレータ電圧	V _{PVDD} = 7V、I _{VCP} ≤ 80μA	8.5	9	11	V
V _{VCP}	PVDD を基準とするチャージ ポンプ レギュレータ電圧	V _{PVDD} = 5V、I _{VCP} ≤ 60μA	7	7.5	11	V
I _{VCP_LIM}	チャージ ポンプの出力電流制限				750	μA
論理レベル入力 (INx、nSLEEP、SCLK、SDI、など)						

DRV8001-Q1

JAJSWB2 – MARCH 2025

4.5V ≤ V_{PVDD} ≤ 35V、-40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IL}	入力ロジック Low 電圧	INx, IPROPI, nSLEEP, SCLK, SDI	0.3		V _{DVDD} × 0.3	V
V _{IH}	入力ロジック High 電圧	INx, IPROPI, nSLEEP, SCLK, SDI	V _{DVDD} × 0.7		5.5	V
V _{HYS}	入力ヒステリシス	INx, IPROPI, nSLEEP, SCLK, SDI		V _{DVDD} × 0.15		V
I _{IL}	入力ロジック Low 電流	V _{DIN} = 0V, INx, IPROPI, nSLEEP, SCLK, SDI	-5		5	μA
I _{IL}	入力ロジック Low 電流	V _{DIN} = 0V, nSCS		25	50	μA
I _{IH}	入力ロジック High 電流	V _{DIN} = 5V, nSCS	-5		5	μA
I _{IH}	入力ロジック High 電流	V _{DIN} = 5V, INx, IPROPI, nSLEEP, SCLK, SDI		25	50	μA
R _{PD}	入力プルダウン抵抗	GND, INx, nSLEEP, SCLK, SDI に接続	140	200	260	kΩ
R _{PU}	入力プルアップ抵抗	DVDD, nSCS へ接続	140	200	265	kΩ
プッシュプル出力 SDO						
V _{OL}	出力ロジック Low 電圧	I _{OD} = 5mA			0.5	V
V _{OH}	ロジック High 出力電圧	I _{OD} = -5mA, SDO	0.8			V
ヒーター MOSFET ドライバ						
I _{GH_HS_HEAT}	平均充電電流	T _J = 25°C		50		mA
R _{GL_HEAT}	オン抵抗 (放電段)	I _{GH_HS_HEAT} = 25mA, T _J = 25°C	15	20	25	Ω
		I _{GH_HS_HEAT} = 25mA, T _J = 125°C		28	36	Ω
V _{GH_HS_HIGH}	GH_HS の High レベル出力電圧	V _{PVDD} = 4.5V, I _{CP} = 15mA		V _{SH_HS} + 6		V
		V _{PVDD} = 13.5V, I _{CP} = 15mA		V _{SH_HS} + 8 V _{SH_HS} + 10 V _{SH_HS} + 11.5		V
I _{HEAT_SH_STBY_LK}	SH_HS のリーク電流スタンバイ				25	μA
R _{GS_HEAT}	パッシブ ゲート クランプ抵抗			150		kΩ
t _{PDR_GH_HS}	GH_HS の立ち上がり伝搬遅延	V _{PVDD} = 13.5V, R _G = 0Ω, C _G = 2.7nF		0.5		μs
t _{PDF_GH_HS}	GH_HS の立ち下がり伝搬遅延	V _{PVDD} = 13.5V, V _{SH_HS} = 0V, R _G = 0Ω, C _G = 2.7nF		0.5		μs
t _{RISE_GH_HS}	立ち上がり時間 (スイッチ モード)	V _{PVDD} = 13.5V, V _{SH_HS} = 0V, R _G = 0Ω, C _G = 2.7nF		300		ns
t _{FALL_GH_HS}	立ち下がり時間 (スイッチ モード)	V _{PVDD} = 13.5V, V _{SH_HS} = 0V, R _G = 0Ω, C _G = 2.7nF		170		ns
ヒーター保護回路						

4.5V ≤ V_{PVDD} ≤ 35V, -40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{DS_LVL_HEAT}	ヒーター用 MOSFET の V _{DS} 過電流保護スレッショルド	HEAT_VDS_LVL = 0000b	0.051	0.06	0.069	V
		HEAT_VDS_LVL = 0001b	0.068	0.08	0.092	V
		HEAT_VDS_LVL = 0010b	0.085	0.10	0.115	V
		HEAT_VDS_LVL = 0011b	0.102	0.12	0.138	V
		HEAT_VDS_LVL = 0100b	0.119	0.14	0.161	V
		HEAT_VDS_LVL = 0101b	0.136	0.16	0.184	V
		HEAT_VDS_LVL = 0110b	0.153	0.18	0.207	V
		HEAT_VDS_LVL = 0111b	0.17	0.2	0.23	V
		HEAT_VDS_LVL = 1000b	0.204	0.240	0.276	V
		HEAT_VDS_LVL = 1001b	0.238	0.280	0.322	V
		HEAT_VDS_LVL = 1010b	0.272	0.320	0.368	V
		HEAT_VDS_LVL = 1011b	0.306	0.360	0.414	V
		HEAT_VDS_LVL = 1100b	0.340	0.400	0.460	V
		HEAT_VDS_LVL = 1101b	0.374	0.440	0.506	V
		HEAT_VDS_LVL = 1110b	0.476	0.560	0.644	V
		HEAT_VDS_LVL = 1111b	0.85	1	1.15	V
t _{DS_HEAT_DG}	V _{DS} 過電流保護グリッチ除去時間	HEAT_VDS_DG = 00b	0.75	1	1.5	μs
		HEAT_VDS_DG = 01b	1.5	2	2.5	μs
		HEAT_VDS_DG = 10b	3.25	4	4.75	μs
		HEAT_VDS_DG = 11b	7.5	8	9	μs
t _{DS_HEAT_BLK}	V _{DS} 過電流保護ブランキング時間	HEAT_VDS_BLK = 00b	3.25	4	4.75	μs
		HEAT_VDS_BLK = 01b	7.5	8	9	μs
		HEAT_VDS_BLK = 10b	14	16	18	μs
		HEAT_VDS_BLK = 11b	28	32	36	μs
V _{OL_HEAT}	開放負荷スレッショルド電圧	V _{SLx} = 0V	1.8	2	2.2	V
I _{OL_HEAT}	ブルアップ電流ソースの開放負荷診断が有効化	V _{SLx} = 0V、V _{SHheater} = 4.5V		1		mA
t _{OL_HEAT}	ヒーター MOSFET の開放負荷フィルタ時間			2		ms
エレクトロクロミックドライバ						
R _{DS(on)} ECFB	EC 放電用ローサイド MOSFET のオン抵抗	V _{PVDD} = 13.5V、T _J = 25°C、I _{ECFB} = ±0.5A ECFB_LS_EN = 1b		1500		mΩ
R _{DS(on)} ECFB	EC 放電用ローサイド MOSFET のオン抵抗	V _{PVDD} = 13.5V、T _J = 150°C、I _{ECFB} = ±0.5A ECFB_LS_EN = 1b			3000	mΩ
I _{OC_ECFB}	ローサイド MOSFET の出力電流スレッショルド	V _{PVDD} = 13.5V、T _J = 25 °C、I _{ECFB} 電流シンク	0.5		1	A
t _{DG_OC_ECFB}	過電流シャットダウン グリッチ除去時間	V _{PVDD} = 13.5V、T _J = 25 °C、I _{ECFB} 電流シンク	10		50	μs
dV _{ECFB} /dt	ECFB およびローサイド MOSFET のスレーレート	V _{PVDD} = 13.5V、V _{DVDD} = 5V、R _{load} = 64Ω		7		V/μs
I _{OLP_ECFB}	放電中の EC の開放負荷検出スレッショルド	EC_OLEN = 1b、ECFB_LS_EN = 1b	10	20	30	mA
t _{DG_OLP_ECFB}	開放負荷グリッチ解除時間	EC_OLEN = 1b、ECFB_LS_EN = 1b	400		600	μs
I _{OLA_ECFB}	ECFB 開放負荷ブルアップ電流源、OUT11 独立モード	OUT11_EC_MODE = 0b、 ECDRV_OL_EN = 1b、EC_ON = 1b		200		μA

4.5V ≤ V_{PVDD} ≤ 35V、-40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{EC_CTRLmax}	ECFB 用の最大 EC 制御電圧ターゲット	ECFB_MAX = 1b	1.4		1.6	V
V _{EC_CTRLmax}	ECFB 用の最大 EC 制御電圧ターゲット	ECFB_MAX = 0b	1.12		1.28	V
V _{EC_res}	ECFB の可変電圧の最小分解能	EC_ON = 1b		23.8		mV
DNL _{ECFB}	微分非直線性	EC_ON = 1b	-2		2	LSB
dV _{ECFB}	ターゲットと ECFB 間の電圧偏差	V _{target} = 1.5V、dV _{ECFB} = V _{target} - V _{ECFB} 、 I _{ECDRV} < 1μA	-5% (-1LSB)		+5% (+1LSB)	mV
dV _{ECFB}	ターゲットと ECFB 間の電圧偏差	V _{target} = 23.8mV、dV _{ECFB} = V _{target} - V _{ECFB} 、 I _{ECDRV} < 1μA	-5% (-1LSB)		+5% (+1LSB)	mV
V _{ECFB_HI}	ECFB の電圧が目標より高いことを示します	EC_ON = 1b		V _{target} + 0.12		V
V _{ECFB_LO}	ECFB の電圧が目標より低いことを示します	EC_ON = 1b		V _{target} - 0.12		V
t _{FT_ECFB}	ECFB High/Low フラグのフィルタ時間	EC_ON = 1b		32		μs
t _{BLK_ECFB}	EC 制御フラグのプランキング時間	任意の EC ターゲット電圧変更	200	250	300	μs
V _{ECFB_UV}	ECFB の低電圧スレッシュホールド	ECFB_UV_EN = 1b、EC_ON = 1b、ECFB_UV_TH = 0b	75	100	125	mV
V _{ECFB_UV}	ECFB の低電圧スレッシュホールド	ECFB_UV_EN = 1b、EC_ON = 1b、ECFB_UV_TH = 1b	170	200	230	mV
t _{ECFB_UV_DG}	ECFB の低電圧フラグのグリッチ除去時間	ECFB_UV_EN = 1b、ECFB_UV_DG = 00b	16	20	24	μs
t _{ECFB_UV_DG}	ECFB の低電圧フラグのグリッチ除去時間	ECFB_UV_EN = 1b、ECFB_UV_DG = 01b	40	50	60	μs
t _{ECFB_UV_DG}	ECFB の低電圧フラグのグリッチ除去時間	ECFB_UV_EN = 1b、ECFB_UV_DG = 10b	80	100	120	μs
t _{ECFB_UV_DG}	ECFB の低電圧フラグのグリッチ除去時間	ECFB_UV_EN = 1b、ECFB_UV_DG = 11b	160	200	240	μs
V _{ECFB_OV}	ECFB の過電圧スレッシュホールド	ECFB_OV_EN = 1b、EC_ON = 1b		V _{PVDD} - 1V		V
t _{ECFB_OV_DG}	ECFB の過電圧フラグのグリッチ除去時間	ECFB_OV_EN = 1b、ECFB_OV_DG = 00b	16	20	24	μs
t _{ECFB_OV_DG}	ECFB の過電圧フラグのグリッチ除去時間	ECFB_OV_EN = 1b、ECFB_OV_DG = 01b	40	50	60	μs
t _{ECFB_OV_DG}	ECFB の過電圧フラグのグリッチ除去時間	ECFB_OV_EN = 1b、ECFB_OV_DG = 10b	80	100	120	μs
t _{ECFB_OV_DG}	ECFB の過電圧フラグのグリッチ除去時間	ECFB_OV_EN = 1b、ECFB_OV_DG = 11b	160	200	240	μs
V _{ECDRVminHIGH}	EC_ON = 1 のときの ECDRV の出力電圧範囲	I _{ECDRV} = -10μA	4.3		6.7	V
V _{ECDRVmaxLOW}	EC_ON = 0 のときの ECDRV の出力電圧範囲	I _{ECDRV} = 10μA	0		0.7	V
I _{ECDRV}	ECDRV への電流	V _{target} > V _{ECFB} + 500 mV、V _{ECDRV} = 3.5V	-950		-100	μA
I _{ECDRV}	ECDRV への電流	V _{target} < V _{ECFB} - 500 mV、V _{ECDRV} = 1.0V、V _{target} = 0V、V _{ECFB} = 0.5V	150		350	μA
R _{ECDRV_DIS}	高速放電モードにおける ECDRV のプルダウン抵抗	V _{ECDRV} = 0.7V、EC が有効であれば EC<5:0> = 0 または EC 無効			11	kΩ
t _{DISCHARGE}	自動放電パルス幅	ECFB_LS_PWM = 1b、ECFB_LS_EN = 1b	240	300	360	ms

4.5V ≤ V_{PVDD} ≤ 35V、-40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{ECFB_DISC_BLK}	自動放電ブランキング時間	ECFB_LS_PWM = 1b, ECFB_LS_EN = 1b	2.25	3	3.75	ms
V _{DISC_TH}	PWM 放電レベル V _{ECDRV}	ECFB_LS_PWM = 1b, ECFB_LS_EN = 1b	350	400	450	mV
V _{DISC_TH_DIF}	PWM 放電スレッショルド レベル V _{ECDRV} - V _{ECFB}	ECFB_LS_PWM = 1b, ECFB_LS_EN = 1b	-50	0	50	mV
ハーフブリッジドライバ						
R _{ON_OUT1,2_HS}	ハイサイド MOSFET オン抵抗	I _{OUT} = 1A, T _J = 25°C		750		mΩ
		I _{OUT} = 0.5A, T _J = 150°C			1425	mΩ
R _{ON_OUT1,2_LS}	ローサイド MOSFET オン抵抗	I _{OUT} = 1A, T _J = 25°C		750		mΩ
		I _{OUT} = 0.5A, T _J = 150°C			1425	mΩ
R _{ON_OUT3,4_HS}	ハイサイド MOSFET オン抵抗	I _{OUT} = 4A, T _J = 25°C		200		mΩ
		I _{OUT} = 2A, T _J = 150°C			400	mΩ
R _{ON_OUT3,4_LS}	ローサイド MOSFET オン抵抗	I _{OUT} = 4A, T _J = 25°C		200		mΩ
		I _{OUT} = 2A, T _J = 150°C			400	mΩ
R _{ON_OUT5_HS}	ハイサイド MOSFET オン抵抗	I _{OUT} = 8A, T _J = 25°C		66		mΩ
		I _{OUT} = 4A, T _J = 150°C			132	mΩ
R _{ON_OUT5_LS}	ローサイド MOSFET オン抵抗	I _{OUT} = 8A, T _J = 25°C		66		mΩ
		I _{OUT} = 4A, T _J = 150°C			132	mΩ
R _{ON_OUT6_HS}	ハイサイド MOSFET オン抵抗	I _{OUT} = 8A, T _J = 25°C		80		mΩ
R _{ON_OUT6_HS}	ハイサイド MOSFET オン抵抗	I _{OUT} = 4A, T _J = 150°C			160	mΩ
R _{ON_OUT6_LS}	ローサイド MOSFET オン抵抗	I _{OUT} = 8A, T _J = 25°C		80		mΩ
R _{ON_OUT6_LS}	ローサイド MOSFET オン抵抗	I _{OUT} = 4A, T _J = 150°C			160	mΩ
SR _{OUT_HB}	ハーフブリッジ OUTx の出力電圧の立ち上がり/立ち下がり時間、10% ~ 90%	PVDD = 13.5V, OUTx_SR = 00b		1.6		V/μs
SR _{OUT_HB}	ハーフブリッジ OUTx の出力電圧の立ち上がり/立ち下がり時間、10% ~ 90%	PVDD = 13.5V, OUTx_SR = 01b		13.5		V/μs
SR _{OUT_HB}	ハーフブリッジ OUTx の出力電圧の立ち上がり/立ち下がり時間、10% ~ 90%	PVDD = 13.5V, OUTx_SR = 10b		24		V/μs
t _{PD_OUT_HB_HS_R}	HS における出力電圧上昇時の伝搬時間	ON コマンドまたは INx(SPI 最終遷移)から OUTx が 10% 電圧上昇に達するまでの時間(任意の SR 設定時)	1.8		8.7	μs
t _{PD_OUT_HB_HS_F}	HS 出力電圧下降時の伝搬時間	ON コマンドまたは INx(SPI 最終遷移)から OUTx が 10% 電圧低下に達するまでの時間(任意の SR 設定時)	1.2		9.2	μs
t _{PD_OUT_HB_LS_R}	LS における出力電圧上昇時の伝搬時間	ON コマンドまたは INx(SPI 最終遷移)から OUTx が 10% 電圧上昇に達するまでの時間(任意の SR 設定時)	1.5		8	μs
t _{PD_OUT_HB_LS_F}	LS における出力電圧降下時の伝搬時間	ON コマンドまたは INx(SPI 最終遷移)から OUTx が 10% 電圧低下に達するまでの時間(任意の SR 設定時)	1.4		8	μs
t _{DEAD_HS_ON}	HS 出力電圧上昇時のデッドタイム	PVDD = 13.5V, OUTx_ITRIP_LVL = 00b、すべての SR	1.3		4.7	μs

DRV8001-Q1

JAJSWB2 – MARCH 2025

4.5V ≤ V_{PVDD} ≤ 35V、-40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{DEAD_HS_OF} F	HS における出力電圧降下時のデッドタイム	PVDD = 13.5V、OUTx_ITRIP_LVL = 00b、すべての SR	1.1		4.8	μs
t _{DEAD_LS_ON}	LS における出力電圧上昇時のデッドタイム	PVDD = 13.5V、OUTx_ITRIP_LVL = 00b、すべての SR	1.4		5.8	μs
t _{DEAD_LS_OF} F	LS における出力電圧降下時のデッドタイム	PVDD = 13.5V、OUTx_ITRIP_LVL = 00b、すべての SR	1.7		14	μs
ハーフブリッジ保護回路						
I _{OCP_OUT1,2}	過電流保護スレッショルド		1.3		2	A
I _{OCP_OUT3,4}	過電流保護スレッショルド		4		8	A
I _{OCP_OUT5}	過電流保護スレッショルド		8		16	A
I _{OCP_OUT6}	過電流保護スレッショルド		7		13	A
t _{DG_OCP_HB}	ハーフブリッジドライバの過電流保護グリッチ除去時間 ^{(1) (2)}	OUTX_Y_OCP_DG = 00b (V _{PVDD} ≥ 28V の場合、オプションのみ)	4.5	6	7.3	μs
		V _{PVDD} ≤ 28V、OUTX_Y_OCP_DG = 01b	8	10	12	μs
		V _{PVDD} ≤ 28V、OUTX_Y_OCP_DG = 10b	16	20	24	μs
		V _{PVDD} ≤ 20V、OUTX_Y_OCP_DG = 11b	48	60	72	μs
I _{ITRIP_OUT1,2}	OUT1 および OUT2 の ITRIP 制御をトリガする電流制限値	OUT1_ITRIP_LVL = 1b および OUT2_ITRIP_LVL = 1b	0.75		1	A
		OUT1_ITRIP_LVL = 0b および OUT2_ITRIP_LVL = 0b	0.60		0.8	A
I _{ITRIP_OUT3,4}	OUT3 および OUT4 の ITRIP 制御をトリガする電流制限値	OUT3_ITRIP_LVL = 10b および OUT4_ITRIP_LVL = 10b	3		4	A
		OUT3_ITRIP_LVL = 01b および OUT4_ITRIP_LVL = 01b	1.7		3.15	A
		OUT3_ITRIP_LVL = 00b および OUT4_ITRIP_LVL = 00b	1.1		1.5	A
I _{ITRIP_OUT5}	OUT5 の ITRIP 制御をトリガする電流スレッショルド	OUT5_ITRIP_LVL = 10b	6.6		8.7	A
		OUT5_ITRIP_LVL = 01b	5.6		7.5	A
		OUT5_ITRIP_LVL = 00b	2.5		3.1	A
I _{ITRIP_OUT6}	OUT6 の ITRIP 制御をトリガする電流スレッショルド	OUT6_ITRIP_LVL = 10b	5.5		7.1	A
I _{ITRIP_OUT6}	OUT6 の ITRIP 制御をトリガする電流スレッショルド	OUT6_ITRIP_LVL = 01b	4.7		6.1	A
I _{ITRIP_OUT6}	OUT6 の ITRIP 制御をトリガする電流スレッショルド	OUT6_ITRIP_LVL = 00b	1.9		2.6	A
f _{ITRIP_HB}	ハーフブリッジドライバの ITRIP レギュレーションの固定周波数	OUTX_ITRIP_FREQ = 00b	18	20	22	kHz
		OUTX_ITRIP_FREQ = 01b	9	10	11	kHz
		OUTX_ITRIP_FREQ = 10b	4	5	6	kHz
		OUTX_ITRIP_FREQ = 11b	2	2.5	3	kHz
t _{DG_ITRIP_HB}	ハーフブリッジドライバの ITRIP レギュレーショングリッチ除去時間	OUTX_ITRIP_DG = 00b	1.5	2	2.5	μs
		OUTX_ITRIP_DG = 01b	4.5	5	5.5	μs
		OUTX_ITRIP_DG = 10b	8	10	12	μs
		OUTX_ITRIP_DG = 11b	16	20	24	μs
I _{OLA_OUT1,2}	ハーフブリッジ 1 および 2 の低電流スレッショルド		6	20	30	mA
I _{OLA_OUT3,4}	ハーフブリッジ 3 および 4 の低電流スレッショルド		15	50	90	mA

ADVANCE INFORMATION

4.5V ≤ V_{PVDD} ≤ 35V、-40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{OLA_OUT5}	ハーフブリッジ 5 の低電流スレッショルド		40	150	300	mA
I _{OLA_OUT6}	ハーフブリッジ 6 の低電流スレッショルド		30	120	240	mA
t _{OLA_HB}	ハーフブリッジ回路における開放負荷信号のフィルタ時間	ステータス ビットをセットするための開放負荷状態の継続時間		4		ms
A _{IPROP1,2}	OUT1 ~ 2 の電流スケーリング係数			650		A/A
A _{IPROP3,4}	OUT3 ~ 4 の電流スケーリング係数			2000		A/A
A _{IPROP5}	OUT5 の電流スケーリング係数			4000		A/A
A _{IPROP6}	OUT6 の電流スケーリング係数			3500		A/A
I _{ACC_1,2}	低電流 OUT1~2 の電流センス出力精度	0.1A < I _{OUT1,2} < 1A	-7		7	%
I _{ACC_3,4_LOW}	OUT3 ~ 4 における低電流時の電流センス出力精度	0.1A < I _{OUT3,4} < 0.8A	-10		10	%
I _{ACC_3,4_HI}	OUT3~4 における高電流時の電流センス出力の精度	0.8A < I _{OUT3,4} < 4A	-8		8	%
I _{ACC_5_LOW}	OUT5 における低電流時の電流センス出力の精度	0.1A < I _{OUT5} < 0.8A	-30		30	%
I _{ACC_5_HI}	OUT5 における高電流時の電流センス出力の精度	0.8A < I _{OUT5} < 8A	-7		7	%
I _{ACC_6_LOW}	OUT6 における低電流時の電流センス出力誤差	0.1A < I _{OUT6} < 0.8A	-30		30	%
I _{ACC_6_HI}	OUT6 における高電流時の電流センス出力の精度	0.8A < I _{OUT6} < 8A	-7		7	%
R _{S_GND}	OUTx から GND への抵抗をショートとして検出	V _{DVDD} = 5V、V _{OLP_REF} = 2.65V			1	kΩ
R _{S_PVDD}	OUTx から PVDD への抵抗をショートとして検出	V _{DVDD} = 5V、V _{OLP_REF} = 2.65V			1	kΩ
R _{OPEN_HB}	OUTx の抵抗を開放として検出	V _{DVDD} = 5V、V _{OLP_REF} = 2.65V	1.5			kΩ
V _{OLP_REFH}	OLP コンパレータ基準電圧 High			2.65		V
V _{OLP_REFL}	OLP コンパレータ基準電圧 Low			2		V
R _{OLP_PU}	OLP 動作中の OUTx から VDD への内部プルアップ抵抗			1		kΩ
R _{OLP_PD}	OLP 動作中の OUTx から VDD への内部プルダウン抵抗			1		kΩ
ハイサイドドライバ						
R _{DS(on)} OUT7 (低 RDSON モード)	低抵抗モードにおけるハイサイド MOSFET のオン抵抗	T _J = 25°C、I _{OUT7} = ±0.5A		400		mΩ
		T _J = 150°C、I _{OUT7} = ±0.25A		800		mΩ
R _{DS(on)} OUT7 (高 RDSON モード)	高抵抗モードにおけるハイサイド MOSFET のオン抵抗	T _J = 25°C、I _{OUT7} = ±0.5A		1500		mΩ
		T _J = 150°C、I _{OUT7} = ±0.25A		2800		mΩ
R _{DS(on)} OUT8	ハイサイド MOSFET オン抵抗	T _J = 25°C、I _{OUT8} = ±0.25A		1500		mΩ
		T _J = 150°C、I _{OUT8} = ±0.125A		2800		mΩ
R _{DS(on)} OUT9	ハイサイド MOSFET オン抵抗	T _J = 25°C、I _{OUT9} = ±0.25A		1500		mΩ
		T _J = 150°C、I _{OUT9} = ±0.125A		2800		mΩ
R _{DS(on)} OUT10	ハイサイド MOSFET オン抵抗	T _J = 25°C、I _{OUT10} = ±0.25A		1500		mΩ
		T _J = 150°C、I _{OUT10} = ±0.125A		2800		mΩ

DRV8001-Q1

JAJSWB2 – MARCH 2025

4.5V ≤ V_{PVDD} ≤ 35V, -40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _{DS(on)} OUT11	ハイサイド MOSFET オン抵抗	T _J = 25°C、I _{OUT11} = ±0.25A		1500		mΩ
		T _J = 150°C、I _{OUT11} = ±0.125A			2800	mΩ
R _{DS(on)} OUT12	ハイサイド MOSFET オン抵抗	T _J = 25°C、I _{OUT12} = ±0.25A		1500		mΩ
		T _J = 150°C、I _{OUT12} = ±0.125A			2800	mΩ
SR _{HS_OUT7_HI}	OUT7 の高 R _{DS(on)} モードにおけるスルーレート	OUT7_RDSON_MODE = 0b、10 ~ 90%		0.35		V/μs
SR _{HS_OUT7_LO}	OUT7 の低 R _{DS(on)} モードのスルーレート	OUT7_RDSON_MODE = 1b、10 ~ 90%		0.29		V/μs
SR _{HS}	OUT8 ~ OUT12 のスルーレート	10 ~ 90%		1.54		V/μs
t _{PD_OUT7_HI}	OUT7 の高 R _{DS(on)} モードにおけるドライバ伝搬遅延時間	ハイサイド ON コマンド (SPI 最終遷移) から OUT7 がハイ インピーダンス状態から遷移するまでの時間		16		μs
t _{PD_OUT7_LO}	OUT7 の低 R _{DS(on)} モードにおけるドライバ伝搬遅延時間	ハイサイド ON コマンド (SPI 最終遷移) から OUT7 がハイ インピーダンス状態から遷移するまでの時間		19		μs
t _{PD_HS}	ハイサイドドライバ (OUT8 ~ OUT12) の伝搬遅延時間ドライバ	ハイサイド OFF コマンド (SPI 最終遷移) から OUTx が ON 状態から遷移するまでの時間		2		μs
f _{PWMx(00)}	PWM スイッチング周波数	PWM_OUTX_FREQ = 00b	78	108	138	Hz
f _{PWMx(01)}	PWM スイッチング周波数	PWM_OUTX_FREQ = 01b	157	217	277	Hz
f _{PWMx(10)}	PWM スイッチング周波数	PWM_OUTX_FREQ = 10b	229	289	359	Hz
I _{LEAK_H}	OUT7 ~ 12 のスイッチオフ出力電流ハイサイドドライバ	V _{OUT} = 0V、スタンバイ モード	-10			μA
ハイサイドドライバ保護回路						
I _{OC7}	高 RDSON モードでの過電流スレッショルド	OUT7_RDSON_MODE = 0b	500		750	mA
	低 RDSON モードでの過電流スレッショルド	OUT7_RDSON_MODE = 1b	1500		2500	mA
I _{OC8} 、I _{OC9} 、I _{OC10} 、I _{OC11} 、I _{OC12}	OUT8 ~ OUT12 の過電流しきい値	OUTX_OC_TH = 0b	250		500	mA
I _{OC8} 、I _{OC9} 、I _{OC10} 、I _{OC11} 、I _{OC12}	OUT8 ~ OUT12 の過電流しきい値	OUTX_OC_TH = 1b	500		1000	mA
I _{CCM_OUT7}	ハイサイドドライバ OUT7 の高 R _{DS(on)} における定電流レベル	OUT7_RDSON_MODE = 0b、OUT7_CCM_EN = 1b、OUT7_CCM_TO = 0b	100		175	mA
I _{CCM_OUT7}	ハイサイドドライバ OUT7 の高 R _{DS(on)} における定電流レベル	OUT7_RDSON_MODE = 0b、OUT7_CCM_EN = 1b、OUT7_CCM_TO = 1b	200		350	mA
I _{CCM}	ハイサイドドライバの定電流レベル	OUTX_CCM_EN = 1b、OUTX_CCM_TO = 0b	100		175	mA
		OUTX_CCM_EN = 1b、OUTX_CCM_TO = 1b	200		350	mA
t _{CCMto}	定電流モードの時間満了	OUTX_CCM_EN = 1b、OUTX_CCM_TO = 0b	16	20	24	ms
		OUTX_CCM_EN = 1b、OUTX_CCM_TH = 1b	8	10	12	ms

4.5V ≤ V_{PVDD} ≤ 35V, -40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25°C に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{OCP_HS_DG}	ハイサイドドライバの過電流保護グリッチ除去時間 ^{(1) (2)}	OUTX_HS_OCP_DG = 00b	4.5	6	7.3	μs
		OUTX_HS_OCP_DG = 01b	8	10	12	μs
		OUTX_HS_OCP_DG = 10b	16	20	24	μs
		OUTX_HS_OCP_DG = 11b	48	60	72	μs
t _{ITRIP_HS_BLK}	OUT7 ITRIP のブランキング時間	OUT7_ITRIP_EN = 1b、 OUT_ITRIP_BLK = 01b		0		μs
		OUT7_ITRIP_EN = 1b、 OUT_ITRIP_BLK = 10b	16	20	24	μs
		OUT7_ITRIP_EN = 1b、 OUT_ITRIP_BLK = 11b	32	40	48	μs
t _{ITRIP_HS_DG}	ハイサイドドライバ OUT7 の ITRIP フィルタ時間	OUT7_ITRIP_DG = 00b	39	48	59	μs
		OUT7_ITRIP_DG = 01b	32	40	48	μs
		OUT7_ITRIP_DG = 10b	26	32	38	μs
		OUT7_ITRIP_DG = 11b	19	24	29	μs
f _{ITRIP_HS}	ハイサイドドライバ OUT7 の ITRIP 周波数	OUT7_ITRIP_FREQ = 00b		1.7		kHz
		OUT7_ITRIP_FREQ = 01b		2.2		kHz
		OUT7_ITRIP_FREQ = 10b		3		kHz
		OUT7_ITRIP_FREQ = 11b		4.4		kHz
I _{OLD7}	OUT7 の開放負荷スレッショルド	OUT7_OLA_TH = 0b	15		40	mA
		OUT7 の開放負荷スレッショルド	5		15	mA
I _{OLD8} 、I _{OLD9} 、 I _{OLD10} 、 I _{OLD11} 、 I _{OLD12}	OUT8 ~ OUT12 の開放負荷スレッショルド	OUTX_OLA_TH = 0b	0.5		4	mA
		OUTX_OLA_TH = 1b	6		16	mA
t _{OLD_HS}	ハイサイドドライバの開放負荷信号のフィルタ時間	ステータス ビットをセットするための開放負荷状態の継続時間		200	250	μs
A _{IPROPI7_LO}	低オン抵抗モードでの OUT7 の電流スケール係数	OUT7_RDSON_MODE = 1b		750		A/A
A _{IPROPI7_HI}	高オン抵抗モードでの OUT7 の電流スケール係数	OUT7_RDSON_MODE = 0b		250		A/A
A _{IPROPI8} 、 A _{IPROPI9} 、 A _{IPROPI10} 、 A _{IPROPI11} 、 A _{IPROPI12}	OUT8 ~ 12 の電流スケール係数			250		A/A
I _{ACC_7_HI_RDSON}	高 R _{DSON} モードにおける OUT7 の電流センス出力精度	0.1A < I _{OUT7} < 0.5A	-18		18	%
I _{ACC_7_LOW_RDSON}	低 RDSON モードでの OUT7 の電流センス出力精度	0.5A < I _{OUT7} < 1.5A	-14		14	%
I _{ACC_8-12_LO}	低電流時の OUT8 ~ OUT12 の電流センス出力精度	0.05A < I _{OUT8-12} < 0.1A	-28		28	%
I _{ACC_8-12_HI}	高電流時の OUT8 ~ OUT12 の電流センス出力精度	0.1A < I _{OUT8-12} < 0.5A	-18		18	%
t _{IPROPI_BLK}	IPROPI ブランキング時間			32		μs
保護回路						
V _{CP_UV}	チャージポンプ低電圧スレッショルド	V _{VCP} - V _{PVDD} 、V _{VCP} 立ち下がり	5.5	6	7	V
t _{CP_UV_DG}	チャージポンプ低電圧グリッチ除去時間		8	10	12.75	μs

4.5V $\leq V_{PVDD} \leq 35V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (特に記述のない限り)。標準的な制限は、 $V_{PVDD} = 13.5V$ 、 $T_J = 25^{\circ}C$ に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{PVDD_UV}	PVDD 低電圧スレッシュホールド	V _{PVDD} 立ち上がり	4.425	4.725	5	V
		V _{PVDD} 立ち下がり	4.15	4.425	4.7	V
V _{PVDD_UV_HYS}	PVDD 低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュホールド	200			mV
t _{PVDD_UV_DG}	PVDD 低電圧グリッチ除去時間		8	10	12.75	μs
V _{PVDD_OV}	PVDD 過電圧スレッシュホールド	V _{PVDD} 立ち上がり、PVDD_OV_LVL = 0b	21	22	23	V
		V _{PVDD} 立ち下がり、PVDD_OV_LVL = 0b	20	21	22	V
		V _{PVDD} 立ち上がり、PVDD_OV_LVL = 1b	27	28	29	V
		V _{PVDD} 立ち下がり、PVDD_OV_LVL = 1b	26	27	28	V
V _{PVDD_OV_HYS}	PVDD 過電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュホールド	1			V
t _{PVDD_OV_DG}	PVDD 過電圧グリッチ除去時間	PVDD_OV_DG = 00b	0.75	1	1.5	μs
		PVDD_OV_DG = 01b	1.5	2	2.5	μs
		PVDD_OV_DG = 10b	3.25	4	4.75	μs
		PVDD_OV_DG = 11b	7	8	9	μs
V _{DVDD_POR}	DVDD 電源 POR スレッシュホールド	DVDD 立ち下がり	2.5	2.7	2.9	V
		DVDD 立ち上がり	2.6	2.8	3	V
V _{DVDD_POR_HYS}	DVDD POR ヒステリシス	立ち上がりから立ち下がりへのスレッシュホールド	100			mV
t _{DVDD_POR_DG}	DVDD POR グリッチ除去時間		5	12	25	μs
t _{WD}	ウォッチドッグ タイマ期間	WD_WIN = 0b	36	40	44	ms
		WD_WIN = 1b	90	100	110	ms
A _{IPROPI_PVD_D_VOUT}	IPROPI PVDD 電圧センス出力スケール係数		30	32	34	V/V
V _{IPROPI_TEMP_VOUT}	IPROPI 温度検出出力		-17		+17	°C
T _{OTW1}	低温警告温度	T _J 立ち上がり	100	115	130	°C
T _{OTW2}	過熱警告温度	T _J 立ち上がり	125	140	155	°C
T _{HYS}	過熱警告ヒステリシス		20			°C
T _{OTSD}	サーマル シャットダウン温度	T _J 立ち上がり	155	170	185	°C
T _{HYS}	サーマル シャットダウン ヒステリシス		20			°C
t _{OTSD_DG}	サーマル シャットダウン グリッチ除去時間		10			μs

- 20-V < V_{PVDD} < 28-V の場合、OCP グリッチ除去時間は 20-μs (OUTX_HB_OCP_DEG または OUTX_HS_OCP_DEG = 10b) までに制限する必要があります。
- V_{PVDD} > 28V の場合、OCP グリッチ除去時間は 6μs に制限する必要があります (最小グリッチ除去値、OUTX_HB_OCP_DEG または OUTX_HS_OCP_DEG = 00b)。

6.6 タイミング要件

		最小値	公称値	最大値	単位
t _{READY_SPI}	パワーアップ後、SPI レディまで			1	ms
t _{SCLK}	SCLK の最小周期	100			ns
t _{SCLKH}	SCLK 最小 High 時間	50			ns
t _{SCLKL}	SCLK の最小 Low 時間	50			ns
t _{SU_SDI}	SDI 入力データ セットアップ時間	25			ns

		最小値	公称値	最大値	単位
t_{H_SDI}	SDI 入力データ ホールド時間	25			ns
t_{D_SDO}	SDI 出力データ遅延時間			30	ns
t_{SU_nSCS}	nSCS 入力セットアップ時間	25			ns
t_{H_nSCS}	nSCS 入力ホールド時間	25			ns
t_{HI_nSCS}	SDO 最小 High 時間	125			ns
t_{EN}	SDO イネーブル遅延時間			50	ns
t_{DIS}	SDO ディスエーブル遅延時間			50	ns

7 詳細説明

7.1 概要

DRV8001-Q1 デバイスには、モーター（誘導性）、抵抗性、容量性負荷の駆動および診断のための複数の機能を使用する複数のタイプのドライバが内蔵されています。このデバイスは、6 個の内蔵ハーフブリッジ、6 個の内蔵ハイサイドドライバ、ヒータ用の 1 個のハイサイド外部 MOSFET ゲートドライバ、1 個のエレクトロクロミック充電用ハイサイド ゲートドライバ、1 個のエレクトロクロミック負荷放電用ローサイドドライバを搭載しています。各ドライバは、電流検出、保護、診断機能に加え、システム保護および診断機能を備えており、システム統合性を高めるとともに、システム全体のサイズとコストを削減します。

ハーフ ブリッジドライバは、SPI レジスタまたは PWM ピンの PWM1 およびハーフ ブリッジには、ITRIP と呼ばれる電流チョッピング方式が設定可能です。保護回路には、短絡保護、アクティブおよびパッシブなオープン ロード検出が含まれます。

ハイサイドドライバは、SPI レジスタ、外部 PWM ピン(PWM1)、または専用の PWM ジェネレータによって制御でき、動作中の負荷調整が可能です。ハイサイドドライバは、オプションで LED モジュール負荷用の定電流モードレギュレーション機能も備えています。1 個のハイサイドドライバは、ランプまたは LED 負荷のいずれかを駆動するように構成できます。保護回路には、短絡保護や開放負荷検出が搭載されています。

このデバイスは、抵抗性発熱体用の外付け MOSFET ドライバも備えています。ヒータ MOSFET ドライバは、SPI レジスタまたは PWM ピン(PWM1)で制御でき、短絡および負荷開放検出の両方の機能を備えています。

また、エレクトロクロミック(EC)ミラー ドライバもあります。EC ドライバは、SPI レジスタでのみ制御されます。EC 駆動の場合、ドライバ制御ループは EC 電圧を 6 ビットの目標電圧にレギュレートします。EC 素子を放電したり、目標電圧を変更したりするために、EC 素子を放電する内蔵ローサイド MOSFET が 2 つの放電モード、PWM 放電と高速放電オプションのいずれかで用意されています。EC ドライバ保護には、LS 過電流および開放負荷検出が含まれます。

IPROPI ピンは、電流検出を持つ内蔵ドライバからの比例電流検出を行う出力ピンです。IPROPI は、スケールリングされた PVDD 入力電圧または 4 つの内部温度クラス出力電圧のいずれかを出力するように構成することもできます。

7.2 機能ブロック図

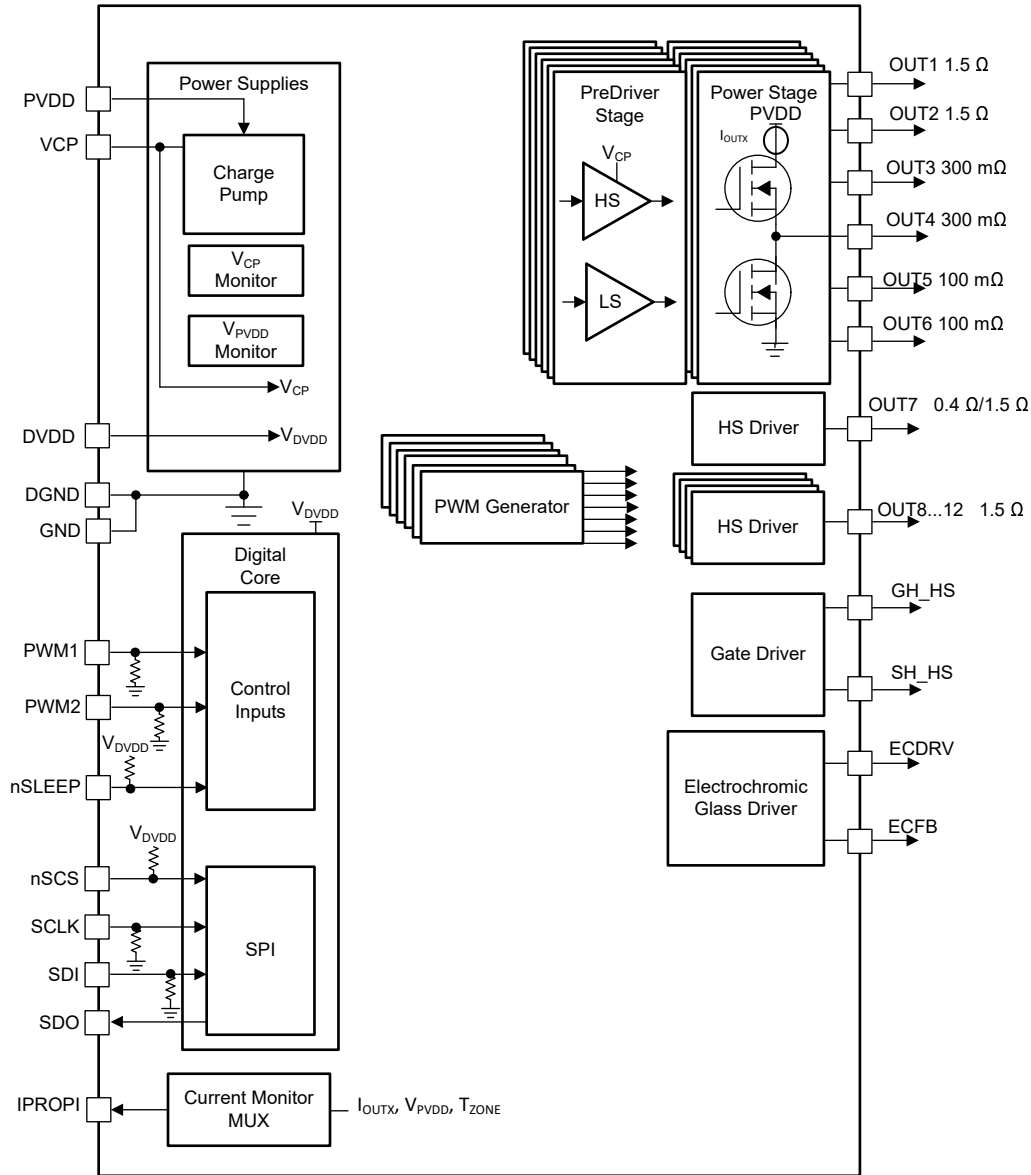


図 7-1. DRV8001-Q1 のブロック図

7.3 外付け部品

表 7-1 に、推奨の外付け部品を示します。

表 7-1. 推奨外付け部品

部品	ピン 1	ピン 2	推奨
CPVDD1	PVDD	GND	0.1μF、低 ESR セラミック コンデンサ、PVDD 定格。
CPVDD2	PVDD	GND	PVDD 定格の 10μF 以上のローカル バルク容量。
CDVDD	DVDD	GND	1μF、6.3V、低 ESR セラミックコンデンサ
CVCP	VCP	PVDD	1μF 16V、低 ESR セラミック コンデンサ
RIPROPI	IPROPI	GND	通常、コントローラの電源レールに応じて、GND に 1000~1800Ω の 0.063W 抵抗。

表 7-1. 推奨外付け部品 (続き)

部品	ピン 1	ピン 2	推奨
C _{IPROPI}	IPROPI		4.7nF、6.3V の低 ESR セラミック コンデンサ
R _{ECDRV}	ECDRV	GND	制御ループを安定させるため、通常 ECDRV ピンと外部 MOSFET のゲートとの間に 220Ω の直列抵抗を接続します
C _{ECDRV}	ECDRV	GND	4.7nF、低 ESR セラミック コンデンサ 注 このコンデンサの電圧定格は、ECFB のバッテリー短絡の想定に基づいています。
C _{ECFB}	ECFB	GND	220nF、低 ESR セラミック コンデンサ 注 このコンデンサの電圧定格は、ECFB のバッテリー短絡の想定に基づいています。

7.4 機能説明

次の表に、デバイスの主要なブロックの機能に関するすべての説明へのリンクを示します。

表 7-2. セクションごとのデバイスの特長表

デバイスのブロック
ヒータ MOSFET ドライバ
エレクトロクロミック ガラス ドライバ
ハイサイド ドライバ
ハーフ ブリッジ ドライバ
IPROPI
保護回路
サーマル クラス
障害表

7.4.1 ヒータ MOSFET ドライバ

表 7-3. ヒータ ドライバ セクションの目次

ヒータ セクション	セクションへのリンク
機能セクションのトップに戻る	セクション 7.4
ヒータドライバ制御	セクション 7.4.1.1
ヒータドライバの保護	セクション 7.4.1.2

これは、抵抗性発熱素子の駆動に使用できる外付けのハイサイド MOSFET ゲートドライバです。ドライバは SPI または PWM で制御され、アクティブ短絡検出とオフ状態での開放負荷検出がプログラム可能です。

7.4.1.1 ヒータ MOSFET ドライバ制御

ヒータ MOSFET ドライバ制御モードは、レジスタ [HS_HEAT_OUT_CNFG](#) の [HEAT_OUT_CNFG](#) ビットで設定されます。ヒータ構成ビットは、ヒーター出力の制御をイネーブルまたはディセーブルにし、制御ソースを構成します。ヒータドライバの場合、制御ソースは SPI レジスタ制御と PWM ピン制御です。

SPI レジスタ制御モード ([HEAT_OUT_CNFG](#) = 01b) では、レジスタ [HS_EC_HEAT_CTRL](#) のビット [HEAT_EN](#) をセットすることで、ヒータ MOSFET ゲート駆動がイネーブルおよびディセーブルされます。

PWM 制御モード ([HEAT_OUT_CNFG](#) = 10b) では、ゲートドライバはピン PWM1 の外部 PWM 信号によって制御されます。ヒータドライバが PWM 制御モードにある場合、[HEAT_EN](#) は無視されます。

次の表は、ヒータドライバの設定および制御オプションをまとめたものです。

表 7-4. ヒータの設定

HEAT_OUT_CNFG ビット	構成	概要
00b	オフ	ヒータ コントロール無効
01b	SPI レジスタの制御	ヒータ SPI 制御がイネーブル
10b	PWM1 制御	PWM ピン 1 によるヒータ制御
11b	オフ	ヒータ コントロール無効

以下は、ヒータドライバ ブロックのブロック図です。

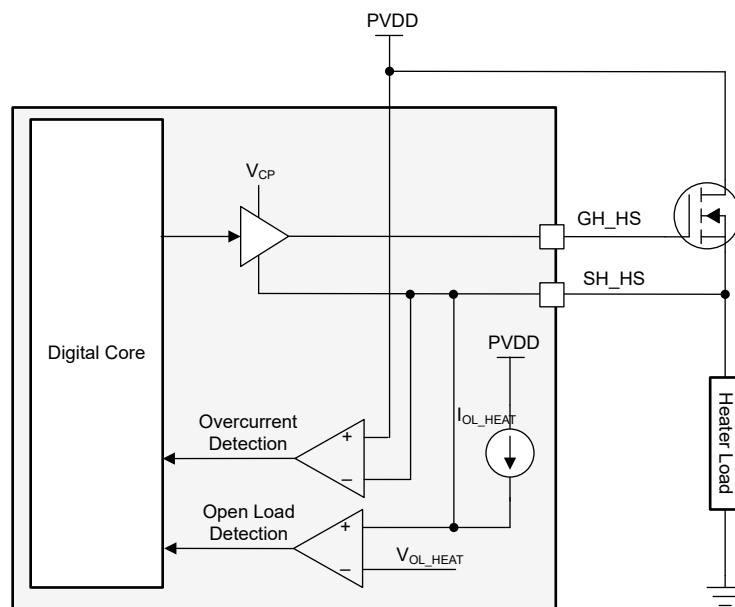


図 7-2. ヒータ MOSFET ドライバのブロック図

以下のタイミング波形は、ヒータドライバに予想されるタイミングを示しています。

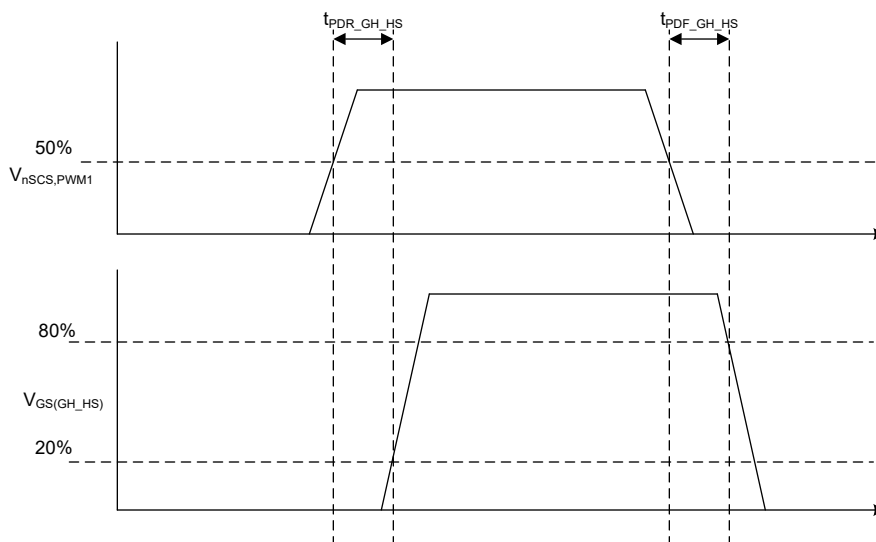


図 7-3. ヒータのタイミング図

7.4.1.2 ヒータ MOSFET ドライバの保護

ヒータドライバは、アクティブな短絡検出と、オフ状態の開路検出を備えています。

7.4.1.2.1 ヒータ SH_HS 内部ダイオード

SH_HS ピンの内部 ESD ダイオードによって消費されるのは、限られた量のエネルギー (1mJ 未満) のみです。負荷短絡が発生した場合に備え、グランドと SH_HS ピンの間に外付けダイオードを追加することを TI は推奨しています。ヒータ負荷が短絡しているとき、電流は外部ヒータ MOSFET の飽和電流のみによって制限されます。短絡検出によりヒータ出力をシャットオフするように構成した場合、同じ電流がグランドから SH_HS まで内部 ESD ダイオードを経由して消費されますが、これは、内部 ESD ダイオードが消費できる量より大きい値です。

7.4.1.2.2 ヒータ MOSFET V_{DS} 過電流保護 (HEAT_VDS)

ヒータドライバ V_{DS} 過電流コンパレータの両端の電圧が、 $V_{DS_LVL_HEAT}$ を超えた状態が、 $t_{DS_HEAT_DG}$ 時間より長く続くと、ヒータ過電流状態が検出されます。電圧スレッシュホールドとグリッチ除去時間は、[EC_CNFG](#) と [HEAT_CNFG](#) レジスタの設定により調整できます。

表 7-5. ヒータ VDS レベル

HEAT_VDS_LVL	VDS 電圧レベル
0000b	0.06V
0001b	0.08V
0010b	0.10V
0011b	0.12V
0100b	0.14V
0101b	0.16V
0110b	0.18V
0111b	0.2V
1000b	0.24V
1001b	0.28V
1010b	0.32V
1011b	0.36V
1100b	0.4V

表 7-5. ヒータ VDS レベル (続き)

HEAT_VDS_LVL	VDS 電圧レベル
1101b	0.44V
1110b	0.56V
1111b	1V

表 7-6. ヒータ VDS グリッチ除去時間

HEAT_VDS_DG	時間
00b	1μs
01b	2μs
10b	4μs
11b	8μs

ヒータ MOSFET V_{DS} モニタ ブランキング期間もあり、レジスタ **HEAT_CNFG** 内のビット **HEAT_VDS_BLK** で設定されます。4 つのブランキング時間の選択肢があります。

表 7-7. ヒータ VDS のブランキング時間

HEAT_VDS_BLK	時間
00b	4μs
01b	8μs
10b	16μs
11b	32μs

ヒータ過電流モニターは、**HEAT_VDS_MODE** レジスタ設定により設定された 4 つの異なるモードで応答し、回復することができます。

- **ラッチ フォルト モード:** 過電流イベントの検出後、ゲートドライバ プルダウンはイネーブルになり、**HEAT_VDS** がアサートされます。ゲート フォルト イベントの解消後、**CLR_FLT** が発行されるまではフォルト状況はラッチされた状態のままです。
- **サイクルごとのモード:** 過電流イベントの検出後、ゲートドライバ プルダウンはイネーブルになり、**HEAT_VDS**、**EC_HEAT**、**FAULT** ビットがアサートされます。レジスタ **IC_STAT1** の **EC_HEAT** および **FAULT** ステータス ビットは、ドライバ制御入力に変化するまでアサートされたままです (SPI または PWM)。**HEAT_VDS** ビットをクリアするには、入力の変更後に **CLR_FLT** コマンドを送信する必要があります。入力を変更する前に **CLR_FLT** が発行された場合、3 つのステータス ビットはすべてアサートされたままになり、ドライバ プルダウンはイネーブルのままです。
- **警告レポートのみモード:** 過電流イベントは、警告と関連する **WARN** と **HEAT_VDS** ビットで通知されます。デバイスは一切対応を行いません。**CLR_FLT** が発行されるまで、警告はラッチされたままです。
- **ディセーブル モード:** ヒータ V_{DS} 過電流監視はディセーブルとなり、応答や通知を行いません。

7.4.1.2.3 ヒータ MOSFET 開放負荷検出

オフ状態の開放負荷監視は、電流源でプルアップしたときの電圧差 **SH_HS** ノードを開放負荷スレッシュホールド電圧 V_{OL_HEAT} と比較することで行われます。**SH_HS** 電圧が開放負荷スレッシュホールド V_{OL_HEAT} をフィルタ時間 t_{OL_HEAT} より長い時間上回ると、開放負荷ビット **HEAT_OL** が設定されます。開放負荷モニタはビット **HEAT_OLP_EN** で制御されます。

注

ヒータの開放負荷診断は、ヒータ構成が無効化されており、ビット **HEAT_OUT_CNFG** が 00b である必要がある場合のみ機能します。

7.4.2 ハイサイド ドライバ

表 7-8. ハイサイド ドライバ セクションの目次

ハーフブリッジ セクション	セクションへのリンク
機能セクションのトップに戻る	セクション 7.4
ハイサイド ドライバ制御	セクション 7.4.2.1
ハイサイド ドライバ (OUT7) レギュレーション	セクション 7.4.2.1.2.2
ハイサイド ドライバ保護	セクション 7.4.2.1.3

このデバイスは、6 つのハイサイド ドライバ (OUT7～OUT12) を統合しており、複数の負荷タイプを駆動するようにプログラムできます。各ハイサイド ドライバは、高電流または低電流の保護と、開放負荷電流のスレッシュホルドを選択できます。OUT7 は、ランプ、電球、または LED を駆動するように構成できます。すべてのハイサイド ドライバには、高容量 LED モジュールを駆動するための固定時定電流モードもあります。

すべてのハイサイド ドライバには、開放負荷検出と短絡保護 (OCP) 機能が搭載されています。OUT7 は、ランプまたは電球負荷用のオプションの ITRIP 制御機能を備えています。エレクトロクロミック ドライバが使用される場合、OUT11 は EC 素子用の保護されたバッテリー電圧を供給するために使用されます。

ハイサイド ドライバのブロック図を以下に示します。

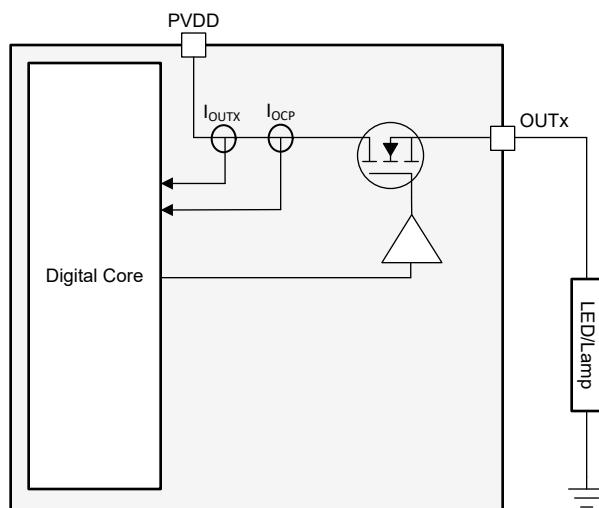


図 7-4. ハイサイド ドライバ ブロック図

以下の表に、すべてのデバイスのハイサイド ドライバと、それぞれに対応する機能セットを示します。

表 7-9. ハイサイド ドライバとその機能

ハイサイド ドライバ	RDSON (Ω)	OL 検出	OCP ラッチ	ITRIP	CCM	EC 電源に使用
OUT7	0.4/1.5	あり	あり	あり	あり	なし
OUT8	1.5	あり	あり	なし	あり	なし
OUT9	1.5	あり	あり	なし	あり	なし
OUT10	1.5	あり	あり	なし	あり	なし
OUT11	1.5	あり	あり	なし	あり	あり
OUT12	1.5	あり	あり	なし	あり	なし

7.4.2.1 ハイサイド ドライバ制御

ハイサイドドライバは、SPI レジスタ、10 ビット PWM ジェネレータから内部で生成される PWM 信号、PWM1 ピンからの外部 PWM 信号による制御用に構成できます。この設定は、レジスタ **HS_HEAT_OUT_CNFG** の **OUTx_CNFG** (OUT7 ~ OUT12) ビットをセットすることで行われます。

SPI レジスタ制御モード (**OUTx_CNFG** = 01b) では、ハイサイド出力は **OUTx_EN** ビット (ON/OFF) に従います。

次の表に、ハイサイドドライバの構成オプションを要約します。

表 7-10. ハイサイド ドライバ構成

OUTx_CNFG ビット	構成	概要
00	オフ	ハイサイド ゲートドライバが無効
01	SPI レジスタの制御	ハイサイドドライバの SPI 制御が有効
10	PWM1 ピン制御	PWM ピン 1 によるハイサイドドライバ制御
11	PWM ジェネレータ	専用内部 PWM ジェネレータを搭載したハイサイドドライバ制御

7.4.2.1.1 ハイサイド – パラレル出力

ハイサイドドライバ OUT8 から OUT12 までを並列に接続することで、さらに大きな電流負荷をサポートできます。たとえば、OUT8 と OUT9 を効果的に 600mΩ ドライバとして並列に接続するか、OUT9、OUT10、OUT12 を実質的に 400mΩ ドライバとして並列に接続できます。

ただし、この動作モードには以下の制限があります。

- 並列ハイサイドドライバでは内部 PWM 制御は機能しないため、この動作モードには設定しないでください。
- 定電流モードは不可能であり、無効にする必要があります。
- 保護回路は機能しますが、異なるスレッショルドでトリップします。

並列動作する場合は、ハイサイドドライバをオン / オフ SPI レジスタ制御用に構成するか、ピンによる外部 PWM 信号制御用に構成する必要があります。

7.4.2.1.2 ハイサイド ドライバ PWM ジェネレータ

各ハイサイドドライバには、10 ビットのデューティ サイクル分解能を持つ専用の PWM ジェネレータがあります。各 PWM ジェネレータの周波数とデューティは、互いに独立して制御できます。

内部 PWM ジェネレータで動作するようにハイサイドドライバを構成する場合、内部 PWM ジェネレータを使用してハイサイドドライバを構成する前に周波数を選択する必要があります。

必要なレジスタ設定シーケンス:

1. レジスタ **HS_PWM_FREQ_CNFG** のハイサイドドライバ PWM 周波数モードを設定します
2. レジスタ **OUTx_PWM_DC** のデューティ サイクルを設定します
3. レジスタ **HS_HEAT_OUT_CNFG** でドライバの動作モードを設定します

PWM ジェネレータの周波数は、以下の表に示すように、レジスタ **HS_PWM_FREQ_CNFG** の **PWM_OUTX_FREQ** ビットで制御されます。

表 7-11. PWM 周波数

PWM_OUTX_FREQ	PWM 周波数 (Hz)
00b	108
01b	217
10b	289
11b	予約済み

7.4.2.1.2.1 定電流モード

すべてのハイサイドドライバにはタイミング付き定電流モード機能があり、このモードを使用すると、目的の出力までの短時間の定電流を供給できます。このモードは、レジスタ **HS_REG_CNFG2** 内のビット **OUTx_CCM_EN** を使用してイネーブルされます。イネーブルにすると、ハイサイドドライバからの電流が短時間(10 または 20ms)の設定された制限値に制限されます。

定電流モードには、タイミングおよび電流制限のオプションが 2 つあります。これは、レジスタ **HS_REG_CNFG2** 内のビット **OUTX_CCM_TO** で構成されます(以下の表を参照)。

表 7-12. 定電流モードに関する複数のオプション :

OUTX_CCM_TO	電流制限 (I _{CCM})	タイムアウト(t _{CCMto})
0b	200mA	20ms
1b	390mA	10ms

この定電流モード機能は、ハイサイドドライバをイネーブルにする前に **OUTx_CCM_EN** ビットが設定されている場合のみイネーブルされます。有効期限 **t_{CCMtimeout}** が経過すると、CCM は自動的に期限切れになります。タイムアウト後、ドライバはイネーブルのままになり、レジスタ **HS_EC_HEAT_CTRL** の **OUTx_CNFG** ビットに基づいて構成されます。

必要なレジスタ設定シーケンス:

1. レジスタ **HS_REG_CNFG2** のハイサイドドライバ CCM モードを設定します
2. レジスタ **HS_HEAT_OUT_CNFG** のハイサイドドライバの動作を設定します

ハイサイドドライバを構成した後に定電流モードを構成した場合、CCM モードはレギュレートされません。

OUTx_CCM_EN ビットの場合:

- 定電流モードのタイムアウト前にコントローラによって **OUTx_CCM_EN** がクリアされた場合、ドライバはこのコマンドに従い、**OUTx_CNFG** ビットに対応するモードに切り替えます
- ドライバがすでにイネーブルになってから **OUTx_CCM_EN** がセットされると、**OUTx_CCM_EN** ビットは無視されます。この場合、**OUTx_CCM_EN** はオフのままです。

短絡および過電流検出は、ドライバがオンで PWM 駆動されているが定電流モードではない場合、アクティブ/イネーブルになります。開放負荷検出は常に機能しています。

7.4.2.1.2.2 OUT7 HS の ITRIP 動作

OUT7 の低 RDSON モードでは、過電流が発生した場合にドライバを再起動させるために使用できる HS ITRIP と呼ばれる固定周波数電流レギュレーション機能があります。この ITRIP 機能(ハーフブリッジ用の ITRIP とは別)は、ハイサイドドライバの OUT7(および EC ドライバ)で利用可能であり、ランプや電球など、ドライバの過電流保護閾値よりも高い突入電流を持つ負荷を対象としています。

HS ITRIP を機能させるには、**OUT7 OCP** をディセーブルにする必要があります。

ビット **OUT7_ITRIP_CNFG** ビットが 0 以外であり、OUT7 の負荷電流が **I_{OC7}** スレッショルドを超えると、ITRIP レギュレーションが実行されます。ステータス ビットは **OUT7_ITRIP_STAT** でレジスタ **EC_HEAT_ITRIP_STAT** 内にあり、**OUT7_ITRIP_CNFG** 構成に応じてアサートされます。

また、オプションの OUT7 ITRIP タイムアウト機能もあります。**OUT7_ITRIP_CNFG** の設定によっては、タイムアウトを超えた後に OUT7 または ITRIP レギュレーションを無効化できます。**OUT7_ITRIP_CNFG = 01b** の場合、ITRIP レギュレーション時間 **t_{OUT7_ITRIP}** が設定されたタイムアウト **t_{OUT7_ITRIP_TO}** より長い時間発生すると、OUT7 はディセーブルされます。**OUT7_ITRIP_CNFG = 11b** の場合、ITRIP レギュレーション時間 **t_{OUT7_ITRIP}** が設定されたタイムアウト **t_{OUT7_ITRIP_TO}** よりも長い時間発生すると、ITRIP レギュレーションはディセーブルされます。どちらの場合も、ステータスビット **OUT7_ITRIP_TO** がラッチされます。ビット **OUT7_ITRIP_CNFG** はレジスタ **HS_REG_CNFG1** にあります。OUT7 ITRIP レギュレーションを無制限動作に設定するには、**OUT7_ITRIP_CNFG = 10b** に設定します。

次の表に、OUT7 ITRIP のレギュレーション、ステータス、およびフォルト動作を要約します。

表 7-13. OUT7 の ITRIP 構成とステータスの概要

OUT7_ITRIP_CN FG[1]	OUT7_ITRIP_CN FG[0]	モードの説明	OUT7_ITRIP_STA T	ITRIP ステータス フ ォルト クリア	OUT7_ITRIP_TO	ITRIP タイムアウト フォルト クリア
0b	0b	ITRIP レギュレーシ ョンなし	OUT7 過電流スレッ シヨルドを超えるとラ ッチ	CLR_FLT コマンド	タイムアウトが無効	該当なし
0b	1b	ITRIP レギュレーシ ョン	タイムアウト後にラッ チ	CLR_FLT コマンド 以前にラッチされて いる場合は自動クリ アされます。	タイムアウト制限に 達した後にラッチ。	CLR_FLT は、ディ セーブルになるとド ライバを再起動しま す。
1b	0b	ITRIP レギュレーシ ョンによる安全な再 試行	OUT7 過電流スレッ シヨルドを超えるとラ ッチ	CLR_FLT は、レギ ュレーションによりド ライバを再起動しま す。	タイムアウトが無効	該当なし
1b	1b	タイムアウトおよびレ ギュレーション ディ セーブルによる ITRIP レギュレーシ ョン	タイムアウト制限に 達した後にラッチ。 フォルトクリアの後、 OUT7 過電流スレッ シヨルドを超えてい なければ再ラッチし	CLR_FLT コマンド 開始時に自動クリ ア。	タイムアウト制限に 達した後にラッチ。	CLR_FLT は、ディ セーブルになると、 レギュレーションを 再開します。

次の表に、時間制限オプションを要約します。

表 7-14. OUT7 の ITRIP タイムアウト オプション

ITRIP_TO_SEL	タイムアウト時間
00b	100ms
01b	200ms
10b	250ms
11b	290ms

HS ITRIP モードは、OUT7 のデフォルト設定としてディセーブルです。OUT7 を HS ITRIP モードで設定する場合：

- レジスタ **HS_OC_CNFG** のビット **OUT7_RDSON_MODE** = 1 をセットすることで、OUT7 を低 RDSON モードに構成します。
- OUT7 ITRIP 構成概要表**に従い、レジスタ **HS_REG_CNFG1** のビット **OUT7_ITRIP_CNFG=1Xb** を設定して、OUT7 ITRIP のイネーブル化および構成を行います。
- タイムアウトを使用する場合、**HS_REG_CNFG1** の **ITRIP_TO_SEL** ビットでタイムアウト制限を設定します。
- ITRIP タイミング パラメータを設定します。レジスタ **HS_REG_CNFG1** のビット **OUT7_ITRIP_FREQ**、**OUT7_ITRIP_BLK**、および **OUT7_ITRIP_DG** で構成された ITRIP 周波数、ブランキング、およびグリッチ除去。
- レジスタ **HS_REG_CNFG1** のビット **OUT7_OCP_DIS** を使用して、OUT7 の OCP をディセーブルにします。

表 7-15. OUT7 の ITRIP 周波数オプションの概要

周波数 (f_{ITRIP_HS})	OUT7_ITRIP_FREQ
1.7kHz	00b
2.2kHz	01b
3kHz	10b
4.4kHz	11b

表 7-16. OUT7 ITRIP ブランキング オプションの概要

ブランキング時間 ($t_{ITRIP_HS_BLK}$)	OUT7_ITRIP_BLK
RSVD	00b

表 7-16. OUT7 ITRIP ブランキング オプションの概要 (続き)

ブランキング時間 ($t_{ITRIP_HS_BLK}$)	OUT7_ITRIP_BLK
0 μ s	01b
20 μ s	10b
40 μ s	11b

表 7-17. OUT7 の ITRIP グリッチ除去オプションの概要

グリッチ除去時間 ($t_{ITRIP_HS_DG}$)	OUT7_ITRIP_DG
48 μ s	00b
40 μ s	01b
32 μ s	10b
24 μ s	11b

ITRIP グリッチ除去タイマは、OUT7 の ITRIP ブランキング時間が経過すると開始します。最小 OUT7 ITRIP オン時間は、ブランキング時間とグリッチ除去時間の合計であり、合計期間は OUT7 の ITRIP 周波数によって決定されます。次の図に、OUT7 の ITRIP 動作を示します。

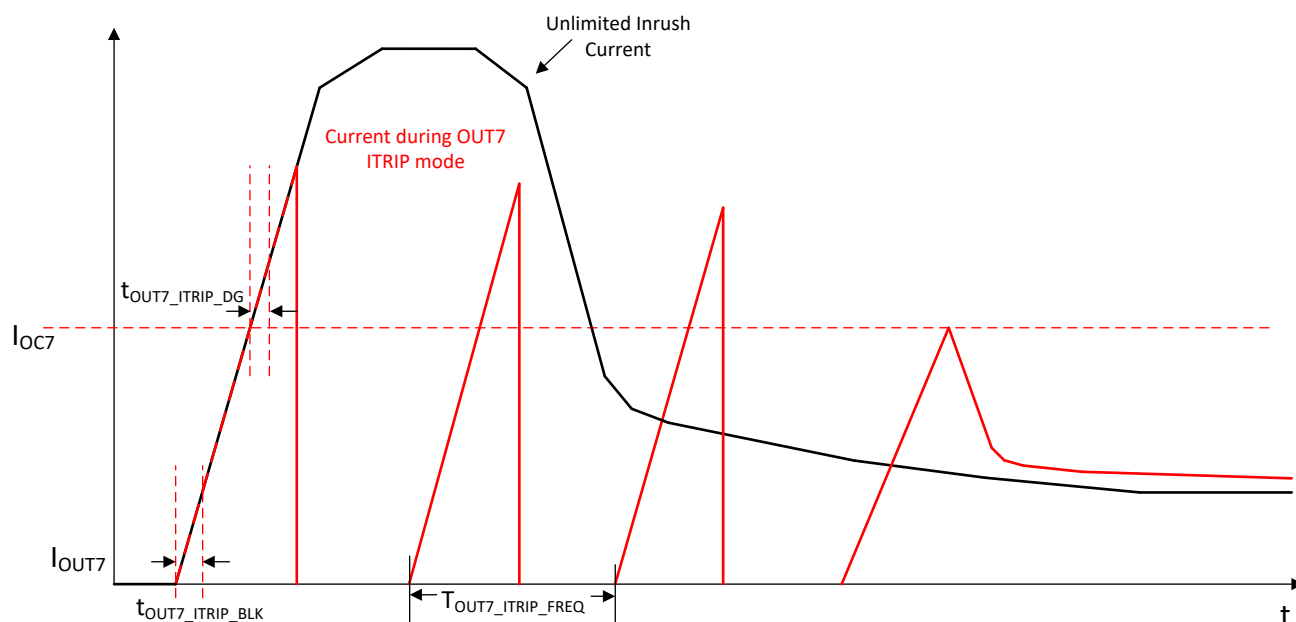


図 7-5. 白熱電球を使用した OUT7 の ITRIP 動作

HS ITRIP モードでの OUT7 の復帰アクティブ化シーケンスには、次の 3 つの設定可能なタイミング パラメータがあります。

- $t_{OUT7_ITRIP_FREQ}$ ($1/T_{OUT7_ITRIP_FREQ}$)
- $t_{OUT7_ITRIP_BLK}$
- $t_{OUT7_ITRIP_DG}$

ブランキング時間 $t_{OUT7_ITRIP_BLK}$ はデフォルトの 40 μ s (標準値) で、その後、過電流状態を検出できます。 $t_{OUT7_ITRIP_DG}$ は、過電流保護スレッショルドを超えた後、OUT7 がオンに維持される時間です。 $t_{OUT7_ITRIP_FREQ}$ は、ITRIP ループの時間周期 ($t_{OUT7_ITRIP_FREQ}$) の逆数です。これらの設定はレジスタ [HS_REG_CNFG1](#) で設定できます。

7.4.2.1.2.3 ハイサイド – パラレル出力

ハイサイドドライバ OUT8 から OUT12 までを並列に接続することで、さらに大きな電流負荷をサポートできます。たとえば、OUT8 と OUT9 を効果的に 600mΩ ドライバとして並列に接続するか、OUT9、OUT10、OUT12 を実質的に 400mΩ ドライバとして並列に接続できます。

ただし、この動作モードには以下の制限があります。

- 並列ハイサイドドライバでは内部 PWM 制御は機能しないため、この動作モードには設定しないでください。
- 定電流モードは不可能であり、無効にする必要があります。
- 保護回路は機能しますが、異なるスレッショルドでトリップします。

並列動作する場合は、ハイサイドドライバをオン / オフ SPI レジスタ制御用に構成するか、ピンによる外部 PWM 信号制御用に構成する必要があります。

7.4.2.1.3 ハイサイド ドライバ保護回路

7.4.2.1.3.1 ハイサイド ドライバの内部ダイオード

各ハイサイドドライバには、ESD 保護用に、グラウンドからハイサイド OUTx ノードまでの内部ダイオードが搭載されています。次のいずれかが発生すると、このダイオードは大きなエネルギー消費にさらされる可能性があります。

- ハイサイド出力で、グラウンド接続が喪失し、グラウンドへの短絡が両方とも発生します。
- ハイサイド出力には誘導性負荷が接続されています

フリーホイール中に内部 ESD ダイオードによって消費されるのは、限られた量のエネルギー (1mJ 未満) のみです。100μH を超える誘導性負荷の場合、GND と対応する出力との間に外部フリーホイール ダイオードに接続する必要があります

7.4.2.1.3.2 ハイサイド ドライバの過電流保護

ハイサイドドライバ OUT7 から OUT12 への過電流フォルト検出により、出力(ラッチ)の障害がシャットオフされます。

ハイサイドドライバの過電流スレッショルド I_{OCx} は、レジスタ HS_OC_CNFG のビット OUTX_OC_TH を使用して、ハイサイドドライバと低電流スレッショルドの間で構成できます。低電流モードの場合は 250 mA、大電流モードの場合は 500 mA の 2 つの方法があります。ハーフブリッジドライバと同様に、設定可能なグリッチ除去時間 $t_{OCP_HS_DG}$ もあります。これは、レジスタ HS_OCP_DG 内のビット OUTX_OCP_DG もあります。

OUT7 の場合、電流保護スレッショルドビットはレジスタ HS_OC_CNFG の OUT7_RDSON_MODE ビットで設定されます。OUT7 RDSON モードの 2 つのオプションは、スレッショルドを 500 mA と 1.5A (高 RDSON モードの場合は 0b、低 RDSON モードの場合は 1b) に設定します。1.5A スレッショルドはランプまたは電球負荷が OUT7 で駆動され、500 mA が LED 負荷を想定しているときのアプリケーション制限として使用します。

ただし、OUT7 を使用してアプリケーションで電球のような負荷を駆動するには、レジスタ HS_REG_CNFG1 の OUT7_OCP_DIS ビットを使って過電流制限をディセーブルにする必要があります。

いずれかのアクティブ出力の負荷電流が、この設定された電流スレッショルドを $t_{OCP_HS_DG}$ より長い時間にわたって超えると、過電流 OUTx_OCP および HS フォルト ステータス ビットがラッチされ、対応する出力がシャットオフされます。このビットは、CLR_FLT ビットがセットされるまでセットされたままです。次の図に、ハイサイドドライバの過電流動作を示します。

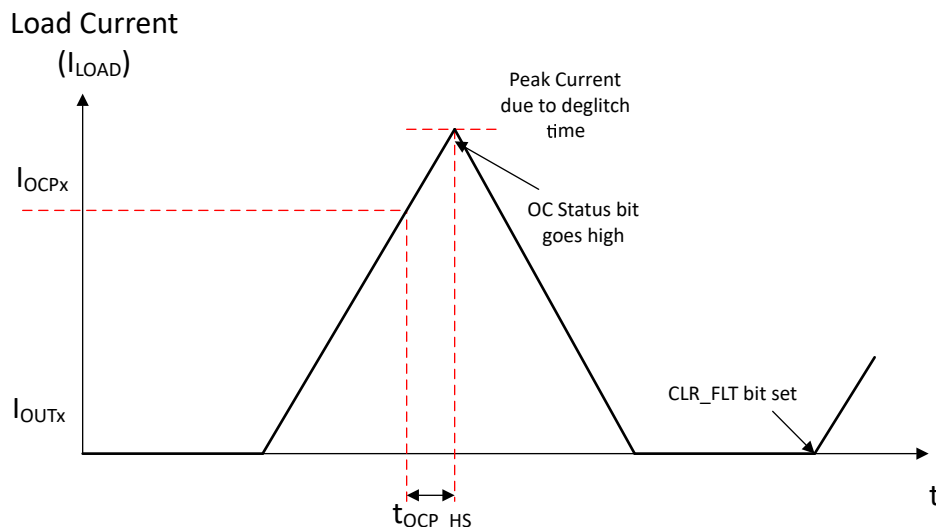


図 7-6. ハイサイド ドライバの過電流保護

7.4.2.1.3.3 ハイサイド ドライバの開放負荷検出

ハイサイド ドライバは、開放負荷検出機能を備えています。DRV800x-Q1 のハーフブリッジドライバ OLA 検出方式と同様に、ハイサイドドライバの開放負荷検出方式では、各ドライバを順番にチェックし、負荷電流が開放負荷電流スレッシュホルド以下であるかどうかを確認します。開放負荷電流スレッシュホルド I_{OLDx} は、レジスタ **HS_OL_CNFG** のビット **OUTX_OLA_TH** を使って、高電流スレッシュホルドと低電流スレッシュホルドの間で設定できます。

開放負荷検出は、レジスタ **HS_OL_CNFG** のビット **OUTX_OLA_EN** でイネーブルにする必要があります。

負荷電流 I_{OUTx} が $t > t_{OL_HS_OUT}$ の間、開放負荷スレッシュホルド (I_{OLD_HS}) を下回ると、対応するハイサイド開放負荷ステータスビット **OUTx_OLA** がステータスレジスタに設定されます。開放負荷で検出されたドライバはオフになりません。

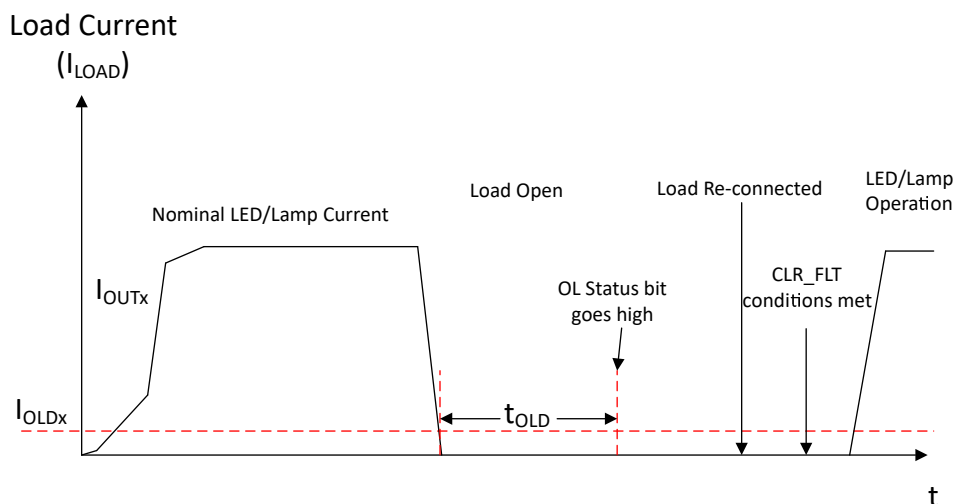


図 7-7. ハイサイド ドライバの開放負荷検出

各ハイサイドドライバの開放負荷検出テスト時間は **200µs** です。出力がイネーブルになるまで、タイマは起動しません。イネーブルになっているすべてのドライバがサイクルされると、検出回路は停止します。ハイサイドドライバ OLA 回路では、開放負荷検出サイクルを再開するために **CLR_FLT** が必要です。

OLA 検出を完了するには、下限側ドライバを最小 200 μ s でオンにする必要があります。それ以外の場合、本デバイスは次の PWM サイクルまで待機します。OLA 検出用の OFF カウンタは、ハイサイドドライバがオフになると開始し、ドライバが 10ms を超えてオフになった場合に OLA 検出を終了します。

7.4.3 エレクトロクロミック ガラス ドライバ

表 7-18. EC ドライバ セクションの目次

ECドライバ セクション	セクションへのリンク
機能セクションのトップに戻る	セクション 7.4
ECドライバ制御	セクション 7.4.3.1
ECドライバの保護	セクション 7.4.3.2

このデバイスは、ミラーのエレクトロクロミック素子を充電または放電するために使用できる統合エレクトロクロミックドライバブロックを搭載しています。エレクトロクロミックドライバ ブロックは、外部 **MOSFET** を充電し、素子の充電電圧と放電電圧を制御します。ドライバ構成は、**OUT11** を素子への保護された電源として使用するか、**OUT11** を使用しない(**OUT11** を独立制御)かのいずれかで動作します。

7.4.3.1 エレクトロクロミック ドライバ制御

エレクトロクロミックドライバのブロック図を以下に示します。

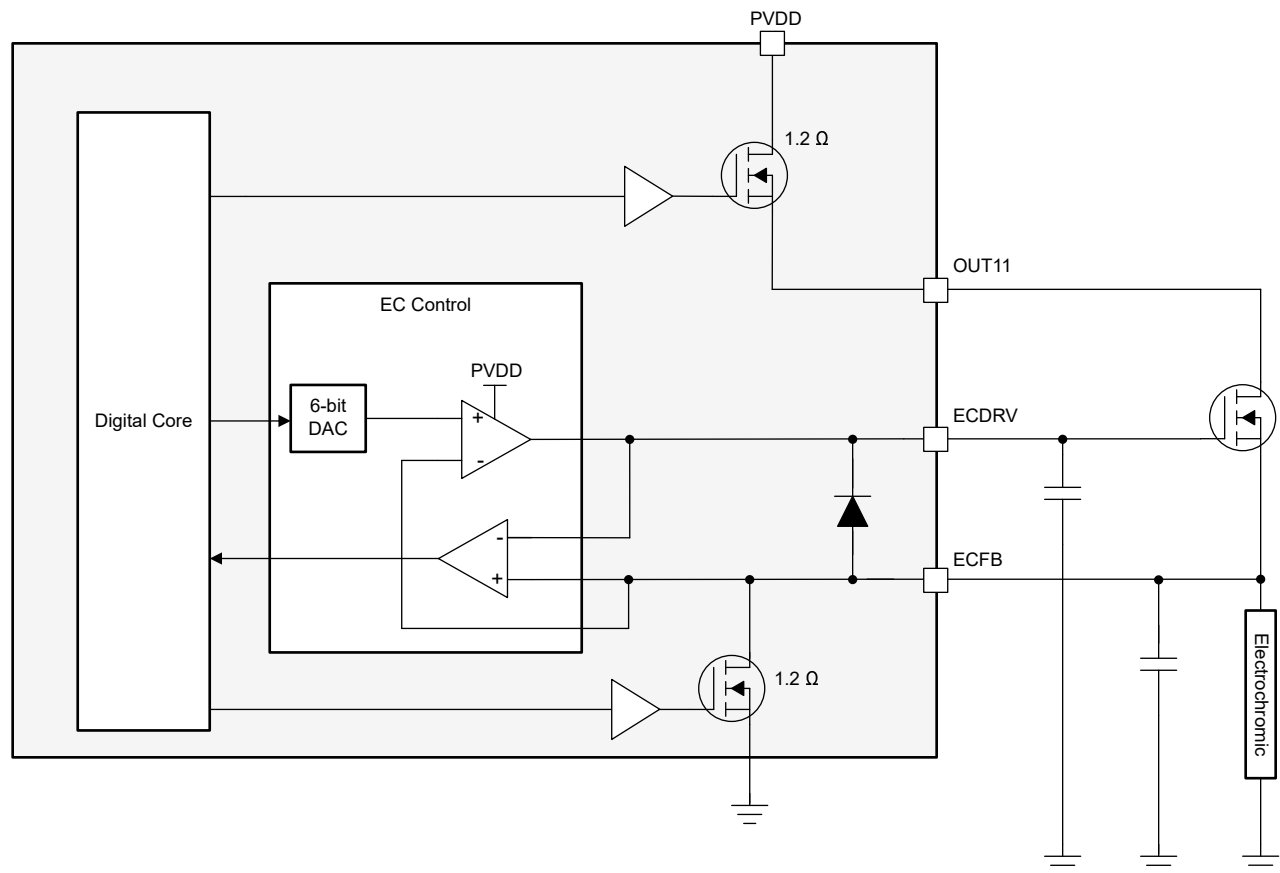


図 7-8. エレクトロクロミック ドライバのブロック図 - デフォルト構成

システムの実装に応じて、エレクトロクロームドライバは、エレクトロクロームハイサイド電荷 MOSFET のドレインをハイサイドドライバ OUT11 から供給するか、または電源電圧 (PVDD) から直接供給する構成をサポートします。EC 制御ブロックは、いずれの構成でも独立した保護回路を備え、電源から独立して動作することができます。この機能は、別の負荷を駆動するために追加のハイサイドドライバが必要な場合に役立ちます。この構成における主な制限は、チャージ MOSFET がショートで故障した場合、OUT11 が EC 電源として使用されていると、電源への接続を遮断できないことです。EC で PVDD を直接供給した場合でも、短絡負荷条件と開放負荷条件を検出できます (OUT11 は独立して構成されます)。

EC 電源の OUT11:この構成はレジスタ **HS_OC_CNFG** のビット **OUT11_EC_MODE** で設定されます。デフォルトでは **OUT11_EC_MODE = 1b** であり、上記のブロック図に示すように EC 駆動の電源として構成されています。この構成では、レジスタ **HS_HEAT_OUT_CNFG** の **OUT11_CNFG** ビットは無視されます(オン/オフ、SPI/PWM)。OUT11 と 1.5Ω の ECFB ローサイド放電 MOSFET は、EC の充電および放電状態において、過電流および開放負荷検出がアクティブになります。

EC 電源の PVDD、独立した OUT11:OUT11 を独立したハイサイドドライバとして(EC 制御に独立して)使用して別の負荷を駆動するには、EC 充電 MOSFET のドレインを電源電圧に直接接続するので、レジスタ **HS_OC_CNFG** の **OUT11_EC_MODE = 0b** に設定します。この構成では、ECFB にバッテリーへの短絡、接地への短絡、負荷開放検出があり、EC 充電状態中に個別に有効にすることができ、OUT11 の診断に代わるものです。以前と同様に、ECFB ローサイド放電 MOSFET 保護回路は、EC 放電状態中アクティブになります。次の図は、この構成を示しています。

EC ドライバをイネーブルにする場合: **EC_ON** ビットと **EC_V_TAR** ビットをレジスタ **HS_EC_HEAT_CTRL** 内で目的の目標電圧に設定し、EC ドライバの制御ループをイネーブルします。これらのビットを設定すると、EC ドライバの制御ループがイネーブルになります。

EC 素子の電圧制御:EC ドライバがイネーブルになると、ドライバの帰還ループがアクティブになり、ECFB ピンの電圧はレジスタ **HS_EC_HEAT_CTRL** のビット **EC_V_TAR** で設定された目標電圧にレギュレートされます。ECFB ピンの目標電圧は、レジスタ **EC_CNFG** の **ECFB_MAX** ビットがそれぞれ 1 または 0 に設定されているかどうかに応じて、1.5V または 1.2V のフルスケール範囲でバイナリコード化されます。**ECFB_MAX = 0b** はデフォルト値(1.2V)です。

EC 電圧の新しい値が設定されるたびに、制御ループが新しい目標値へのレギュレーションを開始すると、**ECFB_HI** の 250μs のブランキング時間 t_{BLK_ECFB} または ECFB の **ECFB_LO** ステータス表示が行われます。

このデバイスには、高速放電と PWM 放電の 2 つの放電モードがあります。

EC 素子の高速放電:高速放電で EC 素子を完全に放電するには、目標出力電圧 **EC_V_TAR** を 0b に設定し、**ECFB_LS_EN** ビットと **EC_ON** ビットを 1b に設定する必要があります。これら 3 つの条件が満たされると、ECFB ピンの内部 1.5Ω ローサイド MOSFET がグラウンドにプルダウンされ、ピン ECFB の電圧が放電されます。

1. レジスタ **EC_CNFG** で **ECFB_LS_PWM = 0b** に設定します
2. **ECFB_LS_EN = 1b**、**EC_ON = 1b**、**EC_V_TAR = 0b** をレジスタ **HS_EC_HEAT_CTRL** 内で設定します。
3. ECFB LS MOSFET がイネーブルになり、EC ミラーの高速放電を実行します。

EC 素子の PWM 放電:エレクトロクロムドライバの PWM 放電サイクルの概要を以下に示します。

1. レジスタ **EC_CNFG** で **ECFB_LS_PWM = 1b** に設定します
2. レジスタ **HS_EC_HEAT_CTRL** の **ECFB_LS_EN = 1b**、**EC_ON = 1b**、**EC_V_TAR = 0b** を設定します。
3. レギュレーション ループが V_{ECDRV} が V_{ECFB} を下回る状態が $t_{RECHARGE}$ または 3ms より長い間検出されると、ECDRV レギュレータがオフになり、ECFB の LS MOSFET が約 300ms ($t_{DISCHARGE}$) にわたってアクティブになります。この放電中は、ECDRV 出力が Low になり、貫通電流が防止されます。
4. 放電パルス $t_{DISCHARGE}$ の終わりに、放電 MOSFET のスイッチがオフになり、新しい低い値でレギュレーション ループが再度アクティブになります。レギュレーション ループは手順 2 に戻り、再びレギュレーション範囲外になります ($V_{ECDRV} - V_{ECFB}$)。

次の図は、エレクトロクロムドライバの PWM 放電サイクルを示しています。

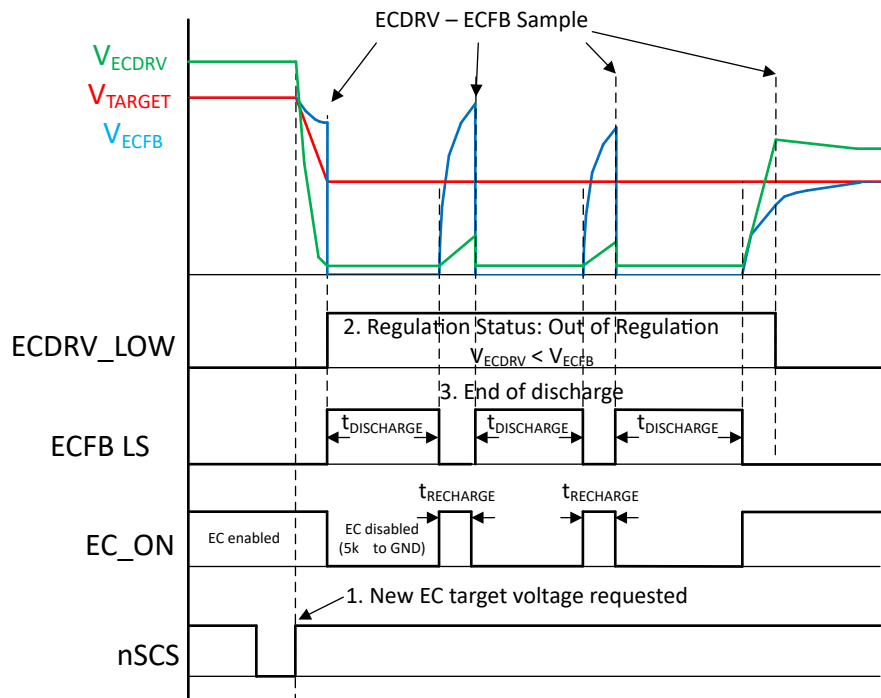


図 7-9. PWM によるエレクトロクロム放電

電圧制御ループのステータスは SPI 経由で通知されるため、EC の充電／放電制御タイミングを判断するには、このレポートを参照することが TI により推奨されています。ピン ECFB の電圧が目標値より高い場合、ビット **ECFB_HI** が設定されます。ピン ECFB の電圧が目標値より低い場合、**ECFB_LO** が設定されます。ビットが t_{FT_ECFB} 以上のフィルタ時間にわたって安定している場合、ECFB ステータス ビット **ECFB_HI** と **ECFB_LO** の両方が有効になります。これらのビットはラッチされず、グローバル フォルトとして割り当てられません。

終了放電モード: 放電モードを終了するには、**ECFB_LS_EN** をデアサートする必要があります。新しい目標電圧がプログラムされたときに **ECFB_LS_EN** ビットが **High** に維持されると、制御ループは応答しません。内部ロジックにより **OUT11** と **ECFB_LS** の両方が同時にオンにならないためです。

ピン **ECDRV** に 4.7nF 以上のコンデンサを追加し、**ECFB** とグランドとの間に 220nF のコンデンサを追加して、制御ループの安定性を高める必要があります。ノイズ耐性を高めるために、ループコンデンサはそれぞれのピンのできるだけ近くに配置することを TI は推奨しています。

EC ドライバを使用しない場合は、**ECFB** ピンをグランドに接続できます。

7.4.3.2 エレクトロクロミック ドライバ保護

エレクトロクロミック ドライバ ブロックには、充電および放電状態の両方に対応する複数の保護および検出回路が搭載されています。コンパレータ ベースの検出回路、EC 充電状態 (**OUT11** を電源として構成した場合) でアクティブになる **OUT11** の保護回路、**ECFB** 低側ディスチャージ MOSFET の保護回路があります。

OUT11 から供給される EC: エレクトロクロム駆動が統合されたハイサイドドライバ **OUT11** から供給されるように構成されている場合、他のハイサイドドライバと同様の保護および診断機能が利用できます (例えば、過電流検出時には制御ループがオフになります)。これらのハイサイドドライバ保護は、エレクトロクロムが充電状態のとき (電圧上昇時) にアクティブになります。OUT11 EC モード (**OUT11_EC_MODE** = 1b) の場合、**OUT11** を PWM モードで制御できません。

EC 充電中の OUT11 での故障: **EC_ON** = 1b (EC 制御イネーブル) のときに過熱シャットダウン故障 (ゾーン 3 または 4) または **OUT11** の過電流故障が発生した場合:

- **OUT11** がシャットオフされます (ステータスレジスタ セット)
- DAC がリセットされます (**EC_V_TAR** を「00000」に設定)

- ECDRV ピンはグラウンドにプルされます
- **EC_ON** は「1」のまま
- **ECFB_LS_EN** はプログラムされたままになります

OUT11 障害後に **EC** 制御を再開するには、コントローラは対応するフォルトを読み出してクリアし、レジスタ **HS_EC_HEAT_CTRL** の **EC_V_TAR** ビットに目的の値を書き込む必要があります。

EC 充電中に OUT11 で開放負荷が検出されると、レジスタ **HS_STAT** の **OUT11_OLA** ビットがセットされます。

放電過電流保護: 放電中に **ECFB** ピン **LS MOSFET** に流れ込む負荷電流が、過電流スレッショルド I_{OC_ECFB} を $t_{DG_OC_ECFB}$ より長い時間上回ると、**LS MOSFET** は **Hi-Z** (ラッチ) になるか、OUT7 の **ITRIP** 設定に基づいて固定周波数レギュレーション モードに移行します。過電流ステータス ビット **ECFB_OC** が設定され、**EC_HEAT** が設定されます。過電流フォルト応答はレジスタ **EC_CNFG** の **EC_FLT_MODE** ビットで設定できます。**ITRIP** 設定は、**OUT7** の **ITRIP 設定** と共有されます。

表 7-19. 放電過電流保護

EC_FLT_MODE	フォルト応答
0b	ラッチ (Hi-Z)
1b	ITRIP (OUT7 設定)

開放負荷検出あり: EC の放電中は、開放負荷も検出できます。レジスタ **EC_CNFG** の **EC_OLEN** ビットをセットする必要があります。**ECFB** の負荷電流が $t_{DG_OL_ECFB_LS}$ より長い間 $I_{OL_ECFB_LS}$ を下回ると、開放負荷ステータスビット **ECFB_OL** がセットされ、レジスタ **IC_STAT1** の **WARN** ビットがセットされます。

EC 直接 **PVDD** 供給構成の場合、OUT11 保護および検出回路に頼らずに **EC** 規制が有効になっている場合に使用できる、コンパレータ ベースの検出回路が 3 つあります。以下のものが該当します。

- **ECFB** でのバッテリー短絡の検出 (過電圧)
- **ECFB** でのグラウンドへの短絡の検出 (低電圧)
- **ECFB** での開放負荷検出

PVDD への EC 電源直接供給: EC ブロックが PVDD に直接電源を供給する場合、バッテリーへの短絡、グランドへの短絡、開放負荷検出回路は、レジスタ **EC_CNFG** のビット **ECFB_OV_MODE**、**ECFB_UV_MODE**、**ECDRV_OL_EN** で個別にイネーブルできます。追加の診断が必要な場合は、EC 電源の構成に関係なく、これらの検出回路をイネーブルにできます。ただし、回路が不要な場合は、レジスタ内でその回路を無効にすることを TI は推奨しています。

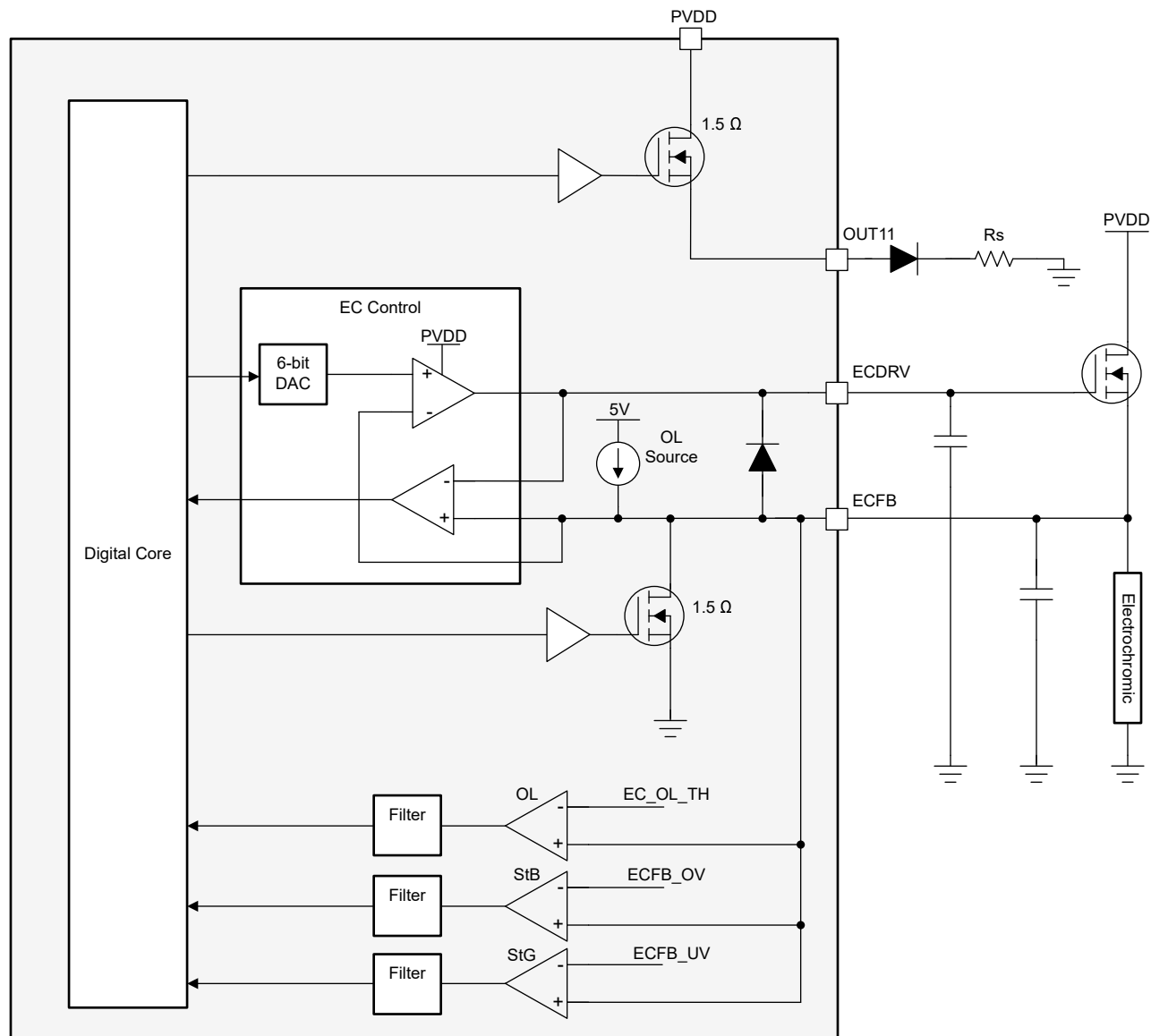


図 7-10. PVDD 直接電源によるエレクトロクロム (OUT11 に独立)

バッテリー/ OV 検出までの時間: ECFB 電圧がグリッチ除去時間 $t_{\text{ECFB_OV_DG}}$ より長い時間、PVDD - 1V またはスレッシュホールド $V_{\text{ECFB_OV}}$ を超えたときに ECFB 過電圧またはバッテリーへの短絡が検出されます。ビット **ECFB_OV_MODE** は、ドライバ ECFB 過電圧フォルト応答を決定します。EC 過電圧グリッチ除去時間は、レジスタ **EC_CNFG** のビット **ECFB_OV_DG** で設定されます。

過電圧フォルト応答制御の場合、ビット **ECFB_OV_MODE** をレジスタ **EC_CNFG** で設定できます。ECFB_OV_MODE = 00b の場合、このフォルト中は何の動作も行われません。ECFB_OV_MODE = 10b の場合、ECFB 電圧がプログラムされたグリッチ除去時間 $t_{\text{ECFB_OV_DG}}$ よりも長い時間、ECFB_OV を超えると、EC_HEAT_ITRIP_STAT レジスタで ECFB_OV ビットが設定され、レジスタ **IC_STAT1** で EC_HEAT フォルト ビットがセットされます。**ECFB_OV_MODE** = 10b の場合、ECFB の OV が発生すると、ECDRV ピンがプルダウンされ、ECFB LS FET は Hi-Z です。**ECFB_OV_MODE** = 01b の場合と同じレジスタでフォルトが通知されます。フォルト応答とビット値を以下の表にまとめます。

表 7-20. エレクトロクロム 過電圧障害応答

ECFB_OV_MODE	フォルト応答
00b	何も起こらない
01b	レジスタで故障を通知
10b	プルダウン ECDRV および ECFB LS FET、レジスタの故障を通知

表 7-21. EC 過電圧グリッチ除去時間

ECFB_OV_DG	グリッチ除去時間
00b	20 μ s
01b	50 μ s
10b	100 μ s
11b	200 μ s

グラウンドへの短絡/ UV の検出: 設定されたグリッチ除去時間 $t_{\text{ECFB_UV_DG}}$ より長い時間、設定されたスレッショルド $V_{\text{ECFB_UV_TH}}$ を下回る ECFB 電圧が検出された場合、ECFB の低電圧またはグラウンドへの短絡が検出されます。レジスタ **EC_CNFG** の **ECFB_UV_TH** ビットと **ECFB_UV_DG** が設定されます。

表 7-22. エレクトロクロム低電圧スレッショルド

ECFB_UV_TH	低電圧スレッショルド
0b	100mV
1b	200mV

注

グラウンド/低電圧への短絡の検出がイネーブルの場合、ECFB のターゲット電圧がプログラムされたスレッショルド (**ECFB_UV_TH** の種類に応じて、最小の 4 ビットまたは 8 ビットの分解能) を下回ると、グラウンド / 低電圧への短絡が検出されます。グラウンド / 低電圧への短絡の検出が必要な場合は、グラウンド / 低電圧への短絡状態の誤診断を防止するため、これらの目標電圧値を避けてください。

低電圧フォルト応答制御では、ビット **ECFB_UV_MODE** をレジスタ **EC_CNFG** で設定できます。**ECFB_UV_MODE** = 00b の場合、ECFB 電圧が **ECFB_UV** を下回っても、何の動作も行われません。**ECFB_UV_MODE** = 10b の場合、**ECFB_UV** ビットが **EC_HEAT_ITRIP_STAT** レジスタで設定され、**EC_HEAT** フォルト ビットがレジスタ **IC_STAT1** で設定されます。**ECFB_UV_MODE** = 10b の場合、ECFB の UV が発生すると、ECDRV ピンがプルダウンされ、ECFB LS FET は Hi-Z になります。**ECFB_UV_MODE** = 01b の場合と同じレジスタでフォルトが通知されます。フォルト応答とビット値を以下の表にまとめます。

表 7-23. エレクトロクロム低電圧障害応答

ECFB_UV_MODE	フォルト応答
00b	何も起こらない
01b	レジスタで故障を通知
10b	プルダウン ECDRV および ECFB LS FET、レジスタの故障を通知

表 7-24. EC 低電圧グリッチ除去時間

ECFB_UV_DG	グリッチ除去時間
00b	20 μ s
01b	50 μ s
10b	100 μ s
11b	200 μ s

PVDD 供給の EC 開放負荷検出: EC ブロックが OUT11 で供給されるように構成されていない場合、レジスタ **EC_CNFG** の **ECDRV_OL_EN** ビットで別の EC 開放負荷検出回路をイネーブルにできます。イネーブルになると、電流源から ECFB ノードに小さな電流が注入され、ECFB 電圧がオープン負荷スレッショルド電圧と比較されます。開放負荷スレッショルドを超えると、開放負荷条件が検出され、**ECFB_OL** ビットがセットされます。次の真理値表は、開放負荷とバッテリー短絡の両方の検出ステータスに対して可能な値を示しています。

表 7-25. 開放負荷および過電圧検出の真理値表

ECFB_OL	ECFB_OV	供給状況
1b	1b	バッテリー短絡 / 過電圧
1b	0b	開放負荷
0b	1b	不可能
0b	0b	通常動作

7.4.4 ハーフブリッジドライバ

表 7-26. ハーフブリッジセクションの目次

ハーフブリッジ セクション	セクションへのリンク
機能セクションのトップに戻る	セクション 7.4
ハーフブリッジ制御	セクション 7.4.4.1
ハーフブリッジレギュレーション	セクション 7.4.4.2
ハーフブリッジ保護	ハーフブリッジの保護と診断

このデバイスは、合計 6 つのハーフブリッジ ハイサイドおよびローサイド FET を統合し、最大 5 つのモータの双方向駆動をサポートします。1.5Ω ハーフブリッジ 2 つ、300Ω ハーフブリッジ 2 つ、100Ω ハーフブリッジ 2 つです。これらのドライバはすべて、SPI レジスタ、PWM1 ピンまたは IPROPI/PWM2 ピンから供給される PWM 信号で制御できます。各ドライバには、ITRIP と呼ばれる構成可能な電流レギュレーション機能もあります。ハーフブリッジ保護回路には、過電流保護、オフ状態、アクティブの開路診断が含まれます。

下の図は、最大 5 つのミラーおよびロック モーター、およびすべてのミラー モータをサポートする統合ハーフブリッジの一般的な構成を示しています。

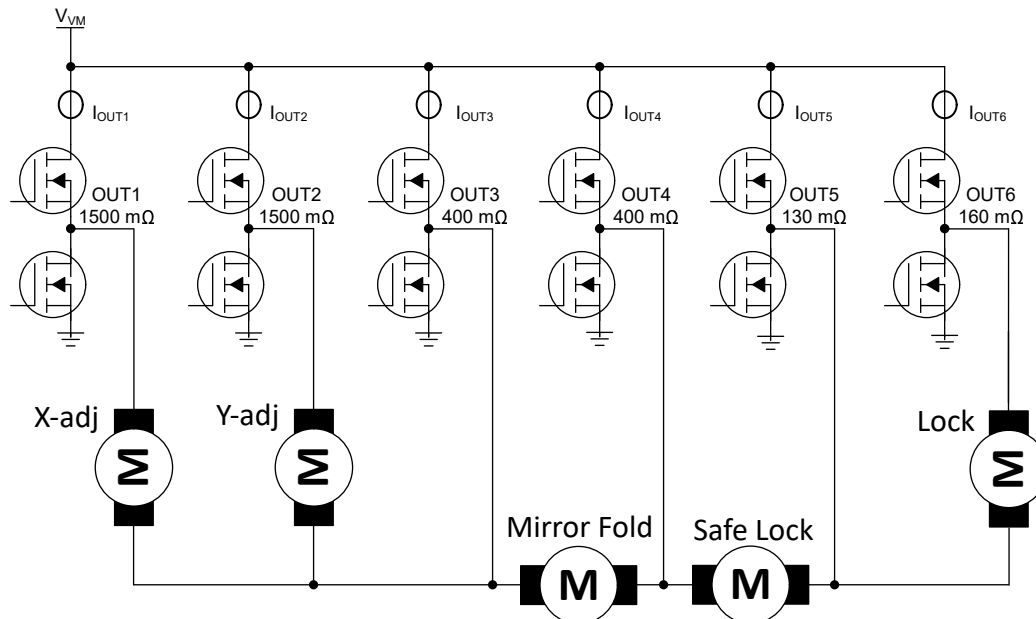


図 7-11. 最大 5 つのモータ（ミラーおよびロック）のハーフブリッジ構成

次の図は、ミラーリングのみの負荷の構成を示しています。

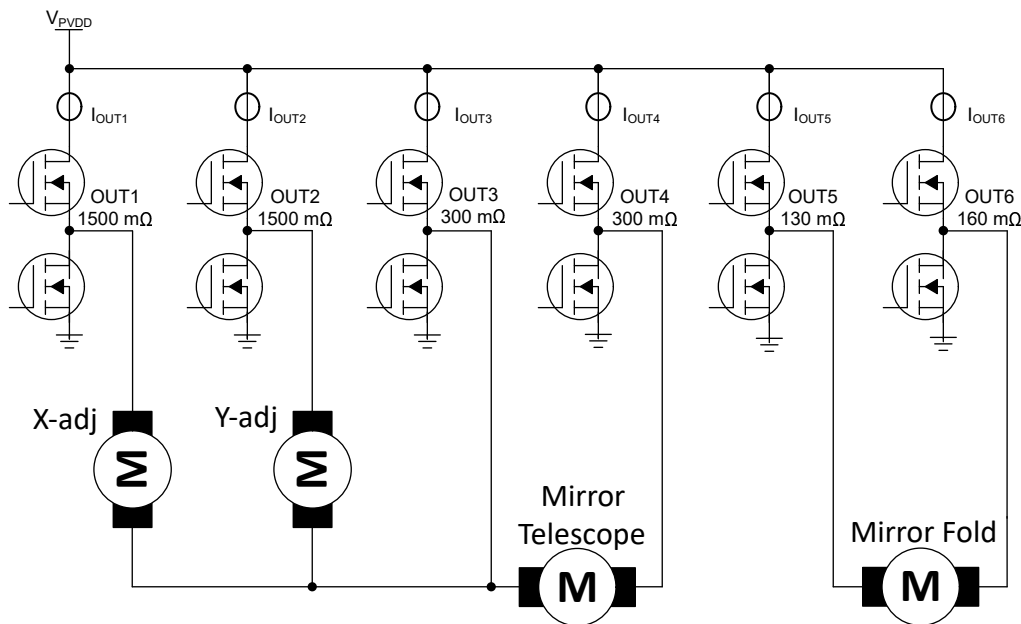


図 7-12. 最大 4 つのモータのハーフ ブリッジ構成（ミラーのみ）

7.4.4.1 ハーフ ブリッジ制御

ハーフブリッジドライバは 2 つのモードで制御することにより、PWM 入力ピンまたは SPI レジスタでの制御方式をサポートします。ハーフブリッジドライバには、ハーフブリッジ制御をイネーブルにし、制御モード (PWM または SPI) を設定するための構成レジスタ ([HB_OUT_CNFG1](#) および [HB_OUT_CNFG2](#)) もあります。

ハーフブリッジは、PWM1 ピンとピンのどちらかからの入力信号で制御するように構成できます。PWM1 ピンへの信号は、ハーフブリッジ、ハイサイドドライバ、ヒータドライバに内部で多重化できます。PWM2 ピンによる制御は、ハーフブリッジにのみ使用できます。

構成表を以下に示します。OUT5 と OUT6 は [HB_OUT_CNFG2](#) で構成され、OUT4 経由で OUT1 は [HB_OUT_CNFG1](#) で構成されていることに注意します。

表 7-27. OUTX_CNFG ハーフブリッジ構成

OUTX_CNFG[2]	OUTX_CNFG[1]	OUTX_CNFG[0]	OUTx	HS オン	LS オン
0	0	0	オフ	オフ	オフ
0	0	1	SPI レジスタの制御	OUTX_CTRL	OUTX_CTRL
0	1	0	PWM 1 相補制御	約 PWM1	PWM1
0	1	1	PWM 1 LS 制御	オフ	PWM1
1	0	0	PWM 1 HS 制御	PWM1	オフ
1	0	1	PWM 2 相補制御	~ IPROPI / PWM2	IPROPI/PWM2
1	1	0	PWM 2 LS 制御	オフ	IPROPI/PWM2
1	1	1	PWM 2 HS 制御	IPROPI/PWM2	オフ

ハーフブリッジを SPI レジスタ制御用に構成した場合 ([OUTx_CNFG](#) = 01b)、ビット [OUTx_CTRL](#) を持つレジスタ [HB_CTRL](#) で、ハーフブリッジのハイサイドおよびローサイド MOSFET を個別に制御できます。以下に、独立ハーフブリッジモードの真理値表を示します。

表 7-28. ハーフ ブリッジ ドライバ コントローラ

OUTx_CTRL (OUT1~6) ビット	構成	概要
00	オフ	ハーフブリッジ制御 OFF

表 7-28. ハーフブリッジドライバコントローラ (続き)

OUTx_CTRL(OUT1-6)ビット	構成	概要
01	HS オン	ハイサイド MOSFET ON
10	LS オン	ローサイド MOSFET ON
11	RSVD	予約済み。

ハーフブリッジ制御モードは、SPI 通信が利用可能なときに、そのビットに書き込むことで、いつでも変更できます。この変更はすぐに反映されます。

ハーフブリッジが PWM 動作に構成されている場合 (OUTx_CNFG = 01Xb または 10Xb)、入力は 100% 駆動モードまたは PWM 駆動モードの静的またはパルス幅変調 (PWM) 電圧信号を受け付けます。PWM 信号のオフ状態におけるハーフブリッジのデフォルト動作は、出力をハイインピーダンス (Hi-Z) にすることです。

本デバイスは、ハーフブリッジ切り替え時におけるハイサイド FET とローサイド FET の切り替え時に必要なデッドタイムを自動的に生成します。このタイミングは、内部での FET ゲートとソース間電圧フィードバックに基づきます。外部タイミングは必要ありません。この方式では、シュートスルー電流を防止しながら、デッドタイムを最小限に抑えます。

7.4.4.2 ハーフブリッジ ITRIP レギュレーション

デバイスのハーフブリッジには、ITRIP と呼ばれるオプションの固定周波数負荷電流調整機能があります。具体的にはアクティブな出力電流を、OUTX_ITRIP_LVL で決定される設定済み電流スレッショルドと比較します。OUT1-2 には 2 つの ITRIP 電流スレッショルドがあり、OUT3-6 には 3 つの電流スレッショルド オプションもあります。ITRIP スレッショルド、イネーブル、およびタイミング設定は、HB_ITRIP_CONFIG、HB_ITRIP_FREQ、および HB_ITRIP_DG で各ハーフブリッジに対して個別に設定されます。

このデバイスには常にイネーブルになる複数のドライバが内蔵されているため、ITRIP ハーフブリッジレギュレーション中の消費電力を低減する目的でフリーホイール構成があります。同期整流 (MOSFET) により、非同期整流 (ダイオード) に比べて消費電力が低くなります。ハーフブリッジのフリーホイールは、非同期整流と同期整流の間に構成できます (アクティブ整流とパッシブのフリーホイール)。フリーホイール設定は、ハーフブリッジ ペア間で共有されます。ITRIP レギュレーション中のハーフブリッジの同期整流は、構成レジスタ HB_OUT_CNFG1 の NSR_OUTX_DIS ビットを設定することでイネーブルになります。

ITRIP 検出は、各ハーフブリッジのハイサイド MOSFET とローサイド MOSFET の両方で実行されます。ITRIP は、内部過電流保護回路によって動的にブランキングされます。

設定可能な ITRIP タイミング パラメータは、周波数およびグリッチ除去です。以下の表に、ITRIP の設定オプションをまとめます。

表 7-29. ハーフブリッジの ITRIP 同期整流設定

NSR_OUTX_DIS	ITRIP ハーフブリッジのオフ時間応答
0b	ハイインピーダンス
1b	相補型 MOSFET がオン

表 7-30. ハーフブリッジの ITRIP 電流スレッショルド

ハーフブリッジ	ITRIP 電流スレッショルド (標準値)	OUTX_ITRIP_LVL
OUT6	6.25A	10b
	5.5A	01b
	2.25A	00b
OUT5	7.5A	11b
	6.5A	01b
	2.75A	00b

表 7-30. ハーフブリッジの ITRIP 電流スレッシュホールド (続き)

ハーフブリッジ	ITRIP 電流スレッシュホールド (標準値)	OUTX_ITRIP_LVL
OUT3 および OUT4	3.5A	10b
	2.5A	01b
	1.25A	00b
OUT1 および OUT2	0.875A	1b
	0.7A	0b

表 7-31. ITRIP タイミング - グリッチ除去オプション

グリッチ除去時間	OUTX_ITRIP_DG
2μs	00b
5μs	01b
10μs	10b
20μs	11b

表 7-32. ITRIP タイミング - 周波数オプション

ITRIP 周波数	OUTX_ITRIP_FREQ
20kHz	00b
10kHz	01b
5kHz	10b
2.5kHz	11b

注

20kHz の ITRIP 周波数が必要な場合は、最も速いグリッチ除去時間を推奨します (2μs)。

ITRIP レギュレーションは、次のステップに従います。

- ハーフブリッジのローサイドまたはハイサイドがイネーブルになります。最初の ITRIP クロック エッジは、ハーフブリッジがイネーブルのときに発生します。
- ローサイドまたはハイサイドのいずれかで ITRIP 制限を超過すると、デバイスはグリッチ除去時間 $t_{DG_ITRIP_HB}$ よりも長い間待機します。
- グリッチ除去時間が経過しても ITRIP 制限を超えた場合、どちらかのハーフブリッジが Hi-Z に入るか、**NSR_OUTX_DIS** ビットの設定に応じて、ITRIP サイクルの残りの期間中、反対側の MOSFET をオンにします。**ITRIP** ステータス ビットが設定され、レギュレーション ループが再起動します。
- NSR_OUTX_DIS** = 1b (同期整流がイネーブル) の場合、イネーブルされている MOSFET を流れる電流が反転しているかどうかを監視されます。電流の反転が検出された場合、ITRIP サイクルの残りの期間、ハーフブリッジ出力は Hi-Z になります。

同期整流またはフリーホイール機能は、**NSR_OUTX_DIS** ビットを構成レジスタ **HB_OUT_CNFG1** で設定することによって有効になります。**NSR_OUTX_DIS** = 0b の場合、いずれかの MOSFET で ITRIP が発生すると、ハーフブリッジは Hi-Z になります。**NSR_OUTX_DIS** = 1b の場合、いずれかの MOSFET で ITRIP が発生すると、反対側の MOSFET がイネーブルになります。

たとえば、**NSR_OUTX_DIS** = 1b および **OUTX_CNFG** = 100b または 010b となります。PWM 入力が高側 MOSFET をオンに設定し、高側 MOSFET の ITRIP に達すると、ITRIP サイクルの残りの時間にわたって低側 MOSFET がオンになります。高側 MOSFET はサイクルの終わりにオンになります。PWM 入力が高側 ITRIP 周期内に変化すると、ITRIP カウンタはリセットされ、低側 MOSFET がオンの間、ITRIP レギュレーションがアクティブです。

ITRIP が発生したときに同期整流が有効であり MOSFET がオンになると、電流の反転またはゼロクロス検出が監視されます。ハイサイドとローサイドの両方の MOSFET にゼロクロス検出があります。ITRIP レギュレーション中に、検出された負荷電流がグリッチ除去時間より長い間 0A に達すると、ITRIP サイクルの残りの期間、ハーフブリッジ出力は Hi-Z になります。ゼロクロス グリッチ除去時間は、同じ ITRIP グリッチ除去時間です。

次の図に、ハーフブリッジの ITRIP 動作を示します。

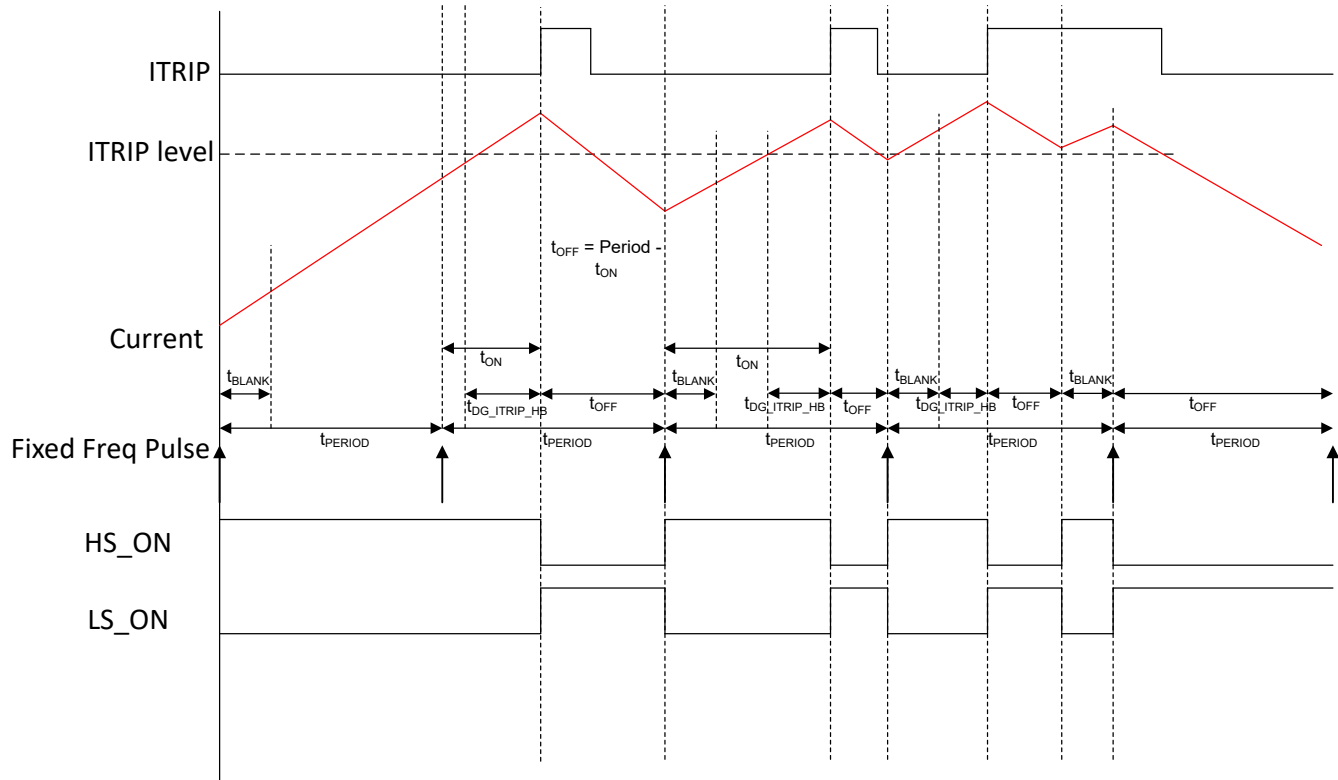


図 7-13. ハーフブリッジの固定周波数 ITRIP 電流レギュレーション

ITRIP の設定は、SPI 通信が利用可能な場合、OUTX_ITRIP_LVL ビットへの書き込みによりいつでも変更できます。変更は即座にデバイスの動作に反映されます。

ハーフブリッジが PWM 制御と ITRIP 用に構成されている場合、ITRIP に達すると、動作は SPI レジスタ制御の場合と同じですが、入力構成された PWM ピンから行われます。

7.4.4.3 ハーフブリッジの保護と診断

ハーフブリッジドライバは過電流から保護されています。また、このデバイスは、オン状態およびオフ状態の負荷監視機能も備えています。フォルト信号はレジスタ HB_STATX によって行われます。

7.4.4.3.1 ハーフブリッジ オフ状態診断 (OLP)

ユーザーは、ハーフブリッジが無効になっている間、レジスタ HB_OUT_CNFGx でハーフブリッジがディセーブルされているときに、オフ状態診断を使用して、ペアのハーフブリッジのインピーダンスを判断できます。この診断は、以下の故障状態をパッシブに検出します。

- VM または GND への出力短絡 < 1000Ω
- ハイサイド負荷用に 1.5KΩ 以上のオープン負荷、VM = 13.5V

注

この診断では、**負荷の短絡**を検出できません。しかし、出力がアクティブに駆動されている際に過電流エラー (OCP) が発生しているにもかかわらず、出力が無効になっている際に OLP 診断がエラーを報告しない場合、ユーザーはこれを論理的に推論することができます。出力がアクティブに駆動されている場合の OCP と、出力がディセーブルされている場合の OLP の両方の発生 IMP A 端子の短絡 (選択された出力ノードでの短絡)。

- ユーザーは、次の組み合わせを設定できます。
 - OUTx 上の内部プルアップ抵抗 (R_{OLP_PU})
 - OUTx 上の内部プルダウン抵抗 (R_{OLP_PD})
 - コンパレータの基準電圧レベル
- この組み合わせは、HB_OL_CNFG1 レジスタの HB_OLP_CNFG ビットによって決定されます。
- 診断されるハーフブリッジ ペアは、HB_OL_CNFG1 レジスタの HB_OLP_SEL ビットによって決定されます。
- オフ状態診断コンパレータ出力は、HB_OLP_STAT ビットを HB_STAT2 レジスタ内で利用可能です。出力はラッチされません。
- ユーザーはすべての組み合わせを切り替え、出力が安定した後のステータス ビット出力を記録することが期待されます。
- 入力の組み合わせとステータス レジスタに基づいて、ユーザーは出力にエラーがあるかどうかを判断できます。

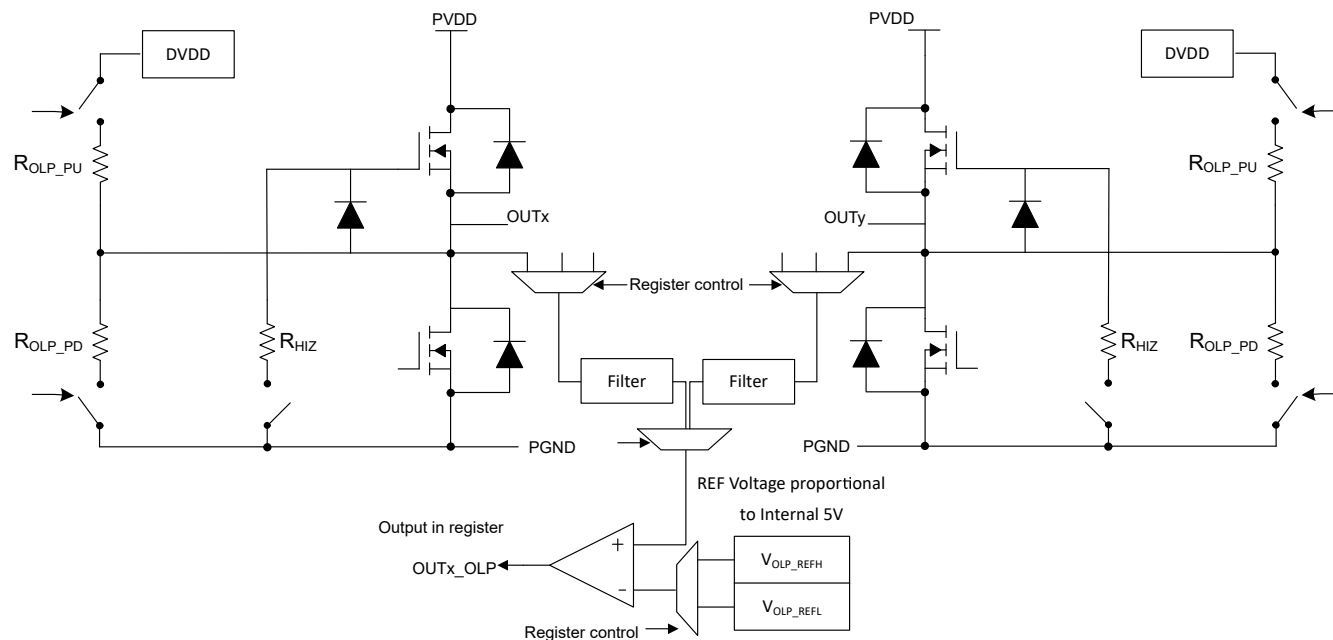


図 7-14. オフ状態 (パッシブ) 診断

以下の出力、プルダウン / プルアップ、VREF の組み合わせを示します。

表 7-33. オフ状態の出力プルアップ / プルダウンおよび VREF オプション

HB_OLP_CNFG	概要
00b	OLP オフ
01b	出力 X プルアップ有効、出力 Y プルダウン有効、出力 Y 選択、VREF Low
10b	出力 x プルアップ有効、出力 Y プルダウン有効、出力 X 選択、VREF High
11b	出力 X プルダウン有効、出力 Y プルアップ有効、出力 Y を選択、VREF Low

ローサイド負荷について、フォルトがないシナリオおよびフォルトのあるシナリオに対する OLP の組み合わせおよび真理値表を表 7-34 に示します。診断がアクティブかつ有効になるにはビット **OUTx_CNFG** をレジスタ **HB_OUT_CNFGx** において、すべてのハーフブリッジ構成をゼロ(ディセーブル)にする必要があります。

表 7-34. オフ状態診断制御表

ユーザー入力		OLP の設定				HB_OLP_STAT			
HB_OLP_CNFG	nSLEEP	OUTX	OUTY	CMP REF	選択された出力	通常	オープン	短絡	VM 短絡
01b	1	R _{OLP_PU}	R _{OLP_PD}	V _{OLP_REFL}	OUTY	1b	0b	0b	1b
10b	1	R _{OLP_PU}	R _{OLP_PD}	V _{OLP_REFH}	OUTX	0b	1b	0b	1b
11b	1	R _{OLP_PD}	R _{OLP_PU}	V _{OLP_REFL}	OUTY	1b	1b	0b	1b

以下に、ハーフブリッジのペアのオフ状態の組み合わせと選択値を示します。

注

ハーフブリッジが有効になっている場合、すべてのハーフブリッジ OLP ビットは自動的に無効(0b)になります。

表 7-35. OUTx と OUTy の構成

HB_OLP_SEL	OUTX と OUTY ペアが選択されています
0000b	出力なし
0001b	OUT1 および OUT2
0010b	OUT1 および OUT3
0011b	OUT1 および OUT4
0100b	OUT1 および OUT5
0101b	OUT1 および OUT6
0110b	OUT2 および OUT3
0111b	OUT2 および OUT4
1000b	OUT2 および OUT5
1001b	OUT2 および OUT6
1010b	OUT3 および OUT4
1011b	OUT3 および OUT5
1100b	OUT3 および OUT6
1101b	OUT4 および OUT5
1110b	OUT4 および OUT6
1111b	OUT5 および OUT6

7.4.4.3.2 ハーフブリッジアクティブオープン負荷検出 (OLA)

デバイスがアクティブでドライブ コマンドを待機している場合 (nSLEEP が HI)、ハーフブリッジ OUT1~OUT6 用の開放負荷検出ループがあります。検出方式では、各ハーフブリッジ出力のハイサイドとローサイドそれぞれの開放負荷ステータスを順にチェックし、レジスタ **HB_STAT2** の **OUTx_OLA** ビット、およびレジスタ **IC_STAT1** の **WARN** ビットのステータスを報告します。

スタンバイまたはスリープ モードから、OUT1 から始めて、制御ループは開放負荷ステータスのチェックを開始します。開放負荷検出スレッシュホールドは、レジスタ **HB_OL_CNFG2** の **OUTx_OLA_TH** ビットを使用して、32 サイクルまたは 128 サイクルに設定できます。出力が EN/DIS のみ (PWM のスイッチングなし) で駆動された場合、開放負荷検出時間は 5ms です。

サイクル カウント スレッシュホルドを超えて開放負荷が検出された場合、またはタイムアウトが発生する前に、ビット **OUTx_OLA** が通知されます。32 または 128 サイクル後に開放負荷が検出されない場合、ループは次のハーフブリッジに移動します。ループは **OUT6** を介して各出力のチェックを継続し、その後 **OUT1** に戻り、OLA ループを再起動します。開放負荷チェックが有効になるには、ハーフブリッジ開放負荷検出をイネーブル (**OUTx_OLA = 1b**) にし、出力をイネーブル (**OUTx_CNFG = X1b**) にする必要があります。下の図は、OLA スキームを示しています。

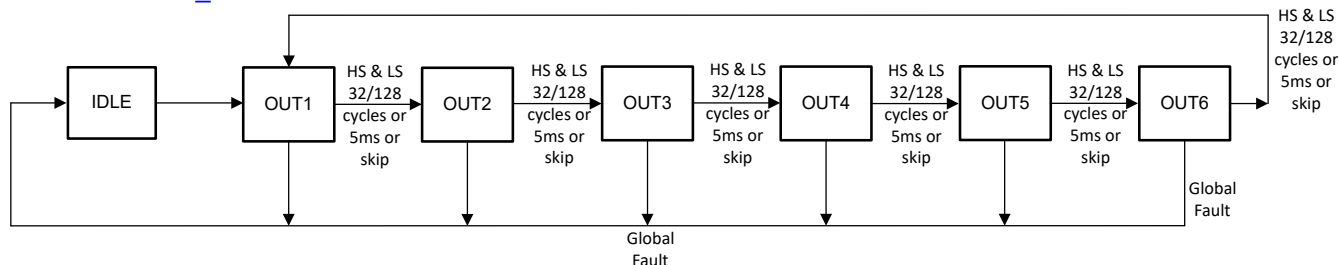


図 7-15. ハーフブリッジ開放負荷アクティブ検出

次の 3 つの条件のいずれかが満たされると、いずれかのハーフブリッジはスキップされます。

1. **OUTx** は無効化されます (**OUTx_CNFG = 00b**)。
2. ハーフブリッジの開放負荷検出はイネーブルされていません (**OUTx_OLA = 0b**)。
3. **OUTx** は 5ms を超える間オフになります
4. OLA は、**OUTx** ですでに検出され、フラグが立っている、またはその他のフォルト条件(過電流、過熱)が発生している。

すべてのハーフブリッジ **OUTx** が PWM なしで有効になっている場合、すべてのハーフブリッジを巡回するループの合計時間は最大 46 ミリ秒かかる可能性があります。ハーフブリッジを個別またはシーケンシャルに駆動する場合、ループは 5ms 以内 (EN または PWM 制御による) で開放負荷を検出します。ハーフブリッジが低周波の外部 PWM 信号で駆動される場合、出力のオフ時間は開放負荷検出ウィンドウの 5ms を超える可能性があるため、ハーフブリッジはスキップされます。

7.4.4.3.3 ハーフブリッジ過電流保護

ハーフブリッジがアクティブのとき、ハード短絡事象の発生時に各 MOSFET のアナログ電流保護回路により MOSFET がシャットオフされます。出力電流が過電流スレッシュホルド I_{OCP_OUTX} を上回る状態になり、その時間が $t_{DG_OCP_HB}$ を超えると、過電流フォルトが検出されます。対応する出力は Hi-Z (ラッチ動作) であり、レジスタ (**HB_STAT1**) にフォルトがラッチされます。

ハーフブリッジドライバの過電流グリッチ除去時間 $t_{DG_OCP_HB}$ の場合、以下の表にまとめる 4 つの過電流グリッチ除去のオプションがあります。

表 7-36. ハーフブリッジ過電流グリッチ除去

グリッチ除去時間	OUTX_OCP_DG	電圧制限
6 μ s	00b	$V_{PVD} > 28V$ のときの強制オプション
10 μ s	01b	< 28V
20 μ s	10b	< 28V
60 μ s	11b	< 20V

ドライバを再起動するには、まず MCU がステータスレジスタを読み取ってレジスタ内のエラーをクリアする必要があります。次の図に、ハーフブリッジの過電流動作を示します。

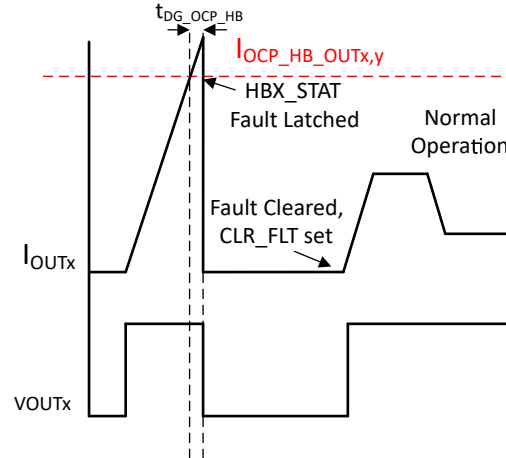


図 7-16. ハーフブリッジの過電流動作

7.4.5 センス出力 (IPROPI)

このデバイスには、電流センス、電圧ノード監視、ダイ温度の IPROPI ピン出力があります。この情報は、負荷のステータスやレギュレーション (OUTx 上)、ダイ温度のチェック、またはローカル モータ電圧の供給に使用できます。これらの統合機能により、複数の外部センス抵抗やセンス回路が不要になり、システム サイズ、コスト、複雑さを削減できます。

シャントレス ハイサイド電流ミラー構成により、負荷電流を検出します。出力は、イネーブルされたドライバ (OUTx) の瞬時電流の固定比です。回路が安定する時間を確保するために、ドライバのスイッチング後、出力 IPROPI の信号は t_{IPROPI_BLK} の間ブランキングされます。ビット IPROPI_SEL は、IPROPI ピンにどの出力が多重化されるかを定義します (以下の表に示す制御値を示します)。

表 7-37. IPROPI_SEL オプション

IPROPI_SEL	出力
00000b	出力なし
00001b	OUT1 による電流検出
00010b	OUT2 による電流検出
00011b	OUT3 による電流検出
00100b	OUT4 による電流検出
00101b	OUT5 による電流検出
00110b	OUT6 による電流検出
00111b	OUT7 による電流検出
01000b	OUT8 による電流検出
01001b	OUT9 による電流検出
01010b	OUT10 による電流検出
01011b	OUT11 による電流検出
01100b	OUT12 による電流検出
01101b	RSVD
01110b	RSVD
01111b	RSVD
10000b	PVDD 出力電圧
10001b	サーマル クラスタ 1
10010	サーマル クラスタ 2
10011	サーマル クラスタ 3

表 7-37. IPROPI_SEL オプション (続き)

IPROPI_SEL	出力
10100	サーマル クラスタ 4

IPROPI ピンは多目的ピンで、ハーフブリッジの 2 番目の PWM ピン制御入力オプションとしても使用できるため、IPROPI/PWM2 ピンのモードは、レジスタ IC_CTRL のビット IPROPI_MODE で制御されます。

次の図は、選択可能な IPROPI 出力の簡単なブロック図を示しています。

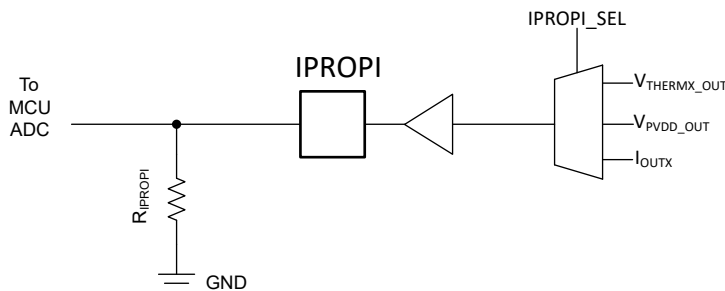


図 7-17. IPROPI 出力回路

電流出力の場合、IPROPI 出力のアナログ電流は A_{IPROPI} で次のようにスケールリングされます。

$$I_{IPROPI} = I_{OUTX} / A_{IPROPI} \quad (1)$$

PVDD の電圧出力の場合、電圧は 4.5V ~ 40V の範囲から 32 倍にスケールダウンされます。PVDD 電圧出力は次のようになります。

$$V_{IPROPI} = V_{PVDD} / 32$$

次に例を示します。

- PVDD には IPROPI_SEL を選択します
- PVDD は 13.5V です
- $V_{IPROPI} = 0.422V$

IPROPI 出力は、4 つのサーマル クラスタ温度のいずれか 1 つで、アナログ電圧を表現することもできます。これはテストと評価に使用することを意図していますが、デバイスの実行時に使用することはできません。

サーマル クラスタの温度出力測定値の電圧変換の場合、電圧は温度範囲 (-40°C ~ 185°C) および出力電圧範囲 (0V~3V) に応じてスケールリングされます。読み出し電圧は次のようになります。

$$V_{IPROPI} = A + B \times \text{Cluster Temperature}$$

ここで、A のオフセットは約 980mV、B の傾きは 2mV/°C です

クラスタ温度が -40°C の場合、IPROPI の出力電圧は 980mV です。185°C での IPROPI 電圧は 1.35V です。

比例電圧 V_{IPROPI} を生成するには、外付け抵抗 (R_{IPROPI}) を介して IPROPI ピンをグランドに接続する必要があります。これにより、アプリケーション内の R_{IPROPI} 抵抗の両端の電圧降下として負荷電流を測定することができ、コントローラの ADC の全範囲が利用可能になります。

出力がオフになると、電流監視出力は高インピーダンス モードになります。IPROPI 出力にはオプションのサンプル / ホールド回路もあり、レジスタ HB_OUT_CNFG1 の IPROPI_SH_EN ビットでイネーブルにすることができます。

7.4.6 保護回路

7.4.6.1 フォルト リセット (CLR_FLT)

DRV8001-Q1 には、ドライバからフォルト状況をクリアし、動作を再開するための特定のシーケンスが用意されています。この機能は **CLR_FLT** レジスタ ビットによって動作します。フォルト通知をクリアするには、フォルト状況の解消後、**CLR_FLT** レジスタ ビットをアサートする必要があります。アサート後、ドライバはフォルトをクリアし、**CLR_FLT** レジスタ ビットをリセットします。

7.4.6.2 DVDD ロジック電源パワーオン リセット (DVDD_POR)

DVDD ピンの入力ロジック供給電圧が V_{DVDD_POR} スレッシュホールドを下回る時間が、 $t_{DVDD_POR_DG}$ より長くなったり、nSLEEP ピンがローにアサートされたりすると、デバイスは非アクティブ状態に入り、ゲートドライバ、チャージ ポンプ、および保護モニタが無効になります。DVDD 低電圧状態が解消されるか、nSLEEP ピンが High にアサートされると、通常動作が再開されます。DVDD パワーオン リセット (POR) 後、**CLR_FLT** が発行されるまで POR レジスタ ビットがアサートされます。

7.4.6.3 PVDD 電源低電圧監視 (PVDD_UV)

PVDD ピンの電源電圧が V_{PVDD_UV} スレッシュホールドを下回る状態が、 $t_{PVDD_UV_DG}$ 時間より長く続くと常に、DRV8001-Q1 は PVDD 低電圧イベントを検出します。低電圧状態の検出後、ゲートドライバ プルダウンはイネーブル、チャージ ポンプはディセーブルになり、**FAULT** レジスタ ビット、および **PVDD_UV** レジスタ ビットがアサートされます。

PVDD 低電圧モニタは **PVDD_UV_MODE** レジスタで設定される 2 つの異なるモードで回復できます。

- **ラッチ フォルト モード:** 低電圧状態の解消後、**CLR_FLT** が発行されるまでは、フォルト状態はラッチされたままで、チャージ ポンプはディセーブルのままです。
- **自動回復モード:** 低電圧状態が解消されると、**FAULT** レジスタのビットが自動的にクリアされ、チャージ ポンプは自動的に再びイネーブルになります。**PVDD_UV** レジスタ ビットは、**CLR_FLT** が発行されるまでラッチされたままです。

7.4.6.4 VCP チャージ ポンプ低電圧誤動作防止 (VCP_UV)

VCP ピンの電圧が V_{VCP_UV} スレッシュホールドを下回る状態が、 $t_{VCP_UV_DG}$ 時間を超えると常に、DRV8001-Q1 は VCP 低電圧状態を検出します。低電圧状態の検出後、ゲートドライバ プルダウンはイネーブル、**FAULT** レジスタ ビットおよび **VCP_UV** レジスタ ビットがアサートされます。低電圧スレッシュホールドは、**VCP_UV_LVL** レジスタ設定により調整できます。

VCP 低電圧モニタは **VCP_UV_MODE** レジスタで設定される 2 つの異なるモードで回復できます。

- **ラッチ フォルト モード:** さらに、ラッチ フォルト モードではチャージ ポンプがディセーブルになります。低電圧状態の解消後、**CLR_FLT** が発行されるまでは、フォルト状態はラッチされたままで、チャージ ポンプはディセーブルのままです。
- **自動回復モード:** 低電圧状態が解消されると、**FAULT** レジスタのビットが自動的にクリアされ、チャージ ポンプは自動的に再びイネーブルになります。**VCP_UV** レジスタ ビットは、**CLR_FLT** が発行されるまでラッチされたままです。

7.4.6.5 サーマル クラスタ

このデバイスには複数のドライバとドライバの種類があるため、チップ上の主要ブロックの温度を監視するために、チップ上に複数の専用サーマル センサが配置されています。これらのセンサはそれぞれ、サーマル クラスタと呼ばれ、特定のデバイス ブロックのローカル ダイ温度を測定します。これらの測定値は **IPROPI** ピンの出力用電圧に変換でき、温度警告をトリガすること、または許容可能な温度範囲を超えた特定のクラスタまたはデバイス全体をシャットダウンするために使用できます。

サーマル クラスタ警告に対するデバイスの応答は、**IC_CNFG1** レジスタの **OTSD_MODE** ビットで構成できます。

- デフォルト モード (**OTSD_MODE** = 0b): いずれかのクラスタが t_{OTSD_DG} より長い間サーマル シャットダウン スレッシュホールドに達すると、デバイス全体がシャットダウンされます。
- クラスタ モード (**OTSD_MODE** = 1b): クラスタが t_{OTSD_DG} より長い間サーマル シャットダウン スレッシュホールドに達した場合、そのクラスタのみがシャットオフされます。

次の表と図に示すように、サーマル クラスタで定義された 4 つのゾーンがあります。

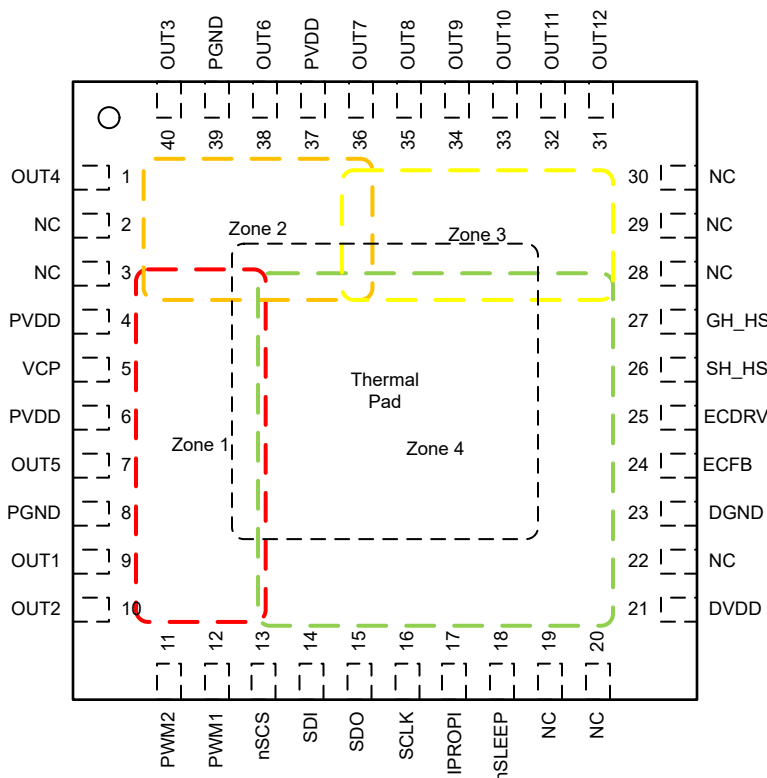


図 7-18. サーマル センサ ゾーン

表 7-38. サーマル クラスタの位置

サーマル クラスタ 1	サーマル クラスタ 2	サーマル クラスタ 3	サーマル クラスタ 4
ハーフブリッジ OUT5、OUT1、OUT2	ハーフブリッジ OUT3、OUT4、OUT6	すべてのハイサイドドライバ	グローバルドライバと残りのドライバ

各ゾーンに、2 つの温度ポイントに対してコンパレータ ベースの警告があり、Low が 115°、High が 140°C です。ビット **ZONEX_OTW_X** (L または H) がレジスタ **IC_STAT2** でラッチされます。各警告は、レジスタ **IC_CNFG2** のビット **ZONEX_OTW_X_DIS** を使用して個別に無効化できます。過熱シャットダウンが発生すると、レジスタ **IC_STAT2** の **ZONEX_OTSD** ビットがラッチされます。

7.4.6.6 ウォッチドッグ タイマ

このデバイスは、外部コントローラが動作していることを確認し、SPI バスの整合性を監視するために、プログラマブル ウィンドウ タイプの SPI ウォッチドッグ タイマを統合しています。SPI ウォッチドッグ タイマは、**WD_EN** SPI レジスタ ビットでイネーブルにできます。ウォッチドッグ タイマは、デフォルトで無効になっています。ウォッチドッグ タイマがイネーブルになると、内部タイマはカウントアップを開始します。ウォッチドッグ・タイマは、**WD_RST** SPI レジスタを反転することでリセットされます。この **WD_RST** は、下位ウィンドウ時間と上位ウィンドウ時間の間に発行する必要があります。ウォッチドッグ タイマのフォルトが検出された場合、デバイスの応答は、警告のみを通知するか、障害を通知して、すべてのドライバをディセーブルにするかのどちらかを構成できます。ウォッチドッグ フォルトは、**CLR_FLT** コマンドでクリアできます。ウォッチドッグがすべてのドライバをディセーブルに設定されている場合、**CLR_FLT** コマンドを送信した後でドライバがイネーブルになり、ウォッチドッグのフォルト状態が解消されます。

7.4.6.7 障害検出と応答の概略表

表 7-39. 障害検出と応答の概略

名称	条件	SPI ビット	モード	デジタルコア	チャージポン プ	ドライバ	電流検出	応答
SPI クロック障 害	無効な SPI ク ロック フレーム	SCLK_FLT	ラッチ	アクティブ	アクティブ	アクティブ	アクティブ	SPI_ERR、 SPI、拒否フレ ーム
DVDD パワー オンリセット	DVDD < V _{DVDD_POR}	POR	該当なし	リセット	ディセーブル	セミアクティブ プルダウン	ディセーブル	SPI
PVDD 低電圧	PVDD < V _{PVDD_UV}	PVDD_UV	ラッチ	アクティブ	ディセーブル	セミアクティブ プルダウン	ディセーブル	SPI
			自動	アクティブ	ディセーブル	セミアクティブ プルダウン	ディセーブル	SPI
PVDD 過電圧	PVDD > V _{PVDD_OV}	PVDD_OV	ラッチ	アクティブ	アクティブ	プルダウン	アクティブ	SPI
		PVDD_OV	自動	アクティブ	アクティブ	プルダウン	アクティブ	SPI
		PVDD_OV	警告	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
		該当なし	ディセーブル	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
VCP 低電圧	VCP < V _{VCP_UV}	VCP_UV	ラッチ	アクティブ	ディセーブル	セミアクティブ プルダウン	ディセーブル	SPI
			自動	アクティブ	アクティブ	セミアクティブ プルダウン	ディセーブル	SPI
ハーフブリッジ 過電流フォルト (OUT1~OUT 6)	I _{OUTx} > I _{OCpx}	HB、 OUTx_HS_O CP、 OUTx_LS_O CP	ラッチ	アクティブ	アクティブ	影響を受けるド ライバ Hi-Z	アクティブ	SPI
ハーフブリッジ アクティブ開放 負荷フォルト (OUT1~OUT 6)	I _{OUTx} < I _{OLP_OUTx}	HB、 OUTx_OLA	ラッチ	アクティブ	アクティブ	アクティブ	アクティブ	WARN
ハーフブリッジ パッシング開放 負荷フォルト (OUT1- OUT6)	I _{OUTx} < I _{OLP_OUTx}	HB、 HB_OLP_STA T	Live	アクティブ	アクティブ	該当なし	アクティブ	WARN
ハイサイドドラ イバ過電流フ ォルト(OUT7- OUT12)	I _{OUTx} > I _{OCpx}	HS、 OUTx_OCP	ラッチ	アクティブ	アクティブ	影響を受けるド ライバ Hi-Z	アクティブ	SPI
ハイサイドドラ イバ OUT7 ITRIP	I _{OUT7} > I _{OC7}	ITRIP、 OUT7_ITRIP_ STAT	警告	アクティブ	アクティブ	該当なし	アクティブ	WARN
	t _{OUT7_ITRIP} > t _{OUT7_ITRIP_TO}	HS、ITRIP、 OUT7_ITRIP_ TO、 OUT7_ITRIP_ STAT	ラッチ	アクティブ	アクティブ	タイムアウト後 の OUT7 Hi-Z	アクティブ	SPI
	I _{OUT7} > I _{OC7}	ITRIP、 OUT7_ITRIP_ STAT	警告	アクティブ	アクティブ	OUT7 ITRIP レギュレーショ ン、無制限	アクティブ	WARN
	t _{OUT7_ITRIP} > t _{OUT7_ITRIP_TO}	ITRIP、 OUT7_ITRIP_ TO、 OUT7_ITRIP_ STAT	警告	アクティブ	アクティブ	OUT7 ITRIP 規制が無効 化。	アクティブ	WARN

表 7-39. 障害検出と応答の概略 (続き)

名称	条件	SPI ビット	モード	デジタル コア	チャージ ポンプ	ドライバ	電流検出	応答
ハイサイドドライバ開放負荷フォルト (OUT7-OUT12)	$I_{OUTx} < I_{OCpx}$	HS、OUTx_OLP	警告	アクティブ	アクティブ	アクティブ	アクティブ	WARN
ECFB 過電圧	$V_{ECFB} > V_{ECFB_OV}$	EC_HEAT、ECFB_OV	ディセーブル	アクティブ	アクティブ	該当なし	アクティブ	該当なし
	$V_{ECFB} > V_{ECFB_OV}$	EC_HEAT、ECFB_OV	ラッチ	アクティブ	アクティブ	該当なし	アクティブ	SPI
	$V_{ECFB} > V_{ECFB_OV}$	EC_HEAT、ECFB_OV	ラッチ	アクティブ	アクティブ	ECDRV をプルダウン、ECFB LS FET Hi-Z	アクティブ	SPI
ECFB 低電圧	$V_{ECFB} > V_{ECFB_UV}$	EC_HEAT、ECFB_UV	ディセーブル	アクティブ	アクティブ	該当なし	アクティブ	該当なし
	$V_{ECFB} > V_{ECFB_UV}$	EC_HEAT、ECFB_UV	ラッチ	アクティブ	アクティブ	該当なし	アクティブ	SPI
	$V_{ECFB} > V_{ECFB_UV}$	EC_HEAT、ECFB_UV	ラッチ	アクティブ	アクティブ	ECDRV をプルダウン、ECFB LS FET Hi-Z	アクティブ	SPI
ECFB が目標電圧より高い	$V_{ECFB} > V_{EC_V_TAR}$	EC_HEAT、ECFB_HI	Live	アクティブ	アクティブ	該当なし	アクティブ	WARN
ECFB が目標電圧より低い	$V_{ECFB} < V_{EC_V_TAR}$	EC_HEAT、ECFB_LO	Live	アクティブ	アクティブ	該当なし	アクティブ	WARN
ECFB 過電流 (放電)	$I_{ECFB} > I_{ECFB_OC}$	EC_HEAT、ECFB_OC	ラッチ	アクティブ	アクティブ	ECFB Hi-Z	アクティブ	SPI
ECFB 開放負荷 (放電)	$I_{ECFB} < I_{OL_ECFB_LS}$	EC_HEAT、ECFB_OL	ラッチ	アクティブ	アクティブ	該当なし	アクティブ	WARN、SPI
ECFB 開放負荷 (ACTIVE/CHARGE、OUT11 独立モード、ECDRV_OL_EN イネーブル)	$V_{ECFB} > V_{ECFB_OV}$	EC_HEAT、ECFB_OL、ECFB_OV	ラッチ	アクティブ	アクティブ	該当なし	アクティブ	WARN、SPI
ヒータ VDS 過電流の故障	$V_{HEAT_VDS} > V_{HEAT_VDS_LVL}$	EC_HEAT、HEAT_VDS	ラッチ	アクティブ	アクティブ	プルダウン	アクティブ	SPI
			サイクル	アクティブ	アクティブ	プルダウン	アクティブ	SPI
			警告	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
			ディセーブル	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
ヒータ VDS オープン負荷不良	$V_{SH_HS} > V_{OL_HEAT}$	EC_HEAT、HEAT_OL	ラッチ	アクティブ	アクティブ	プルダウン	アクティブ	SPI
ゾーン X サーマル警告	$T_J > T_{OTW_X}$	OTW、ZONEx_OTW_X	自動	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
ゾーン X サーマル シャットダウン	$T_J > T_{OTSD}$	OTSD、ZONEx_OTSD	ラッチ	アクティブ	ディセーブル	セミアクティブプルダウン、Hi-Z	ディセーブル	SPI

表 7-39. 障害検出と応答の概略 (続き)

名称	条件	SPI ビット	モード	デジタル コア	チャージ ポンプ	ドライバ	電流検出	応答
ウォッチドッグ	無効なアクセス または期限切れ	WD_FLT	警告	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
			ラッチ フォルト	アクティブ	アクティブ	プルダウン	アクティブ	SPI

7.5 プログラミング

7.5.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI バスは、デバイス構成と動作パラメータの設定、DRV8001-Q1 デバイスの診断情報の読み出しに使用します。SPI は、ペリフェラル モードで動作し、コントローラに接続します。SPI 入力データ (SDI) ワードは 24 ビットのワード、8 ビットのコマンド、16 ビットのデータで構成されています。読み取りコマンド用の SPI 出力データ (SDO) ワードは、故障状態表示ビットと、読み取りコマンドでアクセスされるレジスタ データで構成されます。SDO の書き込みコマンドは、コマンド データに続いて書き込みレジスタの既存のデータが続く構成です。MCU と SPI ペリフェラル ドライバ間のデータ シーケンス [図 7-19](#) をに示します。

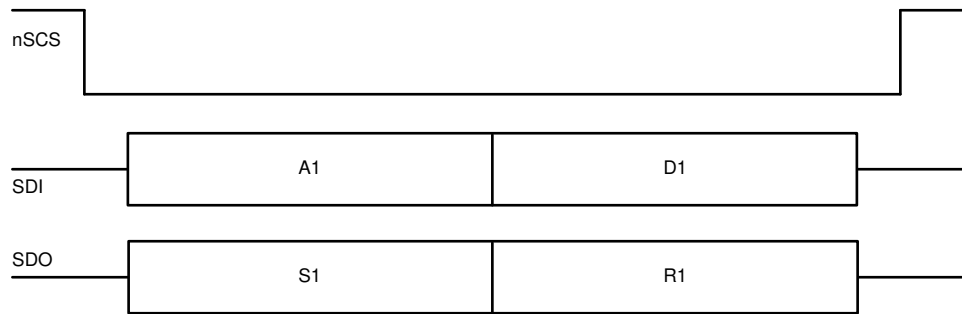


図 7-19. SPI データ フレーム

有効なフレームは次の条件を満たしていなければなりません。

- nSCS ピンが High から Low、Low から High に遷移すると、SCLK ピンの Low にプルされます。
- nSCS ピンは、ワードとワードの間では High にされている必要があります。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態になる。
- データは SCLK ピンの立ち下がりエッジで収集され、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) が最初にシフト イン / シフト アウトされる。
- トランザクションを有効にするには、24 SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータ ワードが 24 ビットより多い / 少ない場合は、フレーム エラー (SCLK_FLT) が発生してデータ ワードが無視される。
- 書き込みコマンドの場合、16 ビットのコマンド データに続いて、書き込み先のレジスタの既存データが、エラー状態バイト、16 ビット データという順序で SDO ピンからシフトアウトされます。

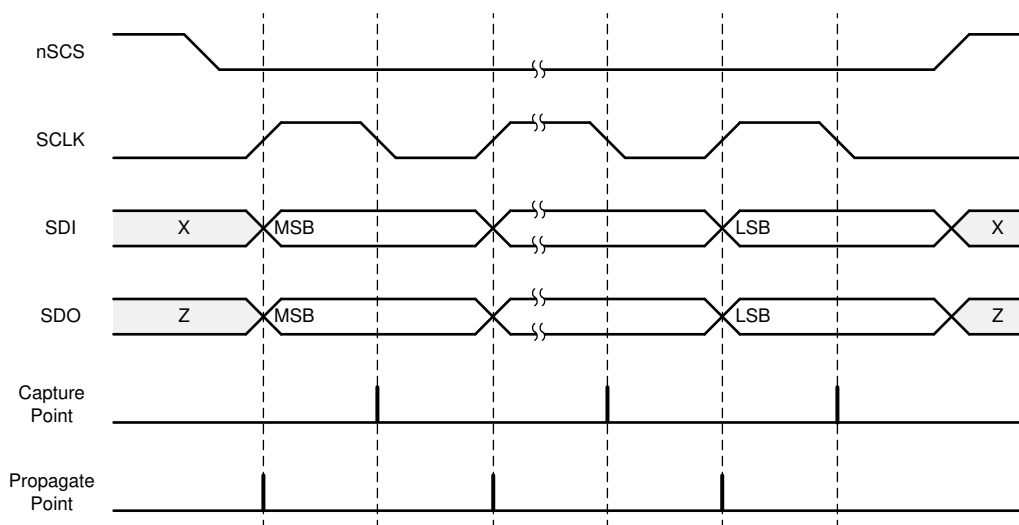


図 7-20. SPI ペリフェラルのタイミング図

7.5.2 SPI フォーマット

SDI 入力データワードは 24 ビット長であり、以下のフォーマットで構成されています。

- MSB ビットはフレームの種類を示します (標準フレームの場合、ビット B23 = 0)
- 1 読み取りまたは書き込みビット、W (ビット B22、書き込み = 0、読み取り = 1)
- 6 アドレス ビット、A (ビット B21～B16)
- 16 データ ビット、D (ビット B15～B0)読み取り動作では、これらのビットは通常ヌル値に設定されます。書き込み動作では、アドレス指定されたレジスタのデータ値がこれらのビットに設定されます。

表 7-40. SDI 入力データ ワードのフォーマット

		R/W	アドレス							データ															
ビット	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
データ	0	W0	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

SDO 出力データワードは 24 ビット長で、最初の 8 ビットが IC ステータス レジスタを構成します。レポート ワードはアクセス中のレジスタの内容です。

書き込みコマンド (W0 = 0) の場合、応答ワードは、フォルト ステータス表示ビットと、書き込まれるレジスタの既存データの後に続きます。

読み取りコマンド (W0 = 1) の場合、応答ワードはフォルト ステータス表示ビットとそれに続く、読み取り中のレジスタ内のデータで構成されます。

表 7-41. SDO 出力データ ワードのフォーマット

	IC のステータス								レポート							
ビット	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8
データ	1	1	フォルト	WARN	OV_U V	DRV	OTSD	SPI_E RR	D15	D14	D13	D12	D11	D10	D9	D8
									D7	D6	D5	D4	D3	D2	D1	D0

- 故障 - デバイス故障の「OR」(グローバルまたはドライバ)
- 警告 - デバイスの警告の「OR」
- OV_UV - PVDD 過電圧および低電圧ステータスの「OR」
- DRV - ドライバの故障の「OR」
- OTSD - 過熱シャットダウンが発生するときに設定
- SPI_ERR - 受信された SCLK 数が正しくないときに設定

7.5.3 タイミング図

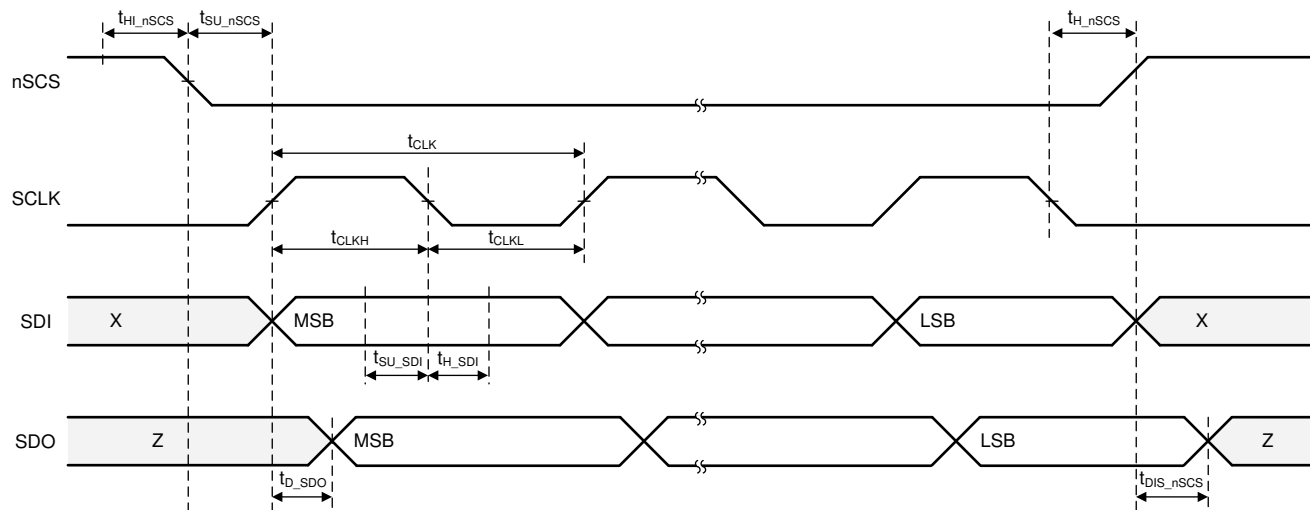


図 7-21. SPI タイミング図

8 DRV8001-Q1 レジスタ マップ

DRV8001-Q1 レジスタ マップは、DRV8001-Q1 のメモリ マップ レジスタの一覧です。記載されていないレジスタ アドレスはすべて予約領域とみなされ、レジスタの内容は変更できません。予約済み位置の説明は、あくまでも参照目的で提供されています。デバイス ID 表は、DRV800x デバイスのデバイス ID をまとめたものです。

表 8-1. デバイス ID サマリー

デバイス	デバイス ID
DRV8000-Q1	レジスタ アドレス 0x8h、DEVICE_ID = 0x01
DRV8001-Q1	レジスタ アドレス 0x8h、DEVICE_ID = 0x11
DRV8002-Q1	レジスタ アドレス 0x8h、DEVICE_ID = 0x01

表 8-2. DRV8001-Q1 レジスタ マップ

名称	15 7	14 6	13 5	12 4	11 3	10 2	9 1	8 0	タイプ	アドレ ス
IC_STAT1	SPI_OK	POR	フォルト	WARN	RSVD	HB	EC_HEAT	HS	R	00h
	PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	WD_FLT	ITRIP	OUT7_ITRIP_TO		
IC_STAT2	PARITY	RSVD	SCLK_FLT	RSVD	ZONE4_OTSD	ZONE3_OTSD	ZONE2_OTSD	ZONE1_OTSD	R	01h
	ZONE4_OTW_H	ZONE3_OTW_H	ZONE2_OTW_H	ZONE1_OTW_H	ZONE4_OTW_L	ZONE3_OTW_L	ZONE2_OTW_L	ZONE1_OTW_L		
RSVD	RSVD								R	02h
HB_STAT1	RSVD	OUT6_LS_OCP	OUT5_LS_OCP	OUT4_LS_OCP	OUT3_LS_OCP	OUT2_LS_OCP	OUT1_LS_OCP		R	03h
	RSVD	OUT6_HS_OCP	OUT5_HS_OCP	OUT4_HS_OCP	OUT3_HS_OCP	OUT2_HS_OCP	OUT1_HS_OCP			
HB_STAT2	RSVD	OUT6_OLP	OUT5_OLP	OUT4_OLP	OUT3_OLP	OUT2_OLP	OUT1_OLP		R	04h
	RSVD	OUT6_OLA	OUT5_OLA	OUT4_OLA	OUT3_OLA	OUT2_OLA	OUT1_OLA			
EC_HEAT_ITRIP_STAT	ECFB_UV	ECFB_OV	ECFB_OV	ECFB_UV	ECFB_OC	ECFB_OL	HEAT_OL	HEAT_VDS	R	05h
	OUT7_ITRIP_TO	OUT7_ITRIP_STAT	OUT6_ITRIP_STAT	OUT5_ITRIP_STAT	OUT4_ITRIP_STAT	OUT3_ITRIP_STAT	OUT2_ITRIP_STAT	OUT1_ITRIP_STAT		
HS_STAT	RSVD	OUT12_OLA	OUT11_OLA	OUT10_OLA	OUT9_OLA	OUT8_OLA	OUT7_OLA		R	06h
	RSVD	OUT12_OCP	OUT11_OCP	OUT10_OCP	OUT9_OCP	OUT8_OCP	OUT7_OCP			
SPARE_STAT1	RSVD								R	07h
SPARE_STAT2	DEVICE_ID								R	08h
IC_CNFG1	OTSD_MODE	DIS_CP	PVDD_OV_MODE	PVDD_OV_DG	PVD_OV_LVL	VCP_UV_LVL			R/W	09h
	CP_MODE	VCP_UV_MODE	PVDD_UV_MODE	WD_EN	WD_FLT_M	WD_WIN	EN_SSC			
IC_CNFG2	RSVD								R/W	0Ah
	ZONE4_OTW_H_DIS	ZONE3_OTW_H_DIS	ZONE2_OTW_H_DIS	ZONE1_OTW_H_DIS	ZONE4_OTW_L_DIS	ZONE3_OTW_L_DIS	ZONE2_OTW_L_DIS	ZONE1_OTW_L_DIS		
RSVD	RSVD 0Bh から 13h まで								R	0Bh ~ 13h
HB_ITRIP_DG	RSVD				OUT6_ITRIP_DG	OUT5_ITRIP_DG			R/W	14h
	OUT4_ITRIP_DG	OUT3_ITRIP_DG	OUT2_ITRIP_DG	OUT1_ITRIP_DG						
HB_OUT_CNFG1	RSVD	NSR_OUT6_DIS	NSR_OUT5_DIS	NSR_OUT4_DIS	NSR_OUT3_DIS	NSR_OUT2_DIS	NSR_OUT1_DIS	IPROPI_SH_EN	R/W	15h
	RSVD	OUT6_CNFG	OUT5_CNFG	OUT4_CNFG	OUT3_CNFG	OUT2_CNFG	OUT1_CNFG			
HB_OUT_CNFG2	RSVD	OUT6_CNFG	OUT5_CNFG	OUT4_CNFG	OUT3_CNFG	OUT2_CNFG	OUT1_CNFG		R/W	16h
	RSVD	OUT6_CNFG	OUT5_CNFG	OUT4_CNFG	OUT3_CNFG	OUT2_CNFG	OUT1_CNFG			
HB_OCP_CNFG	RSVD	OUT6_OCP_DG	OUT5_OCP_DG	OUT4_OCP_DG	OUT3_OCP_DG	OUT2_OCP_DG	OUT1_OCP_DG		R/W	17h
	OUT4_OCP_DG	OUT3_OCP_DG	OUT2_OCP_DG	OUT1_OCP_DG						
HB_OL_CNF G1	RSVD	OUT6_OLP_EN	OUT5_OLP_EN	OUT4_OLP_EN	OUT3_OLP_EN	OUT2_OLP_EN	OUT1_OLP_EN		R/W	18h
	RSVD	OUT6_OLA_EN	OUT5_OLA_EN	OUT4_OLA_EN	OUT3_OLA_EN	OUT2_OLA_EN	OUT1_OLA_EN			
HB_OL_CNF G2	RSVD	RSVD							R/W	19h
	RSVD	OUT6_OLA_TH	OUT5_OLA_TH	OUT4_OLA_TH	OUT3_OLA_TH	OUT2_OLA_TH	OUT1_OLA_TH			
HB_SR_CNF G	RSVD				OUT6_SR	OUT5_SR			R/W	1Ah
	OUT4_SR	OUT3_SR	OUT2_SR	OUT1_SR						
HB_ITRIP_CNFG	OUT6_ITRIP_EN	OUT5_ITRIP_EN	OUT4_ITRIP_EN	OUT3_ITRIP_EN	OUT2_ITRIP_EN	OUT1_ITRIP_EN	OUT6_ITRIP_LVL		R/W	1Bh
	OUT5_ITRIP_LVL	OUT4_ITRIP_LVL	OUT3_ITRIP_LVL	OUT2_ITRIP_LVL	OUT1_ITRIP_LVL					

表 8-2. DRV8001-Q1 レジスタ マップ (続き)

名称	15	14	13	12	11	10	9	8	タイプ	アドレス		
	7	6	5	4	3	2	1	0				
HB_ITRIP_FREQ	RSVD				OUT6_ITRIP_FREQ		OUT5_ITRIP_FREQ		R/W	1Ch		
	OUT4_ITRIP_FREQ		OUT3_ITRIP_FREQ		OUT2_ITRIP_FREQ		OUT1_ITRIP_FREQ					
HS_HEAT_OUT_CNFG	HEAT_CNFG		RSVD		OUT12_CNFG		OUT11_CNFG		R/W	1Dh		
	OUT10_CNFG		OUT9_CNFG		OUT8_CNFG		OUT7_CNFG					
HS_OC_CFG	RSVD			OUT11_EC_MODE	RSVD				R/W	1Eh		
	RSVD		OUT12_OC_TH	OUT11_OC_TH	OUT10_OC_TH	OUT9_OC_TH	OUT8_OC_TH	OUT7_RDSON_MODE				
HS_OL_CFG	RSVD		OUT12_OLA_TH	OUT11_OLA_TH	OUT10_OLA_TH	OUT9_OLA_TH	OUT8_OLA_TH	OUT7_OLA_TH	R/W	1Fh		
	RSVD		OUT12_OLA_EN	OUT11_OLA_EN	OUT10_OLA_EN	OUT9_OLA_EN	OUT8_OLA_EN	OUT7_OLA_EN				
HS_REG_CFG1	RSVD					OUT7_OCP_DIS	ITRIP_TO_SEL		R/W	20h		
	OUT7_ITRIP_CNFG		OUT7_ITRIP_BLK		OUT7_ITRIP_FREQ		OUT7_ITRIP_DG					
HS_REG_CFG2	RSVD		OUT12_CCM_TO	OUT11_CCM_TO	OUT10_CCM_TO	OUT9_CCM_TO	OUT8_CCM_TO	OUT7_CCM_TO	R/W	21h		
	RSVD		OUT12_CCM_EN	OUT11_CCM_EN	OUT10_CCM_EN	OUT9_CCM_EN	OUT8_CCM_EN	OUT7_CCM_EN				
HS_PWM_FREQ_CNFG	RSVD				PWM_OUT12_FREQ		PWM_OUT11_FREQ		R/W	22h		
	PWM_OUT10_FREQ		PWM_OUT9_FREQ		PWM_OUT8_FREQ		PWM_OUT7_FREQ					
HEAT_CNFG	RSVD				HEAT_VDS_LVL				R/W	23h		
	HS_VDS_MODE		HEAT_VDS_BLK		HEAT_VDS_DG		HEAT_OLP_EN	RSVD				
EC_CNFG	ECDRV_OL_EN	ECFB_UV_TH	RSVD		ECFB_UV_DG		ECFB_OV_DG		R/W	24h		
	RSVD		EC_OV_MODE		EC_FLT_MODE	ECFB_LS_PWM	EC_OLEN	ECFB_MAX				
HS_OCP_DG	RSVD				OUT12_OCP_DG		OUT11_OCP_DG		R/W	25h		
	OUT10_OCP_DG		OUT9_OCP_DG		OUT8_OCP_DG		OUT7_OCP_DG					
SPARE_CFG2	RSVD									R/W	26h	
SPARE_CFG3	RSVD									R/W	27h	
SPARE_CFG4	RSVD									R/W	28h	
IC_CTRL	RSVD		IPROPI_MODE	IPROPI_SEL						R/W	29h	
	CTRL_LOCK			CNFG_LOCK			RSVD	CLR_FLT				
HB_CTRL	RSVD				OUT6_CTRL		OUT5_CTRL		R/W	2Ah		
	OUT4_CTRL		OUT3_CTRL		OUT2_CTRL		OUT1_CTRL					
HS_EC_HEAT_CTRL	ECFB_LS_EN	EC_ON	EC_V_TAR								R/W	2Bh
	HEAT_EN	RSVD	OUT12_EN	OUT11_EN	OUT10_EN	OUT9_EN	OUT8_EN	OUT7_EN				
OUT7_PWM_DC	RSVD						OUT7_DC		R/W	2Ch		
	OUT7_DC											
OUT8_PWM_DC	RSVD						OUT8_DC		R/W	2Dh		
	OUT8_DC											
OUT9_PWM_DC	RSVD						OUT9_DC		R/W	2Eh		
	OUT9_DC											
OUT10_PWM_DC	RSVD						OUT10_DC		R/W	2Fh		
	OUT10_DC											
OUT11_PWM_DC	RSVD						OUT11_DC		R/W	30h		
	OUT11_DC											
OUT12_PWM_DC	RSVD						OUT12_DC		R/W	31h		
	OUT12_DC											

8.1 DRV8000-Q1_STATUS レジスタ

DRV8000-Q1_STATUS レジスタのメモリマップされたレジスタを、表 8-3 に示します。表 8-3 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更しないでください。

表 8-3. DRV8000-Q1_STATUS レジスタ

オフセット	略称	レジスタ名	セクション
0h	IC_STAT1	デバイス ステータス レジスタ 1	セクション 8.1.1
1h	IC_STAT2	デバイス ステータス レジスタ 2	セクション 8.1.2
2h	GD_STAT	ゲートドライバのステータス。	セクション 8.1.3
3h	HB_STAT1	ハーフブリッジの過電流ステータス。	セクション 8.1.4
4h	HB_STAT2	ハーフブリッジの開放負荷ステータス。	セクション 8.1.5
5h	EC_HEAT_ITRIP_STAT	エレクトロクロム、ヒータ、および ITRIP ステータス。	セクション 8.1.6
6h	HS_STAT	ハイスайдドライバ ステータス。	セクション 8.1.7
7h	SPARE_STAT1	スペア ステータス 1。	セクション 8.1.8
8h	SPARE_STAT2	スペア ステータス 2。	セクション 8.1.9

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-4 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-4. DRV8000-Q1_STATUS のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1 IC_STAT1 レジスタ (オフセット = 0h) [リセット = C000h]

IC_STAT1 を表 8-5 に示します。

概略表に戻ります。

ドライバ、電源電圧、過熱フォルト ステータス用のメイン デバイス ステータス レジスタ。ウォッチドッグおよび ITRIP レギュレーション フォルト ステータスも含まれています。

表 8-5. IC_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	SPI_OK	R	1h	SPI 通信フォルトが検出されたかどうかを示します。 0b = 直前のフレームにおける SCLK_FLT の 1 つまたは複数。 1b = SPI 障害は検出されていません。
14	POR	R	1h	パワーオン リセット状態を示します。 0b = パワーオン リセット状態は検出されていません。 1b = パワーオン リセット状態が検出されています。
13	フォルト	R	0h	汎用障害インジケータ。 デバイスまたはドライバの障害が発生したことを示します。 0b = 障害なし。 1b = フォルト検出あり。
12	WARN	R	0h	一般的な警告インジケータ。 警告が存在することを示します。 0b = 警告なし。 1b = 警告あり。
11	GD	R	0h	ゲートドライバの VDS と VGS それぞれの障害インジケータの論理和。
10	HB	R	0h	ハーフ ブリッジの過電流および開放負荷障害インジケータの論理和。
9	EC_HEAT	R	0h	EC OV/UV の論理 OR、EC およびヒーターの過電流、開放負荷フォルトインジケータ。
8	HS	R	0h	ハイサイドドライバの過電流および開放負荷障害インジケータの論理和。
7	PVDD_UV	R	0h	PVDD ピンの低電圧障害を示します。
6	PVDD_OV	R	0h	PVDD ピン上の過電圧障害を示します。
5	VCP_UV	R	0h	VCP ピンの低電圧障害を示します。
4	OTW	R	0h	過熱警告を示します。
3	OTSD	R	0h	過熱シャットダウンを示します。
2	WD_FLT	R	0h	ウォッチドッグ タイムアウト フォルトを示します。
1	ITRIP	R	0h	OUTx が ITRIP に移行したときに、ITRIP レギュレーション警告を示します。
0	OUT7_ITRIP_TO	R	0h	設定されたときに、OUT7 の ITRIP タイムアウトが発生したことを示します。

8.1.2 IC_STAT2 レジスタ (オフセット = 1h) [リセット = 0000h]

IC_STAT2 を表 8-6 に示します。

概略表に戻ります。

SPI フォルトおよび特定のサーマル クラスタ フォルト / 警告ステータスを備えた 2 番目のデバイス ステータス レジスタ。

表 8-6. IC_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	SCLK_FLT	R	0h	トランザクション フレーム内の SCLK パルスの数が 16 と等しくない場合に、SPI クロック(フレーム)エラーを示します。 ビット SPI_ERR で報告されます。
12	RESERVED	R	0h	予約済み
11	ZONE4_OTSD	R	0h	ゾーン 4 で過熱シャットダウンが発生したことを示します。
10	ZONE3_OTSD	R	0h	ゾーン 3 で過熱シャットダウンが発生したことを示します。
9	ZONE2_OTSD	R	0h	ゾーン 2 で過熱シャットダウンが発生したことを示します。
8	ZONE1_OTSD	R	0h	ゾーン 1 で過熱シャットダウンが発生したことを示します。
7	ZONE4_OTW_H	R	0h	ゾーン 4 で高温警告 (125°C を上回る) が発生したことを示します。
6	ZONE3_OTW_H	R	0h	ゾーン 3 で高温警告 (125°C を上回る) が発生したことを示します。
5	ZONE2_OTW_H	R	0h	ゾーン 2 で高温警告 (125°C を上回る) が発生したことを示します。
4	ZONE1_OTW_H	R	0h	ゾーン 1 で高温警告 (125°C を上回る) が発生したことを示します。
3	ZONE4_OTW_L	R	0h	ゾーン 4 で低温警告 (105°C を上回る) が発生したことを示します。
2	ZONE3_OTW_L	R	0h	ゾーン 3 で低温警告 (105°C を上回る) が発生したことを示します。
1	ZONE2_OTW_L	R	0h	ゾーン 2 で低温警告 (105°C を上回る) が発生したことを示します。
0	ZONE1_OTW_L	R	0h	ゾーン 1 で低温警告 (105°C を上回る) が発生したことを示します。

8.1.3 GD_STAT レジスタ (オフセット = 2h) [リセット = 0000h]

GD_STAT を表 8-7 に示します。

[概略表](#)に戻ります。

スマート ゲートドライバのエラーおよび警告を含む、すべてのゲートドライバのエラーおよび警告を記録するゲートドライバ ステータス レジスタ。

表 8-7. GD_STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	DRVOFF_STAT	R	0h	DRVOFF ピンのステータス (High または Low) を示します。 DRVOFF ピンがアサートされている場合、DRVOFF_STAT = 1b です。 DRVOFF ピンがデアサートされると、DRVOFF_STAT = 0b になります。
14	RESERVED	R	0h	予約済み
13	STC_WARN_R	R	0h	ハーフブリッジ 1 および 2 の立ち上がりスルー時間 TDRV オーバーフローを示します。
12	STC_WARN_F	R	0h	ハーフブリッジ 1 および 2 の立ち下がりスルー時間 TDRV オーバーフローを示します。
11	PCHR_WARN	R	0h	ハーフブリッジ 1 および 2 のプリチャージアンダーフローまたはオーバーフロー フォルトを示します。
10	PDCHR_WARN	R	0h	ハーフブリッジ 1 および 2 の予備放電アンダーフローまたはオーバーフロー フォルトを示します。
9	IDIR_WARN	R	0h	ハーフブリッジ 1 および 2 の電流方向が不明であることを示します
8	IDIR	R	0h	ハーフブリッジ 1 および 2 の電流方向を示します。
7	VGS_L2	R	0h	ローサイド 2 MOSFET 上の VGS ゲート障害を示します。
6	VGS_H2	R	0h	ハイサイド 2 MOSFET 上の VGS ゲート障害を示します。
5	VGS_L1	R	0h	ローサイド 1 MOSFET 上の VGS ゲート障害を示します。
4	VGS_H1	R	0h	ハイサイド 1 MOSFET 上の VGS ゲート障害を示します。
3	VDS_L2	R	0h	ローサイド 2 MOSFET 上の VDS 過電流障害を示します。
2	VDS_H2	R	0h	ハイサイド 2 MOSFET 上の VDS 過電流障害を示します。
1	VDS_L1	R	0h	ローサイド 1 MOSFET 上の VDS 過電流障害を示します。
0	VDS_H1	R	0h	ハイサイド 1 MOSFET 上の VDS 過電流障害を示します。

8.1.4 HB_STAT1 レジスタ (オフセット = 3h) [リセット = 0000h]

HB_STAT1 を表 8-8 に示します。

[概略表](#)に戻ります。

各ハーフブリッジのハイサイドまたはローサイドのハーフブリッジ過電流フォルト。

表 8-8. HB_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	OUT6_LS_OCP	R	0h	ハーフブリッジ OUT6 のローサイドで過電流エラーが発生していることを示します。
12	OUT5_LS_OCP	R	0h	ハーフブリッジ OUT5 のローサイドで過電流エラーが発生していることを示します。
11	OUT4_LS_OCP	R	0h	ハーフブリッジ OUT4 のローサイドで過電流エラーが発生していることを示します。
10	OUT3_LS_OCP	R	0h	ハーフブリッジ OUT3 のローサイドで過電流エラーが発生していることを示します。
9	OUT2_LS_OCP	R	0h	ハーフブリッジ OUT2 のローサイドで過電流エラーが発生していることを示します。
8	OUT1_LS_OCP	R	0h	ハーフブリッジ OUT1 のローサイドで過電流エラーが発生していることを示します。
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	OUT6_HS_OCP	R	0h	ハーフブリッジ OUT6 のハイサイドでの過電流フォルトを示します。
4	OUT5_HS_OCP	R	0h	ハーフブリッジ OUT5 のハイサイドでの過電流フォルトを示します。
3	OUT4_HS_OCP	R	0h	ハーフブリッジ OUT4 のハイサイドでの過電流フォルトを示します。
2	OUT3_HS_OCP	R	0h	ハーフブリッジ OUT3 のハイサイドでの過電流フォルトを示します。
1	OUT2_HS_OCP	R	0h	ハーフブリッジ OUT2 のハイサイドでの過電流フォルトを示します。
0	OUT1_HS_OCP	R	0h	ハーフブリッジ OUT1 のハイサイドでの過電流フォルトを示します。

8.1.5 HB_STAT2 レジスタ (オフセット = 4h) [リセット = 0000h]

HB_STAT2 を表 8-9 に示します。

[概略表](#)に戻ります。

ハーフブリッジのアクティブおよびオフ状態の開放負荷フォルト。

表 8-9. HB_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	HB_OLP_STAT	R	0h	HB_OLP_CNFG ビット(OUTX または OUTY)ごとに、選択されたハーフブリッジ出力のオフ状態での開放負荷エラーを示します。
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	OUT6_OLA	R	0h	ハーフブリッジ OUT6 のアクティブな開放負荷障害を示します。
4	OUT5_OLA	R	0h	ハーフブリッジ OUT5 のアクティブな開放負荷障害を示します。
3	OUT4_OLA	R	0h	ハーフブリッジ OUT4 のアクティブな開放負荷障害を示します。
2	OUT3_OLA	R	0h	ハーフブリッジ OUT3 のアクティブな開放負荷障害を示します。
1	OUT2_OLA	R	0h	ハーフブリッジ OUT2 のアクティブな開放負荷障害を示します。
0	OUT1_OLA	R	0h	ハーフブリッジ OUT1 のアクティブな開放負荷障害を示します。

8.1.6 EC_HEAT_ITRIP_STAT レジスタ (オフセット = 5h) [リセット = 0000h]

EC_HEAT_ITRIP_STAT を表 8-10 に示します。

概略表に戻ります。

エレクトロクロムおよびヒータドライバのすべての故障および警告を含みます。ITRIP レギュレーション ステータス警告も含まれています。

表 8-10. EC_HEAT_ITRIP_STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	ECFB_UV	R	0h	ECFB ピンの低電圧 (ショートから接地) 故障を示します。
14	ECFB_OV	R	0h	ECFB ピンの過電圧 (バッテリーへの短絡) フォルトを示します。
13	ECFB_HI	R	0h	ECFB ピンにおけるレギュレーション過電圧障害を示します。
12	ECFB_LO	R	0h	ECFB ピンのレギュレーション低電圧故障を示します。
11	ECFB_OC	R	0h	ECFB ピンの過電流故障を示します。
10	ECFB_OL	R	0h	ECFB ピンの開放負荷検出を示します。
9	HEAT_OL	R	0h	SH_HS ピンの開放負荷障害を示します。
8	HEAT_VDS	R	0h	ヒータ MOSFET の過電流障害を示します。
7	OUT7_ITRIP_TO	R	0h	OUT7 で ITRIP タイムアウトが発生したことを示します。
6	OUT7_ITRIP_STAT	R	0h	OUT7 の ITRIP レギュレーション警告を示します。
5	OUT6_ITRIP_STAT	R	0h	OUT6 の ITRIP レギュレーション警告を示します。
4	OUT5_ITRIP_STAT	R	0h	OUT5 の ITRIP レギュレーション警告を示します。
3	OUT4_ITRIP_STAT	R	0h	OUT4 の ITRIP レギュレーション警告を示します。
2	OUT3_ITRIP_STAT	R	0h	OUT3 の ITRIP レギュレーション警告を示します。
1	OUT2_ITRIP_STAT	R	0h	OUT2 の ITRIP レギュレーション警告を示します。
0	OUT1_ITRIP_STAT	R	0h	OUT1 の ITRIP レギュレーション警告を示します。

8.1.7 HS_STAT レジスタ (オフセット = 6h) [リセット = 0000h]

HS_STAT を表 8-11 に示します。

[概略表](#)に戻ります。

ハイサイドドライバの過電流と開放負荷の障害ステータス。

表 8-11. HS_STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	OUT12_OLA	R	0h	OUT12 の開放負荷を示します。
12	OUT11_OLA	R	0h	OUT11 の開放負荷を示します。
11	OUT10_OLA	R	0h	OUT10 の開放負荷を示します。
10	OUT9_OLA	R	0h	OUT9 の開放負荷を示します。
9	OUT8_OLA	R	0h	OUT8 の開放負荷を示します。
8	OUT7_OLA	R	0h	OUT7 の開放負荷を示します。
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	OUT12_OCP	R	0h	OUT12 の過電流障害を示します。
4	OUT11_OCP	R	0h	OUT11 の過電流障害を示します。
3	OUT10_OCP	R	0h	OUT10 の過電流障害を示します。
2	OUT9_OCP	R	0h	OUT9 の過電流障害を示します。
1	OUT8_OCP	R	0h	OUT8 の過電流障害を示します。
0	OUT7_OCP	R	0h	OUT7 の過電流障害を示します。

8.1.8 SPARE_STAT1 レジスタ (オフセット = 7h) [リセット = 0000h]

SPARE_STAT1 を表 8-12 に示します。

[概略表](#)に戻ります。

スペア ステータス レジスタ。

表 8-12. SPARE_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.1.9 SPARE_STAT2 レジスタ (オフセット = 8h) [リセット = 0001h]

SPARE_STAT2 を表 8-13 に示します。

[概略表](#)に戻ります。

スペア ステータス レジスタ。

表 8-13. SPARE_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	DEVICE_ID_7	R	0h	デバイス ID ビット フィールド 7。
6	DEVICE_ID_6	R	0h	デバイス ID ビット フィールド 6。
5	DEVICE_ID_5	R	0h	デバイス ID ビット フィールド 5。
4	DEVICE_ID_4	R	0h	デバイス ID ビット フィールド 4。
3	DEVICE_ID_3	R	0h	デバイス ID ビット フィールド 3。
2	DEVICE_ID_2	R	0h	デバイス ID ビット フィールド 2。
1	DEVICE_ID_1	R	0h	デバイス ID ビット フィールド 1。
0	DEVICE_ID_0	R	1h	デバイス ID ビット フィールド 0。 DRV8000-Q1 のアドレスは 0x01 です。

8.2 DRV8000-Q1_CNFG レジスタ

DRV8000-Q1_CNFG レジスタのメモリ マップされたレジスタを、表 8-14 に示します。表 8-14 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更しないでください。

表 8-14. DRV8000-Q1_CNFG レジスタ

オフセット	略称	レジスタ名	セクション
9h	IC_CNFG1	IC 構成レジスタ 1	セクション 8.2.1
Ah	IC_CNFG2	IC 構成レジスタ 2	セクション 8.2.2
Bh	GD_CNFG	ゲートドライバ構成レジスタ	セクション 8.2.3
Ch	GD_IDRV_CNFG	IDRIVE 設定構成レジスタ。	セクション 8.2.4
Dh	GD_VGS_CNFG	VGS 検出構成レジスタ。	セクション 8.2.5
Eh	GD_VDS_CNFG	VDS 監視構成レジスタ。	セクション 8.2.6
Fh	GD_CSA_CNFG	CSA 構成レジスタ。	セクション 8.2.7
10h	GD_AGD_CNFG	高度なスマート ゲートドライバ構成レジスタ。	セクション 8.2.8
11h	GD_PDR_CNFG	伝搬遅延低減構成レジスタ。	セクション 8.2.9
12h	GD_STC_CNFG	スルー時間制御構成レジスタ。	セクション 8.2.10
13h	GD_SPARE_CNFG1	予備ゲートドライバ構成レジスタ 1。	セクション 8.2.11
14h	HB_ITRIP_DG	ハーフブリッジ ITRIP グリッチ除去構成レジスタ 2。	セクション 8.2.12
15h	HB_OUT_CNFG1	ハーフブリッジ出力 5 および 6 構成レジスタ。	セクション 8.2.13
16h	HB_OUT_CNFG2	ハーフブリッジ出力 1-4 構成レジスタ。	セクション 8.2.14
17h	HB_OCP_CNFG	ハーフブリッジ過電流グリッチ除去構成レジスタ。	セクション 8.2.15
18h	HB_OL_CNFG1	ハーフブリッジ アクティブおよびパッシブ オープンロード イネーブル レジスタ	セクション 8.2.16
19h	HB_OL_CNFG2	ハーフブリッジ アクティブ オープンロードしきい値選択レジスタ。	セクション 8.2.17
1Ah	HB_SR_CNFG	Haf ブリッジ スルーレート構成レジスタ。	セクション 8.2.18
1Bh	HB_ITRIP_CNFG	ハーフブリッジ ITRIP 構成レジスタ 1。	セクション 8.2.19
1Ch	HB_ITRIP_FREQ	ハーフブリッジ ITRIP 周波数構成レジスタ 2。	セクション 8.2.20
1Dh	HS_HEAT_OUT_CNFG	ハイスайдおよびヒータドライバ出力構成レジスタ。	セクション 8.2.21
1Eh	HS_OC_CNFG	ハイスайдドライバ過電流スレッシュホールド構成レジスタ。	セクション 8.2.22
1Fh	HS_OL_CNFG	ハイスайдドライバ開放負荷スレッシュホールド構成レジスタ。	セクション 8.2.23
20h	HS_REG_CNFG1	ハイスайдドライバのレギュレーション構成レジスタ。	セクション 8.2.24
21h	HS_REG_CNFG2	ハイスайдドライバのレギュレーション構成レジスタ。	セクション 8.2.25
22h	HS_PWM_FREQ_CNFG	ハイスайдドライバ PWM ジェネレータ周波数構成レジスタ。	セクション 8.2.26
23h	HEAT_CNFG	ヒータコン構成レジスタ。	セクション 8.2.27
24h	EC_CNFG	エレクトロクロミック構成レジスタ。	セクション 8.2.28
25h	HS_OCP_DG	ハイスайдドライバのレギュレーション構成レジスタ。	セクション 8.2.29
26h	SPARE_CNFG2	予備構成 2。	セクション 8.2.30
27h	SPARE_CNFG3	予備構成 3。	セクション 8.2.31
28h	SPARE_CNFG4	予備構成 4。	セクション 8.2.32

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-15 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-15. DRV8000-Q1_CNFG のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.2.1 IC_CNFG1 レジスタ (オフセット = 9h) [リセット = 0002h]

IC_CNFG1 を表 8-16 に示します。

概略表に戻ります。

チャージ ポンプとウォッチドッグの構成、および電源、チャージ ポンプ、熱、ウォッチドッグの各障害の障害レベルと対応を含みます。

表 8-16. IC_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	OTSD_MODE	R/W	0h	過熱シャットダウン動作を設定します。 いずれかのサーマル クラスタが OT に達すると、デバイスはすべてのドライバまたは影響を受けるドライバのみ(ゾーン 3 のドライバなど)をシャットダウンします。 0b = グローバル シャットダウン。 1b = 影響を受けるドライバ シャットダウンのみ。
14	DIS_CP	R/W	0h	EN_GD = 0 の場合、チャージ ポンプを無効にして、デバイスを通信専用モードにすることができます。 0b = チャージ ポンプが有効。 1b = チャージ ポンプが無効。
13-12	PVDD_OV_MODE	R/W	0h	PVDD 電源過電圧監視モード。 00b = ラッチ障害。 01b = 自動復帰。 10b = 警告レポートのみ。 11b = 無効。
11-10	PVDD_OV_DG	R/W	0h	PVDD 電源過電圧監視グリッチ除去時間。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
9	PVDD_OV_LVL	R/W	0h	PVDD 電源過電圧監視スレッシュホルド。 0b = 21.5V 1b = 28.5V
8	VCP_UV_LVL	R/W	0h	VCP チャージ ポンプ低電圧監視スレッシュホルド。 0b = 4.75V 1b = 6.25V
7-6	CP_MODE	R/W	0h	チャージ ポンプ動作モード。 00b = 3 倍速と 2 倍速の自動切り替えモード。 01b = 常に倍速モード。 10b = 常に 3 倍速モード。 11b = RSVD
5	VCP_UV_MODE	R/W	0h	VCP チャージ ポンプ低電圧監視モード。 0b = ラッチ障害。 1b = 自動復帰。
4	PVDD_UV_MODE	R/W	0h	PVDD 電源低電圧監視モード。 0b = ラッチ障害。 1b = 自動復帰。
3	WD_EN	R/W	0h	ウォッチドッグ タイマが有効。 0b = ウォッチドッグ タイマが無効。 1b = ウォッチドッグ ドッグ タイマが有効。

表 8-16. IC_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
2	WD_FLT_M	R/W	0h	ウォッチドッグ フォルト モード。 ウォッチドッグ フォルトは CLR_FLT によってクリアされます。 0b = ウォッチドッグ フォルトは WD_FLT および WARN レジスタ ビットに通知されます。 ドライバーは有効なまま、FAULT ビットはアサートされません。 1b = ウォッチドッグ フォルトは WD_FLT および FAULT レジスタ ビットに通知されます。 ウォッチドッグ フォルトに応答してすべてのドライバがディセーブルになります。
1	WD_WIN	R/W	1h	ウォッチドッグ タイマ ウィンドウ。 0b = 4 to 40ms 1b = 10 to 100ms
0	EN_SSC	R/W	0h	スペクトラム拡散クロック。 0b = 無効。 1b = 有効。

8.2.2 IC_CNFG2 レジスタ (オフセット = Ah) [リセット = 0000h]

IC_CNFG2 を表 8-17 に示します。

概略表に戻ります。

サーマル クラスタ警告無効ビットを含みます。

表 8-17. IC_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	ZONE4_OTW_H_DIS	R/W	0h	ゾーン 4 の高温過熱警告を無効にします。 有効 = 0b 無効 = 1b
6	ZONE3_OTW_H_DIS	R/W	0h	ゾーン 3 の過熱警告を無効にします。 有効 = 0b 無効 = 1b
5	ZONE2_OTW_H_DIS	R/W	0h	ゾーン 2 の過熱警告をディセーブルにします。 有効 = 0b 無効 = 1b
4	ZONE1_OTW_H_DIS	R/W	0h	ゾーン 1 の過熱警告を無効にします。 有効 = 0b 無効 = 1b
3	ZONE4_OTW_L_DIS	R/W	0h	ゾーン 4 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b
2	ZONE3_OTW_L_DIS	R/W	0h	ゾーン 3 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b
1	ZONE2_OTW_L_DIS	R/W	0h	ゾーン 2 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b
0	ZONE1_OTW_L_DIS	R/W	0h	ゾーン 1 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b

8.2.3 GD_CNFG レジスタ (オフセット= Bh) [リセット = 0000h]

GD_CNFG を表 8-18 に示します。

概略表に戻ります。

一般的なゲートドライバ制御。ゲートドライバ イネーブル、ブリッジ構成、入力ピン モード、オープン ロード イネーブルを含みます。

表 8-18. GD_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	IDRV_LO1	R/W	0h	ハーフブリッジ 1 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_1 と IDRVN_1 は標準値を使用します。 1b = IDRVP_1 と IDRVN_1 は Low 電流値を使用します。
12	IDRV_LO2	R/W	0h	ハーフブリッジ 2 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_2 と IDRVN_2 は標準値を使用します。 1b = IDRVP_2 と IDRVN_2 は Low 電流値を使用します。
11	PU_SH_1	R/W	0h	ゲートドライバ 1 は、診断電流源をプルアップします。 EN_OLSC = 1b に設定して使用します。 0b = 無効。 1b = 有効。
10	PD_SH_1	R/W	0h	ゲートドライバ 1 のブルダウン診断電流ソース。 EN_OLSC = 1b に設定して使用します。 0b = 無効。 1b = 有効。
9	PU_SH_2	R/W	0h	ゲートドライバ 2 は、診断電流源をプルアップします。 EN_OLSC = 1b に設定して使用します。 0b = 無効。 1b = 有効。
8	PD_SH_2	R/W	0h	ゲートドライバ 2 のブルダウン診断電流ソース。 EN_OLSC = 1b に設定して使用します。 0b = 無効。 1b = 有効。
7	RESERVED	R	0h	予約済み
6	IN2_MODE	R/W	0h	ゲートドライバ 2 の制御ソースを設定します。 0b = 入力ピン IN2。 1b = SPI 制御ビット S_IN2。
5	IN1_MODE	R/W	0h	ゲートドライバ 1 の制御ソースを設定します。 0b = 入力ピン IN1。 1b = SPI 制御ビット S_IN1。
4	BRG_FW	R/W	0h	ゲートドライバ 1 および 2 は、フリーホイール設定を制御します。 ハーフブリッジ 1 と 2 で共有される設定。 0b = ローサイド フリーホイール。 1b = ハイサイド フリーホイール。
3-2	BRG_MODE	R/W	0h	ゲートドライバ 1 および 2 入力制御モード。 00b = 独立ハーフブリッジ入力制御。 01b = PH/EN H ブリッジ入力制御。 10b = PWM H ブリッジ入力制御。
1	EN_OLSC	R/W	0h	オフライン オープン負荷 / 短絡診断イネーブル。 0b = 無効。 1b = VDS モニタをリアルタイム電圧監視モードに設定し、診断電流ソースをイネーブル。

表 8-18. GD_CNFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
0	EN_GD	R/W	0h	ゲートドライバビットを有効にする 0b = ドライバ入力は無視され、ゲートドライバのパッシブプルダウンが有効になります。 1b = ゲートドライバ出力がイネーブルになり、デジタル入力により制御されます。

8.2.4 GD_IDRV_CNFG レジスタ (オフセット= Ch) [リセット= FFFFh]

GD_IDRV_CNFG を表 8-19 に示します。

[概略表](#)に戻ります。

各ハーフブリッジ ゲートドライバの IDRIVE ドライブ電流レベルを含みます。

表 8-19. GD_IDRV_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-12	IDRVP_1	R/W	Fh	ゲートドライバ 1 のピーク ソース プルアップ電流。 括弧内の代替低電流値 (IDRV_LO1)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
11-8	IDRVN_1	R/W	Fh	ゲートドライバ 1 ピーク シンク プルダウン電流。 括弧内の代替低電流値 (IDRV_LO1)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
7-4	IDRVP_2	R/W	Fh	ゲートドライバ 2 のピーク ソース プルアップ電流。 括弧内の代替低電流値 (IDRV_LO2)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

表 8-19. GD_IDRV_CNFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
3-0	IDRVN_2	R/W	Fh	ゲートドライバ 2 ピーク シンク プルダウン 電流。 括弧内の代替低電流値 (IDRV_LO2)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.2.5 GD_VGS_CNFG レジスタ (オフセット = Dh) [リセット = 0030h]

GD_VGS_CNFG を表 8-20 に示します。

[概略表](#)に戻ります。

VGS 故障検出の構成。

表 8-20. GD_VGS_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	VGS_IND	R/W	0h	VGS 独立シャットダウン モード イネーブル。 BRG_MODE = 00b、11b ではアクティブ。 0b = 無効。 1b = 有効。 VGS ゲート障害は、関連するハーフブリッジのみをシャットダウンします。
10-9	VGS_TDEAD	R/W	0h	挿入可能なデジタル デッドタイム。 00b = 0ns 01b = 2μs 10b = 4μs 11b = 8μs
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6-4	VGS_TDRV	R/W	3h	VGS 駆動時間、VDS 監視プランキング時間。 000b = 2μs 001b = 4μs 010b = 8μs 011b = 12μs 100b = 16μs 101b = 24μs 110b = 32μs 111b = 96μs
3	VGS_HS_DIS	R/W	0h	VGS 監視ベースのデッドタイム ハンドシェイク。 0b = 有効。 1b = 無効。 tDRIVE と tDEAD の時間持続に基づくゲート駆動遷移
2	VGS_LVL	R/W	0h	デッドタイム ハンドシェイクおよびゲート障害検出用 VGS 監視スレッシュ ルド。 0b = 1.4V。 1b = 1.0V
1-0	VGS_MODE	R/W	0h	VGS ゲート障害監視モード。 00b = ラッチ障害。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = 無効。

8.2.6 GD_VDS_CNFG レジスタ (オフセット = Eh) [リセット = 0D2Dh]

GD_VDS_CNFG を表 8-21 に示します。

[概略表](#)に戻ります。

VDS 監視または短絡検出構成レジスタ。

表 8-21. GD_VDS_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD	R/W	0h	予約済み。
14	VDS_IND	R/W	0h	VDS フォルト独立シャットダウンモード構成。 0b = 無効。 VDS の故障により、すべてのゲートドライバがシャットダウンします。 1b = 有効。 VDS ゲート フォルトは、関連するゲートドライバのみをシャットダウンします。
13-12	VDS_IDRVN	R/W	0h	IDRVN ゲート プルダウン電流 VDS_OCP フォルト後のゲートドライバ 1 および 2。 00b = プログラム済み IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
11-8	VDS_LVL_1	R/W	Dh	ゲートドライバ 1 HS および LS VDS 過電流監視スレッショルド。 0000b = 0.06V 00001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V
7-6	VDS_MODE	R/W	0h	VDS 過電流監視モード。 00b = ラッチ障害。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = 無効。
5-4	VDS_DG	R/W	2h	VDS 過電流監視グリッチ除去時間。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs

表 8-21. GD_VDS_CNFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
3-0	VDS_LVL_2	R/W	Dh	ゲートドライバ 2 HS および LS VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.2.7 GD_CSA_CNFG レジスタ (オフセット= Fh) [リセット= 0004h]

GD_CSA_CNFG を表 8-22 に示します。

[概略表](#)に戻ります。

CSA の設定と制御。

表 8-22. GD_CSA_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7-5	CSA_BLK	R/W	0h	電流シャント アンプのブランキング時間。 tDRV の % 000b = 0%、無効 001b = 25% 010b = 37.5% 011b = 50% 100b = 62.5% 101b = 75% 110b = 87.5% 111b = 100%
4	CSA_BLK_SEL	R/W	0h	電流シャント アンプのブランキングトリガ ソース。 0b = ゲートドライバ 1 1b = ゲートドライバ 2
3-2	CSA_GAIN	R/W	1h	電流シャント アンプのゲイン設定。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V
1	CSA_DIV	R/W	0h	電流シャント アンプの内部基準電圧分割器。 0b = VREF / 2 1b = VREF / 8
0	RESERVED	R	0h	予約済み

8.2.8 GD_AGD_CNFG レジスタ (オフセット = 10h) [リセット = 0402h]

GD_AGD_CNFG を表 8-23 に示します。

[概略表](#)に戻ります。

高度なスマート ゲートドライバ構成を含み、DCC および PDR、充電後の設定が可能。

表 8-23. GD_AGD_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	PDR_ERR	R/W	0h	ゲートドライバ 1 および 2 の PDR ループ エラー限界値。 0b = 1 ビット エラー 1b = 実際のエラー
13-12	AGD_ISTRONG	R/W	0h	適応型ゲートドライバの ISTRONG 構成。 00b = ISTRONG プルダウンは、初期の IDRVP_x レジスタ設定からデコードされます。 01b = 62mA 10b = 124mA 11b = RSVD
11-10	AGD_THR	R/W	1h	適応型ゲートドライバ VSH スレッショルド構成。 00b = 1V、VPVDD - 0.5V 01b = 1V、VPVDD - 1V 10b = 2V、VPVDD - 1.5V 11b = 2V、VPVDD - 2V
9	SET_AGD	R/W	0h	適応型ゲート駆動制御ループにアクティブ ハーフブリッジを設定します。 0b = ゲートドライバ 1 1b = ゲートドライバ 2
8	FW_MAX	R/W	0h	ゲートドライバ 1 および 2 のフリーホイール MOSFET に使用されるゲート駆動電流。 0b = PRE_CHR_MAX_12 [1:0] 1b = 64mA
7	EN_DCC	R/W	0h	ハーフブリッジ 1 と 2 のデューティ サイクル補償を有効にします。
6	IDIR_MAN	R/W	0h	ハーフブリッジ 1 および 2 の電流極性検出モード。 0b = 自動 1b = 手動 (HBx_HL により設定)
5-4	KP_PST	R/W	0h	ハーフブリッジ 1 および 2 のポスト チャージ比例制御ゲイン設定。 00b = 無効 01b = 2 10b = 4 11b = 15
3	EN_PST_DLY	R/W	0h	充電後の時間遅延を有効にします。 時間遅延は T_DON_DOFF_12 - T_PRE_CHR_12 と等しくなります。
2-1	KP_PDR	R/W	1h	ハーフブリッジ 1 および 2 の PDR 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4
0	EN_PDR	R/W	0h	ハーフブリッジ 1 および 2 の PDR ループ制御を有効化します。

8.2.9 GD_PDR_CNFG レジスタ (オフセット = 11h) [リセット = 0AF6h]

GD_PDR_CNFG を表 8-24 に示します。

[概略表](#)に戻ります。

残りの PDR 制御、プリチャージ設定、タイミングを含みます。

表 8-24. GD_PDR_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-14	PRE_MAX	R/W	0h	ハーフブリッジ 1 および 2 のプリチャージおよび事前充電のゲートドライブ電流の最大値。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
13-8	T_DON_DOFF	R/W	Ah	ハーフブリッジ 1 と 2 のオン/オフ時間遅延。 140ns x T_DON_DOFF [3:0] デフォルト時間: 001010b (1.4us)
7-6	T_PRE_CHR	R/W	3h	ハーフブリッジ 1 および 2 の PDR 制御ループのプリチャージ時間。 T_DON_DOFF_12 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR	R/W	3h	ハーフブリッジ 1 と 2 の PDR 制御ループの事前放電時間。 T_DON_DOFF_12 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT	R/W	1h	ハーフブリッジ 1 および 2 の PDR 制御ループの初期プリチャージ電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT	R/W	2h	ハーフブリッジ 1 および 2 の PDR 制御ループの初期予備放電電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.2.10 GD_STC_CNFG レジスタ (オフセット = 12h) [リセット = 0026h]

GD_STC_CNFG を表 8-25 に示します。

[概略表](#)に戻ります。

構成を含み、スルー時間制御を可能にします。

表 8-25. GD_STC_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7-4	T_RISE_FALL	R/W	2h	ハーフブリッジ 1 と 2 のスイッチ ノード VSH の立ち上がり時間と立ち下がり時間を設定します。 0000b = 0.35us 0001b = 0.56us 0010b = 0.77us 0011b = 0.98us 0100b = 1.33us 0101b = 1.68us 0110b = 2.03us 0111b = 2.45us 1000b = 2.94us 1001b = 3.99us 1010b = 4.97us 1011b = 5.95us 1100b = 7.98us 1101b = 9.94us 1110b = 11.97us 1111b = 15.96us
3	STC_ERR	R/W	0h	ハーフブリッジ 1 と 2 の STC ループ エラー制限値 0b = 1 ビット エラー 1b = 実際のエラー
2-1	KP_STC	R/W	3h	ハーフブリッジ 1 および 2 の STC 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4
0	EN_STC	R/W	0h	ハーフブリッジ 1 および 2 の STC ループ制御を有効化します。

8.2.11 GD_SPARE_CNFG1 レジスタ (オフセット = 13h) [リセット = 0000h]

GD_SPARE_CNFG1 を表 8-26 に示します。

[概略表](#)に戻ります。

ゲートドライバ用の予備構成レジスタ。

表 8-26. GD_SPARE_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.2.12 HB_ITRIP_DG レジスタ (オフセット = 14h) [リセット = 0000h]

HB_ITRIP_DG を表 8-27 に示します。

[概略表](#)に戻ります。

各ハーフブリッジの ITRIP グリッチ除去を設定します。ITRIP タイミングは、ハーフブリッジ ペア間で共有されます。

表 8-27. HB_ITRIP_DG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11-10	OUT6_ITRIP_DG	R/W	0h	ハーフブリッジ 6 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
9-8	OUT5_ITRIP_DG	R/W	0h	ハーフブリッジ 5 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
7-6	OUT4_ITRIP_DG	R/W	0h	ハーフブリッジ 4 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
5-4	OUT3_ITRIP_DG	R/W	0h	ハーフブリッジ 3 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
3-2	OUT2_ITRIP_DG	R/W	0h	ハーフブリッジ 2 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
1-0	OUT1_ITRIP_DG	R/W	0h	ハーフブリッジ 1 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs

8.2.13 HB_OUT_CNFG1 レジスタ (オフセット = 15h) [リセット = 0000h]

HB_OUT_CNFG1 を表 8-28 に示します。

概略表に戻ります。

各ハーフブリッジの出力モードを設定し、IPROPI サンプルおよびホールド回路、ハーフブリッジペアのフリーホイールを設定します。

表 8-28. HB_OUT_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD	R/W	0h	予約済み。
14	NSR_OUT6_DIS	R/W	0h	ハーフブリッジ 6 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
13	NSR_OUT5_DIS	R/W	0h	ハーフブリッジ 5 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
12	NSR_OUT4_DIS	R/W	0h	ハーフブリッジ 4 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
11	NSR_OUT3_DIS	R/W	0h	ハーフブリッジ 3 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
10	NSR_OUT2_DIS	R/W	0h	ハーフブリッジ 2 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
9	NSR_OUT1_DIS	R/W	0h	ハーフブリッジ 1 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
8	IPROPI_SH_EN	R/W	0h	IPROPI サンプル/ホールド回路をイネーブルします。
7	RSVD_7	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5-3	OUT6_CNFG	R/W	0h	ハーフブリッジ 6 の構成。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御

表 8-28. HB_OUT_CNFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
2-0	OUT5_CNFG	R/W	0h	ハーフブリッジ 5 の構成。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御

8.2.14 HB_OUT_CNFG2 レジスタ (オフセット = 16h) [リセット = 0000h]

HB_OUT_CNFG2 を表 8-29 に示します。

概略表に戻ります。

各ハーフブリッジの出力モードを設定します。

表 8-29. HB_OUT_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13-11	OUT4_CNFG	R/W	0h	ハーフブリッジ 4 の構成。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御
10-8	OUT3_CNFG	R/W	0h	ハーフブリッジ 3 の構成。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御
7	RSVD_7	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5-3	OUT2_CNFG	R/W	0h	ハーフブリッジ 2 の構成。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御
2-0	OUT1_CNFG	R/W	0h	ハーフブリッジ 1 の構成。 ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御

8.2.15 HB_OCP_CNFG レジスタ (オフセット = 17h) [リセット = 0000h]

HB_OCP_CNFG を表 8-30 に示します。

[概略表](#)に戻ります。

ハーフブリッジ構成レジスタの過電流グリッチ除去。

表 8-30. HB_OCP_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD	R/W	0h	予約済み。
14	RSVD	R/W	0h	予約済み。
13	RSVD	R/W	0h	予約済み。
12	RSVD	R/W	0h	予約済み。
11-10	OUT6_OCP_DG	R/W	0h	ハーフブリッジ 6 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs
9-8	OUT5_OCP_DG	R/W	0h	ハーフブリッジ 5 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs
7-6	OUT4_OCP_DG	R/W	0h	ハーフブリッジ 4 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs
5-4	OUT3_OCP_DG	R/W	0h	ハーフブリッジ 3 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs
3-2	OUT2_OCP_DG	R/W	0h	ハーフブリッジ 2 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs
1-0	OUT1_OCP_DG	R/W	0h	ハーフブリッジ 1 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs

8.2.16 HB_OL_CNFG1 レジスタ (オフセット = 18h) [リセット = 0000h]

HB_OL_CNFG1 を表 8-31 に示します。

概略表に戻ります。

ハーフブリッジのアクティブおよびオフ状態の開放負荷検出回路を構成します。

表 8-31. HB_OL_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13-12	HB_OLP_CNFG	R/W	0h	オフ状態診断構成。 00b = オフ状態無効 01b = OUT X プルアップ有効、OUT Y プルダウン有効、OUT Y 選択、VREF Low 10b = プルダウン有効、OUT Y プルダウン有効、OUT X 選択、VREF High 11b = OUT X プルダウン有効、OUT Y プルダウン有効、OUT Y 選択、VREF Low
11-8	HB_OLP_SEL	R/W	0h	ハーフブリッジ 5 のオフ状態開放負荷診断イネーブル。 0000b = ディスエーブル 0001b = OUT1 および OUT2 0010b = OUT1 および OUT3 0011b = OUT1 および OUT4 0100b = OUT1 および OUT5 0101b = OUT1 および OUT6 0110b = OUT2 および OUT3 0111b = OUT2 および OUT4 1000b = OUT2 および OUT5 1001b = OUT2 および OUT6 1010b = OUT3 および OUT4 1011b = OUT3 および OUT5 1100b = OUT3 および OUT6 1101b = OUT4 および OUT5 1110b = OUT4 および OUT6 1111b = OUT5 および OUT6
7	RSVD_7	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5	OUT6_OLA_EN	R/W	0h	ハーフブリッジ 6 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル
4	OUT5_OLA_EN	R/W	0h	ハーフブリッジ 5 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル
3	OUT4_OLA_EN	R/W	0h	ハーフブリッジ 4 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル
2	OUT3_OLA_EN	R/W	0h	ハーフブリッジ 3 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル
1	OUT2_OLA_EN	R/W	0h	ハーフブリッジ 2 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル
0	OUT1_OLA_EN	R/W	0h	ハーフブリッジ 1 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル

8.2.17 HB_OL_CNFG2 レジスタ (オフセット = 19h) [リセット = 0000h]

HB_OL_CNFG2 を表 8-32 に示します。

[概略表](#)に戻ります。

ハーフブリッジのアクティブ開放負荷検出回路のサイクル数スレッシュホールドを設定します。

表 8-32. HB_OL_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13	RSVD_13	R/W	0h	予約済み。
12	RSVD_12	R/W	0h	予約済み。
11	RSVD_11	R/W	0h	予約済み。
10	RSVD_10	R/W	0h	予約済み。
9	RSVD_9	R/W	0h	予約済み。
8	RSVD_8	R/W	0h	予約済み。
7	RSVD_7	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5	OUT6_OLA_TH	R/W	0h	ハーフブリッジ 6 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル
4	OUT5_OLA_TH	R/W	0h	ハーフブリッジ 5 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル
3	OUT4_OLA_TH	R/W	0h	ハーフブリッジ 4 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル
2	OUT3_OLA_TH	R/W	0h	ハーフブリッジ 3 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル
1	OUT2_OLA_TH	R/W	0h	ハーフブリッジ 2 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル
0	OUT1_OLA_TH	R/W	0h	ハーフブリッジ 1 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル

8.2.18 HB_SR_CNFG レジスタ (オフセット = 1Ah) [リセット = 0000h]

HB_SR_CNFG を表 8-33 に示します。

[概略表](#)に戻ります。

各ハーフブリッジのスルー レート タイミングを設定します。

表 8-33. HB_SR_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13	RSVD_13	R/W	0h	予約済み。
12	RSVD_12	R/W	0h	予約済み。
11-10	OUT6_SR	R/W	0h	ハーフブリッジ 6 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs
9-8	OUT5_SR	R/W	0h	ハーフブリッジ 5 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs
7-6	OUT4_SR	R/W	0h	ハーフブリッジ 4 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs
5-4	OUT3_SR	R/W	0h	ハーフブリッジ 3 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs
3-2	OUT2_SR	R/W	0h	ハーフブリッジ 2 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs
1-0	OUT1_SR	R/W	0h	ハーフブリッジ 1 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs

8.2.19 HB_ITRIP_CNFG レジスタ (オフセット = 1Bh) [リセット = 0000h]

HB_ITRIP_CNFG を表 8-34 に示します。

[概略表](#)に戻ります。

ITRIP レベルを設定し、各ハーフブリッジの ITRIP をイネーブルにします。ITRIP レベルは、ハーフブリッジペア間で共有されます。

表 8-34. HB_ITRIP_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	OUT6_ITRIP_EN	R/W	0h	ハーフブリッジ 6 の ITRIP レギュレーションをイネーブルにします。
14	OUT5_ITRIP_EN	R/W	0h	ハーフブリッジ 5 の ITRIP レギュレーションをイネーブルにします。
13	OUT4_ITRIP_EN	R/W	0h	ハーフブリッジ 4 の ITRIP レギュレーションをイネーブルにします。
12	OUT3_ITRIP_EN	R/W	0h	ハーフブリッジ 3 の ITRIP レギュレーションをイネーブルにします。
11	OUT2_ITRIP_EN	R/W	0h	ハーフブリッジ 2 の ITRIP レギュレーションをイネーブルにします。
10	OUT1_ITRIP_EN	R/W	0h	ハーフブリッジ 1 の ITRIP レギュレーションをイネーブルにします。
9-8	OUT6_ITRIP_LVL	R/W	0h	ハーフブリッジ 6 の ITRIP 電流スレッショルドを設定します。 00b = 2.25A 01b = 5.5A 10b = 6.25A 11b = 予約済み。
7-6	OUT5_ITRIP_LVL	R/W	0h	ハーフブリッジ 5 の ITRIP 電流スレッショルドを設定します。 00b = 2.75A 01b = 6.5A 10b = 7.5A 11b = 予約済み。
5-4	OUT4_ITRIP_LVL	R/W	0h	ハーフブリッジ 4 の ITRIP 電流スレッショルドを設定します。 00b = 1.25A 01b = 2.75A 10b = 3.5A 11b = 予約済み。
3-2	OUT3_ITRIP_LVL	R/W	0h	ハーフブリッジ 3 の ITRIP 電流スレッショルドを設定します。 00b = 1.25A 01b = 2.5A 10b = 3.5A 11b = 予約済み。
1	OUT2_ITRIP_LVL	R/W	0h	ハーフブリッジ 2 の ITRIP 電流スレッショルドを設定します。 0b = 0.7A 1b = 0.875A
0	OUT1_ITRIP_LVL	R/W	0h	ハーフブリッジ 1 の ITRIP 電流スレッショルドを設定します。 0b = 0.7A 1b = 0.875A

8.2.20 HB_ITRIP_FREQ レジスタ (オフセット = 1Ch) [リセット = 0000h]

HB_ITRIP_FREQ を表 8-35 に示します。

概略表に戻ります。

各ハーフブリッジの ITRIP 周波数とグリッチ除去を設定します。ITRIP タイミングは、ハーフブリッジ ペア間で共有されます。

表 8-35. HB_ITRIP_FREQ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13	RSVD_13	R/W	0h	予約済み。
12	RSVD_12	R/W	0h	予約済み。
11-10	OUT6_ITRIP_FREQ	R/W	0h	ハーフブリッジ 6 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
9-8	OUT5_ITRIP_FREQ	R/W	0h	ハーフブリッジ 5 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
7-6	OUT4_ITRIP_FREQ	R/W	0h	ハーフブリッジ 4 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
5-4	OUT3_ITRIP_FREQ	R/W	0h	ハーフブリッジ 3 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
3-2	OUT2_ITRIP_FREQ	R/W	0h	ハーフブリッジ 2 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
1-0	OUT1_ITRIP_FREQ	R/W	0h	ハーフブリッジ 1 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz

8.2.21 HS_HEAT_OUT_CNFG レジスタ (オフセット = 1Dh) [リセット = 0000h]

HS_HEAT_OUT_CNFG を表 8-36 に示します。

[概略表](#)に戻ります。

各ハイサイドドライバとヒーターの出力モードを構成します。

表 8-36. HS_HEAT_OUT_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-14	HEAT_OUT_CNFG	R/W	0h	ヒータドライバの構成。 ヒータの制御を有効または無効にし、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = 予約済み
13	RSVD_13	R/W	0h	予約済み。
12	RSVD_12	R/W	0h	予約済み。
11-10	OUT12_CNFG	R/W	0h	ハイサイドドライバの構成 12。 ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
9-8	OUT11_CNFG	R/W	0h	ハイサイドドライバの構成 11。 ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
7-6	OUT10_CNFG	R/W	0h	ハイサイドドライバの構成 10。 ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
5-4	OUT9_CNFG	R/W	0h	ハイサイドドライバの構成 9。 ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
3-2	OUT8_CNFG	R/W	0h	ハイサイドドライバの構成 8。 ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ

表 8-36. HS_HEAT_OUT_CNFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
1-0	OUT7_CNFG	R/W	0h	ハイサイドドライバの構成 7。 ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ

8.2.22 HS_OC_CNFG レジスタ (オフセット = 1Eh) [リセット = 1000h]

HS_OC_CNFG を表 8-37 に示します。

概略表に戻ります。

各ハイサイドドライバの過電流スレッシュホールドを設定します。

表 8-37. HS_OC_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13	RSVD_13	R/W	0h	予約済み。
12	OUT11_EC_MODE	R/W	1h	ビットは、OUT11_CNFG ビットによる独立制御または EC モード用に OUT11 をハイサイドに設定します。 デフォルト構成は、EC モードです。 OUT11_CNFG モード = 0b EC モード = 1b
11	RSVD_12	R/W	0h	予約済み。
10	RSVD_11	R/W	0h	予約済み。
9	RSVD_10	R/W	0h	予約済み。
8	RSVD_9	R/W	0h	予約済み。
7	RSVD_8	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5	OUT12_OC_TH	R/W	0h	ハイサイドドライバ 12 の High または Low の過電流スレッシュホールドを設定します。 0b = Low 電流スレッシュホールド 1b = High 電流スレッシュホールド
4	OUT11_OC_TH	R/W	0h	ハイサイドドライバ 11 の High または Low の過電流スレッシュホールドを設定します。 0b = Low 電流スレッシュホールド 1b = High 電流スレッシュホールド
3	OUT10_OC_TH	R/W	0h	ハイサイドドライバ 10 の High または Low の過電流スレッシュホールドを設定します。 0b = Low 電流スレッシュホールド 1b = High 電流スレッシュホールド
2	OUT9_OC_TH	R/W	0h	ハイサイドドライバ 9 の High または Low の過電流スレッシュホールドを設定します。 0b = Low 電流スレッシュホールド 1b = High 電流スレッシュホールド
1	OUT8_OC_TH	R/W	0h	ハイサイドドライバ 8 の High または Low の過電流スレッシュホールドを設定します。 0b = Low 電流スレッシュホールド 1b = High 電流スレッシュホールド
0	OUT7_RDSON_MODE	R/W	0h	ハイサイドドライバ 7 を高 RDSON モードと低 RDSON モードの間 (電球/ランプ負荷用) に構成します。 0b = 高 RDSON モード (LED ドライバ モード) 1b = 低 RDSON モード (電球/ランプ ドライバ モード)

8.2.23 HS_OL_CNFG レジスタ (オフセット = 1Fh) [リセット = 0000h]

HS_OL_CNFG を表 8-38 に示します。

[概略表](#)に戻ります。

ハイサイドドライバごとにオープン負荷閾値を設定します。

表 8-38. HS_OL_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13	OUT12_OLA_TH	R/W	0h	ハイサイドドライバ 12 の開放負荷スレッショルドを設定します。 0b = Low スレッショルド 1b = High スレッショルド
12	OUT11_OLA_TH	R/W	0h	ハイサイドドライバ 11 の開放負荷スレッショルドを設定します。 0b = Low スレッショルド 1b = High スレッショルド
11	OUT10_OLA_TH	R/W	0h	ハイサイドドライバ 10 の開放負荷スレッショルドを設定します。 0b = Low スレッショルド 1b = High スレッショルド
10	OUT9_OLA_TH	R/W	0h	ハイサイドドライバ 9 の開放負荷スレッショルドを設定します。 0b = Low スレッショルド 1b = High スレッショルド
9	OUT8_OLA_TH	R/W	0h	ハイサイドドライバ 8 の開放負荷スレッショルドを設定します。 0b = Low スレッショルド 1b = High スレッショルド
8	OUT7_OLA_TH	R/W	0h	ハイサイドドライバ 7 の開放負荷スレッショルドを設定します。 0b = Low スレッショルド 1b = High スレッショルド
7	RSVD_7	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5	OUT12_OLA_EN	R/W	0h	ハイサイドドライバ 12 の開放負荷検出回路を有効にします。
4	OUT11_OLA_EN	R/W	0h	ハイサイドドライバ 11 の開放負荷検出回路を有効にします。
3	OUT10_OLA_EN	R/W	0h	ハイサイドドライバ 10 の開放負荷検出回路を有効にします。
2	OUT9_OLA_EN	R/W	0h	ハイサイドドライバ 9 の開放負荷検出回路を有効にします。
1	OUT8_OLA_EN	R/W	0h	ハイサイドドライバ 8 の開放負荷検出回路を有効にします。
0	OUT7_OLA_EN	R/W	0h	ハイサイドドライバ 7 の開放負荷検出回路を有効にします。

8.2.24 HS_REG_CNFG1 レジスタ (オフセット = 20h) [リセット = 0000h]

HS_REG_CNFG1 を表 8-39 に示します。

[概略表](#)に戻ります。

OUT7 の ITRIP 設定を構成します。

表 8-39. HS_REG_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	OUT7_OCP_DIS	R/W	0h	低 RDSON モードで OUT7 の 2 次電流制限 2.5A をディセーブルします。 0b = OUT7 OCP イネーブル 1b = OUT7 OCP ディセーブル
9-8	ITRIP_TO_SEL	R/W	0h	OUT7 ITRIP レギュレーションのタイムアウト制限を選択します。 00b = 100ms 01b = 200ms 10b = 400ms 11b = 800ms
7-6	OUT7_ITRIP_CNFG	R/W	0h	OUT7 の ITRIP 動作、フォルトクリア、ラッチを設定します。 00b = ITRIP フォルト通知のみ 01b = タイムアウトおよびドライバ ディセーブルによる ITRIP レギュレーション 10b = ITRIP レギュレーション常時 11b = タイムアウトおよびレギュレーション ディセーブルによる ITRIP レギュレーション
5-4	OUT7_ITRIP_BLK	R/W	0h	OUT7 の ITRIP ブランキング時間を設定します。 00b = 予約済み。 01b = 0μs 10b = 20μs 11b = 40μs
3-2	OUT7_ITRIP_FREQ	R/W	0h	OUT7 の ITRIP レギュレーション周波数を設定します。 00b = 1.7kHz 01b = 2.2kHz 10b = 3kHz 11b = 4.4kHz
1-0	OUT7_ITRIP_DG	R/W	0h	OUT7 の ITRIP グリッチ除去時間を設定します。 00b = 48μs 01b = 40μs 10b = 32μs 11b = 24μs

8.2.25 HS_REG_CNFG2 レジスタ (オフセット = 21h) [リセット = 0000h]

HS_REG_CNFG2 を表 8-40 に示します。

概略表に戻ります。

各ハイサイドドライバの定電流モードを設定します。

表 8-40. HS_REG_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	OUT12_CCM_TO	R/W	0h	ハイサイド出力 12 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 200mA = 0b = 10ms = 1b の場合 390mA
12	OUT11_CCM_TO	R/W	0h	ハイサイド出力 11 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 200mA = 0b = 10ms = 1b の場合 390mA
11	OUT10_CCM_TO	R/W	0h	ハイサイド出力 10 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 200mA = 0b = 10ms = 1b の場合 390mA
10	OUT9_CCM_TO	R/W	0h	ハイサイド出力 9 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 200mA = 0b = 10ms = 1b の場合 390mA
9	OUT8_CCM_TO	R/W	0h	ハイサイド出力 8 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 200mA = 0b = 10ms = 1b の場合 390mA
8	OUT7_CCM_TO	R/W	0h	ハイサイド出力 7 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 200mA = 0b = 10ms = 1b の場合 390mA
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	OUT12_CCM_EN	R/W	0h	ハイサイドドライバ 12 の定電流モード回路を有効化します。
4	OUT11_CCM_EN	R/W	0h	ハイサイドドライバ 11 の定電流モード回路を有効化します。
3	OUT10_CCM_EN	R/W	0h	ハイサイドドライバ 10 の定電流モード回路を有効化します。
2	OUT9_CCM_EN	R/W	0h	ハイサイドドライバ 9 の定電流モード回路を有効化します。
1	OUT8_CCM_EN	R/W	0h	ハイサイドドライバ 8 の定電流モード回路を有効化します。
0	OUT7_CCM_EN	R/W	0h	ハイサイドドライバ 7 の定電流モード回路を有効化します。

8.2.26 HS_PWM_FREQ_CNFG レジスタ (オフセット = 22h) [リセット = 0000h]

HS_PWM_FREQ_CNFG を表 8-41 に示します。

[概略表](#)に戻ります。

各専用 PWM ジェネレータの周波数を設定します。

表 8-41. HS_PWM_FREQ_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11-10	PWM_OUT12_FREQ	R/W	0h	ハイサイドドライバ 12 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み
9-8	PWM_OUT11_FREQ	R/W	0h	ハイサイドドライバ 11 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み
7-6	PWM_OUT10_FREQ	R/W	0h	ハイサイドドライバ 10 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み
5-4	PWM_OUT9_FREQ	R/W	0h	ハイサイドドライバ 9 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み
3-2	PWM_OUT8_FREQ	R/W	0h	ハイサイドドライバ 8 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み
1-0	PWM_OUT7_FREQ	R/W	0h	ハイサイドドライバ 7 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み

8.2.27 HEAT_CNFG レジスタ (オフセット = 23h) [リセット = 0A3Ch]

HEAT_CNFG を表 8-42 に示します。

概略表に戻ります。

ヒーター・ドライバとフォルト応答を構成します。

表 8-42. HEAT_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11-8	HEAT_VDS_LVL	R/W	Ah	ヒータ MOSFET VDS 監視保護スレッシュホルド。 0000b = 0.06V 00001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.24V 1001b = 0.28V 1010b = 0.32V 1011b = 0.36V 1100b = 0.4V 1101b = 0.44V 1110b = 0.56V 1111b = 1V
7-6	HEAT_VDS_MODE	R/W	0h	ヒータ MOSFET VDS 過電流監視フォルト モード。 00b = ラッチ障害。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = 無効。
5-4	HEAT_VDS_BLK	R/W	3h	ヒータ MOSFET VDS 監視ブランキング時間。 00b = 4μs 01b = 8μs 10b = 16μs 11b = 32μs
3-2	HEAT_VDS_DG	R/W	3h	ヒータ MOSFET VDS 過電流モニタのグリッチ除去時間。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
1	HEAT_OLP_EN	R/W	0h	ヒータ オフライン開放負荷検出回路をイネーブルにします。
0	RESERVED	R	0h	予約済み

8.2.28 EC_CNFG レジスタ (オフセット = 24h) [リセット = 0000h]

EC_CNFG を表 8-43 に示します。

概略表に戻ります。

エレクトロクロムドライバとフォルト応答を設定します。

表 8-43. EC_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	ECDRV_OL_EN	R/W	0h	EC ドライバが PVDD 電源/ OUT11 独立 EC モード (OUT11_EC_MODE = 0b) の場合、このビットは ECFB のオープンロード検出用の電流源を有効にします。 EC のデフォルト構成が使用されている場合 (OUT11_EC_MODE = 1b)、このビットは無視できます。 0b = EC 開放負荷電流ソースのディセーブル 1b = EC 開放負荷電流ソースのイネーブル
14	ECFB_UV_TH	R/W	0h	ECFB 低電圧 (グラウンドへの短絡) スレッシュホールドを設定します。 0b = 100mV 1b = 200mV
13	RSVD_13	R/W	0h	予約済み。
12	RSVD_12	R/W	0h	予約済み。
11-10	ECFB_UV_DG	R/W	0h	低電圧フォルト グリッチ除去時間を設定します。 00b = 20μs 01b = 50μs 10b = 100μs 11b = 200μs
9-8	ECFB_OV_DG	R/W	0h	過電圧フォルト グリッチ除去時間を構成します。 00b = 20μs 01b = 50μs 10b = 100μs 11b = 200μs
7-6	ECFB_UV_MODE	R/W	0h	EC ドライバの ECFB UV フォルト応答を構成します。 0b = アクションなし 01b = ECFB 電圧を報告 < ECFB_UV_TH 10b = ECFB 電圧 < ECFB_UV_TH を報告し、EC ドライバを無効化。
5-4	ECFB_OV_MODE	R/W	0h	EC ドライバの ECFB OV フォルト応答を構成します。 0b = アクションなし 01b = ECFB 電圧を報告 < ECFB_OV_TH 10b = ECFB 電圧 < ECFB_OV_TH を報告し、EC ドライバを無効化。
3	EC_FLT_MODE	R/W	0h	EC ドライバの過電流フォルト応答を構成します。 0b = Hi-Z EC ドライバ 1b = OUT7 の ITRIP 設定で再試行
2	ECFB_LS_PWM	R/W	0h	EC 負荷の LS PWM 放電をイネーブルします。 0b = PWM 放電なし (高速放電) 1b = PWM 放電イネーブル
1	EC_OLEN	R/W	0h	このビットは、EC 放電中のオープン負荷検出回路を有効にします。 0b = EC 放電中はオープンロード検出を無効化 1b = EC 放電中の開放負荷検出を有効化
0	ECFB_MAX	R/W	0h	EC の最大目標電圧を設定します。 0b = 1.2V 1b = 1.5V

8.2.29 HS_OCP_DG レジスタ (オフセット = 25h) [リセット = 0000h]

HS_OCP_DG を表 8-44 に示します。

概略表に戻ります。

ハイサイドドライバ過電流グリッチ除去構成レジスタ。

表 8-44. HS_OCP_DG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11-10	OUT12_OCP_DG	R/W	0h	ハイサイドドライバ 12 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s
9-8	OUT11_OCP_DG	R/W	0h	ハイサイドドライバ 11 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s
7-6	OUT10_OCP_DG	R/W	0h	ハイサイドドライバ 10 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s
5-4	OUT9_OCP_DG	R/W	0h	ハイサイドドライバ 9 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s
3-2	OUT8_OCP_DG	R/W	0h	ハイサイドドライバ 8 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s
1-0	OUT7_OCP_DG	R/W	0h	ハイサイドドライバ 7 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s

8.2.30 SPARE_CNFG2 レジスタ (オフセット = 26h) [リセット = 0000h]

SPARE_CNFG2 を表 8-45 に示します。

[概略表](#)に戻ります。

予備構成 2。

表 8-45. SPARE_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.2.31 SPARE_CNFG3 レジスタ (オフセット = 27h) [リセット = 0000h]

SPARE_CNFG3 を表 8-46 に示します。

[概略表](#)に戻ります。

予備構成 3。

表 8-46. SPARE_CNFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.2.32 SPARE_CNFG4 レジスタ (オフセット = 28h) [リセット = 0000h]

SPARE_CNFG4 を表 8-47 に示します。

[概略表](#)に戻ります。

予備構成 4。

表 8-47. SPARE_CNFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.3 DRV8000-Q1_CTRL レジスタ

DRV8000-Q1_CTRL レジスタのメモリマップされたレジスタを、表 8-48 に示します。表 8-48 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更しないでください。

表 8-48. DRV8000-Q1_CTRL レジスタ

オフセット	略称	レジスタ名	セクション
29h	IC_CTRL	IC 制御レジスタ。	セクション 8.3.1
2Ah	GD_HB_CTRL	ゲートドライバとハーフブリッジ制御レジスタ。	セクション 8.3.2
2Bh	HS_EC_HEAT_CTRL	ハイサイドドライバ、EC、ヒータドライバの制御レジスタ。	セクション 8.3.3
2Ch	OUT7_PWM_DC	OUT7 PWM デューティ サイクル制御レジスタ。	セクション 8.3.4
2Dh	OUT8_PWM_DC	OUT8 PWM デューティ サイクル制御レジスタ。	セクション 8.3.5
2Eh	OUT9_PWM_DC	OUT9 PWM デューティ サイクル制御レジスタ。	セクション 8.3.6
2Fh	OUT10_PWM_DC	OUT10 PWM デューティ サイクル制御レジスタ。	セクション 8.3.7
30h	OUT11_PWM_DC	OUT11 PWM デューティ サイクル制御レジスタ。	セクション 8.3.8
31h	OUT12_PWM_DC	OUT12 PWM デューティ サイクル制御レジスタ。	セクション 8.3.9

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-49 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-49. DRV8000-Q1_CTRL のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.3.1 IC_CTRL レジスタ (オフセット = 29h) [リセット = 006Ch]

表 8-50 に、IC_CTRL の詳細を示します。

概略表に戻ります。

構成レジスタまたは制御レジスタをロックまたはロック解除し、エラーをクリアするための制御レジスタ。

表 8-50. IC_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	IPROPI_MODE	R/W	0h	IPROPI/PWM2 ピンのモードを入力モードと出力モードの間で選択します。 0b = 出力 (IPROPI モード) 1b = 入力 (PWM モード)
12-8	IPROPI_SEL	R/W	0h	電流、電圧、温度センサ出力間の IPROPI MUX 出力を制御します。 00000b = 出力なし 00001b = OUT1 電流センサ出力 00010b = OUT2 電流センサ出力 00011b = OUT3 電流センサ出力 00100b = OUT4 電流センサ出力 00101b = OUT5 電流センサ出力 00110b = OUT6 電流センサ出力 00111b = OUT7 電流センサ出力 01000b = OUT8 電流センサ出力 01001b = OUT9 電流センサ出力 01010b = OUT10 電流センサ出力 01011b = OUT11 電流センサ出力 01100b = OUT12 電流センサ出力 01101b ~ 01111b = 予約済み。 10000b = PVDD 電圧センサ出力 10001b = サーマル クラスタ 1 出力 10010b = サーマル クラスタ 2 出力 10011b = サーマル クラスタ 3 出力 10100b = サーマル クラスタ 4 出力
7-5	CTRL_LOCK	R/W	3h	制御レジスタのロックとロック解除。 一覧にないビット設定は無効です。 011b = すべての制御レジスタをロック解除します。 110b = IC_CTRL レジスタ以外の追加の書き込みを無視することで、制御レジスタをロックします。
4-2	CNFG_LOCK	R/W	3h	構成レジスタのロックおよびロック解除。 一覧にないビット設定は無効です。 011b = すべての構成レジスタをロック解除します。 110b = IC_CTRL レジスタ以外の追加の書き込みを無視することで、構成レジスタをロックします。
1	WD_RST	R/W	0h	ウォッチドッグ タイマの再起動。 電源投入後のデフォルトは 0b です。 このビットを反転して、ウォッチドッグ タイマを再開します。 書き込むと、このビットは新しい反転値を反映します。
0	CLR_FLT	R/W	0h	ラッチされた障害状態情報をクリア。 0b = デフォルト状態。 1b = 障害がクリアされ、完了後 0b にリセットされます。 また、SPI 故障およびウォッチドッグ故障ステータスもクリアされます。

8.3.2 GD_HB_CTRL レジスタ (オフセット = 2Ah) [リセット = 0000h]

GD_HB_CTRL を表 8-51 に示します。

概略表に戻ります。

ゲートドライバとハーフブリッジ出力制御レジスタ。

表 8-51. GD_HB_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	S_HIZ2	R/W	0h	ゲートドライバ 2 Hi-Z 制御ビット。 ハーフブリッジ入力制御モードでのみアクティブ。 0b = 出力が IN1/EN 信号に追従。 1b = ゲートドライバ プルダウンがイネーブル。 ハーフブリッジ 1 Hi-Z
14	S_HIZ1	R/W	0h	ゲートドライバ 1 Hi-Z 制御ビット。 ハーフブリッジ入力制御モードでのみアクティブ。 0b = 出力が IN1/EN 信号に追従。 1b = ゲートドライバ プルダウンがイネーブル。 ハーフブリッジ 1 Hi-Z
13	S_IN2	R/W	0h	IN1 入力信号用制御ビット。 IN1_MODE ビットによりイネーブル。
12	S_IN1	R/W	0h	IN2 入力信号用制御ビット。 IN2_MODE ビットによりイネーブル。
11-10	OUT6_CTRL	R/W	0h	ハーフブリッジ出力 6 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
9-8	OUT5_CTRL	R/W	0h	ハーフブリッジ出力 5 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
7-6	OUT4_CTRL	R/W	0h	ハーフブリッジ出力 4 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
5-4	OUT3_CTRL	R/W	0h	ハーフブリッジ出力 3 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
3-2	OUT2_CTRL	R/W	0h	ハーフブリッジ出力 2 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
1-0	OUT1_CTRL	R/W	0h	ハーフブリッジ出力 1 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD

8.3.3 HS_EC_HEAT_CTRL レジスタ (オフセット = 2Bh) [リセット = 0000h]

HS_EC_HEAT_CTRL を表 8-52 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ、EC、ヒータドライバの出力制御レジスタ。

表 8-52. HS_EC_HEAT_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	ECFB_LS_EN	R/W	0h	ECFB 上の LS MOSFET で EC 放電を可能にしながら、EC 規制を有効にします。
14	EC_ON	R/W	0h	EC 出力をイネーブルにします。
13-8	EC_V_TAR	R/W	0h	ECFB の目標電圧を制御するための 6 ビットの分解能。0V ~ ECFB の最大値 (1.2 または 1.5V)。
7	HEAT_EN	R/W	0h	ヒータ出力をイネーブルにします。
6	RSVD_6	R/W	0h	予約済み。
5	OUT12_EN	R/W	0h	ハイサイドドライバ 12 をイネーブルにします。
4	OUT11_EN	R/W	0h	ハイサイドドライバ 11 をイネーブルにします。
3	OUT10_EN	R/W	0h	ハイサイドドライバ 10 をイネーブルにします。
2	OUT9_EN	R/W	0h	ハイサイドドライバ 9 をイネーブルにします。
1	OUT8_EN	R/W	0h	ハイサイドドライバ 8 をイネーブルにします。
0	OUT7_EN	R/W	0h	ハイサイドドライバ 7 をイネーブルにします。

8.3.4 OUT7_PWM_DC レジスタ (オフセット = 2Ch) [リセット = 0000h]

OUT7_PWM_DC を表 8-53 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 7 用の 10 ビット デューティ サイクル制御。

表 8-53. OUT7_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9-0	OUT7_DC	R/W	0h	ハイサイドドライバ 7 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

8.3.5 OUT8_PWM_DC レジスタ (オフセット = 2Dh) [リセット = 0000h]

OUT8_PWM_DC を表 8-54 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 8 用の 10 ビット デューティ サイクル制御。

表 8-54. OUT8_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9-0	OUT8_DC	R/W	0h	ハイサイドドライバ 8 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

8.3.6 OUT9_PWM_DC レジスタ (オフセット = 2Eh) [リセット = 0000h]

OUT9_PWM_DC を表 8-55 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 9 用の 10 ビット デューティ サイクル制御。

表 8-55. OUT9_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9-0	OUT9_DC	R/W	0h	ハイサイドドライバ 9 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

8.3.7 OUT10_PWM_DC レジスタ (オフセット = 2Fh) [リセット = 0000h]

OUT10_PWM_DC を表 8-56 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 10 用の 10 ビット デューティ サイクル制御。

表 8-56. OUT10_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9-0	OUT10_DC	R/W	0h	ハイサイドドライバ 10 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

8.3.8 OUT11_PWM_DC レジスタ (オフセット = 30h) [リセット = 0000h]

OUT11_PWM_DC を表 8-57 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 11 用の 10 ビット デューティ サイクル制御。

表 8-57. OUT11_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9-0	OUT11_DC	R/W	0h	ハイサイドドライバ 11 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

8.3.9 OUT12_PWM_DC レジスタ (オフセット = 31h) [リセット = 0000h]

OUT12_PWM_DC を表 8-58 に示します。

[概略表](#)に戻ります。

ハイサイドドライバ 12 用の 10 ビット デューティ サイクル制御。

表 8-58. OUT12_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9-0	OUT12_DC	R/W	0h	ハイサイドドライバ 12 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

8.4 DRV8001 -Q1_STATUS レジスタ

DRV8001-Q1_STATUS レジスタのメモリマップされたレジスタを、表 8-59 に示します。表 8-59 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更しないでください。

表 8-59. DRV8001 -Q1_STATUS レジスタ

オフセット	略称	レジスタ名	セクション
0h	IC_STAT1		セクション 8.4.1
1h	IC_STAT2		セクション 8.4.2
2h	RSVD_REG_2		セクション 8.4.3
3h	HB_STAT1		セクション 8.4.4
4h	HB_STAT2		セクション 8.4.5
5h	EC_HEAT_ITRIP_STAT		セクション 8.4.6
6h	HS_STAT		セクション 8.4.7
7h	SPARE_STAT1		セクション 8.4.8
8h	SPARE_STAT2		セクション 8.4.9

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-60 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-60. DRV8001-Q1_STATUS のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.4.1 IC_STAT1 レジスタ (オフセット = 0h) [リセット = C000h]

IC_STAT1 を表 8-61 に示します。

概略表に戻ります。

表 8-61. IC_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	SPI_OK	R	1h	SPI 通信フォルトが検出されたかどうかを示します。 0b = 直前のフレームにおける SCLK_FLT の 1 つまたは複数。 1b = SPI 障害は検出されていません。
14	POR	R	1h	パワーオンリセット状態を示します。 0b = パワーオンリセット状態は検出されていません。 1b = パワーオンリセット状態が検出されています。
13	フォルト	R	0h	汎用障害インジケータ。デバイスまたはドライバの障害が発生したことを示します。 0b = 障害なし。 1b = フォルト検出あり。
12	WARN	R	0h	一般的な警告インジケータ。警告が存在することを示します。 0b = 警告なし。 1b = 警告あり。
11	GD	R	0h	ゲートドライバの VDS と VGS それぞれの障害インジケータの論理和。
10	HB	R	0h	ハーフブリッジの過電流および開放負荷障害インジケータの論理和。
9	EC_HEAT	R	0h	EC OV/UV の論理 OR、EC およびヒーターの過電流、開放負荷フォルトインジケータ。
8	HS	R	0h	ハイサイドドライバの過電流および開放負荷障害インジケータの論理和。
7	PVDD_UV	R	0h	PVDD ピンの低電圧障害を示します。
6	PVDD_OV	R	0h	PVDD ピン上の過電圧障害を示します。
5	VCP_UV	R	0h	VCP ピンの低電圧障害を示します。
4	OTW	R	0h	過熱警告を示します。
3	OTSD	R	0h	過熱シャットダウンを示します。
2	WD_FLT	R	0h	ウォッチドッグ タイムアウト フォルトを示します。
1	ITRIP	R	0h	OUTx が ITRIP に移行したときに、ITRIP レギュレーション警告を示します。
0	OUT7_ITRIP_TO	R	0h	設定されたときに、OUT7 の ITRIP タイムアウトが発生したことを示します。

8.4.2 IC_STAT2 レジスタ (オフセット = 1h) [リセット = 0000h]

IC_STAT2 を表 8-62 に示します。

[概略表](#)に戻ります。

表 8-62. IC_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	SCLK_FLT	R	0h	トランザクション フレーム内の SCLK パルスの数が 16 と等しくない場合に、SPI クロック(フレーム) エラーを示します。ビット SPI_ERR で報告されます。
12	RESERVED	R	0h	予約済み
11	ZONE4_OTSD	R	0h	ゾーン 4 で過熱シャットダウンが発生したことを示します。
10	ZONE3_OTSD	R	0h	ゾーン 3 で過熱シャットダウンが発生したことを示します。
9	ZONE2_OTSD	R	0h	ゾーン 2 で過熱シャットダウンが発生したことを示します。
8	ZONE1_OTSD	R	0h	ゾーン 1 で過熱シャットダウンが発生したことを示します。
7	ZONE4_OTW_H	R	0h	ゾーン 4 で高温警告(125°C を上回る)が発生したことを示します。
6	ZONE3_OTW_H	R	0h	ゾーン 3 で高温警告(125°C を上回る)が発生したことを示します。
5	ZONE2_OTW_H	R	0h	ゾーン 2 で高温警告(125°C を上回る)が発生したことを示します。
4	ZONE1_OTW_H	R	0h	ゾーン 1 で高温警告(125°C を上回る)が発生したことを示します。
3	ZONE4_OTW_L	R	0h	ゾーン 4 で低温警告(105°C を上回る)が発生したことを示します。
2	ZONE3_OTW_L	R	0h	ゾーン 3 で低温警告(105°C を上回る)が発生したことを示します。
1	ZONE2_OTW_L	R	0h	ゾーン 2 で低温警告(105°C を上回る)が発生したことを示します。
0	ZONE1_OTW_L	R	0h	ゾーン 1 で低温警告(105°C を上回る)が発生したことを示します。

8.4.3 RSVD_REG_2 レジスタ (オフセット = 2h) [リセット = 0000h]

RSVD_REG_2 を表 8-63 に示します。

[概略表](#)に戻ります。

表 8-63. RSVD_REG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.4.4 HB_STAT1 レジスタ (オフセット = 3h) [リセット = 0000h]

HB_STAT1 を表 8-64 に示します。

[概略表](#)に戻ります。

表 8-64. HB_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	OUT6_LS_OCP	R	0h	ハーフブリッジ OUT6 のローサイドで過電流エラーが発生していることを示します。
12	OUT5_LS_OCP	R	0h	ハーフブリッジ OUT5 のローサイドで過電流エラーが発生していることを示します。
11	OUT4_LS_OCP	R	0h	ハーフブリッジ OUT4 のローサイドで過電流エラーが発生していることを示します。
10	OUT3_LS_OCP	R	0h	ハーフブリッジ OUT3 のローサイドで過電流エラーが発生していることを示します。
9	OUT2_LS_OCP	R	0h	ハーフブリッジ OUT2 のローサイドで過電流エラーが発生していることを示します。
8	OUT1_LS_OCP	R	0h	ハーフブリッジ OUT1 のローサイドで過電流エラーが発生していることを示します。
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	OUT6_HS_OCP	R	0h	ハーフブリッジ OUT6 のハイサイドでの過電流フォルトを示します。
4	OUT5_HS_OCP	R	0h	ハーフブリッジ OUT5 のハイサイドでの過電流フォルトを示します。
3	OUT4_HS_OCP	R	0h	ハーフブリッジ OUT4 のハイサイドでの過電流フォルトを示します。
2	OUT3_HS_OCP	R	0h	ハーフブリッジ OUT3 のハイサイドでの過電流フォルトを示します。
1	OUT2_HS_OCP	R	0h	ハーフブリッジ OUT2 のハイサイドでの過電流フォルトを示します。
0	OUT1_HS_OCP	R	0h	ハーフブリッジ OUT1 のハイサイドでの過電流フォルトを示します。

8.4.5 HB_STAT2 レジスタ (オフセット = 4h) [リセット = 0000h]

HB_STAT2 を表 8-65 に示します。

[概略表](#)に戻ります。

表 8-65. HB_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	HB_OLP_STAT	R	0h	HB_OLP_CNFG ビット(OUTX または OUTY)ごとに、選択されたハーフブリッジ出力のオフ状態での開放負荷エラーを示します。
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	OUT6_OLA	R	0h	ハーフブリッジ OUT6 のアクティブな開放負荷障害を示します。
4	OUT5_OLA	R	0h	ハーフブリッジ OUT5 のアクティブな開放負荷障害を示します。
3	OUT4_OLA	R	0h	ハーフブリッジ OUT4 のアクティブな開放負荷障害を示します。
2	OUT3_OLA	R	0h	ハーフブリッジ OUT3 のアクティブな開放負荷障害を示します。
1	OUT2_OLA	R	0h	ハーフブリッジ OUT2 のアクティブな開放負荷障害を示します。
0	OUT1_OLA	R	0h	ハーフブリッジ OUT1 のアクティブな開放負荷障害を示します。

8.4.6 EC_HEAT_ITRIP_STAT レジスタ (オフセット = 5h) [リセット = 0000h]

EC_HEAT_ITRIP_STAT を表 8-66 に示します。

概略表に戻ります。

表 8-66. EC_HEAT_ITRIP_STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	ECFB_UV	R	0h	ECFB ピンの低電圧 (ショートから接地) 故障を示します。
14	ECFB_OV	R	0h	ECFB ピンの過電圧 (バッテリーへの短絡) フォルトを示します。
13	ECFB_HI	R	0h	ECFB ピンにおけるレギュレーション過電圧障害を示します。
12	ECFB_LO	R	0h	ECFB ピンのレギュレーション低電圧故障を示します。
11	ECFB_OC	R	0h	ECFB ピンの過電流故障を示します。
10	ECFB_OL	R	0h	ECFB ピンの開放負荷検出を示します。
9	HEAT_OL	R	0h	SH_HS ピンの開放負荷障害を示します。
8	HEAT_VDS	R	0h	ヒータ MOSFET の過電流障害を示します。
7	OUT7_ITRIP_TO	R	0h	OUT7 で ITRIP タイムアウトが発生したことを示します。
6	OUT7_ITRIP_STAT	R	0h	OUT7 の ITRIP レギュレーション警告を示します。
5	OUT6_ITRIP_STAT	R	0h	OUT6 の ITRIP レギュレーション警告を示します。
4	OUT5_ITRIP_STAT	R	0h	OUT5 の ITRIP レギュレーション警告を示します。
3	OUT4_ITRIP_STAT	R	0h	OUT4 の ITRIP レギュレーション警告を示します。
2	OUT3_ITRIP_STAT	R	0h	OUT3 の ITRIP レギュレーション警告を示します。
1	OUT2_ITRIP_STAT	R	0h	OUT2 の ITRIP レギュレーション警告を示します。
0	OUT1_ITRIP_STAT	R	0h	OUT1 の ITRIP レギュレーション警告を示します。

8.4.7 HS_STAT レジスタ (オフセット = 6h) [リセット = 0000h]

HS_STAT を表 8-67 に示します。

[概略表](#)に戻ります。

表 8-67. HS_STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	OUT12_OLA	R	0h	OUT12 の開放負荷を示します。
12	OUT11_OLA	R	0h	OUT11 の開放負荷を示します。
11	OUT10_OLA	R	0h	OUT10 の開放負荷を示します。
10	OUT19_OLA	R	0h	OUT9 の開放負荷を示します。
9	OUT8_OLA	R	0h	OUT8 の開放負荷を示します。
8	OUT7_OLA	R	0h	OUT7 の開放負荷を示します。
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	OUT12_OCP	R	0h	OUT12 の過電流障害を示します。
4	OUT11_OCP	R	0h	OUT11 の過電流障害を示します。
3	OUT10_OCP	R	0h	OUT10 の過電流障害を示します。
2	OUT9_OCP	R	0h	OUT9 の過電流障害を示します。
1	OUT8_OCP	R	0h	OUT8 の過電流障害を示します。
0	OUT7_OCP	R	0h	OUT7 の過電流障害を示します。

8.4.8 SPARE_STAT1 レジスタ (オフセット = 7h) [リセット = 0000h]

SPARE_STAT1 を表 8-68 に示します。

[概略表](#)に戻ります。

表 8-68. SPARE_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.4.9 SPARE_STAT2 レジスタ (オフセット = 8h) [リセット = 0001h]

SPARE_STAT2 を表 8-69 に示します。

[概略表](#)に戻ります。

表 8-69. SPARE_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	DEVICE_ID_7	R	0h	デバイス ID ビット フィールド 7。
6	DEVICE_ID_6	R	0h	デバイス ID ビット フィールド 6。
5	DEVICE_ID_5	R	0h	デバイス ID ビット フィールド 5。
4	DEVICE_ID_4	R	0h	デバイス ID ビット フィールド 4。
3	DEVICE_ID_3	R	0h	デバイス ID ビット フィールド 3。
2	DEVICE_ID_2	R	0h	デバイス ID ビット フィールド 2。
1	DEVICE_ID_1	R	0h	デバイス ID ビット フィールド 1。
0	DEVICE_ID_0	R	1h	デバイス ID ビット フィールド 0。DRV8001-Q1 のアドレスは 0x11 です。

8.5 DRV8001-Q1_CNFG レジスタ

DRV8001-Q1_CNFG レジスタのメモリマップされたレジスタを、表 8-70 に示します。表 8-70 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更しないでください。

表 8-70. DRV8001-Q1_CNFG レジスタ

オフセット	略称	レジスタ名	セクション
9h	IC_CNFG1		セクション 8.5.1
Ah	IC_CNFG2		セクション 8.5.2
Bh	RSVD_REG_B		セクション 8.5.3
Ch	RSVD_REG_C		セクション 8.5.4
Dh	RSVD_REG_D		セクション 8.5.5
Eh	RSVD_REG_E		セクション 8.5.6
Fh	RSVD_REG_F		セクション 8.5.7
10h	RSVD_REG_10		セクション 8.5.8
11h	RSVD_REG_11		セクション 8.5.9
12h	RSVD_REG_12		セクション 8.5.10
13h	RSVD_REG_13		セクション 8.5.11
14h	HB_ITRIP_DG		セクション 8.5.12
15h	HB_OUT_CNFG1		セクション 8.5.13
16h	HB_OUT_CNFG2		セクション 8.5.14
17h	HB_OCP_CNFG		セクション 8.5.15
18h	HB_OL_CNFG1		セクション 8.5.16
19h	HB_OL_CNFG2		セクション 8.5.17
1Ah	HB_SR_CNFG		セクション 8.5.18
1Bh	HB_ITRIP_CNFG		セクション 8.5.19
1Ch	HB_ITRIP_FREQ		セクション 8.5.20
1Dh	HS_HEAT_OUT_CNFG		セクション 8.5.21
1Eh	HS_OC_CNFG		セクション 8.5.22
1Fh	HS_OL_CNFG		セクション 8.5.23
20h	HS_REG_CNFG1		セクション 8.5.24
21h	HS_REG_CNFG2		セクション 8.5.25
22h	HS_PWM_FREQ_CNFG		セクション 8.5.26
23h	HEAT_CNFG		セクション 8.5.27
24h	EC_CNFG		セクション 8.5.28
25h	HS_OCP_DG		セクション 8.5.29
26h	SPARE_CNFG2		セクション 8.5.30
27h	SPARE_CNFG3		セクション 8.5.31
28h	SPARE_CNFG4		セクション 8.5.32

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-71 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-71. DRV8001-Q1_CNFG のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		

表 8-71. DRV8001-Q1_CNFG のアクセス タイプ コード (続き)

アクセス タイプ	表記	概要
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.5.1 IC_CNFG1 レジスタ (オフセット = 9h) [リセット = 0002h]

IC_CNFG1 を表 8-72 に示します。

概略表に戻ります。

表 8-72. IC_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	OTSD_MODE	R/W	0h	過熱シャットダウン動作を設定します。いずれかのサーマル クラスタが OT に達すると、デバイスはすべてのドライバまたは影響を受けるドライバのみ (ゾーン 3 のドライバなど) をシャットダウンします。 0b = グローバル シャットダウン。 1b = 影響を受けるドライバ シャットダウンのみ。
14	DIS_CP	R/W	0h	EN_GD = 0 の場合、チャージ ポンプを無効にして、デバイスを通信専用モードにすることができます。 0b = チャージ ポンプが有効。 1b = チャージ ポンプが無効。
13-12	PVDD_OV_MODE	R/W	0h	PVDD 電源過電圧監視モード。 00b = ラッチ障害。 01b = 自動復帰。 10b = 警告レポートのみ。 11b = 無効。
11-10	PVDD_OV_DG	R/W	0h	PVDD 電源過電圧監視グリッチ除去時間。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
9	PVDD_OV_LVL	R/W	0h	PVDD 電源過電圧監視スレッシュホールド。 0b = 21.5V 1b = 28.5V
8	VCP_UV_LVL	R/W	0h	VCP チャージ ポンプ低電圧監視スレッシュホールド。 0b = 4.75V 1b = 6.25V
7-6	CP_MODE	R/W	0h	チャージ ポンプ動作モード。 00b = 3 倍速と 2 倍速の自動切り替えモード。 01b = 常に倍速モード。 10b = 常に 3 倍速モード。 11b = RSVD
5	VCP_UV_MODE	R/W	0h	VCP チャージ ポンプ低電圧監視モード。 0b = ラッチ障害。 1b = 自動復帰。
4	PVDD_UV_MODE	R/W	0h	PVDD 電源低電圧監視モード。 0b = ラッチ障害。 1b = 自動復帰。
3	WD_EN	R/W	0h	ウォッチドッグ タイマが有効。 0b = ウォッチドッグ タイマが無効。 1b = ウォッチドッグ ドッグ タイマが有効。
2	WD_FLT_M	R/W	0h	ウォッチドッグ フォルト モード。ウォッチドッグ フォルトは CLR_FLT によってクリアされます。 0b = ウォッチドッグ フォルトは WD_FLT および WARN レジスタ ビットに通知されます。ドライバは有効なまま、FAULT ビットはアサートされません。 1b = ウォッチドッグ フォルトは WD_FLT および FAULT レジスタ ビットに通知されます。ウォッチドッグ フォルトにตอบสนองしてすべてのドライバがディセーブルになります。
1	WD_WIN	R/W	1h	ウォッチドッグ タイマ ウィンドウ。 0b = 4 to 40ms 1b = 10 to 100ms

表 8-72. IC_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
0	EN_SSC	R/W	0h	スペクトラム拡散クロック。 0b = 無効。 1b = 有効。

8.5.2 IC_CNFG2 レジスタ (オフセット = Ah) [リセット = 0000h]

IC_CNFG2 を表 8-73 に示します。

[概略表](#)に戻ります。

表 8-73. IC_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11	RESERVED	R/W	0h	予約済み
10	RESERVED	R/W	0h	予約済み
9	RESERVED	R/W	0h	予約済み
8	RESERVED	R/W	0h	予約済み
7	ZONE4_OTW_H_DIS	R/W	0h	ゾーン 4 の高温過熱警告を無効にします。 有効 = 0b 無効 = 1b
6	ZONE3_OTW_H_DIS	R/W	0h	ゾーン 3 の過熱警告を無効にします。 有効 = 0b 無効 = 1b
5	ZONE2_OTW_H_DIS	R/W	0h	ゾーン 2 の過熱警告をディセーブルにします。 有効 = 0b 無効 = 1b
4	ZONE1_OTW_H_DIS	R/W	0h	ゾーン 1 の過熱警告を無効にします。 有効 = 0b 無効 = 1b
3	ZONE4_OTW_L_DIS	R/W	0h	ゾーン 4 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b
2	ZONE3_OTW_L_DIS	R/W	0h	ゾーン 3 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b
1	ZONE2_OTW_L_DIS	R/W	0h	ゾーン 2 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b
0	ZONE1_OTW_L_DIS	R/W	0h	ゾーン 1 の低過熱警告を無効にします。 有効 = 0b 無効 = 1b

8.5.3 RSVD_REG_B レジスタ (オフセット = Bh) [リセット = 0000h]

RSVD_REG_B を表 8-74 に示します。

[概略表](#)に戻ります。

表 8-74. RSVD_REG_B レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.5.4 RSVD_REG_C レジスタ (オフセット = Ch) [リセット = 0000h]

RSVD_REG_C を表 8-75 に示します。

[概略表](#)に戻ります。

表 8-75. RSVD_REG_C レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.5.5 RSVD_REG_D レジスタ (オフセット = Dh) [リセット = 0000h]

RSVD_REG_D を表 8-76 に示します。

[概略表](#)に戻ります。

表 8-76. RSVD_REG_D レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.5.6 RSVD_REG_E レジスタ (オフセット = Eh) [リセット = 0000h]

RSVD_REG_E を表 8-77 に示します。

[概略表](#)に戻ります。

表 8-77. RSVD_REG_E レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.5.7 RSVD_REG_F レジスタ (オフセット= Fh) [リセット= 0000h]

RSVD_REG_F を表 8-78 に示します。

[概略表](#)に戻ります。

表 8-78. RSVD_REG_F レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.5.8 RSVD_REG_10 レジスタ (オフセット = 10h) [リセット = 0000h]

RSVD_REG_10 を表 8-79 に示します。

[概略表](#)に戻ります。

表 8-79. RSVD_REG_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.5.9 RSVD_REG_11 レジスタ (オフセット = 11h) [リセット = 0000h]

RSVD_REG_11 を表 8-80 に示します。

[概略表](#)に戻ります。

表 8-80. RSVD_REG_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.5.10 RSVD_REG_12 レジスタ (オフセット = 12h) [リセット = 0000h]

RSVD_REG_12 を表 8-81 に示します。

[概略表](#)に戻ります。

表 8-81. RSVD_REG_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.5.11 RSVD_REG_13 レジスタ (オフセット = 13h) [リセット = 0000h]

RSVD_REG_13 を表 8-82 に示します。

[概略表](#)に戻ります。

表 8-82. RSVD_REG_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11	RESERVED	R	0h	予約済み
10	RESERVED	R	0h	予約済み
9	RESERVED	R	0h	予約済み
8	RESERVED	R	0h	予約済み
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	RESERVED	R	0h	予約済み
1	RESERVED	R	0h	予約済み
0	RESERVED	R	0h	予約済み

8.5.12 HB_ITRIP_DG レジスタ (オフセット = 14h) [リセット = 0000h]

HB_ITRIP_DG を表 8-83 に示します。

[概略表](#)に戻ります。

表 8-83. HB_ITRIP_DG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11-10	OUT6_ITRIP_DG	R/W	0h	ハーフブリッジ 6 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
9-8	OUT5_ITRIP_DG	R/W	0h	ハーフブリッジ 5 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
7-6	OUT4_ITRIP_DG	R/W	0h	ハーフブリッジ 4 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
5-4	OUT3_ITRIP_DG	R/W	0h	ハーフブリッジ 3 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
3-2	OUT2_ITRIP_DG	R/W	0h	ハーフブリッジ 2 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
1-0	OUT1_ITRIP_DG	R/W	0h	ハーフブリッジ 1 の ITRIP グリッチ除去時間を設定します。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs

8.5.13 HB_OUT_CNFG1 レジスタ (オフセット = 15h) [リセット = 0000h]

HB_OUT_CNFG1 を表 8-84 に示します。

[概略表](#)に戻ります。

表 8-84. HB_OUT_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD	R/W	0h	予約済み。
14	NSR_OUT6_DIS	R/W	0h	ハーフブリッジ 6 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
13	NSR_OUT5_DIS	R/W	0h	ハーフブリッジ 5 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
12	NSR_OUT4_DIS	R/W	0h	ハーフブリッジ 4 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
11	NSR_OUT3_DIS	R/W	0h	ハーフブリッジ 3 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
10	NSR_OUT2_DIS	R/W	0h	ハーフブリッジ 2 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
9	NSR_OUT1_DIS	R/W	0h	ハーフブリッジ 1 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイールを設定)。 パッシブ フリーホイール = 0b アクティブ フリーホイール = 1b
8	IPROPI_SH_EN	R/W	0h	IPROPI サンプル/ホールド回路をイネーブルします。
7	RSVD_7	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5-3	OUT6_CNFG	R/W	0h	ハーフブリッジ 6 の構成。ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御
2-0	OUT5_CNFG	R/W	0h	ハーフブリッジ 5 の構成。ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御

8.5.14 HB_OUT_CNFG2 レジスタ (オフセット = 16h) [リセット = 0000h]

HB_OUT_CNFG2 を表 8-85 に示します。

[概略表](#)に戻ります。

表 8-85. HB_OUT_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13-11	OUT4_CNFG	R/W	0h	ハーフブリッジ 4 の構成。ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御
10-8	OUT3_CNFG	R/W	0h	ハーフブリッジ 3 の構成。ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御
7	RSVD_7	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5-3	OUT2_CNFG	R/W	0h	ハーフブリッジ 2 の構成。ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御
2-0	OUT1_CNFG	R/W	0h	ハーフブリッジ 1 の構成。ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。 000b = ディセーブル 001b = イネーブル (SPI レジスタ制御) 010b = PWM1 相補制御 011b = PWM1 LS 制御 100b = PWM1 HS 制御 101b = PWM2 相補制御 110b = PWM2 PWM LS 制御 111b = PWM2 HS 制御

8.5.15 HB_OCP_CNFG レジスタ (オフセット = 17h) [リセット = 0000h]

HB_OCP_CNFG を表 8-86 に示します。

[概略表](#)に戻ります。

表 8-86. HB_OCP_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD	R/W	0h	予約済み。
14	RSVD	R/W	0h	予約済み。
13	RSVD	R/W	0h	予約済み。
12	RSVD	R/W	0h	予約済み。
11-10	OUT6_OCP_DG	R/W	0h	ハーフブリッジ 6 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s
9-8	OUT5_OCP_DG	R/W	0h	ハーフブリッジ 5 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s
7-6	OUT4_OCP_DG	R/W	0h	ハーフブリッジ 4 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s
5-4	OUT3_OCP_DG	R/W	0h	ハーフブリッジ 3 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s
3-2	OUT2_OCP_DG	R/W	0h	ハーフブリッジ 2 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s
1-0	OUT1_OCP_DG	R/W	0h	ハーフブリッジ 1 の過電流グリッチ除去時間。 00b = 6 μ s 01b = 10 μ s 10b = 20 μ s 11b = 60 μ s

8.5.16 HB_OL_CNFG1 レジスタ (オフセット = 18h) [リセット = 0000h]

HB_OL_CNFG1 を表 8-87 に示します。

概略表に戻ります。

表 8-87. HB_OL_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13-12	HB_OLP_CNFG	R/W	0h	オフ状態診断構成。 00b = オフ状態無効 01b = OUT X プルアップ有効、OUT Y プルダウン有効、OUT Y 選択、VREF Low 10b = プルダウン有効、OUT Y プルダウン有効、OUT X 選択、VREF High 11b = OUT X プルダウン有効、OUT Y プルダウン有効、OUT Y 選択、VREF Low
11-8	HB_OLP_SEL	R/W	0h	ハーフブリッジ 5 のオフ状態開放負荷診断イネーブル。 0000b = ディセーブル 0001b = OUT1 および OUT2 0010b = OUT1 および OUT3 0011b = OUT1 および OUT4 0100b = OUT1 および OUT5 0101b = OUT1 および OUT6 0110b = OUT2 および OUT3 0111b = OUT2 および OUT4 1000b = OUT2 および OUT5 1001b = OUT2 および OUT6 1010b = OUT3 および OUT4 1011b = OUT3 および OUT5 1100b = OUT3 および OUT6 1101b = OUT4 および OUT5 1110b = OUT4 および OUT6 1111b = OUT5 および OUT6
7	RSVD_7	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5	OUT6_OLA_EN	R/W	0h	ハーフブリッジ 6 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル
4	OUT5_OLA_EN	R/W	0h	ハーフブリッジ 5 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル
3	OUT4_OLA_EN	R/W	0h	ハーフブリッジ 4 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル
2	OUT3_OLA_EN	R/W	0h	ハーフブリッジ 3 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル
1	OUT2_OLA_EN	R/W	0h	ハーフブリッジ 2 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル
0	OUT1_OLA_EN	R/W	0h	ハーフブリッジ 1 のアクティブ開放負荷診断イネーブル。 0b = イネーブル 1b = ディセーブル

8.5.17 HB_OL_CNFG2 レジスタ (オフセット = 19h) [リセット = 0000h]

HB_OL_CNFG2 を表 8-88 に示します。

[概略表](#)に戻ります。

表 8-88. HB_OL_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13	RSVD_13	R/W	0h	予約済み。
12	RSVD_12	R/W	0h	予約済み。
11	RSVD_11	R/W	0h	予約済み。
10	RSVD_10	R/W	0h	予約済み。
9	RSVD_9	R/W	0h	予約済み。
8	RSVD_8	R/W	0h	予約済み。
7	RSVD_7	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5	OUT6_OLA_TH	R/W	0h	ハーフブリッジ 6 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル
4	OUT5_OLA_TH	R/W	0h	ハーフブリッジ 5 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル
3	OUT4_OLA_TH	R/W	0h	ハーフブリッジ 4 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル
2	OUT3_OLA_TH	R/W	0h	ハーフブリッジ 3 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル
1	OUT2_OLA_TH	R/W	0h	ハーフブリッジ 2 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル
0	OUT1_OLA_TH	R/W	0h	ハーフブリッジ 1 のアクティブ開放負荷サイクル カウント スレッシュホールドを設定します。 0b = 32 サイクル 1b = 128 サイクル

8.5.18 HB_SR_CNFG レジスタ (オフセット = 1Ah) [リセット = 0000h]

HB_SR_CNFG を表 8-89 に示します。

[概略表](#)に戻ります。

表 8-89. HB_SR_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13	RSVD_13	R/W	0h	予約済み。
12	RSVD_12	R/W	0h	予約済み。
11-10	OUT6_SR	R/W	0h	ハーフブリッジ 6 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs
9-8	OUT5_SR	R/W	0h	ハーフブリッジ 5 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs
7-6	OUT4_SR	R/W	0h	ハーフブリッジ 4 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs
5-4	OUT3_SR	R/W	0h	ハーフブリッジ 3 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs
3-2	OUT2_SR	R/W	0h	ハーフブリッジ 2 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs
1-0	OUT1_SR	R/W	0h	ハーフブリッジ 1 のスルー レートを設定します。 00b = 1.6V/μs 01b = 10V/μs 10b = 20V/μs

8.5.19 HB_ITRIP_CNFG レジスタ (オフセット = 1Bh) [リセット = 0000h]

HB_ITRIP_CNFG を表 8-90 に示します。

[概略表](#)に戻ります。

表 8-90. HB_ITRIP_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	OUT6_ITRIP_EN	R/W	0h	ハーフブリッジ 6 の ITRIP レギュレーションをイネーブルにします。
14	OUT5_ITRIP_EN	R/W	0h	ハーフブリッジ 5 の ITRIP レギュレーションをイネーブルにします。
13	OUT4_ITRIP_EN	R/W	0h	ハーフブリッジ 4 の ITRIP レギュレーションをイネーブルにします。
12	OUT3_ITRIP_EN	R/W	0h	ハーフブリッジ 3 の ITRIP レギュレーションをイネーブルにします。
11	OUT2_ITRIP_EN	R/W	0h	ハーフブリッジ 2 の ITRIP レギュレーションをイネーブルにします。
10	OUT1_ITRIP_EN	R/W	0h	ハーフブリッジ 1 の ITRIP レギュレーションをイネーブルにします。
9-8	OUT6_ITRIP_LVL	R/W	0h	ハーフブリッジ 6 の ITRIP 電流スレッショルドを設定します。 00b = 2.25A 01b = 5.5A 10b = 6.25A 11b = 予約済み。
7-6	OUT5_ITRIP_LVL	R/W	0h	ハーフブリッジ 5 の ITRIP 電流スレッショルドを設定します。 00b = 2.75A 01b = 6.5A 10b = 7.5A 11b = 予約済み。
5-4	OUT4_ITRIP_LVL	R/W	0h	ハーフブリッジ 4 の ITRIP 電流スレッショルドを設定します。 00b = 1.25A 01b = 2.75A 10b = 3.5A 11b = 予約済み。
3-2	OUT3_ITRIP_LVL	R/W	0h	ハーフブリッジ 3 の ITRIP 電流スレッショルドを設定します。 00b = 1.25A 01b = 2.5A 10b = 3.5A 11b = 予約済み。
1	OUT2_ITRIP_LVL	R/W	0h	ハーフブリッジ 2 の ITRIP 電流スレッショルドを設定します。 0b = 0.7A 1b = 0.875A
0	OUT1_ITRIP_LVL	R/W	0h	ハーフブリッジ 1 の ITRIP 電流スレッショルドを設定します。 0b = 0.7A 1b = 0.875A

8.5.20 HB_ITRIP_FREQ レジスタ (オフセット = 1Ch) [リセット = 0000h]

HB_ITRIP_FREQ を表 8-91 に示します。

概略表に戻ります。

表 8-91. HB_ITRIP_FREQ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13	RSVD_13	R/W	0h	予約済み。
12	RSVD_12	R/W	0h	予約済み。
11-10	OUT6_ITRIP_FREQ	R/W	0h	ハーフブリッジ 6 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
9-8	OUT5_ITRIP_FREQ	R/W	0h	ハーフブリッジ 5 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
7-6	OUT4_ITRIP_FREQ	R/W	0h	ハーフブリッジ 4 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
5-4	OUT3_ITRIP_FREQ	R/W	0h	ハーフブリッジ 3 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
3-2	OUT2_ITRIP_FREQ	R/W	0h	ハーフブリッジ 2 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
1-0	OUT1_ITRIP_FREQ	R/W	0h	ハーフブリッジ 1 の ITRIP レギュレーション周波数を設定します。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz

8.5.21 HS_HEAT_OUT_CNFG レジスタ (オフセット = 1Dh) [リセット = 0000h]

HS_HEAT_OUT_CNFG を表 8-92 に示します。

[概略表](#)に戻ります。

表 8-92. HS_HEAT_OUT_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-14	HEAT_OUT_CNFG	R/W	0h	ヒータドライバの構成。ヒータの制御を有効または無効にし、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = 予約済み
13	RSVD_13	R/W	0h	予約済み。
12	RSVD_12	R/W	0h	予約済み。
11-10	OUT12_CNFG	R/W	0h	ハイサイドドライバの構成 12。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
9-8	OUT11_CNFG	R/W	0h	ハイサイドドライバの構成 11。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
7-6	OUT10_CNFG	R/W	0h	ハイサイドドライバの構成 10。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
5-4	OUT9_CNFG	R/W	0h	ハイサイドドライバの構成 9。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
3-2	OUT8_CNFG	R/W	0h	ハイサイドドライバの構成 8。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ
1-0	OUT7_CNFG	R/W	0h	ハイサイドドライバの構成 7。ハイサイドドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。 00b = ディセーブル 01b = SPI 制御イネーブル 10b = PWM ピン制御 11b = PWM ジェネレータ

8.5.22 HS_OC_CNFG レジスタ (オフセット = 1Eh) [リセット = 1000h]

HS_OC_CNFG を表 8-93 に示します。

概略表に戻ります。

表 8-93. HS_OC_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13	RSVD_13	R/W	0h	予約済み。
12	OUT11_EC_MODE	R/W	1h	ビットは、OUT11_CNFG ビットによる独立制御または EC モード用に OUT11 をハイサイドに設定します。デフォルト構成は、EC モードです。 OUT11_CNFG モード = 0b EC モード = 1b
11	RSVD_12	R/W	0h	予約済み。
10	RSVD_11	R/W	0h	予約済み。
9	RSVD_10	R/W	0h	予約済み。
8	RSVD_9	R/W	0h	予約済み。
7	RSVD_8	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5	OUT12_OC_TH	R/W	0h	ハイサイドドライバ 12 の High または Low の過電流スレッショルドを設定します。 0b = Low 電流スレッショルド 1b = High 電流スレッショルド
4	OUT11_OC_TH	R/W	0h	ハイサイドドライバ 11 の High または Low の過電流スレッショルドを設定します。 0b = Low 電流スレッショルド 1b = High 電流スレッショルド
3	OUT10_OC_TH	R/W	0h	ハイサイドドライバ 10 の High または Low の過電流スレッショルドを設定します。 0b = Low 電流スレッショルド 1b = High 電流スレッショルド
2	OUT9_OC_TH	R/W	0h	ハイサイドドライバ 9 の High または Low の過電流スレッショルドを設定します。 0b = Low 電流スレッショルド 1b = High 電流スレッショルド
1	OUT8_OC_TH	R/W	0h	ハイサイドドライバ 8 の High または Low の過電流スレッショルドを設定します。 0b = Low 電流スレッショルド 1b = High 電流スレッショルド
0	OUT7_RDSON_MODE	R/W	0h	ハイサイドドライバ 7 を高 RDSON モードと低 RDSON モードの間 (電球/ランプ負荷用) に構成します。 0b = 高 RDSON モード (LED ドライバ モード) 1b = 低 RDSON モード (電球/ランプ ドライバ モード)

8.5.23 HS_OL_CNFG レジスタ (オフセット = 1Fh) [リセット = 0000h]

HS_OL_CNFG を表 8-94 に示します。

[概略表](#)に戻ります。

表 8-94. HS_OL_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RSVD_15	R/W	0h	予約済み。
14	RSVD_14	R/W	0h	予約済み。
13	OUT12_OLA_TH	R/W	0h	ハイスайдドライバ 12 の開放負荷スレッシュヨルドを設定します。 0b = Low スレッシュヨルド 1b = High スレッシュヨルド
12	OUT11_OLA_TH	R/W	0h	ハイスайдドライバ 11 の開放負荷スレッシュヨルドを設定します。 0b = Low スレッシュヨルド 1b = High スレッシュヨルド
11	OUT10_OLA_TH	R/W	0h	ハイスайдドライバ 10 の開放負荷スレッシュヨルドを設定します。 0b = Low スレッシュヨルド 1b = High スレッシュヨルド
10	OUT9_OLA_TH	R/W	0h	ハイスайдドライバ 9 の開放負荷スレッシュヨルドを設定します。 0b = Low スレッシュヨルド 1b = High スレッシュヨルド
9	OUT8_OLA_TH	R/W	0h	ハイスайдドライバ 8 の開放負荷スレッシュヨルドを設定します。 0b = Low スレッシュヨルド 1b = High スレッシュヨルド
8	OUT7_OLA_TH	R/W	0h	ハイスайдドライバ 7 の開放負荷スレッシュヨルドを設定します。 0b = Low スレッシュヨルド 1b = High スレッシュヨルド
7	RSVD_7	R/W	0h	予約済み。
6	RSVD_6	R/W	0h	予約済み。
5	OUT12_OLA_EN	R/W	0h	ハイスайдドライバ 12 の開放負荷検出回路を有効にします。
4	OUT11_OLA_EN	R/W	0h	ハイスайдドライバ 11 の開放負荷検出回路を有効にします。
3	OUT10_OLA_EN	R/W	0h	ハイスайдドライバ 10 の開放負荷検出回路を有効にします。
2	OUT9_OLA_EN	R/W	0h	ハイスайдドライバ 9 の開放負荷検出回路を有効にします。
1	OUT8_OLA_EN	R/W	0h	ハイスайдドライバ 8 の開放負荷検出回路を有効にします。
0	OUT7_OLA_EN	R/W	0h	ハイスайдドライバ 7 の開放負荷検出回路を有効にします。

8.5.24 HS_REG_CNFG1 レジスタ (オフセット = 20h) [リセット = 0000h]

HS_REG_CNFG1 を表 8-95 に示します。

[概略表](#)に戻ります。

表 8-95. HS_REG_CNFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11	RESERVED	R/W	0h	予約済み
10	OUT7_OCP_DIS	R/W	0h	低 RDSON モードで OUT7 の 2 次電流制限 2.5A をディセーブルします。 0b = OUT7 OCP イネーブル 1b = OUT7 OCP ディセーブル
9-8	ITRIP_TO_SEL	R/W	0h	OUT7 ITRIP レギュレーションのタイムアウト制限を選択します。 00b = 100ms 01b = 200ms 10b = 400ms 11b = 800ms
7-6	OUT7_ITRIP_CNFG	R/W	0h	OUT7 の ITRIP 動作、フォルトクリア、ラッチを設定します。 00b = ITRIP フォルト通知のみ 01b = タイムアウトおよびドライバ ディセーブルによる ITRIP レギュレーション 10b = ITRIP レギュレーション常時 11b = タイムアウトおよびレギュレーション ディセーブルによる ITRIP レギュレーション
5-4	OUT7_ITRIP_BLK	R/W	0h	OUT7 の ITRIP ブランキング時間を設定します。 00b = 予約済み。 01b = 0μs 10b = 20μs 11b = 40μs
3-2	OUT7_ITRIP_FREQ	R/W	0h	OUT7 の ITRIP レギュレーション周波数を設定します。 00b = 1.7kHz 01b = 2.2kHz 10b = 3kHz 11b = 4.4kHz
1-0	OUT7_ITRIP_DG	R/W	0h	OUT7 の ITRIP グリッチ除去時間を設定します。 00b = 48μs 01b = 40μs 10b = 32μs 11b = 24μs

8.5.25 HS_REG_CNFG2 レジスタ (オフセット = 21h) [リセット = 0000h]

HS_REG_CNFG2 を表 8-96 に示します。

[概略表](#)に戻ります。

表 8-96. HS_REG_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	OUT12_CCM_TO	R/W	0h	ハイサイド出力 12 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 100mA = 0b = 1ms = 1b の場合 200mA
12	OUT11_CCM_TO	R/W	0h	ハイサイド出力 11 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 100mA = 0b = 10ms = 1b の場合 200mA
11	OUT10_CCM_TO	R/W	0h	ハイサイド出力 10 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 100mA = 0b = 10ms = 1b の場合 200mA
10	OUT9_CCM_TO	R/W	0h	ハイサイド出力 9 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 100mA = 0b = 10ms = 1b の場合 200mA
9	OUT8_CCM_TO	R/W	0h	ハイサイド出力 8 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 100mA = 0b = 10ms = 1b の場合 200mA
8	OUT7_CCM_TO	R/W	0h	ハイサイド出力 7 の定電流モードのタイミングと電流制限オプションを設定します。 20ms の場合 100mA = 0b = 10ms = 1b の場合 200mA
7	RESERVED	R/W	0h	予約済み
6	RESERVED	R/W	0h	予約済み
5	OUT12_CCM_EN	R/W	0h	ハイサイドドライバ 12 の定電流モード回路を有効化します。
4	OUT11_CCM_EN	R/W	0h	ハイサイドドライバ 11 の定電流モード回路を有効化します。
3	OUT10_CCM_EN	R/W	0h	ハイサイドドライバ 10 の定電流モード回路を有効化します。
2	OUT9_CCM_EN	R/W	0h	ハイサイドドライバ 9 の定電流モード回路を有効化します。
1	OUT8_CCM_EN	R/W	0h	ハイサイドドライバ 8 の定電流モード回路を有効化します。
0	OUT7_CCM_EN	R/W	0h	ハイサイドドライバ 7 の定電流モード回路を有効化します。

8.5.26 HS_PWM_FREQ_CNFG レジスタ (オフセット = 22h) [リセット = 0000h]

HS_PWM_FREQ_CNFG を表 8-97 に示します。

概略表に戻ります。

表 8-97. HS_PWM_FREQ_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11-10	PWM_OUT12_FREQ	R/W	0h	ハイスайдドライバ 12 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み
9-8	PWM_OUT11_FREQ	R/W	0h	ハイスайдドライバ 11 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み
7-6	PWM_OUT10_FREQ	R/W	0h	ハイスайдドライバ 10 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み
5-4	PWM_OUT9_FREQ	R/W	0h	ハイスайдドライバ 9 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み
3-2	PWM_OUT8_FREQ	R/W	0h	ハイスайдドライバ 8 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み
1-0	PWM_OUT7_FREQ	R/W	0h	ハイスайдドライバ 7 の専用 PWM ジェネレータの周波数出力を構成します。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 予約済み

8.5.27 HEAT_CNFG レジスタ (オフセット = 23h) [リセット = 0A3Ch]

HEAT_CNFG を表 8-98 に示します。

[概略表](#)に戻ります。

表 8-98. HEAT_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11-8	HEAT_VDS_LVL	R/W	Ah	ヒータ MOSFET VDS 監視保護スレッシュホルド。 0000b = 0.06V 00001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.24V 1001b = 0.28V 1010b = 0.32V 1011b = 0.36V 1100b = 0.4V 1101b = 0.44V 1110b = 0.56V 1111b = 1V
7-6	HEAT_VDS_MODE	R/W	0h	ヒータ MOSFET VDS 過電流監視フォルト モード。 00b = ラッチ障害。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = 無効。
5-4	HEAT_VDS_BLK	R/W	3h	ヒータ MOSFET VDS 監視ブランキング時間。 00b = 4μs 01b = 8μs 10b = 16μs 11b = 32μs
3-2	HEAT_VDS_DG	R/W	3h	ヒータ MOSFET VDS 過電流モニタのグリッチ除去時間。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
1	HEAT_OLP_EN	R/W	0h	ヒータ オフライン開放負荷検出回路をイネーブルにします。
0	RESERVED	R/W	0h	予約済み

8.5.28 EC_CNFG レジスタ (オフセット = 24h) [リセット = 0000h]

EC_CNFG を表 8-99 に示します。

概略表に戻ります。

表 8-99. EC_CNFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	ECDRV_OL_EN	R/W	0h	ECFB のオープンロード検出回路を有効にします。
14	ECFB_UV_TH	R/W	0h	ECFB 低電圧 (グラウンドへの短絡) スレッシュホールドを設定します。 0b = 100mV 1b = 200mV
13	RSVD_13	R/W	0h	予約済み。
12	RSVD_12	R/W	0h	予約済み。
11-10	ECFB_UV_DG	R/W	0h	低電圧フォルト グリッチ除去時間を設定します。 00b = 20μs 01b = 50μs 10b = 100μs 11b = 200μs
9-8	ECFB_OV_DG	R/W	0h	過電圧フォルト グリッチ除去時間を構成します。 00b = 20μs 01b = 50μs 10b = 100μs 11b = 200μs
7-6	ECFB_UV_MODE	R/W	0h	EC ドライバの ECFB UV フォルト応答を構成します。 0b = アクションなし 01b = ECFB 電圧を報告 < ECFB_UV_TH 10b = ECFB 電圧 < ECFB_UV_TH を報告し、EC ドライバを無効化。
5-4	ECFB_OV_MODE	R/W	0h	EC ドライバの ECFB OV フォルト応答を構成します。 0b = アクションなし 01b = ECFB 電圧を報告 < ECFB_OV_TH 10b = ECFB 電圧 < ECFB_OV_TH を報告し、EC ドライバを無効化。
3	EC_FLT_MODE	R/W	0h	EC ドライバの過電流フォルト応答を構成します。 0b = Hi-Z EC ドライバ 1b = OUT7 の ITRIP 設定で再試行
2	ECFB_LS_PWM	R/W	0h	EC 負荷の LS PWM 放電をイネーブルします。 0b = PWM 放電なし (高速放電) 1b = PWM 放電イネーブル
1	EC_OLEN	R/W	0h	開放負荷検出回路 ECFB をイネーブルにします。
0	ECFB_MAX	R/W	0h	EC の最大目標電圧を設定します。 0b = 1.2V 1b = 1.5V

8.5.29 HS_OCP_DG レジスタ (オフセット = 25h) [リセット = 0000h]

HS_OCP_DG を表 8-100 に示します。

[概略表](#)に戻ります。

表 8-100. HS_OCP_DG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11-10	OUT12_OCP_DG	R/W	0h	ハイサイドドライバ 12 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs
9-8	OUT11_OCP_DG	R/W	0h	ハイサイドドライバ 11 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs
7-6	OUT10_OCP_DG	R/W	0h	ハイサイドドライバ 10 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs
5-4	OUT9_OCP_DG	R/W	0h	ハイサイドドライバ 9 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs
3-2	OUT8_OCP_DG	R/W	0h	ハイサイドドライバ 8 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs
1-0	OUT7_OCP_DG	R/W	0h	ハイサイドドライバ 7 の過電流グリッチ除去時間。 00b = 6μs 01b = 10μs 10b = 20μs 11b = 60μs

8.5.30 SPARE_CNFG2 レジスタ (オフセット = 26h) [リセット = 0000h]

SPARE_CNFG2 を表 8-101 に示します。

[概略表](#)に戻ります。

表 8-101. SPARE_CNFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11	RESERVED	R/W	0h	予約済み
10	RESERVED	R/W	0h	予約済み
9	RESERVED	R/W	0h	予約済み
8	RESERVED	R/W	0h	予約済み
7	RESERVED	R/W	0h	予約済み
6	RESERVED	R/W	0h	予約済み
5	RESERVED	R/W	0h	予約済み
4	RESERVED	R/W	0h	予約済み
3	RESERVED	R/W	0h	予約済み
2	RESERVED	R/W	0h	予約済み
1	RESERVED	R/W	0h	予約済み
0	RESERVED	R/W	0h	予約済み

8.5.31 SPARE_CNFG3 レジスタ (オフセット = 27h) [リセット = 0000h]

SPARE_CNFG3 を表 8-102 に示します。

[概略表](#)に戻ります。

表 8-102. SPARE_CNFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11	RESERVED	R/W	0h	予約済み
10	RESERVED	R/W	0h	予約済み
9	RESERVED	R/W	0h	予約済み
8	RESERVED	R/W	0h	予約済み
7	RESERVED	R/W	0h	予約済み
6	RESERVED	R/W	0h	予約済み
5	RESERVED	R/W	0h	予約済み
4	RESERVED	R/W	0h	予約済み
3	RESERVED	R/W	0h	予約済み
2	RESERVED	R/W	0h	予約済み
1	RESERVED	R/W	0h	予約済み
0	RESERVED	R/W	0h	予約済み

8.5.32 SPARE_CNFG4 レジスタ (オフセット = 28h) [リセット = 0000h]

SPARE_CNFG4 を表 8-103 に示します。

[概略表](#)に戻ります。

表 8-103. SPARE_CNFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11	RESERVED	R/W	0h	予約済み
10	RESERVED	R/W	0h	予約済み
9	RESERVED	R/W	0h	予約済み
8	RESERVED	R/W	0h	予約済み
7	RESERVED	R/W	0h	予約済み
6	RESERVED	R/W	0h	予約済み
5	RESERVED	R/W	0h	予約済み
4	RESERVED	R/W	0h	予約済み
3	RESERVED	R/W	0h	予約済み
2	RESERVED	R/W	0h	予約済み
1	RESERVED	R/W	0h	予約済み
0	RESERVED	R/W	0h	予約済み

8.6 DRV8001-Q1_CTRL レジスタ

DRV8001-Q1_CTRL レジスタのメモリマップされたレジスタを、表 8-104 に示します。表 8-104 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更しないでください。

表 8-104. DRV8001-Q1_CTRL レジスタ

オフセット	略称	レジスタ名	セクション
29h	IC_CTRL		セクション 8.6.1
2Ah	HB_CTRL		セクション 8.6.2
2Bh	HS_EC_HEAT_CTRL		セクション 8.6.3
2Ch	OUT7_PWM_DC		セクション 8.6.4
2Dh	OUT8_PWM_DC		セクション 8.6.5
2Eh	OUT9_PWM_DC		セクション 8.6.6
2Fh	OUT10_PWM_DC		セクション 8.6.7
30h	OUT11_PWM_DC		セクション 8.6.8
31h	OUT12_PWM_DC		セクション 8.6.9

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-105 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-105. DRV8001-Q1_CTRL のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.6.1 IC_CTRL レジスタ (オフセット = 29h) [リセット = 006Ch]

表 8-106 に、IC_CTRL の詳細を示します。

概略表に戻ります。

表 8-106. IC_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	IPROPI_MODE	R/W	0h	IPROPI/PWM2 ピンのモードを入力モードと出力モードの間で選択します。 0b = 出力 (IPROPI モード) 1b = 入力 (PWM モード)
12-8	IPROPI_SEL	R/W	0h	電流、電圧、温度センサ出力間の IPROPI MUX 出力を制御します。 00000b = 出力なし 00001b = OUT1 電流センサ出力 00010b = OUT2 電流センサ出力 00011b = OUT3 電流センサ出力 00100b = OUT4 電流センサ出力 00101b = OUT5 電流センサ出力 00110b = OUT6 電流センサ出力 00111b = OUT7 電流センサ出力 01000b = OUT8 電流センサ出力 01001b = OUT9 電流センサ出力 01010b = OUT10 電流センサ出力 01011b = OUT11 電流センサ出力 01100b = OUT12 電流センサ出力 01101b ~ 01111b = 予約済み。 10000b = PVDD 電圧センサ出力 10001b = サーマル クラス 1 出力 10010b = サーマル クラス 2 出力 10011b = サーマル クラス 3 出力 10100b = サーマル クラス 4 出力
7-5	CTRL_LOCK	R/W	3h	制御レジスタのロックとロック解除。一覧にないビット設定は無効です。 011b = すべての制御レジスタをロック解除します。 110b = IC_CTRL レジスタ以外の追加の書き込みを無視することで、制御レジスタをロックします。
4-2	CNFG_LOCK	R/W	3h	構成レジスタのロックおよびロック解除。一覧にないビット設定は無効です。 011b = すべての構成レジスタをロック解除します。 110b = IC_CTRL レジスタ以外の追加の書き込みを無視することで、構成レジスタをロックします。
1	WD_RST	R/W	0h	ウォッチドッグ タイマの再起動。電源投入後のデフォルトは 0b です。このビットを反転して、ウォッチドッグ タイマを再開します。書き込むと、このビットは新しい反転値を反映します。
0	CLR_FLT	R/W	0h	ラッチされた障害状態情報をクリア。 0b = デフォルト状態。 1b = 障害がクリアされ、完了後 0b にリセットされます。また、SPI 故障およびウォッチドッグ故障ステータスもクリアされます。

8.6.2 HB_CTRL レジスタ (オフセット = 2Ah) [リセット = 0000h]

HB_CTRL を表 8-107 に示します。

[概略表](#)に戻ります。

表 8-107. HB_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R	0h	予約済み
14	RESERVED	R	0h	予約済み
13	RESERVED	R	0h	予約済み
12	RESERVED	R	0h	予約済み
11-10	OUT6_CTRL	R/W	0h	ハーフブリッジ出力 6 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
9-8	OUT5_CTRL	R/W	0h	ハーフブリッジ出力 5 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
7-6	OUT4_CTRL	R/W	0h	ハーフブリッジ出力 4 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
5-4	OUT3_CTRL	R/W	0h	ハーフブリッジ出力 3 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
3-2	OUT2_CTRL	R/W	0h	ハーフブリッジ出力 2 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD
1-0	OUT1_CTRL	R/W	0h	ハーフブリッジ出力 1 制御機能を内蔵。 00b = オフ 01b = HS オン 10b = LS オン 11b = RSVD

8.6.3 HS_EC_HEAT_CTRL レジスタ (オフセット = 2Bh) [リセット = 0000h]

HS_EC_HEAT_CTRL を表 8-108 に示します。

概略表に戻ります。

表 8-108. HS_EC_HEAT_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	ECFB_LS_EN	R/W	0h	ECFB 上の LS MOSFET で EC 放電を可能にしながら、EC 規制を有効にします。
14	EC_ON	R/W	0h	EC 出力をイネーブルにします。
13-8	EC_V_TAR	R/W	0h	ECFB の目標電圧を制御するための 6 ビットの分解能。0V ~ ECFB の最大値 (1.2 または 1.5V)。
7	HEAT_EN	R/W	0h	ヒータ出力をイネーブルにします。
6	RSVD_6	R/W	0h	予約済み。
5	OUT12_EN	R/W	0h	ハイサイドドライバ 12 をイネーブルにします。
4	OUT11_EN	R/W	0h	ハイサイドドライバ 11 をイネーブルにします。
3	OUT10_EN	R/W	0h	ハイサイドドライバ 10 をイネーブルにします。
2	OUT9_EN	R/W	0h	ハイサイドドライバ 9 をイネーブルにします。
1	OUT8_EN	R/W	0h	ハイサイドドライバ 8 をイネーブルにします。
0	OUT7_EN	R/W	0h	ハイサイドドライバ 7 をイネーブルにします。

8.6.4 OUT7_PWM_DC レジスタ (オフセット = 2Ch) [リセット = 0000h]

OUT7_PWM_DC を表 8-109 に示します。

[概略表](#)に戻ります。

表 8-109. OUT7_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11	RESERVED	R/W	0h	予約済み
10	RESERVED	R/W	0h	予約済み
9-0	OUT7_DC	R/W	0h	ハイサイドドライバ 7 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

8.6.5 OUT8_PWM_DC レジスタ (オフセット = 2Dh) [リセット = 0000h]

OUT8_PWM_DC を表 8-110 に示します。

[概略表](#)に戻ります。

表 8-110. OUT8_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11	RESERVED	R/W	0h	予約済み
10	RESERVED	R/W	0h	予約済み
9-0	OUT8_DC	R/W	0h	ハイサイドドライバ 8 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

8.6.6 OUT9_PWM_DC レジスタ (オフセット = 2Eh) [リセット = 0000h]

OUT9_PWM_DC を表 8-111 に示します。

[概略表](#)に戻ります。

表 8-111. OUT9_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11	RESERVED	R/W	0h	予約済み
10	RESERVED	R/W	0h	予約済み
9-0	OUT9_DC	R/W	0h	ハイサイドドライバ 9 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

8.6.7 OUT10_PWM_DC レジスタ (オフセット = 2Fh) [リセット = 0000h]

OUT10_PWM_DC を表 8-112 に示します。

[概略表](#)に戻ります。

表 8-112. OUT10_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11	RESERVED	R/W	0h	予約済み
10	RESERVED	R/W	0h	予約済み
9-0	OUT10_DC	R/W	0h	ハイサイドドライバ 10 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

8.6.8 OUT11_PWM_DC レジスタ (オフセット = 30h) [リセット = 0000h]

OUT11_PWM_DC を表 8-113 に示します。

[概略表](#)に戻ります。

表 8-113. OUT11_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11	RESERVED	R/W	0h	予約済み
10	RESERVED	R/W	0h	予約済み
9-0	OUT11_DC	R/W	0h	ハイサイドドライバ 11 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

8.6.9 OUT12_PWM_DC レジスタ (オフセット = 31h) [リセット = 0000h]

OUT12_PWM_DC を表 8-114 に示します。

[概略表](#)に戻ります。

表 8-114. OUT12_PWM_DC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	RESERVED	R/W	0h	予約済み
14	RESERVED	R/W	0h	予約済み
13	RESERVED	R/W	0h	予約済み
12	RESERVED	R/W	0h	予約済み
11	RESERVED	R/W	0h	予約済み
10	RESERVED	R/W	0h	予約済み
9-0	OUT12_DC	R/W	0h	ハイサイドドライバ 12 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御。

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DRV800x-Q1 は、高度な設定が可能なマルチチャネル統合ハーフブリッジおよびハーフブリッジ MOSFET ゲートドライバであり、さまざまな異なる出力負荷を駆動するために使用できます。以下の設計例では、さまざまなアプリケーションの使用事例に合わせてデバイスを使用し、構成する方法を示しています。

9.2 代表的なアプリケーション

DRV8001-Q1 の代表的なアプリケーションは、一般的な自動車のドアにおける複数の負荷の制御です。これには、複数の統合ハーフブリッジおよびハイサイドドライバ、含まれます。加熱素子向けのエレクトロクロミックミラードライバと外部ハイサイド MOSFET ドライバ。高レベルの回路図の例を、以下のに示します。DRV8001-Q1 の代表的なアプリケーションは以下に示しています。

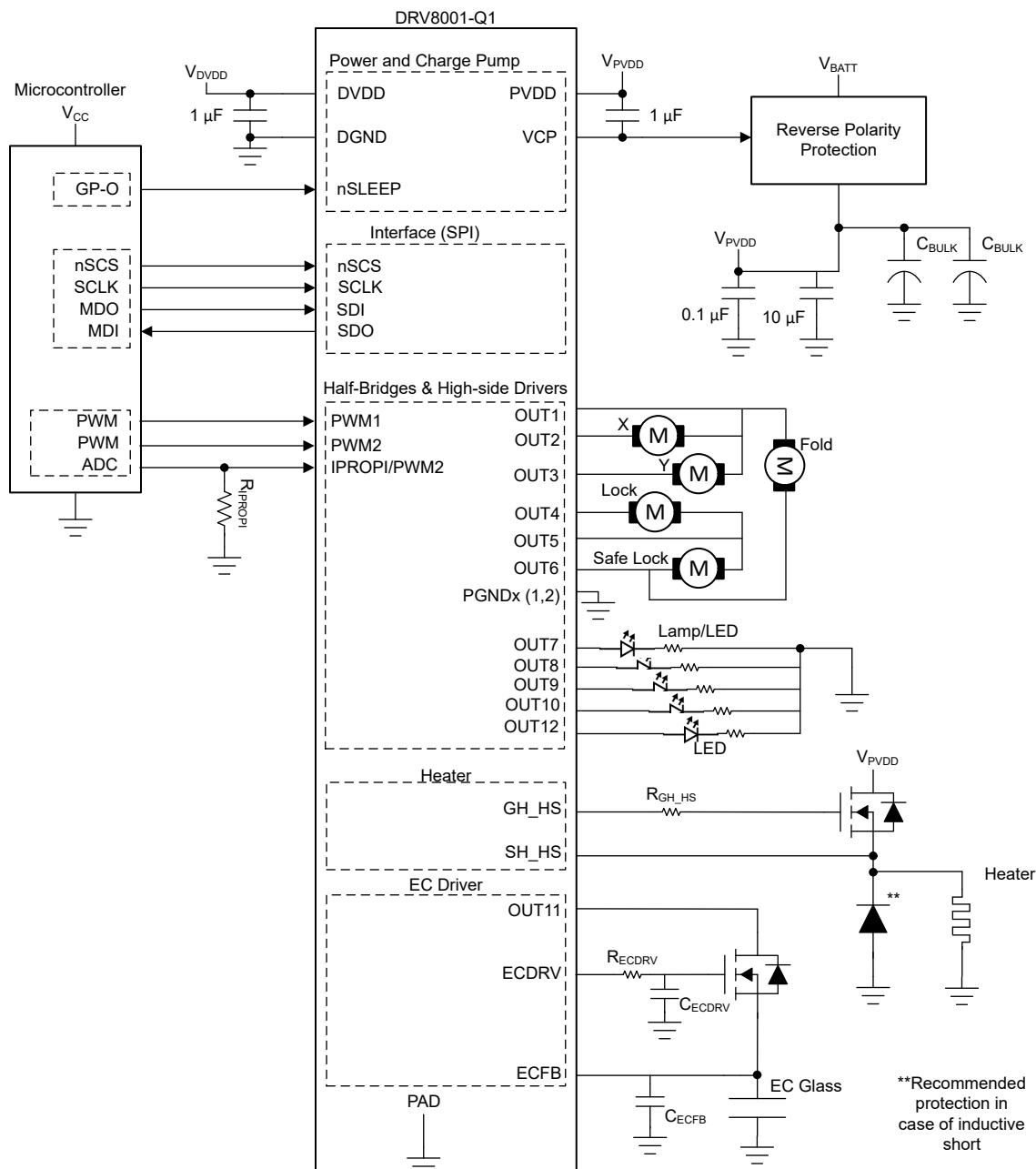


図 9-1. DRV8001-Q1 の代表的なアプリケーション

9.2.1 設計要件

下表に、システム設計の入力パラメータの例を示します。

表 9-1. 設計パラメータ

パラメータ	値
PVDD 電源電圧範囲	9~18V
PVDD 公称電源電圧	13.5V
DVDD ロジック電源電圧範囲	3.3V
IPROPI 抵抗	1kΩ

表 9-1. 設計パラメータ (続き)

パラメータ	値
PWM 周波数	20kHz

9.3 初期設定

9.4 電源に関する推奨事項

9.4.1 バルク容量の決定

適切なローカル バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般的に、バルク容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。ローカル容量値は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源の種類、静電容量、電流供給能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電源電圧リップル
- モータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータの始動および制動方法

電源とモーター駆動システム間のインダクタンスは、電源からの電流レートを制限する可能性があります。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンピングが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには推奨最小値が記載されていますが、バルクコンデンサの容量が適切かどうかを判断するには、システムレベルのテストが必要です。

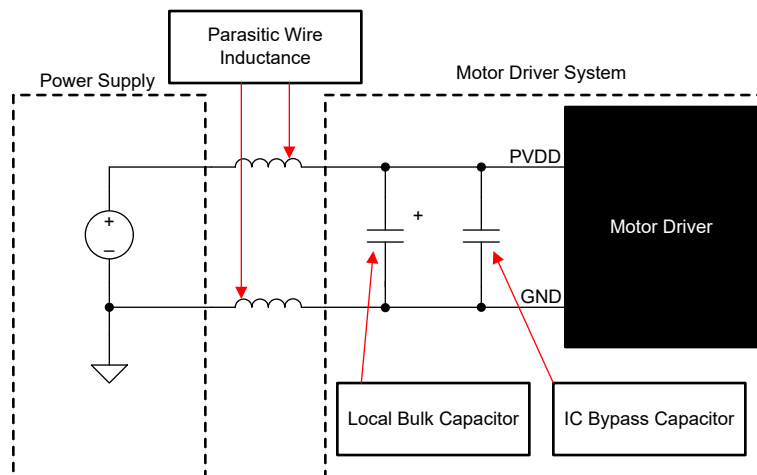


図 9-2. モーター ドライバ電源の寄生インダクタンスの例

9.5 レイアウト

9.5.1 レイアウトのガイドライン

PVDD ピンを GND ピンに低 ESR セラミック バイパス コンデンサ C_{PVDD1} を使用してバイパスします。このコンデンサは、幅の広いパターン、または GND ピンに接続されたグラウンド プレーンを使用して、PVDD ピンのできるだけ近くに配置してください。さらに、PVDD 用のバルク コンデンサ C_{PVDD2} を使用して PVDD ピンをバイパスします。この部品は電解質である可能性があります。容量は 10 μ F 以上とします。この容量が外部パワー MOSFET のバルク容量と共有されている場合、これは許容されます。

H ブリッジドライバの外部パワー MOSFET の高電流経路をバイパスするには、追加のバルク容量が必要です。このバルク容量を配置する際には、外部 MOSFET を通る高電流経路の長さが最小になるようにします。接続用の金属トレースはできるだけ広くし、多数のビアで PCB 層を接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルクコンデンサが大電流を供給できるようになります。

H ブリッジドライバの外部 MOSFET については、適切な電圧定格の低 ESR セラミック バイパス コンデンサを使用して、ドレイン ピンを GND プレーンにバイパスします。このコンデンサは、MOSFET ドレイン端子とソース端子にできるだけ近づけて配置し、GND プレーンに太いトレースまたはプレーン接続で接続します。直列ゲート抵抗器は、MOSFET ゲートピンにできるだけ近づけて配置します。

DVDD ピンは C_{DVDD} で DGND ピンにバイパスします。このコンデンサはピンにできる限り近づけて配置し、コンデンサから DGND ピンまでのパスを最短にします。ノイズを最小限に抑えるために、これらの電源にデバイスの近傍にローカル バイパス コンデンサがすでに存在している場合は、DVDD 用の追加成分は必要ありません。

ECドライバの場合、 C_{ECDRV} および C_{ECFB} バイパス コンデンサの両方を GND にできるだけ近づけて配置します。

ハイサイドおよびローサイド ゲートドライバのループ長はできるだけ短くします。ハイサイド ループはデバイスの GHx ピンからハイサイド パワー MOSFET のゲートまでであり、その後ハイサイド MOSFET のソースを通して SLx ピンへと戻ります。ローサイド ループはデバイスの GLx ピンからローサイド パワー MOSFET のゲートまでであり、その後ローサイド MOSFET のソースを通して SL ピンへと戻ります。

9.5.2 レイアウト例

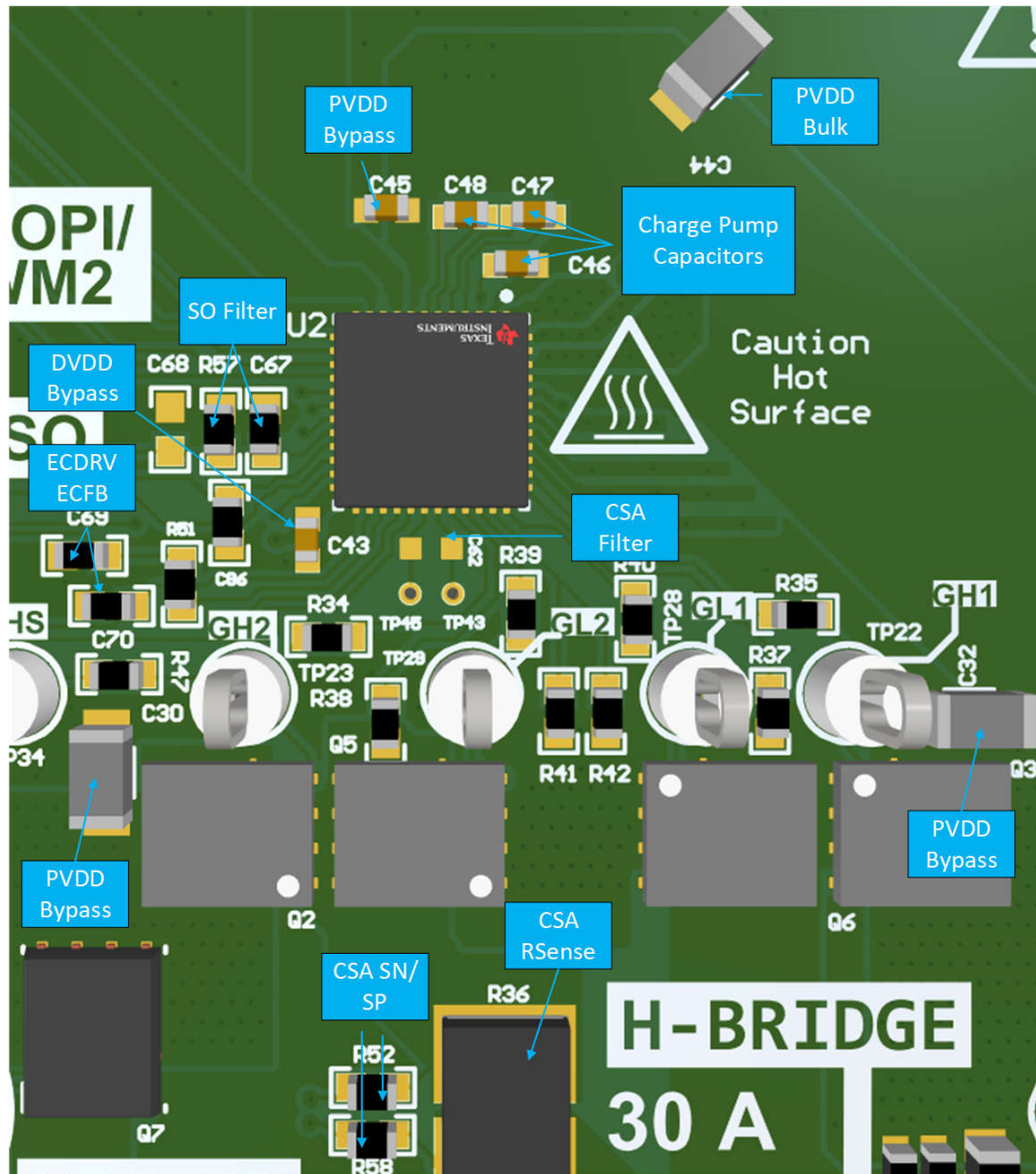


図 9-3. DRV8001-Q1 の部品の配置とレイアウト

上記のレイアウト画面のスクリーンショットは、デバイスに関連するデバイス コンポーネントとレイアウトを示しています。このレイアウトのスクリーンショットはデバイスの評価基板から取得したものです。すべての電源デカップリング コンデンサ、特に小容量のコンデンサとチャージポンプ コンデンサは、ピンにできるだけ近づけて配置され、デバイスの同じ層に配置されていることに注意してください。前のセクションで概説したすべての一般的なガイドラインは、可能な限り評価モジュールのレイアウト設計に反映されています。

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能評価、コード生成、およびシステム開発に使用するツールとソフトウェアを以下に示します。

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

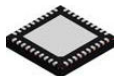
11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2025	*	初版。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

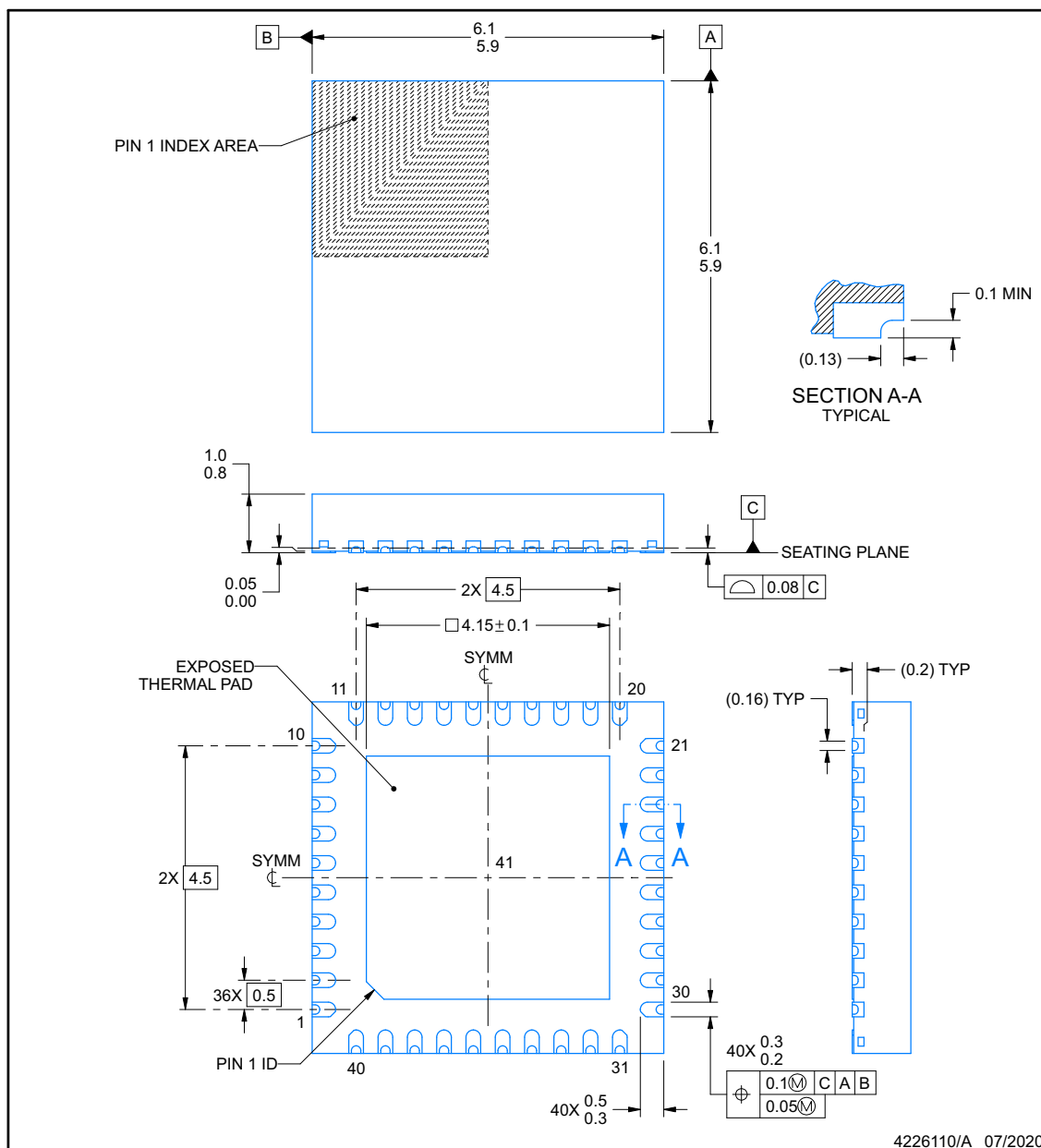


RHA0040M

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

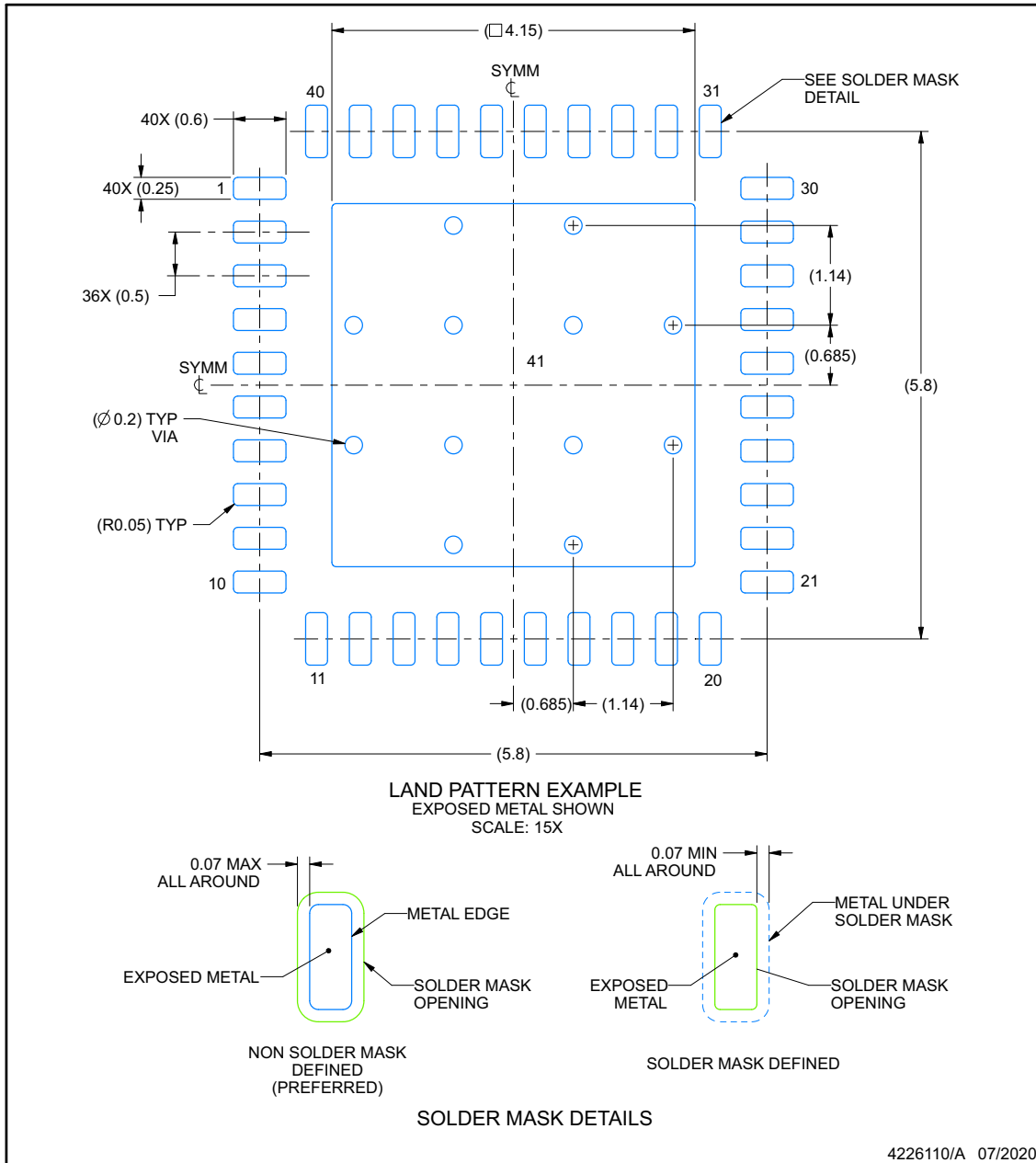
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RHA0040M

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

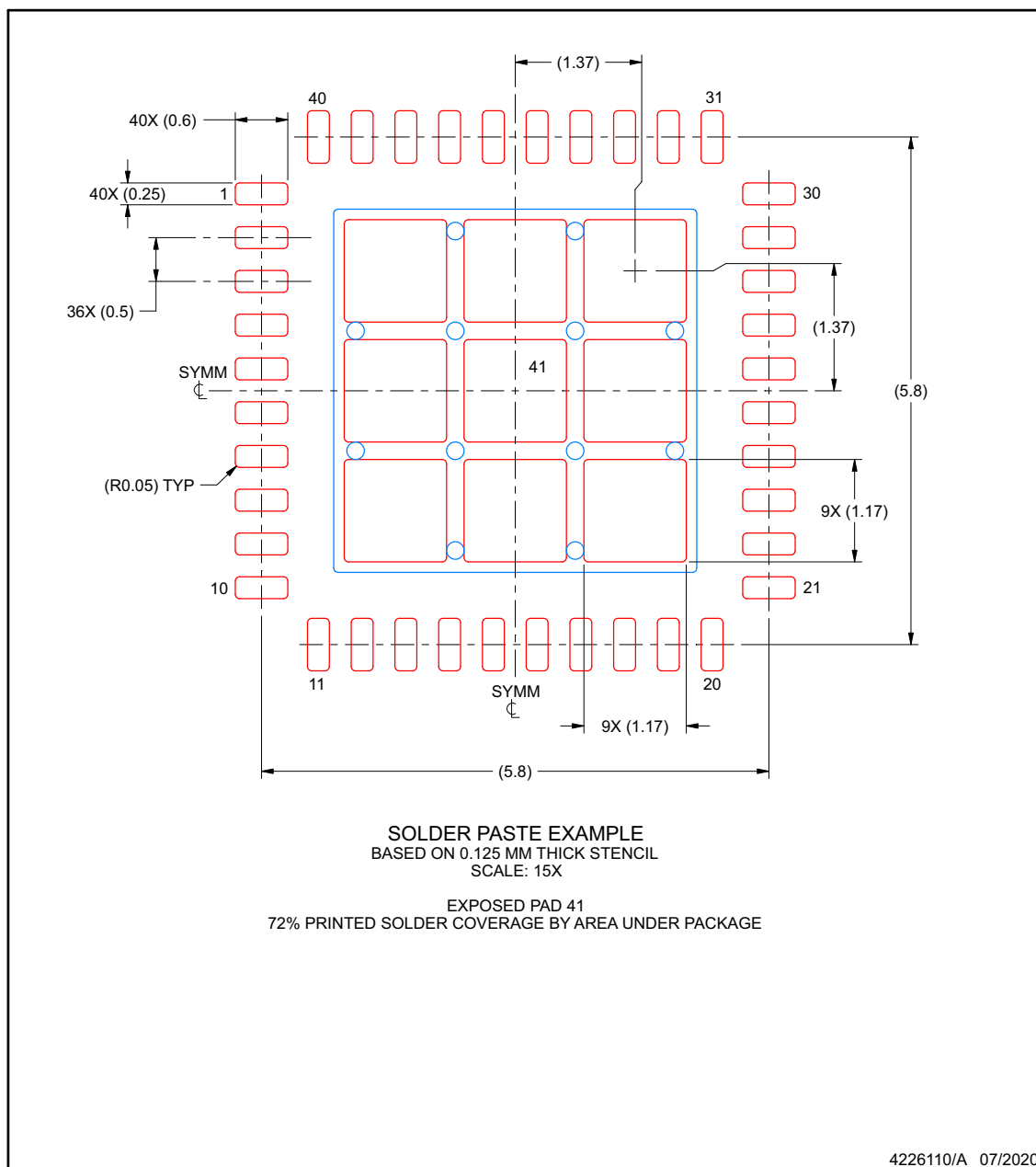
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHA0040M

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

12.1 付録 : パッケージ オプション

パッケージ情報

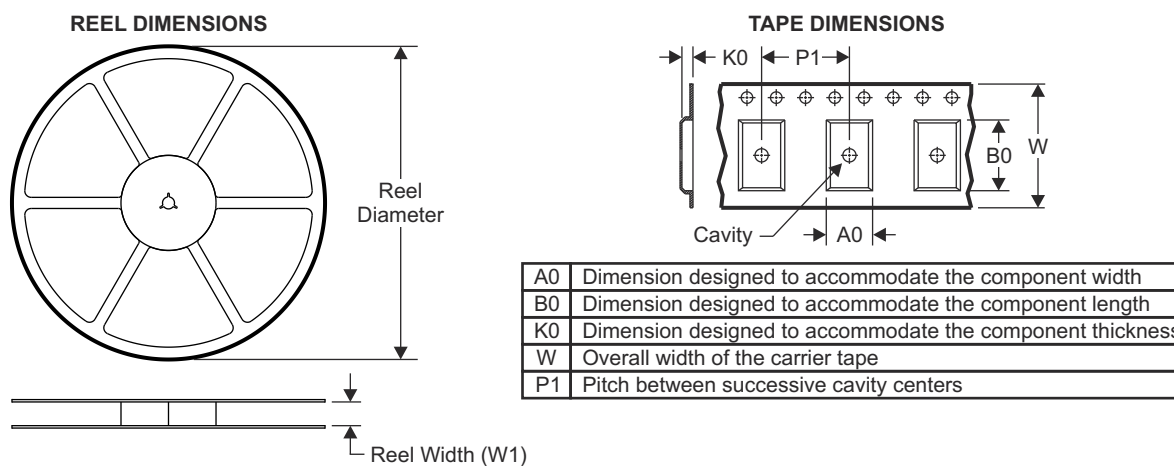
発注可能なデバイス	供給状況	パッケージ タイプ ⁽¹⁾	パッケージ図	ピン数	パッケージの数量	エコ プラン ⁽²⁾	リード / ボール仕上げ ⁽⁶⁾	MSL ピーク温度 ⁽³⁾	動作温度 (°C)	デバイス マーキング ^{(4) (5)}
DRV8001QWR HARQ1	プレビュー	VQFN	RHA	40	2500	RoHS & グリーン	NiPdAu	Level-2-260C-1 YEAR	-40～125	PDRV8001-Q1

- マーケティング ステータスの値は次のように定義されています。
供給中: 新しい設計への使用が推奨される量産デバイス。
最終受注中: テキサス・インスツルメンツはデバイスの生産終了を発表しており、現在最終受注期間中です。
非推奨品: 新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。
量産開始前: 量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。
プレビュー: デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品: テキサス・インスツルメンツは、このデバイスの生産を終了しました。
- エコ プラン - 環境に配慮した計画的な分類: 鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報、および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。
未定: 鉛フリー / グリーン転換プランが策定されていません。
鉛フリー (RoHS): テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した テキサス・インスツルメンツ鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。
鉛フリー (RoHS 適用除外): この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンパ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。
グリーン (RoHS および Sb/Br 非含有): テキサス・インスツルメンツにおける「グリーン」は、鉛フリー (RoHS 準拠) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。
- MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。
- ロゴ、ロットトレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。
- 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「~」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。
- リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。

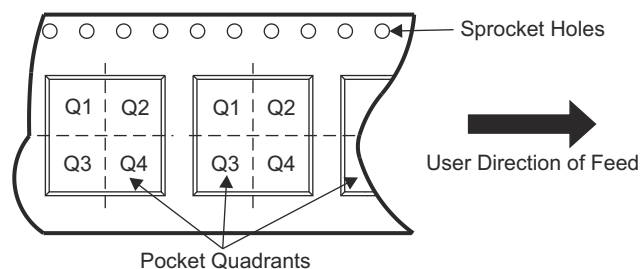
重要なお知らせと免責事項: このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格 (年次ベース) を超えることはありません。

12.2 テープおよびリール情報

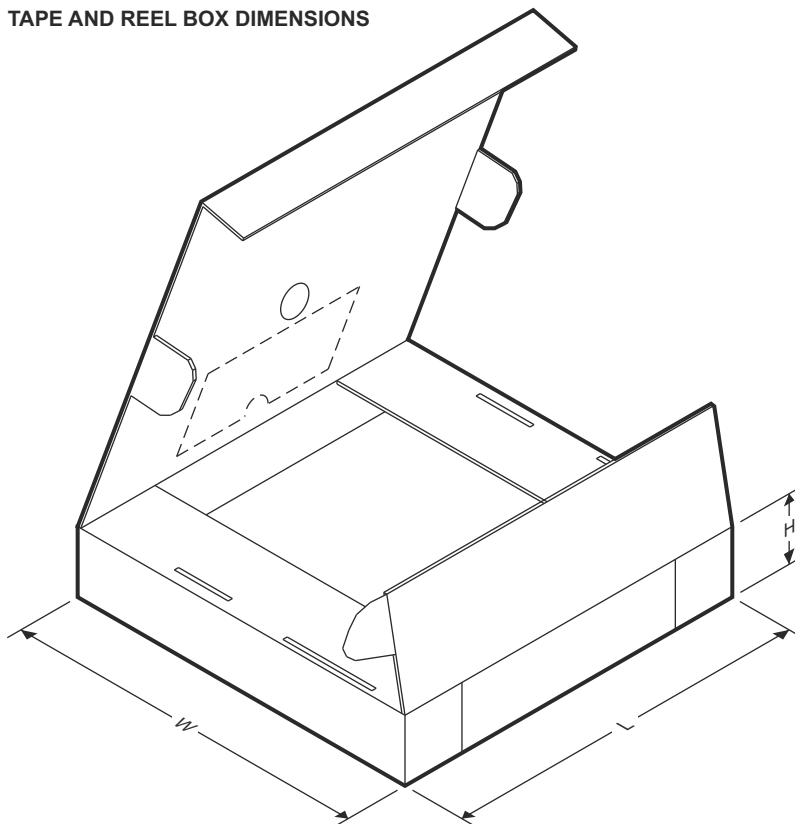


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン数	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
DRV8001QWRHARQ1	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12	16	Q2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
DRV8001QWRHARQ1	VQFN	RHA	40	2500	367	367	35

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV8001QWRHARQ1	Active	Preproduction	VQFN (RHA) 40	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PDRV8001QWRHARQ1.A	Active	Preproduction	null (null)	2500 LARGE T&R	-	Call TI	Call TI	See PDRV8001QWRHARQ1	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

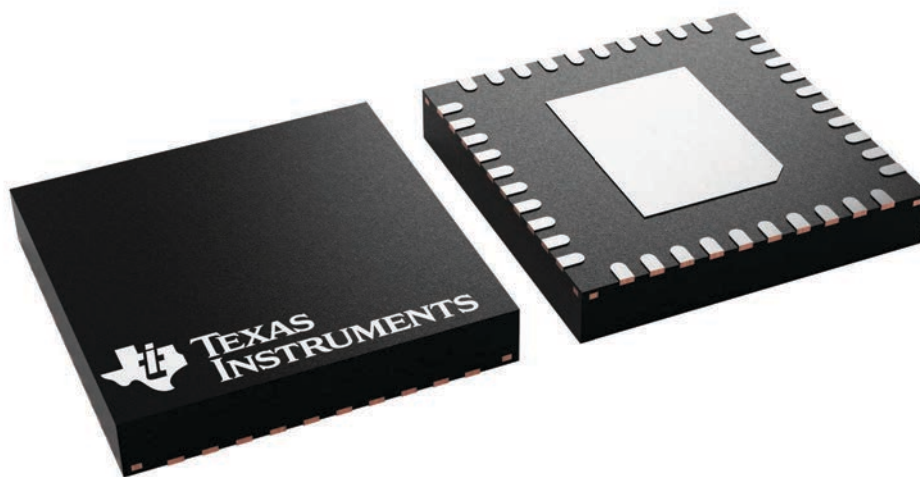
RHA 40

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225870/A

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated