

DRV2624 内蔵メモリ搭載超低消費電力閉ループ LRA/ERM ハプティック ドライバー

1 特長

- 超低電力シャットダウン モード
- 低消費電力のスタンバイ状態
- 抵抗ベースのアクチュエータ診断
- SimpleDrive 1 線式振動方式
- 自動共振トラッキングおよび報告
- 自動オーバードライブおよびブレーキ
- 自動レベル キャリブレーション
- バッテリ放電に対応する駆動補償機能
- 電力保持機能付きの構成可能なバッテリ モニタ
- 自動ブレーキを使用したオフ共振駆動
- LRA 波形形状の選択
- ループ可能な波形シーケンサを備えた、RAM
- リアルタイム再生 (RTP) モード
- I²C 制御のデジタル プレイバック エンジン
- ハードウェアとソフトウェアのトリガ オプション
- 自動ブレーキによるスタンバイへの自動的な遷移
- オプションの割り込みピン
- 1.8V 互換、VDD 許容のデジタル インターフェイス ¹

2 アプリケーション

- 携帯電話およびタブレット
- フィットネス バンドやウェアラブル デバイスなど
- リモート制御、マウス、ペリフェラル デバイス
- タッチ対応デバイス
- ヒューマン マシン インターフェイス

3 説明

DRV2624 デバイスは、独自の閉ループ アーキテクチャに依存したハプティクスドライバで、消費電力を最適化しながら、シャープで強力で一貫性のあるハプティクス効果を実現します。

内部メモリとループ可能な波形シーケンサと、自動オーバードライブおよびブレーキ機能により、鮮明で最適なハプティクス効果を簡単に生成できるため、処理ユニットの負荷が軽減されます。

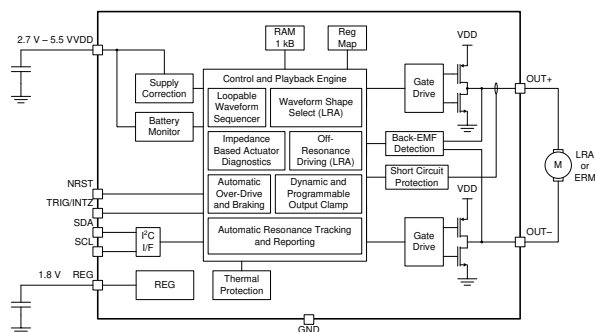
DRV2624 デバイスには、自動的にスタンバイ状態に移行する機能とバッテリ保存機能があり、ユーザーの介入なしに消費電力を低減できます。NRST ピンを使用すると、完全なシャットダウン状態を設定して、消費電力をさらに削減できます。

波形形状の選択を使用すると、正弦波および方形波ドライブでハプティクスの操作感と可聴性能をカスタマイズできます。自動ブレーキによるオフ共振駆動により、非共振ハプティクス設計を簡素化できます。

パッケージ情報

型番	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
DRV2624	DSBGA (9)	1.498mm × 1.361mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



概略回路図

¹ による特許申請中の制御アルゴリズム



目次

1 特長	1	8.17 アドレス:0x10.....	50
2 アプリケーション	1	8.18 アドレス:0x11.....	50
3 説明	1	8.19 アドレス:0x12.....	51
4 ピン構成および機能	3	8.20 アドレス:0x13.....	51
5 仕様	4	8.21 アドレス:0x14.....	52
5.1 絶対最大定格.....	4	8.22 アドレス:0x15.....	52
5.2 ESD 定格.....	4	8.23 アドレス:0x16.....	53
5.3 推奨動作条件.....	4	8.24 アドレス:0x17.....	53
5.4 熱に関する情報.....	4	8.25 アドレス:0x18.....	54
5.5 電気的特性.....	6	8.26 アドレス:0x19.....	55
5.6 タイミング要件.....	6	8.27 アドレス:0x1A.....	55
5.7 スイッチング特性.....	6	8.28 アドレス:0x1B.....	55
5.8 代表的特性.....	8	8.29 アドレス:0x1C.....	56
6 パラメータ測定情報	11	8.30 アドレス:0x1D.....	56
6.1 グラフのテスト構成.....	11	8.31 アドレス:0x1F.....	56
7 詳細説明	12	8.32 アドレス:0x20.....	58
7.1 概要.....	12	8.33 アドレス:0x21.....	58
7.2 機能ブロック図.....	12	8.34 アドレス:0x22.....	58
7.3 機能説明.....	12	8.35 アドレス:0x23.....	59
7.4 デバイスの機能モード.....	22	8.36 アドレス:0x24.....	59
7.5 例外的な条件下の動作です.....	25	8.37 アドレス:0x25.....	61
7.6 プログラミング.....	26	8.38 アドレス:0x26.....	61
8 レジスタ マップ	39	8.39 アドレス:0x27.....	61
8.1 アドレス:0x00.....	41	8.40 アドレス:0x28.....	62
8.2 アドレス:0x01.....	41	8.41 アドレス:0x29.....	64
8.3 アドレス:0x02.....	43	8.42 アドレス:0x2A.....	64
8.4 アドレス:0x03.....	43	8.43 アドレス:0x2C.....	66
8.5 アドレス:0x04.....	43	8.44 アドレス:0x2E.....	66
8.6 アドレス:0x05.....	44	8.45 アドレス:0x2F.....	66
8.7 アドレス:0x06.....	44	8.46 アドレス:0x30.....	68
8.8 アドレス:0x07.....	45	8.47 アドレス:0xFD.....	68
8.9 アドレス:0x08.....	46	8.48 アドレス:0xFE.....	68
8.10 アドレス:0x09.....	47	8.49 アドレス:0xFF.....	68
8.11 アドレス:0x0A.....	47	9 デバイスおよびドキュメントのサポート	76
8.12 アドレス:0x0B.....	47	9.1 デバイス サポート.....	76
8.13 アドレス:0x0C.....	48	9.2 商標.....	76
8.14 アドレス:0x0D.....	48	10 改訂履歴	76
8.15 アドレス:0x0E.....	49	11 メカニカル、パッケージ、および注文情報	77
8.16 アドレス:0x0F.....	49		

4 ピン構成および機能

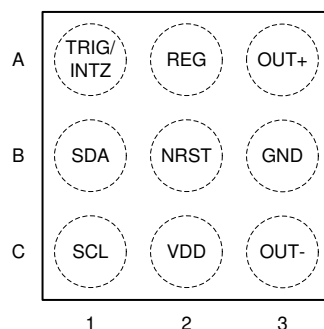


図 4-1. YFF パッケージ 9 ピン DSBGA 上面図

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
VDD	C2	P	電源電圧 (2.7V ~ 5.5V)。0.1μF セラミック コンデンサが必要です。
GND	B3	P	電源グランド
REG	A2	O	1.8V レギュレータ出力。0.1μF セラミック コンデンサが必要です
OUT-	C3	O	負のハブティクスドライバの差動出力
OUT+	A3	O	正のハブティクスドライバの差動出力
SDA	B1	I/O	I ² C データ
SCL	C1	I	I ² C クロック
TRIG/INTZ	A1	I/O	マルチモード ピン。入力トリガ (パルス)、入力イネーブル、または出力割り込みとして選択できます。このピンには、内部にプルダウン抵抗があります。 ピンを使用しない場合は、このピンはグランドに接続されます。
NRST	B2	I	デバイスリセット ピン (シャットダウン モード) このピンを使用しない場合、そのピンは VDD に接続されます (内部プルアップまたはプルダウンはなし)。

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
電源電圧	V_{DD}	-0.3	6	V
入力電圧	NRST	-0.3	6	V
	SDA	-0.3	6	V
	SCL	-0.3	6	V
	TRIG/INTZ	-0.3	6	V
自由気流での動作温度範囲、 T_A		-40	85	°C
動作時の接合部温度範囲、 T_J		-40	150	°C
保管温度、 T_{stg}		-65	150	°C

(1) 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		最小値	最大値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	-1500	1500	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	-500	500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{DD}	電源電圧	2.7		5.5	V
R_L	負荷インピーダンス	8			Ω
C_L	負荷容量			100	pF
$f_{(LRA)}$	LRA 周波数	45		300	Hz

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DRV2625	単位
		DSBGA	
		9 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	107	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	0.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	18.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	18.1	°C/W

熱評価基準 ⁽¹⁾	DRV2625	単位
	DSBGA	
	9 ピン	
$R_{\theta JC(bot)}$ 接合部からケース (底面) への熱抵抗	—	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。

5.5 電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.6\text{V}$ 、特に記述のない限り

パラメータ	テスト条件	最小値	標準値	最大値	単位
$V_{(\text{REG})}$	REG ピンでの電圧		1.84		V
I_{IL}	デジタル low レベル入力電流			100	nA
I_{IH}	デジタル high レベル入力電流			0.1	μA
	SDA, SCL $V_{DD} = 5.5\text{V}$, $V_I = V_{DD}$			1	
	NRST $V_{DD} = 5.5\text{V}$, $V_I = V_{DD}$		2.7	3.5	
V_{IL}	デジタル low レベル入力電圧			0.4	V
V_{IH}	デジタル high レベル入力電圧	1.41			V
V_{OL}	デジタル low レベル出力電圧			0.4	V
	3mA シンク電流				
$R_{\text{DS(on)}}$	ドレイン-ソース間オン抵抗 (LS + HS)		0.75		Ω
$I_{(\text{SD})}$	シャットダウン電流	$V_{(\text{NRST})} = 0\text{V}$	105	180	nA
$I_{(\text{STBY})}$	スタンバイ電流	$V_{(\text{NRST})} = V_{DD}$ スタンバイ モードで	1.55	2	μA
$I_{(\text{Q})}$	静止時電流	$V_{(\text{NRST})} = V_{DD}$ アイドル モードで - 信号無し	2.5		mA
$Z_{\text{O(SD)}}$	シャットダウン時の出力インピーダンス	OUT+ から GND、OUT- から GND へ	15		k Ω
$Z_{\text{O(STBY)}}$	スタンバイ時の出力インピーダンス	OUT+ から GND、OUT- から GND へ	15		k Ω
$Z_{\text{LOAD(th)}}$	過電流検出の負荷インピーダンス スレッシュ ホルド	OUT+ から GND、OUT- から GND へ	4		Ω

5.6 タイミング要件

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.6\text{V}$ 、特に記述のない限り

	最小値	公称値	最大値	単位
$f_{(\text{SCL})}$			400	kHz
$t_{\text{w(H)}}$	0.6			μs
$t_{\text{w(L)}}$	1.3			μs
$t_{\text{su(1)}}$	100			ns
$t_{\text{h(1)}}$	10			ns
$t_{(\text{BUF})}$	1.3			μs
$t_{\text{su(2)}}$	0.6			μs
$t_{\text{h(2)}}$	0.6			μs
$t_{\text{su(3)}}$	0.6			μs

5.7 スイッチング特性

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.6\text{V}$ 、特に記述のない限り

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{(\text{on})}$	デバイスの起動時間		1		ms
	スタンバイからの電力消費を防止します				

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.6\text{V}$ 、特に記述のない限り

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{start}	波形起動時間 トリガから出力信号までの経路を保護します		1		ms
$f_{\text{O(PWM)}}$	PWM 出力周波数 (OUT+ および OUT- で)		20.5		kHz

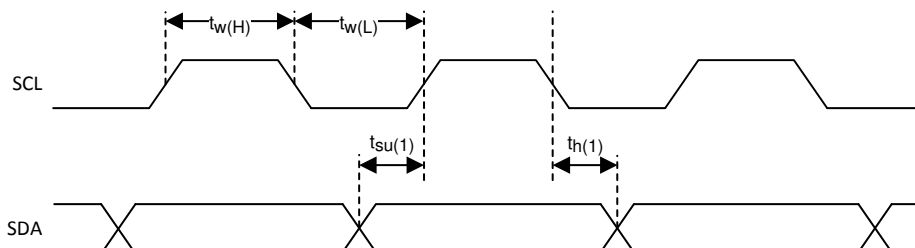


図 5-1. SCL と SDA のタイミング

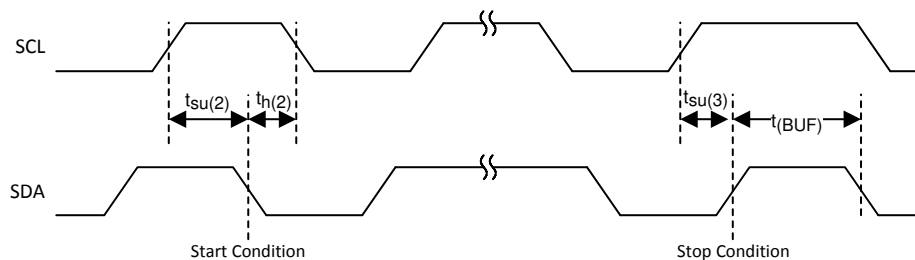


図 5-2. スタート条件とストップ条件のタイミング

5.8 代表的特性

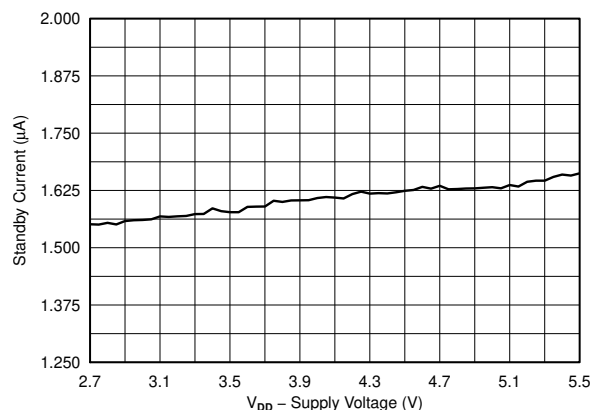
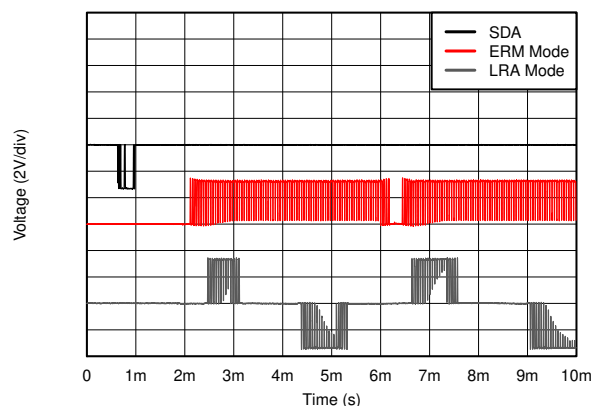
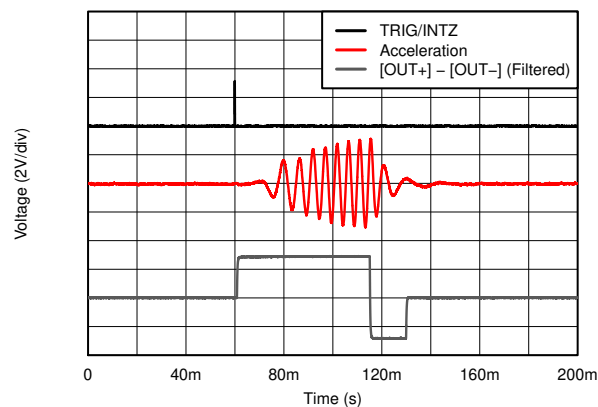


図 5-3. スタンドバイ電流と電源電圧との関係



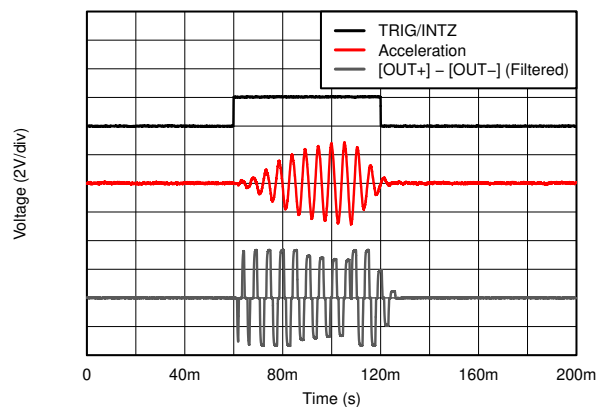
$V_{DD} = 3.6V$

図 5-4. ERM と LRA の起動レイテンシ



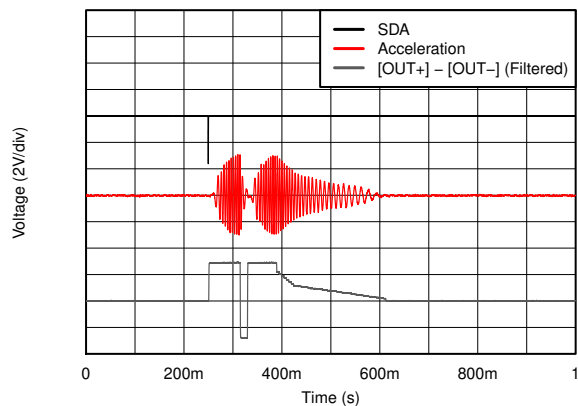
$V_{DD} = 3.6V$

図 5-5. 外部パルス トリガによる ERM クリック (開ループ)



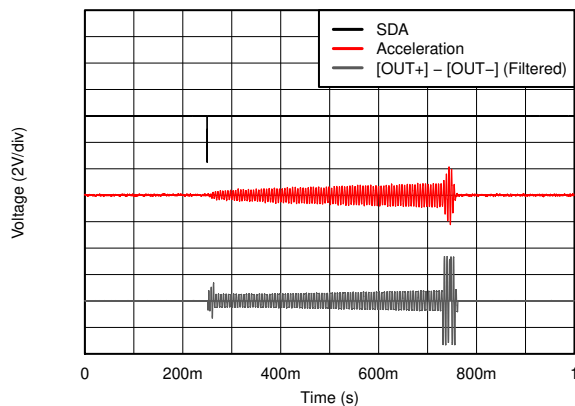
$V_{DD} = 3.6V$

図 5-6. 外部レベル トリガによる LRA 強いクリック (閉ループ)



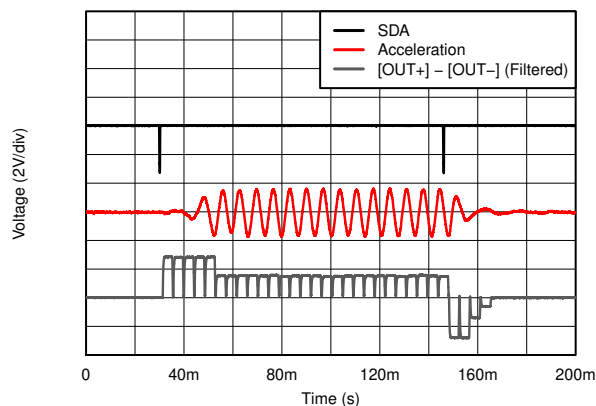
$V_{DD} = 3.6V$

図 5-7. 内部トリガ付き ERM クリックバウンス (開ループ)



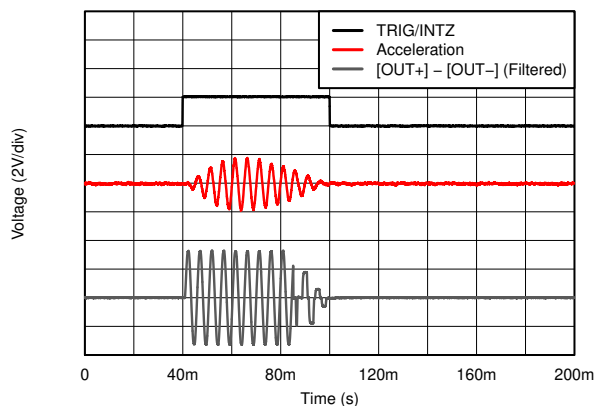
$V_{DD} = 3.6V$

図 5-8. 内部トリガによる LRA 遷移クリック (開ループ)



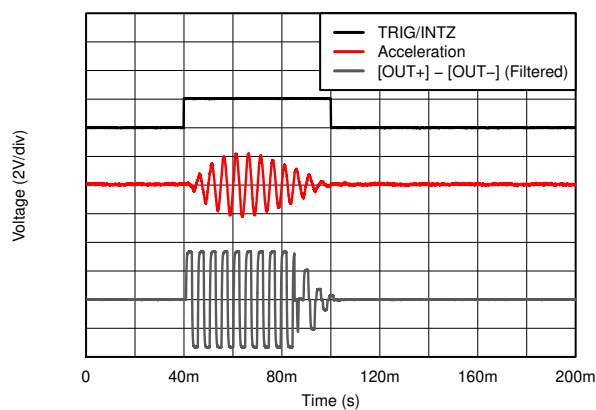
$V_{DD} = 3.6V$

図 5-9. ERM RTP バズ (クローズドループ)、パルストリガ付き



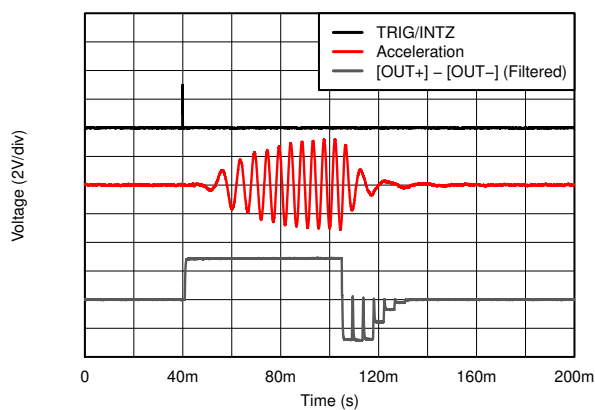
$V_{DD} = 3.6V$

図 5-10. LRA 正弦波クリック (開ループ) と自動ブレーキ



$V_{DD} = 3.6V$

図 5-11. LRA 方形波自動ブレーキ付きクリック (開ループ)



$V_{DD} = 3.6V$

図 5-12. 自動ブレーキ機能を備えた ERM クリック (開ループ)

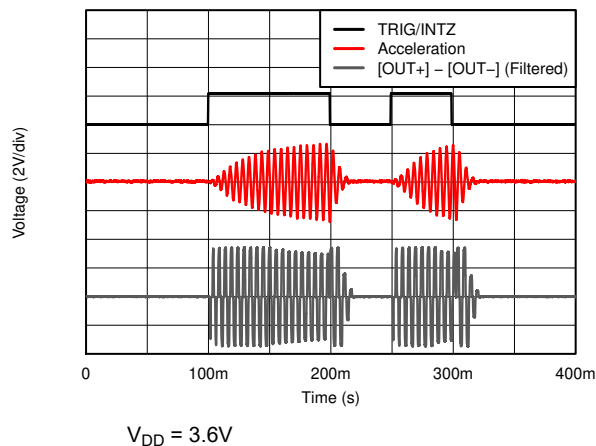


図 5-13. クローズドループを備えた LRA SimpleDrive

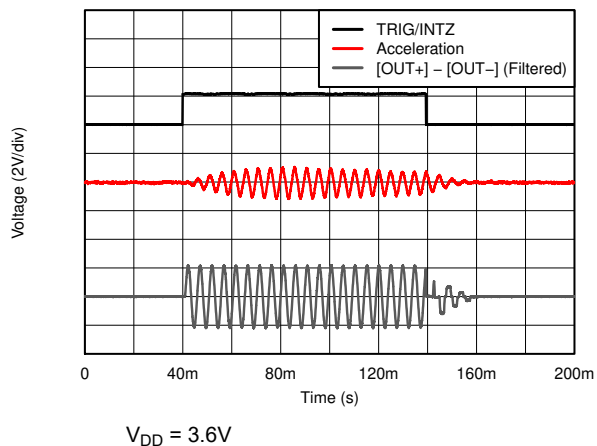


図 5-14. 正弦波を備えた LRA SimpleDrive

6 パラメータ測定情報

6.1 グラフのテスト構成

代表的特性セクションに表示されるグラフをキャプチャするには、出力フィルタなしでキャプチャされる図 6-1 の波形を除いて、次の 1 次 RC フィルタ設定が使用されます。出力 PWM 変調はすべてのモードに搭載しているため、このフィルタはオシロスコープで出力信号を表示するときに使用します。閉ループおよび自動共振トラッキング機能に影響を与える可能性があるため、フィルタの実効インピーダンスが低すぎないようにします。そのため、出力測定にはこの正確なフィルタを使用することをお勧めします。ほとんどのオシロスコープの入力インピーダンスは各チャンネルで $1\text{M}\Omega$ であるため、フィルタによる分圧器の効果により、測定された振幅が約 1% 低下します。

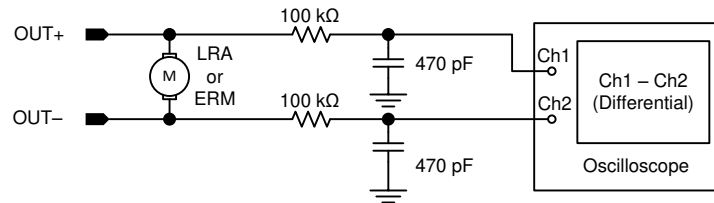


図 6-1. テスト設定

6.1.1 デフォルトのテスト条件

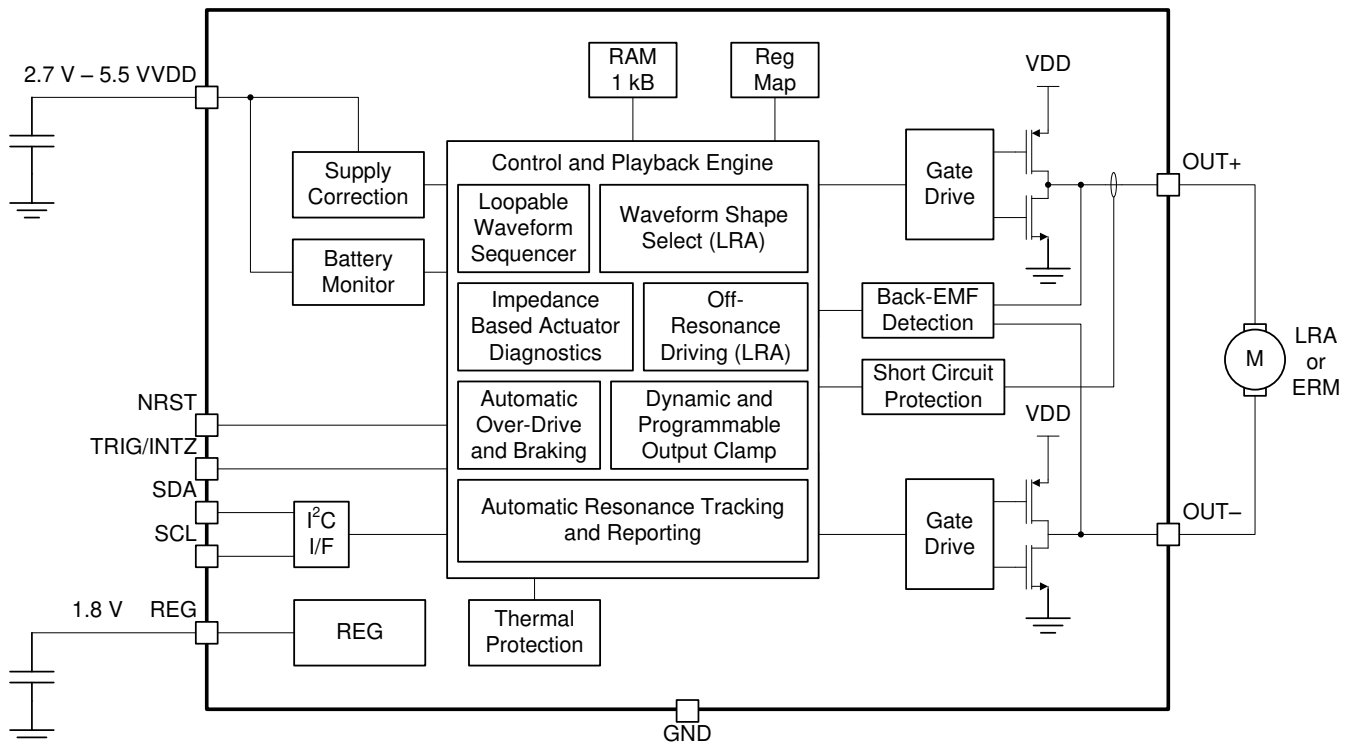
- $V_{DD} = 3.6\text{V}$ 、特に記述のない限り。
- 特に記述のない限り、ERM および LRA モードの負荷として (モデル化されたアクチュエータとは対照的に) 実際のアクチュエータを使用した。

7 詳細説明

7.1 概要

DRV2624 デバイスは、独自の閉ループアーキテクチャに依存したハプティクスドライバで、消費電力を最適化しながら、シャープで強力で一貫性のあるハプティクス効果を実現します。内部メモリとループ可能な波形シーケンサ、自動オーバードライブおよびブレーキ機能により、鮮明で最適なハプティック効果を簡単に生成できるため、処理ユニットの負荷が軽減されます。DRV2624 デバイスには、自動的にスタンバイ状態に移行する機能とバッテリー保存機能があり、ユーザーの介入なしに消費電力を低減できます。NRST ピンを使用すると、完全なシャットダウン状態を設定して、消費電力をさらに削減できます。波形形状の選択を使用すると、正弦波および方形波ドライブでハプティクスの操作感と可聴性能をカスタマイズできます。自動ブレーキによるオフ共振駆動により、非共振ハプティクス設計を簡素化できます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 ERM および LRA アクチュエータ向け

DRV2624 デバイスは、ERM と LRA の両方のアクチュエータをサポートしています。LRA_ERM ビットは、デバイスが使用するアクチュエータのタイプを選択するように設定する必要があります。

7.3.2 スマート ループ アーキテクチャ

スマート ループ アーキテクチャは、アクチュエータの性能を最適化し、障害検出を可能にする高度な閉ループ システムです。このアーキテクチャは、自動共振トラッキングおよび報告 (LRA 用)、自動レベル キャリブレーション、起動および停止の高速化、抵抗ベースの診断ルーチン、その他の独自アルゴリズムで構成されています。

7.3.2.1 LRA 用自動共振エンジン

DRV2624 自動共振エンジンは、LRA の共振周波数をリアルタイムで追跡し、半サイクル後に共振周波数に効果的にロックします。何らかの理由で波形の中央に共振周波数が変化した場合、エンジンはサイクルごとに周波数を追跡します。自動共振エンジンはアクチュエータの逆起電力を常に監視することでトラッキングを実行します。自動共振エンジンは、レ

ベル キャリブレーションにのみ使用される自動キャリブレーション プロセスの影響を受けないことに注意してください。自動共振エンジンにはキャリブレーションは不要です。

7.3.2.2 LRA 向けリアルタイム共振周波数レポート

スマート ループ アーキテクチャにより、LRA の共振周波数は I²C 経由で利用可能になります。周波数報告はリアルタイムで行われるため、DRV2624 デバイスが LRA と同期している間に周波数記録をポーリングする必要があります。アクチュエータがアイドル状態またはブレーキ状態のとき、ポーリングされたデータはポーリングされません。

7.3.2.3 LRA でオープン ループに自動切り替え

LRA が有効でない逆 EMF 信号を生成した場合、DRV2624 デバイスは自動的に開ループ動作に切り替わり、デフォルトかつ設定可能な周波数でオーバー ドライブ モードでアクチュエータにエネルギーを供給し続けます。LRA が有効な逆 EMF 信号を生成し始めた場合、自動共振エンジンが自動的に制御を引き継ぎ、共振周波数をリアルタイムで追跡し続けます。このモードに同期すると、スマート ループ アーキテクチャの利点のすべてが使用されます。

$$f_{(LRA_NO-BEMF)} \approx \frac{1}{2 \times (t_{(DRIVE_TIME[4:0])} - t_{(ZC_DET_TIME[1:0])})} \quad (1)$$

この DRV2624 デバイスは、再同期オプションなしに、開ループ モードに自動的に移行できます。この機能は LRA_AUTO_OPEN_LOOP ビットの設定でイネーブルになります。オープン ループ モードへの移行は、ドライバが LRA との同期に失敗したときのみ発生します。AUTO_OL_CNT[1:0] パラメータを調整することで、開ループ モードへの遷移前に許容される非同期サイクルの量を設定できます。開ループ モードは、自動オーバー ドライブやブレーキなどのスマート ループ アーキテクチャは恩恵を受けないことに注意してください。

$$f_{(LRA_OL)} = \frac{1}{OL_LRA_PERIOD[6:0] \times 97.56 \times 10^{-6}} \quad (2)$$

7.3.2.4 自動オーバー ドライブおよびブレーキ

DRV2624 の重要な特長の 1 つが、ERM と LRA の両方のアクチュエータ フィードバック制御を採用したスマートループ アーキテクチャです。フィードバック制御は、自動的なオーバー ドライブと自動ブレーキを実現することで、モーターの応答動作から入力波形を感知しません。

開ループのハプティクス システムは一般に、アクチュエータの定常状態定格電圧より高いオーバー ドライブ電圧を起動時に駆動して、アクチュエータの起動レイテンシを短縮します。同様に、効果的なブレーキのためにブレーキ アルゴリズムを採用する必要があります。開ループ ドライバを使用する場合、これらの動作は入力波形データに含める必要があります。モーター A と モーター B の ERM アクチュエータの例を考えてみましょう。開ループ内の入力波形は異なります (図 7-1 を参照)。一方、自動オーバー ドライブとブレーキを備えたスマート ループ技術を使用することで、両方のアクチュエータで同じ入力波形が機能します (図 7-2 を参照)。スマート ループ アーキテクチャは、フィードバック制御と自動共振エンジンの組み合わせにより、LRA に対しても同様に適切に機能します。

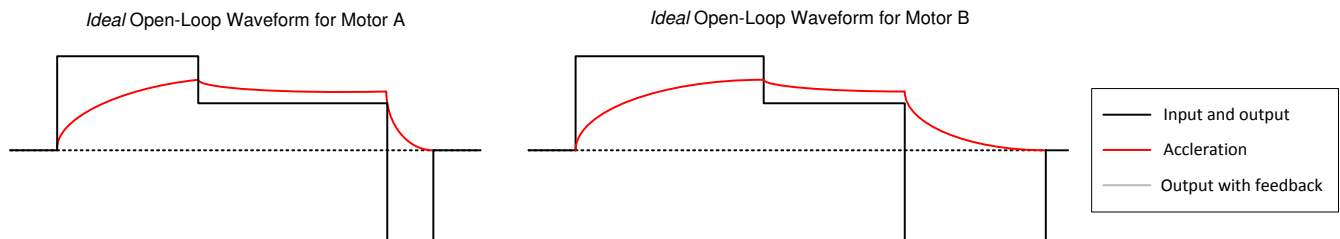


図 7-1. 標準的な開ループ波形

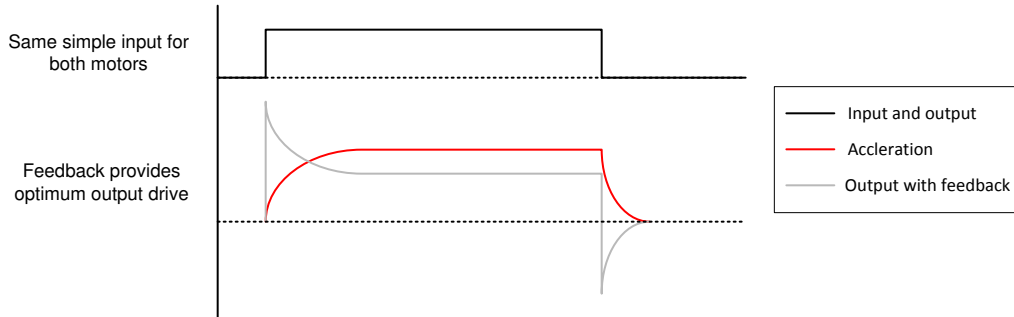


図 7-2. スマート ループによる波形単純化

7.3.2.4.1 起動ブースト

アクチュエータの開始時間性能を低減するため、DRV2624 デバイスにオーバー ドライブ ブースト機能があり、アクチュエータの過渡応答により高いループ ゲインを適用します。

7.3.2.4.2 ブレーキ ファクター

アクチュエータのブレーキ時間性能を最適化するため、この DRV2624 デバイスはブレーキと駆動ゲインの間のゲイン比を高める手段を提供します。フィードバック ゲイン比が高いとブレーキ時間が短くなりますが、これらの比率によって閉ループ システムの安定性も低下します。FB_BRAKE_FACTOR パラメータは、ブレーキ係数を設定するために調整できます。

7.3.2.5 自動レベル キャリブレーション

スマート ループ アーキテクチャは、アクチュエータの逆起電力動作を監視することでアクチュエータ フィードバックを使用します。逆起電力のレベルは、アクチュエータの構造によってアクチュエータ メーカーによって異なる可能性があります。自動キャリブレーションはこの変動を補償し、指定された定格電圧とオーバー ドライブ クランプ レジスタ設定に従って目的のアクチュエータのスケーリングも実行します。自動キャリブレーションが実行されると、いずれかの DRV2624 入力インターフェイスで 100% の信号レベルがアクチュエータに定常状態で定格電圧を供給します。帰還により、出力レベルが定格電圧レベルよりも高くなると、自動オーバー ドライブおよびブレーキが可能になりますが、出力レベルがプログラム可能なオーバー ドライブ クランプ電圧を超えません。

7.3.2.5.1 抵抗性損失に対応する自動補償

この DRV2624 デバイスは、ドライバの抵抗損失を自動的に補償します。自動レベル キャリブレーション ルーチン中に、アクチュエータの抵抗をチェックし、補正係数を決定して A_CAL_COMP パラメータに保存します。

7.3.2.5.2 自動的な逆起電力正規化

DRV2624 デバイスは、アクチュエータ間の逆起電力の大きさの違いを自動的に補償します。補償係数は、自動レベル キャリブレーション ルーチン中に決定され、その係数は A_CAL_BEMF パラメータに保存されます。

7.3.2.5.3 キャリブレーション時間調整

自動レベル キャリブレーション ルーチンの持続時間は、精度に影響を与えます。影響はアクチュエータの開始時間特性に大きく依存します。自動較正ルーチンは、較正係数が計算される前にアクチュエータが一定の加速に達することを想定しています。開始時間の特性はアクチュエータごとに異なる可能性があるため、AUTO_CAL_TIME パラメータはキャリブレーション性能を最適化するために、自動レベル キャリブレーション ルーチンの持続時間を変更できます。または、較正ルーチンの期間をトリガで調整し、AUTO_CAL_TIME パラメータのオプションを選択することもできます。

7.3.2.5.4 ループゲイン制御

DRV2624 デバイスを使用すると、ドライバが逆起電力 (つまりモーター速度) と入力信号レベルを一致させる速さを制御できます。ループ ゲインが高い (またはセトリングが高速) オプションを選択すると、ループ ゲインが低い (またはセトリングが遅い) 場合よりも安定しない動作が得られます。LOOP_GAIN パラメータは、ループ ゲインを制御します。

7.3.2.5.5 逆起電力ゲイン制御

BEMF_GAIN パラメータは、逆起電力アンプのアナログ ゲインを設定します。自動較正ルーチンは、アクチュエータに最適な値を BEMF_GAIN ビットに自動的に設定します。

SAMPLE_TIME パラメータを変更すると、逆起電力ゲインも調整されます。サンプリング時間が長いほど、ゲインは大きくなります。

7.3.2.6 アクチュエータ診断

DRV2624 デバイスは、アクチュエータが存在しない (開放) か短絡しているかを判断できます。診断プロセス中にフォルトが検出されると、DIAG_RESULT ビットがアサートされます。

DRV2624 このデバイスはアクチュエータ抵抗測定機能も備えており、DIAG_Z_RESULT パラメータで利用できます。

$$R_{\text{(act)}} = 478.43 \cdot \frac{\text{DIAG_Z_RESULT}[7:0]}{719 + 4 \cdot \text{CURRENT_K}[7:0]} \quad (3)$$

7.3.2.7 自動再同期

LRA アクチュエータの場合、DRV2624 デバイスには自動再同期機能があり、アクチュエータの移動中に波形の再生が開始されると、アクチュエータを正しい方向に自動的にプッシュします。波形が開始されたときにアクチュエータが静止している場合、DRV2624 デバイスはデフォルト方向に駆動されます。

7.3.3 開ループ動作

開ループ動作が必要な場合、DRV2624 デバイスはすべての閉ループ パラメータをオーバーライドする開ループ駆動モードを備えており、デジタル インターフェイス経由で利用可能です。

このモードを有効化すると、デジタル開ループモードを保存済み波形と RTP モードで使用できます。

開ループ動作のダイナミック レンジは OD_CLAMP[7:0] によって設定され、最大ピーク値が設定されます。振幅コード (RTP または内部メモリを使用) は、出力を適宜スケールリングします。

LRA アクチュエータの場合、OL_LRA_PERIOD パラメータは、PWM 出力周波数 $f_{O(PWM)}$ から得られる動作周波数をプログラムします。

7.3.3.1 LRA 用の波形形状の選択

DRV2624 では、開ループ モードでの正弦波または方形波の波形を選択できます。WAVE_SHAPE_LRA パラメータは、使用するシェイプを選択します。ERM モードおよび閉ループ モードでは、WAVE_SHAPE_LRA パラメータは無視されます。

7.3.3.2 開ループでの自動ブレーキ

DRV2624 は、ERM と LRA の両方について、開ループで自動ブレーキ機能を備えています。自動ブレーキを実現するため、DRV2624 はブレーキ期間中に閉ループにスイッチするため、閉ループ波形の形状に頼っています。AUTO_BRK_OL パラメータを使用して、自動ブレーキ機能をイネーブルまたはディセーブルにできます。自動ブレーキ機能を使用するには、開ループ動作に合わせてデバイスを適切に構成する必要があります。

7.3.4 柔軟なフロントエンド インターフェイス

DRV2624 デバイスは、ハブティクス効果の起動と制御に複数の方法を提供しています。MODE パラメータは、波形シーケンサを使用するか (このため、内部または外部のトリガで波形をトリガするか)、RTP モードを使用するかを選択します。汎用 TRIG/INTZ ピンは TRIG_PIN_FUNC パラメータで構成できるため、柔軟性が向上します。

7.3.4.1 内部メモリ インターフェイス

DRV2624 デバイスは、再生エンジンで使用される波形保存のために 1kB の RAM を内蔵して設計されています。データは効率的な方法 (電圧と時間のペア) で保存され、搬送可能な波形の数を最大化します。再生エンジンには、スタート波形および終了波形ポイントに依存し、リニア補間技法を使用して、滑らかなランプ (上下) を生成する機能もあります。

ホスト プロセッサではなく DRV2624 に波形を保存するには、次のようないくつかの利点があります。

- デジタル ストリーミング (RTP) のような処理要件のオフロード。
- DRV2624 に波形を保存し、トリガ信号のみを必要とすることで、レイテンシを改善できます。
- 波形データを転送する必要がなくなるため、I²C トラフィックが減少

7.3.4.1.1 ライブラリ パラメーター化

内部メモリに保存されている波形は、時間オフセット パラメータによって増強されます。この拡張は、内部メモリに保存された波形に対してのみ行われ、RTP モードでは行われません。この機能の目的は、波形にタイム ストレッチ (または時間短縮) を追加することです。この機能は、特定のアクチュエータの立ち上がり時間と立ち下がり時間に合わせて、波形のライブラリ全体をカスタマイズするのに役立ちます。

ストレッチまたは縮小できる時間パラメータには、次のものがあります。

ODT	オーバー ドライブ時間
SPT	前向きな時間を維持します
SNT	負の時間を維持する
BRT	ブレーキ時間

時間値は加算オフセットで、8 ビット符号付き値です。これらの値のデフォルト オフセットは 0 です。正の値は加算され、負の値は現在再生されているエフェクトの時間値から減算されます。波形の最も正の値は自動的にオーバー ドライブ時間と解釈され、波形の最も負の値はブレーキ時間として自動的に解釈されます。これらの時間オフセット パラメータは、電圧時間のペアとニアランプの両方に適用されます。線形勾配の場合、線形補間は、その期間の 2 つの動作ポイントにわたってストレッチ (または縮小) されます。

$$t_{\text{(final)}} = t_{\text{(orig)}} + t_{\text{(ofs)}} \quad (4)$$

7.3.4.1.2 再生間隔

内部メモリエディックは、デフォルトでは 5ms 間隔と解釈されます。さらに細分化が必要な場合は、PLAYBACK_INTERVAL ビットを使用して 1ms 間隔を選択できます。

7.3.4.1.3 波形シーケンサ

波形シーケンサは、再生用の波形識別子をキューに入れます。8 つのシーケンスレジスタは、シーケンシャル再生のために最大 8 つの波形をキューに入れます。波形識別子は、内部ライブラリ内の波形のインデックス位置を示す整数値です。ユーザーが MODE[1:0] パラメータで実行するプロセスとして波形再生を選択すると、ユーザーがプロセスをトリガーすると (GO ビットを使用するか、設定されている場合は外部から)、WAV_FRM_SEQ1 から再生が開始されます。その波形の再生が終了すると、次の波形がゼロでない場合、波形シーケンサは WAV_FRM_SEQ2 に保持されている波形識別子を再生します。波形シーケンサは、シーケンサーが 0 の識別子値に達するまで、または 8 つの識別子がすべて再生されるまで、いずれかのシナリオに到達するまで、このように動作を続けます。

波形識別子の範囲は 1 ~ 127 です。各シーケンスレジスタの MSB は、シーケンス波形間の遅延を実装できます。MSB が high の場合、ビット [6:0] は待機時間の長さを示します。そのステップの待ち時間は WAV_FRM_SEQ[6:0] × 10ms になります。

DRV2624 では、次の波形識別子に移動する前に、各波形を何回もループすることができます。波形ループ機能は、WAV_SEQ_LOOP パラメータで設定できます。

また、DRV2624 では、WAV_SEQ_MAIN パラメータを構成することで、波形シーケンサ全体をループできます。この場合、波形シーケンサは、WAV_SEQ_MAIN で指定された番号に従って、すべての有効な WAV_FRM_SEQn 識別子をループします。たとえば、1 番目と 2 番目の識別子が有効である場合 (たとえば、1 と 2)、3 番目の識別子が 0 (停止する信号)、WAV_SEQ_MAIN が 1 回ループするように設定されている場合 (波形シーケンスを 2 回再生)、DRV2624 デバイスは波形 1、波形 2、波形 1、波形 2 の順に再生し、スタンバイに移行します。

7.3.4.2 リアルタイム再生 (RTP) インターフェイス

リアルタイム再生モードは、振幅値を保持する単純な単一の 8 ビット レジスタ インターフェイスです。リアルタイム再生を有効にすると、振幅値を表す RTP_INPUT パラメータが再生エンジンに直接送信されます。トリガーされると、ユーザーが停止トリガーを送信するか、デバイスを RTP モードから削除するまで、この値が再生されます。RTP モードは、ユーザーが I²C 経由でレジスタ値を入力するデジタル ストリーミング モードです。RTP モードとレガシー PWM モードは類似しているため、ホスト プロセッサの PWM ジェネレータで使用するよう設計された API (アプリケーション プログラミング インターフェイス) は、ホストタイマにデータ値を書き込む代わりに、I²C 経由でデータ値を書き込むことができます。この機能により、元のソフトウェアとの互換性を維持しながら、ホスト内のタイマーが解放されます。

LRA の場合、CONTROL_LOOP ビットが開ループ動作に設定されていない限り、DRV2624 デバイスは共振周波数を自動的に追跡します。CONTROL_LOOP ビットが開ループに設定されている場合、OL_LRA_PERIOD パラメータで設定された開ループ周波数に従って LRA が駆動されます。

7.3.4.3 プロセス トリガ

DRV2624 デバイス内のすべてのプロセス (RTP、波形シーケンサ、キャリブレーション、診断) がトリガされます。つまり、プロセスを開始する前にプロセスをトリガする必要があります。トリガは、GO ビットを使用してソフトウェアで、または TRIG/INTZ ピンを使用するハードウェアで実現できます。このプロセスは、完了すると停止するか、停止トリガーが送信された場合に停止します。外部トリガ機能の詳細については、[セクション 7.3.16](#) を参照してください。

図 7-3 の図の後に、一般的なプロセス (RTP、波形シーケンサ、キャリブレーション、または診断) が開始および終了します。

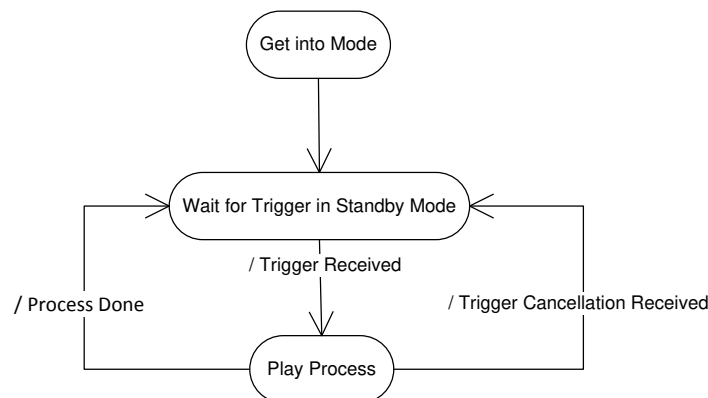


図 7-3. 典型的なプロセスの実行

7.3.5 ノイズ ゲート制御

DRV2624 デバイスにはノイズ ゲートが搭載されており、特定のスレッショルドより低い任意の電圧をフィルタで除去して、意図しない振動を防止します。NG_THRESH ビットは、スレッショルドを制御します。

7.3.6 エッジレート制御

DRV2624 出力ドライバにはエッジレート制御 (ERC) が実装されています。この制御により、出力ドライバの立ち上がりおよび立ち下がり特性が、モバイルおよびポータブル プラットフォームで一般的な他の回路に干渉する可能性のあるレベルの放射線を放射しないことが維持されます。ほとんどの ERC システムでは、外部出力フィルタ、コンデンサ、フェライトビーズは不要です。

7.3.7 一定の振動強度

DRV2624 デバイスには電源帰還が搭載されています。電源電圧が時間の経過とともに変動した場合 (バッテリー放電など)、必要な出力電圧を維持するのに十分な電源電圧が利用できる限り、振動強度は変わりません。

7.3.8 バッテリ電圧報告

再生中、デバイスは DRV2624V_{DD} ピンのサイクル毎の電圧測定を行います。この情報は、VBAT[7:0] パラメータにより提供されます。式 5 を使用して、VBAT[7:0] に基づいて電圧を計算します。

$$\text{Voltage Level (V)} = \frac{\text{VBAT}[7:0]}{255} \times 5.6 \quad (5)$$

7.3.9 超低電力シャットダウン

NRST ピンを使用してデバイスをシャットダウン状態に設定すると、消費電力が 1 マイクロレベル未満に低減されるため、ハプティクスが必要ないときにシステムの電力を維持できます。この状態では、レジスタの内容は保持されません。

7.3.10 自動移行スタンバイ (低電力)

DRV2624 は、使用していないときは自動的に低消費電力のスタンバイ状態に移行します。この状態では、レジスタの内容は保持され、I²C 通信が利用可能です。DRV2624 は、波形の再生を要求されたときのスタンバイからの高速ターンオン時間を特長としています。以下の注意事項は、DRV2624 がスタンバイ状態に完全には戻らず、疑似スタンバイ状態で立ち往生してしまうコーナー ケースについて説明しています。追加の I²C トランザクションを使用して、疑似スタンバイ状態をクリアし、完全にスタンバイ モードに戻ります。

注

このケースは、次の設定を使用する場合に適用されます。AUTO_BRK_INT0_STBY = 1 (イネーブル)、TRIG_PIN_FUNC = 2 (I²C を使用した内部トリガモード)、MODE = 0 または 1 (RTP または波形シーケンサ モード)。GO ビットを 0 に書き込んで RTP モードを停止すると、デバイスは自動ブレーキ期間を完了し、疑似スタンバイ状態に戻ります。プログラムされた波形持続時間が終了する前に GO ビットを 0 に書き込んで波形が停止すると、デバイスは自動ブレーキ期間を完了し、疑似スタンバイ状態に戻ります。この疑似スタンバイ状態は、スタンバイ状態よりも多くの電流を消費します。RTP または波形シーケンサ モードのどちらの場合も、自動ブレーキ時間の後に任意のレジスタへの追加の I²C 書き込みまたは読み出しが行われ、疑似スタンバイ状態がクリアされます。自動ブレーキの時間は (PLAYBACK_INTERVAL*10) で、1ms を加算します。1ms のパルプファを使用して、自動ブレーキの期間が確実に完了するようにします。

7.3.11 I²C ウォッチドッグタイマ

I²C が予期せず停止すると、I²C プロトコルがハング状態のままになる可能性があります。デバイスの電源を切って再投入しなくても通信を回復できるように、DRV2624 デバイスには自動ウォッチドッグ タイマが搭載されており、4.33ms 後にユーザーの介入なしに I²C プロトコルをリセットします。

7.3.12 デバイスの保護

DRV2624 デバイスには、過熱および過電流保護と、UVLO 用の保護回路が内蔵されています。このような状態が発生すると、DRV2624 デバイスは直ちに再生を停止し、スタンバイ状態になります。レジスタ 0x01 にはそれぞれのステータスビットが設定され、レジスタを読み出すとクリアされます。割り込みは、DRV2624 デバイスが起動するように構成されている場合に発生できます。

危険状態が解消された場合 (過電流状態が解消される)、DRV2624 デバイスは通常動作を続行しますが、ステータスビットは粘着性があるため、ステータスレジスタが読み出されるまでビットはアサートされ続けます。

7.3.12.1 サーマル センサ

DRV2624 には、過熱状態の発生時にデバイスを即座にスタンバイ状態にし、OVER_TEMP ビットを設定する温度回路があります。

TRIG_PIN_FUNC パラメータで割り込み機能が選択され、割り込みがマスクされていない場合、割り込みが発生して、ホストプロセッサに重大な状況を通知します。

7.3.12.2 過電流保護

波形再生中に、DRV2624 デバイスの出力ピンのインピーダンスが低すぎると、DRV2624 デバイスは直ちにスタンバイ状態に移行し、過電流フラグ (OC_DETECT ビット) をラッチします。

TRIG_PIN_FUNC パラメータで割り込み機能が選択され、割り込みがマスクされていない場合、割り込みが発生して、ホストプロセッサに重大な状況を通知します。

7.3.12.3 VDD UVLO 保護

DRV2624 デバイスには、VDD レベルを監視して、そのレベルが設定可能なスレッショルドを上回ることを維持するバッテリー モニタがあります (UVLO_THRES[2:0] パラメータを使用)。

VDD ドループが発生した場合、DRV2624 デバイスは直ちにスタンバイ状態に移行して消費電流を低減し、UVLO フラグ (UVLO ビット) をラッチします。

TRIG_PIN_FUNC パラメータで割り込み機能が選択され、割り込みがマスクされていない場合、割り込みが発生して、ホストプロセッサに重大な状況を通知します。

7.3.12.4 ブラウンアウト保護

この DRV2624 デバイスには、ブラウンアウト保護がオンチップ搭載されています。アクティブになると、DRV2624 デバイスを初期デフォルト状態に戻すリセット信号が発行されます。レギュレータ電圧 $V_{(REG)}$ がブラウンアウト保護スレッショルド ($V_{(BOT)}$) DRV2624 を下回ると、デバイスは自動的にシャットダウンされます。 $V_{(REG)}$ が標準出力電圧 (1.8V) に戻ると、DRV2624 デバイスは初期デバイス状態に戻ります。ブラウンアウト保護スレッショルド ($V_{(BOT)}$) は通常 1.6V です。

7.3.13 POR

POR 回路は、VDD 電圧と REG 電圧の両方が正常なレベル REG 電圧レベルがリセット スレッショルドを下回ると、デバイスは自動的にプロセスを中止し、適切な電力レベルが利用可能になるまでです。VDD と REG の両方に有効な電圧が印加されると、デバイスはパワーアップシーケンスを続行し、デフォルトの状態に戻ります。VREG が正常なレベルに保たれているときに VDD が UVLO を下回ると、デバイスは直ちにスタンバイ状態に移行します。

7.3.14 シリコンのリビジョン制御

DRV2624 は、CHIPID[3:0] および REV[3:0] パラメータ (レジスタ 0x00 に配置) にリビジョン制御を実装しています。この機能により、外部コントローラから外部コントローラに接続されているデバイスを判定し、デバイスを制御するための適切なファームウェアを選択できるため、あるプラットフォームから別のプラットフォームへのファームウェアの移植が容易になります。

7.3.15 LRA および ERM アクチュエータ向け

DRV2624 デバイスは、LRA と ERM の両方のアクチュエータをサポートしています。デフォルト状態は LRA モードですが、LRA_ERM ビットを使用して変更できます。

7.3.16 多用途ピン機能。

DRV2624 の柔軟性を高めるため、TRIG/INTZ ピンは構成可能な多目的ピンで、動作モードに応じてさまざまな機能を実行します。このピンは、入力トリガ パルスピン、入力トリガ レベル (イネーブル) ピン、出力割り込みピンとして使用できます。TRIG/INTZ ピンは、一度に 1 つの機能 (トリガ エッジ、トリガ レベル (イネーブル)、または割り込み機能のいずれか) しか実行できないため、特定の機能 (たとえば、TRIG/INTZ を入力トリガ エッジとして構成) が選択されている場合、他の機能は利用できません (割り込みなど)。

7.3.16.1 トリガ パルス機能

トリガ パルス機能により、外部プロセッサは TRIG/INTZ ピンにパルスを印加してプロセス (波形シーケンサ、RTP、診断、キャリブレーション) を開始できます。このプロセスは開始されて再生が完了するまで行われ、その後、デバイスはスタンバイモードに戻り電力を維持します。ルーチンが完了する前に停止トリガ (別のトリガ パルス) が受信されると、そのルーチンは停止し、デバイスはスタンバイ状態に戻ります。診断モードの場合、停止トリガにより診断ルーチンは中止され、結果は報告されません。自動レベル キャリブレーション ルーチンの場合、AUTO_CAL_TIME[2:0] がトリガ コントロールに

設定されていない限り、ストップトリガによりキャリブレーションが中止されます。この場合、キャリブレーションが完了するにはストップトリガが必要で、キャリブレーションがスムーズに終了し、期待される出力が提供されます。また、停止トリガはGOビットに0を書き込むことでもできることに注意してください。

最小パルス幅の期間は $1\mu\text{s}$ で、標準的なパルスは短く維持されます。パルスが長すぎると、次のメモのコーナー ケースが発生する可能性があります。

注

このケースは、次の設定を使用する場合に適用されます。AUTO_BRK_INT0_STBY = 1 (イネーブル)、TRIG_PIN_FUNC = 0 (外部パルストリガ)、MODE = 1 (波形シーケンサ モード)。TRIG ピンが自動ブレーキ期間内に low に返されないと、それに続く TRIG の high 信号を見逃す可能性があります。これは、TRIG high 信号が波形シーケンスを再生できないことを意味します。自動ブレーキの時間は (PLAYBACK_INTERVAL*10) です。

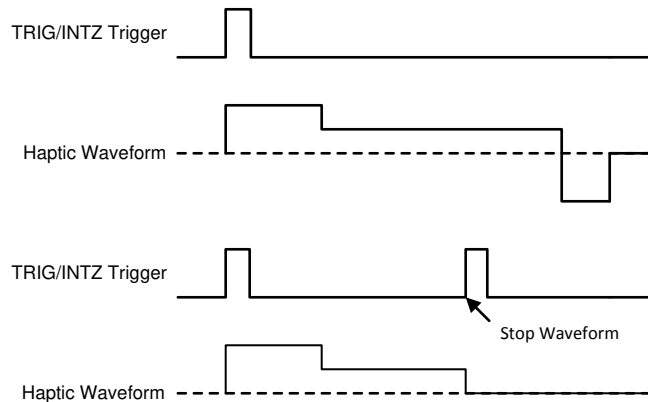


図 7-4. トリガ パルス モードの TRIG/INTZ 機能

7.3.16.2 トリガレベル (イネーブル) 機能

トリガ レベル (イネーブル) 機能により、外部マイクロコントローラは TRIG/INTZ ピンをアサートしてをウェイクアップ DRV2624 で、即座にプロセスの再生を開始できます (波形シーケンサ、RTP 値、診断、自動キャリブレーション)。TRIG/INTZ ピンがアサート解除 (low) されると、デバイスはスタンバイ状態に戻り電力を維持します。スタンバイ状態に移行する前にブレーキが必要な場合、自動ブレーキを行うために AUTO_BRK_INT0_STBY ビットを設定できます。自動ブレーキをスタンバイ機能に使用の際は、以下の注意事項を参照してください。キャリブレーション中は自動ブレーキは無視されることに注意してください。

注

このケースは、次の設定を使用する場合に適用されます。AUTO_BRK_INT0_STBY = 1 (イネーブル)、TRIG_PIN_FUNC = 1 (外部レベルトリガ)、MODE = 1 (波形シーケンサ モード)。TRIG ピンが自動ブレーキ期間内に low に返されないと、それに続く TRIG の high 信号を見逃す可能性があります。TRIG high 信号が波形シーケンスを再生しないことを意味します。自動ブレーキの時間は (PLAYBACK_INTERVAL*10) です。

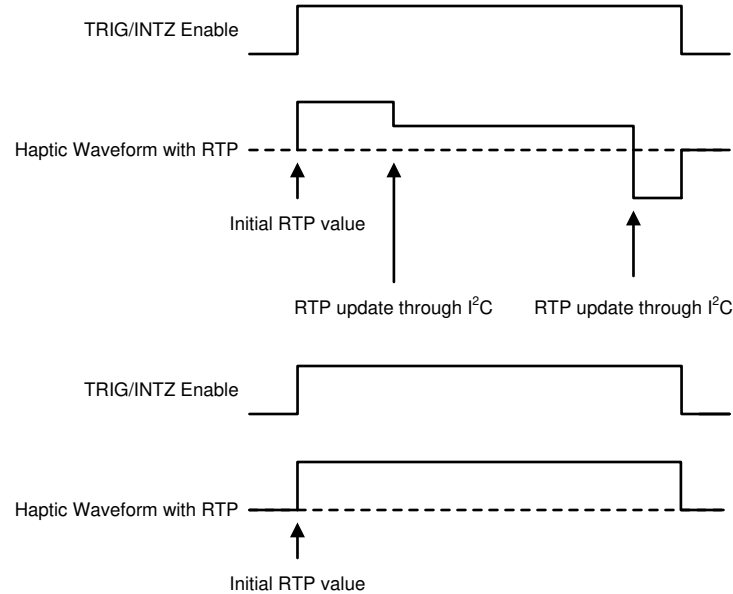


図 7-5. トリガ レベル (イネーブル) モードでの TRIG/INTZ 機能

7.3.16.3 割り込み機能

割り込み機能により、DRV2624 は、特定の状態が発生したことを外部プロセッサと通信できます。割り込みとして構成されているとき、TRIG/INTZ ピンはオープンドレイン構成の出力になります。このモードには外部プルアップが必要です。アサートされると、TRIG/INTZ ピンによって割り込みがクリアされるまでノードがプルダウンされます (ステータスレジスタを読み取ることで実行されます)。すべての割り込みはマスク可能です。低消費電力アプリケーションについては、以下の注をご覧ください。サポートされている割り込みの説明を以下に示します。

注

テキサス インストルメンツでは、割り込みを検出しようとするときに、低消費電力アプリケーションで TRIG/INTZ を high にすることは推奨しません。プルアップによって、VDD から約 500μA の電流が追加で消費される可能性があります。割り込みを監視するには、I2C ステータスレジスタを使用します。

プロセス実行中に出力段で過電流イベントが発生した場合 (波形再生や自動キャリブレーションなど)、OC_DETECT にフラグが設定されます。

OVER_TEMP は、プロセス実行中に接合部温度が熱スレッショルドを上回ると、フラグが設定されます (波形再生、診断、自動キャリブレーションなど)。

プロセス実行中に VDD が VDD_THRES 電圧を下回ると、UVLO のフラグが設定されます (波形再生、診断、自動キャリブレーションなど)。

PROCESS_DONE には、プロセス (波形シーケンサ、診断、またはキャリブレーション) が終了するとフラグが設定されます。PROCESS_DONE ビットは、プロセスが中断された場合 (ストップトリガやクリティカル条件による場合など) はアサートされません。RTP は自動的に終了しないため、RTP によって PROCESS_DONE がアサートされることはありません。PROCESS_DONE を返す特定の波形については、注を参照してください。

注

AUTO_BRK_INTX_STBY = 1 の場合、PROCESS_DONE トリガは、マルチ クリックまたはマルチパターン化された波形を再生するときに、複数回繰り返すことができます。テキサス インストルメンツでは、スタンバイビットに自動ブレーキをイネーブルにした状態で PROCESS_DONE 機能を使用することは推奨しません。

PRG_ERROR は、RAM 内で読み取ったデータが破損している場合にフラグが設定されます。

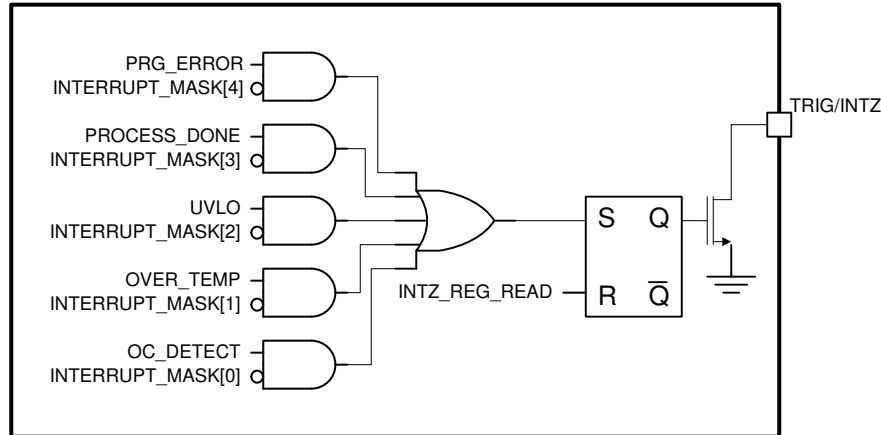


図 7-6. 割り込みモードの TRIG/INTZ 機能

デバイスがスタンバイ状態の間、UVLO、過熱、過電流などの重大な状態は監視されません。しかし、デバイスがスタンバイ状態の場合でも、I²C 通信が継続している間、UVLO および過熱状態は監視されます。

7.3.17 スタンバイ状態への自動的な遷移

DRV2624 では、自動的にスタンバイ状態に移行して電力を維持できます。デバイスがスタンバイに移行し、新しい波形がトリガされると、DRV2624 は、ウェークアップし、要求された波形を直ちに再生します。

7.3.18 自動ブレーキをスタンバイ状態にします

DRV2624 を使用すると、スタンバイに移行する前に自動ブレーキをかけることができます。AUTO_BRK_INT0_STBY がアサートされると、デバイスは (必要に応じて) アクチュエータをブレーキしてからスタンバイに移行します。過熱、過電流、UVLO、NRST のアサートなど、重大な条件が発生した場合、この機能はバイパスされます。

7.3.19 バッテリ監視と電力維持

DRV2624 デバイスは VDD 電圧を継続的に監視します。UVLO_THRES[2:0] 電圧を下回る VDD 電圧グリッチが発生した場合、DRV2624 は直ちに再生を停止して、スタンバイ状態に移行します。UVLO ステータス ビットがアサートされ、構成されている場合は、TRIG/INTZ ピンがアサートされます。VDD グリッチのためにスタンバイに移行すると、AUTO_BRK_INT0_STBY が有効化されていても、ブレーキがバイパスされることに注意します。UVLO 条件が発生しても、I²C 通信は中断されません。ただし、UVLO 条件により通信が破壊される可能性があるため、I²C トランザクションの後で UVLO フラグをチェックし、処理中の内容が破損していないことを確認することをお勧めします。

また、DRV2624 はバッテリーを監視するバッテリー保護モードも搭載しており、VDD 電圧が指定のスレッシュホールドを下回ると (BAT_LIFE_EXT_LVL1[7:0] および BAT_LIFE_EXT_LVL2[7:0] パラメータを参照)、ユーザーの指定に従って、自動的に最大出力電圧をクランプします (OD_CLAMP_LVL1[7:0] および OD_CLAMP_LVL2[7:0] パラメータを参照)。

7.4 デバイスの機能モード

7.4.1 電源の状態

DRV2624 デバイスには、消費電力を最適化するため、複数の電力状態があります。重大な条件が発生した場合、DRV2624 デバイスは直ちにスタンバイ状態になります。図 7-7 に、各状態とへの間の遷移を示します。

特定のコーナー状況では、DRV2624 は疑似スタンバイ状態にとどまり、低消費電力スタンバイ状態に完全には戻らない可能性があります。自動移行スタンバイ (低電力) の注を参照してください。この疑似スタンバイ状態を終了するには、単純な I²C トランザクションを使用できます。疑似スタンバイ状態をクリアするロジックは、図 7-7 の I²C トランザクション完了パスに従います。

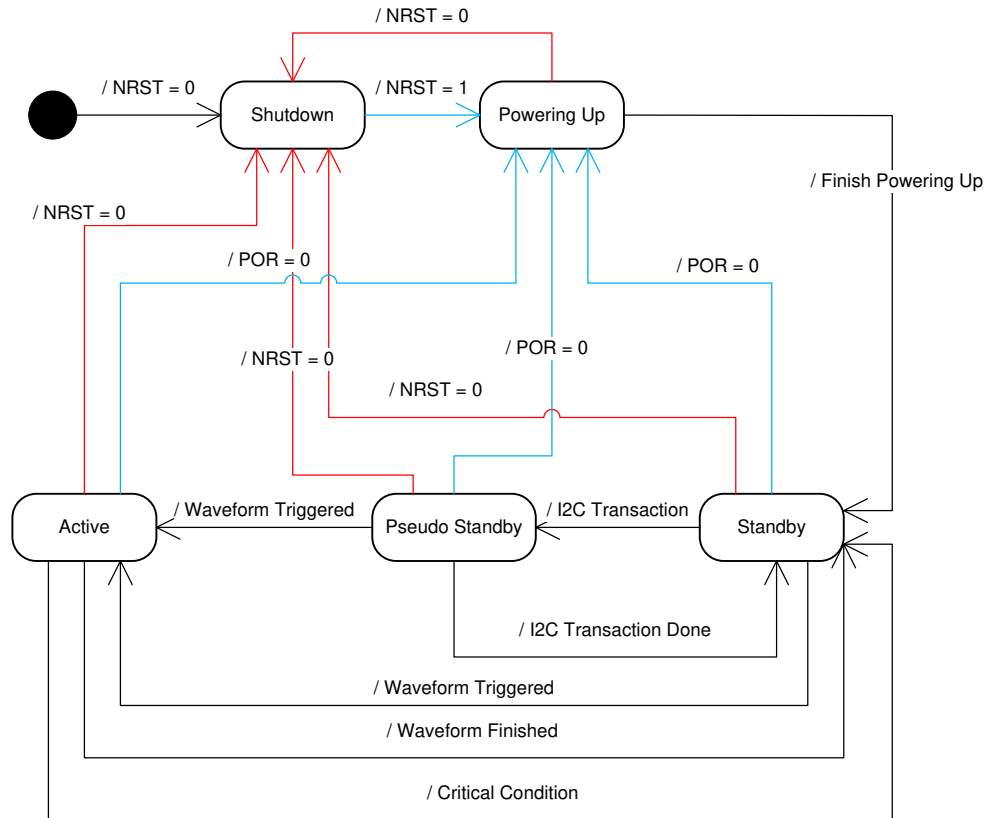


図 7-7. 電源状態図

7.4.2 $V_{DD} < 2.5$ (最小 V_{DD}) での動作

デバイスの V_{DD} 値が 2.5V 未満の場合、動作させることは推奨しません。

7.4.3 $V_{DD} > 6V$ (V_{DD} の絶対最大定格) での動作

DRV2624 デバイスは、最大 5.5V で動作するように設計されており、絶対最大定格電圧は 6V です。6V を超える電圧にさらされると、デバイスに永続的な損傷が発生する可能性があります。

7.4.4 シャットダウン状態での動作

本デバイスの NRST ピンは、DRV2624 デバイスのパワーアップをゲートします。NRST がアサートされる (ロジック low) と、デバイスのすべての内部ブロック (I²C コントローラを含む) がオフになり、超低消費電力を実現します。

NRST ピンがディアサートされると (ロジック high) 、DRV2624 デバイスは電源オンになり、すべてのデフォルト状態がロードされて、スタンバイ状態に移行して電力を維持します。

NRST ピンをアサートすると、直ちに有効になります。実行中のすべてのプロセスは直ちに中止され、デバイスはシャットダウン状態に移行します。

DRV2624 デバイスでは、NRST を VDD に永続的に接続できます。この場合、シャットダウン状態はバイパスされます。

7.4.5 スタンバイ状態での動作

DRV2624 は省電力用に最適化されているため、デバイスを使用していないときは自動的にスタンバイになります。

スタンバイ状態では、I²C 通信が利用可能で、レジスタの内容が保持されます。

スタンバイ状態は電力を維持するために、必須ではないブロックすべてをオフにしますが、高速なターンオン時間により、このモードからの低レイテンシのハプティクス再生が可能です。

ホスト コントローラが DRV2624 デバイスを強制的にスタンバイにする場合、ホストコントローラはストップ トリガを送信することで実行できます。このトリガは、GO ビットに 0 を書き込むことで実行するか、または外部トリガを使用する場合は、[セクション 7.3.4.3](#) で説明されている適切なメカニズムに従うことで実行できます。

DRV2624 には、スタンバイ状態になる前に駆動ブレーキをアクチュエータにかける自動ブレーキオプションが装備されています。自動ブレーキ機能は、デバイスがスタンバイ状態になるたびに実行されますが、重要な条件 (過電流、サーマル シャットダウン、UVLO など) を除きます。自動ブレーキ機能は、AUTO_BRK_INT0_STBY ビットを使って有効化または無効化できます。

7.4.6 ACTIVE 状態での動作

DRV2624 がデバイスがプロセス (波形の再生、キャリブレーション、または診断) を実行する必要がある場合のみ、アクティブ モードに移行します。

デバイスがアクティブ モードになったとき、最初に行う作業は重要な条件 (過電流、サーマル シャットダウン、UVLO など) をチェックすることです。重大な状態が発生すると、DRV2624 デバイスは適切なフラグを設定し (そのように設定されている場合は割り込みを発生)、直ちにスタンバイに移行します。クリティカルな状態が存在しない場合、DRV2624 デバイスはルーチンを実行し、完了するとスタンバイ状態に戻ります。

ルーチンの実行中に重要な状態が発生した場合、このルーチンは直ちに中止され、デバイスは適切なフラグを設定し (そのように設定されている場合は割り込みを発生させ)、直ちにスタンバイに移行します。

ルーチンの実行中に停止トリガを受信すると、そのルーチンは停止され、デバイスはスタンバイ状態に移行します。自動ブレーキ機能が有効化されている場合 (AUTO_BRK_INT0_STBY ビット)、DRV2624 デバイスはスタンバイ状態に移行する前にアクチュエータをブレーキします。

7.4.7 動作モードを変更

DRV2624 デバイスには、動作モードのさまざまな要素を制御する 8 つのパラメータがあります。LRA_ERM、MODE[1:0]、CONTROL_LOOP、TRIG_PIN_FUNC、AUTO_BRK_INT0_STBY、AUTO_BRK_OL、LRA_WAVE_SHAPE。プロセスの実行中にこれらのパラメータのいずれかが変更された場合 (波形の再生、診断、またはキャリブレーション)、DRV2624 はその変更を中止として解釈し、スタンバイに移行します。

LRA_ERM パラメータ アクチュエータタイプを選択します。

MODE[1:0] は、実行可能な 4 つのプロセス、すなわち波形の再生、診断、較正に RTP および波形シーケンサのいずれかを選択します。DRV2624 デバイスは、トリガを受信されるまでスタンバイ状態になります。その時点で、デバイスは MODE[1:0] パラメータで選択したプロセスを実行します。終了すると、DRV2624 デバイスはスタンバイ状態に戻ります。

CONTROL_LOOP はオープン ループとクローズド ループを選択します。

TRIG_PIN_FUNC パラメータは、パルス トリガ、レベル トリガ、割り込みという 3 つの可能性の中から、TRIG/INTZ ピンの機能を選択します。

AUTO_BRK_INT0_STBY パラメータは、スタンバイに移行する際の自動ブレーキを有効化します。DRV2624 デバイスは、スタンバイに移行する前にアクチュエータの逆起電力を監視し、逆起電力が移動している場合は、アクチュエータがブレーキをかけてスタンバイに移行します。この機能を開ループで実行するには、AUTO_BRK_OL ビンをイネーブルにする必要があることに注意します。

AUTO_BRK_OL パラメータは、開ループ モードの自動ブレーキを有効化します。有効にすると、波形が負の振幅でコンフィグレーションされるたびに、DRV2624 デバイスはアクチュエータをブレーキします。この機能は、アクチュエータが較正されており、開ループ条件下で動作することを前提としています。

LRA_WAVE_SHAPE パラメータ (LRA でのみ使用可能) を使用すると、開ループで LRA を駆動するときに使用する波形形状を選択できます。クローズドループでは、このパラメータは無視されます。

7.5 例外的な条件下の動作です

このセクションでは、さまざまな非常に優れた条件と、そのような条件での DRV2624 デバイスの動作方法について説明します。このセクションでは、デバイスがこれらの状態に移行する方法についても説明します。

7.5.1 アクチュエータ非接続時の動作

開ループ モードでは、DRV2624 デバイスは、ユーザーの意図したとおりに波形が駆動されます。

LRA 閉ループ モードでは、OUT+ ピンおよび OUT- ピンにアクチュエータが接続されていなくても波形が再生されると、出力ピンが切り替わります。ただし、トルク周波数は予測できません。

ERM 閉ループ モードでは、出力ピンが駆動を試みますが、振幅は予測できません。

7.5.2 非可動アクチュエータを取り付けた状態での作業

ERM の場合、移動が検出されるまで、DRV2624 デバイスはアクチュエータのオーバードライブを試みます。

非可動アクチュエータのモデルは抵抗として単純化することができます。OUT+ピン と OUT- ピン間に抵抗 (LRA と同様の負荷、例えば 25Ω) が接続され、DRV2624 デバイスが LRA クローズドループ モードの場合、出力ピンはデフォルトの f でトルクします。LRA オープンループ モードでは、出力ピンは指定されたオープンループ周波数でトルクします。

7.5.3 REG ピンで短絡による動作

REG ピンが GND に短絡されると、デバイスはオフになります。短絡が解消されると、デバイスはデフォルト状態で起動します。

7.5.4 OUT+、OUT-、またはその両方を短絡したときの動作

再生中に、いずれかの出力ピン (OUT+ または OUT-) が V_{DD} 、GND、または相互に短絡された場合、電流保護回路が自動的にイネーブルになり、出力段をシャットダウンし、OC_DETECT ビットがアサートされ (および割り込みがイネーブルの場合は割り込みが発生)、DRV2624 デバイスはスタンバイ状態に移行します。

DRV2624 デバイスは、プロセス (RTP、波形シーケンサ、診断、キャリブレーション) の実行時のみ短絡をチェックします。デバイスがアイドルのときに短絡が発生した場合、デバイスがプロセスを実行しようとするまで、短絡は検出されません。

7.6 プログラミング

7.6.1 LRA 用自動共振エンジン プログラミング

7.6.1.1 ドライブ時間プログラミング

各 LRA アクチュエータの共振周波数は、多くの要因に基づいて変動し、一般的には機械的特性が主に占めています。自動共振エンジントラッキング システムは、アクチュエータの共振周波数に関する情報を提供することによって最適化されています。DRIVE_TIME[4:0] ビットは、LRA の半期間の初期推測として使用されます。ドライブ時間は自動的かつ迅速に調整され、最適なドライブが得られます。たとえば、LRA の共振周波数が 200Hz の場合、駆動時間は 2.5ms に設定されています。

ERM アクチュエータの場合、DRIVE_TIME[4:0] ビットが逆起電力サンプリングのレートを制御します。駆動時間が短いと逆起電力サンプリング周波数が高くなり、出力信号のピーク/平均値比が高くなり、電源ヘッドルームがより大きくなります。駆動時間が長いほど、逆起電力サンプリング周波数が低くなり、フィードバックは低速で反応します。

7.6.1.2 電流散逸時間のプログラミング

アクチュエータの逆起電力を検出するために、DRV2624 デバイスは高インピーダンス モードに移行します。ただし、デバイスがこのモードに移行する前に、デバイスはアクチュエータの電流を消費する必要があります。DRV2624 デバイスは、IDISS_TIME[3:0] パラメータにより、消費電流に割り当てられた時間を制御します。

7.6.1.3 ブランキング時間のプログラミング

アクチュエータの電流が消費された後、DRV2624 デバイスは信号のブランキング時間が安定するまで待機してから、逆起電力のアナログ/デジタル (AD) 変換が変換されます。BLANKING_TIME[3:0] パラメータは、この時間を制御します。

7.6.1.4 ゼロクロス検出時間プログラミング

ブランキング時間が経過すると、逆起電力 AD はゼロ クロスを監視します。ZC_DET_TIME[1:0] パラメータは、ゼロ クロス検出に許容される最小時間を制御します。

7.6.2 自動レベルキャリブレーション プログラミング

7.6.2.1 定格電圧プログラミング

定格電圧は、定常状態でのドライバ出力の駆動電圧です。ただし、閉ループドライブ モードでは、一時的に定格電圧を超える出力電圧が発生する可能性があります。

RATED_VOLTAGE[7:0] パラメータは、閉ループ駆動モードの定格電圧を設定します。

$$V_{(ERM-CL_AV)} = 21.88 \times 10^{-3} \text{ RATED_VOLTAGE}[7:0] \quad (6)$$

$$V_{(LRA-CL_RMS)} = \frac{20.58 \times 10^{-3} \times \text{RATED_VOLTAGE}[7:0]}{\sqrt{1 - (4 \times t_{(SAMPLE_TIME)} + 300 \times 10^{-6}) \times f_{(LRA)}}} \quad (7)$$

開ループ モードでは、RATED_VOLTAGE[7:0] パラメータは無視されます。代わりに、OD_CLAMP[7:0] パラメータを使用して開ループ駆動モードのフルスケール電圧を設定します。

$$V_{(ERM-OL_AV)} = 21.59 \times 10^{-3} \text{ OD_CLAMP}[7:0] \quad (8)$$

$$V_{(LRA-OL_RMS)} = 21.32 \times 10^{-3} \times \text{OD_CLAMP}[7:0] \times \sqrt{1 - f_{(LRA)} \times 800 \times 10^{-6}} \quad (9)$$

自動校正ルーチンは、RATED_VOLTAGE[7:0] ビットと OD_CLAMP[7:0] ビットを入力として使用するため、校正を実行する前にこれらのレジスタを書き込む必要があります。このレジスタ値を変更する場合、A_CAL_BEMF[7:0] を適切に設定するためにキャリブレーションが行われます。

7.6.2.2 オーバー ドライブ電圧-クランプのプログラミング

閉ループ動作中、アクチュエータ帰還により、自動オーバー ドライブおよび自動ブレーキ期間中に出力電圧が定格電圧を超えることができます。OD_CLAMP[7:0] パラメータは、自動オーバー ドライブが境界設定されるようにクランプを設定します。OD_CLAMP[7:0] パラメータは、開ループ動作のフルスケール基準電圧としても機能します。OD_CLAMP[7:0] パラメータは、モードに関係なく、常に許容される最大ピーク電圧を表します。

注

電源電圧 (V_{DD}) がオーバー ドライブクランプ電圧よりも低い場合、出力電圧が電源電圧を超えることができないため、出力ドライバはクランプ電圧値に到達できません。定格電圧がオーバー ドライブクランプ電圧を超えると、オーバー ドライブクランプ電圧が定格電圧よりも優先されます。

$$V_{(ERM_clamp)} = \frac{21.64 \times 10^{-3} \times OD_CLAMP[7:0] \times (t_{(DRIVE_TIME)} - 300 \times 10^{-6})}{t_{(DRIVE_TIME)} + t_{(IDISS_TIME)} + t_{(BLANKING_TIME)}} \quad (10)$$

$$V_{(LRA_clamp)} = 21.22 \times 10^{-3} \times OD_CLAMP[7:0] \quad (11)$$

7.6.3 I²C インターフェイス

7.6.3.1 TI のハプティクス ブロードキャスト モード

DRV2624 デバイスには TI ハプティクス ブロードキャスト モードが搭載されており、I²C_BCAST_EN ビットを使用してイネーブルにすると、デバイスはペリフェラル アドレス 0x58 (7 ビット) または 1011000 (バイナリ) に応答します。システムにインストールされている TI のハプティクス ブロードキャスト モードを複数のハプティクスドライバが実装している場合に、このモードは便利です。このような状況では、0x58 ペリフェラル アドレスに GO ビットを書き込むことで、すべてのハプティクスドライバが同時にプロセスをトリガできます。

7.6.3.2 I²C 通信の可用性

スタンバイ、およびアクティブ状態時の読み取り/書き込み動作に I²C プロトコルを使用できます。

7.6.3.3 一般的な I²C の動作

I²C バスは、SDA (データ) と SCL (クロック) の 2 つの信号を使用して、シリアル データ伝送によりシステム内の集積回路間で通信を行います。バスはデータを 1 ビットずつシリアルに転送します。8 ビットのアドレスとデータ バイトは、最上位ビット (MSB) から順に転送されます。さらに、バス上で転送される各バイトは、受信デバイスによってアクノリッジ ビットで確認されます。各転送操作は、コントローラ デバイスがバス上にスタート コンディションを発生させることで開始し、ストップ コンディションを発生させることで終了します。バスは、クロックがロジック ハイの状態データ ピン (SDA) の遷移を使用して、スタートの条件およびストップの条件を示します。SDA 信号ラインでのハイからローへの遷移はスタート条件を示し、ローからハイへの遷移はストップ条件を示します。通常のデータビット遷移は、クロック周期の低レベル期間内に発生しなければなりません。図 7-8 に代表的なアプリケーションを示します。コントローラ デバイスは、ペリフェラルデバイスとの通信を開始するために、7 ビットのペリフェラルアドレスと読み取り/書き込み (R/W) ビットを生成します。その後、コントローラ デバイスはアクノリッジ条件を待ちます。ペリフェラルデバイスは、アクノリッジクロック期間中に SDA 信号を低レベルに保持することで、アクノリッジを示します。確認応答が発生すると、コントローラ デバイスはシーケンスの次のバイトを送信します。各デバイスは、固有の 7 ビットのペリフェラルアドレスと R/W ビット (1 バイト) によってアドレス指定されます。すべての互換デバイスは、ワイヤード-AND 接続を使用した双方向バスを介して、同じ信号を共有します。

開始条件と停止条件の間で送信できるバイト数に制限はありません。最後のデータワードが転送されると、コントローラはバスを解放するためにストップ コンディションを生成します。一般的なデータ転送シーケンスを、図 7-8 に示します。

SDA および SCL 信号に外付けプルアップ抵抗を使用して、バスの論理ハイレベルを設定します。660Ω ~ 4.7kΩ のプルアップ抵抗を推奨します。SDA と SCL 電圧が DRV2624 電源電圧 V_{DD} を超えないようにしてください。

注

DRV2624 ペリフェラル アドレスは、0x5A (7 ビット)、または 1011010 のバイナリ アドレスです。

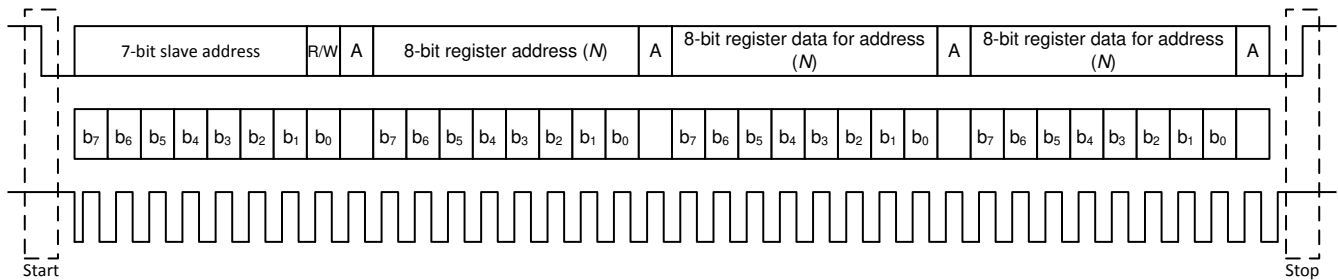


図 7-8. 代表的な I²C シーケンス

DRV2624 デバイスは、I²C ペリフェラルの 1.8V ロジック スレッショルドとして動作しますが、最大 V_{DD} 電圧で動作できます。デバイス アドレスは 0x5A (7 ビット)、またはバイナリで 1011010 であり、これは書き込みの場合は 0xB4 (8 ビット)、読み取りの場合は 0xB5 (8 ビット) と等価です。

7.6.3.4 シングル バイトおよびマルチ バイト転送

シリアル制御インターフェイスは、シングル バイトとマルチ バイトの R/W の両方の動作を、すべてのレジスタについてサポートしています。

マルチ バイトの読み取り動作中、DRV2624 デバイスは符号付きレジスタからデータを 1 バイトずつ返します。マスター デバイスがアクノリッジで応答を継続する限り、このデバイスは応答します。

DRV2624 は、シーケンシャルな I²C アドレッシングに対応しています。書き込みトランザクションは、レジスタの後にそのレジスタに対するデータが発行される場合、I²C 順次書き込みトランザクションが実行され、その後続く残りのレジスタも送信されます。I²C のシーケンシャルな書き込みトランザクションの場合、発行されたレジスタは開始点となり、その次に停止または開始が送信される前に、データの量が送信され、いくつかのレジスタを書き込むかが決定されます。

7.6.3.5 シングル バイトの書き込み

図 7-9 にあるように、シングル バイトのデータ書き込み転送では、最初にマスター デバイスが開始条件を送信し、次に I²C デバイス アドレスと読み取り / 書き込みビットが続きます。データ転送方向は、読み取り / 書き込み ビットによって決定されます。書き込みデータ転送を実行するには、読み取り / 書き込みビットを 0 にセットします。正しい I²C デバイス アドレスと読み取り / 書き込みビットを受信すると、DRV2624 はアクノリッジ ビットを返します。次に、コントローラはアクセスされた DRV2624 内部メモリ アドレスに対応するレジスタ バイトを送信します。デバイスは、レジスタ バイトを受信すると、再度アクノリッジ ビットを返信します。最後に、コントローラデバイスが停止条件を送信すると、シングル バイト データの書き込み転送が完了します。

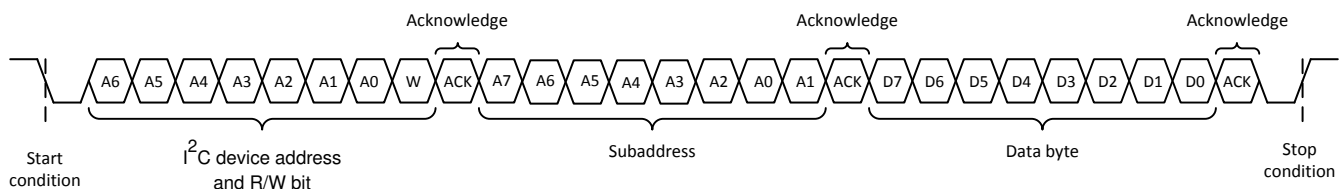


図 7-9. シングル バイトの書き込み転送

7.6.3.6 マルチ バイトの書き込みと増分マルチ バイトの書き込み

マルチ バイト データの書き込み転送は、シングル バイト データの書き込み転送と同じですが、[図 7-10](#) に示すように、複数のデータ バイトがコントローラ デバイスによって DRV2624 デバイスに送信される点が異なります。各データ バイトを受信すると、DRV2624 デバイスはアクノリッジ ビットで応答します。

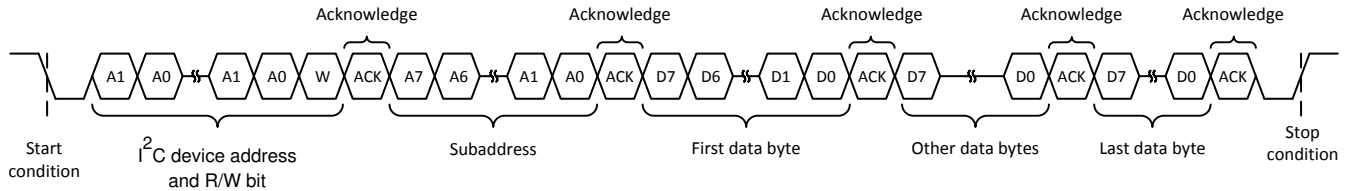


図 7-10. マルチ バイトの書き込み転送

7.6.3.7 シングル バイトの読み取り

[図 7-11](#) に示すように、シングル バイトのデータ読み取り転送では、コントローラ デバイスが開始条件を送信し、次に I²C デバイス アドレスと R/W ビットを送信することで開始されます。データ読み取り転送の場合、実際には書き込みとその次の読み取りの両方が行われます。最初に、内部メモリ アドレスの読み取りに必要なアドレス バイトを転送するために、書き込みが実行されます。その結果、読み取り / 書き込みビットは 0 に設定されます。

この DRV2624 デバイスは、DRV2624 アドレスと読み取り / 書き込み ビットを受信すると、アクノリッジ ビットで応答します。次に、コントローラが内部メモリ アドレス バイトを送信すると、デバイスはアクノリッジ ビットを送信します。コントローラ デバイスは、DRV2624 アドレスと読み取り / 書き込みビットに続いて、もう 1 つのスタート条件を送信します。この場合、読み取り / 書き込みビットは 1 に設定され、読み取り転送が実行されることを示します。次に、DRV2624 デバイスは読み取り中のメモリ アドレスからデータ バイトを送信します。データ バイトを受信すると、コントローラ デバイスは非応答 (not-acknowledge) を送信し、その後、停止条件を出して、シングル バイト データ読み取り転送が完了します。[セクション 7.6.3.3](#) セクションの注記を参照してください。

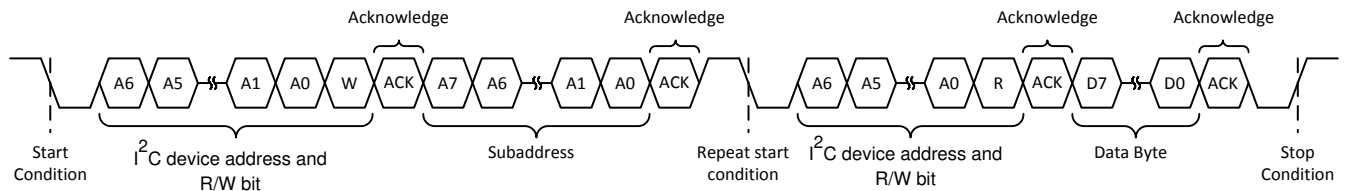


図 7-11. シングル バイトの読み取り転送

7.6.3.8 マルチ バイトの読み取り

マルチ バイトデータの読み取り転送はシングル バイトのデータ読み取り転送と同じですが、[図 7-12](#) に示すように、複数のデータ バイトが DRV2624 デバイス によってコントローラ デバイスに送信されます。コントローラ デバイスは、データ バイトを受信するごとにアクノリッジ ビットを返信します。ただし、最後のデータ バイトについては返信しません。

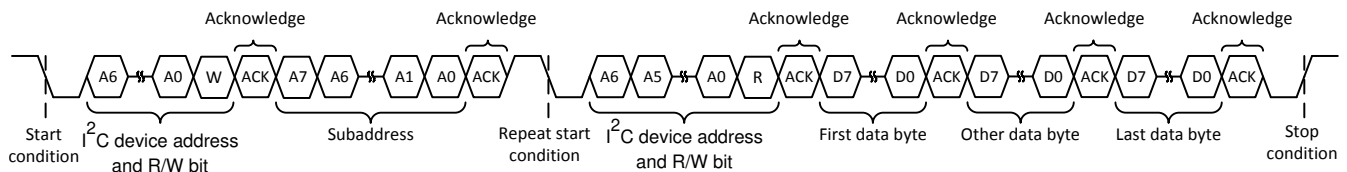


図 7-12. マルチ バイトの読み取り転送

7.6.4 開ループ動作のプログラミング

DRV2624 デバイスは、開ループモードと閉ループ モードで使用できます。開ループ動作が必要な場合、最初の手順は、使用するアクチュエータのタイプ (ERM と LRA) を決定することです。

7.6.4.1 ERM 開ループ動作のプログラミング

DRV2624 デバイスを ERM 開ループ動作で構成するには、LRA_ERM ビットを 0 に、CONTROL_LOOP ビットを 1 に書き込んで ERM を選択する必要があります。

7.6.4.2 LRA 開ループ動作のプログラミング

DRV2624 デバイスを LRA 開ループ動作で構成するには、LRA_ERM ビットを 1 に、CONTROL_LOOP ビットを 1 に書き込んで LRA を選択する必要があります。さらに、OL_LRA_PERIOD パラメータは、適切な LRA 周波数を使用して設定する必要があります。

7.6.5 閉ループ動作のプログラミング

クローズドループ動作の場合、アクチュエータの選択に従ってデバイスを較正する必要があります。それに応じてキャリブレーションを行う場合、ユーザーは目的の波形を提供するだけです。DRV2624 デバイスはレベルを自動的に調整し、LRA の場合は駆動周波数を自動的に調整します。

7.6.6 診断ルーチン

DRV2624 には診断ルーチンがあり、MODE[1:0] パラメータで選択できます。このルーチンの目的は、アクチュエータを安全かつ正しく駆動できるかどうかを判断することです。診断ルーチンによって問題が検出されると、DIAG_RESULT ビットがアサートされます (high)。診断ルーチンの実行後、DIAG_RESULT をチェックして、診断ルーチンの結果を評価します。UVLO、過熱、過電流状態などの致命的な条件が原因で、診断ルーチンが完了しない場合、診断ルーチンは中止され、DIAG_RESULT は 1 に設定されます。

診断ルーチンは、抵抗測定ルーチンと機能ルーチンの 2 つのサブルーチンで構成されている。

抵抗測定サブルーチンは、差動出力ピン (OUT +および OUT-) からの観測結果としてアクチュエータの抵抗を報告し、DIAG_Z_RESULT パラメータに配置されます。抵抗測定サブルーチンは常に診断ルーチンの間に実行され、出力は DIAG_Z_RESULT に通知されます。唯一の例外は、過熱または UVLO 状態中であり、この場合診断ルーチンは直ちに中止され、デバイスはスタンバイ状態に移行します。

注

このサブルーチンでは、短絡が存在していても、過電流状態は発生しません。抵抗の測定値は、過電流検出回路によっては検出されない小さな電流を注入するためです。抵抗測定サブルーチンが最初に実行されます。また、このサブルーチンは DIAG_RESULT ビットをアサートしません。

抵抗測定の後、診断ルーチンは (キャリブレーション波形と同じ波形) を再生して、アクチュエータを正常に駆動できるかどうかを判断します。短絡または開放状態が発生し、有効な BEMF が検出されないと、DIAG_RESULT ビットがアサートされます。診断ルーチン中に過電流状態などの重大な問題が発生した場合、このルーチンを中止して、DIAG_RESULT がアサートされることに注意してください。

7.6.7 キャリブレーションルーチン

DRV2624 には、特定のアクチュエータ (接続され、較正されているもの) を閉ループで正常に駆動するために必要なすべての重要なパラメータが自動的に入力されるキャリブレーション ルーチンがあります。アクチュエータが同じモデルであっても、異なるアクチュエータ間で変動が発生します。目的の結果を維持するため、アクチュエータごとに較正ルーチンを少なくとも 1 回実行することを推奨します。

キャリブレーション エンジンには、キャリブレーションを実行する前に入力として多くのパラメータを必要とします。入力が構成されているときは、較正ルーチンを実行できます。較正が実行されると、指定されたレジスタ位置に出力パラメータが書き込まれます。図 7-13 に、必要な入力と生成された出力をすべて示します。適切な自動共振動作を維持するために、

LRA アクチュエータ タイプは ERM よりも多くの入力パラメータを必要とします。デバイスが ERM モードのとき、LRA パラメータは無視されます。

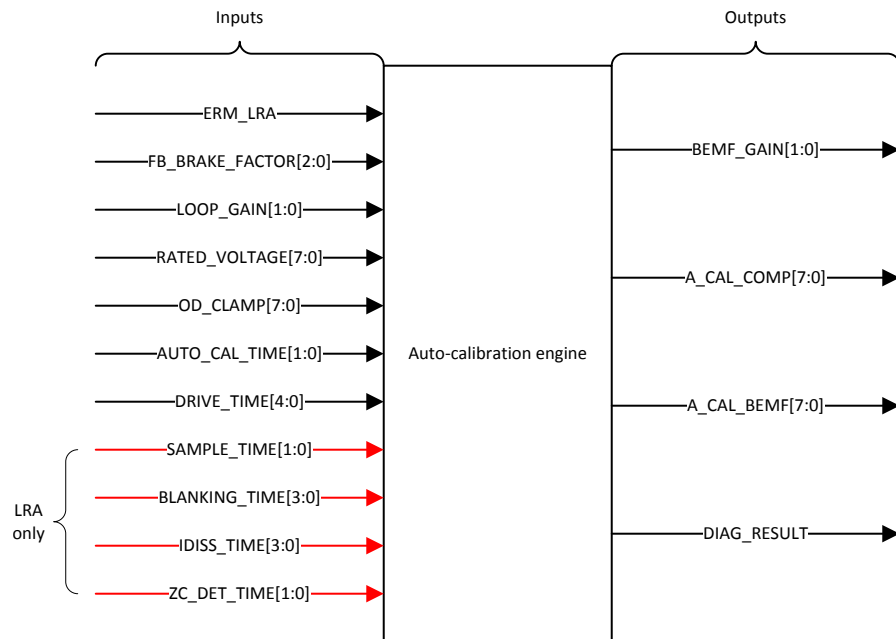


図 7-13. キャリブレーション エンジンの機能図

適切な校正結果を得るには、安定した加速が得られるように十分な時間にわたって校正波形を実行する必要があります。このため、DRV2624 デバイスにはキャリブレーション波形の時間の設定が可能で、AUTO_CAL_TIME[1:0] パラメータで選択できます。さらに、AUTO_CAL_TIME パラメータで許可されている時間よりも長い時間を必要とする場合に対応するために、トリガを使用して校正時間を制御するオプションが用意されています。トリガー制御オプションでは、最初のトリガーの後にキャリブレーションの実行が開始され、停止トリガーを受信すると実行が停止します。この時点で、校正の出力値が書き込まれます。キャリブレーションを正常に動作させるには、最小期間が必要であることに注意してください。

表 7-1. 各種の AUTO_CAL_TIME 選択によるキャリブレーション ルーチンの動作

AUTO_CAL_TIME[1:0]	アクション	備考
0	250ms のキャリブレーション波形	
1	500ms のキャリブレーション波形	
2	1s キャリブレーション波形	
3	トリガ制御	GO ビットまたは外部からトリガできます。外部トリガを使用するには、TRIG_PIN_FUNC パラメータを適切に設定する必要があります。 この場合、最小期間は 1 秒です。そうしないと、キャリブレーションの結果が破損する可能性があります。

以下の手順は、自動較正用のレジスタ設定のステップバイステップを示しています。

1. DRV2624 デバイスに有効な電源電圧を印加してから、NRST ピンを high にプルします。供給電圧により、選択したアクチュエータの適切な駆動電圧が得られます。
2. 自動較正ルーチンを設定するため、MODE パラメータに値 0x03 を書き込みます。
3. 自動キャリブレーション エンジンに必要な入力パラメータを入力します。
 - a. LRA_ERM - 選択は、目的のアクチュエータによって異なります。
 - b. FB_BRAKE_FACTOR[2:0] — ほとんどのアクチュエータで有効な値は 3 です。
 - c. LOOP_GAIN[1:0] — ほとんどのアクチュエータで有効な値は 2 です。
 - d. RATED_VOLTAGE[7:0] - 正しいレジスタ値を計算する方法については、[セクション 7.6.2.1](#) セクションを参照してください。
 - e. OD_CLAMP[7:0] - 正しいレジスタ値を計算するには、[セクション 7.6.2.2](#) セクションを参照してください。
 - f. AUTO_CAL_TIME[1:0] — ほとんどのアクチュエータで 3 の値が有効です。
 - g. DRIVE_TIME[3:0] — 正しいレジスタ値を計算するには、[セクション 7.6.1.1](#) を参照してください。
 - h. SAMPLE_TIME[1:0] — ほとんどのアクチュエータで有効な値は 3 です。
 - i. BLANKING_TIME[3:0] — 値 1 はほとんどのアクチュエータで有効です。
 - j. IDISS_TIME[3:0] — 値 1 はほとんどのアクチュエータで有効です。
 - k. ZC_DET_TIME[1:0] - 0 の値は、ほとんどのアクチュエータで有効です。
4. GO ビットに 1 を書き込み、自動較正プロセスを開始します。自動較正が完了すると、GO ビットは自動的にクリアされます。自動較正結果は、[図 7-13](#) に示すように、それぞれのレジスタに書き込まれます。
5. DIAG_RESULT ビットのステータスを確認して、フォルトなしで自動較正ルーチンが完了したことを維持します。
6. 自動キャリブレーションされた設定を使用してシステム性能を評価します。自動較正プロセスはアクチュエータの性能と動作に影響を与える可能性があるため、評価はデバイスの最終組み立て時に行われることに注意してください。調整が必要な場合は、入力を修正して、このシーケンスを繰り返すことができます。パフォーマンスが十分である場合、ユーザーは次のいずれかを実行できます。
 - a. その後の電源投入時には、キャリブレーション プロセスを繰り返します。
 - b. 自動キャリブレーションの結果をホスト プロセッサのメモリに保存し、その後の電源投入時に DRV2624 デバイスに書き換えます。これらの設定は、STANDBY モードのときも、EN ピンが low のときも、デバイスによって維持されます。

7.6.8 波形再生プログラミング

7.6.8.1 波形再生用のデータ形式

DRV2624 は符号付きデータ形式 (2 の補数) を使用して、ドライブの大きさと方向を指定します。アクチュエータは、閉ループまたは開ループのいずれかで駆動できます。閉ループでは、正の数值は必要なドライブの大きさを示します。負の数はブレーキ信号として解釈され、閉ループでは自動的に行われます。開ループでは、ドライブとブレーキの両方の振幅の大きさを指定するために正と負の数值が必要です。自動ブレーキが開ループに選択されている場合、負の数はブレーキ信号として解釈されます。

7.6.8.2 開ループ モード

開ループ モードでは、フルスケール駆動の基準レベルは **OD_CLAMP[7:0]** パラメータによって設定されます。ミッドスケール入力値は駆動信号を与えず、ミッドスケール未満の場合は負の駆動値が得られます。**ERM** の場合、負のドライブ値はカウンタ回転、またはブレーキになります。**LRA** の場合、負の駆動値によって整流が 180 度の位相シフトが得られます。

7.6.8.3 閉ループ モード

閉ループ モードでは、DRV2624 デバイスは **ERM** と **LRA** の両方のデバイスに対して自動的なオーバー ドライブとブレーキを実行します。正の値は、加速度が必要であることを示します。負の値と 0 は、ブレーキが必要であることを示します。

定常状態フルスケール駆動の基準レベルは、**RATED_VOLTAGE[7:0]** ビット (自動キャリブレーションを実行する場合) によって設定されます。出力電圧は、自動オーバー ドライブとブレーキの定格電圧を一時的に上回る場合がありますが、**OD_CLAMP[7:0]** 電圧を超えない場合があります。逆起電力フィードバックによってブレーキが必要であると判断された場合、入力信号に基づいて自動的にブレーキがかけられます。

特定のアクチュエータに対してオーバー ドライブ時間が大きすぎる可能性がある場合、**OD_CLAMP_TIME[1:0]** を使用してオーバー ドライブモード (定格電圧を上回る電圧) で費やす時間を制限できます。オーバー ドライブ時間を超えて、DRV2624 デバイスがまだアクチュエータをオーバー ドライブしようとしている場合は、新しいクランプが強制されます。このクランプは **RATED_VOLTAGE_CLAMP[7:0]** パラメータで指定され、ブレーキ信号を受信するまで強制されます。ブレーキ時に、**OD_CLAMP_TIME[1:0]** で指定された時間にわたってデバイスがオーバー ドライブされる可能性があり、これを超えると **RATED_VOLTAGE_CLAMP[7:0]** が強制的に適用されます。この機能は、アクチュエータが必要以上に連続的にオーバー ドライブされないように維持します。

7.6.9 波形の設定と再生

触覚効果の再生は、RTP モードまたは波形シーケンサを使用して行われます。また、このプロセス (RTP または波形シーケンサのいずれか) は、GO ビットに 1 を書き込むか、トリガ パルスまたはトリガ レベルの構成で外部トリガを使用してトリガできます。GO ビットに 0 を書き込むか、外部の TRIG/INTZ ピン経由で 停止トリガを送信することで、波形を早期に終了できます。

7.6.9.1 RTP モードを使用した波形再生

ユーザーは、MODE[1:0] パラメータに書き込むことで、RTP モードに移行できます。RTP モードでは、デバイスがトリガを受信すると、DRV2624 デバイスは RTP_INPUT[7:0] パラメータで指定された振幅でアクチュエータを連続的に駆動します。振幅は RTP_INPUT[7:0] パラメータで指定された値に追従するため、I²C バスは波形をストリーミングできます。駆動を停止するには、モードを変更するか、停止トリガを送信します (GO ビットに 0 を書き込むか、外部トリガを使用)。

7.6.9.2 RAM へのデータのロード

DRV2624 デバイスには、顧客の波形を格納するための 1kB の RAM が内蔵されています。波形は振幅時間のペアで表現されます。波形シーケンサを使用すると、I²C または外部 GPIO トリガによって波形を呼び出し、シーケンス化、再生できます。

ライブラリは、リビジョン バイト (0 に設定する必要があります)、ヘッダー セクション、および波形データ コンテンツで構成されます。ライブラリ ヘッダーは、データ フィールド内の各エフェクト ID のデータ境界を定義し、波形データにはエフェクトを定義する一連の振幅時間ペアが含まれています。

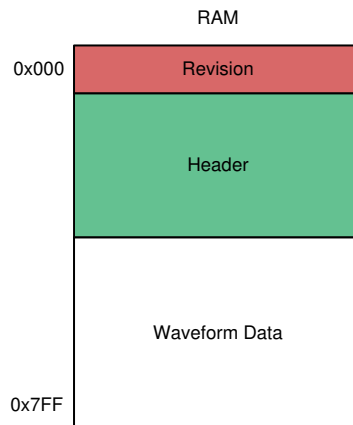


図 7-14. RAM メモリ構造

7.6.9.2.1 ヘッダー形式

ヘッダ ブロックは、それぞれ 3 バイトの N 境界定義ブロックで構成されています。 N は RAM に格納される効果の数です (N は 127 を上回ることはできません)。各境界定義ブロックには、開始アドレス (2 バイト) と構成バイトが含まれています。

開始アドレスには、この効果に関連する波形データが開始されるメモリ内の位置が含まれます。ヘッダー内のエフェクト ポインタの位置がエフェクト ID になります。最初のエフェクト境界の定義はエフェクト 1 の ID を指し、2 番目の定義はエフェクト 2 の ID を指し、以下同様に続きます。結果のエフェクト ID は、波形シーケンサで使用されるエフェクト ID です。

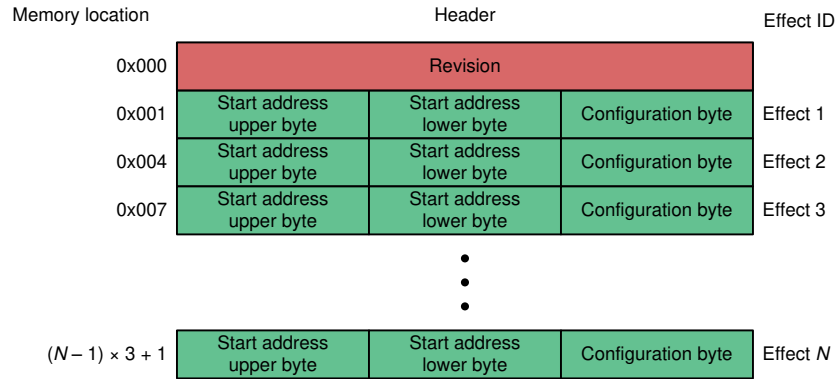


図 7-15. ヘッダー構造

構成バイトには、次の 2 つのパラメータが含まれています。

- エフェクト サイズには、波形データを定義するバイト数が含まれます。エフェクト サイズ 0 はエラー状態です。波形データは時間値 (2 バイト) として定義されるため、奇数のエフェクトサイズはエラー状態です。したがって、効果サイズは 2 から 30 の偶数でなければなりません。
- WAVEFORM_REPEATS[2:0] ビットを使用して、波形シーケンサから呼び出されたときに波形全体を再生する回数を選択します。0 の値は繰り返しではなく、波形は 1 回再生されます。値が 1 の場合は 1 回の繰り返しを意味し、波形が 2 回再生されます。7 の値は、GO ビットがクリアされるまでの無限の繰り返しを意味します。

波形を設計する際には、RAM に保存されている波形がスムーズに繰り返されるように、波形の末尾の適切な駆動時間を波形振幅ゼロにるように維持してください。

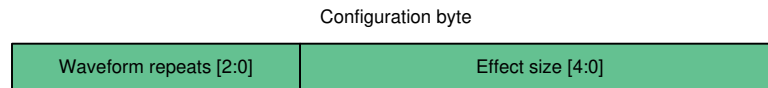


図 7-16. ヘッダー構成のバイト構造

7.6.9.2.2 RAM 波形データ形式

ライブラリ データの内容は、電圧時間ペアとリニア ランプの 2 つの形式を取ることができます。電圧と時間のペア方式は、設定と待機のプロトコルを実装しています。これは、ほとんどの種類の波形に対してアクチュエータを効率的に制御する方法です。ランプ波形が必要な場合、設定と待機方式は非効率になります。そのため、2 つの振幅値間の電圧のセットを線形補間する線形ランプ方式もサポートされています。どちらの方法も、セット ポイントごとに 2 バイトのデータしか必要としません。リニア ランプ方式では、最小 4 バイトを使用するため、線形補間を次の設定点で実行できます。電圧値の最上位ビットは、リニア ランプモードを示すために予約されています。

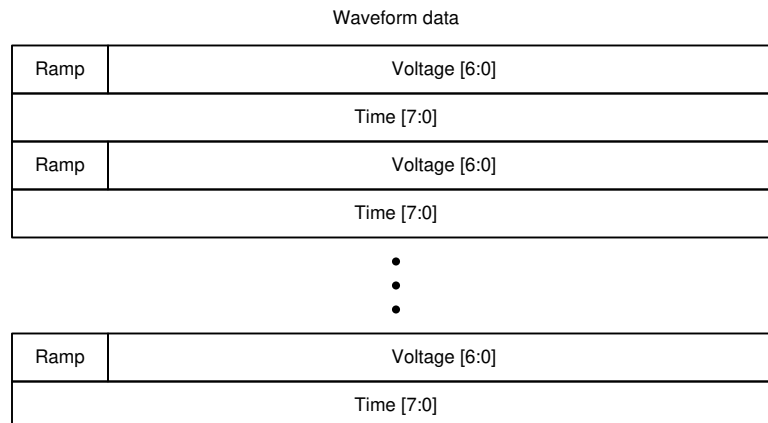


図 7-17. 波形データ構造

データは、インターリーブ形式の電圧時間ペアとして保存されます。電圧時間ペアの電圧は、符号付きデータ形式では -63 ~ 63 の範囲の 7 ビット符号付き数値、符号なしデータ形式では 0 ~ 127 の範囲の 7 ビット符号なし数値です。電圧バイトの MSB は、リニア ランプ モード用に予約されています。

時間値は、電圧が持続するティックの数です。ティックのサイズは **PLAYBACK_INTERVAL** ビットによって異なります。**PLAYBACK_INTERVAL = 0** の場合、絶対時間はティック数×5ms です。**PLAYBACK_INTERVAL = 1** の場合、絶対時間は数ティック×1ms です。

電圧バイトの最上位ビットが高い場合、エンジンはその電圧と次の電圧ポイント間の線形補間を解釈します。次の電圧ポイントは、通常の電圧時間ペア、またはそれに続くランプの一部になります。以下に、バイトのシーケンスを示します。

1. Byte1 — Voltage1 (MSB High)
2. Byte2 — Time1
3. Byte3 — Voltage2
4. Byte4 — Time2

エンジンは、時間 **Time1** の間に **Voltage1** と **Voltage2** の間に線形補間を作成します。ここで、**Time1** は 5ms のティック数です。ランプの開始値は、**Voltage1** に含まれる 7 ビットの値です。終了振幅は、**Voltage2** に含まれる 7 ビット値です。**Voltage2** の MSB は、次の電圧時間ペア、または後続のランプの開始点を示すことができます。

7.6.9.3 波形シーケンサ

内部メモリからの触覚効果を再生するには、まずエフェクトを波形シーケンサにロードしてから、いずれかのトリガ オプションを使用してエフェクトを起動する必要があります。

波形シーケンサは、再生用に波形ライブラリ識別子をキューに入れます。8 つのシーケンスレジスタは、シーケンシャル再生のために最大 8 つのライブラリ波形をキューに入れます。波形識別子は、内部メモリ内の波形のインデックス位置を示す整数値です。ユーザーが波形シーケンサをトリガすると、再生は **WAV_FRM_SEQ1** から開始します。波形の再生が終了すると、**WAV_FRM_SEQ2** に保持されている次の波形識別子が波形シーケンサによって再生されます (ゼロ以外の場合)。波形シーケンサは、シーケンサが 0 の識別子値に達するか、または 8 つの識別子がいずれか早い方に再生されるまで、このように続けます。

波形識別子は 7 ビットの数値です。各シーケンスレジスタの MSB を使用して、シーケンス波形間の遅延を実装できます。MSB が high の場合、ビット 6-0 は待機時間の長さを示します。そのステップの待ち時間は **WAV_FRM_SEQ[6:0]** ×10ms になります。

DRV2624 デバイスでは、**WAVn_SEQ_LOOP** パラメータを使用して個別の波形をループできます。使用する場合、ステートマシンは、関連する **WAVn_SEQ_LOOP** パラメータで指定された回数だけ特定の波形をループしてから、次の波形に移動します。さらに、波形のシーケンサ全体を、**WAV_SEQ_MAIN_LOOP** パラメータで指定した回数だけループさせることができます。波形ループ機能は、ハプティクス着信音など、長いカスタム ハプティクスの再生に役立ちます。

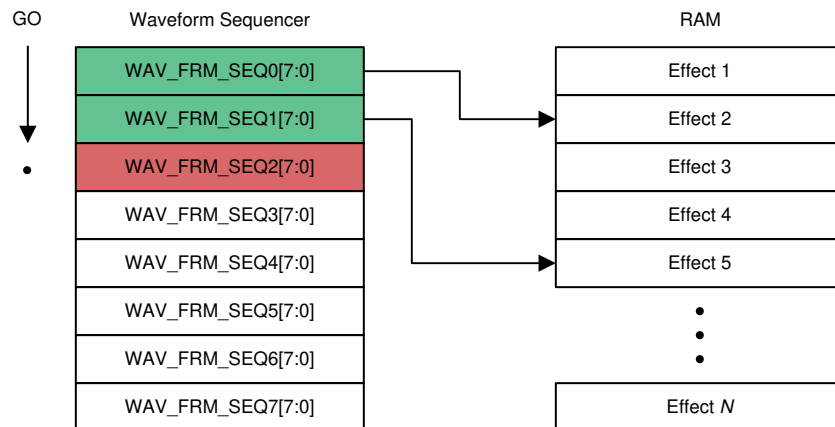


図 7-18. 波形シーケンサのプログラミング

7.6.9.4 波形再生トリガ

DRV2624 デバイスには、次の 2 つの波形再生モードがあります。波形シーケンサおよび RTP。どちらのモードも、TRIG/INTZ ピンを使用して外部から、または GO ビットを使用して内部的にトリガすることができます。外部トリガを使用する場合は、TRIG_PIN_FUNC を最も適切に選択する必要があります。

7.6.9.4.1 自動ブレーキを使用せずにスタンバイに再生トリガーされます

スタンバイへの自動ブレーキが無効化されている場合 (AUTO_BRK_INT0_STBY ビットを 0 に設定)、GO ビットに 1 を書き込むと内部トリガにより RTP および波形シーケンサ モードの両方で再生をトリガでき、GO ビットに 0 を書き込むことで停止できます。再生は、トリガ パルスまたはトリガ レベルの指定に従って外部トリガによってトリガすることもできます (詳細については、図 7-5 および図 7-4 を参照してください)。外部トリガ ピンがトリガ レベルに設定されている場合 (TRIG_PIN_FUNC = 1)、内部トリガは利用できないことに注意します。

RTP 再生 (MODE[1:0]=0) は、トリガされると、波形が停止するまで無期限に実行されます。波形シーケンサ (MODE[1:0]= 1) は、シーケンサがエンドポイントに達するまで実行され、無限ループが要求されない限り、キャンセルトリガを受信せずに自動的にスタンバイに移行します。

7.6.9.4.1.1 自動ブレーキによるスタンバイ状態への再生トリガ (SimpleDrive)

スタンバイへの自動ブレーキが有効化されている場合 (AUTO_BRK_INT0_STBY ビットが 1 に設定されている)、デバイス部品はスタンバイに移行する前にブレーキ モードに移行します。この機能により、以下の図に示す新しいタイミング要件が導入されます。

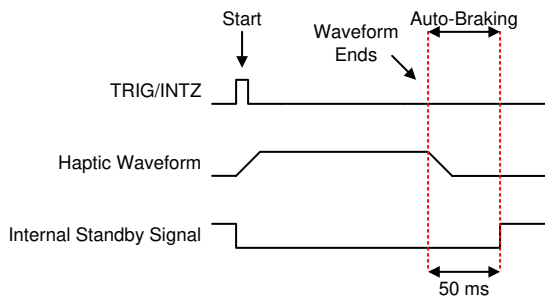


図 7-19. トリガ パルス付き波形シーケンサ

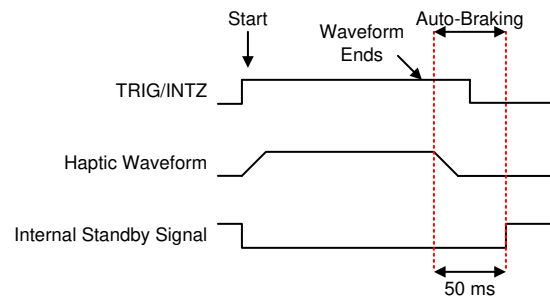


図 7-20. トリガ レベルの波形シーケンサ

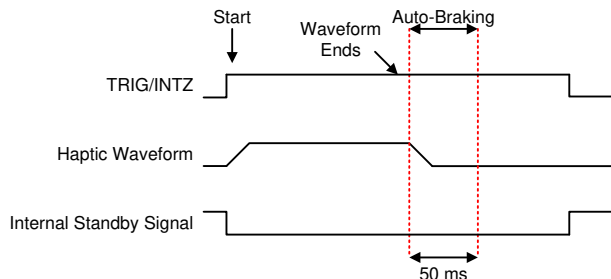


図 7-21. TRIG/INTZ ピンが high のままになったときのトリガ レベル動作を備えた波形シーケンサ

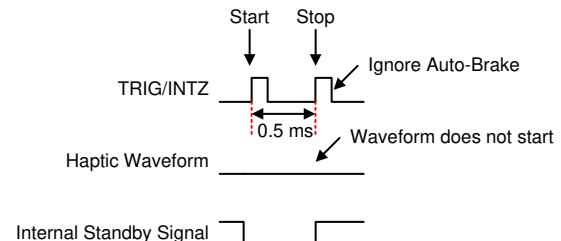


図 7-22. トリガ パルス (RTP または波形シーケンサ) による高速スタート ストップ

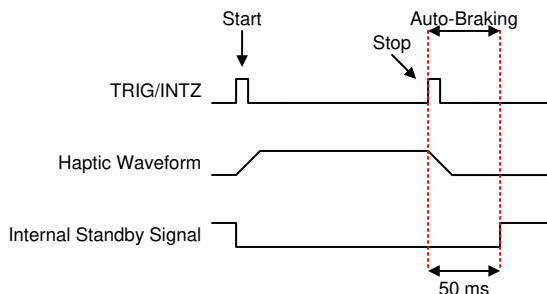


図 7-23. 再生開始および停止トリガ (パルス) (RTP または波形シーケンサ)

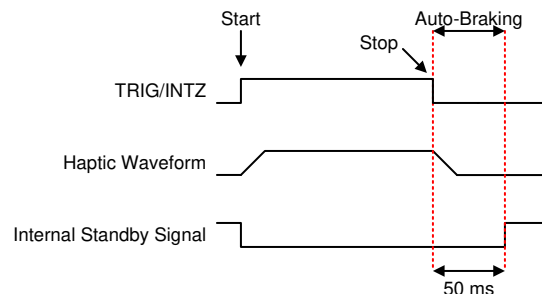


図 7-24. 再生開始および停止トリガ (レベル) (RTP または波形シーケンサ)

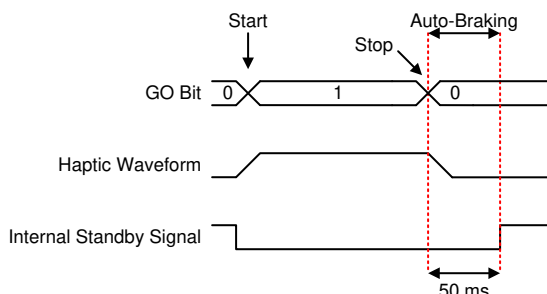


図 7-25. 再生の開始および停止トリガ (内部 GO ビット) (RTP または波形シーケンサ)

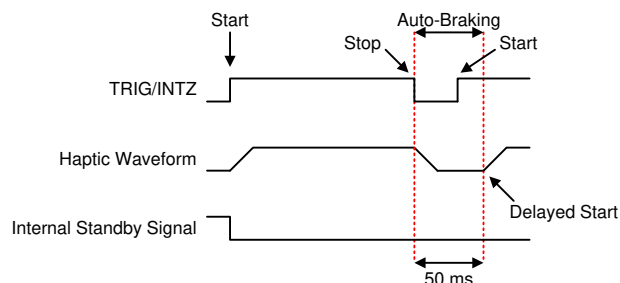


図 7-26. 遅延スタート付きトリガ レベル (RTP または波形シーケンサ)

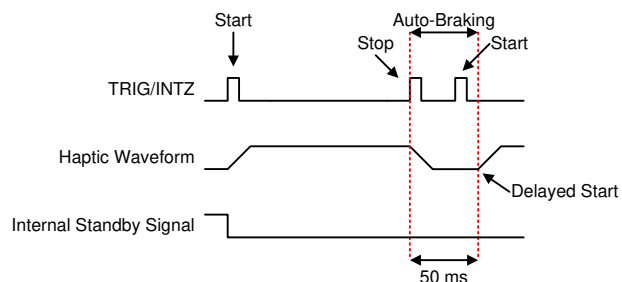


図 7-27. トリガ パルスと遅延スタート (RTP または波形シーケンサ)

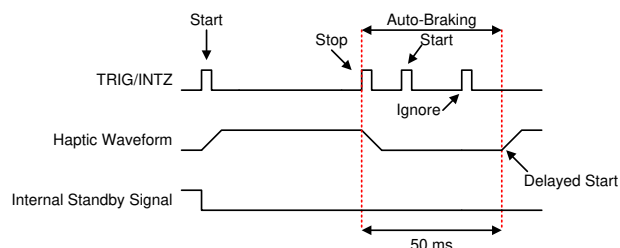


図 7-28. トリガ パルスと遅延スタート、無視されたパルス (RTP または波形シーケンサ)

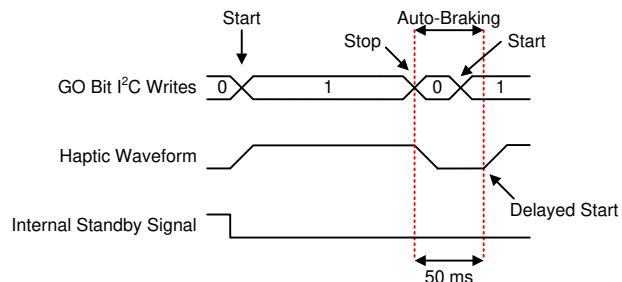


図 7-29. 遅延スタート付き GO ビット トリガ (RTP または波形シーケンサ)

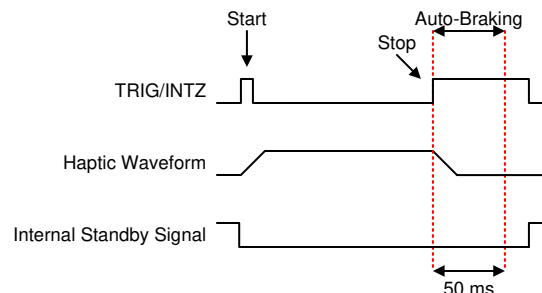


図 7-30. TRIG/INTZ ピンが high のままのとき (RTP または波形シーケンサ)、トリガ パルス動作

7.6.10

8 レジスタ マップ

表 8-1. レジスタ マップの概要

レジスタ 番号	デフォルト	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x00	0x03	CHIPID[3:0]				REV[3:0]			
0x01	0x00	DIAG_RESULT	予約済み		PRG_ERROR	PROCESS_DONE	UVLO	OVER_TEMP	OC_DETECT
0x02	0x18	予約済み				INTZ_MASK[3:0]			
0x03	0x00	DIAG_Z_RESULT[7:0]							
0x04	0x00	VBAT[7:0]							
0x05	0x00	予約済み						LRA_PERIOD[9:8]	
0x06	0x00	LRA_PERIOD[7:0]							
0x07	0x44	I2C_BCAST_EN	LRA_PERIOD_AVG_DIS	LINEREG_COMP_SEL[1:0]		TRIG_PIN_FUNC[1:0]		MODE[1:0]	
0x08	0x88	LRA_ERM	CONTROL_LOOP	HYBRID_LOOP	AUTO_BRK_OL	AUTO_BRK_INT0_STBY	INPUT_SLOPE_CHECK	予約済み	
0x09	0x00	BAT_LIFE_EXT_LVL_EN[1:0]		予約済み			UVLO_THRES[2:0]		
0x0A	0x92	BAT_LIFE_EXT_LVL1[7:0]							
0x0B	0x8D	BAT_LIFE_EXT_LVL2[7:0]							
0x0C	0x00	予約済み							GO
0x0D	0x00	予約済み		PLAYBACK_INTERVAL	予約済み			DIG_MEM_GAIN[1:0]	
0x0E	0x7F	RTP_INPUT[7:0]							
0x0F	0x01	WAIT1	WAV_FRM_SEQ1[6:0]						
0x10	0x00	WAIT2	WAV_FRM_SEQ2[6:0]						
0x11	0x00	WAIT3	WAV_FRM_SEQ3[6:0]						
0x12	0x00	WAIT4	WAV_FRM_SEQ4[6:0]						
0x13	0x00	WAIT5	WAV_FRM_SEQ5[6:0]						
0x14	0x00	WAIT6	WAV_FRM_SEQ6[6:0]						
0x15	0x00	WAIT7	WAV_FRM_SEQ7[6:0]						
0x16	0x00	WAIT8	WAV_FRM_SEQ8[6:0]						
0x17	0x00	WAV4_SEQ_LOOP[1:0]		WAV3_SEQ_LOOP[1:0]		WAV2_SEQ_LOOP[1:0]		WAV1_SEQ_LOOP[1:0]	
0x18	0x00	WAV8_SEQ_LOOP[1:0]		WAV7_SEQ_LOOP[1:0]		WAV6_SEQ_LOOP[1:0]		WAV5_SEQ_LOOP[1:0]	
0x19	0x00	予約済み					WAV_SEQ_MAIN_LOOP[2:0]		
0x1A	0x00	ODT[7:0]							
0x1B	0x00	SPT[7:0]							
0x1C	0x00	SNT[7:0]							
0x1D	0x00	BRT[7:0]							
0x1F	0x3F	定格電圧[7:0]							
0x20	0x89	OD_CLAMP[7:0]							
0x21	0x0D	A_CAL_COMP[7:0]							
0x22	0x6D	A_CAL_BEMF[7:0]							
0x23	0x36	NG_THRESH	FB_BRAKE_FACTOR[2:0]			LOOP_GAIN[1:0]		BEMF_GAIN[1:0]	
0x24	0x64	RATED_VOLTAGE_CLAMP[7:0]							

表 8-1. レジスタ マップの概要 (続き)

レジスタ 番号	デフォルト	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x25	0x80	OD_CLAMP_LVL1[7:0]							
0x26	0x00	OD_CLAMP_LVL2[7:0]							
0x27	0x10	LRA_MIN_FREQ_SEL	LRA_RESYNC_FORMAT	予約済み	DRIVE_TIME[4:0]				
0x28	0x11	BLANKING_TIME[3:0]				IDISS_TIME[3:0]			
0x29	0x0C	予約済み	OD_CLAMP_TIME[1:0]			SAMPLE_TIME[1:0]		ZC_DET_TIME[1:0]	
0x2A	0x02	予約済み						AUTO_CAL_TIME[1:0]	
0x2C	0x00	LRA_AUTO_OPEN_LOOP	AUTO_OL_CNT[1:0]		予約済み				LRA_WAVE_SHAPE
0x2E	0x00	予約済み						OL_LRA_PERIOD[9:0]	
0x2F	0xC6	OL_LRA_PERIOD[9:0]							
0x30	0x00	CURRENT_K[7:0]							
FD	0x00	RAM_ADDR[15:8]							
FE	0x00	RAM_ADDR[7:0]							
FF	0x00	RAM_DATA[7:0]							

8.1 アドレス : 0x00

図 8-1. 0x00

7	6	5	4	3	2	1	0
CHIPID[3:0]				REV[3:0]			
R-0	R-0	R-0	R-0	R-0	R-0	R-1	R-1

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-2. アドレス : 0x00

ビット	フィールド	タイプ	デフォルト	説明
7-4	CHIPID[3:0]	R	0	デバイス識別情報を提供します
				0 DRV2624
				1 DRV2625
3-0	REV[3:0]	R	3	デバイスリビジョンに関する情報を提供します ⁽¹⁾

(1) Rev 2 および 3 は、両方とも商用リリースされています。

8.2 アドレス : 0x01

表 8-3. 0x01

7	6	5	4	3	2	1	0
DIAG_RESULT[0]	予約済み		PRG_ERROR	PROCESS_DONE[0]	UVLO[0]	OVER_TEMP[0]	OC_DETECT[0]
R-0	R/W-0			R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-4. アドレス : 0x01

ビット	フィールド	タイプ	デフォルト	説明
7	DIAG_RESULT	R	0	このビットの意味は、動作モードによって異なります。診断モードでは、このビットはアクチュエータが開放またはグラウンドに短絡しているか、VDD に短絡しているか、有効な BEMF 信号がないかのいずれかでアサートされます。インピーダンス測定モードについては、DIAG_Z_RESULT[7:0] を参照してください。較正モードでは、較正が失敗した場合、このビットがアサートされます。このビットは、スティッキーであり、読み取り時にクリアされます。
				0 問題は見つかりませんでした。
				1 診断またはキャリブレーションに失敗しました。
6-5	予約済み	R/W	0	予約済み
4	PRG_ERROR	R	0	RAM に必要な形式に準拠していないデータがある場合、このビット資産です。このビットは、スティッキーであり、読み取り時にクリアされます。
				0 RAM の読み取り中にエラーは見つかりませんでした。
				1 RAM の読み取り中にエラーが見つかりました。
3	PROCESS_DONE	R	0	実行されたプロセスが実行されたかどうかを示します。このビットは、スティッキーであり、読み取り時にクリアされます。
				0 処理が行われていません。
				1 処理が実行されます (波形シーケンサ、診断、自動キャリブレーション)。このビットは、読み出すとクリアされます。
2	UVLO	R	0	VDD が UVLO_THRES[2:0] を下回ると、このビットがアサートされます。このビットは、スティッキーであり、読み取り時にクリアされます。
				0 VDD ドループは観察されていません。
				1 VDD ドループが観察されます。読み出すとクリア。

表 8-4. アドレス : 0x01 (続き)

ビット	フィールド	タイプ	デフォルト	説明
1	OVER_TEMP	R	0	過熱保護の現在のステータスを示します。このビットは、スティッキーであり、読み取り時にクリアされます。
				0 温度が過熱スレッシュホールドを下回っています
				1 温度が過熱スレッシュホールドを上回っている。読み出すとクリア。
0	OC_DETECT	R	0	出力過電流保護の現在のステータスを示します。このビットは、スティッキーであり、読み取り時にクリアされます。
				0 OUT+ または OUT- で過電流を検出しません
				1 OUT+ または OUT- で過電流を検出しました。読み出すとクリア。

8.3 アドレス : 0x02

図 8-2. 0x02

7	6	5	4	3	2	1	0
予約済み				INTZ_MASK[3:0]			
R/W-0		R/W-1		R/W-1	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-5. アドレス : 0x02

ビット	フィールド	タイプ	デフォルト	説明
7-5	予約済み	R/W	0	予約済み
4-0	INTZ_MASK[4:0]	R/W	24	割り込みモードに設定されている場合、TRIG/INTZ ピンの動作を構成するために、ステータスビットをマスクします。それ以外の場合は無視。
				0 INTZ_MASK[0] = 1 のとき、OC_DETECT ステータスは割り込みを生成しません
				1 INTZ_MASK[1] = 1 の場合、OVER_TEMP ステータスは割り込みを生成しません
				2 INTZ_MASK[2] = 1 の場合、UVLO ステータスは割り込みを発生させません
				3 INTZ_MASK[3] = 1 のとき、PROCESS_DONE ステータスは割り込みを発生させません

8.4 アドレス : 0x03

図 8-3. 0x03

7	6	5	4	3	2	1	0
DIAG_Z_RESULT[7:0]							
R-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-6. アドレス : 0x03

ビット	フィールド	タイプ	デフォルト	説明
7-0	DIAG_Z_RESULT[7:0]	R	0	このパラメータは、診断ルーチン実行後のアクチュエータのインピーダンス測定値を示します。

8.5 アドレス : 0x04

図 8-4. 0x04

7	6	5	4	3	2	1	0
VBAT[7:0]							
R-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-7. アドレス : 0x04

ビット	フィールド	タイプ	デフォルト	説明
7-0	VBAT[7:0]	R	0	このパラメータは、VDD ピンの電源電圧をリアルタイムで読み取ります。読み取りを行うには、デバイスがアクティブに波形を再生している必要があります。

8.6 アドレス : 0x05

図 8-5. 0x05

7	6	5	4	3	2	1	0
予約済み						LRA_PERIOD[9:8]	
R/W-0						RO-0	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-8. アドレス : 0x05

ビット	フィールド	タイプ	デフォルト	説明
7-2	予約済み	R/W	0	予約済み
1-0	LRA_PERIOD[9:0]	RO	0	このパラメータは、LRA の共振周波数をリアルタイムで報告します。このレジスタは継続的に更新されるため、MSB セクションが最初に読み取られ、LSB が読み取られるまで LSB (および MSB) レジスタが保持されて、一貫性を維持します。波形が終了し、LSB が読み取られていない場合、デバイスは両方のレジスタ (MSB と LSB) のロックを自動的に解除し、レジスタは次の再生時に更新を開始します。このため、正確な測定値を得るために、同じ再生中に両方のレジスタを読み取ることを推奨します。LRA 周期 = LRA_PERIOD[9:0] × 24.39μs。報告された周波数の精度は、プレーキ中に検証されません。

8.7 アドレス : 0x06

図 8-6. 0x06

7	6	5	4	3	2	1	0
LRA_PERIOD[7:0]							
R-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-9. アドレス : 0x06

ビット	フィールド	タイプ	デフォルト	説明
7-0	LRA_PERIOD[9:0]	R	0	このパラメータは、LRA の共振周波数をリアルタイムで報告します。このレジスタは継続的に更新されるため、MSB セクションが最初に読み取られ、LSB が読み取られるまで LSB (および MSB) レジスタが保持されて、一貫性を維持します。波形が終了し、LSB が読み取られていない場合、デバイスは両方のレジスタ (MSB と LSB) のロックを自動的に解除し、次の再生時に更新を開始します。このため、同じ再生中に両方のレジスタを読み取ることで、正確な測定値を得ることが重要です。LRA 周期 = LRA_PERIOD[9:0] × 24.39μs。報告された周波数の精度は、プレーキ中に検証されません。

8.8 アドレス : 0x07

図 8-7. 0x07

7	6	5	4	3	2	1	0
I2C_BCAST_EN[0]	LRA_PERIOD_AVG_DIS[0]	LINEREG_COMP_SEL[1:0]		TRIG_PIN_FUNC[1:0]		MODE[1:0]	
R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-10. アドレス : 0x07

ビット	フィールド	タイプ	デフォルト	説明
7	I2C_BCAST_EN	R/W	0	<p>イネーブルにすると、デバイスはペリフェラル アドレス 0x58 (または 1011000) に応答します。これにより、複数のドライバを同時にトリガする場合に便利です。</p> <p>0 ハブティクス ブロードキャストが無効。</p> <p>1 ハブティクス ブロードキャストが有効。</p>
6	LRA_PERIOD_AVG_DIS	R/W	1	<p>LRA_PERIOD[9:0] パラメータにある共振レポートの平均化をイネーブル/ディセーブルにします。</p> <p>0 LRA_PERIOD[9:0] は、直近の 4 期間の平均期間を示します。0 をブロードキャストしたシフトレジスタを使用します。</p> <p>1 LRA_PERIOD[9:0] は最後の期間を報告します。</p>
5-4	LINEREG_COMP_SEL[1:0]	R/W	0	<p>LDO シフトの変動を補償するために補償係数を適用します。</p> <p>0 0%</p> <p>1 2%</p> <p>2 4%</p> <p>3 5%</p>
3-2	TRIG_PIN_FUNC[1:0]	R/W	1	<p>このパラメータは TRIG/INTZ ピンの機能を選択します。プロセス実行中にこのパラメータが変更されると、デバイスはスタンバイに移行します。</p> <p>0 ピンは外部パルストリガ (入力) として機能します。このモードでは、GO ビットを使用してプロセスをトリガまたはキャンセルすることもできます。</p> <p>1 ピンは外部レベルのトリガ イネーブル (入力) として機能します。このモードでは、GO ビットは使用できません。</p> <p>2 ピンが割り込み (オープンドレイン出力) として機能します。このモードでは、GO ビットがプロセスをトリガおよびキャンセルする唯一のメカニズムです。</p> <p>3 予約済み</p>
1-0	MODE[1:0]	R/W	0	<p>このパラメータを使用して、操作モードを選択します。プロセス実行中にモードが変更された場合、デバイスはただちにスタンバイに移行します。</p> <p>0 RTP モード</p> <p>1 波形シーケンサ モード</p> <p>2 診断ルーチン</p> <p>3 自動レベル キャリブレーション ルーチン</p>

8.9 アドレス : 0x08

図 8-8. 0x08

7	6	5	4	3	2	1	0
LRA_ERM[0]	CONTROL_LOOP[0]	HYBRID_LOOP[0]	AUTO_BRK_OL[0]	AUTO_BRK_INT_O_STBY[0]	INPUT_SLOPE_CHECK[0]	予約済み	
R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-11. アドレス : 0x08

ビット	フィールド	タイプ	デフォルト	説明
7	LRA_ERM	R/W	1	<p>アクチュエータ タイプを選択します。このビットは、較正ルーチンを実行する前に設定されます。</p> <p>0 ERM。</p> <p>1 LRA。</p>
6	CONTROL_LOOP	R/W	0	<p>閉ループ モードまたは開ループ モードを選択します。これは、ERM アクチュエータと LRA アクチュエータの両方に適用されます。</p> <p>0 閉ループ。</p> <p>1 開ループ。</p>
5	HYBRID_LOOP	R/W	0	<p>完全閉ループモードとハイブリッド閉ループモードのどちらかを選択します。</p> <p>0 完全閉ループ モード。</p> <p>1 ハイブリッド ループ モード。</p>
4	AUTO_BRK_OL	R/W	0	<p>開ループでは、ERM と LRA に自動ブレーキをかけます。これを実現するために、再生するデータが 0 以下の場合、DRV2625 デバイスは自動的に閉ループ モードに移行し、アクチュエータをブレーキします。再生されるデータが正の場合、デバイスは開ループ モードで再生されることに注意してください。この機能は、アクチュエータが較正されており、アクチュエータが閉ループ条件下で正しく機能することを前提としています。この機能は、デフォルトでは無効になっています。</p> <p>0 開ループ モードでの自動ブレーキはありません。</p> <p>1 開ループ モードの自動ブレーキが有効化されます。データが 0 以下の場合には、閉ループ モードに移行して切斷します。</p>
3	AUTO_BRK_INT_O_STBY	R/W	1	<p>このビットは、デバイスがスタンバイに移行したときの自動ブレーキを有効化するために使用されます。このビットが設定されており、波形が再生中の場合、スタンバイ移行信号が (タイマから、または TRIG/INTZ ピンの EN 機能から) 受信されると、デバイスはまずアクチュエータにブレーキをかけてから、スタンバイ モードに移行します。</p> <p>0 ただちにスタンバイ モードに移行します (自動ブレーキなし)。</p> <p>1 スタンバイ モードに移行する前に、アクチュエータが動いているかどうかを確認します。アクチュエータが作動している場合は、アクチュエータにブレーキをかけてからスタンバイ モードに移行します。アクチュエータが動いていない場合は、スタンバイ モードになります。</p>
2	INPUT_SLOPE_CHECK	R/W	0	<p>このビットがセットされている場合、ドライバは開ループで動作し、要求された遷移が十分大きい場合のみ閉ループに変更されます。ハイブリッド ループが無効化されている場合、このビットは無視されます。</p> <p>0 入力勾配のチェックなし。</p> <p>1 入力スロープ チェックが有効です</p>
1-0	予約済み	R/W	0	予約済み

8.10 アドレス : 0x09

図 8-9. 0x09

7	6	5	4	3	2	1	0
BAT_LIFE_EXT_LVL_EN[1:0]		予約済み			UVLO_THRES[2:0]		
R/W-0		R/W-0			R/W-0		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-12. アドレス : 0x09

ビット	フィールド	タイプ	デフォルト	説明
7-6	BAT_LIFE_EXT_LVL_EN[1:0]	R/W	0	BAT_LIFE_EXT 機能を有効化します。 0 BAT_LIFE_EXT 機能の無効化。 1 BAT_LIFE_EXT_LVL1 機能の無効化。 2 BAT_LIFE_EXT_LVL1 と BAT_LIFE_EXT_LVL2 機能の有効化。
5-3	予約済み	R/W	0	予約済み
2-0	UVLO_THRES[2:0]	R/W	0	UVLO のしきい値を設定します。VDD 電圧がこのしきい値を下回ると、出力段は直ちにオフになり、デバイスはスタンバイモードになります。 0 UVLO しきい値 = 2.5V。 1 UVLO しきい値 = 2.6V。 2 UVLO しきい値 = 2.7V。 3 UVLO しきい値 = 2.8V。 4 UVLO しきい値 = 2.9V。 5 UVLO しきい値 = 3V。 6 UVLO しきい値 = 3.1V。 7 UVLO しきい値 = 3.2V。

8.11 アドレス : 0x0A

図 8-10. 0x0A

7	6	5	4	3	2	1	0
BAT_LIFE_EXT_LVL1[7:0]							
R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-13. アドレス : 0x0A

ビット	フィールド	タイプ	デフォルト	説明
7-0	BAT_LIFE_EXT_LVL1[7:0]	R/W	146	VDD がこのパラメータで指定されたスレッシュホールドを下回ると、OD_CLAMP_LVL1 はデバイスのオーバードライブ クランプを設定します。OD_CLAMP_LVL1 は常に OD_CLAMP_LVL2 以上であることに注意してください。BAT_LIFE_EXT_LVL1 が BAT_LIFE_EXT_LVL2 よりも高い値に設定される。VDD 電圧は、エフェクトの開始時にのみサンプリングされます。

8.12 アドレス : 0x0B

図 8-11. 0x0B

7	6	5	4	3	2	1	0
BAT_LIFE_EXT_LVL2[7:0]							
R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-1

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-14. アドレス : 0x0B

ビット	フィールド	タイプ	デフォルト	説明
7-0	BAT_LIFE_EXT_LVL2[7:0]	R/W	141	VDD がこのパラメータで指定されたスレッショルドを下回ると、OD_CLAMP_LVL2 はデバイスのオーバードライブ クランプを設定します。OD_CLAMP_LVL1 は常に OD_CLAMP_LVL2 以上であることに注意してください。BAT_LIFE_EXT_LVL1 が BAT_LIFE_EXT_LVL2 よりも高い値に設定される。VDD 電圧は、エフェクトの開始時にのみサンプリングされます。

8.13 アドレス : 0x0C

図 8-12. 0x0C

7	6	5	4	3	2	1	0
予約済み							GO[0]
R/W-0							R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-15. アドレス : 0x0C

ビット	フィールド	タイプ	デフォルト	説明
7-1	予約済み	R/W	0	予約済み
0	GO	R/W	0	このビットはプロセスを起動するために使用されます。GO ビットによって起動されるプロセスは、MODE パラメータによって選択されます。このビットの主な機能は、波形シーケンサ (レジスタ 0x0F ~ 0x16) で波形識別子を再生することです。この場合、このビットはハプティクス波形のソフトウェアトリガと考えられます。プロセスが完了するまで、GO ビットは high のままです。波形再生中に GO ビットをクリアすると、処理はただちにキャンセルされます。外部トリガを使用すると、アサーションが書き込まれるのと同様の方法で GO ビットがアサートされます。GO ビットを使用して、波形シーケンサを使用したエフェクトの再生、自動キャリブレーションの実行、診断の実行を実行することができます。

8.14 アドレス : 0x0D

表 8-16. 0x0D

7	6	5	4	3	2	1	0
予約済み		PLAYBACK_INTERVAL[0]		予約済み		DIG_MEM_GAIN[1:0]	
R-0	R/W-0	R/W-0		R/W-0		R/W-0	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-17. アドレス : 0x0D

ビット	フィールド	タイプ	デフォルト	説明
7-6	予約済み	R/W	0	予約済み
5	PLAYBACK_INTERVAL	R/W	0	内部メモリの再生間隔を 5ms または 1ms に設定します。
				0 5ms。
				1 1ms。
4-2	予約済み	R/W	0	予約済み
1-0	DIG_MEM_GAIN[1:0]	R/W	0	このパラメータを使用すると、内部ライブラリに保存されている効果を比例的にスケールダウン (減衰) する方法で、ハプティクスのカスタマイズを簡単に実行できます。RTP モードでは、このパラメータは無視されます。
				0 100% の強度でプレー効果。
				1 75% の強度でプレー効果。
				2 50% の強度でプレー効果。
				3 25% の強度でプレー効果。

8.15 アドレス : 0x0E

図 8-13. 0x0E

7	6	5	4	3	2	1	0
RTP_INPUT[7:0]							
R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-18. アドレス : 0x0E

ビット	フィールド	タイプ	デフォルト	説明
7-0	RTP_INPUT[7:0]	R/W	127	このパラメータは、リアルタイム再生 (RTP) データのエントリ ポイントです。MODE[1:0] パラメータが RTP モードに設定され、RTP プロセスがトリガされると、デジタル再生エンジンは RTP_INPUT[7:0] 値をロードに駆動します。RTP_INPUT[7:0] の値は、ホストコントローラによってリアルタイムで更新し、ハブティクス波形を生成できます。TP_INPUT[7:0] 値は、8 ビットの符号付き数値として解釈されます。

8.16 アドレス : 0x0F

図 8-14. 0x0F


7	6	5	4	3	2	1	0
WAIT1[0]	WAV_FRM_SEQ1[6:0]						
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-19. アドレス : 0x0F

ビット	フィールド	タイプ	デフォルト	説明
7	WAIT1	R/W	0	このビットがセットされている場合、WAV_FRM_SEQ1[6:0] は、再生エンジンがアイドル状態になる待機時間と解釈されます。このビットは、連続して再生される波形間に時間遅延を挿入するために使用されます。遅延時間 = 10ms×WAV_FRM_SEQ1[6:0]。このビットが 0 の場合、WAV_FRM_SEQ1[6:0] はシーケンス再生の波形識別子として解釈されます。
				0 WAV_FRM_SEQ1[6:0] は、シーケンス再生の波形識別子として解釈されます。
				1 WAV_FRM_SEQ1[6:0] は遅延として解釈されます。
6-0	WAV_FRM_SEQ1[6:0]	R/W	1	このパラメータは、再生する波形の波形識別子を保持します。波形識別子は、ライブラリ内の波形のインデックス位置を示す整数値です。ユーザーが GO ビット (レジスタ 0x0C) をアサートすると、再生はレジスタアドレス 0x0F から開始されます。次の波形識別子がゼロでない場合、波形シーケンスはレジスタ 0x10 に保持されている外部波形識別子を再生します。波形シーケンスが識別子値 0 に達するか、または 8 つの識別子 (レジスタ アドレス 0x0F ~ 0x16) のいずれか早い方が再生されるまで、波形シーケンスはこのように続きます。WAIT1 が 1 に設定されている場合、このパラメータは、与えられる遅延を挿入するために使用します。遅延時間 = 10ms×WAV_FRM_SEQ1[6:0]。
				0 波形シーケンスがこの識別子を再生しようとしたときに、波形シーケンスに停止するように信号を送信します。

8.17 アドレス : 0x10

 8-15. 0x10

7	6	5	4	3	2	1	0
WAIT2[0]		WAV_FRM_SEQ2[6:0]					
R/W-0		R/W-0					

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-20. アドレス : 0x10

ビット	フィールド	タイプ	デフォルト	説明
7	WAIT2	R/W	0	このビットがセットされている場合、WAV_FRM_SEQ2[6:0] は、再生エンジンがアイドル状態になる待機時間と解釈されます。このビットは、連続して再生される波形間に時間遅延を挿入するために使用されます。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ2}[6:0]$ 。このビットが 0 の場合、WAV_FRM_SEQ2[6:0] はシーケンス再生の波形識別子として解釈されます。
			0	WAV_FRM_SEQ2[6:0] は、シーケンス再生の波形識別子として解釈されます。
			1	WAV_FRM_SEQ2[6:0] は遅延として解釈されます。
6-0	WAV_FRM_SEQ2[6:0]	R/W	0	このパラメータは、再生する波形の波形識別子を保持します。波形識別子は、ライブラリ内の波形のインデックス位置を示す整数値です。ユーザーが GO ビット (レジスタ 0x0C) をアサートすると、再生はレジスタアドレス 0x0F から開始されます。次の波形識別子がゼロでない場合、波形シーケンサはレジスタ 0x10 に保持されている外部波形識別子を再生します。波形シーケンサが識別子値 0 に達するか、または 8 つの識別子 (レジスタ アドレス 0x0F ~ 0x16) のいずれか早い方が再生されるまで、波形シーケンサはこのように継続します。WAIT2 が 1 に設定されている場合、このパラメータは、与えられる遅延を挿入するために使用します。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ2}[6:0]$ 。
			0	波形シーケンサがこの識別子を再生しようとしたときに、波形シーケンサに停止するように信号を送信します。

8.18 アドレス : 0x11

 8-16. 0x11


7	6	5	4	3	2	1	0
WAIT3[0]		WAV_FRM_SEQ3[6:0]					
R/W-0		R/W-0					

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-21. アドレス : 0x11

ビット	フィールド	タイプ	デフォルト	説明
7	WAIT3	R/W	0	このビットがセットされている場合、WAV_FRM_SEQ3[6:0] は、再生エンジンがアイドル状態になる待機時間と解釈されます。このビットは、連続して再生される波形間に時間遅延を挿入するために使用されます。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ3}[6:0]$ 。このビットが 0 の場合、WAV_FRM_SEQ3[6:0] はシーケンス再生の波形識別子として解釈されます。
			0	WAV_FRM_SEQ3[6:0] は、シーケンス再生の波形識別子として解釈されます。
			1	WAV_FRM_SEQ3[6:0] は遅延として解釈されます。
6-0	WAV_FRM_SEQ3[6:0]	R/W	0	このパラメータは、再生する波形の波形識別子を保持します。波形識別子は、ライブラリ内の波形のインデックス位置を示す整数値です。ユーザーが GO ビット (レジスタ 0x0C) をアサートすると、再生はレジスタアドレス 0x0F から開始されます。次の波形識別子がゼロでない場合、波形シーケンサはレジスタ 0x10 に保持されている外部波形識別子を再生します。波形シーケンサが識別子値 0 に達するか、または 8 つの識別子 (レジスタ アドレス 0x0F ~ 0x16) のいずれか早い方が再生されるまで、波形シーケンサはこのように継続します。WAIT3 が 1 に設定されている場合、このパラメータは、与えられる遅延を挿入するために使用します。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ3}[6:0]$ 。
			0	波形シーケンサがこの識別子を再生しようとしたときに、波形シーケンサに停止するように信号を送信します。

8.19 アドレス : 0x12

 **8-17. 0x12**


7	6	5	4	3	2	1	0
WAIT4[0]		WAV_FRM_SEQ4[6:0]					
R/W-0		R/W-0					

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-22. アドレス : 0x12

ビット	フィールド	タイプ	デフォルト	説明
7	WAIT4	R/W	0	このビットがセットされている場合、WAV_FRM_SEQ4[6:0] は、再生エンジンがアイドル状態になる待機時間と解釈されます。このビットは、連続して再生される波形間に時間遅延を挿入するために使用されます。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ4}[6:0]$ 。このビットが 0 の場合、WAV_FRM_SEQ4[6:0] はシーケンス再生の波形識別子として解釈されます。
			0	WAV_FRM_SEQ4[6:0] は、シーケンス再生の波形識別子として解釈されます。
			1	WAV_FRM_SEQ4[6:0] は遅延として解釈されます。
6-0	WAV_FRM_SEQ4[6:0]	R/W	0	このパラメータは、再生する波形の波形識別子を保持します。波形識別子は、ライブラリ内の波形のインデックス位置を示す整数値です。ユーザーが GO ビット (レジスタ 0x0C) をアサートすると、再生はレジスタアドレス 0x0F から開始されます。次の波形識別子がゼロでない場合、波形シーケンサはレジスタ 0x10 に保持されている外部波形識別子を再生します。波形シーケンサが識別子値 0 に達するか、または 8 つの識別子 (レジスタ アドレス 0x0F ~ 0x16) のいずれか早い方が再生されるまで、波形シーケンサはこのように継続します。WAIT4 が 1 に設定されている場合、このパラメータは、与えられる遅延を挿入するために使用します。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ4}[6:0]$ 。
			0	波形シーケンサがこの識別子を再生しようとしたときに、波形シーケンサに停止するように信号を送信します。

8.20 アドレス : 0x13

 **8-18. 0x13**

7	6	5	4	3	2	1	0
WAIT5[0]		WAV_FRM_SEQ5[6:0]					
R/W-0		R/W-0					

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-23. アドレス : 0x13

ビット	フィールド	タイプ	デフォルト	説明
7	WAIT5	R/W	0	このビットがセットされている場合、WAV_FRM_SEQ5[6:0] は、再生エンジンがアイドル状態になる待機時間と解釈されます。このビットは、連続して再生される波形間に時間遅延を挿入するために使用されます。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ5}[6:0]$ 。このビットが 0 の場合、WAV_FRM_SEQ5[6:0] はシーケンス再生の波形識別子として解釈されます。
			0	WAV_FRM_SEQ5[6:0] は、シーケンス再生の波形識別子として解釈されます。
			1	WAV_FRM_SEQ5[6:0] は遅延として解釈されます。
6-0	WAV_FRM_SEQ5[6:0]	R/W	0	このパラメータは、再生する波形の波形識別子を保持します。波形識別子は、ライブラリ内の波形のインデックス位置を示す整数値です。ユーザーが GO ビット (レジスタ 0x0C) をアサートすると、再生はレジスタアドレス 0x0F から開始されます。次の波形識別子がゼロでない場合、波形シーケンサはレジスタ 0x10 に保持されている外部波形識別子を再生します。波形シーケンサが識別子値 0 に達するか、または 8 つの識別子 (レジスタ アドレス 0x0F ~ 0x16) のいずれか早い方が再生されるまで、波形シーケンサはこのように継続します。WAIT5 が 1 に設定されている場合、このパラメータは、与えられる遅延を挿入するために使用します。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ5}[6:0]$ 。
			0	波形シーケンサがこの識別子を再生しようとしたときに、波形シーケンサに停止するように信号を送信します。

8.21 アドレス : 0x14

図 8-19. 0x14

7	6	5	4	3	2	1	0
WAIT6[0]	WAV_FRM_SEQ6[6:0]						
R/W-0	R/W-0						

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-24. アドレス : 0x14

ビット	フィールド	タイプ	デフォルト	説明
7	WAIT6	R/W	0	このビットがセットされている場合、WAV_FRM_SEQ6[6:0] は、再生エンジンがアイドル状態になる待機時間と解釈されます。このビットは、連続して再生される波形間に時間遅延を挿入するために使用されます。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ6}[6:0]$ 。このビットが 0 の場合、WAV_FRM_SEQ6[6:0] はシーケンス再生の波形識別子として解釈されます。
			0	WAV_FRM_SEQ6[6:0] は、シーケンス再生の波形識別子として解釈されます。
			1	WAV_FRM_SEQ6[6:0] は遅延として解釈されます。
6-0	WAV_FRM_SEQ6[6:0]	R/W	0	このパラメータは、再生する波形の波形識別子を保持します。波形識別子は、ライブラリ内の波形のインデックス位置を示す整数値です。ユーザーが GO ビット (レジスタ 0x0C) をアサートすると、再生はレジスタアドレス 0x0F から開始されます。次の波形識別子がゼロでない場合、波形シーケンサはレジスタ 0x10 に保持されている外部波形識別子を再生します。波形シーケンサが識別子値 0 に達するか、または 8 つの識別子 (レジスタ アドレス 0x0F ~ 0x16) のいずれか早い方が再生されるまで、波形シーケンサはこのように継続します。WAIT6 が 1 に設定されている場合、このパラメータは、与えられる遅延を挿入するために使用します。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ6}[6:0]$ 。
			0	波形シーケンサがこの識別子を再生しようとしたときに、波形シーケンサに停止するように信号を送信します。

8.22 アドレス : 0x15

図 8-20. 0x15

7	6	5	4	3	2	1	0
WAIT7[0]	WAV_FRM_SEQ7[6:0]						
R/W-0	R/W-0						

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-25. アドレス : 0x15

ビット	フィールド	タイプ	デフォルト	説明
7	WAIT7	R/W	0	このビットがセットされている場合、WAV_FRM_SEQ7[6:0] は、再生エンジンがアイドル状態になる待機時間と解釈されます。このビットは、連続して再生される波形間に時間遅延を挿入するために使用されます。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ7}[6:0]$ 。このビットが 0 の場合、WAV_FRM_SEQ7[6:0] はシーケンス再生の波形識別子として解釈されます。
			0	WAV_FRM_SEQ7[6:0] は、シーケンス再生の波形識別子として解釈されます。
			1	WAV_FRM_SEQ7[6:0] は遅延として解釈されます。
6-0	WAV_FRM_SEQ7[6:0]	R/W	0	このパラメータは、再生する波形の波形識別子を保持します。波形識別子は、ライブラリ内の波形のインデックス位置を示す整数値です。ユーザーが GO ビット (レジスタ 0x0C) をアサートすると、再生はレジスタアドレス 0x0F から開始されます。次の波形識別子がゼロでない場合、波形シーケンサはレジスタ 0x10 に保持されている外部波形識別子を再生します。波形シーケンサが識別子値 0 に達するか、または 8 つの識別子 (レジスタ アドレス 0x0F ~ 0x16) のいずれか早い方が再生されるまで、波形シーケンサはこのように継続します。WAIT7 が 1 に設定されている場合、このパラメータは、与えられる遅延を挿入するために使用します。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ7}[6:0]$ 。
			0	波形シーケンサがこの識別子を再生しようとしたときに、波形シーケンサに停止するように信号を送信します。

8.23 アドレス : 0x16

図 8-21. 0x16

7	6	5	4	3	2	1	0
WAIT8[0]	WAV_FRM_SEQ8[6:0]						
R/W-0	R/W-0						

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-26. アドレス : 0x16

ビット	フィールド	タイプ	デフォルト	説明
7	WAIT8	R/W	0	このビットがセットされている場合、WAV_FRM_SEQ8[6:0] は、再生エンジンがアイドル状態になる待機時間と解釈されます。このビットは、連続して再生される波形間に時間遅延を挿入するために使用されます。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ8}[6:0]$ 。このビットが 0 の場合、WAV_FRM_SEQ8[6:0] はシーケンス再生の波形識別子として解釈されます。
			0	WAV_FRM_SEQ8[6:0] は、シーケンス再生の波形識別子として解釈されます。
			1	WAV_FRM_SEQ8[6:0] は遅延として解釈されます。
6-0	WAV_FRM_SEQ8[6:0]	R/W	0	このパラメータは、再生する波形の波形識別子を保持します。波形識別子は、ライブラリ内の波形のインデックス位置を示す整数値です。ユーザーが GO ビット (レジスタ 0x0C) をアサートすると、再生はレジスタアドレス 0x0F から開始されます。次の波形識別子がゼロでない場合、波形シーケンスはレジスタ 0x10 に保持されている外部波形識別子を再生します。波形シーケンスが識別子値 0 に達するか、または 8 つの識別子 (レジスタ アドレス 0x0F ~ 0x16) のいずれか早い方が再生されるまで、波形シーケンスはこのように継続します。WAIT8 が 1 に設定されている場合、このパラメータは、与えられる遅延を挿入するために使用します。遅延時間 = $10\text{ms} \times \text{WAV_FRM_SEQ8}[6:0]$ 。
			0	波形シーケンスがこの識別子を再生しようとしたときに、波形シーケンスに停止するように信号を送信します。

8.24 アドレス : 0x17

図 8-22. 0x17

7	6	5	4	3	2	1	0
WAV4_SEQ_LOOP[1:0]	WAV3_SEQ_LOOP[1:0]	WAV2_SEQ_LOOP[1:0]	WAV1_SEQ_LOOP[1:0]				
R/W-0	R/W-0	R/W-0	R/W-0				

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-27. アドレス : 0x17

ビット	フィールド	タイプ	デフォルト	説明
7-6	WAV4_SEQ_LOOP[1:0]	R/W	0	WAIT4 + WAV_FRM_SEQ4[6:0] に保存されているエフェクトが再生されてから、次のエフェクトに移動する回数が含まれます。
			0	ループなし、1 回だけ再生します。
			1	ループ 1 回 (2 回再生)。
			2	ループ 2 回 (3 回再生)。
			3	ループ 3 回 (4 回再生)。
5-4	WAV3_SEQ_LOOP[1:0]	R/W	0	WAIT2 + WAV_FRM_SEQ2[6:0] に保存されているエフェクトが再生されてから、次のエフェクトに移動する回数が含まれます。
			0	ループなし、1 回だけ再生します。
			1	ループ 1 回 (2 回再生)。
			2	ループ 2 回 (3 回再生)。
			3	ループ 3 回 (4 回再生)。

表 8-27. アドレス : 0x17 (続き)

ビット	フィールド	タイプ	デフォルト	説明
3-2	WAV2_SEQ_LOOP[1:0]	R/W	0	WAIT2 + WAV_FRM_SEQ2[6:0] に保存されているエフェクトが再生されてから、次のエフェクトに移動する回数が含まれます。
				0 ループなし、1 回再生します。
				1 ループ 1 回 (2 回再生)。
				2 ループ 2 回 (3 回再生)
				3 ループ 3 回 (4 回再生)。
1-0	WAV1_SEQ_LOOP[1:0]	R/W	0	WAIT1 + WAV_FRM_SEQ1[6:0] に保存されているエフェクトが再生されてから、次のエフェクトに移動する回数が含まれます。
				0 ループなし、1 回だけ再生します。
				1 ループ 1 回 (2 回再生)。
				2 ループ 2 回 (3 回再生)
				3 ループ 3 回 (4 回再生)。

8.25 アドレス : 0x18

図 8-23. 0x18

7	6	5	4	3	2	1	0
WAV8_SEQ_LOOP[1:0]		WAV7_SEQ_LOOP[1:0]		WAV6_SEQ_LOOP[1:0]		WAV5_SEQ_LOOP[1:0]	
R/W-0		R/W-0		R/W-0		R/W-0	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-28. アドレス : 0x18

ビット	フィールド	タイプ	デフォルト	説明
7-6	WAV8_SEQ_LOOP[1:0]	R/W	0	WAIT8 + WAV_FRM_SEQ8[6:0] に保存されているエフェクトが再生されてから、次のエフェクトに移動する回数が含まれます。
				0 ループなし、1 回だけ再生します。
				1 ループ 1 回 (2 回再生)。
				2 ループ 2 回 (3 回再生)
				3 ループ 3 回 (4 回再生)。
5-4	WAV7_SEQ_LOOP[1:0]	R/W	0	WAIT7 + WAV_FRM_SEQ7[6:0] に保存されているエフェクトが再生されてから、次のエフェクトに移動する回数が含まれます。
				0 ループなし、1 回だけ再生します。
				1 ループ 1 回 (2 回再生)。
				2 ループ 2 回 (3 回再生)
				3 ループ 3 回 (4 回再生)。
3-2	WAV6_SEQ_LOOP[1:0]	R/W	0	WAIT6 + WAV_FRM_SEQ6[6:0] に保存されているエフェクトが再生されてから、次のエフェクトに移動する回数が含まれます。
				0 ループなし、1 回だけ再生します。
				1 ループ 1 回 (2 回再生)。
				2 ループ 2 回 (3 回再生)
				3 ループ 3 回 (4 回再生)。
1-0	WAV5_SEQ_LOOP[1:0]	R/W	0	WAIT5 + WAV_FRM_SEQ5[6:0] に保存されているエフェクトが再生されてから、次のエフェクトに移動する回数が含まれます。
				0 ループなし、1 回だけ再生します。
				1 ループ 1 回 (2 回再生)。
				2 ループ 2 回 (3 回再生)
				3 ループ 3 回 (4 回再生)。

8.26 アドレス : 0x19

図 8-24. 0x19

7	6	5	4	3	2	1	0
予約済み					WAV_SEQ_MAIN_LOOP[2:0]		
R/W-0					R/W-0		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-29. アドレス : 0x19

ビット	フィールド	タイプ	デフォルト	説明
7-3	予約済み	R/W	0	予約済み
2-0	WAV_SEQ_MAIN_LOOP[2:0]	R/W	0	このレジスタで指定された時間のループ波形シーケンス。エフェクトは、識別子 0 に達するか、8 つの識別子すべてが再生されるまで再生されます。この一連の識別子はループされるものです。
				0 ループなし、識別子シーケンスを 1 回だけ再生します。
				1 ループ 1 回。
				2 ループ 2 回。
				3 ループ 3 回。
				4 ループ 4 回。
				5 ループ 5 回。
				6 ループ 6 回。
				7 無限ループ。(トリガーまたは GO ビットで停止)。

8.27 アドレス : 0x1A

図 8-25. 0x1A

7	6	5	4	3	2	1	0
ODT[7:0]							
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-30. アドレス : 0x1A

ビット	フィールド	タイプ	デフォルト	説明
7-0	ODT[7:0]	R/W	0	ライブラリ波形のオーバードライブ部分に時間オフセットを追加します。一部のモーター(他のモーターよりもオーバードライブ時間が長い)ため、このレジスタを使用すると、ライブラリ波形にオーバードライブ時間を追加または削除できます。ライブラリ波形の最大電圧値は、オーバードライブ部分と自動的に決定されます。このレジスタは、開ループ モードでのみ有効です。開ループ モードではオーバードライブは自動的に設定されます。オフセットは 2 の補数として解釈されるため、時間オフセットは正または負になります。 OverDrive 時間オフセット (ms) = ODT[7:0] × PLAYBACK_INTERVAL。

8.28 アドレス : 0x1B

図 8-26. 0x1B

7	6	5	4	3	2	1	0
SPT[7:0]							
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-31. アドレス : 0x1B

ビット	フィールド	タイプ	デフォルト	説明
7-0	SPT[7:0]	R/W	0	ライブラリ波形の正のサステイン部分に時間オフセットを追加します。一部のモーターは応答時間が他のモーターよりも速い/遅いため、このレジスタを使用すると、ユーザーはライブラリの波形に正の持続時間を追加または除去することができます。オーバードライブ部分以外の正の電圧値は、正の値を維持していると見なされます。オフセットは 2 の補数として解釈されるため、時間オフセットは正または負になります。持続時間の正のオフセット (ms) = SPT[7:0] × SPT[7:0] × PLAYBACK_INTERVAL。

8.29 アドレス : 0x1C

図 8-27. 0x1C

7	6	5	4	3	2	1	0
SNT[7:0]							
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-32. アドレス : 0x1C

ビット	フィールド	タイプ	デフォルト	説明
7-0	SNT[7:0]	R/W	0	ライブラリ波形のネガティブなサステイン部分に時間オフセットを追加します。一部のモーターは応答時間が他のモーターよりも速い/遅いため、このレジスタを使用すると、ユーザーはライブラリの波形から負のサステイン時間を追加または除去することができます。オーバードライブ部分以外の負の電圧値は、負の値が持続されていると見なされます。オフセットは 2 の補数として解釈されるため、時間オフセットは正または負になります。持続時間の負のオフセット (ms) = SNT[7:0] × PLAYBACK_INTERVAL。

8.30 アドレス : 0x1D

図 8-28. 0x1D

7	6	5	4	3	2	1	0
BRT[7:0]							
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-33. アドレス : 0x1D

ビット	フィールド	タイプ	デフォルト	説明
7-0	BRT[7:0]	R/W	0	ライブラリ波形のブレーキ部分に時間オフセットを追加します。一部のモーターは他のモーターよりもブレーキ時間が長いので、このレジスタを使用すると、ライブラリ波形にブレーキ時間を追加または削除できます。ライブラリ波形の中で最も負の電圧値がブレーキ部分であると自動的に判定されます。このレジスタは、開ループ モードでのみ有効です。閉ループ モードでは、ブレーキは自動的に行われます。オフセットは 2 の補数として解釈されるため、時間オフセットは正または負になります。時間ブレーキ オフセット (ms) = BRT[7:0] × PLAYBACK_INTERVAL。

8.31 アドレス : 0x1F

図 8-29. 0x1F

7	6	5	4	3	2	1	0
定格電圧[7:0]							
R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-34. アドレス : 0x1F

ビット	フィールド	タイプ	デフォルト	説明
7-0	定格電圧[7:0]	R/W	63	このビットは、閉ループ動作中のフルスケール出力の基準電圧を設定します。自動キャリブレーション ルーチンはこのレジスタを入力として使用するため、キャリブレーションを実行する前に、モーターの定格電圧値をこのレジスタに書き込む必要があります。このレジスタ値を変更した後、A_CAL_BEMF を適切に設定するためのキャリブレーションが行われます。

8.32 アドレス : 0x20

図 8-30. 0x20

7	6	5	4	3	2	1	0
OD_CLAMP[7:0]							
R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-35. アドレス : 0x20

ビット	フィールド	タイプ	デフォルト	説明
7-0	OD_CLAMP[7:0]	R/W	137	閉ループ動作中、アクチュエータ帰還により、自動オーバードライブおよび自動ブレーキ期間中に出力電圧が定格電圧を超えることができます。デバイスは、この電圧を、このパラメータで定義された最大電圧に制限します。

8.33 アドレス : 0x21

図 8-31. 0x21

7	6	5	4	3	2	1	0
A_CAL_COMP[7:0]							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-1

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-36. アドレス : 0x21

ビット	フィールド	タイプ	デフォルト	説明
7-0	A_CAL_COMP[7:0]	R/W	13	このレジスタには、較正ルーチンの実行後の電圧補償結果が含まれています。A_CAL_COMP ビットに保存されている値により、ドライバの抵抗損失が補償されます。キャリブレーション ルーチンはアクチュエータのインピーダンスをチェックし、適切な値を自動的に決定します。

8.34 アドレス : 0x22

図 8-32. 0x22

7	6	5	4	3	2	1	0
A_CAL_BEMF[7:0]							
R/W-0	R/W-1	R/W-1	R/W-0	R/W-1	R/W-1	R/W-0	R/W-1

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-37. アドレス : 0x22

ビット	フィールド	タイプ	デフォルト	説明
7-0	A_CAL_BEMF[7:0]	R/W	109	デジタル再生エンジンはこの値を使用して、閉ループ動作に適したフィードバック ゲインを自動的に決定します。

8.35 アドレス : 0x23

図 8-33. 0x23

7	6	5	4	3	2	1	0
NG_THRESH[0]	FB_BRAKE_FACTOR[2:0]			LOOP_GAIN[1:0]		BEMF_GAIN[1:0]	
R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-1	R/W-1	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-38. アドレス : 0x23

ビット	フィールド	タイプ	デフォルト	説明
7	NG_THRESH	R/W	0	出力ノイズ ゲートの制御。ドライバがこのビットで選択されたスレッショルドを下回る振幅を駆動する場合、出力ドライバは 0 (出力なし) を送信します。 0 VDD の 4%。 1 VDD の 8%。
6-4	FB_BRAKE_FACTOR[2:0]	R/W	3	ブレーキ ゲインと駆動ゲインの間のフィードバック ゲイン比を選択します。一般に、アクチュエータができるだけ早くブレーキをかけるように、ブレーキ中にフィードバック ゲインを追加することが望ましいです。比が大きいと、低い比率よりも安定しません。高度なユーザーは、このレジスタを最適化するかどうかを選択できます。それ以外の場合、デフォルト値はほとんどのアクチュエータで良好なパフォーマンスを提供します。この値は、自動キャリブレーションを実行する前に設定されます。 0 1. 1 2. 2 3. 3 4. 4 6. 5 8. 6 16. 7 ブレーキ中のフィードバックを除去します (ブレーキ作動不可)。
3-2	LOOP_GAIN[1:0]	R/W	1	帰還制御のループゲインを選択します。これにより、ループが逆起電力 (およびモーター速度) を入力信号レベルと一致させる速度を設定します。より高いループ ゲイン (より高速セトリング) オプションを選択できるため、より低いループ ゲイン (より長いセトリング) よりも安定して動作できません。高度なユーザーは、このレジスタを最適化するかどうかを選択できます。それ以外の場合、デフォルト値はほとんどのアクチュエータで良好なパフォーマンスを提供します。この値は、自動キャリブレーションを実行する前に設定されます。 0 とても遅いです。 1 低速。 2 高速。 3 非常に速いです。
1-0	BEMF_GAIN[1:0]	R/W	2	逆起電力アンプのアナログ ゲインを設定します。この値は、ERM モードと LRA モードでは異なる解釈が行われます。自動較正により、アクチュエータに最適な値が BEMF_GAIN に自動的に入力されます。ユーザーはこの値を上書きできることに注意してください。 0 LRA モードの場合は 5 倍、ERM モードの場合は 0.34 倍。 1 LRA モードの場合は 10 倍、ERM モードの場合は 1.05 倍。 2 LRA モードの場合は 20 倍、ERM モードでは 1.82 倍。 3 LRA モードの場合は 30 倍、ERM モードの場合は 4 倍。

8.36 アドレス : 0x24

図 8-34. 0x24

7	6	5	4	3	2	1	0
RATED_VOLTAGE_CLAMP[7:0]							
R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-39. アドレス : 0x24

ビット	フィールド	タイプ	デフォルト	説明
7-0	RATED_VOLTAGE_CLAMP[7:0]	R/W	100	このパラメータは、ドライバから供給される定常状態電圧に合わせてクランプを設定することです。このクランプは、波形のオーバードライブセクションの後に強制されます。OD_CLAMP がこのパラメータより小さい場合は、下側のクランプが適用されることに注意してください。BAT_LIFE_EXT_LVLx がトリガされた場合も、同じことが当てはまります。

8.37 アドレス : 0x25

図 8-35. 0x25

7	6	5	4	3	2	1	0
OD_CLAMP_LVL1[7:0]							
R/W-1							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-40. アドレス : 0x25

ビット	フィールド	タイプ	デフォルト	説明
7-0	OD_CLAMP_LVL1[7:0]	R/W	128	VBAT が BAT_LIFE_EXT_LVL1 値を下回ると、このパラメータは OD_CLAMP を上書きします。このパラメータは、自動診断および診断中は無視されます。

8.38 アドレス : 0x26

図 8-36. 0x26

7	6	5	4	3	2	1	0
OD_CLAMP_LVL2[7:0]							
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-41. アドレス : 0x26

ビット	フィールド	タイプ	デフォルト	説明
7-0	OD_CLAMP_LVL2[7:0]	R/W	0	VBAT が BAT_LIFE_EXT_LVL2 値を下回ると、このパラメータは OD_CLAMP と OD_CLAMP_LVL1 を上書きします。このパラメータは、自動診断および診断中は無視されます。

8.39 アドレス : 0x27

図 8-37. 0x27

7	6	5	4	3	2	1	0
LRA_MIN_FREQ_SEL[0]	LRA_RESYNC_FORMAT[0]	予約済み	DRIVE_TIME[4:0]				
R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-42. アドレス : 0x27

ビット	フィールド	タイプ	デフォルト	説明
7	LRA_MIN_FREQ_SEL	R/W	0	デバイスでサポートされている最小周波数を選択します。
				0 125Hz
				1 45Hz
6	LRA_RESYNC_FORMAT	R/W	0	再同期モードの動作方法を選択します。
				0 LRA_MIN_FREQ_SEL に基づきます。
				1 DRIVE_TIME×1.25 に基づきます。
5	予約済み	R/W	0	予約済み

表 8-42. アドレス : 0x27 (続き)

ビット	フィールド	タイプ	デフォルト	説明
4-0	DRIVE_TIME[4:0]	R/W	16	<p>LRA モード:LRA モードでの LRA 駆動時間の初期推測を設定します。駆動時間は自動的に調整され、最適な駆動時間の即座に最適化されます。ただし、このレジスタは LRA のおおよその周波数に合わせて最適化されています。LRA 駆動時間が低すぎると、LRA 駆動時間がアクチュエータの起動時間に影響を与える可能性があります。LRA 駆動時間の設定が高すぎると、LRA 駆動時間が不安定になる可能性があります。最適 DriveTime (ms) $\approx 0.5 \times \text{LRA 周期}$。LRA が有効な BEMF を示さない場合、LRA が接続されていないとき、または BEMF が存在しないときに、このパラメータはフリーランニング周波数も設定します。ERM モード:逆起電力検出のサンプルレートを設定します。駆動時間が短いと、出力信号のピーク/平均値比が高くなるため、電源ヘッドルームがより多く必要になります。駆動時間が長いと、フィードバックの反応が遅くなります。</p>
				0 LRA:0.5ms、ERM:1ms。
				1 LRA:0.6ms、ERM:1.2ms。
				2 LRA:0.7ms、ERM:1.4ms。
				3 LRA:0.8ms、ERM:1.6ms。
				4 LRA:0.9ms、ERM:1.8ms。
				5 LRA:1ms、ERM:2ms。
				6 LRA:1.1ms、ERM:2.2ms。
				7 LRA:1.2ms、ERM:2.4ms。
				8 LRA:1.3ms、ERM:2.6ms。
				9 LRA:1.4ms、ERM:2.8ms。
				10 LRA:1.5ms、ERM:3ms。
				11 LRA:1.6ms、ERM:3.2ms。
				12 LRA:1.7ms、ERM:3.4ms。
				13 LRA:1.8ms、ERM:3.6ms。
				14 LRA:1.9ms、ERM:3.8ms。
				15 LRA:2ms、ERM:4ms。
				16 LRA:2.1ms、ERM:4.2ms。
				17 LRA:2.2ms、ERM:4.4ms。
				18 LRA:2.3ms、ERM:4.6ms。
				19 LRA:2.4ms、ERM:4.8ms。
				20 LRA:2.5ms、ERM:5ms。
				21 LRA:2.6ms、ERM:5.2ms。
				22 LRA:2.7ms、ERM:5.4ms。
				23 LRA:2.8ms、ERM:5.6ms。
				24 LRA:2.9ms、ERM:5.8ms。
				25 LRA:3ms、ERM:6ms。
				26 LRA:3.1ms、ERM:6.2ms。
				27 LRA:3.2ms、ERM:6.4ms。
				28 LRA:3.3ms、ERM:6.6ms。
				29 LRA:3.4ms、ERM:6.8ms。
				30 LRA:3.5ms、ERM:7ms。
				31 LRA:3.6ms、ERM:7.2ms。

8.40 アドレス : 0x28

図 8-38. 0x28

7	6	5	4	3	2	1	0
BLANKING_TIME[3:0]				IDISS_TIME[3:0]			
R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-43. アドレス : 0x28

ビット	フィールド	タイプ	デフォルト	説明
7-4	BLANKING_TIME[3:0]	R/W	1	BEMF が安定するまでの時間。ADC サンプリング前。
				0 LRA: 15μs、ERM: 45μs。
				1 LRA: 25μs、ERM: 75μs。
				2 LRA: 50μs、ERM: 150μs。
				3 LRA: 75μs、ERM: 225μs。
				4 LRA: 90μs、ERM: 該当なし
				5 LRA: 105μs、ERM: 該当なし
				6 LRA: 120μs、ERM: 該当なし
				7 LRA: 135μs、ERM: 該当なし
				8 LRA: 150μs、ERM: 該当なし
				9 LRA: 165μs、ERM: 該当なし
				10 LRA: 180μs、ERM: 該当なし
				11 LRA: 195μs、ERM: 該当なし
				12 LRA: 210μs、ERM: 該当なし
				13 LRA: 235μs、ERM: 該当なし
				14 LRA: 260μs、ERM: 該当なし
				15 LRA: 285μs、ERM: 該当なし
3-0	IDISS_TIME[3:0]	R/W	1	インダクタ電流が放電されるまでの時間
				0 LRA: 15μs、ERM: 45μs。
				1 LRA: 25μs、ERM: 75μs。
				2 LRA: 50μs、ERM: 150μs。
				3 LRA: 75μs、ERM: 225μs。
				4 LRA: 90μs、ERM: 該当なし
				5 LRA: 105μs、ERM: 該当なし
				6 LRA: 120μs、ERM: 該当なし
				7 LRA: 135μs、ERM: 該当なし
				8 LRA: 150μs、ERM: 該当なし
				9 LRA: 165μs、ERM: 該当なし
				10 LRA: 180μs、ERM: 該当なし
				11 LRA: 195μs、ERM: 該当なし
				12 LRA: 210μs、ERM: 該当なし
				13 LRA: 235μs、ERM: 該当なし
				14 LRA: 260μs、ERM: 該当なし
				15 LRA: 285μs、ERM: 該当なし

8.41 アドレス : 0x29

図 8-39. 0x29

7	6	5	4	3	2	1	0
予約済み		OD_CLAMP_TIME[1:0]		SAMPLE_TIME[1:0]		ZC_DET_TIME[1:0]	
R/W-0		R/W-0		R/W-1		R/W-0	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-44. アドレス : 0x29

ビット	フィールド	タイプ	デフォルト	説明
7-6	予約済み	R/W	0	予約済み
5-4	OD_CLAMP_TIME[1:0]	R/W	0	このパラメータを使用すると、オーバードライブ期間およびブレーキ期間中にオーバーシュートが許容される最大時間を選択できます。イネーブルにすると、この期間が経過した後、出力電圧は定格電圧クランプまでクランプされます。出力は指定された時間にクランプされるため、自動または診断中は、出力が常にゼロクロスと一致しないことに注意してください。このパラメータは無視されます。AutoCal では、常に自動オーバードライブが使用されます。
				0 自動オーバードライブ (オーバードライブ タイム クランプがディセーブル)
				1 25ms までのクランプ オーバードライブ時間
				2 50ms までのクランプ オーバードライブ時間
				3 100ms までのクランプ オーバードライブ時間
3-2	SAMPLE_TIME[1:0]	R/W	3	adc サンプリング BEMF 振幅までの、ゼロクロス前/後の待機時間。
				0 150μs。
				1 200μs。
				2 250μs。
				3 300μs。
1-0	ZC_DET_TIME[1:0]	R/W	0	ゼロ クロス検出時間。
				0 100μs。
				1 200μs。
				2 300μs。
				3 390μs。

8.42 アドレス : 0x2A

図 8-40. 0x2A

7	6	5	4	3	2	1	0
予約済み						AUTO_CAL_TIME[1:0]	
R/W-0						R/W-1	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-45. アドレス : 0x2A

ビット	フィールド	タイプ	デフォルト	説明
7-2	予約済み	R/W	0	予約済み

表 8-45. アドレス : 0x2A (続き)

ビット	フィールド	タイプ	デフォルト	説明
1-0	AUTO_CAL_TIME[1:0]	R/W	2	自動ルーチンの持続時間。自動キャリブレーション時間の長さを設定します。これは、 RATED_VOLTAGE 値で駆動されたときにモーター加速度がセトリングするのに十分な時間です。
				0 250ms。
				1 500ms。
				2 1000ms。
				3 期間はトリガ制御されます (外部トリガ、イネーブル、または内部トリガ)。最小期間は 1 秒です。そうしないと、キャリブレーションの結果が破損する可能性があります。キャンセルトリガを受信すると、キャリブレーション測定が実行されます。この測定は数ミリ秒かかる場合があります。

8.43 アドレス : 0x2C

図 8-41. 0x2C

7	6	5	4	3	2	1	0
LRA_AUTO_OPEN_LOOP[0]	AUTO_OL_CNT[1:0]		予約済み			LRA_WAVE_SHAPE[0]	
R/W-0	R/W-0		R/W-0			R/W-0	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-46. アドレス : 0x2C

ビット	フィールド	タイプ	デフォルト	説明
7	LRA_AUTO_OPEN_LOOP	R/W	0	イネーブルにすると、AutoOpenLoop_CNT で指定されたサイクル数にわたって ZC が正しく検出されない場合、ドライバは自動的に開ループに切り替わります。開ループの波形の形状は常に正方形であり、この関数では LRA_WAVE_SHAPE ビットは無視されます。 0 自動開ループをディセーブルにします。 1 自動開ループをイネーブルにします。
6-5	AUTO_OL_CNT[1:0]	R/W	0	AutoOpenLoop = 1 の場合に、開ループに切り替えるタイミングを決定するために使用されるカウンタ 0 3 回試行 1 4 回試行 2 5 回試行 3 6 回試行
4-1	予約済み	R/W	0	予約済み
0	LRA_WAVE_SHAPE	R/W	0	開ループ モードで LRA を駆動するために使用する形状を選択します。 0 方形波。 1 正弦波。

8.44 アドレス : 0x2E

図 8-42. 0x2E

7	6	5	4	3	2	1	0
予約済み						OL_LRA_PERIOD[9:0]	
R/W-0						R/W-0	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-47. アドレス : 0x2E

ビット	フィールド	タイプ	デフォルト	説明
7-2	予約済み	R/W	0	予約済み
1-0	OL_LRA_PERIOD[9:0]	R/W	198	このパラメータは、LRA を開ループで駆動するために使用される周波数を設定します。LRA 開ループ周期 = OL_LRA_PERIOD[9:0] × 24.615μs。

8.45 アドレス : 0x2F

図 8-43. 0x2F

7	6	5	4	3	2	1	0
OL_LRA_PERIOD[9:0]							
R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-48. アドレス : 0x2F

ビット	フィールド	タイプ	デフォルト	説明
7-0	OL_LRA_PERIOD[9:0]	R/W	198	このパラメータは、LRA を開ループで駆動するために使用される周波数を設定します。LRA 開ループ周期 = OL_LRA_PERIOD[9:0] × 24.615μs。

8.46 アドレス : 0x30

図 8-44. 0x30

7	6	5	4	3	2	1	0
CURRENT_K[7:0]							
R-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-49. アドレス : 0x30

ビット	フィールド	タイプ	デフォルト	説明
7-0	CURRENT_K[7:0]	R	0	診断ランからのアクチュエータの実際のインピーダンスの計算に使用する係数を格納します。この係数は、DIAG_Z_RESULT パラメータと組み合わせて使用されます。

8.47 アドレス : 0xFD

図 8-45. 0xFD

7	6	5	4	3	2	1	0
RAM_ADDR[15:8]							
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-50. アドレス : 0xFD

ビット	フィールド	タイプ	デフォルト	説明
7-0	RAM_ADDR[15:8]	R/W	0	このパラメータは、内部メモリから読み書きする開始アドレスを保持します。

8.48 アドレス : 0xFE

図 8-46. 0xFE

7	6	5	4	3	2	1	0
RAM_ADDR[7:0]							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 8-51. アドレス : 0xFE

ビット	フィールド	タイプ	デフォルト	説明
7-0	RAM_ADDR[15:0]	R/W	0	このパラメータは、内部メモリから読み書きする開始アドレスを保持します。

8.49 アドレス : 0xFF

図 8-47. 0xFF

7	6	5	4	3	2	1	0
RAM_DATA[7:0]							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 8-52. アドレス : 0xFF

ビット	フィールド	タイプ	デフォルト	説明
7-0	RAM_DATA[7:0]	R/W	0	このパラメータは、内部メモリのデータ エントリです。このパラメータに書き込むと、書き込まれたデータは RAM_ADDR[15:0] パラメータで指定されたアドレスに保存されます。書き込み後に、コントローラは RAM_ADDR[15:0] のアドレスを自動的にインクリメントします。これは、シングル バイトとマルチ バイトの両方の書き込みに当てはまります。内部メモリからの読み取りにも同じことが当てはまります。

アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

1 アプリケーション情報

ハプティクスドライバの代表的なアプリケーションは、タッチ対応システムであり、ハプティクス効果を実行するタイミングを決定するアプリケーション プロセッサがすでに搭載されています。

この DRV2624 デバイスは、 I^2C 通信と完全に組み合わせて使用できます (RTP またはメモリ インターフェイスのいずれかを使用)。システム設計者は、外部トリガを使用して低遅延効果 (物理ボタンなど) を再生することを選択できます。図 9-1 および図 9-2 に、代表的なハプティクス システムの実装を示しています。システム設計者は、内部レギュレータ (REG) を使用して外部負荷に電力を供給しないでください。

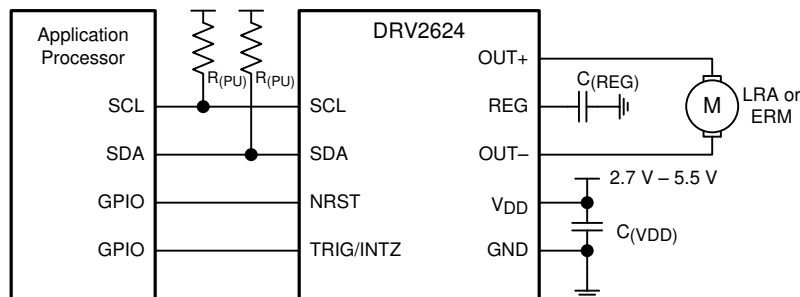


図 9-1. オプションの外部トリガーによる I^2C 制御

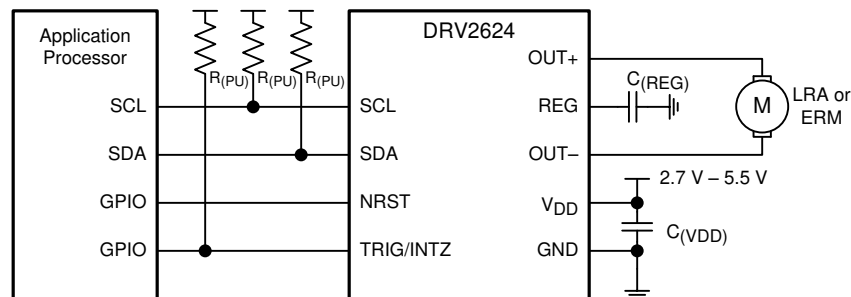


図 9-2. オプションの割り込みピンによる I^2C 制御

表 9-1. 推奨外付け部品

部品	説明	仕様	標準値
$C_{(VDD)}$	入力コンデンサ	容量	0.1 μ F
$C_{(REG)}$	レギュレータのコンデンサ	容量	0.1 μ F
$R_{(PU)}$	プルアップ抵抗	抵抗	2.2k Ω

2 代表的なアプリケーション

DRV2624 の代表的なアプリケーションはデバイス、外部ボタンが押されたときに各種ハプティクス効果を引き起こすシステムです。このようなシステムの代表的な回路図を図 9-3、図 9-4 と図 9-5 に示します。このボタンは、物理的なボタン、静電容量式タッチ ボタン、タッチ スクリーンシステムから送信される GPIO 信号に対応します。

この種のシステムでの影響はプログラマブルです。

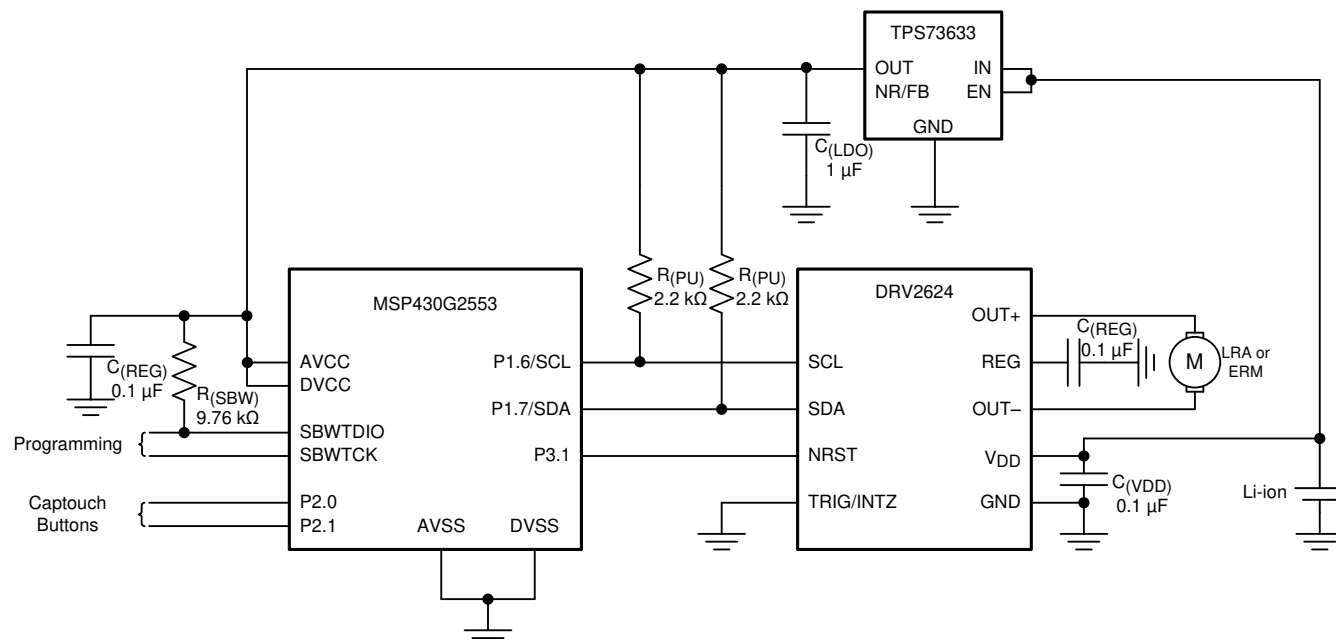


図 9-3. 外部トリガまたは割り込みピンを使用しない代表的なアプリケーション回路図

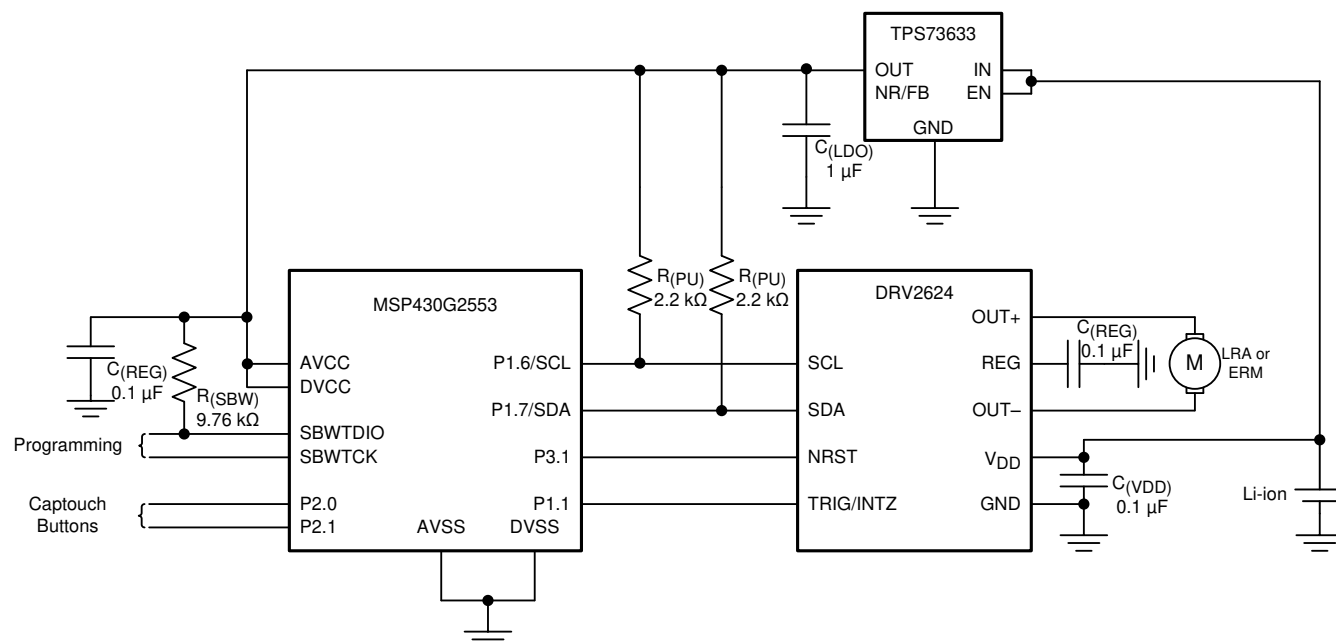


図 9-4. 外部トリガを使用した代表的なアプリケーション回路図

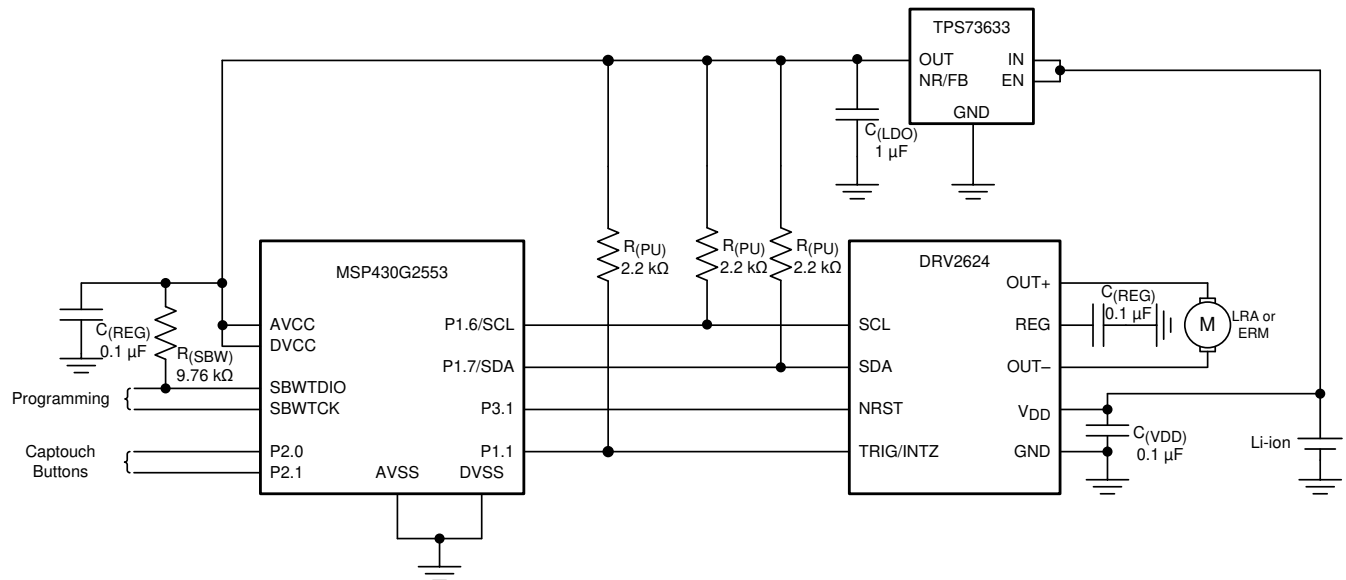


図 9-5. 割り込みピンを使用した代表的なアプリケーション回路図

2.1 設計要件

この設計例では、表 9-2 に示されている値を入力パラメータとして使用します。

表 9-2. 設計パラメータ

設計パラメータ	数値の例
インターフェイス	I ² C、外部トリガ
アクチュエータ タイプ	LRA、ERM
入力電源	リチウムイオン/リチウムポリマ、5V 昇圧

2.2 詳細な設計手順

2.2.1 アクチュエータの選択

アクチュエータの決定は、コスト、フォーム ファクタ、振動強度、消費電力の要件、ハプティクス シャープネスの要件、信頼性、可聴ノイズ特性など、多くの要因に基づいて行われます。アクチュエータの選択は、ハプティクス システムの設計上の最も重要な考慮事項の 1 つであるため、アクチュエータがシステム設計時に最初に考慮すべき部品となります。以下のセクションでは、ERM および LRA アクチュエータの基本を示します。

2.2.1.1 偏心回転-質量モーター (ERM)

偏心回転質量 (ERM) は通常、バーまたはコイン タイプの DC 制御モーターです。ERM は、2 つのピンの電圧の極性に応じて、時計回りまたは反時計回りの方向に駆動できます。電流をソースおよびシンクできる差動出力により、単一電源システムで双方向駆動が可能になります。この機能により、ハプティクス フィードバック システムでは望ましくない、長い振動の尾部を除去できます。

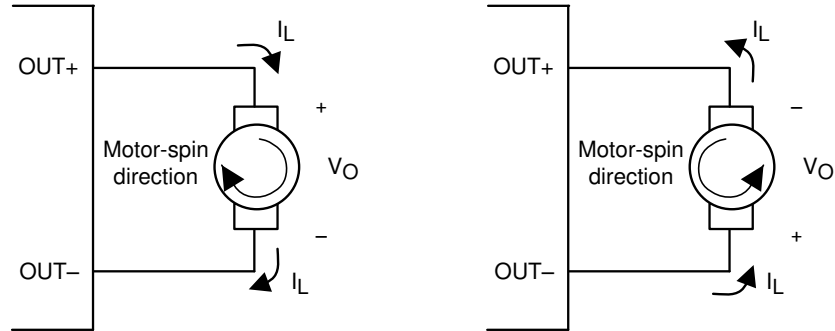


図 9-6. ERM モーターのモーター回転方向

DC モータを駆動するためのもう 1 つの一般的なアプローチは、オーバー ドライブ電圧の概念です。モーターの質量の慣性を克服するために、多くの場合、モーターの回転を維持するためにモーターの定格電圧に戻る前に短時間オーバー ドライブされます。オーバー ドライブは、モーターを迅速に停止 (またはブレーキ) するためにも使用されます。安全で信頼性の高いオーバー ドライブ電圧と持続時間については、モーターのデータシートを参照してください。

2.2.1.2 リニア共振アクチュエータ (LRA)

リニア共振アクチュエータ (LRA) は共振周波数で振動します。LRA は、共振周波数から 3 ~ 5Hz のオフセットで振動性能が急激に低下するため、Q 値の高い周波数応答を実現します。多くの要因はまた、温度、エージング、LRA が搭載されている製品の質量、およびポータブル製品の場合、製品が保持される方法などのアクチュエータの共振周波数にシフトまたはドリフトを引き起こす。さらに、アクチュエータを最大許容電圧まで駆動すると、多くの LRA は機械的な圧縮により数 Hz の周波数にシフトします。これらすべての要因により、LRA を駆動する際にリアルタイムトラッキングの自動共振アルゴリズムが重要になり、一貫したピーク性能を達成します。

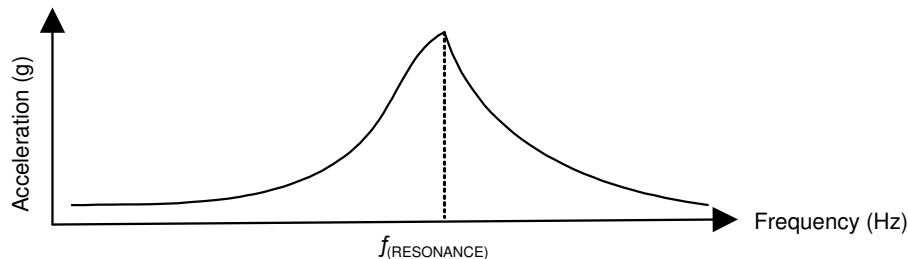


図 9-7. 標準的な LRA 応答

2.2.1.2.1 LRA 用自動共振エンジン

DRV2624 自動共振エンジンは、LRA の共振周波数をリアルタイムで追跡し、半サイクル後に共振周波数に効果的にロックします。何らかの理由で波形の中央に共振周波数が変化した場合、エンジンはサイクルごとに周波数を追跡します。自動共振エンジンはアクチュエータの逆起電力を常に監視することで追跡を実行します。自動共振エンジンは、レベルキャリブレーションにのみ使用される自動キャリブレーション プロセスの影響を受けないことに注意してください。自動共振エンジンにはキャリブレーションは不要です。

2.2.2 コンデンサの選択

DRV2624 デバイスにはスイッチング出力段があり、 V_{DD} ピンを経由して過渡電流をプルします。出力ドライバとデバイスのデジタル部を適切に動作させるため、X5R または X7R タイプの低 ESR (等価直列抵抗) の電源バイパス コンデンサを V_{DD} 電源ピンの近くに配置する 0.1 μ F を推奨します。0.1 μ F X5R または X7R タイプのコンデンサを、REG ピンとグラウンドとの間に配置します。

2.2.3 インターフェイスの選択

DRV2624 デバイスは、多様な LRA アクチュエータをサポートするデフォルト構成を使用して設計されています。デバイスのデフォルトと互換性のあるアクチュエータを選択した場合は、I²C インターフェイスを使用せずに SimpleDrive を使用で

きます。この場合、ユーザーには 3 つのオプションがあります: NRST ピンと TRIG/INTZ ピンを独立して制御 (4 ピン インターフェイス: VDD、GND、NRST、TRIG/INTZ)、TRIG/INTZ ピンで NRST を短絡し、1 つの GPIO (3 ピン インターフェイス: VDD、GND、TRIG)、または NRST、TRIG/INTZ、VDD をまとめて短絡します (2 ピン インターフェイス: VDD、GND)。2 ピン インターフェイスでは、VDD 信号はスタートアップ時間よりも速く上昇する必要があります (500 μ s について)。それ以外の場合は UVLO 条件が検出され、デバイスが目的の波形を再生できないことに注意してください

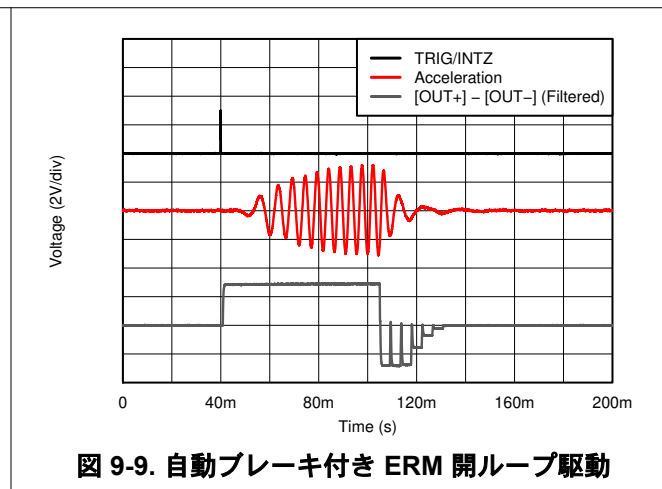
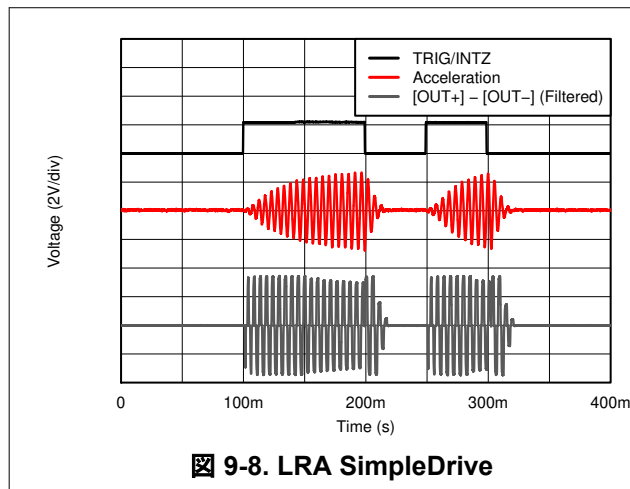
I²C インターフェイスは、デバイスを構成するために必要です。本デバイスは、このインターフェイスと RTP または内部メモリのいずれかを完全に使用できます。このインターフェイスを使用する利点は、起動効果のために GPIO (TRIG/INTZ ピン用) を追加する必要がないことです。そのため、TRIG/INTZ ピンを GND に接続できます。外部トリガピンを使用すると、プリロード効果を発生させるのに I²C トランザクションが不要であるという利点があり、ボタンとのインターフェイスに適しています。

2.2.4 電源選択

DRV2624 デバイスは、広い範囲の入力電圧に対応しています。選択したアクチュエータで目的の振動強度をサポートするためにバッテリー電圧を十分に高い状態に維持することは、設計上の重要な考慮事項になります。代表的なアプリケーションでは、最も一般的なアクチュエータを駆動するのに十分な電圧ヘッドルームを備えたリチウム イオンまたはリチウムポリマー バッテリーを使用しています。

非常に強い振動が必要な場合は、電源と V_{DD} ピンとの間に昇圧コンバータを配置して、健全なヘッドルームを確保しながら一定の電圧を供給できます (一部のシステムでは 5V レールが一般的です)。これは、システムに電源を供給するために直列接続した 2 本の単三電池を使用する場合に特に当てはまります。

2.3 アプリケーション曲線



3 初期化セットアップ

3.1 初期化手順

1. 起動後、1ms 以上待機してから、DRV2624 デバイスが I²C コマンドを受け付けます。
2. NRST ピンをアサートします (ロジック high)。NRST ピンは、待機時間中またはその後でいつでもアサートできます。
3. 本デバイスをスタンバイ MODE から削除するには、モード パラメータ (アドレス 0x01) を値 0x00 に書き込みます。
4. 自動キャリブレーションを実行して、目的のアクチュエータ用に DRV2624 デバイスを構成します。または、前のキャリブレーションの結果を書き換えます。
5. 内蔵 RAM メモリを使用する場合は、この時点での波形を RAM に装着します。

注

DRV2624 デバイスはデフォルトで閉ループモードになり、レベル (イネーブル) 構成および RTP モードで外部トリガオプションが選択されます。他のモードや機能を使用するには、**register** マップを参照してください。

3.2 一般的な使用例

3.2.1 RAM からの波形または波形シーケンスの再生メモリ

1. [セクション 9.3.1](#) セクションに示されているように本デバイスを初期化します。
2. TRIG_PIN_FUNC パラメータを変更して、目的の TRIG/INTZ ピン機能を選択します。
3. 再生する波形インデックスを特定し、波形シーケンサに入力します。
4. 必要なトリガ方式 (GO ビットまたは外部トリガ) を使用して波形をトリガします。割り込み機能を使用する場合、GO ビットのみを使用してプロセスをトリガできることに注意してください。
5. 再生が完了すると、デバイスは自動的にスタンバイ状態になります

3.2.2 リアルタイム再生 (RTP) 波形の再生

1. [セクション 9.3.1](#) に示されているように、デバイスを初期化します。
2. 希望の駆動振幅をリアルタイム再生入力レジスタ RTP_INPUT[7:0] に書き込みます。
3. 必要なトリガ方式 (GO ビットまたは外部トリガ) を使用して波形をトリガします。割り込み機能を使用する場合、GO ビットのみを使用してプロセスをトリガできることに注意してください。
4. 目的のハプティクス効果を実現するために、必要な場合は RTP_INPUT[7:0] に引き続き書き込みます。
5. 必要なトリガ方式 (GO ビットまたは外部トリガ) を使用してストップトリガを送信します。割り込み機能を使用する場合、GO ビットのみを使用してプロセスをトリガできることに注意してください。
6. 再生が完了すると、デバイスは自動的にスタンバイ状態になります

4 電源に関する推奨事項

DRV2624 デバイスは、2.7V～5.5V の入力電源電圧範囲で動作するように設計されています。電源用のデカップリングコンデンサは、デバイスのピンに近づけて配置されます。

5 レイアウト

5.1 レイアウトのガイドライン

電源 (V_{DD}) 用のデカップリングコンデンサは、デバイスのピンに近づけて配置する必要があります。レギュレータ (REG) のフィルタリングコンデンサは、デバイスの REG ピンの近くに配置します。WCSP ピンのパッドサイズを作成する際には、PCB レイアウトに半田マスク定義 (NSMD) ランドを使用することをお勧めします。これにより、ハンダマスクの開口部が対象のランド領域より大きくなります。開口部のサイズは銅パッドの幅により決まります。

5.2 レイアウト例

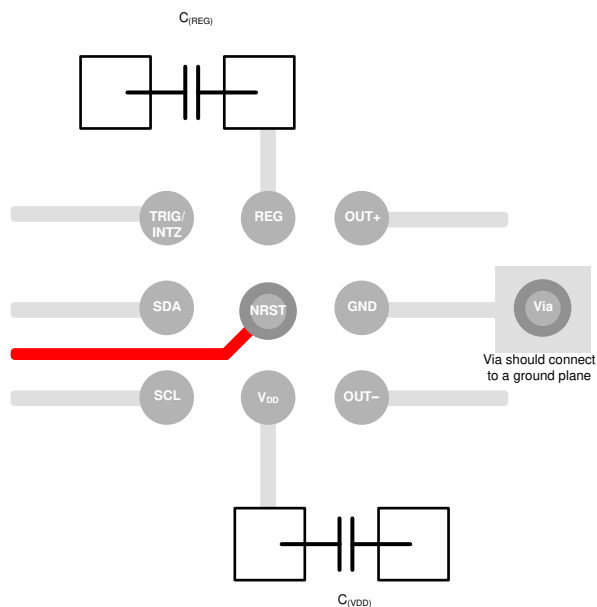


図 9-10. 標準レイアウト

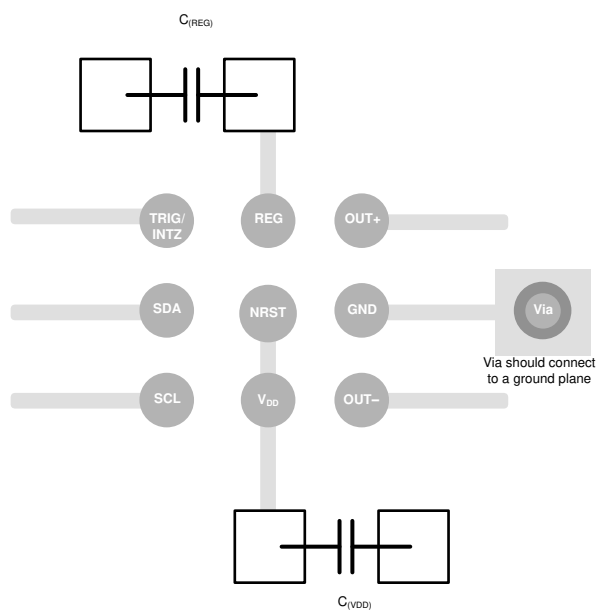


図 9-11. レイアウト (NRST 機能を使用しない場合)

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.2 商標

すべての商標は、それぞれの所有者に帰属します。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (June 2025) to Revision D (August 2025) Page

- レジスタマップで、CHIPID[3:0]のデフォルト値を 0x13 から 0x03 に変更..... [39](#)
- レジスタ 0x00 の CHIPID[3:0] のデフォルト値を 1 から 0 に変更..... [41](#)

Changes from Revision B (September 2016) to Revision C (June 2025) Page

- VBAT 電圧の計算式を追加..... [18](#)
- 本デバイスが疑似スタンバイ状態で動かなくなる可能性のあるコーナー ケース条件の注を追加..... [18](#)
- トリガが波形の再生を有効にできない可能性の条件についての注を追加..... [19](#)
- トリガが波形の再生を有効にできない可能性の条件についての注を追加..... [20](#)
- INTZ を high にするときの消費電力の詳細の注を追加..... [21](#)
- 疑似スタンバイ状態に関する情報を追加..... [22](#)
- ERM モードの場合、LRA_ERM ビットを 0 に設定します。..... [30](#)
- LRA モードの場合、LRA_ERM ビットを 1 に設定します。..... [30](#)

Changes from Revision A (December 2015) to Revision B (September 2016) Page

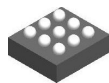
- REV[3:0] を 2 から 3 に更新..... [41](#)
- 0X00 レジスタのデフォルトを変更..... [41](#)
- レジスタ 0x2E の開ループ LRA 駆動の計算値を「OL_LRA_PERIOD[9:0] × 24.39μs」から「OL_LRA_PERIOD[9:0] × 24.615μs」に変更..... [66](#)

Changes from Revision * (December 2015) to Revision A (December 2015) Page

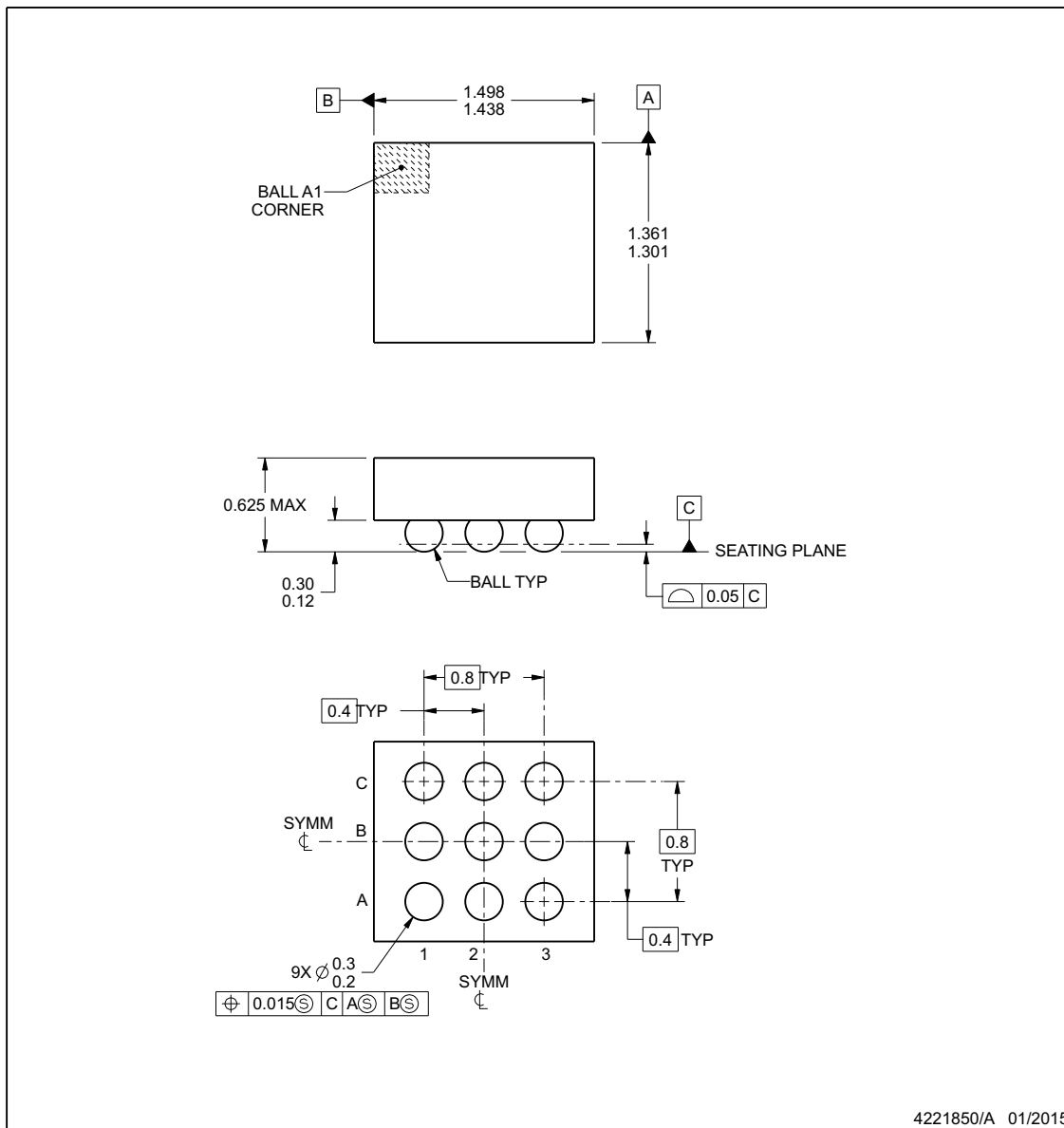
- データシートを「製品プレビュー」から「量産データ」へ変更..... [1](#)

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**YFF0009-C01****PACKAGE OUTLINE****DSBGA - 0.625 mm max height**

DIE SIZE BALL GRID ARRAY

**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

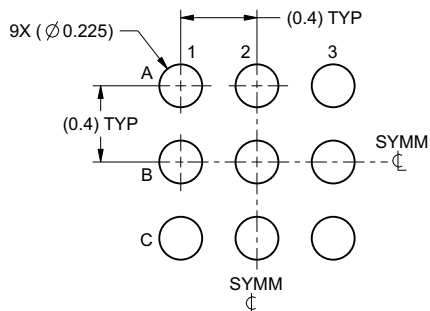
www.ti.com

EXAMPLE BOARD LAYOUT

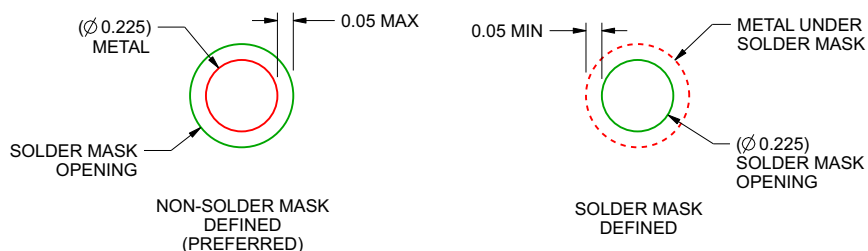
YFF0009-C01

DSBGA - 0.625 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:30X



SOLDER MASK DETAILS
NOT TO SCALE

4221850/A 01/2015

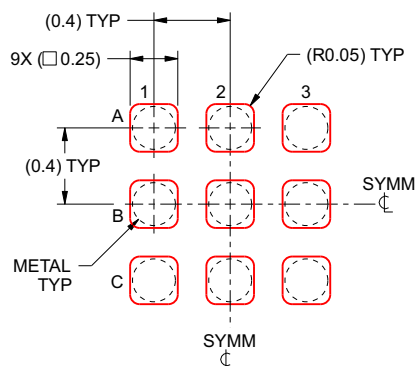
NOTES: (continued)

- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).

www.ti.com

EXAMPLE STENCIL DESIGN**YFF0009-C01****DSBGA - 0.625 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
 BASED ON 0.1 mm THICK STENCIL
 SCALE:30X

4221850/A 01/2015

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

www.ti.com

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV2624YFFR	Active	Production	DSBGA (YFF) 9	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	2624
DRV2624YFFR.A	Active	Production	DSBGA (YFF) 9	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	2624
DRV2624YFFT	Active	Production	DSBGA (YFF) 9	250 SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	2624
DRV2624YFFT.A	Active	Production	DSBGA (YFF) 9	250 SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	2624

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV2624YFFR	DSBGA	YFF	9	3000	180.0	8.4	1.52	1.56	0.71	4.0	8.0	Q1
DRV2624YFFT	DSBGA	YFF	9	250	180.0	8.4	1.52	1.56	0.71	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV2624YFFR	DSBGA	YFF	9	3000	182.0	182.0	20.0
DRV2624YFFT	DSBGA	YFF	9	250	182.0	182.0	20.0

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated