

DLPC8424 および DLPC8444 高解像度コントローラ

1 特長

- DLPC84x4 コントローラは 1080p の解像度 DMD に対応:
 - DLPC8424 は、DLP230NP DMD を 60Hz で最大 1080p および 120Hz (3D) で最大 540p に対応
 - DLPC8444 は、DLP472NP DMD をネイティブの 1080p 解像度で最大 240Hz (2D) および 120Hz (3D) に対応
- 1 レーン、2 レーン、4 レーン、8 レーンの V-by-One® HS ビデオ入力ポート × 1
 - 最高 600MHz のピクセル クロックをサポート
 - 最大 3.0Gbps の入力伝送レート
- ポートごとに 6 レーン (5 データ) の FPD-Link I ビデオ入力ポート × 2
 - FPD-Link インターフェイスは、120Hz で最大 1080p に対応可能
- サポートされている入力形式
 - RGB および YCbCr
 - 4:4:4、4:2:2
- 内蔵 Arm® プロセッサ
 - 52 本の構成可能な GPIO
 - PWM ジェネレータ
 - キャプチャ タイマおよび遅延タイマ
 - USB 2.0 高速コントローラ
 - SPI コントローラ
 - I²C コントローラ
 - UART および割り込みコントローラ
- ワーピング エンジン
 - 1D および 2D キーストーン補正
 - ビデオ処理用の組み込み部分フレーム メモリ
- 追加の画像処理
 - オーバーラップカラー 対応
 - 可変リフレッシュ レート (VRR) 対応
 - DynamicBlack
 - HDR10 (PQ および HLG) をサポート
 - フレーム レートの乗算
 - 色座標調整
 - 白色色温度調整
 - 逆ガンマ補正をプログラム可能
 - 読み出し側の空間分割 / 時分割多重化
 - 3D ディスプレイの統合サポート
 - ローリング バッファによるフレーム レイテンシの短縮
- スプラッシュ スクリーン ディスプレイ
- マイクロプロセッサおよび PWM シーケンス用のシリアル フラッシュ

- システム制御
 - DMD 電源およびリセットドライバ制御
 - DMD 画像の左右 / 上下反転
- JTAG バウンダリ スキャン テストをサポート
- LED、レーザーベースのプロジェクタ システムをサポート

2 アプリケーション

- モバイル スマート TV
- モバイル プロジェクタ
- デジタル サイネージ
- ライフスタイル プロジェクタ

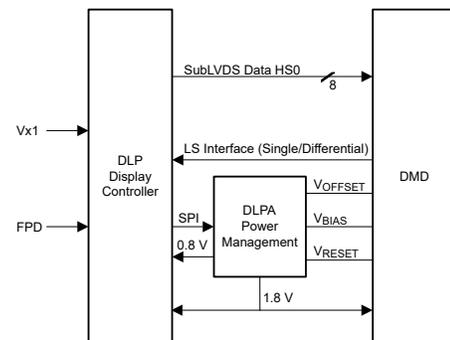
3 説明

DLPC8424 および DLPC8444 は、テキサス・インスツルメンツの DLP® 製品である 1080p FHD ディスプレイチップセット用のデジタルディスプレイコントローラです。ディスプレイコントローラは、DMD および DLPA3085 または DLPA3082 の電源管理 IC とともにチップセットを構成します。このソリューションは、小型で高解像度と高輝度を必要とするディスプレイ システムに適しています。信頼性の高い動作のためには、DLPC8424 または DLPC8444 ディスプレイコントローラは、用途に応じて正しい DMD および DLPA3085 または DLPA3082 の PMIC と常に組み合わせて使用する必要があります。

製品情報

| 部品番号 | パッケージ (1) | パッケージ サイズ |
|-------------|-------------|-----------------|
| DLPC8424AMD | FCCSP (484) | 9.00mm × 9.00mm |
| DLPC8444AMD | FCCSP (484) | 9.00mm × 9.00mm |

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。



1080p FHD ディスプレイチップセット



目次

| | | | |
|--|----|--|----|
| 1 特長 | 1 | 6.16 フラッシュ インターフェイスのタイミング要件 | 37 |
| 2 アプリケーション | 1 | 6.17 ソース フレームのタイミング要件 | 38 |
| 3 説明 | 1 | 6.18 同期シリアル ポート インターフェイスのタイミング要件 | 39 |
| 4 互換性表 | 3 | 6.19 I2C インターフェイスのタイミング要件 | 41 |
| 5 ピン構成および機能 | 4 | 6.20 プログラマブル出力クロックのタイミング要件 | 42 |
| 5.1 初期化、基板レベル テスト、デバッグ | 4 | 6.21 JTAG バウンダリ スキャン インターフェイスのタイミング要件 (デバッグのみ) | 43 |
| 5.2 V-by-One インターフェイスの入力データおよび制御 | 6 | 6.22 DMD 低速インターフェイスのタイミング要件 | 44 |
| 5.3 FPD-Link ポートの入力データおよび制御 | 7 | 6.23 DMD SubLVDS インターフェイスのタイミング要件 | 44 |
| 5.4 DSI 入力データおよびクロック (DLPC8424 および DLPC8444 ではサポートされていません) | 8 | 7 詳細説明 | 45 |
| 5.5 DMD SubLVDS インターフェイス | 9 | 7.1 概要 | 45 |
| 5.6 DMD リセットおよび低速インターフェイス | 11 | 7.2 機能ブロック図 | 45 |
| 5.7 フラッシュ インターフェイス | 11 | 7.3 機能説明 | 46 |
| 5.8 パリフェラル インターフェイス | 12 | 8 電源に関する推奨事項 | 68 |
| 5.9 GPIO パリフェラル インターフェイス | 13 | 8.1 システムのパワーアップおよびパワーダウン シーケンス | 68 |
| 5.10 クロックおよび PLL のサポート | 18 | 8.2 DMD 高速パーク制御 (PARKZ) | 70 |
| 5.11 電源およびグランド | 19 | 8.3 パワー マネージメント | 71 |
| 5.12 I/O タイプのサブスクリプト定義 | 21 | 8.4 ホットプラグの使用法 | 71 |
| 5.13 内部プルアップおよびプルダウンの特性 | 21 | 8.5 未使用の入力ソース インターフェイスの電源 | 71 |
| 6 仕様 | 22 | 8.6 電源 | 71 |
| 6.1 絶対最大定格 | 22 | 9 レイアウト | 72 |
| 6.2 ESD 定格 | 23 | 9.1 レイアウトのガイドライン | 72 |
| 6.3 推奨動作条件 | 24 | 9.2 熱に関する注意事項 | 78 |
| 6.4 熱に関する情報 | 25 | 10 デバイスおよびドキュメントのサポート | 79 |
| 6.5 電源の電気的特性 | 25 | 10.1 サード・パーティ製品に関する免責事項 | 79 |
| 6.6 ピンの電気的特性 | 26 | 10.2 ドキュメントのサポート | 79 |
| 6.7 DMD SubLVDS インターフェイスの電気的特性 | 28 | 10.3 ドキュメントの更新通知を受け取る方法 | 79 |
| 6.8 DMD 低速インターフェイスの電気的特性 | 29 | 10.4 サポート・リソース | 79 |
| 6.9 V-by-One インターフェイスの電気的特性 | 30 | 10.5 デバイスの命名規則 | 80 |
| 6.10 FPD-Link LVDS の電気的特性 | 31 | 10.6 商標 | 80 |
| 6.11 USB の電気的特性 | 32 | 10.7 静電気放電に関する注意事項 | 80 |
| 6.12 システム発振器のタイミング要件 | 33 | 10.8 用語集 | 80 |
| 6.13 電源およびリセットのタイミング要件 | 34 | 11 改訂履歴 | 81 |
| 6.14 V-by-One インターフェイスの一般的なタイミング要件 | 35 | 12 メカニカル、パッケージ、および注文情報 | 81 |
| 6.15 FPD-Link インターフェイスの一般的なタイミング要件 | 36 | | |

4 互換性表

有効なチップセットを構成するには、DLP コントローラ、DMD、および PMIC は、デバイス互換性表に従って一致させる必要があります。

表 4-1. デバイス互換性表

| DLP コントローラ | DMD | DLPA PMIC |
|------------|----------|---|
| DLPC8424 | DLP230NP | DLPA3085 (オーバーラップなし) または DLPA3082 (オーバーラップあり) |
| DLPC8444 | DLP472NP | DLPA3085 (オーバーラップなし) または DLPA3082 (オーバーラップあり) |

5 ピン構成および機能

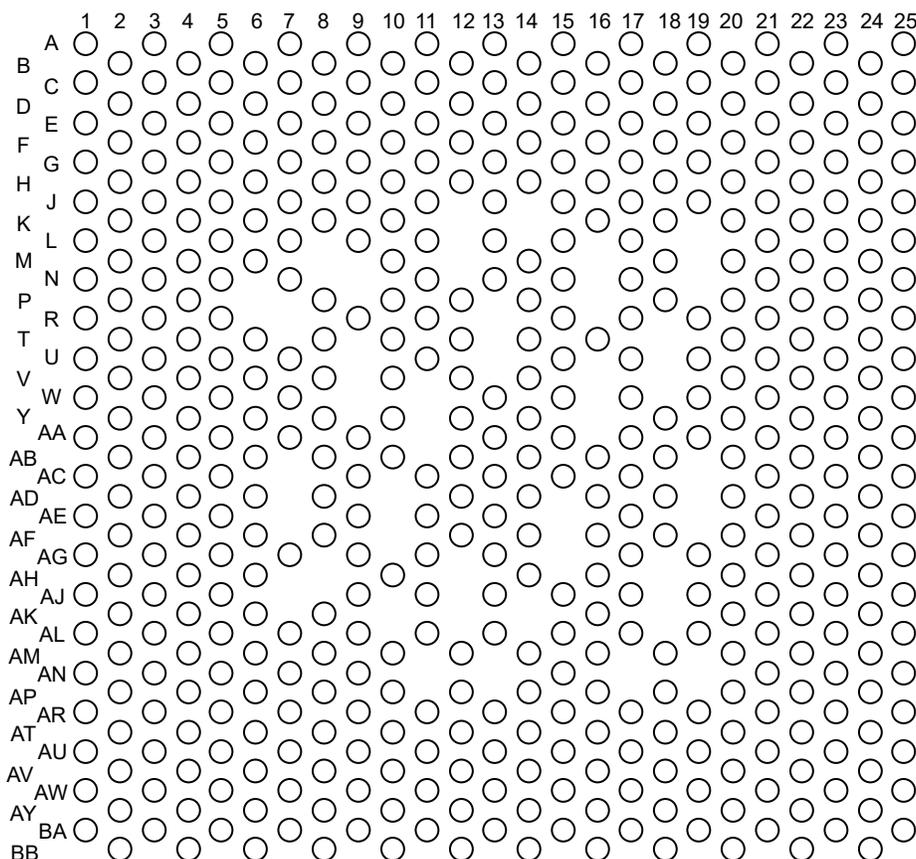


図 5-1. AMD パッケージ 484 ピン FCCSP 上面図

5.1 初期化、基板レベルテスト、デバッグ

| ピン | | I/O (1) | 説明 |
|----------|-----|---------|---|
| 名称 | 番号 | | |
| PROJ_ON | AP2 | I1 | 通常ミラー パーキング要求 (アクティブ Low):ホストの PROJ_ON 出力によって駆動されます。この信号がロジック Low になると、コントローラは DMD を PARK しますが、DMD のパワーダウンは行いません (DLPA が代わりに行います)。最小 High 時間は 200ms です。最小 Low 時間は 200ms です。 |
| RESETZ | P2 | I1 | パワーオンリセット (ヒステリシス バッファを備えたアクティブ Low 入力)。RESETZ で Low から High への遷移が検出されると、自己構成が開始されます。このリセットがデアサートされる前に、すべてのコントローラの電源とクロックが安定している必要があります。RESETZ がアサートされている間は、どの信号もアクティブ状態ではありません。このピンは通常、DLPA PMIC の RESETZ ピンに接続されています。 |
| PARKZ | AR1 | I1 | DMD 高速パーク制御 (ヒステリシスバッファを備えたアクティブ Low 入力)。電力損失が迫っている場合に、この信号を使用して DMD を素早くパークさせることができます。DMD の最長寿命は高速パーク動作では達成できない可能性があるため、この信号は通常パーク動作が完了できない場合にのみアサートされることを意図しています。PARKZ 信号は通常、DLPA 割り込み出力信号から供給されます。 |
| JTAGTCK | V24 | I2 | JTAG と ARM-ICE のシリアル データクロック。この信号は、JTAG と ARM-ICE 間の動作 (テキサス・インスツルメンツのテストのみ) で共有されます。弱い内部プルダウンを含みます。 |
| JTAGTMS1 | U23 | I2 | JTAG テスト モード選択。弱い内部プルアップを含みます。 |

| ピン | | I/O (1) | 説明 |
|---------------|------|---------|---|
| 名称 | 番号 | | |
| JTAGTMS2 | W25 | I2 | ARM-ICE テストモード選択通常動作では、このピンはオープンのままにするか、未接続のままにする必要があります。弱い内部プルアップを含みます。 |
| JTAGTRSTZ | AA25 | I2 | JTAG、ARM-ICE リセット。 通常動作では、このピンは $8k\Omega$ 以下の外付け抵抗を介してグランドにプルする必要があります。通常動作中にこのピンを Low にしないと、起動時や初期化に問題が発生します。 JTAG バウンダリスキャンと ARM-ICE デバッグ動作では、このピンはプルアップするか、接続しないままにする必要があります。弱い内部プルアップとヒステリシスを含みます。 |
| JTAGTDI | Y24 | I2 | JTAG、ARM-ICE、CPU MBIST: シリアル データ入力。弱い内部プルアップを含みます。 |
| JTAGTDO1 | V22 | B14 | JTAG シリアルデータ出力。 |
| JTAGTDO2 | W23 | B14 | ARM-ICE シリアル データ出力。通常動作では、このピンには $\leq 9.15k\Omega$ の外付けプルアップ抵抗が必要です。 |
| ETM_TRACECLK | U25 | O14 | 予約済みピン、未接続のままにする必要があります。 |
| ETM_TRACECTL | T24 | O14 | 予約済みピン、未接続のままにする必要があります。 |
| TSTPT_0 | T22 | B14 | テストピン 0 このピンには内部プルダウンがあり、 $\leq 9.15k\Omega$ の外付けプルアップ抵抗 (プルアップなし: 通常ブート、プルアップあり: ホストコマンド待機) が必要な場合があります。 |
| TSTPT_1 | R25 | B14 | テストピン 1 このピンには、通常ブート動作の内部プルダウンがあります。 |
| TSTPT_2 | R23 | B14 | テストピン 2 このピンには内部プルダウンがあり、 $\leq 9.15k\Omega$ の外付けプルアップ抵抗 (プルアップなし: I ² C アドレス = 0x36、プルアップあり: I ² C アドレス = 0x34) が必要な場合があります。 |
| TSTPT_3 | P24 | B14 | テストピン 3 このピンには内部プルダウンがあり、 $\leq 9.15k\Omega$ の外付けプルアップ抵抗 (プルアップなし: ホストインターフェイスが USB または I ² C、プルアップあり: ホストインターフェイスが I ² C のみ) が必要な場合があります。 |
| TSTPT_4 | N25 | B14 | テストピン 4 このピンには内部プルダウン抵抗があります。 |
| TSTPT_5 | P22 | B14 | テストピン 5 このピンには内部プルダウン抵抗があります。 |
| TSTPT_6 | N23 | B14 | テストピン 6 このピンには内部プルダウン抵抗があります。 |
| TSTPT_7 | M24 | B14 | テストピン 7 このピンには内部プルダウン抵抗があります。 |
| GPTP0 | AA23 | B13 | 汎用テストピン 0 このピンには内部プルダウンがあり、 $\leq 9.15k\Omega$ の外付けプルアップ抵抗 (プルアップなし: 外部水晶振動子、プルアップあり: 外部クロック) が必要な場合があります。 |
| GPTP1 | AB22 | B13 | 汎用テストピン 1 このピンには内部にプルダウン抵抗があります。 |
| GPTP2 | AC25 | B13 | 汎用テストピン 2 このピンには内部にプルダウン抵抗があります。 |
| ATB_0_H | AH4 | PWR | 予約済みピン、未接続のままにする必要があります。 |
| ATB_1_H | AJ5 | PWR | 予約済みピン、未接続のままにする必要があります。 |
| ATEST | G13 | PWR | 予約済みピン、未接続のままにする必要があります。 |
| CAP_VDDS_FLSH | AD22 | PWR | 外部バイアス容量。 |
| CAP_VDDS_INTF | AJ21 | PWR | 外部バイアス容量。 |
| IFORCE | L3 | PWR | 製造用途のみ。グランドに接続する必要があります。 |
| VSENSE | K2 | PWR | 予約済みピン、未接続のままにする必要があります。 |

| ピン | | I/O (1) | 説明 |
|-----------|-----|---------|--|
| 名称 | 番号 | | |
| HWTEST_EN | Y22 | I2 | 予約済みピン。 通常動作では、この信号を PCB 上のグラウンドに直接接続する必要があります。弱い内部プルダウンとヒステリシスを含みます。 |

(1) I/O 定義の詳細については、[セクション 5.12](#) を参照してください。

5.2 V-by-One インターフェイスの入力データおよび制御

| ピン | | I/O (1) | 説明 (2) (3) (4) |
|-------------|------|---------|---|
| 名称 | 番号 | | |
| P1_VX1_D0_P | AV8 | I5 | V-by-One インターフェイスデータレーン。 |
| P1_VX1_D0_N | AU9 | | |
| P1_VX1_D1_P | BB8 | | |
| P1_VX1_D1_N | AY8 | | |
| P1_VX1_D2_P | BA9 | | |
| P1_VX1_D2_N | AW9 | | |
| P1_VX1_D3_P | BB10 | | |
| P1_VX1_D3_N | AY10 | | |
| P1_VX1_D4_P | BA11 | | |
| P1_VX1_D4_N | AW11 | | |
| P1_VX1_D5_P | AV12 | | |
| P1_VX1_D5_N | AU13 | | |
| P1_VX1_D6_P | BB12 | | |
| P1_VX1_D6_N | AY12 | | |
| P1_VX1_D7_P | BA13 | | |
| P1_VX1_D7_N | AW13 | | |
| P1_HTPDN | AN3 | O10 | V-by-One インターフェイスのホットプラグ検出 (コントローラレーンはこの信号を Low にプルして、トランスミッタに存在を示します)。この信号はコントローラ出力のオープンドレインです。トランスミッタにはプルアップ抵抗が必要です。 |
| P1_LOCKN | AM4 | O10 | V-by-One インターフェイスのクロックがロックを検出します (コントローラレーンはこの信号を Low にプルして、トランスミッタにクロック抽出ロックを示します)。この信号はコントローラ出力のオープンドレインです。トランスミッタにはプルアップ抵抗が必要です。 |
| P1_RREF | AU11 | PWR | V-by-One バイアス抵抗入力。 |

- (1) I/O 定義の詳細については、「[I/O タイプのサブスクリプト定義](#)」を参照してください。
- (2) このシステムは、入力ソースの帯域幅要件に基づいて、1 レーン、2 レーン、4 レーン、または 8 レーンでの動作をサポートしています。未使用のデータレーンの入力はオープンのままにする必要があります。すべてのレーンを使用するわけではありません。V-by-One ビデオインターフェイスをまったく使用しない場合は、ピンをグラウンドに接続する必要があります。
- (3) V-by-One ポートは、基板レイアウトの最適化に役立つよう、限定的なレーンの再マッピングをサポートしています。詳細については、「[V-by-One インターフェイス](#)」を参照してください。
- (4) 本書では、V-by-One と Vx1 という用語を同じ意味で使用しています。

5.3 FPD-Link ポートの入力データおよび制御

| ピン | | I/O (1) | 概要 (2) (3) (4) |
|---------------|------|---------|--------------------------|
| 名称 | 番号 | | |
| P2A_LVDS_C_P | BA17 | I4 | FPD-Link ポート A のクロック レーン |
| P2A_LVDS_C_N | AW17 | I4 | |
| P2A_LVDS_D0_P | BA15 | I4 | FPD-Link ポート A のデータ レーン |
| P2A_LVDS_D0_N | AW15 | I4 | |
| P2A_LVDS_D1_P | BB16 | I4 | |
| P2A_LVDS_D1_N | AY16 | I4 | |
| P2A_LVDS_D2_P | AV16 | I4 | |
| P2A_LVDS_D2_N | AU15 | I4 | |
| P2A_LVDS_D3_P | BB18 | I4 | |
| P2A_LVDS_D3_N | AY18 | I4 | |
| P2A_LVDS_D4_P | AV18 | I4 | |
| P2A_LVDS_D4_N | AU17 | I4 | |
| P2A_LVDS_RPI | AT16 | PWR | FPD-Link ポート A のバイアス抵抗ピン |
| P2B_LVDS_C_P | BA21 | I4 | FPD-Link ポート B のクロック レーン |
| P2B_LVDS_C_N | AW21 | I4 | |
| P2B_LVDS_D0_P | BB20 | I4 | FPD-Link ポート B のデータ レーン |
| P2B_LVDS_D0_N | AY20 | I4 | |
| P2B_LVDS_D1_P | AV20 | I4 | |
| P2B_LVDS_D1_N | AU19 | I4 | |
| P2B_LVDS_D2_P | AV22 | I4 | |
| P2B_LVDS_D2_N | AU21 | I4 | |
| P2B_LVDS_D3_P | BB22 | I4 | |
| P2B_LVDS_D3_N | AY22 | I4 | |
| P2B_LVDS_D4_P | BA23 | I4 | |
| P2B_LVDS_D4_N | AW23 | I4 | |
| P2B_LVDS_RPI | AT20 | PWR | FPD-Link ポート B のバイアス抵抗ピン |

- (1) I/O 定義の詳細については、[セクション 5.12](#) を参照してください。
- (2) 本書では、FPD および FPD リンクという用語は FPD リンク I を指します。
- (3) 未使用ポートの入力はグラウンドに接続するか、外付け抵抗を介してグラウンドにプルしてください。
- (4) これら 2 つのポートのうちの 1 つだけが必要な場合は、どちらかのポートを使用し、もう一方のポートは未使用ポートとして扱われます。

5.4 DSI 入力データおよびクロック (DLPC8424 および DLPC8444 ではサポートされていません)

| ピン | | I/O (1) | 説明(2) |
|---------------|-----|---------|-------|
| 名称 | 番号 | | |
| P3_DSI_C_P | BB6 | I6 | 予約済み |
| P3_DSI_C_N | AY6 | I6 | |
| P3_DSI_D0_P | BA5 | I6 | 予約済み |
| P3_DSI_D0_N | AW5 | I6 | |
| P3_DSI_D1_P | BB4 | I6 | |
| P3_DSI_D1_N | AY4 | I6 | |
| P3_DSI_D2_P | AV4 | I6 | |
| P3_DSI_D2_N | AU5 | I6 | |
| P3_DSI_D3_P | BA3 | I6 | |
| P3_DSI_D3_N | AW3 | I6 | |
| P3_DSI_RCALIB | AV6 | PWR | 予約済み |

(1) I/O 定義の詳細については、[セクション 5.12](#)を参照してください。

(2) 未使用ポートの入力はグラウンドに接続するか、外付け抵抗を介してグラウンドにプルしてください。

5.5 DMD SubLVDS インターフェイス

| ピン | | I/O (1) | 説明 |
|------------------|-----|---------|-----------------------------|
| 名称 | 番号 | | |
| DMD_HS0_CLK_P | B6 | O15 | チャンネル 0 DMD SubLVDS クロックレーン |
| DMD_HS0_CLK_N | D6 | O15 | |
| DMD_HS0_WDATA0_P | A3 | O15 | チャンネル 0 DMD subLVDS データレーン |
| DMD_HS0_WDATA0_N | C3 | O15 | |
| DMD_HS0_WDATA1_P | F4 | O15 | |
| DMD_HS0_WDATA1_N | E5 | O15 | |
| DMD_HS0_WDATA2_P | B4 | O15 | |
| DMD_HS0_WDATA2_N | D4 | O15 | |
| DMD_HS0_WDATA3_P | A5 | O15 | |
| DMD_HS0_WDATA3_N | C5 | O15 | |
| DMD_HS0_WDATA4_P | F6 | O15 | |
| DMD_HS0_WDATA4_N | E7 | O15 | |
| DMD_HS0_WDATA5_P | A7 | O15 | |
| DMD_HS0_WDATA5_N | C7 | O15 | |
| DMD_HS0_WDATA6_P | F8 | O15 | |
| DMD_HS0_WDATA6_N | E9 | O15 | |
| DMD_HS0_WDATA7_P | B8 | O15 | チャンネル 1 DMD SubLVDS クロックレーン |
| DMD_HS0_WDATA7_N | D8 | O15 | |
| DMD_HS1_CLK_P | A13 | O15 | チャンネル 1 DMD SubLVDS クロックレーン |
| DMD_HS1_CLK_N | C13 | O15 | |
| DMD_HS1_WDATA0_P | B10 | O15 | チャンネル 1 DMD subLVDS データレーン |
| DMD_HS1_WDATA0_N | D10 | O15 | |
| DMD_HS1_WDATA1_P | A11 | O15 | |
| DMD_HS1_WDATA1_N | C11 | O15 | |
| DMD_HS1_WDATA2_P | F10 | O15 | |
| DMD_HS1_WDATA2_N | E11 | O15 | |
| DMD_HS1_WDATA3_P | B12 | O15 | |
| DMD_HS1_WDATA3_N | D12 | O15 | |
| DMD_HS1_WDATA4_P | B14 | O15 | |
| DMD_HS1_WDATA4_N | D14 | O15 | |
| DMD_HS1_WDATA5_P | F12 | O15 | |
| DMD_HS1_WDATA5_N | E13 | O15 | |
| DMD_HS1_WDATA6_P | A15 | O15 | |
| DMD_HS1_WDATA6_N | C15 | O15 | |
| DMD_HS1_WDATA7_P | F14 | O15 | チャンネル 2 DMD SubLVDS クロックレーン |
| DMD_HS1_WDATA7_N | E15 | O15 | |
| DMD_HS2_CLK_P | A19 | O15 | チャンネル 2 DMD SubLVDS クロックレーン |
| DMD_HS2_CLK_N | C19 | O15 | |

5.5 DMD SubLVDS インターフェイス (続き)

| ピン | | I/O (1) | 説明 |
|------------------|-----|---------|----------------------------|
| 名称 | 番号 | | |
| DMD_HS2_WDATA0_P | A17 | O15 | チャンネル 2 DMD subLVDS データレーン |
| DMD_HS2_WDATA0_N | C17 | O15 | |
| DMD_HS2_WDATA1_P | F16 | O15 | |
| DMD_HS2_WDATA1_N | E17 | O15 | |
| DMD_HS2_WDATA2_P | B18 | O15 | |
| DMD_HS2_WDATA2_N | D18 | O15 | |
| DMD_HS2_WDATA3_P | F18 | O15 | |
| DMD_HS2_WDATA3_N | E19 | O15 | |
| DMD_HS2_WDATA4_P | B20 | O15 | |
| DMD_HS2_WDATA4_N | D20 | O15 | |
| DMD_HS2_WDATA5_P | A21 | O15 | |
| DMD_HS2_WDATA5_N | C21 | O15 | |
| DMD_HS2_WDATA6_P | F20 | O15 | |
| DMD_HS2_WDATA6_N | E21 | O15 | |
| DMD_HS2_WDATA7_P | B22 | O15 | |
| DMD_HS2_WDATA7_N | D22 | O15 | |
| DMD_HS3_CLK_P | H24 | O15 | |
| DMD_HS3_CLK_N | J25 | O15 | |
| DMD_HS3_WDATA0_P | B24 | O15 | チャンネル 3 DMD subLVDS データレーン |
| DMD_HS3_WDATA0_N | C25 | O15 | |
| DMD_HS3_WDATA1_P | D24 | O15 | |
| DMD_HS3_WDATA1_N | E25 | O15 | |
| DMD_HS3_WDATA2_P | F22 | O15 | |
| DMD_HS3_WDATA2_N | E23 | O15 | |
| DMD_HS3_WDATA3_P | F24 | O15 | |
| DMD_HS3_WDATA3_N | G25 | O15 | |
| DMD_HS3_WDATA4_P | H22 | O15 | |
| DMD_HS3_WDATA4_N | G23 | O15 | |
| DMD_HS3_WDATA5_P | K24 | O15 | |
| DMD_HS3_WDATA5_N | L25 | O15 | |
| DMD_HS3_WDATA6_P | K22 | O15 | |
| DMD_HS3_WDATA6_N | J23 | O15 | |
| DMD_HS3_WDATA7_P | M22 | O15 | |
| DMD_HS3_WDATA7_N | L23 | O15 | |

(1) I/O 定義の詳細については、[セクション 5.12](#) を参照してください。

5.6 DMD リセットおよび低速インターフェイス

| ピン | | I/O (1) | 説明 |
|-----------------|----|---------|---|
| 名称 | 番号 | | |
| DMD_LS0_CLK_P | F2 | O15 | DMD 低速差動インターフェイス、ポート 0 クロック |
| DMD_LS0_CLK_N | E1 | O15 | |
| DMD_LS0_WDATA_P | B2 | O15 | DMD 低速差動インターフェイス、ポート 0 書き込みデータ |
| DMD_LS0_WDATA_N | C1 | O15 | |
| DMD_LS1_CLK | G1 | O12 | DMD 低速シングルエンド インターフェイス、ポート 1 クロック |
| DMD_LS1_WDATA | E3 | O12 | DMD 低速シングルエンド インターフェイス、ポート 1 書き込みデータ |
| DMD_LS2_CLK | H2 | O12 | DMD 低速シングルエンド インターフェイス、ポート 2 クロック |
| DMD_LS2_WDATA | G3 | O12 | DMD 低速シングルエンド インターフェイス、ポート 2 書き込みデータ |
| DMD_LS0_RDATA | H4 | I1 | DMD、低速シングルエンド シリアルインターフェイス、ポート 0 読み取りデータ (2) |
| DMD_LS1_RDATA | J3 | I1 | DMD、低速シングルエンド シリアルインターフェイス、ポート 1 読み取りデータ (2)。このポートを使用しない場合、この入力フローティングにならないように、外部プルアップまたはプルダウンが必要です。 |
| DMD_LS2_RDATA | M4 | I1 | DMD、低速シングルエンド シリアルインターフェイス、ポート 2 読み取りデータ (2)。このポートを使用しない場合、この入力フローティングにならないように、外部プルアップまたはプルダウンが必要です。 |
| DMD_LS3_RDATA | K4 | I1 | DMD、低速シングルエンド シリアルインターフェイス、ポート 3 読み取りデータ (2)。このポートを使用しない場合、この入力フローティングにならないように、外部プルアップまたはプルダウンが必要です。 |
| DMD_DEN_ARSTZ | J1 | O10 | DMD ドライバ イネーブル信号 / アクティブ Low 非同期リセット (1 = イネーブル、0 = リセット) この信号は、DMD がパークされた後、DMD から電源が切断される前に、Low に駆動されます。 コントローラの 1.8V 電源が DMD の 1.8V 電源から独立している場合、DMD 電源が供給されている間コントローラ電源が非アクティブになった場合に信号を Low に保持するために、外付けプルダウン抵抗を使用する必要があります。 |

(1) I/O 定義の詳細については、[セクション 5.12](#) を参照してください。

(2) すべての制御インターフェイスの読み取りは、シングルエンドの低速信号を使用します。読み取りデータは、低速の差動書き込みクロックによってクロックされます。

5.7 フラッシュ インターフェイス

| ピン | | I/O (1) | 説明 |
|------------|------|---------|--|
| 名称 | 番号 | | |
| FLSH_CSZ | AG23 | B16 | チップ セレクト: ブート FLASH のみ (ブート FLASH はこのチップ セレクトを使用する必要があります) |
| FLSH_CLK | AG25 | B16 | フラッシュ クロック |
| FLSH_DATA0 | AH22 | B16 | アドレス ビット 0 (LSB) |
| FLSH_DATA1 | AH24 | B16 | アドレス ビット 1 |
| FLSH_DATA2 | AJ25 | B16 | アドレス ビット 2 |
| FLSH_DATA3 | AJ23 | B16 | アドレス ビット 3 |

(1) I/O 定義の詳細については、[セクション 5.12](#) を参照してください。

5.8 ペリフェラル インターフェイス

| ピン | | I/O (1) | 説明 |
|-------------|------|---------|---|
| 名称 | 番号 | | |
| IIC0_SCL | AL25 | B18 | I2C ポート 0 (プライマリ - セカンダリ)、通常はホストからコントローラへのコマンドおよび制御用としてセカンダリ、SCL (双方向、オープンドレイン) : 外部プルアップが必要です。このプルアップの最小許容値は 470Ω です。 |
| IIC0_SDA | AK24 | B18 | |
| SSP0_DO | AP24 | O17 | SSP/SPI ポート 0 データ出力 (プライマリ): 送信データピン。 |
| SSP0_DI | AN23 | I3 | SSP/SPI ポート 0 データ入力 (プライマリ): 受信データピン。 |
| SSP0_CLK | AN25 | O17 | SSP/SPI ポート 0 クロック (プライマリ): クロックピン。 |
| SSP0_CSZ_0 | AM22 | O17 | SPI ポート 0 チップ セレクト 0 (プライマリ): チップセレクト (アクティブ Low)。外部デバイスへのチップセレクト入力フローティングにならないように、外付けプルアップ抵抗 ($\leq 10k\Omega$) を推奨します。 |
| USB_DAT_P | AU1 | B7 | USB OTG データレーン。 |
| USB_DAT_N | AW1 | B7 | |
| USB_VBUS | AP4 | B7 | USB OTG 5V 電源検出。 |
| USB_ID | AT2 | I7 | USB OTG ミニレセプタクルの識別。 |
| USB_TXRTUNE | AR3 | PWR | RTTRIM USB OTG リファレンス抵抗: オンチップ抵抗のキャリブレーション用外付けリファレンス抵抗は、499Ω の値で接続する必要があります。 |
| HOST_IRQ | AK22 | O17 | ホスト割り込み (出力): HOST_IRQ は、DLPC の自動初期化が進行中であること、および最も重要なのはその完了時を示します。また、HOST_IRQ はコマンド処理中にも切り替わり、実行中であることを示します。このピンはリセット中にトライステートになります。この信号には外付けプルアップを接続する必要があります。 |

(1) I/O 定義の詳細については、[セクション 5.12](#) を参照してください。

5.9 GPIO パリフェラル インターフェイス

| ピン | | I/O (1) | 説明 (2) (3) (4) |
|---------|------|---------|---|
| 名称 | 番号 | | |
| GPIO_00 | AR25 | B17 | 汎用 I/O 00: オプション: 1.Alt 0: SSP1_SCLK (O-P/I-S) 2.Alt 1: XY_IF_SCLK (I) 3.SW GPIO (B) |
| GPIO_01 | AU25 | B17 | 汎用 I/O 01: オプション: 1.Alt 0: SSP1_DI (I) 2.Alt 1: XY_IF_DI(I) 3.SW GPIO (B) |
| GPIO_02 | AW25 | B17 | 汎用 I/O 02: オプション: 1.Alt 0: SSP1_DO (O) 2.Alt 1: XY_IF_DO (O) 3.SW GPIO (B) |
| GPIO_03 | AT24 | B17 | 汎用 I/O 03: オプション: 1.Alt 0: SSP1_CSZ_0 (O-P/I-S) 2.Alt 1: XY_IF_CSZ (I) 3.SW GPIO (B) |
| GPIO_04 | AV24 | B17 | 汎用 I/O 04: オプション: 1.Alt 0: SSP1_CSZ_1 (O-P/I-S) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_05 | AR23 | B17 | 汎用 I/O 05: オプション: 1.Alt 0: SSP1_CSZ_2 (O-P/I-S) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_06 | AP22 | B17 | 汎用 I/O 06: オプション: 1.Alt 0: SSP0_BCSZ (O-P/I-S) 2.Alt 1: SSP1_BCSZ (O-P/I-S) 3.SW GPIO (B) |
| GPIO_07 | AL23 | B17 | 汎用 I/O 07: オプション: 1.Alt 0: IIC1_SCL (B) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_08 | AM24 | B17 | 汎用 I/O 08: オプション: 1.Alt 0: IIC1_SDA (B) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_09 | N3 | B10 | 汎用 I/O 09: オプション: 1.Alt 0: WPC_COLOR_SENSOR_VSYNC(O) 2.Alt 1: MEMAUX_1(O) 3.SW GPIO (B) |
| GPIO_10 | P4 | B9 | 汎用 I/O 10: オプション: 1.Alt 0: UART1_RSTZ (O) 2.Alt 1: 該当なし 3.SW GPIO (B) |

5.9 GPIO ペリフェラル インターフェイス (続き)

| ピン | | I/O (1) | 説明 (2) (3) (4) |
|---------|------|---------|--|
| 名称 | 番号 | | |
| GPIO_11 | T4 | B10 | 汎用 I/O 11: オプション: 1.Alt 0: UART1_CTSZ(I) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_12 | V4 | B10 | 汎用 I/O 12: オプション: 1.Alt 0: DMD_PWR_EN (O) 2.Alt 1: RC_CHARGE (O) 3.SW GPIO (B) |
| GPIO_13 | AD24 | B14 | 汎用 I/O 13: オプション: 1.Alt 0: PAUX0 (O) 2.Alt 1: LED_SEL0 (O) 3.SW GPIO (B) |
| GPIO_14 | AC23 | B14 | 汎用 I/O 14: オプション: 1.Alt 0: PAUX1 (O) 2.Alt 1: LED_SEL1 (O) 3.SW GPIO (B) |
| GPIO_15 | AE25 | B14 | 汎用 I/O 15: オプション: 1.Alt 0: PAUX2 (O) 2.Alt 1: LED_SEL2 (O) 3.SW GPIO (B) |
| GPIO_16 | AE23 | B14 | 汎用 I/O 16: オプション: 1.Alt 0: PAUX3 (O) 2.Alt 1: LED_SEL3 (O) 3.SW GPIO (B) |
| GPIO_17 | AF24 | B13 | 汎用 I/O 17: オプション: 1.Alt 0: PAUX4 (O) 2.Alt 1: LED_SEL4 (O) 3.SW GPIO (B) |
| GPIO_18 | AF22 | B13 | 汎用 I/O 18: オプション: 1.Alt 0: PAUX5 (O) 2.Alt 1: LED_SEL5 (O) 3.SW GPIO (B) |
| GPIO_19 | R1 | B10 | 汎用 I/O 19: オプション: 1.Alt 0: PAUX6 (O) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_20 | R3 | B10 | 汎用 I/O 20: オプション: 1.Alt 0: PAUX7 (O) 2.Alt 1: SL_Trigger (I) 3.SW GPIO (B) |
| GPIO_21 | U1 | B10 | 汎用 I/O 21: オプション: 1.Alt 0: PAUX8 (O) 2.Alt 1: 該当なし 3.SW GPIO (B) |

5.9 GPIO ペリフェラル インターフェイス (続き)

| ピン | | I/O (1) | 説明 (2) (3) (4) |
|---------|-----|---------|---|
| 名称 | 番号 | | |
| GPIO_22 | T2 | B9 | 汎用 I/O 22: オプション: 1.Alt 0: PAUX9 (O) 2.Alt 1: CW_INDEX0 (I) 3.SW GPIO (B) |
| GPIO_23 | U3 | B10 | 汎用 I/O 23: オプション: 1.Alt 0: PAUX10 (O) 2.Alt 1: PWM_OUT_CW0 (O) 3.SW GPIO (B) |
| GPIO_24 | W1 | B10 | 汎用 I/O 24: オプション: 1.Alt 0: PAUX11 (O) 2.Alt 1: PWM_OUT_CW1 (O) 3.SW GPIO (B) |
| GPIO_25 | V2 | B10 | 汎用 I/O 25: オプション: 1.Alt 0: PWM_OUT_RLED (O) 2.Alt 1: CMP_MSEL_0 (O) 3.SW GPIO (B) |
| GPIO_26 | W3 | B10 | 汎用 I/O 26: オプション: 1.Alt 0: PWM_OUT_GLED (O) 2.Alt 1: CMP_PWM (O) 3.SW GPIO (B) |
| GPIO_27 | AA1 | B10 | 汎用 I/O 27: オプション: 1.Alt 0: PWM_OUT_BLED (O) 2.Alt 1: CMP_OUT (I) 3.SW GPIO (B) |
| GPIO_28 | Y4 | B10 | 汎用 I/O 28: オプション: 1.Alt 0: PWM_OUT_IRLED (O) 2.Alt 1: LS_PWR (O) 3.SW GPIO (B) |
| GPIO_29 | Y2 | B10 | 汎用 I/O 29: オプション: 1.Alt 0: PWM_OUT_UVLED (O) 2.Alt 1: CW_INDEX_1 (I) 3.SW GPIO (B) |
| GPIO_30 | AA3 | B11 | 汎用 I/O 30: オプション: 1.Alt 0: HBT_CLKOUT (O) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_31 | AB4 | B10 | 汎用 I/O 31: オプション: 1.Alt 0: HBT_DO (O) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_32 | AC1 | B10 | 汎用 I/O 32: オプション: 1.Alt 0: HBT_CLKIN_0 (I) 2.Alt 1: 該当なし 3.SW GPIO (B) |

5.9 GPIO ペリフェラル インターフェイス (続き)

| ピン | | I/O (1) | 説明 (2) (3) (4) |
|---------|-----|---------|---|
| 名称 | 番号 | | |
| GPIO_33 | AB2 | B10 | 汎用 I/O 33: オプション: 1.Alt 0: HBT_DI_0 (I) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_34 | AC3 | B9 | 汎用 I/O 34: オプション: 1.Alt 0: HBT_CLKIN_1 (I) 2.Alt 1: GP_CLK2 (O) 3.SW GPIO (B) |
| GPIO_35 | AD4 | B10 | 汎用 I/O 35: オプション: 1.Alt 0: HBT_DI_1 (I) 2.Alt 1: CAL_PWR(O) 3.SW GPIO (B) |
| GPIO_36 | AE1 | B10 | 汎用 I/O 36: オプション: 1.Alt 0: HBT_CLKIN_2 (I) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_37 | AD2 | B10 | 汎用 I/O 37: オプション: 1.Alt 0: HBT_DI_2 (I) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_38 | AE3 | B10 | 汎用 I/O 38: オプション: 1.Alt 0: EFSYNC (O)/DASYNC(I) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_39 | AG1 | B10 | 汎用 I/O 39: オプション: 1.Alt 0: SEQ_SYNC (B - オープンドレイン) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_40 | AF4 | B10 | 汎用 I/O 40: オプション: 1.Alt 0: AWC0_DACCLK_0_1 (O) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_41 | AF2 | B11 | 汎用 I/O 41: オプション: 1.Alt 0: AWC0_DACCLK_0_1 (O) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_42 | AJ1 | B10 | 汎用 I/O 42: オプション: 1.Alt 0: AWC0_DACD_PWMA_0 (O) 2.Alt 1: 該当なし 3.SW GPIO (B) |
| GPIO_43 | AG3 | B10 | 汎用 I/O 43: オプション: 1.Alt 0: AWC0_DACD_PWMB_0 (O) 2.Alt 1: PWM_OUT_BLED_2 (O) 3.SW GPIO (B) |

5.9 GPIO ペリフェラル インターフェイス (続き)

| ピン | | I/O (1) | 説明 (2) (3) (4) |
|---------|-----|---------|--|
| 名称 | 番号 | | |
| GPIO_44 | AH2 | B10 | 汎用 I/O 44: オプション: 1.Alt 0:AWC0_DACS_PWMA_1 (O) 2.Alt 1:PAUX_INT0 (O) 3.SW GPIO (B) |
| GPIO_45 | AJ3 | B10 | 汎用 I/O 45: オプション: 1.Alt 0:AWC0_DACD_PWMB_1 (O) 2.Alt 1:PAUX_INT1 (O) 3.SW GPIO (B) |
| GPIO_46 | AL1 | B10 | 汎用 I/O 46: オプション: 1.Alt 0:該当なし 2.Alt 1:PAUX_INT2 (O) 3.SW GPIO (B) |
| GPIO_47 | AK4 | B11 | 汎用 I/O 47: オプション: 1.Alt 0:AWC1_DACCLK_0_1 (O) 2.Alt 1:PAUX_INT3 (O) 3.SW GPIO (B) |
| GPIO_48 | AK2 | B10 | 汎用 I/O 48: オプション: 1.Alt 0:AWC1_DACS_PWMA_0 (O) 2.Alt 1:SF_SEL_0 (O) 3.SW GPIO (B) |
| GPIO_49 | AN1 | B10 | 汎用 I/O 49: オプション: 1.Alt 0:AWC1_DACD_PWMB_0 (O) 2.Alt 1:SF_SEL_1 (O) 3.SW GPIO (B) |
| GPIO_50 | AL3 | B10 | 汎用 I/O 50: オプション: 1.Alt 0:AWC1_DACS_PWMA_1 (O) 2.Alt 1:SF_SEL_2 (O) 3.SW GPIO (B) |
| GPIO_51 | AM2 | B10 | 汎用 I/O 51: オプション: 1.Alt 0:AWC1_DACD_PWMB_1 (O) 2.Alt 1:SF_SEL_3 (O) 3.SW GPIO (B) |

- (1) I/O 定義の詳細については、[セクション 5.12](#) を参照してください。
- (2) この表は、コントローラの GPIO 機能を定義しています。これらの GPIO の特定の製品構成割り当てについては、[GPIO の機能](#) を参照してください。
- (3) ほとんどの GPIO は、汎用 I/O として利用可能であるだけでなく、少なくとも 1 つの代替ハードウェア機能の用途を持っています。製品構成によっては、代替ハードウェア機能として使用するために GPIO が特別に予約されている場合があります (その場合、汎用 I/O としては使用できません)。特定の製品構成の GPIO の割り当て詳細については、[GPIO の機能](#) を参照してください。
- (4) 汎用 I/O として使用可能なすべての GPIO は、入力、標準出力、またはオープンドレイン出力として構成される必要があります。これはフラッシュ構成で設定されます。未使用の GPIO をロジック 0 出力として構成し、未接続のままにします。それ以外の場合は、フローティング入力を避けるために外付けプルアップ抵抗またはプルダウン抵抗が必要です。すべての GPIO のリセットのデフォルトは入力信号です。オープンドレイン出力として構成された各信号には、外付けプルアップ抵抗 ($\leq 10k\Omega$) が必要です。

5.10 クロックおよび PLL のサポート

| ピン | | I/O ⁽¹⁾ | 説明 |
|----------|------|--------------------|--|
| 名称 | 番号 | | |
| REFCLK_I | N1 | I8 | 水晶振動子入力:リファレンスクロックの水晶振動子入力。 ^{(2) (3)} |
| REFCLK_O | L1 | O8 | 水晶振動子出力:リファレンスクロックの水晶振動子出力。 ^{(2) (5)} |
| OCLKA | AB24 | O14 | 汎用出力クロック A ⁽⁴⁾ カラーホイール モーターコントローラ駆動用。周波数はソフトウェアでプログラム可能で、電源オン時のデフォルト周波数は 0.99MHz です。 注: 出力周波数は、パワーアップ以外のリセット動作の影響を受けません (つまり、システムの電源をオフしてから再度オンになるまで、システムは最後にプログラムされた値を保持します)。 |

- (1) I/O 定義の詳細については、「[I/O テーブル](#)」を参照してください。
- (2) この信号の詳細については、「[システム発振器のタイミング](#)」を参照してください。
- (3) 水晶振動子の代わりに外部発振器を使用するアプリケーションでは、発振器を使用してこのピンを駆動します。
- (4) この信号の詳細については、「[プログラマブル出力クロック タイミング](#)」を参照してください。
- (5) 水晶振動子の代わりに外部発振器を使用するアプリケーションでは、このピンを接地する必要があります。

5.11 電源およびグランド

| ピン | | I/O (1) | 説明 |
|----------------|---|---------|--|
| 名称 | 番号 | | |
| VDDA18_PLLM | AL11 | PWR | メイン I/F PLL 用 1.8V (公称) |
| VDDA18_PLLD | J13 | PWR | DMD I/F PLL 用 1.8V (公称) |
| VDD_CORE | AA13, AA15, AA21, AB16, AC13, AD6, AD8, AD18, AD20, AE9, AE11, AF14, AF16, AF20, AG7, AH6, AJ11, AL9, AL13, AL17, AL19, K8, K18, L9, L13, M6, M20, N15, N17, T6, T12, T14, T20, U19, V8, V10, Y6, Y20 | PWR | |
| VDDAR_CORE | AB10, AB12, AJ9, AJ13, AJ15, AJ17, AJ19, AK8, N11, N13, P8, P18, R9, R19, W15, W17 | PWR | |
| VDDA_CORE_DSI | AR7 | PWR | |
| VDDA_CORE_FPD | AM16, AM18, AM20 | PWR | FPD コア用 0.8V (公称) 固定電源 |
| VDDA_CORE_USB | AM6 | PWR | USB コントローラ用 0.8V (公称) |
| VDDA_CORE_Vx1 | AM10, AM14 | PWR | Vx1 コア用 0.8V (公称) 固定電源 |
| VDDA18_DDI | J7, J9, J11, J15, J17, J19 | PWR | SubLVDS DMD インターフェイス用 1.8V (公称) 固定 IO 電源 |
| VDDA18_DSI | AP8 | PWR | DSI 用 1.8V (公称) |
| VDDA18_FPD | AN15, AP16, AP18, AR19 | PWR | FPD I/O 用 1.8V (公称) 固定電源 |
| VDDA18_USB | AN7 | PWR | USB PHY 用 1.8V (公称) |
| VDDA18_Vx1 | AM12, AP10, AP14 | PWR | Vx1 I/O 用 1.8V (公称) 固定電源 |
| VDDA33_USB | AP6 | PWR | USB PHY 用 3.3V (公称) |
| VDDS18_LVCMOS1 | AA5, AE5, AG5, AL5, W5 | | |
| VDDS18_LVCMOS2 | N21, R21, U21, W21 | | |
| VDDS18_OSC | U5 | PWR | リファレンス発振器 I/O 用 1.8V (公称) 固定電源 |
| VDDSHV_FLSH | AC21, AE21 | PWR | クワッドシリアル フラッシュ インターフェイス用 1.8V または 3.3V (公称) マルチ電圧 IO 電源 |
| VDDSHV_INTF | AG21, AL21 | PWR | PMIC I/O の代わりに PAD1000 をサポートするための、SPI および I ² C I/O 用 1.8V または 3.3V (公称) マルチ電圧 IO 電源 (GPIO[8:0] を含む)。また、HOST_IRQ。 |

5.11 電源およびグランド (続き)

| ピン | | I/O ⁽¹⁾ | 説明 |
|-----|--|--------------------|----------------------------------|
| 名称 | 番号 | | |
| VSS | A1, A9, A23, A25, AA7, AA9, AA17, AA19, AB6, AB8, AB14, AB18, AB20, AC5, AC9, AC11, AC15, AC17, AD12, AD14, AD16, AE13, AE17, AF6, AF8, AF12, AF18, AG9, AG11, AG13, AG17, AG19, AH10, AH14, AH16, AH20, AK6, AK16, AK20, AL7, AL15, AM8, AN5, AN9, AN21, AP12, AP20, AR5, AR9, AR11, AR13, AR15, AR17, AR21, AT4, AT6, AT8, AT10, AT12, AT14, AT18, AT22, AU3, AU7, AU23, AV2, AV10, AV14, AW7, AW19, AY2, AY14, AY24, B16, BA1, BA7, BA19, BA25, BB2, BB14, BB24, C9, C23, D2, D16, G5, G7, G9, G11, G15, G17, G19, G21, H6, H8, H10, H12, H14, H16, H18, H20, J5, J21, K6, K10, K16, K20, L5, L7, L11, L15, L17, M2, M10, M14, M18, N5, N7, P10, P12, P14, P20, R5, R11, R15, R17, T8, T10, T16, U7, U11, U15, U17, V6, V12, V14, V20, W7, W13, W19, Y8, Y10, Y12, Y14, Y18 | RTN | グランド、パッケージレベルではすべてのグランドは VSS に接続 |
| VPP | L21 | RTN | 製造用途のみ (eFuse)。グランドに接続する必要があります。 |

(1) I/O 定義の詳細については、[セクション 5.12](#) を参照してください。

5.12 I/O タイプのサブスクリプト定義

| I/O | | | |
|------------|-----------------------------------|---------------------------|-------------------------|
| サブスクリプト | 説明 | 電源リファレンス | ESD 構造 |
| 1 | LVC MOS 1.8V のみ | VDD18_LVC MOS1 | 電源レールと GND への ESD ダイオード |
| 2 | LVC MOS 1.8V のみ | VDD18_LVC MOS2 | 電源レールと GND への ESD ダイオード |
| 3 | LVC MOS 1.8/3.3V | VDDSHV_INTF | 電源レールと GND への ESD ダイオード |
| 4 | 差動 FPD LVDS | VDDA18_FPD | 電源レールと GND への ESD ダイオード |
| 5 | 差動 V-by-One | VDDA18_VX1 | 電源レールと GND への ESD ダイオード |
| 6 | 差動 DSI | VDDA18_DSI | 電源レールと GND への ESD ダイオード |
| 7 | USB 2.0 | VDDA18_USB、 VDDA33_USB | 電源レールと GND への ESD ダイオード |
| 8 | 基準発振器入力 | VDD18_OSC | 電源レールと GND への ESD ダイオード |
| 9 | LVC MOS 1.8V のみ 6.5mA | VDD18_LVC MOS1 | 電源レールと GND への ESD ダイオード |
| 10 | LVC MOS 1.8V のみ 8mA | VDD18_LVC MOS1 | 電源レールと GND への ESD ダイオード |
| 11 | LVC MOS 1.8V のみ 12mA | VDD18_LVC MOS1 | 電源レールと GND への ESD ダイオード |
| 12 | LVC MOS 1.8V のみ 24mA | VDD18_LVC MOS1 | 電源レールと GND への ESD ダイオード |
| 13 | LVC MOS 1.8V のみ 6.5mA | VDD18_LVC MOS2 | 電源レールと GND への ESD ダイオード |
| 14 | LVC MOS 1.8V のみ 8mA | VDD18_LVC MOS2 | 電源レールと GND への ESD ダイオード |
| 15 | 差動 SubLVDS 1.8V | VDDA18_DDI | 電源レールと GND への ESD ダイオード |
| 16 | LVC MOS 1.8/3.3V 8mA | VDDSHV_FL SH | 電源レールと GND への ESD ダイオード |
| 17 | LVC MOS 1.8/3.3V 7.5mA | VDDSHV_INTF | 電源レールと GND への ESD ダイオード |
| 18 | i ² c 1.8/3.3V3mA@3.3V | VDDSHV_INTF | 電源レールと GND への ESD ダイオード |
| タイプ | | | |
| I | 入力 | 該当なし | |
| O | 出力 | | |
| B | 双方向 | | |
| PWR | 電源 | | |
| RTN | グラウンドリターン | | |

5.13 内部プルアップおよびプルダウンの特性

| 内部プルアップ抵抗およびプルダウン抵抗の特性 ⁽¹⁾ | 条件 | 最小値 | 最大値 | 単位 |
|---|-----------------|-----|-----|----|
| 弱いプルアップ抵抗 - FLSH_CSZ | VDD_FLSH = 3.3V | 42 | 59 | kΩ |
| 弱いプルアップ抵抗 - SSP0_CSZ_0 | VDD_INTF = 3.3V | 18 | 26 | kΩ |
| 弱いプルアップ抵抗 - JTAGTRSTZ、JTAGTDI、 JTAGTMS1、JTAGTMS2、 | VDD18 = 1.8 V | 31 | 84 | kΩ |
| 弱いプルダウン抵抗 - JTAGTCK、HWTEST_EN、 TSTPT_0、TSTPT_1、TSTPT_2、TSTPT_3、 TSTPT_4、TSTPT_5、TSTPT_6、TSTPT_7、 GPTP0、GPTP1、GPTP2 | VDD18 = 1.8 V | 31 | 71 | kΩ |

(1) 5.7kΩ 以下の外付けプルアップ抵抗またはプルダウン抵抗 (必要な場合) は、どの電圧条件でも、関連する内部プルアップ抵抗またはプルダウン抵抗を適切に無効化するのに十分です。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

| パラメータ | | 最小値 | 標準値 | 最大値 | 単位 |
|-----------------------------|--|------|-----|---------|----|
| 電源電圧⁽²⁾ | | | | | |
| VDD_CORE | コア ロジック用 0.8V (公称) | -0.3 | | 1.05 | V |
| VDDAR_CORE | SRAM コア (0.8V 公称) | -0.3 | | 1.05 | V |
| VDDS18_LVCMOS1 | 1.8V (公称) 固定 IO 電源、左側 | -0.3 | | 2.2 | V |
| VDDS18_LVCMOS2 | 1.8V (公称) 固定 IO 電源、右側 | -0.3 | | 2.2 | V |
| VDDA_CORE_DSI | DSI 用 0.8V (公称) | -0.3 | | 1.05 | V |
| VDDA18_DSI | DSI 用 1.8V (公称) | -0.3 | | 2.2 | V |
| VDDA_CORE_FPD | FPD コア用 0.8V (公称) 固定電源 | -0.3 | | 1.05 | V |
| VDDA18_FPD | FPD I/O 用 1.8V (公称) 固定電源 | -0.3 | | 2.2 | V |
| VDDA_CORE_Vx1 | Vx1 コア用 0.8V (公称) 固定電源 | -0.3 | | 1.05 | V |
| VDDA18_Vx1 | Vx1 I/O 用 1.8V (公称) 固定電源 | -0.3 | | 2.2 | V |
| VDDA_CORE_USB | USB コントローラ用 0.8V (公称) | -0.3 | | 1.05 | V |
| VDDA18_USB | USB PHY 用 1.8V (公称) | -0.3 | | 2.2 | V |
| VDDA33_USB | USB PHY 用 3.3V (公称) | -0.3 | | 3.6 | V |
| VDDSHV_INTF | PMIC I/O の代わりに PAD1000 をサポートするための、SPI および I ² C I/O 用 1.8V または 3.3V (公称) マルチ電圧 IO 電源 (GPIO[8:0] を含む)。また、HOST_IRQ。 | -0.3 | | 3.8 | V |
| VDDSHV_FLSH | クワッドシリアル フラッシュ インターフェイス用 1.8V または 3.3V (公称) マルチ電圧 IO 電源 | -0.3 | | 3.8 | V |
| VDDA18_DDI | SubLVDS DMD インターフェイス用 1.8V (公称) 固定 IO 電源 | -0.3 | | 2.2 | V |
| VDDS18_OSC | リファレンス発振器 I/O 用 1.8V (公称) 固定電源 | -0.3 | | 2.2 | V |
| VDDA18_PLLM | メイン I/F PLL 用 1.8V (公称) | -0.3 | | 2.2 | V |
| VDDA18_PLLD | DMD I/F PLL 用 1.8V (公称) | -0.3 | | 2.2 | V |
| LDO INTF | | | | | |
| CAP_VDDS_INTF | 3.3V/1.8V デュアル電圧インターフェイス I/O 用 外付けコンデンサ | | 1.8 | 1.98 | V |
| CAP_VDDS_FLSH | 3.3V/1.8V デュアル電圧フラッシュ I/O 用 外付け部コンデンサ | | | | |
| 一般 | | | | | |
| T _J | 動作時接合部温度 | -30 | | 115 | °C |
| T _C | 動作時のケース温度 | -30 | | 105 | °C |
| IO ピンの過渡オーバーシュートおよびアンダーシュート | 信号周期の最大 20% にわたって IO 電源電圧の 20% (図 6-1、IO 過渡電圧範囲を参照) | | | 0.2xVDD | V |
| T _{stg} | 保管温度範囲 | -40 | | 125 | °C |

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

- (2) すべての電圧値は、GND を基準としたものです。

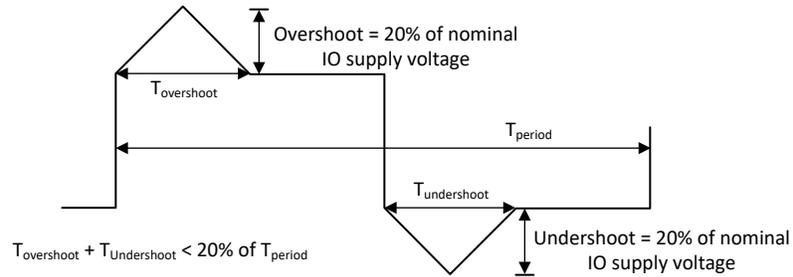


図 6-1. IO 過渡電圧範囲

6.2 ESD 定格

ANSI/ESDA/JEDEC JS-002

| | | パラメータ | 値 | 単位 |
|--------------------|------|---|-------|----|
| V _(ESD) | 静電放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1) | ±1000 | V |
| | | デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 (2) | ±250 | |

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

| パラメータ | | 許容誤差 | 最小値 | 標準値 | 最大値 | 単位 |
|----------------|--|------|-------|-----|-------|----|
| 電源電圧 | | | | | | |
| VDD_CORE | コア ロジック用 0.8V (公称) | | 0.76 | 0.8 | 0.84 | V |
| VDDAR_CORE | SRAM コア (0.8V 公称) | | 0.76 | 0.8 | 0.84 | V |
| VDDS18_LVCMOS1 | 1.8V (公称) 固定 IO 電源、左側 | | 1.647 | 1.8 | 1.953 | V |
| VDDS18_LVCMOS2 | 1.8V (公称) 固定 IO 電源、右側 | | 1.647 | 1.8 | 1.953 | V |
| VDDA_CORE_DSI | DSI 用 0.8V (公称) | | 0.76 | 0.8 | 0.84 | V |
| VDDA18_DSI | DSI 用 1.8V (公称) | | 1.647 | 1.8 | 1.953 | V |
| VDDA_CORE_FPD | FPD コア用 0.8V (公称) 固定電源 | | 0.76 | 0.8 | 0.84 | V |
| VDDA18_FPD | FPD I/O 用 1.8V (公称) 固定電源 | | 1.647 | 1.8 | 1.953 | V |
| VDDA_CORE_Vx1 | Vx1 コア用 0.8V (公称) 固定電源 | | 0.76 | 0.8 | 0.84 | V |
| VDDA18_Vx1 | Vx1 I/O 用 1.8V (公称) 固定電源 | | 1.647 | 1.8 | 1.953 | V |
| VDDA_CORE_USB | USB コントローラ用 0.8V (公称) | | 0.76 | 0.8 | 0.84 | V |
| VDDA18_USB | USB PHY 用 1.8V (公称) | | 1.647 | 1.8 | 1.953 | V |
| VDDA33_USB | USB PHY 用 3.3V (公称) | | 3.02 | 3.3 | 3.52 | V |
| VDDSHV_INTF | PMIC I/O の代わりに PAD1000 をサポートするための、SPI および I ² C I/O 用 1.8V または 3.3V (公称) マルチ電圧 IO 電源 (GPIO[8:0] を含む)。また、HOST_IRQ。 | | 1.647 | 1.8 | 1.953 | V |
| VDDSHV_INTF | 3.3V 動作 | | 3.02 | 3.3 | 3.52 | V |
| VDDSHV_FLSH | クワッドシリアル フラッシュ インターフェイス 用 1.8V または 3.3V (公称) マルチ電圧 IO 電源 | | 1.647 | 1.8 | 1.953 | V |
| VDDSHV_FLSH | 3.3V 動作 | | 3.02 | 3.3 | 3.52 | V |
| VDDA18_DDI | SubLVDS DMD インターフェイス用 1.8V (公称) 固定 IO 電源 | | 1.647 | 1.8 | 1.953 | V |
| VDDS18_OSC | リファレンス発振器 I/O 用 1.8V (公称) 固定電源 | | 1.647 | 1.8 | 1.953 | V |
| VDDA18_PLLM | メイン I/F PLL 用 1.8V (公称) | | 1.647 | 1.8 | 1.953 | V |
| VDDA18_PLLD | DMD I/F PLL 用 1.8V (公称) | | 1.647 | 1.8 | 1.953 | V |
| 一般 | | | | | | |
| T _J | 動作時接合部温度 | | -30 | | 115 | °C |
| T _C | 動作時のケース温度 | | -30 | | 94 | °C |
| T _A | 動作時周囲温度 (1) (2) | | -30 | | 85 | °C |

- (1) 動作時周囲温度範囲の値は、JEDEC JESD51 規格のテストカードや環境を使用するのではなく、「一般的なレイアウトガイドライン」に記載されている基板の設計パラメータに基づいて、プロセス、電圧、温度に対する最小および最大の推定消費電力を考慮して決定されたものです。R_{θJA} に影響する周囲の熱条件は、アプリケーションによって異なります。そのため、最大動作時周囲温度はアプリケーションによって異なります。
 $T_{a_min} = T_{j_min} - (P_{d_min} \times R_{\theta JA}) = 0^{\circ}\text{C} - (\text{host_min_valueW} \times \text{host_value}^{\circ}\text{C/W}) = -\text{host_value}^{\circ}\text{C/W} = -\text{host_calculated_value}^{\circ}\text{C}$
 $T_{a_max} = T_{j_max} - (P_{d_max} \times R_{\theta JA}) = +115^{\circ}\text{C} - (\text{host_max_valueW} \times \text{host_value}^{\circ}\text{C/W}) = +\text{host_calculated_value}^{\circ}\text{C}$
- (2) 動作時周囲温度は、システムの熱設計に依存します。動作時のケース温度は、周囲温度条件において指定範囲を超えてはなりません。

6.4 熱に関する情報

| 熱評価基準 ⁽¹⁾ | テスト条件 | FCCSP | 単位 |
|----------------------|------------------------------------|----------------------------------|------|
| | | 484 ピン | |
| R _{JC} | 接合部からケースへの熱抵抗 | 3.3 | °C/W |
| R _{θJA} | 接合部から空気への熱抵抗 | 強制エアフローが 0m/s のとき ⁽²⁾ | 19.5 |
| | | 強制エアフローが 1m/s のとき ⁽²⁾ | 12.9 |
| | | 強制エアフローが 2m/s のとき ⁽²⁾ | 11.8 |
| Ψ _{JT} | 接合部からパッケージ上面の中心温度までの温度変化、単位消費電力あたり | 0.04 | °C/W |

- (1) 従来および最新の熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーションレポート (SPRA953) を参照してください。
- (2) 熱係数は JEDEC 規格 51 に準拠しています。R_{θJA} は、JEDEC で定義された標準テスト PCB を使用して測定されたパッケージの熱抵抗です。この JEDEC テスト PCB は必ずしもコントローラ PCB を代表しているとは限らないため、報告された熱抵抗は、実際の製品アプリケーションでは誤差が生じる場合があります。実際の熱抵抗は異なる可能性があります。設計段階において放熱性能を評価する上では最良の情報となります。

6.5 電源の電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|-------------------------|-------------|---------------------------|-----|-----|----|
| DLPC8424 | | | | | |
| V _(Supply08) | 0.8V DVH 電源 | コア電源 | 524 | | mA |
| V _(Supply18) | 1.8V DVH 電源 | IO 電源、VbyOne、SubLVDS、GPIO | 80 | | mA |
| V _(Supply33) | 3.3V DVH 電源 | USB サプライ | 1 | | mA |
| DLPC8444 | | | | | |
| V _(Supply08) | 0.8V DVH 電源 | コア電源 | 641 | | mA |
| V _(Supply18) | 1.8V DVH 電源 | IO 電源、VbyOne、SubLVDS、GPIO | 212 | | mA |
| V _(Supply33) | 3.3V DVH 電源 | USB サプライ | 1 | | mA |

6.6 ピンの電気的特性

| パラメータ | | IO のタイプ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|-----------------|-------------------------|---------|---|------|-----|------|----|
| V _{IH} | High レベル入力スレッシ ヨルド電圧 | 9 | LVC MOS 1.8V のみ / 6.5mA | 1.26 | 1.8 | 1.98 | V |
| | | 10 | LVC MOS 1.8V のみ / 8mA | 1.26 | 1.8 | 1.98 | V |
| | | 11 | LVC MOS 1.8V のみ / 12mA | 1.26 | 1.8 | 1.98 | V |
| | | 17 | LVC MOS (1.8 または 3.3V)/7.5mA | 1.26 | 1.8 | 1.98 | V |
| | | 16 | LVC MOS (1.8 または 3.3V)/8mA | 1.26 | 1.8 | 1.98 | V |
| V _{IL} | Low レベル入力スレッシ ヨルド電圧 | 9 | LVC MOS 1.8V のみ / 6.5mA | -0.3 | | 0.58 | V |
| | | 10 | LVC MOS 1.8V のみ / 8mA | -0.3 | | 0.58 | V |
| | | 11 | LVC MOS 1.8V のみ / 12mA | -0.3 | | 0.58 | V |
| | | 17 | LVC MOS (1.8 または 3.3V)/7.5mA | -0.3 | | 0.49 | V |
| | | 16 | LVC MOS (1.8 または 3.3V)/8mA | -0.3 | | 0.49 | V |
| V _{OH} | High レベル出力スレッシ ヨルド電圧 | 9 | LVC MOS 1.8V のみ / 6.5mA | 1.35 | | | V |
| | | 10 | LVC MOS 1.8V のみ / 8mA | 1.35 | | | V |
| | | 11 | LVC MOS 1.8V のみ / 12mA | 1.35 | | | V |
| | | 12 | LVC MOS 1.8V のみ / 24mA | 1.35 | | | V |
| | | 17 | LVC MOS (1.8 または 3.3V)/7.5mA | 1.35 | | | V |
| | | 16 | LVC MOS (1.8 または 3.3V)/8mA | 1.35 | | | V |
| V _{OL} | Low レベル出力スレッシ ヨルド電圧 | 9 | LVC MOS 1.8V のみ / 6.5mA | | | 0.45 | V |
| | | 10 | LVC MOS 1.8V のみ / 8mA | | | 0.45 | V |
| | | 11 | LVC MOS 1.8V のみ / 12mA | | | 0.45 | V |
| | | 12 | LVC MOS 1.8V のみ / 24mA | | | 0.45 | V |
| | | 17 | LVC MOS (1.8 または 3.3V)/7.5mA | | | 0.45 | V |
| | | 16 | LVC MOS (1.8 または 3.3V)/8mA | | | 0.45 | V |
| | | 18 | I ² C セル 1.8V/3.3V – 3mA @3.3V | | | 0.4 | V |
| I _{IH} | High レベル入力電流 | 9 | LVC MOS 1.8V のみ / 6.5mA | | | 10 | μA |
| | | 10 | LVC MOS 1.8V のみ / 8mA | | | 10 | μA |
| | | 11 | LVC MOS 1.8V のみ / 12mA | | | 10 | μA |
| | | 17 | LVC MOS (1.8 または 3.3V)/7.5mA | | | 10 | μA |
| | | 16 | LVC MOS (1.8 または 3.3V)/8mA | | | 10 | μA |
| | | 18 | I ² C セル 1.8V/3.3V – 3mA @3.3V | | | 10 | μA |
| I _{IL} | Low レベル入力電流 | 9 | LVC MOS 1.8V のみ / 6.5mA | -10 | | | μA |
| | | 10 | LVC MOS 1.8V のみ / 8mA | -10 | | | μA |
| | | 11 | LVC MOS 1.8V のみ / 12mA | -10 | | | μA |
| | | 17 | LVC MOS (1.8 または 3.3V)/7.5mA | -10 | | | μA |
| | | 16 | LVC MOS (1.8 または 3.3V)/8mA | -10 | | | μA |
| | | 18 | I ² C セル 1.8V/3.3V – 3mA @3.3V | -10 | | | μA |
| I _{OH} | High レベル出力電流 | 9 | LVC MOS 1.8V のみ / 6.5mA | | | 6.5 | mA |
| | | 10 | LVC MOS 1.8V のみ / 8mA | | | 8 | mA |
| | | 11 | LVC MOS 1.8V のみ / 12mA | | | 12 | mA |
| | | 17 | LVC MOS (1.8 または 3.3V)/7.5mA | | | 6 | mA |
| | | 16 | LVC MOS (1.8 または 3.3V)/8mA | | | 8 | mA |
| | | 18 | I ² C セル 1.8V/3.3V – 3mA @3.3V | | | 3 | mA |

6.6 ピンの電気的特性 (続き)

| パラメータ | | IO のタイプ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|-----------------|-------------|---------|---|-----|-----|-----|----|
| I _{OL} | Low レベル出力電流 | 9 | LVC MOS 1.8V のみ / 6.5mA | | | 6.5 | mA |
| | | 10 | LVC MOS 1.8V のみ / 8mA | | | 8 | mA |
| | | 11 | LVC MOS 1.8V のみ / 12mA | | | 12 | mA |
| | | 17 | LVC MOS (1.8 または 3.3V)/7.5mA | | | 6 | mA |
| | | 16 | LVC MOS (1.8 または 3.3V)/8mA | | | 8 | mA |
| | | 18 | I ² C セル 1.8V/3.3V – 3mA @3.3V | | | 3 | mA |

6.7 DMD SubLVDS インターフェイスの電気的特性

自由空気での温度範囲内で動作 (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|-----------------------|---|-------|-------|-------|-------|----------|
| V_{CM} | 定常状態の同相電圧 | | 0.8 | 0.9 | 1 | V |
| $V_{CM} (\Delta p.p)$ | V_{CM} 変動のピークツーピーク | | | | 75 | mV |
| $V_{CM} (\Delta ss)$ | V_{CM} 変動の定常状態 | | -10 | | 10 | mV |
| $ V_{OD} $ | 差動出力電圧の大きさ | | 170 | 250 | 350 | mV |
| $V_{OD} (\Delta)$ | V_{OD} 変動 (ロジック状態間) | | -10 | | 10 | mV |
| V_{OH} | シングルエンド出力電圧 High | | 0.825 | 1.025 | 1.175 | V |
| V_{OL} | シングルエンド出力電圧 Low | | 0.625 | 0.775 | 0.975 | V |
| T_{Xterm} | 内部差動終端 | | 80 | 100 | 120 | Ω |
| T_{Xload} | 100 Ω の差動 PCB トレース (50 Ω 伝送ライン) | | 0.25 | | 10 | インチ |

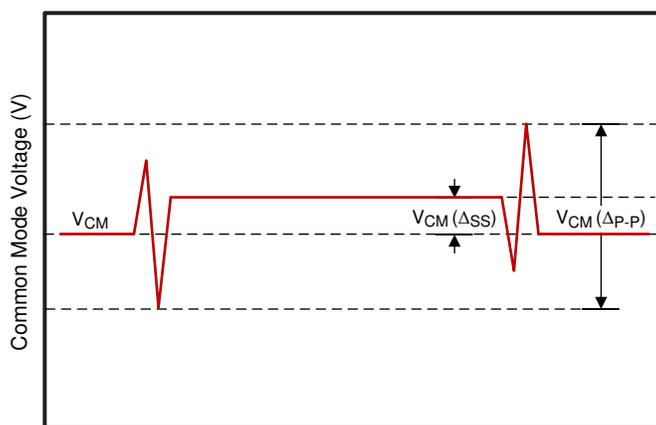


図 6-2. 同相電圧

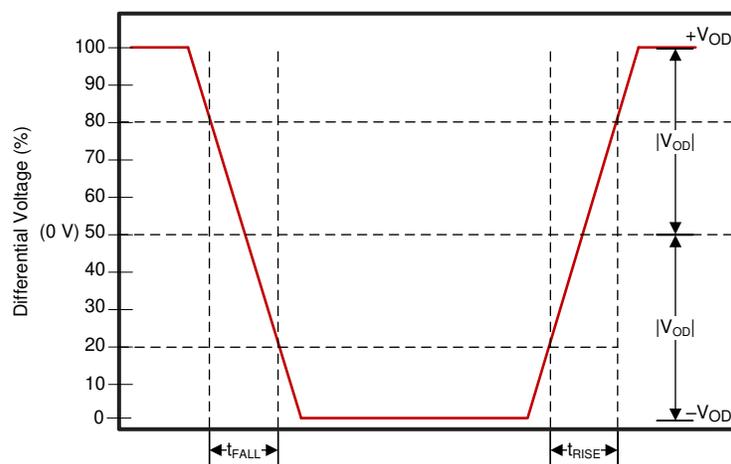


図 6-3. 差動出力信号

6.8 DMD 低速インターフェイスの電気的特性

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|--------------------|-------------------------------|---------------------------------------|------|-----|------|-----|
| T_{Xload} | 100Ω の差動 PCB トレース (50Ω 伝送ライン) | | | | 10 | インチ |
| $V_{OH(DC)}$ | DC シングルエンド出力電圧 High | $0.7 \times V_{DD518_LVCMOSX}$ | 1.35 | | | V |
| $V_{OL(DC)}$ | DC シングルエンド出力電圧 Low | $0.3 \times V_{DD518_LVCMOSX}$ | | | 0.45 | V |
| $V_{OH(AC)}^{(1)}$ | AC シングルエンド出力電圧 High | | 1.1 | | | V |
| $V_{OL(AC)}^{(2)}$ | AC シングルエンド出力電圧 Low | $-0.5, 0.2 \times V_{DD518_LVCMOSX}$ | | | 0.6 | V |

- (1) $V_{OH(AC)}$ の最大値はオーバーシュートに適用されます。DMD_LSX_WDATA ラインと DMD_LSX_CLK ラインに適切な 43Ω 直列終端抵抗が含まれている場合、DMD は LPSDR 入力 AC 仕様内で動作します。
- (2) $V_{OH(AC)}$ の最小値はアンダーシュートに適用されます。DMD_LS_WDATA ラインと DMD_LS_CLK ラインに適切な 43Ω 直列終端抵抗が含まれている場合、DMD は LPSDR 入力 AC 仕様内で動作します。

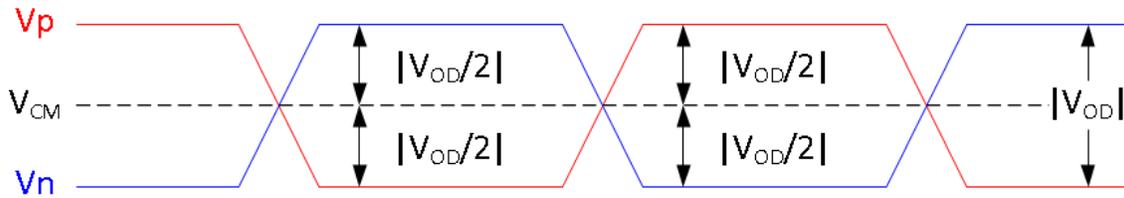


図 6-4. DMD 低速差動電圧パラメータ

6.9 V-by-One インターフェイスの電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

| パラメータ ⁽¹⁾ | | 最小値 | 公称値 | 最大値 | 単位 |
|----------------------|-----------------|------------|-----|-----|----------|
| V_{DIFF} | 入力ピーク ツー ピーク 差動 | $2xV_{ID}$ | | | mVppd |
| $ V_{ID} $ | 差動入力電圧 | 50 | | | mV |
| R_{Xterm} | 内部差動終端 | 80 | 100 | 120 | Ω |

(1) 詳細は、『[V-by-One インターフェイス規格](#)』を参照してください。

6.10 FPD-Link LVDS の電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

| パラメータ (1) | パラメータ (1) | 最小値 | 公称値 | 最大値 | 単位 |
|--------------------|--|-----|------|------|-------|
| V _{DIFF} | 入力ピークツーピーク差動 フェイルセーフ (オープン回路) モード無効 | 200 | | 1200 | mVppd |
| | 入力ピークツーピーク差動 フェイルセーフ (オープン回路) モード有効 | 200 | | 908 | |
| V _{ID} | 差動入力電圧 フェイルセーフ (オープン回路) モード無効 | 100 | | 600 | mV |
| | 差動入力電圧 フェイルセーフ (オープン回路) モード有効 | 100 | | 454 | |
| V _{CM} | 定常同相電圧 (2) フェイルセーフ (オープン回路) モード無効 | 0.3 | 1.25 | 1.45 | V |
| | 定常同相電圧 (2) フェイルセーフ (オープン回路) モード有効 | 0.3 | 1.25 | 1.45 | |
| R _{Xterm} | 内部差動終端 | 80 | 100 | 120 | Ω |

- (1) 「FPD-Link インターフェイス」を参照してください。
- (2) レシーバへの入力で V_{CM} が V_{CM(min)} を下回ると、オープン入力検出回路が自動的に有効になります。この検出回路によって、入力 V_{CM} が V_{CM(min)} を上回るまで、レシーバは無効になります。

6.11 USB の電气的特性

自由空気での動作温度範囲内 (特に記述のない限り)

| パラメータ (1) | | 最小値 | 公称値 | 最大値 | 単位 |
|----------------------------|---------------------------|--|-----|-------|------------|
| 低速およびフルスピード (入力レベル) | | | | | |
| V _{IH} | シングルエンド入力電圧 High (駆動) | 2 | | | V |
| V _{IL} | シングルエンド入力電圧 Low | | | 0.8 | V |
| V _{DI} | 差動入力感度 | (DP) - (DM) | | 0.2 | V |
| V _{CM} | 作動同相電圧 | V _{DI} 範囲を含む | | 500 | mV |
| 低速およびフルスピード (出力レベル) | | | | | |
| V _{OL} | Low レベル出力電圧 | 1.425k Ω プルアップを 3.6V に接続した場合 | | 0.3 | V |
| V _{OH} | 高レベル出力電圧 | 14.25k Ω プルダウンを 接続した場合 | | 3.6 | V |
| 高速 (入力レベル) | | | | | |
| V _{HSSQ} | 高速スケルチ検出スレッショルド (差動信号の振幅) | 100 | | 150 | mV |
| 高速 (出力レベル) | | | | | |
| 終端 | | | | | |
| R _{PU} | バス プルアップ抵抗 | 1.425 | | 1.575 | K Ω |
| R _{PD} | バス プルダウン抵抗 | 14.25 | | 15.75 | K Ω |
| Z _{HSDRV} | 高速ドライブ出力インピーダンス | 40.5 | | 49.5 | Ω |

(1) VDDA33_USB を基準とする。

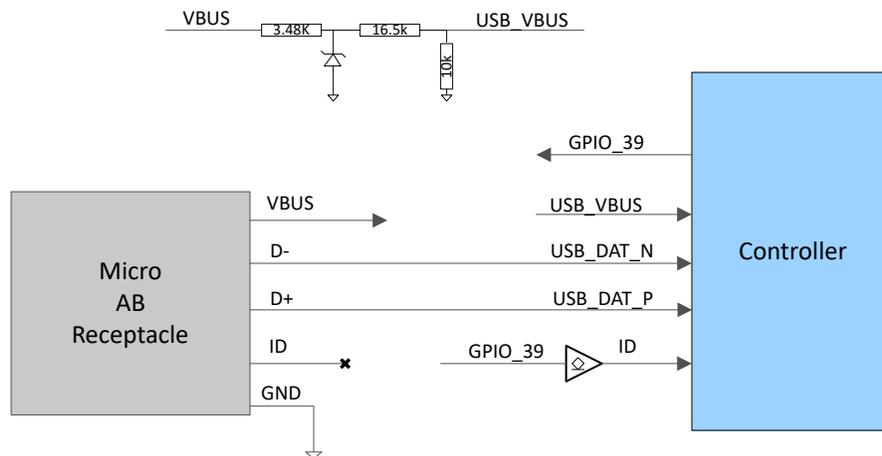


図 6-5. DLPC84x4 コントローラの USB の使用例

6.12 システム発振器のタイミング要件

| パラメータ | | | 最小値 | 公称値 | 最大値 | 単位 |
|--------------------|------------------------|---|--------|--------|--------|-----|
| f_{clock} | クロック周波数、REFCLK (1) (2) | PLL: 40MHz | 39.992 | 40.000 | 40.008 | MHz |
| t_c | サイクル時間、REFCLK(1) | PLL: 40MHz | 24.995 | 25.000 | 25.005 | ns |
| $t_{w(H)}$ | パルス幅 (3)、REFCLK、High | PLL: 40MHz 50%~50% のリファレンス ポイント (信号) | 11.25 | | | ns |
| $t_{w(L)}$ | パルス幅 (3)、REFCLK、Low | PLL: 40MHz 50%~50% のリファレンス ポイント (信号) | 11.25 | | | ns |

- (1) REFCLK 入力は、拡散スペクトラム クロックをサポートしていません。
- (2) マルチコントローラシステムでは、システム内のすべてのコントローラの REFCLK 入力を駆動するために単一の発振器を使用する必要があります。
- (3) 外部のデジタル発振器によって駆動されている場合にのみ適用されます。これは 1 シグマ RMS の値です。

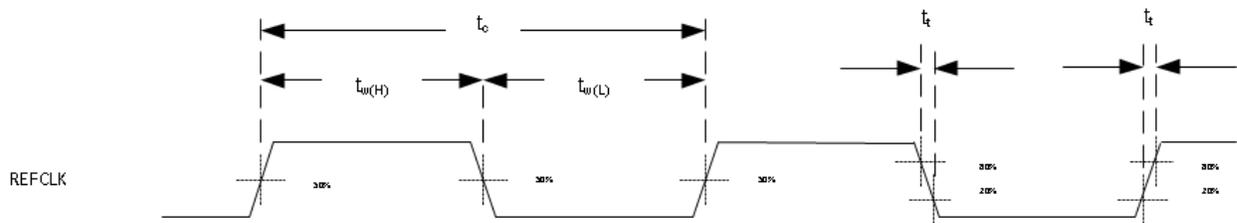


図 6-6. 同相電圧

6.13 電源およびリセットのタイミング要件

自由空気での動作温度範囲内 (特に記述のない限り)

| パラメータ | | | 最小値 | 最大値 | 単位 |
|----------------------------|---|--|-----|-----|-------------|
| $t_{\text{RAMP-UP}}$ | 電源ランプアップ時間。(1) | 各電源のランプアップ時間: $\text{TOV} \times 10\% \sim \text{TOV} \times 90\%$ 、 $\text{TOV} = \text{標準動作電圧}$ 。 | | 10 | ms |
| | | | 18 | | mv/ μ s |
| $t_{\text{RAMP-UP-TOTAL}}$ | 合計電源ランプアップ時間。(1) | 0.8V、1.8V、および 3.3V 電源がランプアップを完了する必要がある合計時間。ランプアップ時間: $\text{TOV} \times 10\% \sim \text{TOV} \times 90\%$ 、 $\text{TOV} = \text{標準動作電圧}$ 。 | | 100 | ms |
| $t_{\text{RAMP-DOWN}}$ | 電源ランプダウン時間。(1) | 各電源のランプダウン時間: $\text{TOV} \times 90\% \sim \text{TOV} \times 10\%$ 、 $\text{TOV} = \text{標準動作電圧}$ 。 | 0 | | ms |
| t_{w1} | パルス幅、非アクティブ Low、RESETZ | RESETZ 非アクティブ時間 50%~50% のリファレンスポイント (信号) | 100 | | ms |
| t_{t1} | 遷移時間、RESETZ $t_{\text{t1}} = t_{\text{f1}}$ および t_{r1} | RESETZ の立ち上がり / 立ち下がり時間 (2) 20~80% のリファレンスポイント (信号) | | 25 | μ s |
| $t_{\text{PROJ_ON}}$ | PROJ_ON 立ち下がり時間遅延 | いずれかの電源が 80% 以下になるまでの PROJ_ON の立ち下がり遅延時間 | 10 | | ms |
| t_{REFCLKA} | REFCLK の安定までの時間(3) | POSENSE の前の REFLCKA の安定までの時間 | 1 | | ms |

- (1) 0.8V の電源はすべて同じソースから供給されることを想定していますが、コントローラに入力される前に追加のフィルタリングが行われるものもあります。このため、これらの電源は (フィルタリングによる違いを除けば) 一緒にランプすることが想定されています。1.8V と 3.3V の電源についても、これと同じことが言えます。
- (2) この信号のノイズがヒステリシス スレッシュホールドを下回っている限りということです。
- (3) この遅延要件パラメータは REFCLK 発振器の設計によって定義され、電源がランプアップし、安定した外部リファレンスが供給された後、RESETZ が解除される前に、内部発振器がロックするのに必要な最小時間を定義します。

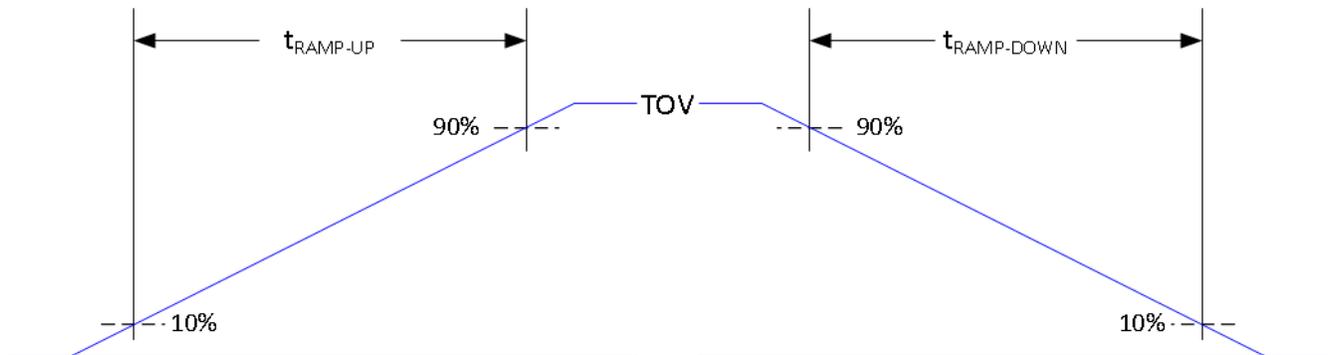


図 6-7. 電源ランプ時間

6.14 V-by-One インターフェイスの一般的なタイミング要件

| パラメータ (1) | | | 最小値 | 最大値 | 単位 |
|--------------------------|---------------------|--------------|------|------|------|
| f_{clock} | ソース クロック周波数 | 1 レーン～8 レーン | 20 | 600 | MHz |
| $f_{\text{link-clk}}$ | レーンあたりのリンク クロック周波数 | 8 レーン | 43 | 75 | MHz |
| | | 4 レーン | 43 | 85 | MHz |
| | | 2 レーン | 43 | 85 | MHz |
| | | 1 レーン | 43 | 85 | MHz |
| f_{link} | リンク転送レート | 3 バイト モード | 2 | 2.55 | Gbps |
| | | 4 バイトモード | 2 | 3 | Gbps |
| | | 5 バイトモード | 2 | 3 | Gbps |
| t_{RBIT} | 単位間隔 | 3 バイト モード | 392 | 500 | ps |
| | | 4 バイトモード | 294 | 500 | ps |
| | | 5 バイトモード | 294 | 500 | ps |
| t_{A} | ジッタ マージン (2) | | 0.25 | | UI |
| t_{B} | 立ち上がり / 立ち下がり時間 (2) | | 0.05 | | UI |
| t_{EYE} | 差動データアイ (2) | 差動データアイ (2) | 0.5 | | UI |
| $t_{\text{skew_intra}}$ | 許容ペア内スキュー | 許容ペア内スキュー | 0.3 | 5 | UI |
| $t_{\text{skew_inter}}$ | 許容ペア間スキュー | 許容ペア間スキュー | | 5 | UI |
| T_{j} | 総ジッタ | | | 0.5 | UI |
| R_{j} | ランダム ジッタ | 10^{12} UI | | 0.2 | UI |
| $D_{\text{j_ISI}}$ | 決定的ジッタ (ISI) | | | 0.2 | UI |
| S_{j} | 正弦波ジッタ | | | 0.1 | UI |

- (1) V-by-One の高速テクノロジーは、3 バイト、4 バイト、5 バイトの転送モードに加えて、1 レーン、2 レーン、4 レーン、8 レーンでの動作にも対応しています
- (2) V-by-One のタイミングを参照してください

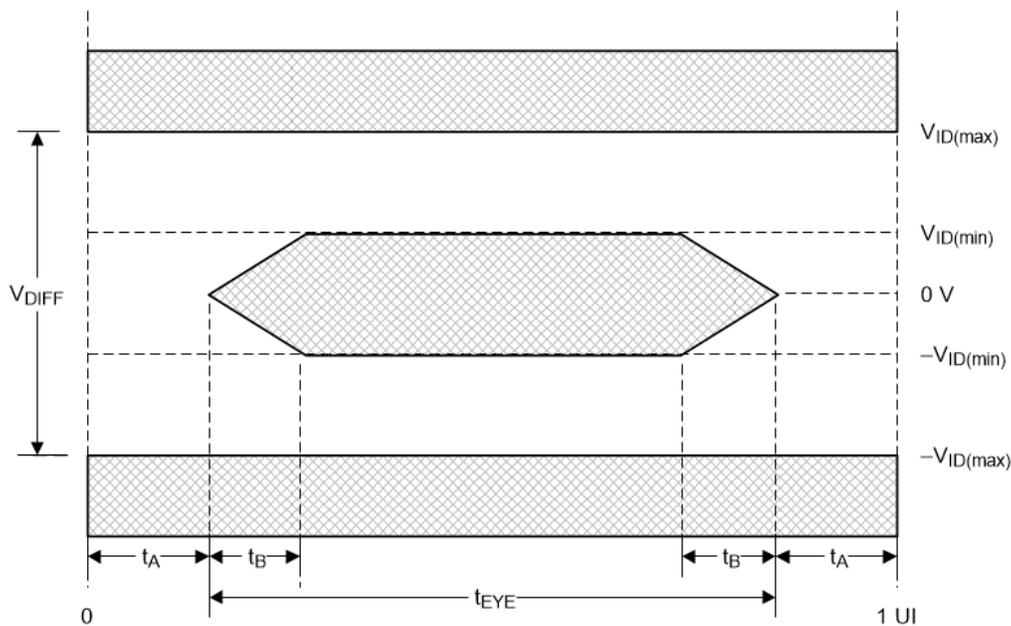


図 6-8. V-by-One タイミング

6.15 FPD-Link インターフェイスの一般的なタイミング要件

| パラメータ | | | 最小値 | 最大値 | 単位 |
|--------------------------|--|---------------------------------------|-------|-------|------|
| f_{clock} | クロック周波数、FPDA_CLK_P/N、FPDB_CLK_P/N | 1 ポート | 10 | 160 | MHz |
| t_{clock} | クロック周期、FPDA_CLK_P/N、FPDB_CLK_P/N | | 6.25 | 100 | ns |
| t_{RBIT} | 単位間隔 | 1 ポート | | 7.143 | ps |
| | | ポートごと | 0.865 | | ps |
| $t_{\text{skew_ports}}$ | 同じコントローラ上のポート間および異なるコントローラ上のポート間のクロック間スキューマージン | | | 1 | クロック |
| t_{A} | クロックとデータ間のジッタ マージンとスキューマージン (同じポート上) | $f_{\text{clock}} \leq 100\text{MHz}$ | | 0.2 | UI |
| | | $f_{\text{clock}} > 100\text{MHz}$ | | 0.15 | UI |
| t_{B} | 立ち上がり / 立ち下がり時間 | | | 0.1 | UI |
| t_{EYE} | 差動データ アイ | | | 0.7 | UI |

6.16 フラッシュ インターフェ이스のタイミング要件

| パラメータ | | | 最小値 | 最大値 | 単位 |
|---------------------|---------------------------|------------------|-------|------|-----|
| f_{CLOCK} | FLSH_CLK 周波数 | | 0.586 | 60.0 | MHz |
| t_{CLKPER} | FLSH_CLK 周期 | 50% のリファレンス ポイント | 16.66 | 1707 | ns |
| t_{WH} | FLSH_CLK High パルス幅 | 50% のリファレンス ポイント | 7.5 | | ns |
| t_{WL} | FLSH_CLK Low パルス幅 | 50% のリファレンス ポイント | 7.5 | | ns |
| $t_{\text{P_SU}}$ | FLSH_DATA[3:0] 入力セットアップ時間 | FLSH_CLK ↓ の前 | 7.2 | | ns |
| $t_{\text{P_H}}$ | FLSH_DATA[3:0] 入力ホールド時間 | FLSH_CLK ↓ の後 | 0.0 | | ns |

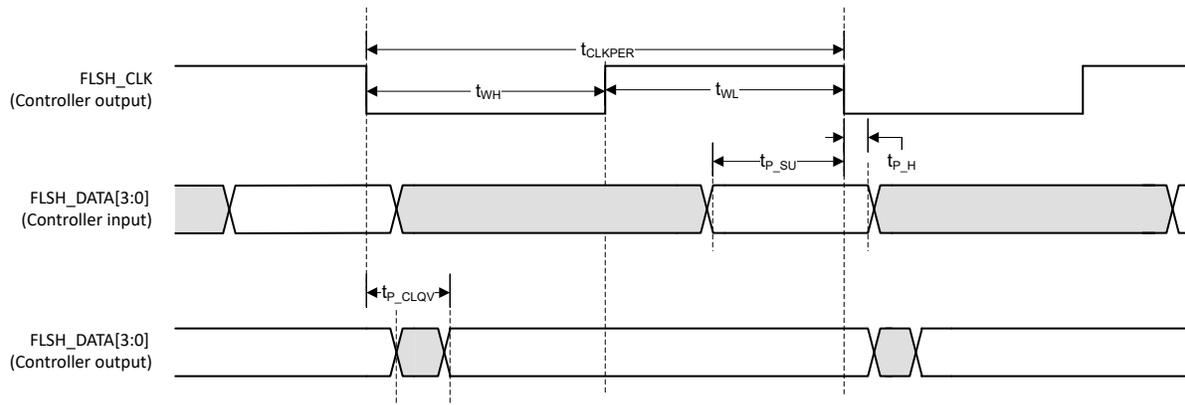


図 6-9. フラッシュ インターフェースのタイミング

6.17 ソース フレームのタイミング要件

| パラメータ (1) (7) | | | 最小値 | 標準値 | 最大値 | 単位 |
|---------------|----------------------------------|------------------|------------------------|------------------------|------|------|
| t_{p_vsw} | VSYNC アクティブ パルス幅 | 50% のリファレンス ポイント | 1 | 10 | | ライン |
| t_{p_vbp} | 垂直バック ポーチ (VBP) | 50% のリファレンス ポイント | 2 ⁽²⁾ (3) | 72 ⁽²⁾ (3) | | ライン |
| t_{p_vfp} | 垂直フロント ポーチ (VFP) | 50% のリファレンス ポイント | 1 ⁽²⁾ (3) | 8 ⁽²⁾ (3) | | ライン |
| t_{p_tvb} | 総垂直ブランキング (TVB) | 50% のリファレンス ポイント | 30 ⁽²⁾ (3) | 90 ⁽²⁾ (3) | | ライン |
| t_{p_hsw} | HSYNC アクティブ パルス幅 | 50% のリファレンス ポイント | 3 ⁽⁴⁾ (5) | 88 ⁽⁴⁾ (5) | | PCLK |
| t_{p_hbp} | 水平バック ポーチ (HBP) | 50% のリファレンス ポイント | 4 ⁽⁴⁾ (5) | 296 ⁽⁴⁾ (5) | | PCLK |
| t_{p_hfp} | 水平フロント ポーチ (HFP) | 50% のリファレンス ポイント | 7 ⁽⁴⁾ (5) | 176 ⁽⁴⁾ (5) | | PCLK |
| t_{p_thb} | 総水平ブランキング (THB) ⁽¹⁰⁾ | 50% のリファレンス ポイント | 80 ⁽⁴⁾ (5) | 560 ⁽⁴⁾ (5) | | PCLK |
| APPL | ラインあたりのアクティブピクセル数 ⁽⁸⁾ | | 960 ⁽⁶⁾ (9) | 3840 ⁽⁶⁾ | 3840 | ピクセル |
| ALPF | フレームあたりのアクティブ ライン数 | | 540 ⁽⁶⁾ (9) | 2160 ⁽⁶⁾ | 2160 | ライン |

- (1) 表の要件は、4K DLP ディスプレイ システムのすべての外部ソースに適用されます。
- (2) 総垂直ブランキング: VBP + VFP + VS の合計です。
- (3) 必要な垂直ブランキング (TVB あたり) は、VFP と VBP の最小値が満たされている限り、自由に割り当てることができます。
- (4) 総水平ブランキング: HBP + HFP + HS の合計です。
- (5) 必要な水平ブランキング (THB あたり) は、HFP、HBP、HS の最小値が満たされている限り、自由に割り当てることができます。
- (6) 最小の APPL と ALPF を満たすには、最小ピクセルクロックとブランキング要件を維持するために、非標準のタイミングが必要です。定義された最小値は、V-by-One の基準として標準的な 720p 入力ソースに基づいています。他のソースは 540p まで対応することができます。
- (7) ブランキングを低減した 4K 60Hz タイミングを含む、CVT 1.2 規格に準拠したビデオパラメータの制限。
- (8) APPL は、V-by-One ビデオ入力を使用する場合、受信レーン数 (1、2、4、8) の倍数である必要があります。
- (9) V-by-One は、1280x720 までのビデオソースのみに対応可能です。
- (10) 水平ブランキングの合計をビデオソースで使用されるレーン数で除算するには、整数を使用する必要があります。ブランキングが 2 ピクセル以上変動する場合、ソースはロックされません。

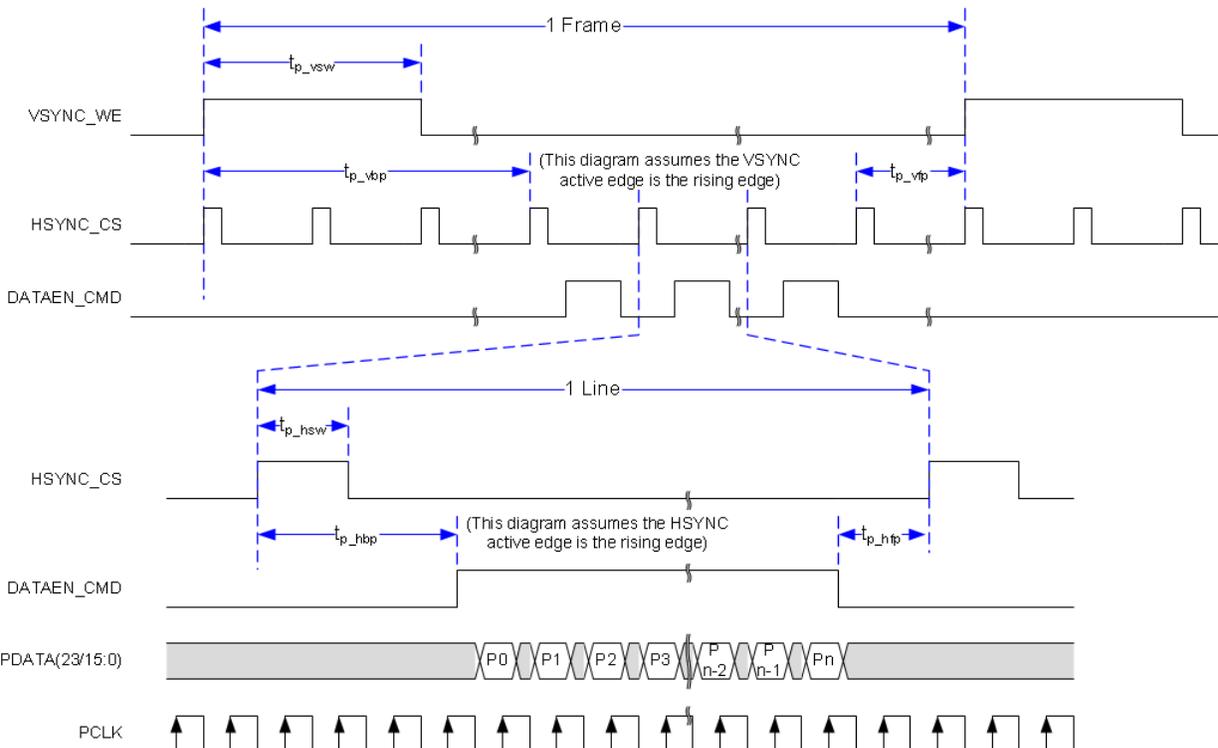


図 6-10. ソース フレーム タイミング

6.18 同期シリアルポートインターフェイスのタイミング要件

| パラメータ | | 最小値 | 最大値 | 単位 | |
|-------------------|--|---|-------|------|-----|
| SSP0 ホスト | | | | | |
| F _{CLK} | SSP*_CLK 周波数 | ブロードキャスト書き込み転送 (1) (2) | 0.457 | 75 | MHz |
| | | 全二重 SPI 転送 | 0.457 | 50 | MHz |
| T _{CLK} | SSP*_CLK クロック周期 | ブロードキャスト書き込み転送 (1) (2) | 13.33 | 2188 | ns |
| | | 全二重 SPI 転送 | 20.00 | 2188 | ns |
| t _{HPW} | SSP*_CLK High/Low パルス幅 | ブロードキャスト書き込み転送 (1) (2) | 6.0 | | ns |
| | | 全二重 SPI 転送 | 9.2 | | ns |
| t _{LPW} | SSP*_CLK High/Low パルス幅 | ブロードキャスト書き込み転送 (1) (2) | 6.0 | | ns |
| | | 全二重 SPI 転送 | 9.2 | | ns |
| t _s | SSP*_DI 入力セットアップ時間 | SSP*_CLK ↓ の前 (モード 0 と 3) (2) | 9.4 | | ns |
| | | SSP*_CLK ↑ の前 (モード 1 と 2) | 9.4 | | ns |
| t _H | SSP*_DI 入力ホールド時間 | SSP*_CLK ↓ の前 (モード 0 と 3) (2) | 0 | | ns |
| | | SSP*_CLK ↑ の前 (モード 1 と 2) | 0 | | ns |
| t _{DOUT} | SSP*_DO 出力遅延 (2) | SSP*_CLK ↓ の後 (モード 0 と 3) | -2.5 | 2.5 | ns |
| | | SSP*_CLK ↑ の後 (モード 1 と 2) | -2.5 | 2.5 | ns |
| | | SSP*_ (B)CSZ ↓ の後 (モード 0 と 2) | -2.5 | 2.5 | ns |
| | | SSP*_ (B)CSZ ↑ の後 (モード 1 と 3) | -2.5 | 2.5 | ns |
| SSP1 ターゲット | | | | | |
| t _{CSZD} | SPI 転送間の SSP*_ (B)CSZ* デアサート (つまり、High) 時間 (3) | | 13.33 | | ns |
| t _{CSS} | SSP*_ (B)CSZ* 入力セットアップ時間 (4) | SSP*_CLK ↑ の前の SSP*_ (B)CSZ ↓ (モード 0 と 1) | 6.0 | | ns |
| | | SSP*_CLK ↓ の前の SSP*_ (B)CSZ ↓ (モード 2 と 3) | 6.0 | | ns |
| t _{CSH} | SSP*_ (B)CSZ* 入力セットアップ時間 (4) | SSP*_CLK ↓ の後の SSP*_ (B)CSZ ↑ (モード 0 と 1) | 6.0 | | ns |
| | | SSP*_CLK ↑ の後の SSP*_ (B)CSZ ↑ (モード 2 と 3) | 6.0 | | ns |
| t _s | SSP*_DI 入力セットアップ時間 | SSP*_CLK ↑ の前 (モード 0 と 3) | 2.5 | | ns |
| | | SSP*_CLK ↓ の前 (モード 1 と 2) | 2.5 | | ns |
| t _H | SSP*_DI 入力ホールド時間 | SSP*_CLK ↑ の前 (モード 0 と 3) | 2.5 | | ns |
| | | SSP*_CLK ↓ の前 (モード 1 と 2) | 2.5 | | ns |
| t _{DOUT} | SSP*_DO 出力遅延 | SSP*_CLK ↓ の後 (モード 0 と 3) | 0 | 8.0 | ns |
| | | SSP*_CLK ↑ の後 (モード 1 と 2) | 0 | 8.0 | ns |
| | | SSP*_CSZ ↓ の後 (モード 0 と 3) | 0 | 8.0 | ns |
| | | SSP*_CSZ ↑ の後 (モード 1 と 2) | 0 | 8.0 | ns |

- (1) ブロードキャスト書き込み転送は、SSP ホストが SSP*_DO を出力しますが、SSP*_DI 入力を受けない半二重転送です。このため、SSP*_DI 入力のセットアップ / ホールド タイミング チェックはブロードキャスト書き込み転送中には適用されません。
- (2) SSP0 SPI インターフェイスと SSP1 SPI インターフェイスで適用可能なコントローラピンを、「ペリフェラル インターフェイス」に示します。
- (3) 少なくとも 1 SSP*_CLK 周期
- (4) 少なくとも 0.5 SSP*_CLK 周期

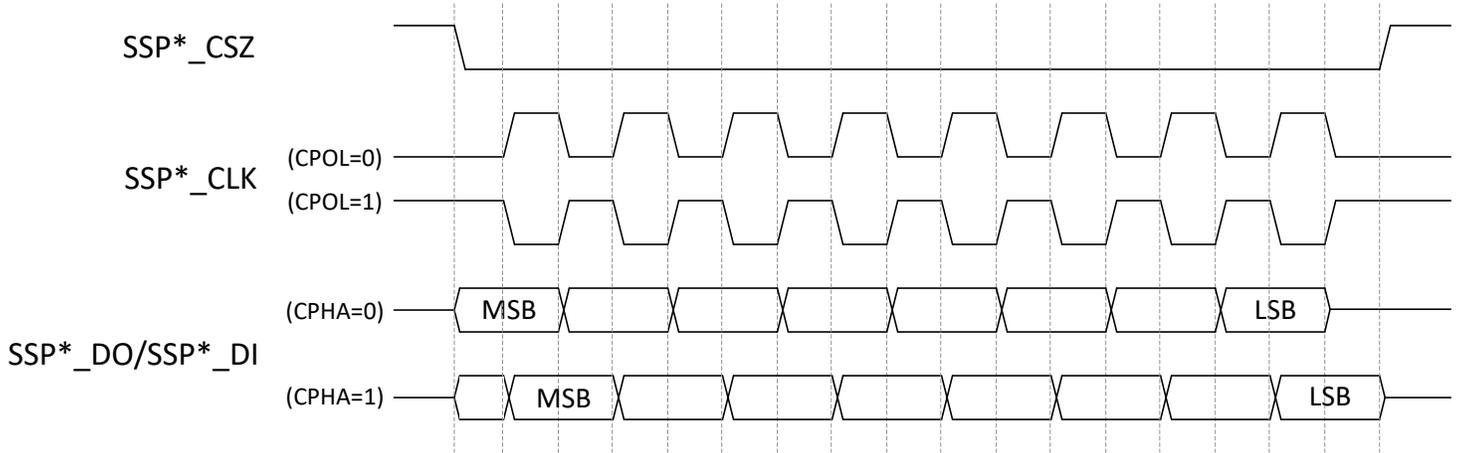


図 6-11. SPI クロッキング モードのタイミング図

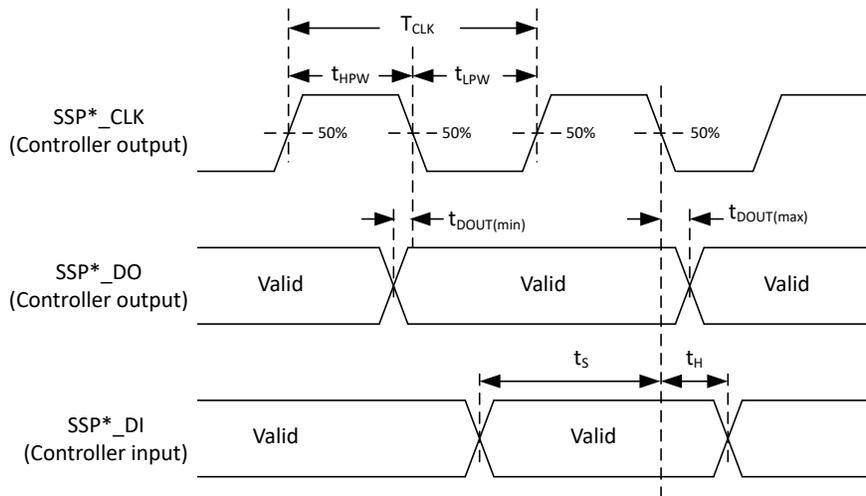


図 6-12. SSP ホスト モード (モード 0/3) のタイミング図

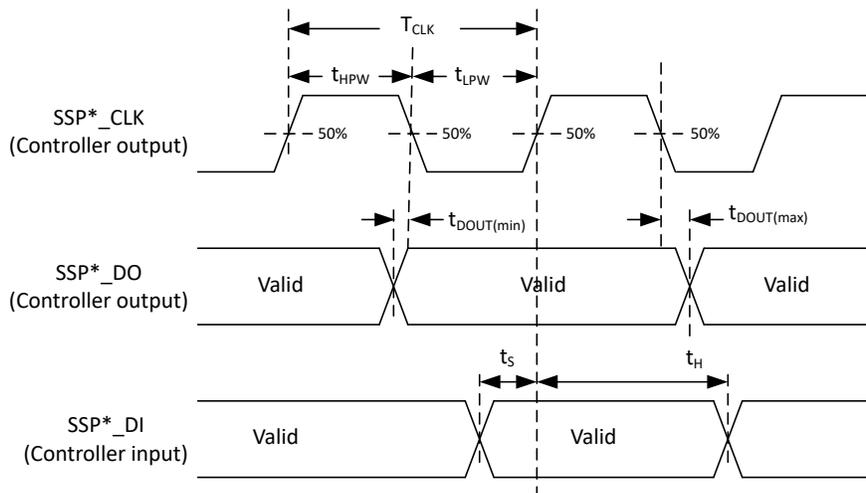


図 6-13. SSP ターゲット モード (モード 0/3) のタイミング図

6.19 I2C インターフェイスのタイミング要件

| パラメータ (1) | | 最小値 | 最大値 | 単位 |
|--------------------|--------------------------------------|-----------------|-----|-----|
| f _{clock} | クロック周波数、IICx_SCL (2) (50% リフレンスポイント) | フル スピード | 400 | kHz |
| | | スタンダード モード | 100 | kHz |
| C _L | 容量性負荷 (各バス ライン) | 容量性負荷 (各バス ライン) | 200 | pF |

- (1) I2C バス仕様に基づくすべての I2C タイミングに適合しています (指定された容量性負荷を除く)。詳細は、Phillips-NXP 仕様のバージョン 2.1 を参照してください。
- (2) 定義上、I2C トランザクションはバス上で最も低速なデバイスの速度で動作します。フル スピード動作を行うには、バス上の他のすべての I2C デバイスがフル スピード動作に対応している必要があります。I2C プルアップ抵抗の値だけでなく、ラインの長さ (容量による) も、実現可能なクロックレートを低下させる可能性があります。

6.20 プログラマブル出力クロックのタイミング要件

| パラメータ | | 最小値 | 最大値 | 単位 |
|----------------------|-----------------------------------|----------------------------|---------|-----|
| f_{clock} | クロック周波数、OCLKA ⁽¹⁾ | 0.987 | 42.86 | MHz |
| t_{clock} | クロック周期、OCLKA | 23.33 | 1013.17 | ns |
| $t_{\text{w(H)}}$ | パルス幅 High、OCLKA (50% リファレンス ポイント) | $(t_{\text{clock}}/2) - 2$ | | ns |
| $t_{\text{w(L)}}$ | パルス幅 Low、OCLKA (50% リファレンス ポイント) | $(t_{\text{clock}}/2) - 2$ | | ns |
| t_{cclkjit} | ジッタ、OCLKA | | 200 | ps |
| f_{clock} | クロック周波数、OCLKB ⁽²⁾ | 0.987 | 42.86 | MHz |
| t_{clock} | クロック周期、OCLKB | 23.33 | 1013.17 | ns |
| $t_{\text{w(H)}}$ | パルス幅 High、OCLKB (50% リファレンス ポイント) | $(t_{\text{clock}}/2) - 2$ | | ns |
| $t_{\text{w(L)}}$ | パルス幅 Low、OCLKB (50% リファレンス ポイント) | $(t_{\text{clock}}/2) - 2$ | | ns |
| t_{cclkjit} | ジッタ、OCLKB | | 200 | ps |

- (1) OCLKA は専用の出力ピンにあります。
 (2) OCLKB は GPIO_34 の代替機能です。

6.21 JTAG バウンダリ スキャン インターフェイスのタイミング要件 (デバッグのみ)

| パラメータ | | 最小値 | 最大値 | 単位 | |
|--------------------|----------------------------------|------------------|-----|-----|----|
| f_{clock} | クロック周波数、TCK | クロック周波数、TCK | 10 | MHz | |
| t_{clock} | クロック周期、TCK | | 100 | ns | |
| $t_{w(H)}$ | パルス幅 Low、TCK | 50% のリファレンス ポイント | 50 | ns | |
| $t_{w(L)}$ | パルス幅 High、TCK | 50% のリファレンス ポイント | 50 | ns | |
| t_s | セットアップ時間 - TDI、TMS1 は TCK ↑ 前に有効 | 50% のリファレンス ポイント | 15 | ns | |
| t_h | ホールド時間 - TDI、TMS1 は TCK ↑ 後に有効 | 50% のリファレンス ポイント | 15 | ns | |
| t_{delay} | TCK ↓ 後の TDO2 出力遅延 | 60pF の負荷 | 0 | 15 | ns |

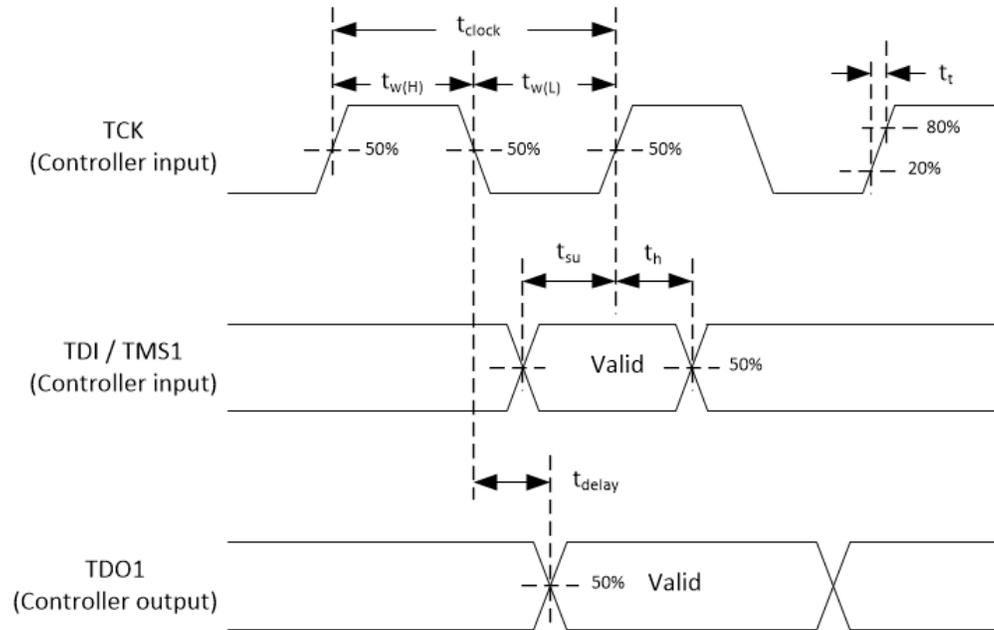


図 6-14. JTAG バウンダリ スキャンのタイミング図

6.22 DMD 低速インターフェイスのタイミング要件

| パラメータ | | 最小値 | 標準値 | 最大値 | 単位 |
|----------------------------------|---------------------------|---------|-----|---------|------|
| DMD 低速インターフェイス (シングル エンド) | | | | | |
| f_{clock} | | 119.966 | 120 | 120.034 | MHz |
| スルー レート | DMD_LS_WDATA と DMD_LS_CLK | 1 | | 3 | V/ns |
| | DMD_DEN_ARSTZ | 0.25 | | | |
| | DMD_LS_RDATAx | 0.5 | | | |
| DCD | デューティ サイクルの歪み | 45 | | 55 | % |

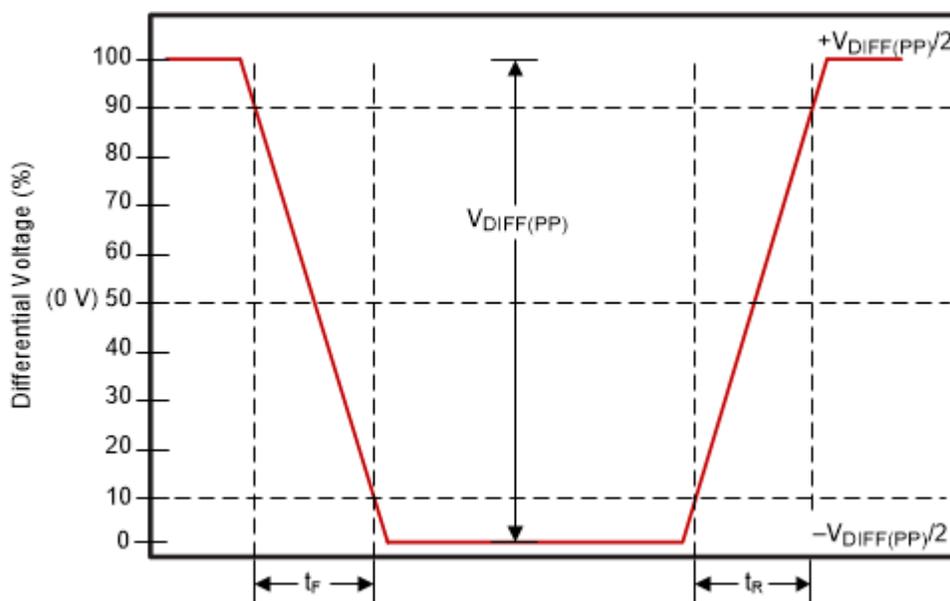


図 6-15. DMD 低速差動タイミング パラメータ

6.23 DMD SubLVDS インターフェイスのタイミング要件

| パラメータ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---------------------|-------------------------|-----|------|------|------|
| t_R | 差動出力立ち上がり時間 (10%~90%) | | | 400 | ps |
| t_F | 差動出力立ち下がり時間 (10%~90%) | | | 400 | ps |
| t_{switch} | DMD HS クロック スイッチング レート | 0 | 1200 | 1440 | Mbps |
| f_{clock} | DMD HS クロック周波数 | 0 | 600 | 720 | MHz |
| DCout | DMD HS クロック出力デューティ サイクル | 45 | 50% | 55 | % |

7 詳細説明

7.1 概要

本デバイスの DLP® 製品のチップセットは、DLP230NP または DLP472NP デジタルマイクロミラー デバイス (DMD)、DLPC8424 または DLPC8444 ディスプレイコントローラ、および DLPA3085 または DLPA3082 の 3 つのコンポーネントで構成されています。DMD 用の DLPC8424 および DLPC8444 ディスプレイコントローラは、入力ビデオの DMD 形式の入力ビデオを受け取り、DMD のタイミングを制御します。また、DLPA3085 または DLPA3082 の光源の信号タイミングを制御し、DMD タイミングに連動させて、光出力を DMD ミラーの動きと同期させます。DLPC8424 および DLPC8444 コントローラは、V-by-One や SubLVDS (DMD インターフェイス) などのインターフェイスを提供し、消費電力と EMI を最小限に抑えます。アプリケーションには、モバイル スマート TV、デジタル サイネージ、モバイル ホーム シネマなどがあります。

7.2 機能ブロック図

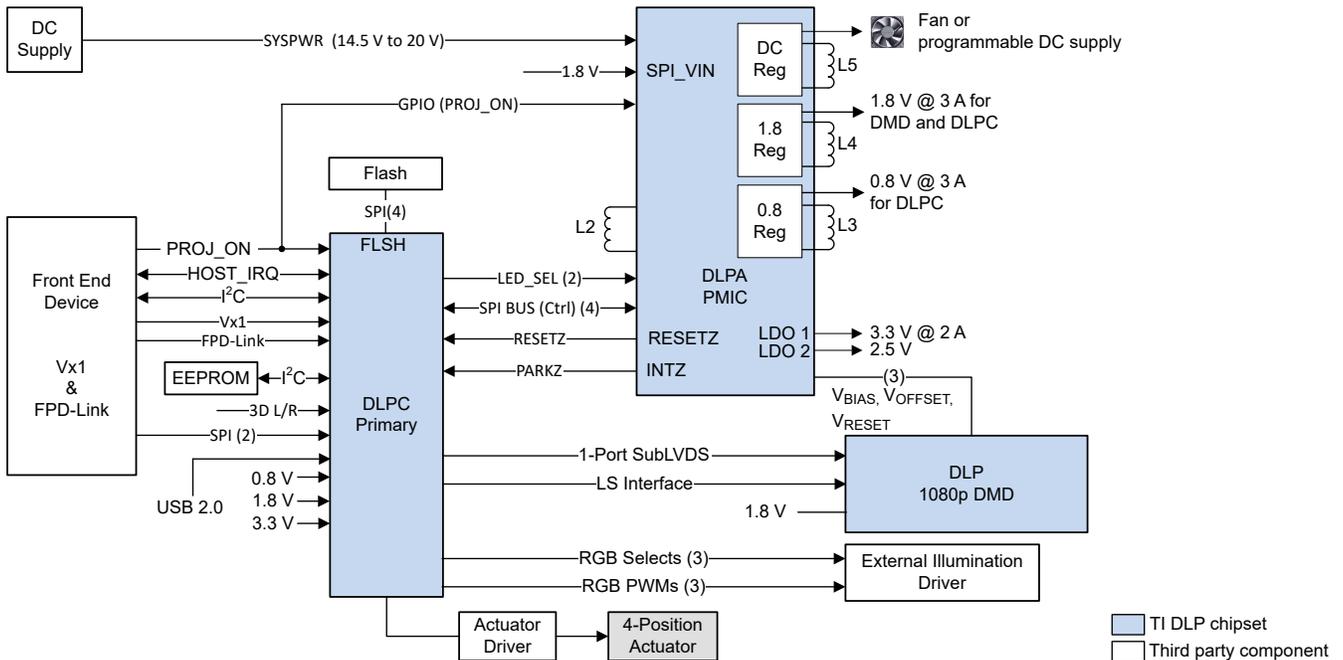


図 7-1. LED の機能ブロック図

7.3 機能説明

7.3.1 入カソース

表 7-1. サポートされている入カソース パラメータ

| インターフェイス | 許容ビット/ピクセル (最大) | 処理ビット/ピクセル (最大) | ソース解像度:2D | | ソース解像度:3D (方目ごと) ⁽²⁾ |
|----------|--------------------|--------------------|---------------------------|--------------------|---------------------------------|
| | | | 最小値 | 最大値 ⁽¹⁾ | 最大値 |
| V-by-One | 12 | 10 | 1280 × 720 ⁽³⁾ | 3840 × 2160 | 1920 × 1080 (FS) |
| FPD Link | 10 | 10 | 960 × 540 | 1920 × 1080 | 1920 × 1080 (FS) |

- (1) 入力範囲が広いにもかかわらず、出力分解能は DMD とコントローラの機能に制限されます。解像度は、3D ソースを含むデバイス間でチェックする必要があります。
- (2) FS = フレームシーケンシャル (フル解像度)
- (3) V-by-One インターフェイスの最小クロックレートとリンクレート、およびバイトモードは、このインターフェイスでサポートできる最小解像度を制限しています。このインターフェイスは、3 バイト、4 バイト、5 バイトのモードをサポートしています。

7.3.2 V-by-One インターフェイス

コントローラは、単一 8 レーン V-by-One ポートに対応しており、1、2、4、8 レーン用に構成できます。このインターフェイスは、表 7-2 に示すように、限定的なレーン再マッピングをサポートしています。レーン内の再マッピング (P と N のスワップ) はサポートされません。

表 7-2. V-by-One インターフェイスのレーン再マッピング オプション

| 構成 ⁽²⁾ | レーン数 | V-by-One ポートの物理レーン ⁽¹⁾ | | | | | | | |
|-------------------|------|-----------------------------------|--------|--------|--------|--------|--------|--------|--------|
| | | LANE 7 | LANE 6 | LANE 5 | LANE 4 | LANE 3 | LANE 2 | LANE 1 | LANE 0 |
| 1a | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1b | 4 | — | — | — | — | 3 | 2 | 1 | 0 |
| 1c | 2 | — | — | — | — | — | — | 1 | 0 |
| 1d | 1 | — | — | — | — | — | — | — | 0 |
| 2a | 8 | 1 | 0 | 2 | 3 | 4 | 5 | 6 | 7 |
| 2b | 4 | 1 | 0 | 2 | 3 | — | — | — | — |
| 2c | 2 | 1 | 0 | — | — | — | — | — | — |
| 2d | 1 | — | 0 | — | — | — | — | — | — |

- (1) 表ヘッダーのレーン番号は、コントローラ インターフェイスで定義されている実際の物理レーンを示します。ヘッダーの下に示されているレーン番号は、その物理インターフェイスで送信されるレーン ビット番号です。
- (2) コントローラレーン マッピングには 2 つのオプションがあり、それぞれ全 8 レーンより少ないレーンの使用も可能です。

物理的な V-by-One インターフェイスの再マッピングとは別に、規格で規定されているように、実際の物理インターフェイスへの多数のデータ マッピングをサポートします。V-by-One ソースは、表 7-3、表 7-4、表 7-5、表 7-6、表 7-7、および表 7-8 のいずれかのマッピングと一致している必要があります。

表 7-3. 36bpp/30bpp RGB/YCbCr 4:4:4 の V-by-One データ マッピング

| V-by-One データ マップ モード 0 | | | |
|------------------------|--------------------------------------|-----------------------|--------|
| V-by-One 入カデータビット | 36bpp RGB/YCbCr 4:4:4 ⁽¹⁾ | 30bpp RGB/YCbCr 4:4:4 | マッパー出力 |
| D[0] | R/Cr[4] | R/Cr[2] | B(2) |
| D[1] | R/Cr[5] | R/Cr[3] | B(3) |
| D[2] | R/Cr[6] | R/Cr[4] | B(4) |
| D[3] | R/Cr[7] | R/Cr[5] | B(5) |
| D[4] | R/Cr[8] | R/Cr[6] | B(6) |
| D[5] | R/Cr[9] | R/Cr[7] | B(7) |
| D[6] | R/Cr[10] | R/Cr[8] | B(8) |
| D[7] | R/Cr[11] | R/Cr[9] | B(9) |
| D[8] | G/Y[4] | G/Y[2] | A(2) |

表 7-3. 36bpp/30bpp RGB/YCbCr 4:4:4 の V-by-One データ マッピング (続き)

| V-by-One データ マップ モード 0 | | | |
|------------------------|--------------------------------------|-----------------------|-------------|
| V-by-One 入力データ ビット | 36bpp RGB/YCbCr 4:4:4 ⁽¹⁾ | 30bpp RGB/YCbCr 4:4:4 | マッパー出力 |
| D[9] | G/Y[5] | G/Y[3] | A(3) |
| D[10] | G/Y[6] | G/Y[4] | A(4) |
| D[11] | G/Y[7] | G/Y[5] | A(5) |
| D[12] | G/Y[8] | G/Y[6] | A(6) |
| D[13] | G/Y[9] | G/Y[7] | A(7) |
| D[14] | G/Y[10] | G/Y[8] | A(8) |
| D[15] | G/Y[11] | G/Y[9] | A(9) |
| D[16] | B/Cb[4] | B/Cb[2] | C(2) |
| D[17] | B/Cb[5] | B/Cb[3] | C(3) |
| D[18] | B/Cb[6] | B/Cb[4] | C(4) |
| D[19] | B/Cb[7] | B/Cb[5] | C(5) |
| D[20] | B/Cb[8] | B/Cb[6] | C(6) |
| D[21] | B/Cb[9] | B/Cb[7] | C(7) |
| D[22] | B/Cb[10] | B/Cb[8] | C(8) |
| D[23] | B/Cb[11] | B/Cb[9] | C(9) |
| D[24] | 3D_L/R_Ref | 3D_L/R_Ref | 3D_L/R_Ref |
| D[25] | 3DEN/ フィールド | 3DEN/ フィールド | 3DEN/ フィールド |
| D[26] | B/Cb[2] | B/Cb[1] | C[0] |
| D[27] | B/Cb[3] | B/Cb[0] | C[1] |
| D[28] | G/Y[2] | G/Y[1] | A[0] |
| D[29] | G/Y[3] | G/Y[0] | A[1] |
| D[30] | R/Cr[2] | R/Cr[1] | B[0] |
| D[31] | R/Cr[3] | R/Cr[0] | B[1] |

(1) 36 ビット入力の場合、各カラー 12 ビットが 10 ビットに切り捨てられ、各カラーの最下位 2 ビットは破棄されます。

表 7-4. 27bpp RGB/YCbCr 4:4:4 の V-by-One データ マッピング

| V-by-One データ マップ モード 1 | | |
|------------------------|--------------------------------------|--------|
| V-by-One 入力データ ビット | 27bpp RGB/YCbCr 4:4:4 ⁽¹⁾ | マッパー出力 |
| D[0] | R/Cr[1] | B(2) |
| D[1] | R/Cr[2] | B(3) |
| D[2] | R/Cr[3] | B(4) |
| D[3] | R/Cr[4] | B(5) |
| D[4] | R/Cr[5] | B(6) |
| D[5] | R/Cr[6] | B(7) |
| D[6] | R/Cr[7] | B(8) |
| D[7] | R/Cr[8] | B(9) |
| D[8] | G/Y[1] | A(2) |
| D[9] | G/Y[2] | A(3) |
| D[10] | G/Y[3] | A(4) |
| D[11] | G/Y[4] | A(5) |
| D[12] | G/Y[5] | A(6) |
| D[13] | G/Y[6] | A(7) |
| D[14] | G/Y[7] | A(8) |
| D[15] | G/Y[8] | A(9) |

表 7-4. 27bpp RGB/YCbCr 4:4:4 の V-by-One データ マッピング (続き)

| V-by-One データ マップ モード 1 | | |
|------------------------|--------------------------------------|-------------|
| V-by-One 入力データ ビット | 27bpp RGB/YCbCr 4:4:4 ⁽¹⁾ | マッパー出力 |
| D[16] | B/Cb[1] | C(2) |
| D[17] | B/Cb[2] | C(3) |
| D[18] | B/Cb[3] | C(4) |
| D[19] | B/Cb[4] | C(5) |
| D[20] | B/Cb[5] | C(6) |
| D[21] | B/Cb[6] | C(7) |
| D[22] | B/Cb[7] | C(8) |
| D[23] | B/Cb[8] | C(9) |
| D[24] | 3D_L/R_Ref | 3D_L/R_Ref |
| D[25] | 3DEN/ フィールド | 3DEN/ フィールド |
| '0' | — | C[0] |
| D[27] | B/Cb[0] | C[1] |
| '0' | — | A[0] |
| D[29] | G/Y[0] | A[1] |
| '0' | — | B[0] |
| D[31] | R/Cr[0] | B[1] |

(1) 27 ビット入力の場合、各カラーの 9 ビットは 1 ビットシフトアップし、各カラーの最下位ビットは '0' に設定されます。

表 7-5. 24bpp RGB/YCbCr 4:4:4 の V-by-One データ マッピング

| V-by-One データ マップ モード 2 | | |
|------------------------|--------------------------------------|--------|
| V-by-One 入力データ ビット | 24bpp RGB/YCbCr 4:4:4 ⁽¹⁾ | マッパー出力 |
| D[0] | R/Cr[0] | B(2) |
| D[1] | R/Cr[1] | B(3) |
| D[2] | R/Cr[2] | B(4) |
| D[3] | R/Cr[3] | B(5) |
| D[4] | R/Cr[4] | B(6) |
| D[5] | R/Cr[5] | B(7) |
| D[6] | R/Cr[6] | B(8) |
| D[7] | R/Cr[7] | B(9) |
| D[8] | G/Y[0] | A(2) |
| D[9] | G/Y[1] | A(3) |
| D[10] | G/Y[2] | A(4) |
| D[11] | G/Y[3] | A(5) |
| D[12] | G/Y[4] | A(6) |
| D[13] | G/Y[5] | A(7) |
| D[14] | G/Y[6] | A(8) |
| D[15] | G/Y[7] | A(9) |
| D[16] | B/Cb[0] | C(2) |
| D[17] | B/Cb[1] | C(3) |
| D[18] | B/Cb[2] | C(4) |
| D[19] | B/Cb[3] | C(5) |
| D[20] | B/Cb[4] | C(6) |
| D[21] | B/Cb[5] | C(7) |
| D[22] | B/Cb[6] | C(8) |

表 7-5. 24bpp RGB/YCbCr 4:4:4 の V-by-One データ マッピング (続き)

| V-by-One データ マップ モード 2 | | |
|------------------------|--------------------------------------|-------------|
| V-by-One 入力データ ビット | 24bpp RGB/YCbCr 4:4:4 ⁽¹⁾ | マッパー出力 |
| D[23] | B/Cb[7] | C(9) |
| D[24] | 3D_L/R_Ref | 3D_L/R_Ref |
| D[25] | 3DEN/ フィールド | 3DEN/ フィールド |
| '0' | — | C[0] |
| '0' | — | C[1] |
| '0' | — | A[0] |
| '0' | — | A[1] |
| '0' | — | B[0] |
| '0' | — | B[1] |

(1) 24 ビット入力の場合、各カラーの 8 ビットは 2 ビット シフトアップし、各カラーの最下位 2 ビットは '0' に設定されます。

表 7-6. 32bpp/24bpp/20bpp YCbCr 4:2:2 の V-by-One データ マッピング

| V-by-One データ マップ モード 3 ⁽¹⁾ | | | | |
|---------------------------------------|----------------------------------|----------------------------------|-------------------|-------------|
| V-by-One 入力データ ビット | 32bpp YCbCr 4:2:2 ⁽²⁾ | 24bpp YCbCr 4:2:2 ⁽³⁾ | 20bpp YCbCr 4:2:2 | マッパー出力 |
| D[0] | CbCr[8] | CbCr[4] | CbCr[2] | B(2) |
| D[1] | CbCr[9] | CbCr[5] | CbCr[3] | B(3) |
| D[2] | CbCr[10] | CbCr[6] | CbCr[4] | B(4) |
| D[3] | CbCr[11] | CbCr[7] | CbCr[5] | B(5) |
| D[4] | CbCr[12] | CbCr[8] | CbCr[6] | B(6) |
| D[5] | CbCr[13] | CbCr[8] | CbCr[7] | B(7) |
| D[6] | CbCr[14] | CbCr[10] | CbCr[8] | B(8) |
| D[7] | CbCr[15] | CbCr[11] | CbCr[9] | B(9) |
| D[8] | Y[8] | Y[4] | Y[2] | A(2) |
| D[9] | Y[9] | Y[5] | Y[3] | A(3) |
| D[10] | Y[10] | Y[6] | Y[4] | A(4) |
| D[11] | Y[11] | Y[7] | Y[5] | A(5) |
| D[12] | Y[12] | Y[8] | Y[6] | A(6) |
| D[13] | Y[13] | Y[9] | Y[7] | A(7) |
| D[14] | Y[14] | Y[10] | Y[8] | A(8) |
| D[15] | Y[15] | Y[11] | Y[9] | A(9) |
| '0' | — | — | — | C(2) |
| '0' | — | — | — | C(3) |
| '0' | — | — | — | C(4) |
| '0' | — | — | — | C(5) |
| '0' | — | — | — | C(6) |
| '0' | — | — | — | C(7) |
| '0' | — | — | — | C(8) |
| '0' | — | — | — | C(9) |
| D[24] | 3D_L/R_Ref | 3D_L/R_Ref | 3D_L/R_Ref | 3D_L/R_Ref |
| D[25] | 3DEN/ フィールド | 3DEN/ フィールド | 3DEN/ フィールド | 3DEN/ フィールド |
| '0' | — | — | — | C[0] |
| '0' | — | — | — | C[1] |
| D[28] | Y[6] | Y[2] | Y[2] | A[0] |
| D[29] | Y[7] | Y[3] | Y[3] | A[1] |

表 7-6. 32bpp/24bpp/20bpp YCbCr 4:2:2 の V-by-One データ マッピング (続き)

| V-by-One データ マップ モード 3 ⁽¹⁾ | | | | |
|---------------------------------------|----------------------------------|----------------------------------|-------------------|--------|
| V-by-One 入力データ ビット | 32bpp YCbCr 4:2:2 ⁽²⁾ | 24bpp YCbCr 4:2:2 ⁽³⁾ | 20bpp YCbCr 4:2:2 | マッパー出力 |
| D[30] | CbCr[6] | CbCr[2] | CbCr[2] | B[0] |
| D[31] | CbCr[7] | CbCr[3] | CbCr[3] | B[1] |

- (1) すべての YCbCr 4:2:2 フォーマットでは、データ チャンネル C は強制的に 0 になります。
(2) 32 ビット入力の場合、各カラー 16 ビットが 10 ビットに切り捨てられ、各カラーの最下位 6 ビットは破棄されます。
(3) 24 ビット入力の場合、各カラー 12 ビットが 10 ビットに切り捨てられ、各カラーの最下位 2 ビットは破棄されます。

表 7-7. 18bpp YCbCr 4:2:2 の V-by-One データ マッピング

| V-by-One データ マップ モード 4 ⁽¹⁾ | | | |
|---------------------------------------|----------------------------------|-------------|--|
| V-by-One 入力データ ビット | 18bpp YCbCr 4:2:2 ⁽²⁾ | マッパー出力 | |
| D[0] | CbCr[1] | B(2) | |
| D[1] | CbCr[2] | B(3) | |
| D[2] | CbCr[3] | B(4) | |
| D[3] | CbCr[4] | B(5) | |
| D[4] | CbCr[5] | B(6) | |
| D[5] | CbCr[6] | B(7) | |
| D[6] | CbCr[7] | B(8) | |
| D[7] | CbCr[8] | B(9) | |
| D[8] | Y[1] | A(2) | |
| D[9] | Y[2] | A(3) | |
| D[10] | Y[3] | A(4) | |
| D[11] | Y[4] | A(5) | |
| D[12] | Y[5] | A(6) | |
| D[13] | Y[6] | A(7) | |
| D[14] | Y[7] | A(8) | |
| D[15] | Y[8] | A(9) | |
| '0' | — | C(2) | |
| '0' | — | C(3) | |
| '0' | — | C(4) | |
| '0' | — | C(5) | |
| '0' | — | C(6) | |
| '0' | — | C(7) | |
| '0' | — | C(8) | |
| '0' | — | C(9) | |
| D[24] | 3D_L/R_Ref | 3D_L/R_Ref | |
| D[25] | 3DEN/ フィールド | 3DEN/ フィールド | |
| '0' | — | C[0] | |
| '0' | — | C[1] | |
| '0' | — | A[0] | |
| D[29] | Y[0] | A[1] | |
| '0' | — | B[0] | |
| D[31] | CbCr[0] | B[1] | |

- (1) すべての YCbCr 4:2:2 フォーマットでは、データ チャンネル C は強制的に 0 になります。
(2) 18 ビット入力の場合、各カラーの 9 ビットは 1 ビット シフトアップし、各カラーの最下位ビットは '0' に設定されます。

表 7-8. 16bpp YCbCr 4:2:2 の V-by-One データ マッピング

| V-by-One データ マップ モード 5 ⁽¹⁾ | | |
|---------------------------------------|----------------------------------|-------------|
| V-by-One 入力データ ビット | 16bpp YCbCr 4:2:2 ⁽²⁾ | マッパー出力 |
| D[0] | CbCr[0] | B(2) |
| D[1] | CbCr[1] | B(3) |
| D[2] | CbCr[2] | B(4) |
| D[3] | CbCr[3] | B(5) |
| D[4] | CbCr[4] | B(6) |
| D[5] | CbCr[5] | B(7) |
| D[6] | CbCr[6] | B(8) |
| D[7] | CbCr[7] | B(9) |
| D[8] | Y[0] | A(2) |
| D[9] | Y[1] | A(3) |
| D[10] | Y[2] | A(4) |
| D[11] | Y[3] | A(5) |
| D[12] | Y[4] | A(6) |
| D[13] | Y[5] | A(7) |
| D[14] | Y[6] | A(8) |
| D[15] | Y[7] | A(9) |
| '0' | — | C(2) |
| '0' | — | C(3) |
| '0' | — | C(4) |
| '0' | — | C(5) |
| '0' | — | C(6) |
| '0' | — | C(7) |
| '0' | — | C(8) |
| '0' | — | C(9) |
| D[24] | 3D_L/R_Ref | 3D_L/R_Ref |
| D[25] | 3DEN/ フィールド | 3DEN/ フィールド |
| '0' | — | C[0] |
| '0' | — | C[1] |
| '0' | — | A[0] |
| '0' | — | A[1] |
| '0' | — | B[0] |
| '0' | — | B[1] |

- (1) すべての YCbCr 4:2:2 フォーマットでは、データ チャンネル C は強制的に 0 になります。
 (2) 16 ビット入力の場合、各カラーの 8 ビットは 1 ビットシフトアップし、各カラーの最下位ビットは '0' に設定されます。

7.3.3 FPD-Link インターフェイス

DLPC84x4 は 2 つの FPD-Link 5 レーンポートをサポートしており、シングルポート用 (ポート A またはポート B)、またはデュアルポート用 (ポート A およびポート B) に構成できます。3 番目の FPD ポート (ポート C) は、パラレルポート専用予約されています。FPD ポート A および B は、各ポート内で一部のリマッピングオプションをサポートしていますが、ポート間でリマッピングは行われません。本機能を利用する場合、個々の固有のレーンペアは 1 つのデスティネーションデータレーンペアにのみマッピング可能で、レーン内再マッピング (P と N のスワップ) はサポートされません。さらに、A および B ポートをスワップすることもできます。レーンおよびポートの再マッピング (フラッシュで指定) は、必要に応じて基板レイアウトに役立ちます。一般的なレーンのマッピングは、[図 7-2](#) を参照してください。代替レーンのマッピング例は、[図 7-3](#) を参照してください。利用可能な特定のインターポートの再マッピングオプションは、[表 7-9](#) を参照してください。

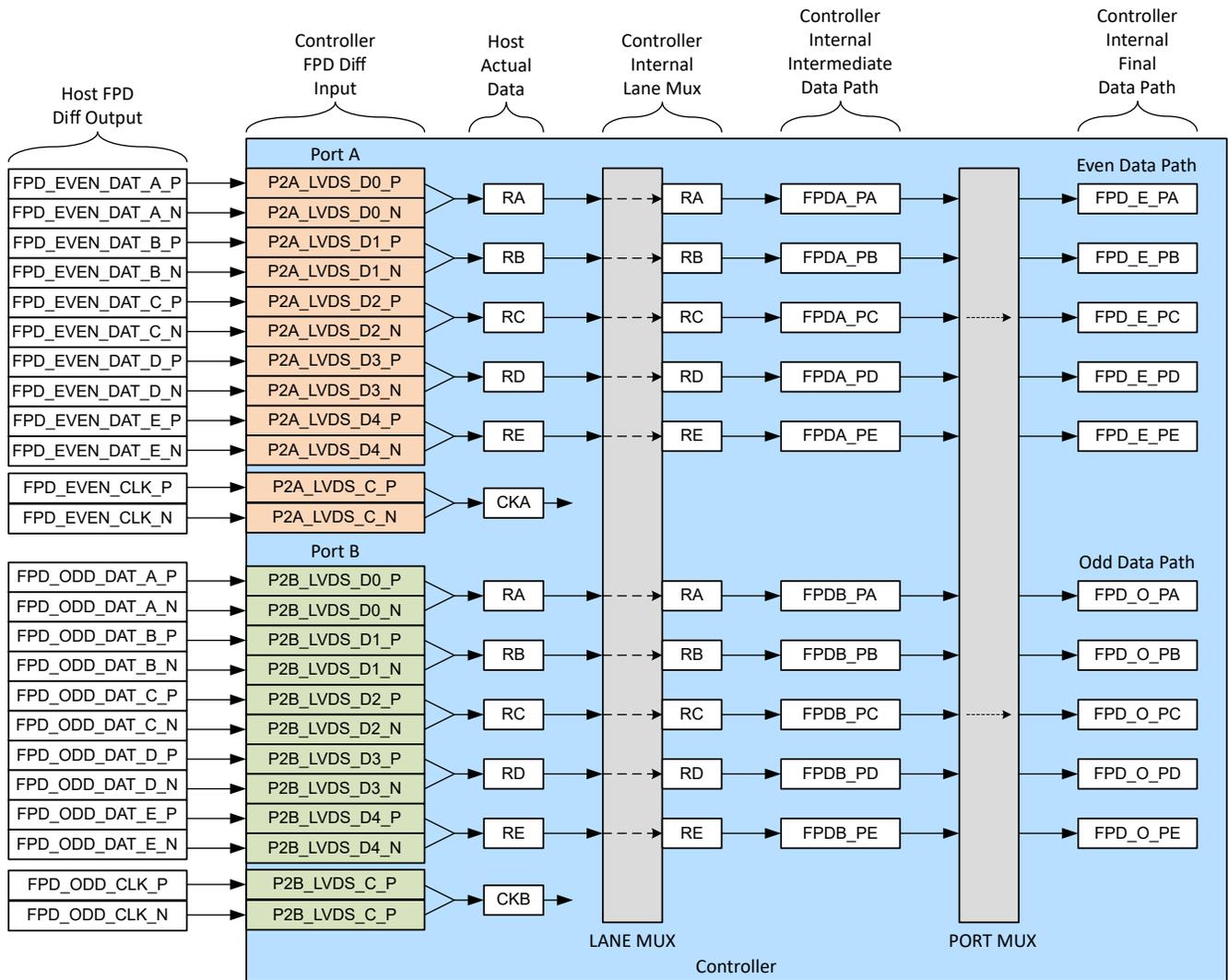


図 7-2. 一般的な FPD-Link ポートのレーンマッピングの例

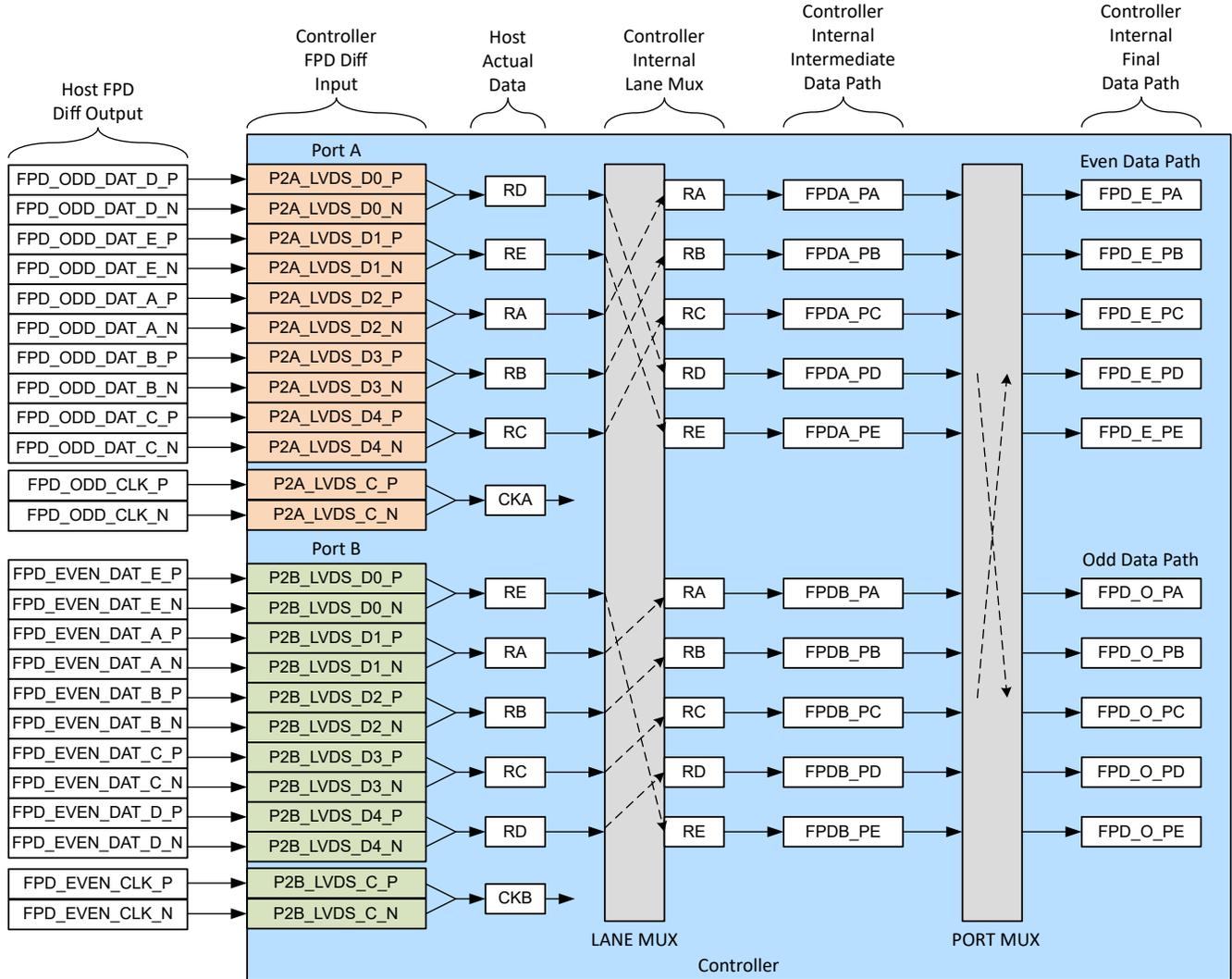


図 7-3. 代替 FPD-Link ポートのレーンマッピングの例

表 7-9. FPD-Link イントラポート・データマッピングオプション

| ポート A および B のマッピングオプション | 入力データポート | 内部最終データパス |
|-------------------------|-----------------|-----------|
| 0 | P2x_LVDS_D0_P/N | FPD_x_PA |
| 1 | P2x_LVDS_D1_P/N | FPD_x_PA |
| 2 | P2x_LVDS_D2_P/N | FPD_x_PA |
| 3 | P2x_LVDS_D3_P/N | FPD_x_PA |
| 4 | P2x_LVDS_D4_P/N | FPD_x_PA |
| 4 | P2x_LVDS_D0_P/N | FPD_x_PB |
| 0 | P2x_LVDS_D1_P/N | FPD_x_PB |
| 1 | P2x_LVDS_D2_P/N | FPD_x_PB |
| 2 | P2x_LVDS_D3_P/N | FPD_x_PB |
| 3 | P2x_LVDS_D4_P/N | FPD_x_PB |
| 3 | P2x_LVDS_D0_P/N | FPD_x_PC |
| 4 | P2x_LVDS_D1_P/N | FPD_x_PC |
| 0 | P2x_LVDS_D2_P/N | FPD_x_PC |
| 1 | P2x_LVDS_D3_P/N | FPD_x_PC |
| 2 | P2x_LVDS_D4_P/N | FPD_x_PC |
| 2 | P2x_LVDS_D0_P/N | FPD_x_PD |
| 3 | P2x_LVDS_D1_P/N | FPD_x_PD |
| 4 | P2x_LVDS_D2_P/N | FPD_x_PD |
| 0 | P2x_LVDS_D3_P/N | FPD_x_PD |
| 1 | P2x_LVDS_D4_P/N | FPD_x_PD |
| 1 | P2x_LVDS_D0_P/N | FPD_x_PE |
| 2 | P2x_LVDS_D1_P/N | FPD_x_PE |
| 3 | P2x_LVDS_D2_P/N | FPD_x_PE |
| 4 | P2x_LVDS_D3_P/N | FPD_x_PE |
| 0 | P2x_LVDS_D4_P/N | FPD_x_PE |

物理 FPD インターフェイスの再マッピングとは別に、DLPC84x4 は実際の物理インターフェイスへの複数のデータマッピングをサポートしています。3 種類の 30 ビットデータマッピングがあり、2 種類の 24 ビットデータマッピングがサポートされています。FPD ソースはこれらのマッピングと少なくとも 1 つと一致している必要があります。これらは、表 7-10、表 7-11、表 7-12、表 7-13、表 7-14 を参照してください。

表 7-10. 物理インターフェイスへの FPD-Link データマッピング (30 ビットモード 0)

| ビットマッピング—30 ビットモード 0 ⁽¹⁾ (1 ピクセルあたり 30 ビット) | | | |
|---|-----------------|-------------|--------|
| マッパー入力 | RGB/YCbCr 4:4:4 | YCbCr 4:2:2 | マッパー出力 |
| PA-6 | G/Y[4] | Y[4] | A(4) |
| PA-5 | R/Cr[9] | Cb/Cr[9] | B(9) |
| PA-4 | R/Cr[8] | Cb/Cr[8] | B(8) |
| PA-3 | R/Cr[7] | Cb/Cr[7] | B(7) |
| PA-2 | R/Cr[6] | Cb/Cr[6] | B(6) |
| PA-1 | R/Cr[5] | Cb/Cr[5] | B(5) |
| PA-0 | R/Cr[4] | Cb/Cr[4] | B(4) |
| | | | |
| PB-6 | B/Cb[5] | 未使用。 | C(5) |
| PB-5 | B/Cb[4] | 未使用。 | C(4) |
| PB-4 | G/Y[9] | Y[9] | A(9) |
| PB-3 | G/Y[8] | Y[8] | A(8) |
| PB-2 | G/Y[7] | Y[7] | A(7) |
| PB-1 | G/Y[6] | Y[6] | A(6) |
| PB-0 | G/Y[5] | Y[5] | A(5) |
| | | | |
| PC-6 | データ JP | データ JP | データ JP |
| PC-5 | VSYNC | VSYNC | VSYNC |
| PC-4 | HSYNC | HSYNC | HSYNC |
| PC-3 | B/Cb[9] | 未使用。 | C(9) |
| PC-2 | B/Cb[8] | 未使用。 | C(8) |
| PC-1 | B/Cb[7] | 未使用。 | C(7) |
| PC-0 | B/Cb[6] | 未使用。 | C(6) |
| | | | |
| PD-6 | 3D_L/R_Ref | 3D_L/R_Ref | 3D_Ref |
| PD-5 | B/Cb[3] | 未使用。 | C(3) |
| PD-4 | B/Cb[2] | 未使用。 | C(2) |
| PD-3 | G/Y[3] | Y[3] | A(3) |
| PD-2 | G/Y[2] | Y[2] | A(2) |
| PD-1 | R/Cr[3] | Cb/Cr[3] | B(3) |
| PD-0 | R/Cr[2] | Cb/Cr[2] | B(2) |
| | | | |
| PE-6 | フィールド | フィールド | フィールド |
| PE-5 | B/Cb[1] | 未使用。 | C(1) |
| PE-4 | B/Cb[0] | 未使用。 | C(0) |
| PE-3 | G/Y[1] | Y[1] | A(1) |
| PE-2 | G/Y[0] | Y[0] | A(0) |
| PE-1 | R/Cr[1] | Cb/Cr[1] | B(1) |
| PE-0 | R/Cr[0] | Cb/Cr[0] | B(0) |

(1) 入力データビットは、ビット[9]が最上位ビット、ビット[0]が最下位ビットとして定義されます。

表 7-11. 物理インターフェイスへの FPD-Link データマッピング (30 ビットモード 1)

| ビットマッピング—30 ビットモード 1 ⁽¹⁾ (1 ピクセルあたり 30 ビット) | | | |
|---|-----------------|-------------|--------|
| マッパー入力 | RGB/YCbCr 4:4:4 | YCbCr 4:2:2 | マッパー出力 |
| PA-6 | G/Y[2] | Y[2] | A(2) |
| PA-5 | R/Cr[7] | Cb/Cr[7] | B(7) |
| PA-4 | R/Cr[6] | Cb/Cr[6] | B(6) |
| PA-3 | R/Cr[5] | Cb/Cr[5] | B(5) |
| PA-2 | R/Cr[4] | Cb/Cr[4] | B(4) |
| PA-1 | R/Cr[3] | Cb/Cr[3] | B(3) |
| PA-0 | R/Cr[2] | Cb/Cr[2] | B(2) |
| PB-6 | B/Cb[3] | 未使用。 | C(3) |
| PB-5 | B/Cb[2] | 未使用。 | C(2) |
| PB-4 | G/Y[7] | Y[7] | A(7) |
| PB-3 | G/Y[6] | Y[6] | A(6) |
| PB-2 | G/Y[5] | Y[5] | A(5) |
| PB-1 | G/Y[4] | Y[4] | A(4) |
| PB-0 | G/Y[3] | Y[3] | A(3) |
| PC-6 | データ JP | データ JP | データ JP |
| PC-5 | VSYNC | VSYNC | VSYNC |
| PC-4 | HSYNC | HSYNC | HSYNC |
| PC-3 | B/Cb[7] | 未使用。 | C(7) |
| PC-2 | B/Cb[6] | 未使用。 | C(6) |
| PC-1 | B/Cb[5] | 未使用。 | C(5) |
| PC-0 | B/Cb[4] | 未使用。 | C(4) |
| PD-6 | 3D_L/R_Ref | 3D_L/R_Ref | 3D_Ref |
| PD-5 | B/Cb[9] | 未使用。 | C(9) |
| PD-4 | B/Cb[8] | 未使用。 | C(8) |
| PD-3 | G/Y[9] | Y[9] | A(9) |
| PD-2 | G/Y[8] | Y[8] | A(8) |
| PD-1 | R/Cr[9] | Cb/Cr[9] | B(9) |
| PD-0 | R/Cr[8] | Cb/Cr[8] | B(8) |
| PE-6 | フィールド | フィールド | フィールド |
| PE-5 | B/Cb[1] | 未使用。 | C(1) |
| PE-4 | B/Cb[0] | 未使用。 | C(0) |
| PE-3 | G/Y[1] | Y[1] | A(1) |
| PE-2 | G/Y[0] | Y[0] | A(0) |
| PE-1 | R/Cr[1] | Cb/Cr[1] | B(1) |
| PE-0 | R/Cr[0] | Cb/Cr[0] | B(0) |

(1) 入力データビットは、ビット[9]が最上位ビット、ビット[0]が最下位ビットとして定義されます。

表 7-12. 物理インターフェイスへの FPD-Link データマッピング (30 ビットモード 2)

| ビットマッピング—30 ビットモード 2 ⁽¹⁾ (1 ピクセルあたり 30 ビット) | | | |
|---|-----------------|-------------|--------|
| マッパー入力 | RGB/YCbCr 4:4:4 | YCbCr 4:2:2 | マッパー出力 |
| PA-6 | G/Y[0] | Y[0] | A(0) |
| PA-5 | R/Cr[5] | Cb/Cr[5] | B(5) |
| PA-4 | R/Cr[4] | Cb/Cr[4] | B(4) |
| PA-3 | R/Cr[3] | Cb/Cr[3] | B(3) |
| PA-2 | R/Cr[2] | Cb/Cr[2] | B(2) |
| PA-1 | R/Cr[1] | Cb/Cr[1] | B(1) |
| PA-0 | R/Cr[0] | Cb/Cr[0] | B(0) |
| | | | |
| PB-6 | B/Cb[1] | 未使用。 | C(1) |
| PB-5 | B/Cb[0] | 未使用。 | C(0) |
| PB-4 | G/Y[5] | Y[5] | A(5) |
| PB-3 | G/Y[4] | Y[4] | A(4) |
| PB-2 | G/Y[3] | Y[3] | A(3) |
| PB-1 | G/Y[2] | Y[2] | A(2) |
| PB-0 | G/Y[1] | Y[1] | A(1) |
| | | | |
| PC-6 | データ JP | データ JP | データ JP |
| PC-5 | VSYNC | VSYNC | VSYNC |
| PC-4 | HSYNC | HSYNC | HSYNC |
| PC-3 | B/Cb[5] | 未使用。 | C(5) |
| PC-2 | B/Cb[4] | 未使用。 | C(4) |
| PC-1 | B/Cb[3] | 未使用。 | C(3) |
| PC-0 | B/Cb[2] | 未使用。 | C(2) |
| | | | |
| PD-6 | 3D_L/R_Ref | 3D_L/R_Ref | 3D_Ref |
| PD-5 | B/Cb[7] | 未使用。 | C(7) |
| PD-4 | B/Cb[6] | 未使用。 | C(6) |
| PD-3 | G/Y[7] | Y[7] | A(7) |
| PD-2 | G/Y[6] | Y[6] | A(6) |
| PD-1 | R/Cr[7] | Cb/Cr[7] | B(7) |
| PD-0 | R/Cr[6] | Cb/Cr[6] | B(6) |
| | | | |
| PE-6 | フィールド | フィールド | フィールド |
| PE-5 | B/Cb[9] | 未使用。 | C(9) |
| PE-4 | B/Cb[8] | 未使用。 | C(8) |
| PE-3 | G/Y[9] | Y[9] | A(9) |
| PE-2 | G/Y[8] | Y[8] | A(8) |
| PE-1 | R/Cr[9] | Cb/Cr[9] | B(9) |
| PE-0 | R/Cr[8] | Cb/Cr[8] | B(8) |

(1) 入力データビットは、ビット[9]が最上位ビット、ビット[0]が最下位ビットとして定義されます。

表 7-13. 物理インターフェイスへの FPD-Link データマッピング (24 ビットモード 0) (1) (2)

| ビットマッピング—24 ビットモード 0 ⁽¹⁾ (1 ピクセルあたり 24 ビット) | | | |
|---|---------------------|---------------------|-----------------|
| マッパー入力 | RGB/YCbCr 4:4:4 | YCbCr 4:2:2 | マッパー出力 |
| PA-6 | G/Y[0] | Y[0] | A(2) |
| PA-5 | R/Cr[5] | Cb/Cr[5] | B(7) |
| PA-4 | R/Cr[4] | Cb/Cr[4] | B(6) |
| PA-3 | R/Cr[3] | Cb/Cr[3] | B(5) |
| PA-2 | R/Cr[2] | Cb/Cr[2] | B(4) |
| PA-1 | R/Cr[1] | Cb/Cr[1] | B(3) |
| PA-0 | R/Cr[0] | Cb/Cr[0] | B(2) |
| PB-6 | B/Cb[1] | 未使用。 | C(3) |
| PB-5 | B/Cb[0] | 未使用。 | C(2) |
| PB-4 | G/Y[5] | Y[5] | A(7) |
| PB-3 | G/Y[4] | Y[4] | A(6) |
| PB-2 | G/Y[3] | Y[3] | A(5) |
| PB-1 | G/Y[2] | Y[2] | A(4) |
| PB-0 | G/Y[1] | Y[1] | A(3) |
| PC-6 | データ JP | データ JP | データ JP |
| PC-5 | VSYNC | VSYNC | VSYNC |
| PC-4 | HSYNC | HSYNC | HSYNC |
| PC-3 | B/Cb[5] | 未使用。 | C(7) |
| PC-2 | B/Cb[4] | 未使用。 | C(6) |
| PC-1 | B/Cb[3] | 未使用。 | C(5) |
| PC-0 | B/Cb[2] | 未使用。 | C(4) |
| PD-6 | 3D_L/R_Ref またはフィールド | 3D_L/R_Ref またはフィールド | 3D_Ref またはフィールド |
| PD-5 | B/Cb[7] | 未使用。 | C(9) |
| PD-4 | B/Cb[6] | 未使用。 | C(8) |
| PD-3 | G/Y[7] | Y[7] | A(9) |
| PD-2 | G/Y[6] | Y[6] | A(8) |
| PD-1 | R/Cr[7] | Cb/Cr[7] | B(9) |
| PD-0 | R/Cr[6] | Cb/Cr[6] | B(8) |
| PE-6 | 未使用。 | 未使用。 | 未使用。 |
| PE-5 | 未使用。 | 未使用。 | 未使用。 |
| PE-4 | 未使用。 | 未使用。 | 未使用。 |
| PE-3 | 未使用。 | 未使用。 | 未使用。 |
| PE-2 | 未使用。 | 未使用。 | 未使用。 |
| PE-1 | 未使用。 | 未使用。 | 未使用。 |
| PE-0 | 未使用。 | 未使用。 | 未使用。 |

- (1) 24 ビットのデータをサポートするため、マッパーは 8 ビットのカラーをそれぞれ 2 ビットずつシフトし、出力ビット A[1]、A[0]、B[1]、B[0]、C[1]、および C[0] を強制的に値「0」にします。
- (2) 入力データビットは、ビット[7]が最上位ビット、ビット[0]が最下位ビットとして定義されます。

表 7-14. 物理インターフェイスへの FPD-Link データマッピング (24 ビット・モード 1) ⁽¹⁾

| ビットマッピング—24 ビットモード 1 ⁽¹⁾ (2) | | | |
|---|---------------------|---------------------|-----------------|
| (1 ピクセルあたり 24 ビット) | | | |
| マッパー入力 | RGB/YCbCr 4:4:4 | YCbCr 4:2:2 | マッパー出力 |
| PA-6 | G/Y[2] | Y[2] | A(4) |
| PA-5 | R/Cr[7] | Cb/Cr[7] | B(9) |
| PA-4 | R/Cr[6] | Cb/Cr[6] | B(8) |
| PA-3 | R/Cr[5] | Cb/Cr[5] | B(7) |
| PA-2 | R/Cr[4] | Cb/Cr[4] | B(6) |
| PA-1 | R/Cr[3] | Cb/Cr[3] | B(5) |
| PA-0 | R/Cr[2] | Cb/Cr[2] | B(4) |
| | | | |
| PB-6 | B/Cb[3] | 未使用。 | C(5) |
| PB-5 | B/Cb[2] | 未使用。 | C(4) |
| PB-4 | G/Y[7] | Y[7] | A(9) |
| PB-3 | G/Y[6] | Y[6] | A(8) |
| PB-2 | G/Y[5] | Y[5] | A(7) |
| PB-1 | G/Y[4] | Y[4] | A(6) |
| PB-0 | G/Y[3] | Y[3] | A(5) |
| | | | |
| PC-6 | データ JP | データ JP | データ JP |
| PC-5 | VSYNC | VSYNC | VSYNC |
| PC-4 | HSYNC | HSYNC | HSYNC |
| PC-3 | B/Cb[7] | 未使用。 | C(9) |
| PC-2 | B/Cb[6] | 未使用。 | C(8) |
| PC-1 | B/Cb[5] | 未使用。 | C(7) |
| PC-0 | B/Cb[4] | 未使用。 | C(6) |
| | | | |
| PD-6 | 3D_L/R_Ref またはフィールド | 3D_L/R_Ref またはフィールド | 3D_Ref またはフィールド |
| PD-5 | B/Cb[1] | 未使用。 | C(3) |
| PD-4 | B/Cb[0] | 未使用。 | C(2) |
| PD-3 | G/Y[1] | Y[1] | A(3) |
| PD-2 | G/Y[0] | Y[0] | A(2) |
| PD-1 | R/Cr[1] | Cb/Cr[1] | B(3) |
| PD-0 | R/Cr[0] | Cb/Cr[0] | B(2) |
| | | | |
| PE-6 | 未使用。 | 未使用。 | 未使用。 |
| PE-5 | 未使用。 | 未使用。 | 未使用。 |
| PE-4 | 未使用。 | 未使用。 | 未使用。 |
| PE-3 | 未使用。 | 未使用。 | 未使用。 |
| PE-2 | 未使用。 | 未使用。 | 未使用。 |
| PE-1 | 未使用。 | 未使用。 | 未使用。 |
| PE-0 | 未使用。 | 未使用。 | 未使用。 |

- (1) 24 ビットのデータをサポートするため、マッパーは各 8 ビットのカラーを 2 ビットずつシフトし、出力ビット A[1]、A[0]、B[1]、B[0]、C[1]、C[0] の値を「0」に固定します。
- (2) 入力データビットは、ビット[7]が最上位ビット、ビット[0]が最下位ビットとして定義されます。

7.3.4 DMD (SubLVDS) インターフェイス

コントローラ DMD インターフェイスは、データ転送用の 4 つの高速 SubLVDS 出力専用インターフェイス、コマンド書き込みトランザクション用のシングルエンド低速 LVDS 出力専用インターフェイス、およびコマンド読み取りトランザクション用の 4 つの低速シングルエンド入力インターフェイスをサポートしています。各 SubLVDS ポートは、ポート内における完全なデータ専用レーン間再マッピングをサポートしますが、ポート間ではサポートしません。この機能を利用する場合、各データレーン ペアは 1 つのデスティネーション データレーン ペアにのみマッピング可能で、レーン内再マッピング (P と N のスワップ) はサポートされません。さらに、4 つの HS データ ポートをスワップすることもできます。HS CLK ピンはポート間では交換できないため、対応するポート データ レーンとグループ化する必要があります。レーンおよびポートの再マッピング (フラッシュで指定) は、必要に応じて基板レイアウトに役立ちます。必要な HS ポートの数と HS ポートあたりの HS レーンの数は、DMD のタイプと DMD の表示解像度に基づいています。表 7-16 に、4 つの HS ポートまで同じルールが適用される、2 つの HS ポート構成の再マッピング例を示します。すべてのポートを使用する場合、同じピン マッピングは必要ありません。

表 7-15. コントローラから DLP230NP DMD へのピンマッピング例

| コントローラピン - DMD ピンへの再マッピング例 | | |
|--------------------------------------|--------------------------------------|------------------|
| ASIC の出力例 1 | ASIC の出力例 2 | DMD ピン |
| DMD_HS0_CLK_P DMD_HS0_CLK_N | DMD_HS0_CLK_P DMD_HS0_CLK_N | DCLK_P DCLK_N |
| DMD_HS0_WDATA4_P DMD_HS0_WDATA4_N | DMD_HS0_WDATA3_P DMD_HS0_WDATA3_N | D_P(0) D_N(0) |
| DMD_HS0_WDATA5_P DMD_HS0_WDATA5_N | DMD_HS0_WDATA2_P DMD_HS0_WDATA2_N | D_P(1) D_N(1) |
| DMD_HS0_WDATA6_P DMD_HS0_WDATA6_N | DMD_HS0_WDATA1_P DMD_HS0_WDATA1_N | D_P(2) D_N(2) |
| DMD_HS0_WDATA7_P DMD_HS0_WDATA7_N | DMD_HS0_WDATA0_P DMD_HS0_WDATA0_N | D_P(3) D_N(3) |
| DMD_HS0_WDATA0_P DMD_HS0_WDATA0_N | DMD_HS0_WDATA6_P DMD_HS0_WDATA6_N | D_P(4) D_N(4) |
| DMD_HS0_WDATA1_P DMD_HS0_WDATA1_N | DMD_HS0_WDATA7_P DMD_HS0_WDATA7_N | D_P(5) D_N(5) |
| DMD_HS0_WDATA2_P DMD_HS0_WDATA2_N | DMD_HS0_WDATA5_P DMD_HS0_WDATA5_N | D_P(6) D_N(6) |
| DMD_HS0_WDATA3_P DMD_HS0_WDATA3_N | DMD_HS0_WDATA4_P DMD_HS0_WDATA4_N | D_P(7) D_N(7) |
| DMD_LS1_CLK | DMD_LS1_CLK | LS_CLK |
| DMD_LS1_WDATA | DMD_LS1_WDATA | LS_WDATA |
| DMD_LS1_RDATA | DMD_LS1_RDATA | LS_RDATA |
| DMD_DEN_ARSTZ | DMD_DEN_ARSTZ | DEN_ARSTZ |

表 7-16. コントローラから DLP472NP DMD へのピンマッピング例

| コントローラピン - DMD ピンへの再マッピング例 | | | | |
|--------------------------------------|--------------------------------------|--------------------------------------|--------------------------------------|--------------------|
| ベースライン | HS0 を 180° 反転 HS1 は反転しない | HS0 ポートと HS1 ポートのスワップ | HS0 ポートと HS1 ポートのスワップ、および混合再マッピング | DMD ピン |
| DMD_HS0_CLK_P DMD_HS0_CLK_N | DMD_HS0_CLK_P DMD_HS0_CLK_N | DMD_HS1_CLK_P DMD_HS1_CLK_N | DMD_HS1_CLK_P DMD_HS1_CLK_N | DCLK_AP DCLK_AN |
| DMD_HS0_WDATA0_P DMD_HS0_WDATA0_N | DMD_HS0_WDATA7_P DMD_HS0_WDATA7_N | DMD_HS1_WDATA0_P DMD_HS1_WDATA0_N | DMD_HS1_WDATA2_P DMD_HS1_WDATA2_N | D_AP(0) D_AN(0) |
| DMD_HS0_WDATA1_P DMD_HS0_WDATA1_N | DMD_HS0_WDATA6_P DMD_HS0_WDATA6_N | DMD_HS1_WDATA1_P DMD_HS1_WDATA1_N | DMD_HS1_WDATA3_P DMD_HS1_WDATA3_N | D_AP(1) D_AN(1) |
| DMD_HS0_WDATA2_P DMD_HS0_WDATA2_N | DMD_HS0_WDATA5_P DMD_HS0_WDATA5_N | DMD_HS1_WDATA2_P DMD_HS1_WDATA2_N | DMD_HS1_WDATA0_P DMD_HS1_WDATA0_N | D_AP(2) D_AN(2) |

表 7-16. コントローラから DLP472NP DMD へのピンマッピング例 (続き)

| コントローラピン - DMD ピンへの再マッピング例 | | | | |
|--------------------------------------|--------------------------------------|--------------------------------------|--------------------------------------|--------------------|
| ベースライン | HS0 を 180° 反転 HS1 は反転しない | HS0 ポートと HS1 ポートのスワップ | HS0 ポートと HS1 ポートのスワップ、および混合再マッピング | DMD ピン |
| DMD_HS0_WDATA3_P DMD_HS0_WDATA3_N | DMD_HS0_WDATA4_P DMD_HS0_WDATA4_N | DMD_HS1_WDATA3_P DMD_HS1_WDATA3_N | DMD_HS1_WDATA1_P DMD_HS1_WDATA1_N | D_AP(3) D_AN(3) |
| DMD_HS0_WDATA4_P DMD_HS0_WDATA4_N | DMD_HS0_WDATA3_P DMD_HS0_WDATA3_N | DMD_HS1_WDATA4_P DMD_HS1_WDATA4_N | DMD_HS1_WDATA6_P DMD_HS1_WDATA6_N | D_AP(4) D_AN(4) |
| DMD_HS0_WDATA5_P DMD_HS0_WDATA5_N | DMD_HS0_WDATA2_P DMD_HS0_WDATA2_N | DMD_HS1_WDATA5_P DMD_HS1_WDATA5_N | DMD_HS1_WDATA7_P DMD_HS1_WDATA7_N | D_AP(5) D_AN(5) |
| DMD_HS0_WDATA6_P DMD_HS0_WDATA6_N | DMD_HS0_WDATA1_P DMD_HS0_WDATA1_N | DMD_HS1_WDATA6_P DMD_HS1_WDATA6_N | DMD_HS1_WDATA4_P DMD_HS1_WDATA4_N | D_AP(6) D_AN(6) |
| DMD_HS0_WDATA7_P DMD_HS0_WDATA7_N | DMD_HS0_WDATA0_P DMD_HS0_WDATA0_N | DMD_HS1_WDATA7_P DMD_HS1_WDATA7_N | DMD_HS1_WDATA5_P DMD_HS1_WDATA5_N | D_AP(7) D_AN(7) |
| DMD_HS1_CLK_P DMD_HS1_CLK_N | DMD_HS1_CLK_P DMD_HS1_CLK_N | DMD_HS0_CLK_P DMD_HS0_CLK_N | DMD_HS0_CLK_P DMD_HS0_CLK_N | DCLK_BP DCLK_BN |
| DMD_HS1_WDATA0_P DMD_HS1_WDATA0_N | DMD_HS1_WDATA0_P DMD_HS1_WDATA0_N | DMD_HS0_WDATA0_P DMD_HS0_WDATA0_N | DMD_HS0_WDATA6_P DMD_HS0_WDATA6_N | D_BP(0) D_BN(0) |
| DMD_HS1_WDATA1_P DMD_HS1_WDATA1_N | DMD_HS1_WDATA1_P DMD_HS1_WDATA1_N | DMD_HS0_WDATA1_P DMD_HS0_WDATA1_N | DMD_HS0_WDATA7_P DMD_HS0_WDATA7_N | D_BP(1) D_BN(1) |
| DMD_HS1_WDATA2_P DMD_HS1_WDATA2_N | DMD_HS1_WDATA2_P DMD_HS1_WDATA2_N | DMD_HS0_WDATA2_P DMD_HS0_WDATA2_N | DMD_HS0_WDATA4_P DMD_HS0_WDATA4_N | D_BP(2) D_BN(2) |
| DMD_HS1_WDATA3_P DMD_HS1_WDATA3_N | DMD_HS1_WDATA3_P DMD_HS1_WDATA3_N | DMD_HS0_WDATA3_P DMD_HS0_WDATA3_N | DMD_HS0_WDATA5_P DMD_HS0_WDATA5_N | D_BP(3) D_BN(3) |
| DMD_HS1_WDATA4_P DMD_HS1_WDATA4_N | DMD_HS1_WDATA4_P DMD_HS1_WDATA4_N | DMD_HS0_WDATA4_P DMD_HS0_WDATA4_N | DMD_HS0_WDATA2_P DMD_HS0_WDATA2_N | D_BP(4) D_BN(4) |
| DMD_HS1_WDATA5_P DMD_HS1_WDATA5_N | DMD_HS1_WDATA5_P DMD_HS1_WDATA5_N | DMD_HS0_WDATA5_P DMD_HS0_WDATA5_N | DMD_HS0_WDATA3_P DMD_HS0_WDATA3_N | D_BP(5) D_BN(5) |
| DMD_HS1_WDATA6_P DMD_HS1_WDATA6_N | DMD_HS1_WDATA6_P DMD_HS1_WDATA6_N | DMD_HS0_WDATA6_P DMD_HS0_WDATA6_N | DMD_HS0_WDATA0_P DMD_HS0_WDATA0_N | D_BP(6) D_BN(6) |
| DMD_HS1_WDATA7_P DMD_HS1_WDATA7_N | DMD_HS1_WDATA7_P DMD_HS1_WDATA7_N | DMD_HS0_WDATA7_P DMD_HS0_WDATA7_N | DMD_HS0_WDATA1_P DMD_HS0_WDATA1_N | D_BP(7) D_BN(7) |

7.3.5 シリアルフラッシュインターフェイス

コントローラは、構成および動作データのための単一の外部標準 / デュアル / クワッド SPI シリアルフラッシュメモリデバイスとインターフェースします。この 6 ピンのインターフェイスは、アクティブ Low のチップ セレクト信号、クロック信号、4 つの双方向データ信号で構成されており、シリアルフラッシュコマンド実行中に必要に応じて標準 / デュアル / クワッド SPI のデータ I/O 構成をサポートするために使用できます。表 7-17 に、コントローラで検証済みで、サポートされているシリアルフラッシュデバイスのリストを示します。

表 7-17. DLPC84x4 がサポートする標準 / デュアル / クワッド SPI シリアルフラッシュ デバイス

| 密度 (Mbit) | メーカー | 部品番号 | パッケージ サイズ |
|--------------------|------------|-----------------|-----------|
| 1.8V 互換デバイス | | | |
| 8 | Macronix | MX25R8035FBHIH2 | WLCSP |
| 16 | Winbond | W25Q16JWBYIQ | WLCSP |
| 32 | Macronix | MX25U3232FBHI02 | WLCSP |
| 64 | Winbond | W25Q64JWBYIQ | WLCSP |
| 64 | Winbond | W25Q64JWSSIQ | WLCSP |
| 512 | GigaDevice | GD25LB512MEYIG | WSON |
| 3.3V 互換デバイス | | | |
| 8 | Macronix | MX25R8035FBHIH2 | WLCSP |

コントローラは、表 7-17 に示した以外の標準 / デュアル / クワッド SPI シリアルフラッシュデバイスにも対応できる可能性があります。表 7-18 に示すような機能セットが必要です。

表 7-18. シリアルフラッシュデバイスと DLPC84x4 との互換性に関する機能要件

| 機能 | DLPC84x4 との互換性に関する要件 | 備考 |
|----------------------|---|-------------------------|
| SPI データ構成 (幅) | 標準 (単線)、デュアル (2 線式)、クワッド (4 線式) | |
| SPI クロック モード | SPI モード 0 | |
| SPI クロック周波数 | 最大 60MHz | |
| クロック (↓) から出力有効までの時間 | 6ns (最大) | 例: t_V または t_{CLQV} |
| 高速 READ アドレッシング | 自動インクリメント | |
| プログラミング モード | ページ モード | |
| ページ サイズ | 256 バイト | |
| セクタ (またはサブセクタ) サイズ | 4KB | 必要な消去粒度 |
| ブロック構造 | 均一セクター / サブセクター | |
| ブロック保護 (BP) ビット | デフォルトでは無効 (0) | |
| ステータスレジスタ ビット (0) | 書き込み中 (WIP)/BUSY | |
| ステータスレジスタ ビット (1) | 書き込み有効化ラッチ (WEN) | |
| ステータスレジスタ ビット (4:2) | ブロック保護ビット (BP[2:0]) | |
| ステータスレジスタ ビット (7) | ステータスレジスタ書き込み保護 (SRWP) | |
| 他のステータスレジスタ ビット | 特定のステータスレジスタ ビットの割り当ては不要です。「他の」ステータスレジスタ ビットは、多くの場合、ベンダーやデバイス間における共通 / 標準の実装の詳細がありません。これらの「他の」ステータスレジスタ ビット / 信号は、一般的にメイン アプリケーションに限りサポートされています (特に表 7-17 に示されていないデバイスの場合)、潜在的にサポートされる可能性があります。 | 例: クワッド有効化 |

コントローラとの互換性を確保するため、シリアルフラッシュデバイスは、以下の共通コマンドセットにも対応している必要があります。

表 7-19. DLPC84x4 互換シリアルフラッシュデバイスが対応する共通コマンドセット

| SPI フラッシュ コマンド | 1 バイト目 (OP-CODE) | 2 バイト目 | 3 バイト目 | 4 バイト目 | 5 バイト目 | 6 バイト目 | ダミークロック の数 | 備考 |
|----------------------|---------------------|-----------|----------|----------|---------|---------|---------------|--|
| 高速 READ (1-1-1) | 0x0B | ADDRS(0) | ADDRS(1) | ADDRS(2) | dummy | DATA(0) | 8 | 可変データ ペイロード |
| デュアル READ (1-1-2) | 0x3B | ADDRS(0) | ADDRS(1) | ADDRS(2) | dummy | DATA(0) | 8 | 可変データ ペイロード |
| 2X READ (1-2-2) | 0xBB | ADDRS(0) | ADDRS(1) | ADDRS(2) | dummy | DATA(0) | 4 | 可変データ ペイロード |
| クワッド READ (1-1-4) | 0x6B | ADDRS(0) | ADDRS(1) | ADDRS(2) | dummy | DATA(0) | 8 | 可変データ ペイロード |
| 4X READ (1-4-4) | 0xEB | ADDRS(0) | ADDRS(1) | ADDRS(2) | dummy | DATA(0) | 6 | 可変データ ペイロード |
| 読み取りステータス | 0x05 | STATUS(0) | | | | | 0 | STATUS(0) レジスタ: ビット 1 = WEL ビット 0 = WIP/BUSY |
| 書き込みステータス | 0x01 | STATUS(0) | | | | | 0 | |
| 書き込み有効化 | 0x06 | | | | | | 0 | |
| 書き込み無効化 | 0x04 | | | | | | 0 | |
| ページ プログラム | 0x02 | ADDRS(0) | ADDRS(1) | ADDRS(2) | DATA(0) | DATA(1) | 0 | 256 バイトのデータ ペイロード |

表 7-19. DLPC84x4 互換シリアルフラッシュデバイスが対応する共通コマンドセット (続き)

| SPI フラッシュ コマンド | 1 バイト目 (OP-CODE) | 2 バイト目 | 3 バイト目 | 4 バイト目 | 5 バイト目 | 6 バイト目 | ダミークロック の数 | 備考 |
|-------------------------------|---------------------|----------|----------|----------|--------|--------|---------------|------------------------------|
| セクター / サブセク ター 消去 (4KB) | 0x20 | ADDRS(0) | ADDRS(1) | ADDRS(2) | | | 0 | |
| ブロック消去 (64KB) | 0xD8 | ADDRS(0) | ADDRS(1) | ADDRS(2) | | | 0 | |
| 完全チップ消去 | 0xC7 | | | | | | 0 | |
| ソフトウェアリセット 有効化 | 0x66 | | | | | | 0 | |
| ソフトウェアリセット | 0x99 | | | | | | 0 | |
| 読み取り ID | 0x9F | Data(0) | Data(1) | データ (2) | | | 0 | システムは最初の 3 バ イトだけを読み取ります。 |

共通コマンド セット内の各種読み取りコマンドに関連する SPI データ構成の詳細については、表 7-20 を参照してください。

表 7-20. サポートされている READ コマンド プロトコルの実装詳細

| 読み取りコマンド | オペコード用 SPI データ I/O 構 成 (クロック数) | アドレス用 SPI データ I/O 構 成 (クロック数) | ダミークロックの数 | データ読み取り用 SPI デー タ I/O 構成 (クロック数) |
|-------------------|-----------------------------------|----------------------------------|-----------|-------------------------------------|
| 高速 READ (1-1-1) | 標準 (8) | 標準 (8 / バイト) | 8 | 標準 (8 / バイト) |
| デュアル READ (1-1-2) | 標準 (8) | 標準 (8 / バイト) | 8 | デュアル (4 / バイト) |
| 2X READ (1-2-2) | 標準 (8) | デュアル (4 / バイト) | 4 | デュアル (4 / バイト) |
| クワッド READ (1-1-4) | 標準 (8) | 標準 (8 / バイト) | 8 | クワッド (2 / バイト) |
| 4X READ (1-4-4) | 標準 (8) | クワッド (2 / バイト) | 6 | クワッド (2 / バイト) |

該当するホスト コマンド インターフェイス (I²C または SPI) を介して発行されたホスト コマンドを使用して、シリアル フラッシュ デバイスをプログラムできます。また、ホストはシステムのフラッシュ帯域幅要件に基づき、コントローラの組込みソフトウェアが使用するフラッシュテーブルで、ターゲットフラッシュクロック周波数と読み取りコマンドの優先設定を指定することができます。

7.3.6 GPIO のサポート機能

コントローラは 52 の汎用 I/O を提供しており、さまざまな製品構成に対して多様な機能をサポートしています。一般に、これらの I/O ピンのほとんどは、特定の製品構成に基づいて特定の機能を 1 つだけサポートしますが、その機能は製品構成によって異なる場合があります。未使用の I/O の一部は、テキサス・インスツルメンツのテストやデバッグに使用することもできます。以下の GPIO 表では製品固有の詳細が記載されており、それぞれサポートされている特定の製品構成について、各 GPIO の割り当て済みの使用について説明しています。

表 7-21. GPIO のサポート機能 - LED

| GPIO | 信号名 | 説明 |
|---------|----------------------------|--|
| GPIO_00 | SSP1_SCLK (I) | SSP ターゲット |
| GPIO_01 | SSP1_DI (I) | SSP ターゲット |
| GPIO_02 | SSP1_DO (O) | SSP ターゲット |
| GPIO_03 | SSP1_CSZ0 (I) | SSP ターゲット |
| GPIO_04 | SSP1_CSZ1 (I) | SSP ターゲット |
| GPIO_05 | SSP1_CSZ2 (I) | SSP ターゲット |
| GPIO_06 | SSP1_BCSZ (I) | SSP ターゲット |
| GPIO_07 | IIC1_SCL (B) | I2C ターゲット |
| GPIO_08 | IIC1_SDA (B) | I2C ターゲット |
| GPIO_09 | WPC_COLOR_SENSOR_VSYNC (O) | ホワイトポイント補正同期 |
| GPIO_10 | UART1_TXD (O) | |
| GPIO_11 | UART1_RXD (I) | |
| GPIO_12 | RC_CHARGE (O) | |
| GPIO_13 | LED_SEL0 (O) | |
| GPIO_14 | LED_SEL1 (O) | |
| GPIO_15 | 汎用入出力 | |
| GPIO_16 | 汎用入出力 | |
| GPIO_17 | 汎用入出力 | |
| GPIO_18 | 汎用入出力 | |
| GPIO_19 | 汎用入出力 | |
| GPIO_20 | 汎用入出力 | |
| GPIO_21 | 3D LR (I) | 3D アプリケーションの場合: 左または右の 3D リファレンス (左 = 1、右 = 0)。3D コマンドが提供されない場合にホストによって提供されます。各フレームの中央で遷移する必要があります (VSYNC のアクティブ エッジから 1ms 以上離れていること)。 |
| GPIO_22 | 汎用入出力 | |
| GPIO_23 | LL_FAULT (O) | コマンド処理ができないシステムフォルトのステータスに使用されるフォルト信号。 |
| GPIO_24 | 汎用入出力 | |
| GPIO_25 | CMP_MSEL_0/THERM_PWR (O) | |
| GPIO_26 | CMP_PWM (O) | |
| GPIO_27 | CMP_OUT (I) | |
| GPIO_28 | LS_PWR (O) | |
| GPIO_29 | 汎用入出力 | |
| GPIO_30 | 汎用入出力 | |
| GPIO_31 | 汎用入出力 | |
| GPIO_32 | 汎用入出力 | |

表 7-21. GPIO のサポート機能 - LED (続き)

| GPIO | 信号名 | 説明 |
|---------|--------------|----|
| GPIO_33 | 汎用入出力 | |
| GPIO_34 | 汎用入出力 | |
| GPIO_35 | CAL_PWR (O) | |
| GPIO_36 | 汎用入出力 | |
| GPIO_37 | 汎用入出力 | |
| GPIO_38 | 汎用入出力 | |
| GPIO_39 | USB 選択 (O) | |
| GPIO_40 | 4 方向 XPR (O) | |
| GPIO_41 | 4 方向 XPR (O) | |
| GPIO_42 | 4 方向 XPR (O) | |
| GPIO_43 | 4 方向 XPR (O) | |
| GPIO_44 | 4 方向 XPR (O) | |
| GPIO_45 | 4 方向 XPR (O) | |
| GPIO_46 | 4 方向 XPR (O) | |
| GPIO_47 | 4 方向 XPR (O) | |
| GPIO_48 | 4 方向 XPR (O) | |
| GPIO_49 | 4 方向 XPR (O) | |
| GPIO_50 | 4 方向 XPR (O) | |
| GPIO_51 | 4 方向 XPR (O) | |

表 7-22. GPIO のサポート機能 - LED / レーザー PWM

| GPIO | 信号名 | 説明 |
|---------|----------------------------|---------------|
| GPIO_00 | SSP1_SCLK (I) | SSP ターゲット |
| GPIO_01 | SSP1_DI (I) | SSP ターゲット |
| GPIO_02 | SSP1_DO (O) | SSP ターゲット |
| GPIO_03 | SSP1_CSZ0 (I) | SSP ターゲット |
| GPIO_04 | SSP1_CSZ1 (I) | SSP ターゲット |
| GPIO_05 | SSP1_CSZ2 (I) | SSP ターゲット |
| GPIO_06 | SSP1_BCSZ (I) | SSP ターゲット |
| GPIO_07 | IIC1_SCL (B) | I2C ターゲット |
| GPIO_08 | IIC1_SDA (B) | I2C ターゲット |
| GPIO_09 | WPC_COLOR_SENSOR_VSYNC (O) | ホワイト ポイント補正同期 |
| GPIO_10 | UART1_TXD (O) | |
| GPIO_11 | UART1_RXD (I) | |
| GPIO_12 | 汎用入出力 | |
| GPIO_13 | RED_ENABLE (O) | 注 (1) を参照 |
| GPIO_14 | GREEN_ENABLE (O) | 注 (1) を参照 |
| GPIO_15 | BLUE_ENABLE (O) | 注 (1) を参照 |
| GPIO_16 | 汎用入出力 | |
| GPIO_17 | 汎用入出力 | |
| GPIO_18 | 汎用入出力 | |
| GPIO_19 | 汎用入出力 | |
| GPIO_20 | 汎用入出力 | |

表 7-22. GPIO のサポート機能 - LED / レーザー PWM (続き)

| GPIO | 信号名 | 説明 |
|---------|---------------|---|
| GPIO_21 | 3D LR (I) | 3D アプリケーションの場合:左または右の 3D リファレンス (左 = 1、右 = 0)。3D コマンドが提供されない場合にホストによって提供されます。各フレームの中央で遷移する必要があります (VSYNC のアクティブ エッジから 1ms 以上離れていること)。 |
| GPIO_22 | 汎用入出力 | |
| GPIO_23 | LL_FAULT (O) | システム フォルトを監視するために使用されるフォルト信号、詳細を提供するソフトウェア コマンドが利用可能 |
| GPIO_24 | 汎用入出力 | |
| GPIO_25 | RED_PWM (O) | 注 (1) を参照 |
| GPIO_26 | GREEN_PWM (O) | 注 (1) を参照 |
| GPIO_27 | BLUE_PWM (O) | 注 (1) を参照 |
| GPIO_28 | 汎用入出力 | |
| GPIO_29 | 汎用入出力 | |
| GPIO_30 | 汎用入出力 | |
| GPIO_31 | 汎用入出力 | |
| GPIO_32 | 汎用入出力 | |
| GPIO_33 | 汎用入出力 | |
| GPIO_34 | 汎用入出力 | |
| GPIO_35 | 汎用入出力 | |
| GPIO_36 | 汎用入出力 | |
| GPIO_37 | 汎用入出力 | |
| GPIO_38 | 汎用入出力 | |
| GPIO_39 | USB 選択 (O) | |
| GPIO_40 | 4 方向 XPR (O) | |
| GPIO_41 | 4 方向 XPR (O) | |
| GPIO_42 | 4 方向 XPR (O) | |
| GPIO_43 | 4 方向 XPR (O) | |
| GPIO_44 | 4 方向 XPR (O) | |
| GPIO_45 | 4 方向 XPR (O) | |
| GPIO_46 | 4 方向 XPR (O) | |
| GPIO_47 | 4 方向 XPR (O) | |
| GPIO_48 | 4 方向 XPR (O) | |
| GPIO_49 | 4 方向 XPR (O) | |
| GPIO_50 | 4 方向 XPR (O) | |
| GPIO_51 | 4 方向 XPR (O) | |

注:

(1) お客様のアプリケーションに応じて使用可能なレーザー安全機能は、テキサス・インスツルメンツのソフトウェアの適用範囲外であり、これらの信号を使用してレーザー光源を駆動する場合、その責任はお客様にあります。

7.3.7 デバッグ サポート

コントローラにはテストポイント出力ポート TSTPT_(7:0) があり、これによりホストがコントローラのデバッグをサポートできます。初期のデバッグ動作では、4 つの信号 (TSTPT(3:0)) は、PARKZ が High になってから (またはシステムリセットが

行われてから) 約 1.5μs 後に入力としてサンプリングされます。それらの入力状態がサンプリングおよびキャプチャされると、この情報を使用して TSTPT_(7:0) バスの初期テストモード出力状態が設定されます。表 7-23 に、TSTPT_(7:0) のいくつかのプログラム可能な出力状態に対するテストモード選択を定義します。通常動作 (デバッグ不要) には、デフォルト状態の 0000 (必要な外付けプルダウン抵抗で定義) を使用します。

テキサス・インスツルメンツがこのデバッグ機能を使用できるようにするために、TSTPT(3:0) に外部プルアップへのジャンプオプションを提供し、TSTPT バス出力の監視を可能にするアクセスを提供することが推奨されます。

表 7-23. TSTPT(3:0) で定義されたテストモード選択出力の例

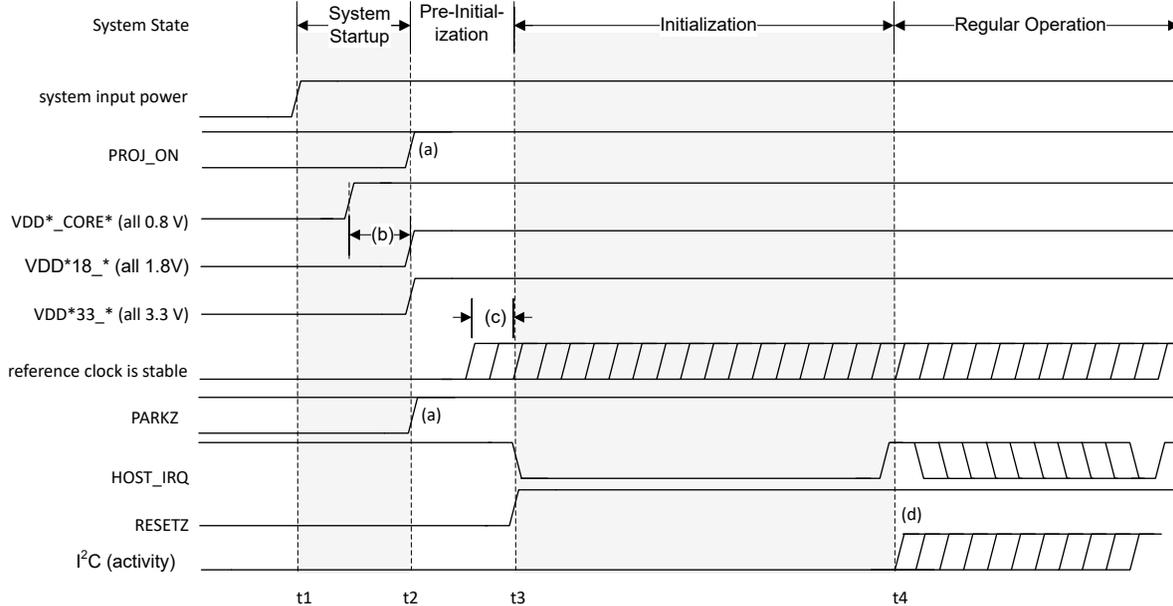
| TSTPT_(7:0) 出力 | TSTPT(3:0) キャプチャ値 ⁽¹⁾ | | |
|----------------|----------------------------------|-------------------|------------------------|
| | 0000 (デフォルト) (スイッチングなし) | 0101 クロック デバッグ | 1000 システム キャリブレーション |
| TSTPT(0) | 0 | High | 垂直同期 |
| TSTPT(1) | 0 | 166.25MHz | 遅延 CW インデックス |
| TSTPT(2) | 0 | 83.13MHz | シーケンス インデックス |
| TSTPT(3) | 0 | 41.56MHz | CW スポーク テスト ポイント |
| TSTPT(4) | 0 | 10.39MHz | CW 回転テスト ポイント |
| TSTPT(5) | 0 | 25.16MHz | リセット シーケンス補助ビット 0 |
| TSTPT(6) | 0 | 133.00MHz | リセット シーケンス補助ビット 1 |
| TSTPT(7) | 0 | High | リセット シーケンス補助ビット 2 |

- (1) これらはいくまでもデフォルトの出力選択です。ソフトウェアは、選択した内容をいつでも再プログラムできます。

8 電源に関する推奨事項

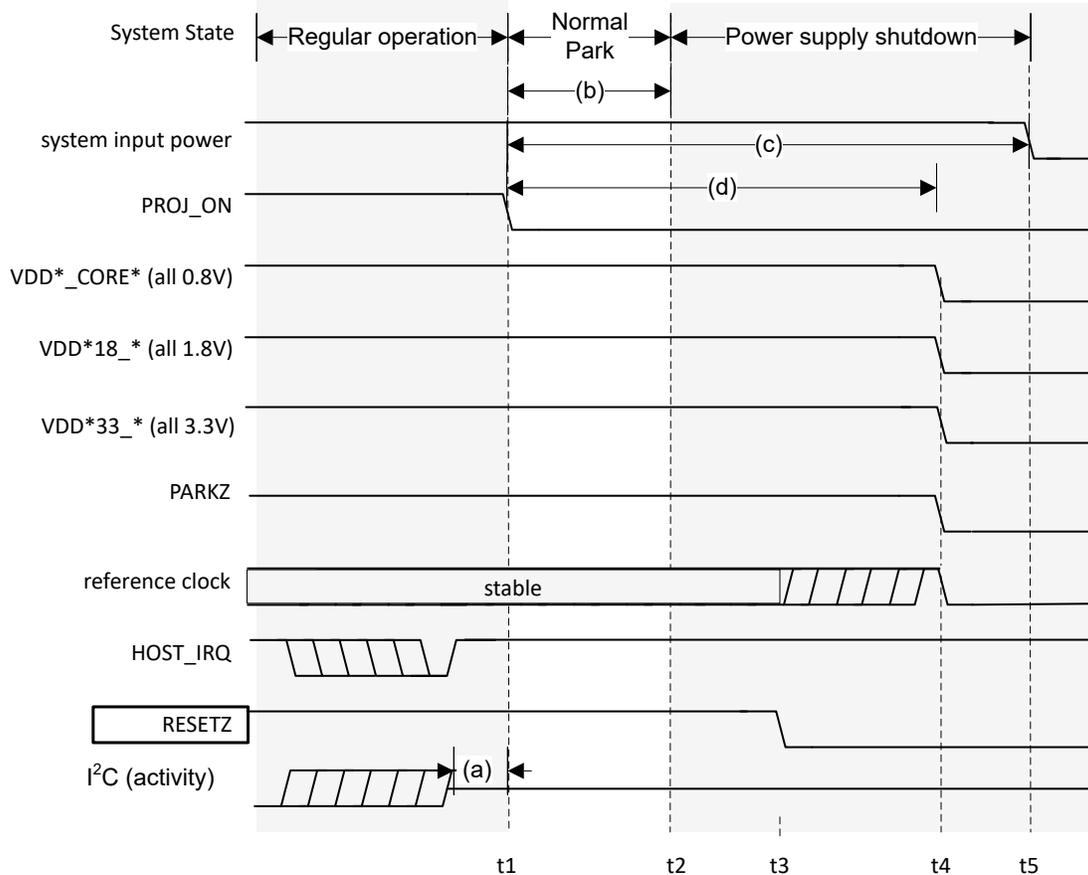
8.1 システムのパワーアップおよびパワーダウン シーケンス

コントローラは電源電圧ピンの配列を必要としますが、コントローラの損傷を避けるために、電源シーケンスの相対的な順序に制限はありません (これは、パワーアップとパワーダウンの両方のシナリオについても同様です)。コントローラでは、各電源のパワーアップとパワーダウンの間に最小遅延時間は必要ありません。電源をコントローラと共有するデバイス (PMIC や DMD など) には、追加の電源シーケンスルールが存在する場合があります。これらのデバイスにより、追加のシステム電源シーケンス要件が生じる場合があります。一般的な DLPC システムのコントローラパワーアップシーケンス、通常の PARK パワーダウンシーケンス、および高速 PARK パワーダウンシーケンスを下の図に示します。



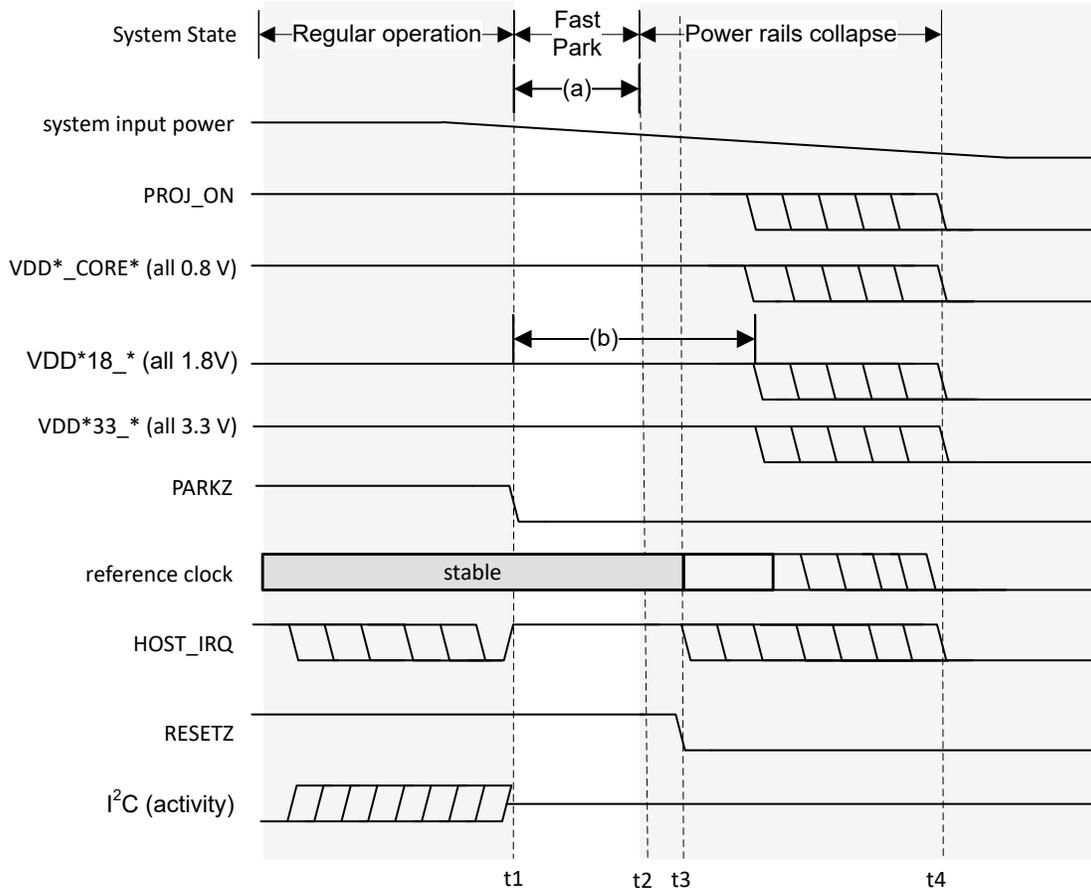
- t1: システムに供給される電力。他のすべての電圧レールは、システムの入力電源から供給されます。
- t2: すべての電源は、指定された公称値の 95% に達します。HOST_IRQ は、オープンドレイン出力です。
- t3: RESETZ がデアサートされる (High になる) ポイント。これは自動初期化の開始を示します。
- t4: HOST_IRQ が High になり、初期化が完了し、ホスト通信を開始できることを示します。
- (a): 自動初期化をサポートするため、RESETZ 解除前に PARKZ と PROJ_ON を High にする必要があります。
- (b): $t_{\text{RAMP-UP-TOTAL, 0.8V}}$ ランプ開始からすべての電源が安定するまでの最大時間。
- (c): t_{REFCLK} 、RESETZ 解除前にリファレンス クロックが安定していなければならない最小時間。
- (d): HOST_IRQ が High になり、自動初期化が完了したことが示されるまで、I²C アクティビティは開始できません。

図 8-1. システム パワーアップ波形 (DLPA3085 または DLPA3082 使用時)



- t1: PROJ_ON が Low になり、パワーダウン シーケンスが始まります。
- t2: コントローラが DMD ミラー パーキング シーケンスを完了します。
- t3: RESETZ がアサートされ、HOST_IRQ が High になります。
- t4: コントローラ電源がすべてオフになり、放電されます。
- t5: システム電源を安全に取り外すことができます。
- (a): PROJ_ON がデアサートされた (Low になった) 後の I²C アクティビティはサポートされません。
- (b): DMD ミラー パーキング シーケンスは、PROJ_ON がデアサートされる (Low になる) と始まります。
- (c): PROJ_ON がデアサートされた (Low になった) 後、DMD パーキングと電源が完全にパワーダウンする時間を確保するため、システムの入力電力を仕様内に維持することが推奨されます。
- (d): DLPA PMIC は、コントローラ電源のパワーダウン タイミングを制御します。

図 8-2. 通常パーク パワーダウン波形



- t1: フォルトが検出され (この例では PMIC が UVLO 状態を検出)、PARKZ がアサートされ (Low になり)、DMD の高速パークを開始するようにコントローラに通知します。
- t2: コントローラが高速パーク手順を終了します。
- t3: RESETZ がアサートされると、コントローラはリセット状態になり、HOST_IRQ が解除されて High になります。
- t4: 最終的に、SYSPWR から派生した電源はすべて停止します。
- (a): DMD を損傷の可能性から保護するため、PARKZ がアサートされて (Low になって) から少なくとも $32\mu\text{s}$ の間、すべての電源と PLL_REFCLK を仕様内に維持する必要があります。
- (b): DMD には電源シーケンス要件があり、1.8V 電源のタイミング要件に影響を及ぼす可能性があります。詳細については、DMD のデータシートを参照してください。

図 8-3. 高速パーク パワーダウン波形

8.2 DMD 高速パーク制御 (PARKZ)

PARKZ は、DC 電源電圧が仕様を下回る少なくとも $32\mu\text{s}$ 前に、コントローラに通知する必要がある早期警告用の入力信号です。通常、PARKZ 信号は DLPA3085 または DLPA3082 割り込み出力信号によって供給されます。通常動作の場合、PARKZ は RESETZ を解除する前 (RESETZ 入力の Low から High への遷移の前) にデアサート (High に設定) する必要があります。PARKZ がアサート (Low に設定) されると、コントローラは DMD の高速パーク動作を実行し、これが DMD の寿命の維持に寄与します。パーク動作が完了するには、PARKZ がアサート (Low に設定) されてから少なくとも $32\mu\text{s}$ の間、リファレンス クロックは動作を継続し、RESETZ は非アクティブのままになっている必要があります。

高速パーク動作は、電力損失が差し迫っていて、ホストプロセッサの制御が及ばない場合 (外部電源が切断された場合や、バッテリーが最低レベル以下に低下した場合など) のみの使用を想定しています。高速パーク動作では、DMD の最長寿命が達成されない場合があります。最長寿命は、通常パーク動作で達成されるものです。したがって、PARKZ は一般的に、通常パークを行う時間が不足している場合にのみ、通常パーク要求の代わりに使用されます。通常パーク動作は、ミラーをパークするのに 32 μ s よりもはるかに長い時間がかかります。通常パーク動作の間、DLPA3085 または DLPA3082 はすべての電源をオンのままにし、長い時間を要するミラー パーキングが完了するまで RESETZ を High に維持します。さらに、DLPA3085 または DLPA3082 はパーキングが完了した後、一定時間電源をオンのままにすることができます。詳細については、関連する DLPA3085 または DLPA3082 のデータシートを参照してください。ミラーのパーキング時間を長くすることで、DMD の寿命と信頼性を最大限に保つことができます。

8.3 パワー マネージメント

DLPA3085 または DLPA3082 は、コントローラおよび DMD のパワーマネージメントを行います。パワー シーケンスとタイミングに関するすべての要件については、[セクション 8.1](#) を参照してください。

8.4 ホットプラグの使用方法

ホットプラグは、コントローラに対して電源が安定していることを前提としています。そのため、電源レールが完全に立ち上がるまでは、入力ソースを送信しないでください。V-by-One、FPD-Link、DSI、USB の各インターフェイスは、ホットプラグの使用に対応しており (コントローラに電源供給されている状態でこれらのインターフェイスの接続や取り外しが可能)、コントローラ本体 (およびシステムに接続された DMD) はホットプラグの使用に対応していません。そのため、コントローラや DMD をシステムから取り外す前に、システムをパワーダウンしてください。

8.5 未使用の入力ソース インターフェイスの電源

製品の構成によっては、使用可能な入力ソース インターフェイス (V-by-One、FPD-Link、DSI など) のすべてを提供または利用できない場合がありますが、これら未使用の入力ソース インターフェイスに関連付けられた電源は、インターフェイスが利用される場合と同様に提供されなければなりません。

8.6 電源

8.6.1 電源 DLPA3085 または DLPA3082

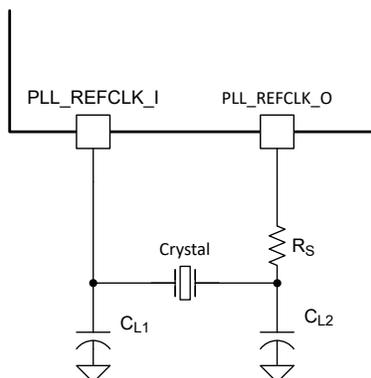
DLPA3085 または DLPA3082 パワーマネージメント IC コントローラは、0.8V、1.8V、3.3V の電源を供給します。それぞれ一意に定義された電源ピン (たとえば、VDD_CORE、VDDR_CORE) に、追加のフィルタリングを提供する必要があります。本書の [セクション 9.1](#) では、電源ピンのフィルタリングの詳細を説明しています。

9 レイアウト

9.1 レイアウトのガイドライン

9.1.1 DLPC8424 または DLPC8444 リファレンスクロックのレイアウトガイドライン

コントローラは、内部 PLL に供給するために、2 つの外部リファレンスクロックを必要とします。水晶振動子または発振器から、これらのリファレンス信号を供給できます。推奨される水晶振動子の構成とリファレンス クロックの周波数を [水晶振動子に必要なディスクリート部品](#) に示し、別途必要なディスクリート部品を [表 9-1](#) に示します。



C_L = 水晶振動子の負荷容量

図 9-1. 水晶振動子に必要なディスクリート部品

9.1.1.1 水晶発振器の推奨構成

表 9-1. 水晶振動子の推奨構成

| パラメータ | 水晶振動子 | 単位 |
|--------------------------|---------------------------------|-----|
| 水晶振動子回路の構成 | 並列共振 | |
| 水晶振動子のタイプ | 基本波 (第 1 高調波) | |
| 水晶振動子の公称周波数 | 40 | MHz |
| 水晶振動子周波数の許容誤差 (1) | ±100 (最大 200p-p) | PPM |
| 水晶振動子の等価直列抵抗 (ESR) | 60 (最大) | Ω |
| 水晶振動子の負荷容量 | 20 (最大) | pF |
| 水晶振動子のシャント負荷容量 | 7 (最大) | pF |
| 温度範囲 | -40°C ~ +85°C | °C |
| 励振レベル | 100 (公称) | μW |
| C_{L1} 外部水晶振動子の負荷コンデンサ | (2) の式を参照してください。 | pF |
| C_{L2} 外部水晶振動子の負荷コンデンサ | (3) の式を参照してください。 | pF |
| PCB レイアウト | 水晶振動子の周囲にアース絶縁リングを設けることが推奨されます。 | |

- (1) 精度、温度、経年劣化、トリム感度を考慮した水晶振動子周波数の許容誤差。これらは通常別々に指定され、この要件を満たすために必要なすべての合計となります。
- (2) $CL1 = 2 \times (CL - Cstray_pll_refclk_i)$ 、ここで、 $Cstray_pll_refclk_i$ = コントローラピン REFCLKx_I に関連した水晶振動子ピンでのパッケージと PCB の浮遊容量の合計 [表 9-2](#) を参照してください。
- (3) $CL2 = 2 \times (CL - Cstray_pll_refclk_o)$ 、ここで、 $Cstray_pll_refclk_o$ = コントローラピン REFCLKx_O に関連した水晶振動子ピンでのパッケージと PCB の浮遊容量の合計 [表 9-2](#) を参照してください。

表 9-2. 水晶振動子ピンの容量

| パラメータ | | 最小値 | 公称値 | 最大値 | 単位 |
|---------------------|---------------------------------|-----|-----|-----|----|
| Cstray_pll_refclk_i | REFCLKA_I でのパッケージと PCB の浮遊容量の合計 | | 0.4 | | pF |
| Cstray_pll_refclk_o | REFCLKA_O でのパッケージと PCB の浮遊容量の合計 | | 0.4 | | pF |

DLPC8424 または DLPC8444 の水晶振動子回路には専用の電源 (VDDS18_OSC) ピンがあり、各推奨フィルタリングを 図 9-2 に、推奨値を DLPC8424 および DLPC8444 の推奨水晶振動子 に示します。

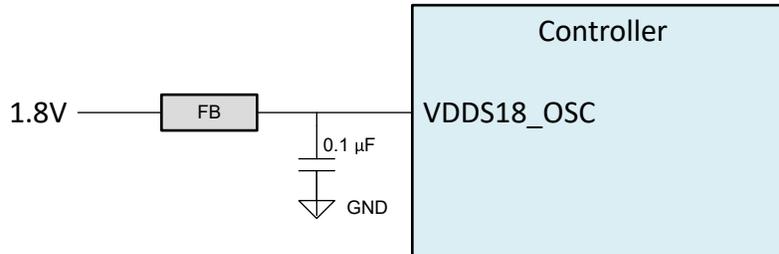


図 9-2. 水晶振動子の電源フィルタリング

表 9-3. DLPC8424 および DLPC8444 の推奨水晶振動子

| メーカー | 部品番号 | 公称周波数 (MHz) | 周波数許容誤差 (ppm) | 最大 ESR (Ω) | 負荷容量 (pF) | パッケージの寸法 (mm) |
|----------------|---------------------------|-------------|---------------|------------|-----------|---------------|
| KDS | DSX1612S | 40 | ±50 | 50 | 8 | 1.6 x 1.2 |
| KDS | DSK211G | 40 | ±50 | 80 | 8 | 2.0 x 1.6 |
| Murata (村田製作所) | XRC GB40M00F0L 00R0 | 40 | ±200 | 100 | 6 | 2.0 x 1.6 |
| NDK | NX1612SA | 40 | ±25 | 80 | 8 | 1.6 x 1.2 |
| NDK | NX2016SA | 40 | ±35 | 50 | 8 | 2.0 x 1.6 |

9.1.2 V-by-One インターフェイス レイアウトの考慮事項

DLPC8424 および DLPC8444 V-by-One SERDES 差動インターフェイスの波形品質とタイミングは、インターコネクトシステムの全長、トレース間の間隔、特性インピーダンス、エッチング損失、およびインターフェイス全体での長さの整合性に依存します。そのため、正のタイミング マージンを確保するには、多くの要因に注意する必要があります。

DLPC8424 および DLPC8444 I/O タイミングパラメーター、V-by-One トランスミッターのタイミングパラメーター、および Thine 固有のタイミング要件は、対応するデータシートに記載されています。PCB 配線のミスマッチは、制御された PCB 配線を通して、予算を割り当てて対応することができます。V-by-One の PCB 関連要件は、お客様向けの参照情報として V-by-One インターフェイスの PBC 関連要件 に示します。

表 9-4. V-by-One インターフェイスの PBC 関連要件

| パラメータ (1) | 最小値 | 標準値 | 最大値 | 単位 |
|--|-----|-----|-------|------|
| レーン内クロストーク (VX1_DATAx_P と VX1_DATAx_N の間) | | | < 1.5 | mVpp |
| レーン間クロストーク (データレーン ペアの間) | | | < 1.5 | mVpp |
| データレーンと他の信号の間のクロストーク | | | < 1.5 | mVpp |
| レーン内スキュー | | | < 40 | ps |
| レーン間スキュー | | | < 800 | ps |

表 9-4. V-by-One インターフェイスの PBC 関連要件 (続き)

| パラメータ (1) | 最小値 | 標準値 | 最大値 | 単位 |
|-----------|-----|-----|-----|----|
| 差動インピーダンス | 90 | 100 | 110 | Ω |

(1) 最小のトレース幅と間隔を使用してコントローラのボールフィールドから逃がす場合、目標の 100Ω インピーダンスを達成するため (たとえば、伝送ラインの損失を低減するため) に、実際的に可能であれば逃がした後にトレース幅と間隔を広げることが望ましいです。

V-by-One のその他のレイアウト ガイドライン:

- ビアの数 を 最小限に抑えるため、PBC の最上層に差動信号ペアを配線します。必要なビアの数を 2 個に制限します。
- マイクロストリップ ライン構成を使用して、差動信号ペアを単一のグランド プレーンまたは電源プレーンに配線します。グランド ガードトレースも推奨されます。
- 差動信号ペアは電源プレーンやグランドプレーンのスリット上に配線しないでください。
- スキュー要件を満たすために、各ペアおよび各ペア間のパターン長のミスマッチを最小限に抑えます。
- 差動信号ペアに関連する曲げ角度が 135° ~ 225° であることを確認します (図 9-3 を参照)。

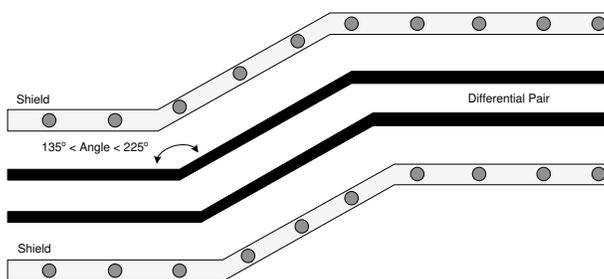


図 9-3. V-by-One の配線例

9.1.3 DMD 最大ピン間、PCB インターコネクト エッチング長

表 9-5. 最大ピン互換 PCB 相互接続に関する推奨事項

| DMD バス信号 (1) (2) | 信号相互接続トポロジ | | 単位 |
|--------------------------------------|---------------|----------------|---------|
| | 単一基板の信号配線の長さ | 複数基板の信号配線の長さ | |
| DMD_HS_CLK_P DMD_HS_CLK_N | 10.0 (254) | (3) を参照してください。 | (mm) 単位 |
| DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N | 10.0 (254) | (3) を参照してください。 | (mm) 単位 |
| DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N | | | |
| DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N | | | |
| DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N | | | |
| DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N | | | |
| DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N | | | |
| DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N | | | |
| DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N | | | |
| DMD_LS_CLK | | | |
| DMD_LS_WDATA | 10.0 (254) | (3) を参照してください。 | (mm) 単位 |

表 9-5. 最大ピン互換 PCB 相互接続に関する推奨事項 (続き)

| DMD バス信号 (1) (2) | 信号相互接続トポロジ | | 単位 |
|------------------|---------------|----------------|---------|
| | 単一基板の信号配線の長さ | 複数基板の信号配線の長さ | |
| DMD_LS_RDATA | 10.0 (254) | (3) を参照してください。 | (mm) 単位 |
| DMD_DEN_ARSTZ | 10.0 (254) | (3) を参照してください。 | (mm) 単位 |

- (1) 信号配線の最大長には、エスケープ配線が含まれます。
- (2) コネクタの影響により、マルチボード DMD 配線の長さが制限されます。
- (3) PCB のばらつきのため、これらの推奨事項は定義できません。基板設計では、配線長が信号要件に違反しないように、コントローラの IBIS モデル (コントローラの Web ページの「ツールとソフトウェア」タブにある) を SPICE シミュレーションする必要があります。

表 9-6. 高速 PCB 信号配線マッチング要件

| 信号グループ長マッチング (1) (2) (3) | | | | |
|--------------------------|--------------------------------------|------------------------------|--------------------|---------|
| インターフェイス | 信号グループ | リファレンス信号 | 最大ミスマッチ (4) | 単位 |
| DMD (5) | DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N | DMD_HS_CLK_P DMD_HS_CLK_N | ±1.0 (±25.4) | (mm) 単位 |
| | DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N | | | |
| | DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N | | | |
| | DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N | | | |
| | DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N | | | |
| | DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N | | | |
| | DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N | | | |
| | DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N | | | |
| DMD | DMD_HS_WDATA_x_P | DMD_HS_WDATA_x_N | ±0.025 (±0.635) | (mm) 単位 |
| DMD | DMD_HS_CLK_P | DMD_HS_CLK_N | ±0.025 (±0.635) | (mm) 単位 |
| DMD | DMD_LS_WDATA DMD_LS_RDATA | DMD_LS_CLK | ±0.2 (±5.08) | (mm) 単位 |
| DMD | DMD_DEN_ARSTZ | 該当なし | 該当なし | (mm) 単位 |

- (1) 長マッチングの値は、PCB 配線長にのみ適用されます。DLPC84x4 コントローラまたは DMD に関連する内部パッケージの配線ミスマッチについて、その他の考慮事項は必要ありません。
- (2) トレーニングは DMD HS データラインに適用されます。この理由で、定義済みのマッチング要件は LS データラインと比較してわずかに緩和されています。
- (3) DMD LS 信号はシングル エンドです。
- (4) 信号グループのミスマッチのばらつきは、常にリファレンス信号に関連しています。
- (5) DMD HS のデータラインは差動であるため、これらの仕様はペア ツー ペアです。

表 9-7. 信号要件

| パラメータ | リファレンス | 要件 |
|-------------|------------------|--------------------------------------|
| ソース直列終端 | DMD_LS_WDATA | 33Ω ±10% が必要 |
| | DMD_LS_CLK | 33Ω ±10% が必要 |
| | DMD_DEN_ARSTZ | 許容する |
| | DMD_LS_RDATA | 30.1Ω ±10% が必要 |
| | DMD_HS_WDATA_x_y | 許容しない |
| | DMD_HS_CLK_y | 許容しない |
| エンドポイント終端 | DMD_LS_WDATA | 許容しない |
| | DMD_LS_CLK | 許容しない |
| | DMD_DEN_ARSTZ | 許容しない |
| | DMD_LS_RDATA | 許容しない |
| | DMD_HS_WDATA_x_y | 許容しない |
| | DMD_HS_CLK_y | 許容しない |
| PCB インピーダンス | DMD_LS_WDATA | 50Ω ±10% |
| | DMD_LS_CLK | 50Ω ±10% |
| | DMD_DEN_ARSTZ | 50Ω ±10% |
| | DMD_LS_RDATA | 50Ω ±10% |
| | DMD_HS_WDATA_x_y | 100Ω ±10% |
| | DMD_HS_CLK_y | 100Ω ±10% |
| 信号のタイプ | DMD_LS_WDATA | DMD_LS_DCLK を基準とする SDR (シングル データレート) |
| | DMD_LS_CLK | DMD_LS_DCLK を基準とする SDR |
| | DMD_DEN_ARSTZ | SDR |
| | DMD_LS_RDATA | DMD_LS_DCLK を基準とする SDR |
| | DMD_HS_WDATA_x_y | SubLVDS |
| | DMD_HS_CLK_y | SubLVDS |

9.1.4 電源のレイアウト ガイドライン

以下にリストされている電源入力には、以下のフィルタリング回路が推奨されます。

- VDDA18_Vx1
- VDDA18_FPD
- VDDA18_DSI
- VDDA33_USB
- VDDA18_USB
- VDD_CORE_Vx1
- VDD_CORE_FPD
- VDD_CORE_DSI
- VDD_CORE_USB

PBC レイアウトはこれらの電源に関連するインターフェイスの性能にとって不可欠であるため、これらの電源をアナログ信号のように扱うことが大変重要です。具体的には次のとおりです。

- 高周波コンポーネント (フェライトやコンデンサなど) は、電源ボールのできるだけ近くに配置します。
- ESR 値や ESL 値が低い高周波セラミック コンデンサ (0.1μF、0.01μF、100nF など) を選択します。リードはできる限り短く設計し、これらのコンデンサは基板の反対側のパッケージの下に配置することが推奨されます。
- 各電源ピンには、コントローラからコンデンサを経由し、直列フェライトを通して電源に接続するための単一パターン (できるだけ幅広) を使用する必要があります。

- 各電源ピンには、エスケープ ピアの近くに 100nF のデカップリング コンデンサを 1 つ追加します。このデカップリング容量はフィルタの推奨容量に追加します。これらは最小の推奨事項であるため、レイアウトが異なる場合、追加容量が必要になることがあります。

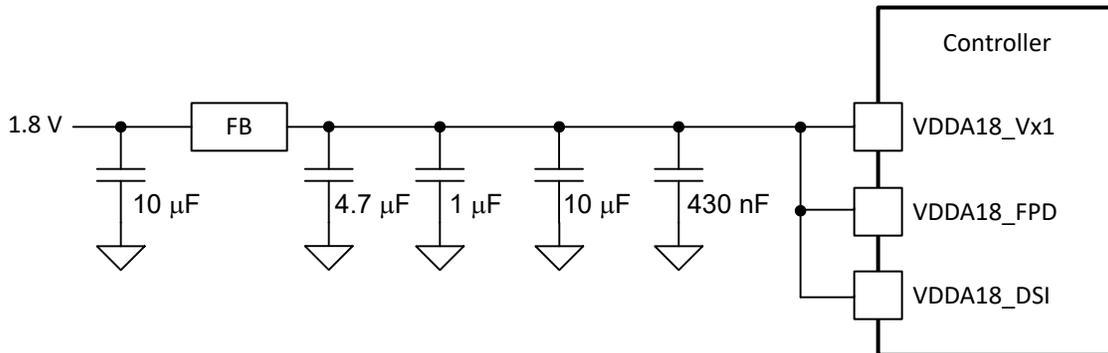


図 9-4. VDDA18_VX1 (V-by-One)、VDDA18_FPD (FPD-Link)、VDDA18_DSI の (DSI) 推奨フィルタ

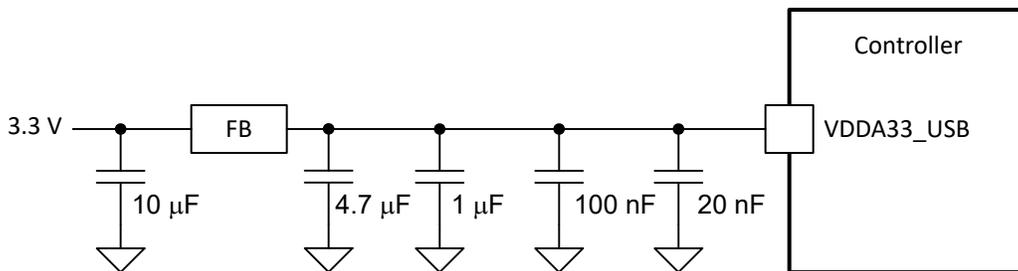


図 9-5. VDDA33_USB (USB) の推奨フィルタ

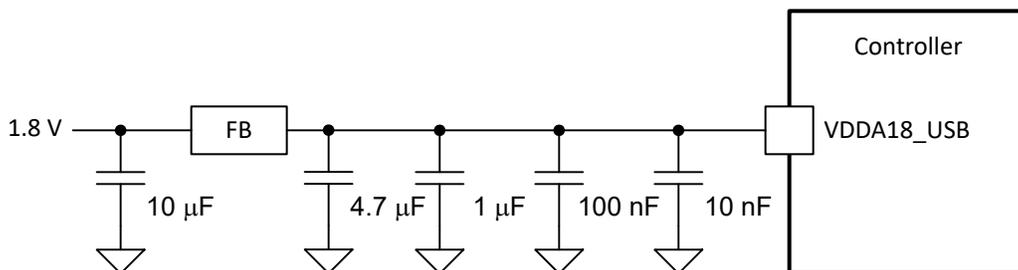


図 9-6. VDDA18_USB (USB) の推奨フィルタ

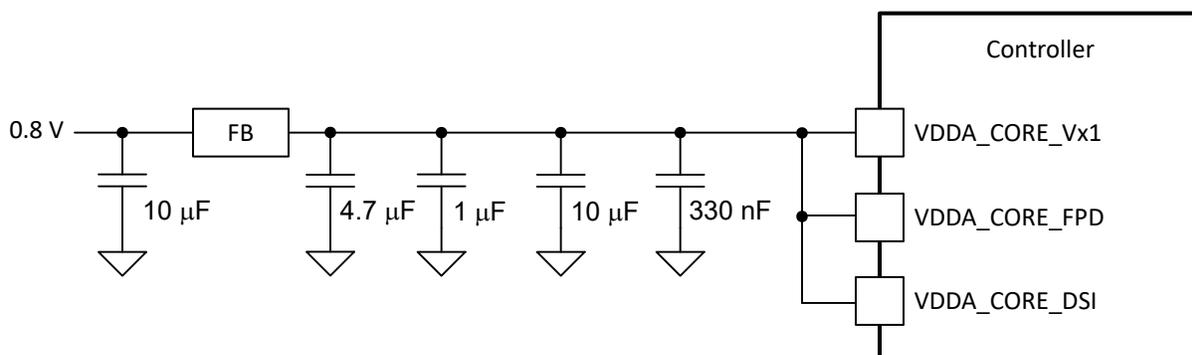


図 9-7. VDD_CORE_VX1 (V-by-One)、VDD_CORE_FPD (FPD-Link)、VDD_CORE_DSI (DSI) の推奨フィルタ

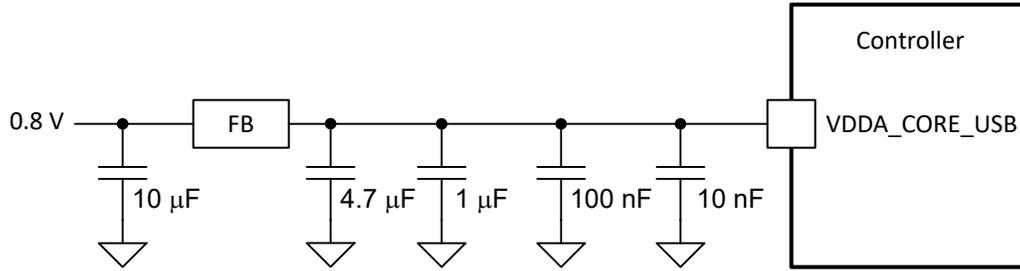


図 9-8. VDD_CORE_USB (USB) の推奨フィルタ

9.2 熱に関する注意事項

DLPC8424 または DLPC8444 の基本的な熱要件は、最大動作時接合部温度 (T_J) を超えてはならないことです (「推奨動作条件」に定義)。この温度は、動作時周囲温度、ヒートシンク、エアフロー、PCB 設計 (コンポーネントのレイアウト密度および銅箔の使用量など)、DLPC8424 または DLPC8444 の消費電力、周囲のコンポーネントの消費電力に依存します。DLPC8424 または DLPC8444 のパッケージは、パッケージのヒート スラグからヒートシンクへ、サーマル ボールを経由し、PCB の電源プレーンとグランド プレーンを通して熱を抽出するように設計されています。そのため、ヒートシンク、銅箔の量、PCB 上のエアフローが重要な要素になります。

推奨される最大動作時周囲温度 (T_A) は、主に設計目標として提供され、強制エアフロー 0m/s、1m/s、2m/s における DLPC8424 または DLPC8444 の最大消費電力と $R_{\theta JA}$ に基づいています。ここで、 $R_{\theta JA}$ は「レイアウト ガイドライン」に記載されているテスト基板を使用して測定したパッケージの熱抵抗です。このテスト PCB は必ずしもお客様の PCB を代表しているとは限らないため、報告された熱抵抗は、実際の製品アプリケーションでは誤差が生じる場合があります。実際の熱抵抗は異なる可能性があります。設計段階において放熱性能を評価する上では最良の情報となります。テキサス・インスツルメンツでは、ホスト PCB の設計と構築が完了したら、熱性能の測定と検証を行うことを強く推奨しています。

そのためには、製品のワーストケース シナリオ (最大消費電力、最大電圧、最大周囲温度) の下でケース中央上部の温度を測定し、推奨される最大ケース温度 (T_C) を超えていないことを検証します。この仕様は DLPC8424 または DLPC8444 パッケージの ϕ_{JT} の測定を基にしたもので、接合部温度と比較的正確な相関関係が得られます。このケース温度を測定する際には、パッケージ表面が誤って冷却されないように注意してください。テキサス・インスツルメンツでは、小型 (約 40 ゲージ) の熱電対を推奨しています。ビーズと熱電対配線がパッケージ上部に接触するようにしてください。ビーズと熱電対配線を最小限の熱伝導性エポキシで覆ってください。配線を通してビーズが冷却されないように、パッケージと基板表面に沿って密に配線してください。

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントのサポート

10.2.1 関連資料

次のドキュメントには、DMD とともに使用されるチップセット コンポーネントについての追加情報が掲載されています。

- [DLPA3085 PMIC および高電流 LED ドライバ IC データシート](#)
- [DLPA3082 PMIC IC データシート](#)
- [DLP472NP 1080p デジタルマイクロミラーデバイス データシート](#)
- [DLP230NP 0.23 1080p デジタルマイクロミラーデバイス データシート](#)

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

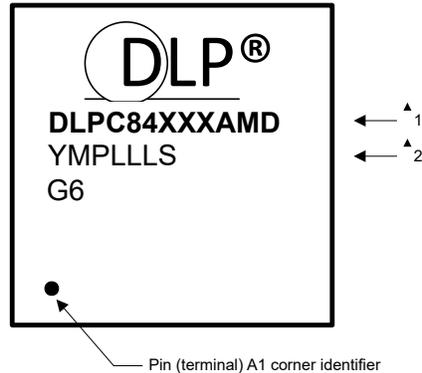
10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.5 デバイスの命名規則

10.5.1 デバイスのマーキング



マーキングの定義:

- | | | |
|-------|-------------------------|---|
| 1 行目: | テキサス・インスツルメンツの型番: 量産出荷中 | DLPC84XXX = デバイス ID 空白または A、B、C ... 部品のリビジョン AMD = パッケージ記号 |
| 2 行目: | ベンダの年、週、およびロットコード | YM = 年月日コード P = セカンダリ拠点コード LLL = アセンブリ拠点コード S = プライマリ拠点コード |
| 3 行目: | ECAT - グリーン パッケージ記号 | G6 |

10.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

V-by-One® is a registered trademark of THine Electronics, Inc.

Arm® is a registered trademark of Arm Ltd.

DLP® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

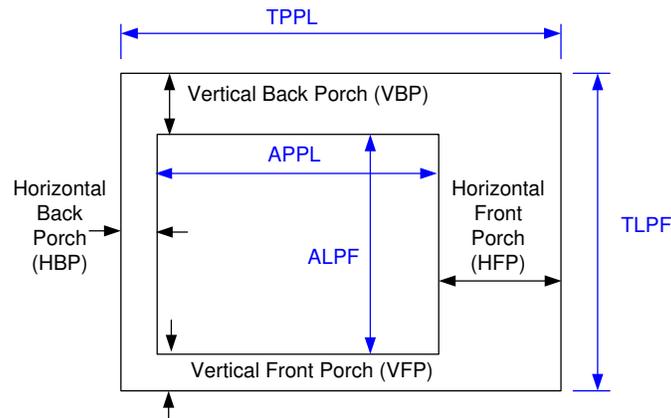
10.8 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10.8.1 ビデオ タイミング パラメータの定義

- | | |
|-----------------------------|---|
| フレームあたりのアクティブ ライン数(ALPF) | 表示可能なデータを含むフレーム内のライン数を定義します。ALPF は TLPF のサブセットです。 |
| ラインあたりのアクティブ ピクセル数(APPL) | 表示可能なデータを含むライン内のピクセル クロック数を定義します。APPL は TPPL のサブセットです。 |
| 水平バック ポーチ(HBP)ブ ランキング | 水平同期より後で最初のアクティブ ピクセルより前のブランク ピクセル クロック数。注: HBP 時間は、該当する同期信号のリーディング (アクティブ) エッジを基準とします。 |
| 水平フロント ポーチ(HFP) ブランキング | 最後のアクティブ ピクセルより後で水平同期より前のブランク ピクセル クロック数。 |

- 水平同期(HS)** 各水平区間(ライン)の開始を定義するタイミング基準点。絶対基準点は、HS 信号のアクティブ エッジにより定義されます。アクティブ エッジ(ソースでの定義により立ち上がりエッジまたは立ち下がりエッジ)を基準として、すべての水平ブランキング パラメータが測定されます。
- フレームあたりの総ライン数 (TLPF)** 垂直期間 (またはフレーム時間) をライン単位で定義します。TLPF = フレームあたりの総ライン数 (アクティブおよび非アクティブ)。
- ラインあたりの総ピクセル数 (TPPL)** 水平ライン期間をピクセル クロック単位で定義します。TPPL = ラインあたりの総ピクセル クロック数 (アクティブおよび非アクティブ)。
- 垂直同期(VS)** 垂直区間(フレーム)の開始を定義するタイミング基準点。絶対基準点は、VS 信号のアクティブ エッジにより定義されます。アクティブ エッジ(ソースでの定義により立ち上がりエッジまたは立ち下がりエッジ)を基準として、すべての垂直ブランキング パラメータが測定されます。
- 垂直バック ポーチ(VBP)ブランキング** 垂直同期より後で、最初のアクティブ ラインより前のブランク ライン数。
- 垂直フロント ポーチ(VFP)ブランキング** 最後のアクティブ ラインより後で、垂直同期より前のブランク ライン数。



11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| 日付 | 改訂 | 注 |
|------------|----|--------|
| April 2025 | * | 初版リリース |

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package Pins | Package qty Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|-----------------------------|---------------|----------------------|-------------------|-------------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| DLPC8424AMD | Active | Production | FCCSP (AMD) 484 | 260 JEDEC TRAY (10+1) | - | Call TI | Level-3-250C-168 HR | -30 to 85 | DLPC8424AMD |
| DLPC8444AMD | Active | Production | FCCSP (AMD) 484 | 260 JEDEC TRAY (10+1) | - | Call TI | Level-3-250C-168 HR | -30 to 85 | DLPC8444AMD |
| DLPC8454AMD | Active | Production | FCCSP (AMD) 484 | 260 JEDEC TRAY (10+1) | - | Call TI | Level-3-250C-168 HR | -35 to 85 | DLPC8454AMD |

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

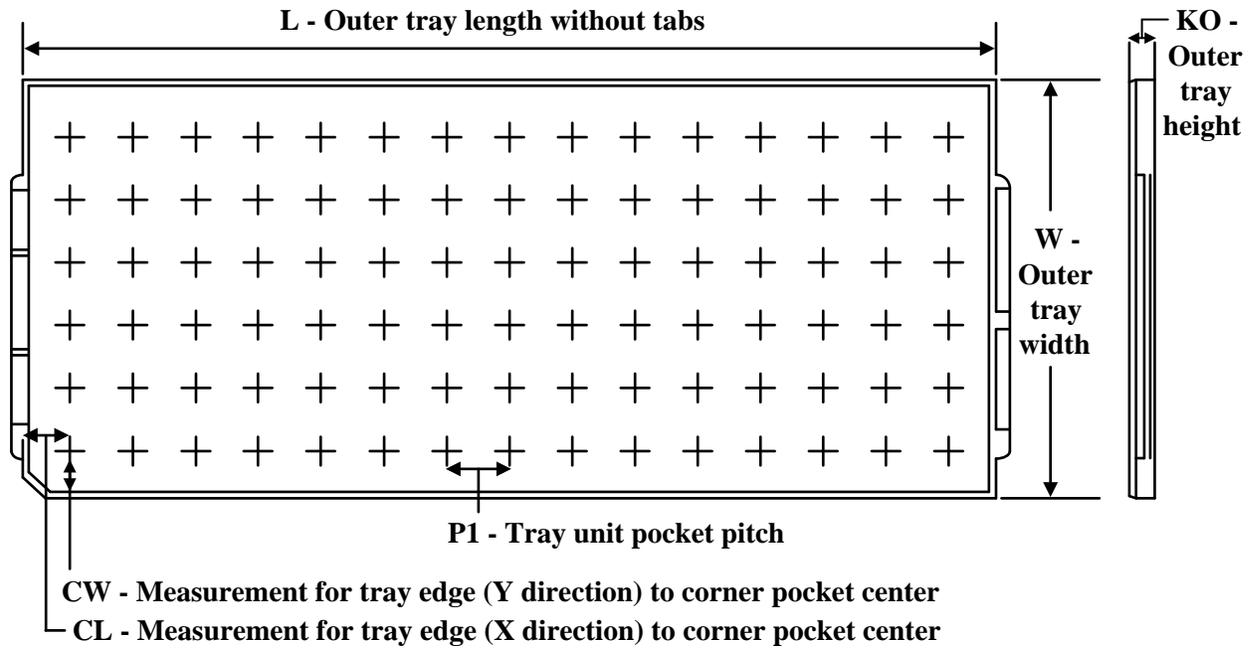
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

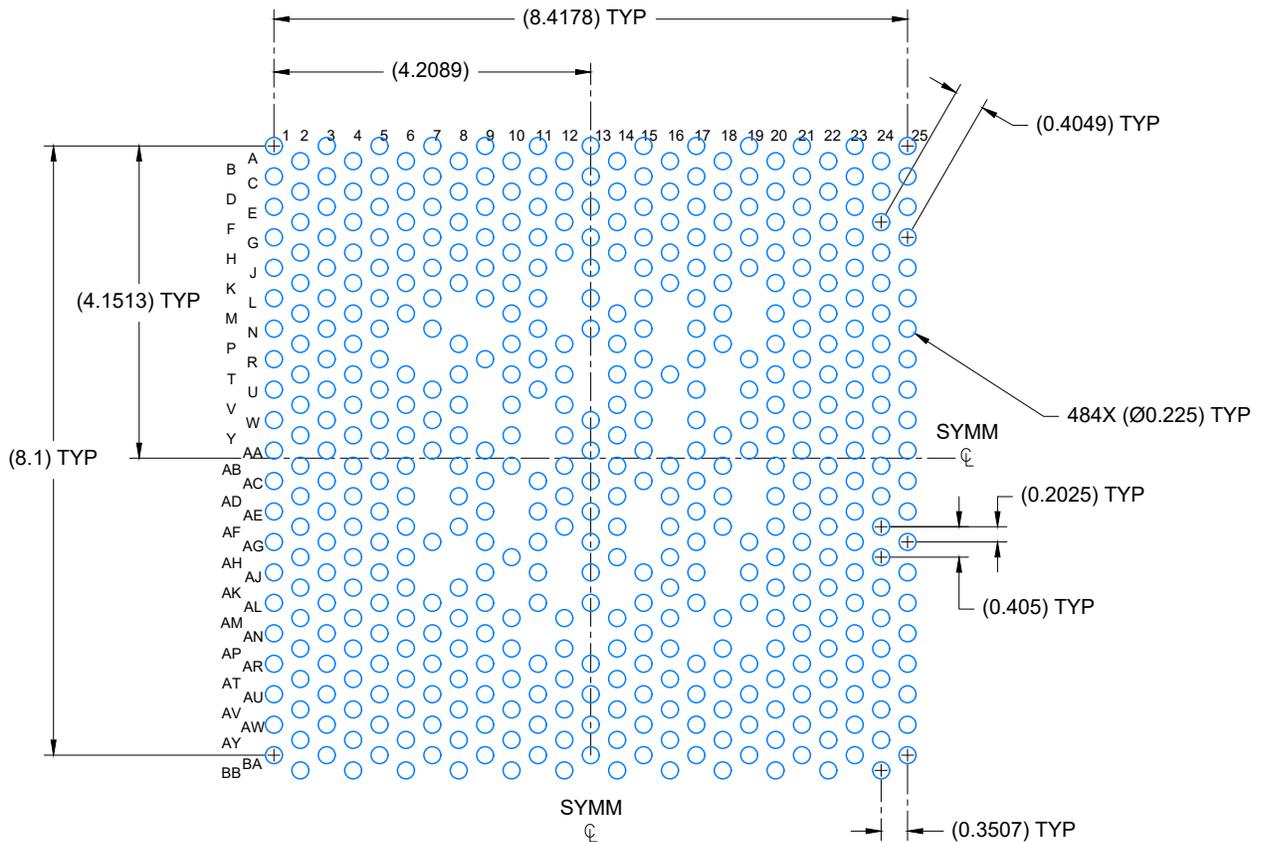
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY


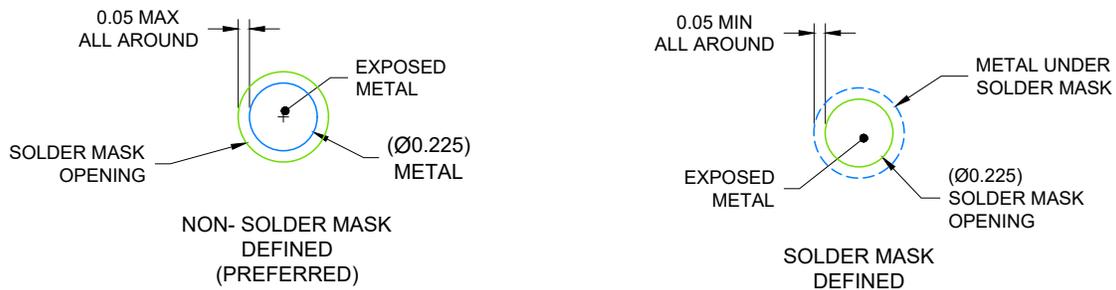
Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

| Device | Package Name | Package Type | Pins | SPQ | Unit array matrix | Max temperature (°C) | L (mm) | W (mm) | K0 (µm) | P1 (mm) | CL (mm) | CW (mm) |
|-------------|--------------|--------------|------|-----|-------------------|----------------------|--------|--------|---------|---------|---------|---------|
| DLPC8424AMD | AMD | FCCSP | 484 | 260 | 10 X 26 | 150 | 315 | 135.9 | 7620 | 11.8 | 10 | NA |
| DLPC8444AMD | AMD | FCCSP | 484 | 260 | 10 X 26 | 150 | 315 | 135.9 | 7620 | 11.8 | 10 | NA |
| DLPC8454AMD | AMD | FCCSP | 484 | 260 | 10 X 26 | 150 | 315 | 135.9 | 7620 | 11.8 | 10 | NA |



LAND PATTERN EXAMPLE
SCALE: 10X



SOLDER MASK DETAILS
NOT TO SCALE

4228695 /E 01/2025

NOTES: (continued)

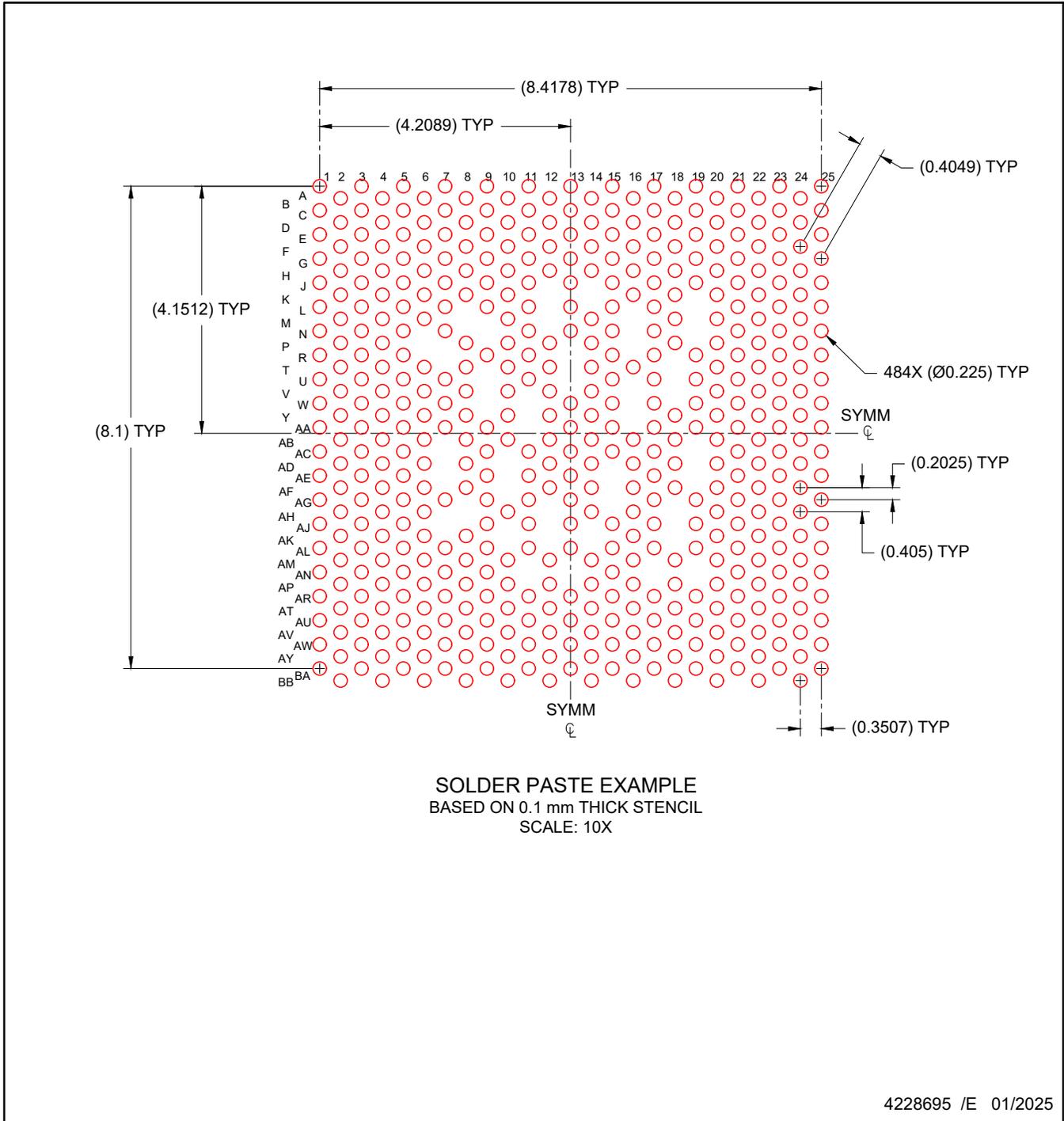
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

AMD0484A

FCCSP - 0.876 mm max height

Flip Chip-Chip Scale Package



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated