

# DLPC6422 DLP® デジタルコントローラ

## 1 特長

- DLP78TUV (.78 インチ 8.3-メガピクセル) DMD 向けデジタルコントローラ
  - デュアルコントローラ、60Hz で最大 4K
  - シングルコントローラ、120Hz で最大 1080p

シングル 30 ビットまたはデュアル 60 ビットの入力ピクセル インターフェイスを提供:

- YUV、YCrCb、RGB データ形式
- RGB データ フォーマット
- 8、9、10 ビット/カラー
- 最大 320MHz のピクセル クロック (シングル コントローラでデュアル 30 ビット モード時)
- 最大 600MHz のピクセル クロック (デュアル コントローラ、デュアル 30 ビット モード時)
- 高速、低電圧差動信号 (LVDS) DMD インターフェイス
- 150MHz ARM946™ マイクロプロセッサ
- マイクロプロセッサ ペリフェラル
  - プログラマブル パルス幅変調 (PWM) およびキャプチャ タイマ
  - 3 つの I<sup>2</sup>C ポート、3 つの UART ポート、3 つの SSP ポート
  - 1 つの USB 1.1 セカンダリ ポート
- 画像処理
  - 複数の画像処理アルゴリズム
  - フレーム レート変換
  - 色座標調整
  - プログラム可能な色空間の変換
  - プログラム可能なデガンマおよびスプラッシュ
- クロック生成回路内蔵
  - 単一の 20MHz クリスタルで動作
  - スペクトラム拡散クロッキングを内蔵

- 外部メモリに対応
  - マイクロプロセッサおよび PWM シーケンス用のパラレル フラッシュ
- 516 ピンのプラスチック ボール グリッド アレイ パッケージ
- LED およびレーザー ハイブリッド照明をサポート

## 2 アプリケーション

- 3D プリンタ
- レーザー マーキング
- レーザー 製造
- デジタルイメージングと露光

## 3 説明

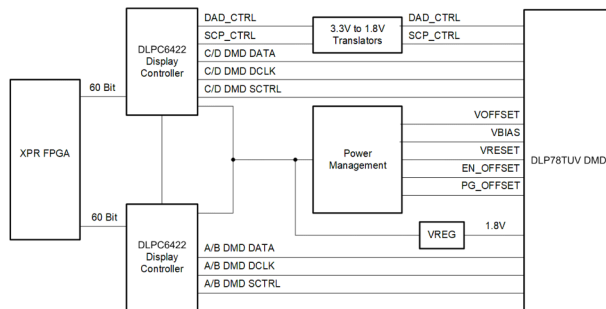
DLPC6422 は、DLP® イメージング チップセット用のデジタル ライト コントローラです。このチップセットは、DLPC6422 ライトコントローラ、DLP デジタルマイクロミラーデバイス (DMD) DLP78TUV、DLPA100 パワーマネージメントデバイス、DLPA300 DMD マイクロミラードライバで構成されます (DMD データシートを参照)。このシステムは、高速、高分解能、UV 波長、高光量スループット、堅牢なシステムを必要とする DLP 3D プリントやその他の画像処理アプリケーションに最適です。信頼性の高い動作を保証するため、DLPC6422 ライトコントローラは、DLP DMD DLP78TUV および対応する DLP パワー マネージメントデバイスと常に一緒に使用する必要があります。

### パッケージ情報

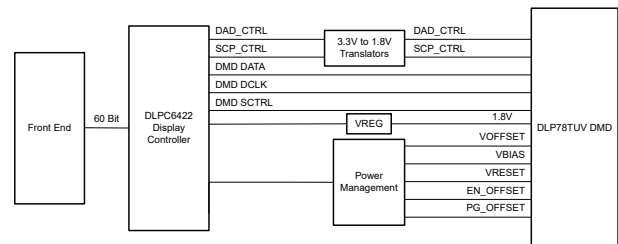
| 部品番号     | パッケージ <sup>(1)</sup> | パッケージ サイズ <sup>(2)</sup> |
|----------|----------------------|--------------------------|
| DLPC6422 | ZPC (516)            | 27.00mm × 27.00mm        |

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



デュアルコントローラシステムの概略回路図



シングルコントローラシステムの概略回路図



## 目次

|   |           |   |           |
|---|-----------|---|-----------|
| <b>1 特長</b> .....                                     | <b>1</b>  | <b>5.15 JTAG インターフェイス: I/O バウンダリスキャンアプリケーションのスイッチング特性</b> ..... | <b>25</b> |
| <b>2 アプリケーション</b> .....                               | <b>1</b>  | <b>6 詳細説明</b> .....   | <b>28</b> |
| <b>3 説明</b> .....                                     | <b>1</b>  | 6.1 概要.....   | 28        |
| <b>4 ピン構成および機能</b> .....                              | <b>3</b>  | 6.2 機能ブロック図.....  | 28        |
| <b>5 仕様</b> .....                                     | <b>14</b> | 6.3 機能説明.....   | 28        |
| 5.1 絶対最大定格.....                                       | 14        | 6.4 デバイスの機能モード.....   | 32        |
| 5.2 推奨動作条件.....                                       | 14        | <b>7 アプリケーションと実装</b> .....                                      | <b>33</b> |
| 5.3 熱に関する情報.....                                      | 15        | 7.1 アプリケーション情報.....   | 33        |
| 5.4 電気的特性.....  | 16        | 7.2 代表的なアプリケーション.....   | 33        |
| 5.5 ESD 定格.....                                       | 18        | 7.3 電源要件および推奨事項.....  | 35        |
| 5.6 システム振動子のタイミング要件.....                              | 18        | 7.4 レイアウト.....  | 37        |
| 5.7 テストおよびリセットのタイミング要件.....                           | 18        | <b>8 デバイスおよびドキュメントのサポート</b> .....                               | <b>44</b> |
| 5.8 JTAG インターフェイス: I/O バウンダリスキャンアプリケーションのタイミング要件..... | 19        | 8.1 サード・パーティ製品に関する免責事項.....                                     | 44        |
| 5.9 ポート 1 入力ピクセルのタイミング要件.....                         | 19        | 8.2 デバイス サポート.....  | 44        |
| 5.10 ポート 3 入力ピクセルインターフェイス (GPIO 経由) のタイミング要件.....     | 21        | 8.3 ドキュメントのサポート.....  | 45        |
| 5.11 DMD LVDS インターフェイスのタイミング要件.....                   | 21        | 8.4 ドキュメントの更新通知を受け取る方法.....                                     | 46        |
| 5.12 同期シリアル ポート (SSP) インターフェイスのタイミング要件.....           | 22        | 8.5 サポート・リソース.....  | 46        |
| 5.13 プログラム可能出力クロックのスイッチング特性.....                      | 23        | 8.6 商標.....   | 46        |
| 5.14 同期式シリアルインターフェイス (SSP) のスイッチング特性.....             | 23        | 8.7 静電気放電に関する注意事項.....  | 46        |
|   |           | 8.8 用語集.....  | 46        |
|   |           | <b>9 改訂履歴</b> .....   | <b>46</b> |
|   |           | <b>10 メカニカル、パッケージ、および注文情報</b> .....                             | <b>47</b> |

## 4 ピン構成および機能

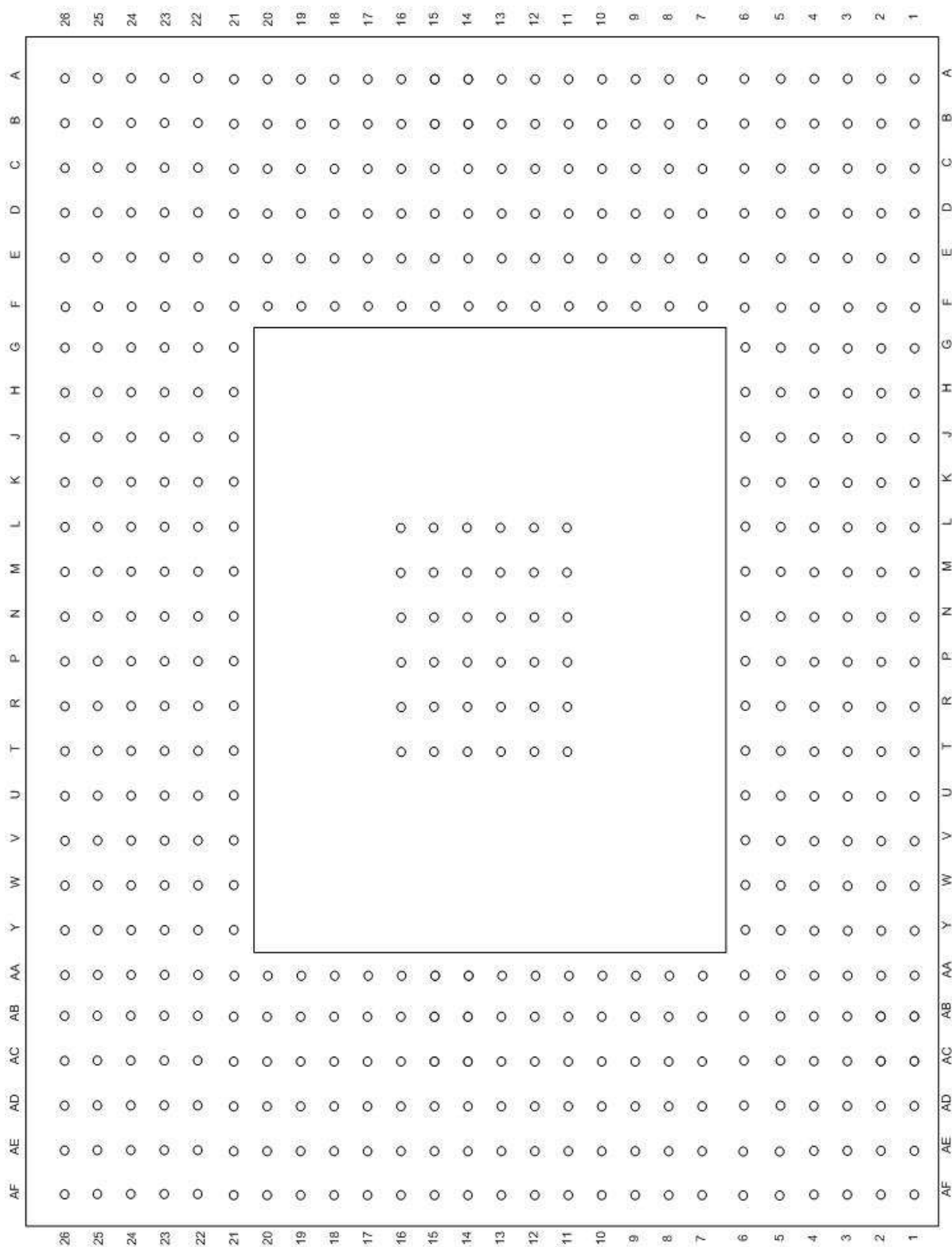


図 4-1. ピン構成

表 4-1. ピンの機能

| ピン <sup>(1)</sup>             |     | タイプ <sup>(2)</sup> | 説明  |
|-------------------------------|-----|--------------------|---|
| 名称                            | 番号  |                    |   |
| POSENSE                       | P22 | I <sub>4</sub>     | 電源投入検出 (High True)、外部電圧監視回路から供給される信号。この信号は、すべての ASIC 電源電圧が指定された最小電圧の 90% に達したときにアクティブ (High) に駆動されます。この信号は、指定されたように PWRGOOD の立ち下がりエッジ後、非アクティブ (Low) になります。  |
| PWRGOOD                       | T26 | I <sub>4</sub>     | パワーグッド、ハイトゥルー、外部電源または電圧モニタからの信号。ハイバリュースは、すべての電源が動作電圧仕様の範囲内であり、システムがリセット状態を終了しても安全であることを示します。High から Low への遷移は、コントローラまたは DMD 電源電圧が定格最低レベルを下回ったことを示すために使用されます。この遷移は、仕様で規定されている電源電圧降下の前に生じさせる必要があります。この期間中、POSENSE はアクティブ High のままである必要があります。これは停電状態が迫っていることを知らせる警告です。この警告は、長期的な DMD の信頼性向上のために必要です。PWRGOOD が指定された最小時間 Low になると、DLPC6422 コントローラは DMD パーク処理を実行して、コントローラを完全にリセットし、DMD を保護します。この最小アサート解除時間は、グリッチから入力を保護するために使用されます。この後、PWRGOOD が Low の間、DLPC6422 コントローラはリセット状態に保持されます。正常に動作させるためには、PWRGOOD 信号を High に駆動する必要があります。DLPC6422 コントローラは、指定された最小時間にわたって High に駆動されると、PWRGOOD をアクティブであるとして認識します。ヒステリシスを使用します。 |
| EXT_ARTZ                      | T24 | O <sub>2</sub>     | 汎用、low true、出力リセット。この出力は、パワーアップリセット (POSENSE) を Low にアサートすると、即座に Low にアサートされ、POSENSE が Low で維持されている間 Low で保持されます。EXT_ARSTZ は、パワーアップリセットの解除後 (つまり POSENSE が High に設定された状態)、ソフトウェアによって解除されるまで Low に維持されます。EXT_ARSTZ 信号も、PWRGOOD または内部で生成されるリセットが検出された後、ほぼ 5μs で Low にアサートされます。いずれの場合も、2ms 以上の間アクティブとなります。ASIC には、この出力を独立して駆動するために使用できるソフトウェアレジスタが含まれているにご注意ください。  |
| MTR_ARTZ                      | T25 | O <sub>2</sub>     | カラーホイールモーターコントローラ、Low True、リセット出力。この出力は、パワーアップリセット (POSENSE) を Low にアサートすると、即座に Low にアサートされ、POSENSE が Low で維持されている間 Low で保持されます。MTR_ARSTZ は、パワーアップリセットの解除後 (つまり POSENSE が High に設定された状態)、ソフトウェアによって解除されるまで Low に維持されます。MTR_ARSTZ 信号も、オプションで、PWRGOOD または内部で生成されるリセットが検出された後、ほぼ 5μs で Low にアサートされます。いずれの場合も、2ms 以上の間アクティブとなります。ASIC には、この出力を独立して駆動するために使用できるソフトウェアレジスタが含まれているにご注意ください。ASIC にはソフトウェアレジスタも含まれており、ランプストライクリセット時にモーターリセットのアサートを無効にするために使用できます。  |
| ボードレベルのテストと初期化 <sup>(3)</sup> |     |                    |   |
| TDI                           | N25 | I <sub>4</sub>     | JTAG シリアルデータ入力。   |
| TCK                           | N24 | I <sub>4</sub>     | JTAG シリアルデータクロック  |
| TMS1                          | P25 | I <sub>4</sub>     | JTAG テスト モード選択  |
| TMS2                          | P26 | I <sub>4</sub>     | JTAG テスト モード選択  |
| TDO1                          | N23 | O <sub>5</sub>     | JTAG シリアル データ出力   |
| TDO2                          | N22 | O <sub>5</sub>     | JTAG シリアル データ出力   |
| TRSTZ                         | M23 | I <sub>4</sub>     | JTAG リセット。この信号には内部プルアップが含まれ、ヒステリシスを利用しています。このピンは、JTAG インターフェイスがバウンダリスキャンまたは ARM デバッグに使用されている場合、High (または未接続状態) になります。そうでない場合、このピンはグラウンドに接続されます。通常動作中にこのピンを Low に固定しないと、起動や初期化で問題が生じます。  |
| RTCK                          | E4  | O <sub>2</sub>     | JTAG リターンクロック   |
| ETM_PIPESTAT_2                | A4  | B <sub>2</sub>     | ETM トレースポートパイプラインステータス。ARM コアのパイプラインステータスを示します。これらの信号には、内部ブルダウンが含まれます。  |
| ETM_PIPESTAT_1                | B5  | B <sub>2</sub>     |   |
| ETM_PIPESTAT_0                | C6  | B <sub>2</sub>     |   |
| ETM_TRACESYNC                 | A5  | B <sub>2</sub>     | ETM トレースポート同期信号、トレースパケットポート上のブランチシーケンスの開始を示します。この信号には、内部ブルダウンが含まれます。  |
| ETM_TRACECLK                  | D7  | B <sub>2</sub>     | ETM トレースポートクロック。この信号には、内部ブルダウンが含まれます。   |
| ICTSEN                        | M24 | I <sub>4</sub>     | IC トライステートイネーブル (アクティブ High)。High をアサートすると、JTAG インターフェイスを除くすべての出力がトライステートになります。この信号には内部ブルダウンが含まれますが、保護機能強化のために外付けブルダウンが推奨されます。ヒステリシスを使用します。   |
| TSTPT_7                       | E8  | B <sub>2</sub>     | テストピン 7 この信号で、内部ブルダウンが生じます。<br>通常使用: テスト出力用に予約されています。通常使用のために、オープンのままにするか、未接続にすることが推奨されます。  |
| TSTPT_6                       | B4  | B <sub>2</sub>     | テストピン 6 この信号で、内部ブルダウンが生じます。<br>通常使用: テスト出力用に予約されています。通常使用のために、オープンのままにするか、未接続にすることが推奨されます。  |
| TSTPT_5                       | C4  | B <sub>2</sub>     | テストピン 5 この信号で、内部ブルダウンが生じます。<br>通常使用: テスト出力用に予約されています。通常使用のために、オープンのままにするか、未接続にすることが推奨されます。  |
| TSTPT_4                       | E7  | B <sub>2</sub>     | テストピン 4 この信号で、内部ブルダウンが生じます。<br>通常使用: テスト出力用に予約されています。通常使用のために、オープンのままにするか、未接続にすることが推奨されます。  |
| TSTPT_3                       | D5  | B <sub>2</sub>     | テストピン 3 この信号で、内部ブルダウンが生じます。<br>通常使用: テスト出力用に予約されています。通常使用のために、オープンのままにするか、未接続にすることが推奨されます。  |
| TSTPT_2                       | E6  | B <sub>2</sub>     | テストピン 2 この信号で、内部ブルダウンが生じます。さらに、TSTPT (2:0) を外部プルアップに接続するためのジャンパーオプションを提供することを推奨します。   |
| TSTPT_1                       | D3  | B <sub>2</sub>     | テストピン 1 この信号で、内部ブルダウンが生じます。さらに、TSTPT (2:0) を外部プルアップに接続するためのジャンパーオプションを提供することを推奨します。   |
| TSTPT_0                       | C2  | B <sub>2</sub>     | テストピン 0 この信号で、内部ブルダウンが生じます。さらに、TSTPT (2:0) を外部プルアップに接続するためのジャンパーオプションを提供することを推奨します。   |
| デバイステスト                       |     |                    |   |

**表 4-1. ピンの機能 (続き)**

| ピン <sup>(1)</sup>   |      | タイプ <sup>(2)</sup> | 説明  |
|---|------|--------------------|---|
| 名称  | 番号   |                    |   |
| HW_TEST_EN  | M25  | I <sub>4</sub>     | デバイス製造テストイネーブル。この信号には内部ブルダウンが含まれ、ヒステリシスを利用しています。保護機能強化のため、この信号は通常動作で外部グラウンドに固定することが推奨されます。  |
| <b>アナログ フロント エンド</b>  |      |                    |   |
| AFE_ARSTZ   | AC12 | O <sub>2</sub>     | アナログフロントエンド、LOW True、リセット出力。この出力は、パワーアップリセット (POSENSE) を Low にアサートすると、即座に Low にアサートされ、POSENSE が Low で維持されている間 Low で保持されます。AFE_ARSTZ は、パワーアップリセットの解除後 (つまり PPOSENSE が High に設定された状態)、ソフトウェアによって解除されるまで Low に維持されます。AFE_ARSTZ 信号も、PWRGOOD または内部で生成されるリセットが検出された後、ほぼ 5µs で Low にアサートされます。いずれの場合も、ソフトウェアによってリセット状態が解除されてから 2ms 以上の間アクティブとなります。ASIC には、この出力を独立して駆動するために使用できるソフトウェアレジスタが含まれていることにご注意ください。 |
| AFE_CLK   | AD12 | O <sub>6</sub>     | ビデオデコード動作用のアナログフロントエンド外部クロック出力。プログラム可能出力ドライブをサポート   |
| AFE_IRQ   | AB13 | I <sub>4</sub>     | アナログフロントエンド割り込み (アクティブ High)。この信号には内部ブルダウンが含まれ、ヒステリシスを利用しています。  |
| <b>ポート 1 およびポート 2 チャネルデータおよびコントロール <sup>(4)</sup> <sup>(5)</sup> <sup>(7)</sup></b> |      |                    |   |
| P_CLK1  | AE22 | I <sub>4</sub>     | 入力ポートデータビクセル書き込みクロック (立ち上がりエッジまたは立ち下がりエッジトリガとして選択可能、およびそれが関連付けられているポート (A または B または (A および B))。この信号には、内部ブルダウンが含まれます。  |
| P_CLK2  | W25  | I <sub>4</sub>     | 入力ポートデータビクセル書き込みクロック (立ち上がりエッジまたは立ち下がりエッジトリガとして選択可能、およびそれが関連付けられているポート (A または B または (A および B))。この信号には、内部ブルダウンが含まれます。  |
| P_CLK3  | AF23 | I <sub>4</sub>     | 入力ポートデータビクセル書き込みクロック (立ち上がりエッジまたは立ち下がりエッジトリガとして選択可能、およびそれが関連付けられているポート (A または B または (A および B))。この信号には、内部ブルダウンが含まれます。  |
| P_DATAEN1   | AF22 | I <sub>4</sub>     | アクティブ High データ イネーブル関連付けられているポート (A または B、または (A および B)) を選択可能。この信号には内部ブルダウンが含まれます。   |
| P_DATAEN2   | W24  | I <sub>4</sub>     | アクティブ High データ イネーブル関連付けられているポート (A または B、または (A および B)) を選択可能。この信号には内部ブルダウンが含まれます。   |
| P1_A_9  | AD15 | I <sub>4</sub>     | ポート 1 A チャネル入力ビクセルデータ (ビットウェイト 128)   |
| P1_A_8  | AE15 | I <sub>4</sub>     | ポート 1 A チャネル入力ビクセルデータ (ビットウェイト 64)  |
| P1_A_7  | AE14 | I <sub>4</sub>     | ポート 1 A チャネル入力ビクセルデータ (ビットウェイト 32)  |
| P1_A_6  | AE13 | I <sub>4</sub>     | ポート 1 A チャネル入力ビクセルデータ (ビットウェイト 16)  |
| P1_A_5  | AD13 | I <sub>4</sub>     | ポート 1 A チャネル入力ビクセルデータ (ビットウェイト 8)   |
| P1_A_4  | AC13 | I <sub>4</sub>     | ポート 1 A チャネル入力ビクセルデータ (ビットウェイト 4)   |
| P1_A_3  | AF14 | I <sub>4</sub>     | ポート 1 A チャネル入力ビクセルデータ (ビットウェイト 2)   |
| P1_A_2  | AF13 | I <sub>4</sub>     | ポート 1 A チャネル入力ビクセルデータ (ビットウェイト 1)   |
| P1_A_1  | AF12 | I <sub>4</sub>     | ポート 1 A チャネル入力ビクセルデータ (ビットウェイト 0.5)   |
| P1_A_0  | AE12 | I <sub>4</sub>     | ポート 1 A チャネル入力ビクセルデータ (ビットウェイト 0.25)  |
| P1_B_9  | AF18 | I <sub>4</sub>     | ポート 1B チャネルの入力ビクセルデータ (ビットウェイト 128)   |
| P1_B_8  | AB18 | I <sub>4</sub>     | ポート 1B チャネルの入力ビクセルデータ (ビットウェイト 64)  |
| P1_B_7  | AC15 | I <sub>4</sub>     | ポート 1B チャネルの入力ビクセルデータ (ビットウェイト 32)  |
| P1_B_6  | AC16 | I <sub>4</sub>     | ポート 1B チャネルの入力ビクセルデータ (ビットウェイト 16)  |
| P1_B_5  | AD16 | I <sub>4</sub>     | ポート 1B チャネルの入力ビクセルデータ (ビットウェイト 8)   |
| P1_B_4  | AE16 | I <sub>4</sub>     | ポート 1B チャネルの入力ビクセルデータ (ビットウェイト 4)   |
| P1_B_3  | AF16 | I <sub>4</sub>     | ポート 1B チャネルの入力ビクセルデータ (ビットウェイト 2)   |
| P1_B_2  | AF15 | I <sub>4</sub>     | ポート 1B チャネルの入力ビクセルデータ (ビットウェイト 1)   |
| P1_B_1  | AC14 | I <sub>4</sub>     | ポート 1B チャネルの入力ビクセルデータ (ビットウェイト 0.5)   |
| P1_B_0  | AD14 | I <sub>4</sub>     | ポート 1B チャネルの入力ビクセルデータ (ビットウェイト 0.25)  |
| P1_C_9  | AD20 | I <sub>4</sub>     | ポート 1 C チャネルの入力ビクセルデータ (ビットウェイト 128)  |
| P1_C_8  | AE20 | I <sub>4</sub>     | ポート 1 C チャネルの入力ビクセルデータ (ビットウェイト 64)   |
| P1_C_7  | AE21 | I <sub>4</sub>     | ポート 1 C チャネルの入力ビクセルデータ (ビットウェイト 32)   |
| P1_C_6  | AF21 | I <sub>4</sub>     | ポート 1 C チャネルの入力ビクセルデータ (ビットウェイト 16)   |
| P1_C_5  | AD19 | I <sub>4</sub>     | ポート 1 C チャネルの入力ビクセルデータ (ビットウェイト 8)  |
| P1_C_4  | AE19 | I <sub>4</sub>     | ポート 1 C チャネルの入力ビクセルデータ (ビットウェイト 4)  |
| P1_C_3  | AF19 | I <sub>4</sub>     | ポート 1 C チャネルの入力ビクセルデータ (ビットウェイト 2)  |
| P1_C_2  | AF20 | I <sub>4</sub>     | ポート 1 C チャネルの入力ビクセルデータ (ビットウェイト 1)  |
| P1_C_1  | AC19 | I <sub>4</sub>     | ポート 1 C チャネルの入力ビクセルデータ (ビットウェイト 0.5)  |
| P1_C_0  | AE18 | I <sub>4</sub>     | ポート 1 C チャネルの入力ビクセルデータ (ビットウェイト 0.25)   |
| P1_VSYNC  | AC20 | B <sub>2</sub>     | ポート 1 の垂直同期の信号には、内部ブルダウンが含まれます。ポート 1 と関連付けられるように意図されていますが、ポート 2 で使用するようにはプログラム可能です。   |
| P1_HSYNC  | AD21 | B <sub>2</sub>     | ポート 1 水平同期の信号には、内部ブルダウンが含まれます。ポート 1 と関連付けられるように意図されていますが、ポート 2 で使用するようにはプログラム可能です。  |

表 4-1. ピンの機能 (続き)

| ピン <sup>(1)</sup>            |      | タイプ <sup>(2)</sup> | 説明  |
|------------------------------|------|--------------------|---|
| 名称                           | 番号   |                    |   |
| P2_A_9                       | AD26 | I <sub>4</sub>     | ポート 2 A チャネル入力ビクセルデータ (ビットウェイト 128)   |
| P2_A_8                       | AD25 | I <sub>4</sub>     | ポート 2 A チャネル入力ビクセルデータ (ビットウェイト 64)  |
| P2_A_7                       | AB21 | I <sub>4</sub>     | ポート 2 A チャネル入力ビクセルデータ (ビットウェイト 32)  |
| P2_A_6                       | AC22 | I <sub>4</sub>     | ポート 2 A チャネル入力ビクセルデータ (ビットウェイト 16)  |
| P2_A_5                       | AD23 | I <sub>4</sub>     | ポート 1 A チャネル入力ビクセルデータ (ビットウェイト 8)   |
| P2_A_4                       | AB20 | I <sub>4</sub>     | ポート 2 A チャネル入力ビクセルデータ (ビットウェイト 4)   |
| P2_A_3                       | AC21 | I <sub>4</sub>     | ポート 2 A チャネル入力ビクセルデータ (ビットウェイト 2)   |
| P2_A_2                       | AD22 | I <sub>4</sub>     | ポート 2 A チャネル入力ビクセルデータ (ビットウェイト 1)   |
| P2_A_1                       | AE23 | I <sub>4</sub>     | ポート 2 A チャネル入力ビクセルデータ (ビットウェイト 0.5)   |
| P2_A_0                       | AB19 | I <sub>4</sub>     | ポート 2 A チャネル入力ビクセルデータ (ビットウェイト 0.25)  |
| P2_B_9                       | Y22  | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 128)  |
| P2_B_8                       | AB26 | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 64)   |
| P2_B_7                       | AA23 | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 32)   |
| P2_B_6                       | AB25 | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 16)   |
| P2_B_5                       | AA22 | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 8)  |
| P2_B_4                       | AB24 | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 4)  |
| P2_B_3                       | AC26 | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 2)  |
| P2_B_2                       | AB23 | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 1)  |
| P2_B_1                       | AC25 | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 0.5)  |
| P2_B_0                       | AC24 | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 0.25)   |
| P2_C_9                       | W23  | I <sub>4</sub>     | ポート 2 C チャネル入力ビクセルデータ (ビットウェイト 128)   |
| P2_C_8                       | V22  | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 64)   |
| P2_C_7                       | Y26  | I <sub>4</sub>     | ポート 2 C チャネル入力ビクセルデータ (ビットウェイト 32)  |
| P2_C_6                       | Y25  | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 16)   |
| P2_C_5                       | Y24  | I <sub>4</sub>     | ポート 2 C チャネル入力ビクセルデータ (ビットウェイト 8)   |
| P2_C_4                       | Y23  | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 4)  |
| P2_C_3                       | W22  | I <sub>4</sub>     | ポート 2 C チャネル入力ビクセルデータ (ビットウェイト 2)   |
| P2_C_2                       | AA26 | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 1)  |
| P2_C_1                       | AA25 | I <sub>4</sub>     | ポート 2 C チャネル入力ビクセルデータ (ビットウェイト 0.5)   |
| P2_C_0                       | AA24 | I <sub>4</sub>     | ポート 2 B チャネルの入力ビクセルデータ (ビットウェイト 0.25)   |
| P2_VSYNC                     | U22  | B <sub>2</sub>     | ポート 2 の垂直同期この信号には、内部ブルダウンが含まれます。ポート 2 と関連付けられるように意図されていますが、ポート 1 で使用するようにプログラム可能です。 |
| P2_HSYNC                     | W26  | B <sub>2</sub>     | ポート 2 水平同期この信号には、内部ブルダウンが含まれます。ポート 2 と関連付けられるように意図されていますが、ポート 1 で使用するようにプログラム可能です。  |
| <b>ALF 入力ポートコントロール</b>       |      |                    |   |
| ALF_VSYNC                    | AF11 | I <sub>4</sub>     | オートロック専用垂直同期。この信号には内部ブルダウンが含まれており、ヒステリシスを使用します。                                     |
| ALF_HSYNC                    | AD11 | I <sub>4</sub>     | オートロック専用水平同期この信号には内部ブルダウンが含まれており、ヒステリシスを使用します。                                      |
| ALF_CSYNC                    | AE11 | I <sub>4</sub>     | オートロック専用複合同期 (緑色で同期)。この信号には内部ブルダウンが含まれており、ヒステリシスを使用します。                             |
| <b>DMD リセットおよびバイアスコントロール</b> |      |                    |   |
| DADOEZ                       | AE7  | O <sub>5</sub>     | DAD (DLPA200/DLPA300) 出力カインープル (アクティブ Low)  |
| DADADDR_3                    | AD6  | O <sub>5</sub>     | DAD アドレス  |
| DADADDR_2                    | AE5  | O <sub>5</sub>     |   |
| DADADDR_1                    | AF4  | O <sub>5</sub>     |   |
| DADADDR_0                    | AB8  | O <sub>5</sub>     |   |
| DADMODE_1                    | AD7  | O <sub>5</sub>     | DAD モード   |
| DADMODE_0                    | AE6  | O <sub>5</sub>     |   |
| DADSEL_1                     | AE4  | O <sub>5</sub>     | DAD 選択  |
| DADSEL_0                     | AC7  | O <sub>5</sub>     |   |
| DADSTRB                      | AF5  | O <sub>5</sub>     | DAD ストロープ   |
| DAD_INTZ                     | AC8  | I <sub>4</sub>     | DAD 割り込み (アクティブ Low)。この信号は通常外部プルアップを必要とし、ヒステリシスを使用します。                              |
| <b>DMD LVDS インターフェイス</b>     |      |                    |   |



**表 4-1. ピンの機能 (続き)**

| ピン <sup>(1)</sup> |     | タイプ <sup>(2)</sup> | 説明                                |
|-------------------|-----|--------------------|-----------------------------------|
| 名称                | 番号  |                    |                                   |
| DCKA_P            | V4  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動クロック       |
| DCKA_N            | V3  | O <sub>7</sub>     |                                   |
| SCA_P             | V2  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルコントロール |
| SCA_N             | V1  | O <sub>7</sub>     |                                   |
| DDA_P_15          | P4  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_15          | P3  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_14          | P2  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_14          | P1  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_12          | R1  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_11          | T4  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_11          | T3  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_10          | T2  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_10          | T1  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_9           | U4  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_9           | U3  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_8           | U2  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_8           | U1  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_7           | W4  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_7           | W3  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_6           | W2  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_6           | W1  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_5           | Y2  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_5           | Y1  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_4           | Y4  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_4           | Y3  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_3           | AA2 | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_3           | AA1 | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_2           | AA4 | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_2           | AA3 | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_1           | AB2 | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_1           | AB1 | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_P_0           | AC2 | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DDA_N_0           | AC1 | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルデータ    |
| DCKB_P            | J3  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動クロック       |
| DCKB_N            | J4  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動クロック       |
| SCB_P             | J1  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルコントロール |
| SCB_N             | J2  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル A、差動シリアルコントロール |
| DDB_P_15          | N1  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_N_15          | N2  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_P_14          | N3  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_N_14          | N4  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_P_13          | M2  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_N_13          | M1  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_P_12          | M3  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_N_12          | M4  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_P_11          | L1  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_N_11          | L2  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_P_10          | L3  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_N_10          | L4  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_P_9           | K1  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |
| DDB_N_9           | K2  | O <sub>7</sub>     | DMD、LVDS I/F チャンネル B、差動シリアルデータ    |

表 4-1. ピンの機能 (続き)

| ピン <sup>(1)</sup>                 |     | タイプ <sup>(2)</sup> | 説明                                   |
|-----------------------------------|-----|--------------------|--------------------------------------|
| 名称                                | 番号  |                    |                                      |
| DDB_P_8                           | K3  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_N_8                           | K4  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_P_7                           | H1  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_N_7                           | H2  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_P_6                           | H3  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_N_6                           | H4  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_P_5                           | G1  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_N_5                           | G2  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_P_4                           | G3  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_N_4                           | G4  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_P_3                           | F1  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_N_3                           | F2  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_P_2                           | F3  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_N_2                           | F4  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_P_1                           | E1  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_N_1                           | E2  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_P_0                           | D1  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| DDB_N_0                           | D2  | O <sub>7</sub>     | DMD、LVDS I/F チャネル B、差動シリアルデータ        |
| プログラムメモリ (フラッシュおよび SRAM) インターフェイス |     |                    |                                      |
| PM_CSZ_0                          | D13 | O <sub>5</sub>     | 入力バス D データビット 3。<br>100Ω 内部 LVDS 終端  |
| PM_CSZ_1                          | E12 | O <sub>5</sub>     |                                      |
| PM_CSZ_2                          | A13 | O <sub>5</sub>     | 入力バス D データビット 5。<br>100Ω 内部 LVDS 終端  |
| PM_ADDR_22<br>(GPIO 36)           | A12 | B <sub>5</sub>     |                                      |
| PM_ADDR_21<br>(GPIO 35)           | E11 | B <sub>5</sub>     | 入力バス D データビット 10。<br>100Ω 内部 LVDS 終端 |
| PM_ADDR_20                        | D12 | O <sub>5</sub>     |                                      |
| PM_ADDR_19                        | C12 | O <sub>5</sub>     | 入力バス D データビット 11。<br>100Ω 内部 LVDS 終端 |
| PM_ADDR_18                        | B11 | O <sub>5</sub>     |                                      |
| PM_ADDR_17                        | A11 | O <sub>5</sub>     | 入力バス D データビット 12。<br>100Ω 内部 LVDS 終端 |
| PM_ADDR_16                        | D11 | O <sub>5</sub>     |                                      |
| PM_ADDR_15                        | C11 | O <sub>5</sub>     | 入力バス D データビット 13。<br>100Ω 内部 LVDS 終端 |
| PM_ADDR_14                        | E10 | O <sub>5</sub>     |                                      |
| PM_ADDR_13                        | D10 | O <sub>5</sub>     | 入力バス D データビット 14。<br>100Ω 内部 LVDS 終端 |
| PM_ADDR_12                        | C10 | O <sub>5</sub>     |                                      |
| PM_ADDR_11                        | B9  | O <sub>5</sub>     | 入力バス D データビット 15。<br>100Ω 内部 LVDS 終端 |
| PM_ADDR_10                        | A9  | O <sub>5</sub>     |                                      |
| PM_ADDR_9                         | E9  | O <sub>5</sub>     | 出力バス A データビット 0 から DMD               |
| PM_ADDR_8                         | D9  | O <sub>5</sub>     |                                      |
| PM_ADDR_7                         | C9  | O <sub>5</sub>     | 出力バス A データビット 1 から DMD               |
| PM_ADDR_6                         | B8  | O <sub>5</sub>     |                                      |
| PM_ADDR_5                         | A8  | O <sub>5</sub>     | 出力バス A データビット 2 から DMD               |
| PM_ADDR_4                         | D8  | O <sub>5</sub>     |                                      |
| PM_ADDR_3                         | C8  | O <sub>5</sub>     | 出力バス A データビット 3 から DMD               |
| PM_ADDR_2                         | B7  | O <sub>5</sub>     |                                      |
| PM_ADDR_1                         | A7  | O <sub>5</sub>     | 出力バス A データビット 4 から DMD               |
| PM_ADDR_0                         | C7  | O <sub>5</sub>     |                                      |
| PM_WEZ                            | B12 | O <sub>5</sub>     | 出力バス A データビット 5 から DMD               |
| PM_OEZ                            | C13 | O <sub>5</sub>     |                                      |
| PM_BLSZ_1                         | B6  | O <sub>5</sub>     | 出力バス A データビット 6 から DMD               |
| PM_BLSZ_0                         | A6  | O <sub>5</sub>     |                                      |



**表 4-1. ピンの機能 (続き)**

| ピン <sup>(1)</sup>            |      | タイプ <sup>(2)</sup> | 説明   |                   |
|------------------------------|------|--------------------|--|-------------------|
| 名称                           | 番号   |                    |  |                   |
| PM_DATA_15                   | C17  | B <sub>5</sub>     | 出力バス A データビット 7 から DMD   |                   |
| PM_DATA_14                   | B16  | B <sub>5</sub>     |  |                   |
| PM_DATA_13                   | A16  | B <sub>5</sub>     |  |                   |
| PM_DATA_12                   | A15  | B <sub>5</sub>     | 出力バス A データビット 8 から DMD   |                   |
| PM_DATA_11                   | B15  | B <sub>5</sub>     |  |                   |
| PM_DATA_10                   | D16  | B <sub>5</sub>     |  |                   |
| PM_DATA_9                    | C16  | B <sub>5</sub>     | 出力バス A データビット 9 から DMD   |                   |
| PM_DATA_8                    | E14  | B <sub>5</sub>     |  |                   |
| PM_DATA_7                    | D15  | B <sub>5</sub>     |  |                   |
| PM_DATA_6                    | C15  | B <sub>5</sub>     | 出力バス A データビット 10 から DMD  |                   |
| PM_DATA_5                    | B14  | B <sub>5</sub>     |  |                   |
| PM_DATA_4                    | A14  | B <sub>5</sub>     |  |                   |
| PM_DATA_3                    | E13  | B <sub>5</sub>     | 出力バス A データビット 11 から DMD  |                   |
| PM_DATA_2                    | D14  | B <sub>5</sub>     |  |                   |
| PM_DATA_1                    | C14  | B <sub>5</sub>     |  |                   |
| PM_DATA_0                    | B13  | B <sub>5</sub>     | 出力バス A データビット 12 から DMD  |                   |
| ペリフェラル インターフェイス              |      |                    |  |                   |
| IIC0_SCL                     | A10  | B <sub>8</sub>     | I2C バス 0、クロック。このバスは 400kHz の高速モード操作をサポートしています。この信号には、3.3V への外付けプルアップ抵抗が必要です。許容される最小プルアップ値は 1kΩ です。この入力は 5V トレラントではありません。 |                   |
| IIC0_SDA                     | B10  | B <sub>8</sub>     | 2C バス 0、データ。このバスは 400kHz の高速モード操作をサポートしています。この信号には、3.3V への外付けプルアップ抵抗が必要です。許容される最小プルアップ値は 1kΩ です。この入力は 5V トレラントではありません。   |                   |
| SSP0_CLK                     | AD4  | B <sub>5</sub>     | 同期シリアルポート 0、クロック   |                   |
| SSP0_RXD                     | AD5  | I <sub>4</sub>     | 同期シリアルポート 0、受信データ入力  |                   |
| SSP0_TXD                     | AB7  | O <sub>5</sub>     | 同期シリアルポート 0、送信データ出力  |                   |
| SSP0_CSZ_0                   | AC5  | B <sub>5</sub>     | 同期シリアルポート 0、チップセレクト 0 (アクティブ Low)  |                   |
| SSP0_CSZ_1                   | AB6  | B <sub>5</sub>     | 同期シリアルポート 0、チップセレクト 1 (アクティブ Low)  |                   |
| SSP0_CSZ_2                   | AC3  | B <sub>5</sub>     | 同期シリアルポート 0、チップセレクト 2 (アクティブ Low)  |                   |
| UART0_TXD                    | AB3  | O <sub>5</sub>     | UART0 送信データ出力  |                   |
| UART0_RXD                    | AD1  | O <sub>5</sub>     | UART0 受信データ入力  |                   |
| UART0_RTSZ                   | AD2  | O <sub>5</sub>     | UART0 ハードウェアフローコントロール出力を送信する準備完了 (アクティブ Low)   |                   |
| UART0_CTSZ                   | AE2  | I <sub>4</sub>     | UART0 CTS (Clear to Send) ハードウェアフローコントロール入力 (アクティブ Low)  |                   |
| USB_DAT_N                    | C5   | B <sub>9</sub>     | USB D- I/O   |                   |
| USB_DAT_P                    | D6   | B <sub>9</sub>     | USB D+ I/O   |                   |
| PMD_INTZ                     | AE8  | I <sub>4</sub>     | DLPA100 (アクティブ Low) からの割り込み。この信号には外部プルアップが必要です。ヒステリシスを使用します  |                   |
| CW_PWM                       | AD8  | O <sub>5</sub>     | カラーホイールコントロール PWM 出力   |                   |
| CW_INDEX                     | AF7  | O <sub>5</sub>     | カラーホイールインデックス。ヒステリシスを使用します   |                   |
| LMPCTRL                      | AC9  | O <sub>5</sub>     | ランプコントロール出力ランプのイネーブルとバラストへの同期  |                   |
| LMPSTAT                      | AF8  | I <sub>4</sub>     | ランプステータス入力。ランプが点灯すると、バラストから High に駆動されます。  |                   |
| 汎用 I/O (GPIO) <sup>(8)</sup> |      |                    |  |                   |
|                              |      |                    | 代替機能 1   |                   |
|                              |      |                    | 代替機能 2   |                   |
| GPIO_82                      | E3   | B <sub>5</sub>     | 該当なし   | 該当なし              |
| GPIO_81                      | AB10 | B <sub>2</sub>     | 予約済み   | 該当なし              |
| GPIO_80                      | AD9  | B <sub>2</sub>     | IR_ENABLE (O)  | 該当なし              |
| GPIO_79                      | AE9  | B <sub>2</sub>     | 予約済み   | 該当なし              |
| GPIO_78                      | AF9  | B <sub>2</sub>     | FIELD_3D_LR (I)  | 該当なし              |
| GPIO_77                      | AB11 | B <sub>2</sub>     | SAS_INTGTR_EN (O)  | SENSE_PWM_OUT (O) |
| GPIO_76                      | AC10 | B <sub>2</sub>     | SAS_CSZ (O)  | 該当なし              |
| GPIO_75                      | AD10 | B <sub>2</sub>     | SAS_DO (O)   | SENSE_FREQ_IN (I) |
| GPIO_74                      | AE10 | B <sub>2</sub>     | SAS_DI (I)   | SENSE_COMP_IN (I) |
| GPIO_73                      | AF10 | B <sub>2</sub>     | SAS_CLK (O)  | 該当なし              |
| GPIO_72                      | K24  | B <sub>2</sub>     | SSP2_DI (I)  | 該当なし              |
| GPIO_71                      | K23  | B <sub>2</sub>     | SSP2_CLK (B)   | 該当なし              |
| GPIO_70                      | K22  | B <sub>2</sub>     | SSP2_CSZ_1 (B)   | 該当なし              |
| GPIO_69                      | J26  | B <sub>2</sub>     | SSP2_CSZ_0 (B)   | 該当なし              |

表 4-1. ピンの機能 (続き)

| ピン <sup>(1)</sup> |      | タイプ <sup>(2)</sup> | 説明                  |                     |
|-------------------|------|--------------------|---------------------|---------------------|
| 名称                | 番号   |                    |                     |                     |
| GPIO_68           | J25  | B <sub>2</sub>     | SSP2_DO (O)         | 該当なし                |
| GPIO_67           | J24  | B <sub>2</sub>     | SP_Data_7 (O)       | SSP2_CSZ_2 (B)      |
| GPIO_66           | J23  | B <sub>2</sub>     | SP_Data_6 (O)       | SSP0_CSZ_5 (B)      |
| GPIO_65           | J22  | B <sub>2</sub>     | SP_Data_5 (O)       | 該当なし                |
| GPIO_64           | H26  | B <sub>2</sub>     | SP_Data_4 (O)       | CW_PWM_2 (O)        |
| GPIO_63           | H25  | B <sub>2</sub>     | SP_Data_3 (O)       | CW_INDEX_2 (I)      |
| GPIO_62           | H24  | B <sub>2</sub>     | SP_Data_2 (O)       | SP_VC_FDBK (I)      |
| GPIO_61           | H23  | B <sub>2</sub>     | SP_Data_1 (O)       | 該当なし                |
| GPIO_60           | H22  | B <sub>2</sub>     | SP_Data_0 (O)       | 該当なし                |
| GPIO_59           | G26  | B <sub>2</sub>     | SP_WG_CLK (O)       | 該当なし                |
| GPIO_58           | G25  | B <sub>2</sub>     | LED_SENSE_PULSE (O) | 該当なし                |
| GPIO_57           | F25  | B <sub>2</sub>     | 予約済み                | 該当なし                |
| GPIO_56           | G24  | B <sub>2</sub>     | UART2_RXD (O)       | 該当なし                |
| GPIO_55           | G23  | B <sub>2</sub>     | UART2_TXD (O)       | 該当なし                |
| GPIO_54           | F26  | B <sub>2</sub>     | PROG_AUX_7 (O)      | 該当なし                |
| GPIO_53           | E26  | B <sub>2</sub>     | PROG_AUX_6 (O)      | 該当なし                |
| GPIO_52           | AB12 | B <sub>2</sub>     | CSP_Data (O)        | ALF_CLAMP (O)       |
| GPIO_51           | AC11 | B <sub>2</sub>     | CSP_CLK (O)         | ALF_COAST (O)       |
| GPIO_50           | V23  | B <sub>2</sub>     | 予約済み                | HBT_CLKOUT (O)      |
| GPIO_49           | V24  | B <sub>2</sub>     | 予約済み                | HBT_DO (O)          |
| GPIO_48           | V25  | B <sub>2</sub>     | 予約済み                | HBT_CLKIN_2 (I)     |
| GPIO_47           | V26  | B <sub>2</sub>     | 予約済み                | HBT_DI_2 (I)        |
| GPIO_46           | T22  | B <sub>2</sub>     | 予約済み                | HBT_CLKIN_1 (I)     |
| GPIO_45           | U23  | B <sub>2</sub>     | 予約済み                | HBT_DI_1 (I)        |
| GPIO_44           | U24  | B <sub>2</sub>     | 予約済み                | HBT_CLKIN_0 (I)     |
| GPIO_43           | U25  | B <sub>2</sub>     | 予約済み                | HBT_DI_0 (I)        |
| GPIO_42           | U26  | B <sub>2</sub>     | 予約済み                | SSP0_CSZ4 (B)       |
| GPIO_41           | R22  | B <sub>2</sub>     | 予約済み                | DASYNC (I)          |
| GPIO_40           | T23  | B <sub>2</sub>     | 予約済み                | FSD12 (O)           |
| GPIO_39           | F24  | B <sub>2</sub>     | SW 予約済み (ブートホールド)   | SW 予約済み (ブートホールド)   |
| GPIO_38           | E25  | B <sub>2</sub>     | SW 予約済み (USB 列挙有効化) | SW 予約済み (USB 列挙有効化) |
| GPIO_37           | G22  | B <sub>2</sub>     | 該当なし                | 該当なし                |
| GPIO_36           | A12  | B <sub>2</sub>     | PM_ADDR_22 (O)      | I2C_2 SDA (B)       |
| GPIO_35           | E11  | B <sub>2</sub>     | PM_ADDR_21 (O)      | I2C_2 SCL (B)       |
| GPIO_34           | F23  | B <sub>2</sub>     | SSP1_CSZ_1 (B)      | 該当なし                |
| GPIO_33           | D26  | B <sub>2</sub>     | SSP1_CSZ_0 (B)      | 該当なし                |
| GPIO_32           | E24  | B <sub>2</sub>     | SSP1_DO (O)         | 該当なし                |
| GPIO_31           | F22  | B <sub>2</sub>     | SSP1_DI (I)         | 該当なし                |
| GPIO_30           | D25  | B <sub>2</sub>     | SSP1_CLK (B)        | 該当なし                |
| GPIO_29           | E23  | B <sub>2</sub>     | IR1 (I)             | SSP2 BC CSZ (B)     |
| GPIO_28           | C26  | B <sub>2</sub>     | IR0 (I)             | SSP2 BC CSZ (B)     |
| GPIO_27           | AB4  | B <sub>2</sub>     | SSP0_CSZ3 (B)       | 該当なし                |
| GPIO_26           | D24  | B <sub>2</sub>     | 青色 LED イネーブル (O)    | UART2 TXD (O)       |
| GPIO_25           | C25  | B <sub>2</sub>     | 緑色 LED イネーブル (O)    | LAMPSYNC (O)        |
| GPIO_24           | B26  | B <sub>2</sub>     | 赤色 LED イネーブル (O)    | 該当なし                |
| GPIO_23           | E21  | B <sub>2</sub>     | LED デュアル電流制御 (O)    | 該当なし                |
| GPIO_22           | D22  | B <sub>2</sub>     | LED デュアル電流制御 (O)    | 該当なし                |
| GPIO_21           | E20  | B <sub>2</sub>     | LED デュアル電流制御 (O)    | 該当なし                |
| GPIO_20           | C23  | B <sub>2</sub>     | 該当なし                | 該当なし                |
| GPIO_19           | D21  | B <sub>2</sub>     | 該当なし                | 該当なし                |
| GPIO_18           | B24  | B <sub>2</sub>     | 該当なし                | 該当なし                |
| GPIO_17           | C22  | B <sub>2</sub>     | 汎用クロック 2 (O)        | 該当なし                |
| GPIO_16           | B23  | B <sub>2</sub>     | 汎用クロック 1 (O)        | 該当なし                |

**表 4-1. ピンの機能 (続き)**

| ピン <sup>(1)</sup> |   | タイプ <sup>(2)</sup> | 説明  |               |
|-------------------|---|--------------------|---|---------------|
| 名称                | 番号  |                    |   |               |
| GPIO_15           | E19   | B <sub>2</sub>     | I2C_1 SDA (B)   | 該当なし          |
| GPIO_14           | D20   | B <sub>2</sub>     | I2C_1 SCL (B)   | 該当なし          |
| GPIO_13           | C21   | B <sub>2</sub>     | PWM IN_1 (I)  | I2C_2 SDA (B) |
| GPIO_12           | B22   | B <sub>2</sub>     | PWM IN_0 (I)  | I2C_2 SCL (B) |
| GPIO_11           | A23   | B <sub>2</sub>     | PWM STD_7 (O)   | 該当なし          |
| GPIO_10           | A22   | B <sub>2</sub>     | PWM STD_6 (O)   | 該当なし          |
| GPIO_9            | B21   | B <sub>2</sub>     | PWM STD_5 (O)   | 該当なし          |
| GPIO_8            | A21   | B <sub>2</sub>     | PWM STD_4 (O)   | 該当なし          |
| GPIO_7            | A20   | B <sub>2</sub>     | PWM STD_3 (O)   | 該当なし          |
| GPIO_6            | C20   | B <sub>2</sub>     | PWM STD_2 (O)   | 該当なし          |
| GPIO_5            | B20   | B <sub>2</sub>     | PWM STD_1 (O)   | 該当なし          |
| GPIO_4            | B19   | B <sub>2</sub>     | PWM STD_0 (O)   | 該当なし          |
| GPIO_3            | A19   | B <sub>2</sub>     | UART1_RTSZ (O)  | 該当なし          |
| GPIO_2            | E18   | B <sub>2</sub>     | UART1_CTSZ (I)  | 該当なし          |
| GPIO_1            | D19   | B <sub>2</sub>     | UART1_RXD (I)   | 該当なし          |
| GPIO_0            | C19   | B <sub>2</sub>     | UART1_TXD (O)   | 該当なし          |
| クロックおよび PLL のサポート |   |                    |   |               |
| MOSC              | M26   | I <sub>10</sub>    | システムクロック振動子入力 (3.3V LVTTTL)。MOSC は、POSENSE が Low から High に遷移した後、最大 25ms の間安定させる必要があることにご注意ください。   |               |
| MOSCN             | N26   | O <sub>10</sub>    | MOSC 水晶振動子のリターン   |               |
| OCLKA             | AF6   | O <sub>5</sub>     | 汎用出力クロック A。CW モーターコントローラ駆動用。周波数はソフトウェアでプログラム可能。パワーアップのデフォルト 787KHz。出力周波数は、パワーアップ以外のリセット動作の影響を受けないことに注意してください (最後にプログラムされた値が保持されます)。       |               |
| デュアルコントローラのサポート   |   |                    |   |               |
| SEQ_SYNC          | AB9   | B <sub>3</sub>     | Sequence sync. この信号はマルチコントローラ設定でのみ使用され、各コントローラからの SEQSYNC 信号は外部プルアップで相互接続されます。この信号は High または Low にプルされ、単一のコントローラ設定ではフローティング状態にすることはできません。 |               |
| 電源およびグラウンド        |   |                    |   |               |
| VDD33             | F20、F17、F11、F8、L21、R21、Y21、AA19、AA16、AA10、AA7   | 電源                 | 3.3V I/O 電源   |               |
| VDD18             | C1、F5、G6、K6、M5、P5、T5、W6、AA5、AE1、H5、N6、T6、AA13、U21、P21、H21、F14                                 | 電源                 | 1.8V の内蔵 DRAM および LVDS I/O 電源   |               |
| VDD11             | F19、F16、F13、F10、F7、H6、L6、P6、U6、Y6、AA8、AA11、AA14、AA17、AA20、W21、T21、N21、K21、G21、L11、T11、T16、L16 | 電源                 | 1.1V 1.15V コア電源   |               |
| VDD_PLLD          | L22   | 電源                 | 1.1V 、 1.15V、DMD クロックジェネレータ PLL デジタル電源  |               |
| VSS_PLLD          | L23   | グラウンド              | 1.1V、1.15V、DMD クロックジェネレータ PLL デジタルグラウンド   |               |
| VAD_PLLD          | K25   | 電源                 | 1.8V DMD クロックジェネレータ PLL アナログ電源  |               |
| VAS_PLLD          | K26   | グラウンド              | 1.8V DMD クロックジェネレータ PLL アナロググラウンド   |               |
| VDD_PLLM1         | L26   | 電源                 | 1.1V 、 1.15V、マスター LS クロックジェネレータ PLL デジタル電源  |               |
| VSS_PLLM1         | M22   | グラウンド              | 1.1V 1.15V、マスター LS クロックジェネレータ PLL デジタルグラウンド   |               |
| VAD_PLLM1         | L24   | 電源                 | 1.8V マスター LS クロックジェネレータ PLL アナログ電源  |               |
| VAS_PLLM1         | L25   | グラウンド              | 1.8V マスター LS クロックジェネレータ PLL アナロググラウンド   |               |
| VDD_PLLM2         | P23   | 電源                 | 1.1V マスター HS クロックジェネレータ PLL デジタル電源  |               |
| VSS_PLLM2         | P24   | グラウンド              | 1.1V マスター HS クロックジェネレータ PLL デジタルグラウンド   |               |
| VAD_PLLM2         | R25   | 電源                 | 1.8V マスター HS クロックジェネレータ PLL アナログ電源  |               |
| VAS_PLLM2         | R26   | グラウンド              | 1.8V マスター HS クロックジェネレータ PLL アナロググラウンド   |               |
| VAD_PLLS          | R23   | 電源                 | 1.1V ビデオ-2X クロックジェネレータ PLL アナログ電源   |               |

表 4-1. ピンの機能 (続き)

| ピン <sup>(1)</sup>                 |  | タイプ <sup>(2)</sup> | 説明  |
|-----------------------------------|--|--------------------|---|
| 名称                                | 番号   |                    |   |
| VAS_PLLS                          | R24  | グラウンド              | 1.1V ビデオ-2X クロックジェネレータ PLL アナロググラウンド                  |
| L-VDQPAD_[7:0],<br>R-VDQPAD_[7:0] | B18, D18, B17,<br>E17, A18, C18,<br>A17, D17, AE17,<br>AC17, AF17,<br>AC18, AB16,<br>AD17, AB17,<br>AD18   | 予約済み               | 正常に動作させるためには、これらのピンをグラウンドに直接固定する必要があります。              |
| CFO_VDD33                         | AE26   | 予約済み               | 正常に動作させるためには、このピンを 3.3 I/O 電源 (VDD33) に直接固定する必要があります。 |
| VTEST1, VTEST2,<br>VTEST3, VTEST4 | AB14, AB15,<br>E15, E16  | 予約済み               | 正常に動作させるためには、これらのピンをグラウンドに直接固定する必要があります。              |
| LVDS_AVS1,<br>LVDS_AVS2           | V5, K5   | 電源                 | 正常に動作させるためには、これらのピンをグラウンドに直接固定する必要があります。              |
| VPGM                              | AC6  | 電源                 | 正常に動作させるために、このピンはグラウンドに直接固定する必要があります。                 |
| グラウンド                             | A26, A25, A24,<br>B25, C24, D23,<br>E22, F21, F18,<br>F15, F12, F9, F6,<br>E5, D4, C3, B3,<br>A3, B2, A2, B1,<br>A1, G5, J5, J6, L5,<br>M6, N5, R5, R6,<br>U5, V6, W5, Y5,<br>AA6, AB5, AC4,<br>AD3, AE3, AF3,<br>AF2, AF1, AA9,<br>AA12, AA15,<br>AA18, AA21,<br>AB22, AC23,<br>AD24, AE24,<br>AF24, AE25,<br>AF25, AF26, V21,<br>M21, J21, L15,<br>L14, L13, L12,<br>M16, M15, M14,<br>M13, M12, M11,<br>N16, N15, N14,<br>N13, N12, N11,<br>P16, P15, P14,<br>P13, P12, P11,<br>R16, R15, R14,<br>R13, R12, R11,<br>T15, T14, T13,<br>T12 | グラウンド              | 共通グラウンド   |

- (1) 未使用のピンの処理手順については、「未使用 CMOS タイプピンの一般的な取り扱いガイドライン」を参照してください。
- (2) I/O タイプ: I = 入力、O = 出力、B = 双方向、H = ヒステリシス。サブスクリプトの説明については、表 4-2 を参照してください。
- (3) すべての JTAG 信号は LVTTTL と互換性があります。
- (4) ポート 1 とポート 2 をそれぞれ使用して、特定の製品 (AFE や HDMI など) に対応する複数のソースオプションをサポートすることが可能です。そのためには、両方のソースコンポーネントからのデータバスを同じポートピン (1 または 2) に接続し、DLPC6422 デバイスを、「非アクティブ」ソースがトライステート状態になるように制御する必要があります。このように接続すると、トライステート状態のバス上の反射により、信号劣化が発生する場合があります。クロックが最も重要な信号である場合、3 つのポートクロック (1、2、3) には、信号の信頼性を向上させるオプションがあります。
- (5) ポート 1 とポート 2 は、2 つの 30 ビットポートとして別々に、または 2 つのピクセルをクロックごとに送信するために、1 つの 60 ビットポート (通常は高データレートソース用) として結合させて使用することもできます。
- (6) ポート 1 とポート 2 の A、B、C の入力データチャネルは、内部で再設定および再マッピングして、基板レイアウトを最適化することができます。
- (7) 各カラーコンポーネントチャネルごとに 10 ビット未満のデータを出力するソースは、DLPC6422 コントローラに接続する際に、LSB をゼロに固定し、MSB を揃える必要があります。たとえば、8 ビット/カラーの入力は、対応する A、B、C 入力チャネルのビット 9:2 に接続する必要があります。
- (8) GPIO 信号は、入力、出力、双方向、またはオープンドレイン用にソフトウェアによって設定する必要があります。一部の GPIO には 1 つ以上の代替使用モードがあり、これらはソフトウェアで設定できます。すべてのオプションの GPIO のリセットのデフォルトは入力信号です。ただし、汎用クロックと PWM 生成を除く、これらの GPIO ピンに接続された代替機能はリセットされます。オープンドレインとして設定された各信号には、3.3V 電源への外付けプルアップ抵抗が必要です。ソフトウェアがこれらのポートを設定可能になる前に、安定した動作を確保するために、外付けプルアップ抵抗またはプルダウン抵抗が必要になる場合があります。

**表 4-2. I/O タイプのサブスクリプト定義**

| サブスクリプト | 説明  | ESD 構造                        |
|---------|---|-------------------------------|
| 2       | 3.3V LVTTTL I/O バッファ、8mA ドライブ付き                   | VDD33 および GROUND への ESD ダイオード |
| 3       | 3.3V LVTTTL I/O バッファ、12mA ドライブ付き                  |                               |
| 4       | 3.3V LVTTTL レシーバ                                  |                               |
| 5       | 3.3V LVTTTL I/O バッファ、8mA ドライブ、スルーレート制御機能搭載        |                               |
| 6       | 3.3V LVTTTL I/O バッファ、プログラム可能な 4mA、8mA、12mA ドライブ付き |                               |
| 7       | 1.8V LVDS (DMD I/F)                               |                               |
| 8       | 3.3V I <sup>2</sup> C、3mA シンク付き                   |                               |
| 9       | USB 互換 (3.3V)                                     |                               |
| 10      | OSC 3.3V I/O 互換 LVTTTL                            |                               |

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

|                                    |  | 最小値   | 最大値                     | 単位 |
|------------------------------------|--|-------|-------------------------|----|
| 電気                                 |  |       |                         |    |
| 電源電圧 <sup>(2)</sup>                | V <sub>DD11</sub> (コア)                       | -0.30 | 1.60                    | V  |
|                                    | V <sub>DD18</sub> (LVDS I/O および内部 DRAM)      | -0.30 | 2.50                    |    |
|                                    | V <sub>DD33</sub> (I/O)                      | -0.30 | 3.90                    |    |
|                                    | VDD_PLLD (1.1V DMD クロックジェネレータ - デジタル)        | -0.30 | 1.60                    |    |
|                                    | VDD_PLLM1 (1.1V マスター - LS クロックジェネレータ - デジタル) | -0.30 | 1.60                    |    |
|                                    | VDD_PLLM2 (1.1V マスター - HS クロックジェネレータ - デジタル) | -0.30 | 1.60                    |    |
|                                    | VDD_PLLD (1.8V DMD クロックジェネレータ — アナログ)        | -0.30 | 2.50                    |    |
|                                    | VDD_PLLM1 (1.8V マスタ — LS クロックジェネレータ — アナログ)  | -0.30 | 2.50                    |    |
|                                    | VDD_PLLM2 (1.8V マスタ — HS クロックジェネレータ — アナログ)  | -0.30 | 2.50                    |    |
|                                    | VDD_PLLS (1.1V ビデオ 2X アナログ)                  | -0.50 | 1.40                    |    |
| V <sub>I</sub> 入力電圧 <sup>(3)</sup> | USB  | -1.0  | 5.25                    | V  |
|                                    | OSC  | -0.3  | V <sub>DD33</sub> + 0.3 |    |
|                                    | 3.3V LVTTTL                                  | -0.3  | 3.6                     |    |
|                                    | 3.3V I2C                                     | -0.5  | 3.8                     |    |
| V <sub>O</sub> 出力電圧                | USB  | -1.0  | 5.25                    | V  |
|                                    | OSC  | -0.3  | 2.2                     |    |
|                                    | 3.3V LVTTTL                                  | -0.3  | 3.6                     |    |
|                                    | 3.3V I2C                                     | -0.5  | 3.8                     |    |
| 環境                                 |  |       |                         |    |
| T <sub>J</sub> 、接合部動作温度            |  | 0     | 111                     | ℃  |
| T <sub>stg</sub> 、保管温度範囲           |  | -40   | 125                     | ℃  |

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外の場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2) すべての電圧値は、GROUND を基準としたものです。

(3) 外部入力と双方向バッファに適用

### 5.2 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

|                   |                         | I/O <sup>(1)</sup> | 最小値   | 公称値  | 最大値   | 単位 |
|-------------------|-------------------------|--------------------|-------|------|-------|----|
| <b>電気</b>         |                         |                    |       |      |       |    |
| V <sub>DD33</sub> | 3.3V 電源電圧、I/O           |                    | 3.135 | 3.3  | 3.465 | V  |
| V <sub>DD18</sub> | 1.8V 電源電圧、LVDS および DRAM |                    | 1.71  | 1.8  | 1.89  | V  |
| V <sub>DD11</sub> | 1.15V 電源電圧、コアロジック       |                    | 1.100 | 1.15 | 1.200 | V  |
| V <sub>DD11</sub> | 1.1V 電源電圧、コアロジック        |                    | 1.045 | 1.1  | 1.155 | V  |



自由空気での動作温度範囲内 (特に記述のない限り)

|                |                    | I/O <sup>(1)</sup>                          | 最小値   | 公称値  | 最大値               | 単位 |
|----------------|--------------------|---|-------|------|-------------------|----|
| VDD_PLLD       | 1.8V 電源電圧、PLL アナログ |   | 1.71  | 1.8  | 1.89              | V  |
| VDD_PLLM1      | 1.8V 電源電圧、PLL アナログ |   | 1.71  | 1.8  | 1.89              | V  |
| VDD_PLLM2      | 1.8V 電源電圧、PLL アナログ |   | 1.71  | 1.8  | 1.89              | V  |
| VDD_PLLS       | 1.8V 電源電圧、PLL アナログ |   | 1.050 | 1.10 | 1.150             | V  |
| VDD_PLLD       | 1.8V 電源電圧、PLL アナログ |   | 1.045 | 1.1  | 1.155             | V  |
| VDD_PLLM1      | 1.8V 電源電圧、PLL アナログ |   | 1.045 | 1.1  | 1.155             | V  |
| VDD_PLLM2      | 1.8V 電源電圧、PLL アナログ |   | 1.045 | 1.1  | 1.155             | V  |
| VDD_PLLD       | 1.8V 電源電圧、PLL アナログ |   | 1.090 | 1.15 | 1.200             | V  |
| VDD_PLLM1      | 1.8V 電源電圧、PLL アナログ |   | 1.090 | 1.15 | 1.200             | V  |
| VDD_PLLM2      | 1.8V 電源電圧、PLL アナログ |   | 1.090 | 1.15 | 1.200             | V  |
| VDD_PLLS       | 1.8V 電源電圧、PLL アナログ |   | 1.090 | 1.15 | 1.200             | V  |
| V <sub>I</sub> | 入力電圧               | USB (9)                                     | 0     |      | V <sub>DD33</sub> | V  |
|                |                    | OSC (10)                                    | 0     |      | V <sub>DD33</sub> |    |
|                |                    | 3.3V LVTTTL (1、2、3、4)                       | 0     |      | V <sub>DD33</sub> |    |
|                |                    | 3.3V I <sup>2</sup> C (8)                   | 0     |      | V <sub>DD33</sub> |    |
| V <sub>O</sub> | 出力電圧               | USB (8)                                     | 0     |      | V <sub>DD33</sub> | V  |
|                |                    | 3.3V LVTTTL (1、2、3、4)                       | 0     |      | V <sub>DD33</sub> |    |
|                |                    | 3.3V I <sup>2</sup> C (8)                   | 0     |      | V <sub>DD33</sub> |    |
|                |                    | 1.8V LVDS (7)                               | 0     |      | V <sub>DD33</sub> |    |
| T <sub>A</sub> | 動作時周囲温度範囲          | を参照してください。 <sup>(2)</sup><br><sup>(3)</sup> | 0     |      | 55                | °C |
| T <sub>C</sub> | 上部センターケース作動温度      | を参照してください。 <sup>(3)</sup><br><sup>(4)</sup> | 0     |      | 109.16            | °C |
| T <sub>J</sub> | 動作時接合部温度           |   | 0     |      | 111               | °C |

- (1) I/O の各括弧内の数字は、I/O タイプサブスクリプト定義セクションで定義されたタイプを示します。  
 (2) 最小 1m/s の気流、JEDEC 熱抵抗、および [www.ti.com/packaging](http://www.ti.com/packaging) に記載されている関連条件を想定しています。したがって、これは環境と PCB 設計によって変動する概算値です。  
 (3) 最大熱値は、最大電力 4.6W を想定しています。  
 (4) Psi<sub>JT</sub> は 0.4C/W と仮定します

### 5.3 熱に関する情報

| 熱評価基準 <sup>(1)</sup> |                             | DLPC6422  | 単位   |
|----------------------|-----------------------------|-----------|------|
|                      |                             | ZPC (BGA) |      |
|                      |                             | 516 ピン    |      |
| R <sub>θJA</sub>     | 接合部から周囲への熱抵抗 <sup>(2)</sup> | 14.4      | °C/W |
| R <sub>θJC</sub>     | 接合部からケースへの熱抵抗               | 4.4       | °C/W |

- (1) 従来および最新の熱評価基準の詳細については、[半導体および IC パッケージの熱評価基準アプリケーションレポート](#)を参照してください。  
 (2) 静止空气中

## 5.4 電気的特性

推奨される動作条件を超える場合

| パラメータ     |                              | テスト条件                                     | 最小<br>値                    | 標準<br>値 | 最大値                    | 単位            |
|-----------|------------------------------|---|----------------------------|---------|------------------------|---------------|
| $V_{IH}$  | High レベル入力電圧                 | USB (9)                                   | 2.0                        |         |                        | V             |
|           |                              | OSC (10)                                  | 2.0                        |         |                        |               |
|           |                              | 3.3V LVTTTL (1, 2, 3, 4)                  | 2.0                        |         |                        |               |
|           |                              | 3.3V I <sup>2</sup> C (8)                 | 2.4                        |         | $V_{DD33}V_{DD33}+0.5$ |               |
| $V_{IL}$  | Low レベル入力電圧                  | USB (9)                                   |                            |         | 0.8                    | V             |
|           |                              | OSC (10)                                  |                            |         | 0.8                    |               |
|           |                              | 3.3V LVTTTL (1, 2, 3, 4)                  |                            |         | 0.8                    |               |
|           |                              | 3.3V I <sup>2</sup> C (8)                 | -0.5                       |         | 1.0                    |               |
| $V_{DIS}$ | 差動入力電圧                       | USB(9)                                    | 200                        |         |                        | mV            |
| $V_{ICM}$ | 差動交差点電圧                      | USB(9)                                    | 0.8                        |         | 2.5                    | V             |
| $V_{HYS}$ | ヒステリシス ( $V_{T+} - V_{T-}$ ) | USB(9)                                    | 200                        |         |                        | mV            |
|           |                              | 3.3V LVTTTL (1, 2, 3, 4)                  |                            | 400     |                        |               |
|           |                              | 3.3V I <sup>2</sup> C (8)                 | 300                        | 550     | 600                    |               |
| $V_{OH}$  | High レベル出力電圧                 | USB (9)                                   | 2.8                        |         |                        | V             |
|           |                              | 1.8V LVDS (7)                             | 1.520                      |         |                        |               |
|           |                              | 3.3V LVTTTL (1, 2, 3)                     | $I_{OH} = \text{最大定格}$     | 2.7     |                        |               |
| $V_{OL}$  | Low レベル出力電圧                  | USB (9)                                   |                            |         | 0.3                    | V             |
|           |                              | 1.8V LVDS (7)                             |                            |         | 0.880                  |               |
|           |                              | 3.3V LVTTTL (1, 2, 3)                     | $I_{OL} = \text{最大定格}$     |         | 0.4                    |               |
|           |                              | 3.3V I <sup>2</sup> C (8)                 | $I_{OL} = 3\text{-mA シンク}$ |         | 0.4                    |               |
| $V_{OD}$  | 出力差動電圧                       | 1.8V LVDS (7)                             | 0.065                      |         | 0.440                  | V             |
| $I_{IH}$  | High レベル入力電流                 | USB(9)                                    |                            |         | 200                    | $\mu\text{A}$ |
|           |                              | OSC (10)                                  |                            | -10.0   | 10                     |               |
|           |                              | 3.3V LVTTTL (1-4)、内部プルダウンなし               | $V_{IH} = V_{DD33}$        | -10.0   | 10                     |               |
|           |                              | 3.3V LVTTTL (1-4)、内部プルダウン付き               | $V_{IH} = V_{DD33}$        | 10.0    | 200.0                  |               |
|           |                              | 3.3V I <sup>2</sup> C (8)                 | $V_{IH} = V_{DD33}$        |         | 10.0                   |               |
| $I_{IL}$  | Low レベル入力電流                  | USB(9)                                    |                            | -10.0   | 10.0                   | $\mu\text{A}$ |
|           |                              | OSC (10)                                  |                            | -10.0   | 10.0                   |               |
|           |                              | 3.3V LVTTTL (1-4)、内部プルダウンなし               | $V_{OH} = V_{DD33}$        | -10.0   | 10.0                   |               |
|           |                              | 3.3V LVTTTL (1-4)、内部プルダウン付き               | $V_{OH} = V_{DD33}$        | -10.0   | -200                   |               |
|           |                              | 3.3V I <sup>2</sup> C (8)                 | $V_{OH} = V_{DD33}$        |         | -10.0                  |               |
| $I_{OH}$  | High レベル出力電流                 | USB(9)                                    |                            | -18.4   | -19.1                  | mA            |
|           |                              | 1.8V LVDS (7) ( $V_{OD} = 300\text{mV}$ ) | $V_O = 1.4\text{V}$        | 6.5     |                        |               |
|           |                              | 3.3V LVTTTL (1)                           | $V_O = 2.4\text{V}$        | -4.0    |                        |               |
|           |                              | 3.3V LVTTTL (2)                           | $V_O = 2.4\text{V}$        | -8.0    |                        |               |
|           |                              | 3.3V LVTTTL (3)                           | $V_O = 2.4\text{V}$        | -12.0   |                        |               |

## 5.4 電気的特性 (続き)

推奨される動作条件を超える場合

| パラメータ                   |   | テスト条件                                   | 最小値       | 標準値   | 最大値   | 単位 |
|-------------------------|---|---|-----------|-------|-------|----|
| I <sub>OL</sub>         | Low レベル出力電流                                       | USB(9)                                  |           | 19.1  |       | mA |
|                         |   | 1.8V LVDS (7) (V <sub>OD</sub> = 300mV) | VO = 1.0V | 6.5   |       |    |
|                         |   | 3.3V LVTTTL (1)                         | VO = 0.4V | 4.0   |       |    |
|                         |   | 3.3V LVTTTL (2)                         | VO = 0.4V | 8.0   |       |    |
|                         |   | 3.3V LVTTTL (3)                         | VO = 0.4V | 12.0  |       |    |
|                         |   | 3.3V I <sup>2</sup> C (8)               |           | 3.0   |       |    |
| I <sub>oz</sub>         | ハイ インピーダンスリーク電流                                   | USB (9)                                 |           | -10   |       | pF |
|                         |   | LVDS (7)                                |           | -10   |       |    |
|                         |   | 3.3V LVTTTL (1, 2, 3)                   |           | -10   |       |    |
|                         |   | 3.3V I <sup>2</sup> C (8)               |           | -10   |       |    |
| C <sub>I</sub>          | 入力容量  | USB (9)                                 |           | 11.84 | 17.07 | pF |
|                         |   | 3.3V LVTTTL (1)                         |           | 3.75  | 5.52  |    |
|                         |   | 3.3V LVTTTL (2)                         |           | 3.75  | 5.52  |    |
|                         |   | 3.3V LVTTTL (4)                         |           | 3.75  | 5.52  |    |
|                         |   | 3.3V I <sup>2</sup> C (8)               |           | 5.26  | 6.54  |    |
| I <sub>CC11</sub>       | 電源電圧、1.1V コア電源                                    | 通常モード                                   |           |       | 1474  | mA |
| I <sub>CC11</sub>       | 電源電圧、1.15V コア電源                                   | 通常モード                                   |           |       | 2368  | mA |
| I <sub>CC18</sub>       | 電源電圧、1.8V 電源 (LVDS I/O および内蔵 DRAM)                | 通常モード                                   |           |       | 1005  | mA |
| I <sub>CC33</sub>       | 電源電圧、3.3V I/O 電源                                  | 通常モード                                   |           |       | 33    | mA |
| I <sub>CC11_PLLD</sub>  | 電源電圧、DMD PLL デジタル電源 (1.1V 1.15V)                  | 通常モード                                   |           | 4.4   | 6.2   | mA |
| I <sub>CC11_PLLM1</sub> | 電源電圧、Master-LS クロックジェネレータ PLL デジタル電源 (1.1V 1.15V) | 通常モード                                   |           | 4.4   | 6.2   | mA |
| I <sub>CC11_PLLM2</sub> | 電源電圧、Master-HS クロックジェネレータ PLL デジタル電源 (1.1V 1.15V) | 通常モード                                   |           | 4.4   | 6.2   | mA |
| I <sub>CC18_PLLD</sub>  | 電源電圧、DMD PLL アナログ電源 (1.8V)                        | 通常モード                                   |           | 8.0   | 10.2  | mA |
| I <sub>CC18_PLLM1</sub> | 電源電圧、マスタ — LS クロックジェネレータ PLL アナログ電源 (1.8V)        | 通常モード                                   |           | 8.0   | 10.2  | mA |
| I <sub>CC18_PLLM2</sub> | 電源電圧、マスタ — HS クロックジェネレータ PLL アナログ電源 (1.8V)        | 通常モード                                   |           | 8.0   | 10.2  | mA |
| I <sub>CC11_PLLS</sub>  | 電源電圧、ビデオ-2X PLL アナログ電源 (1.1V 1.15V)               | 通常モード                                   |           |       | 2.9   | mA |
|                         | 合計電力  | 通常モード                                   |           |       | 3.73  | W  |
|                         | 合計電力  | 通常モード                                   |           |       | 4.76  | W  |
| I <sub>CC11</sub>       | 電源電圧、1.1V 1.15V コア電源                              | 低電力モード                                  |           |       | 21    | mA |
| I <sub>CC18</sub>       | 電源電圧、1.8V 電源 (LVDS I/O および内蔵 DRAM)                | 低電力モード                                  |           |       | 0     | mA |
| I <sub>CC33</sub>       | 電源電圧、3.3V I/O 電源                                  | 低電力モード                                  |           |       | 18    | mA |
| I <sub>CC11_PLLD</sub>  | 電源電圧、DMD PLL デジタル電源 (1.1V 1.15V)                  | 低電力モード                                  |           |       | 2.03  | mA |
| I <sub>CC11_PLLM1</sub> | 電源電圧、Master-LS クロックジェネレータ PLL デジタル電源 (1.1V 1.15V) | 低電力モード                                  |           |       | 2.03  | mA |
| I <sub>CC11_PLLM2</sub> | 電源電圧、Master-HS クロックジェネレータ PLL デジタル電源 (1.1V 1.15V) | 低電力モード                                  |           |       | 2.03  | mA |
| I <sub>CC18_PLLD</sub>  | 電源電圧、DMD PLL アナログ電源 (1.8V)                        | 低電力モード                                  |           |       | 5.42  | mA |
| I <sub>CC18_PLLM1</sub> | 電源電圧、マスタ — LS クロックジェネレータ PLL アナログ電源 (1.8V)        | 低電力モード                                  |           |       | 5.42  | mA |

## 5.4 電気的特性 (続き)

推奨される動作条件を超える場合

| パラメータ  | テスト条件  | 最小値 | 標準値 | 最大値  | 単位 |
|--|--------|-----|-----|------|----|
| I <sub>CC18_PLLM2</sub> 電源電圧、マスタ — HS クロックジェネレータ PLL アナログ電源 (1.8V) | 低電力モード |     |     | 5.42 | mA |
| I <sub>CC11_PLLS</sub> 電源電圧、ビデオ–2X PLL アナログ電源 (1.1V 1.15V)         | 低電力モード |     |     | .03  | mA |
| 合計電力   | 低電力モード |     |     | 106  | mW |

## 5.5 ESD 定格

|                         |  | 値         | 単位 |
|-------------------------|--|-----------|----|
| V <sub>(ESD)</sub> 静電放電 | 人体モデル (HBM)、ANSI / ESDA / JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup> | ±1000     | V  |
|                         | デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン <sup>(2)</sup>   | +500/–300 |    |

- (1) 表に記載されているレベルは、ANSI、ESDA、JEDEC JS-001 に準拠した許容レベルです。JEDEC の文書 JEP155 に、500V HBM では標準の ESD 制御プロセスで安全な製造が可能であると規定されています。
- (2) 表に記載されているレベルは、EIA-JEDEC JESD22-C101 に準拠した許容レベルです。JEDEC の文書 JEP157 に、250V CDM では標準の ESD 制御プロセスで安全な製造が可能であると規定されています。

## 5.6 システム振動子のタイミング要件

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ   | テスト条件                     | 最小値    | 最大値    | 単位  |
|---|---------------------------|--------|--------|-----|
| システム振動子   |                           |        |        |     |
| f <sub>clock</sub> クロック周波数、MOSC <sup>(1)</sup>  |                           | 19.998 | 20.002 | MHz |
| t <sub>c</sub> サイクル時間、MOSC <sup>(1)</sup>   |                           | 49.995 | 50.005 | MHz |
| t <sub>w(H)</sub> パルス幅、 <sup>(2)</sup> 、MOSC、high   | 50%～50% のリファレンス ポイント (信号) | 20     |        | ns  |
| t <sub>w(L)</sub> パルス幅、 <sup>(2)</sup> 、MOSC、Low  | 50%～50% のリファレンス ポイント (信号) | 20     |        | ns  |
| t <sub>t</sub> 遷移時間 <sup>(2)</sup> 、MOSC、t <sub>t</sub> = t <sub>f</sub> / t <sub>r</sub> | 20%～80% のリファレンス ポイント (信号) |        | 12     | ns  |
| t <sub>jp</sub> 周期ジッタ <sup>(2)</sup> 、MOSC (これは、高周波ジッタのみに起因する理想周期からの偏差です)。                |                           |        | 18     | ps  |

- (1) MOSC の周波数範囲は、±100PPM 精度の 20MHz です (経年劣化、温度、トリム感度による精度への影響を含む)。MOSC 入力、拡散スペクトラム クロック拡散をサポートしていません。
- (2) 外部のデジタル振動子によって駆動されている場合にのみ適用されます。

## 5.7 テストおよびリセットのタイミング要件

|                    |  |                           | 最小値 | 最大値                 | 単位 |
|--------------------|--|---------------------------|-----|---------------------|----|
| t <sub>w1(L)</sub> | パルス幅、非アクティブ Low、PWRGOOD  | 50%～50% のリファレンス ポイント (信号) | 4.0 |                     | μs |
| t <sub>w1(L)</sub> | パルス幅、非アクティブ Low、PWRGOOD  | 50%～50% のリファレンス ポイント (信号) |     | 1000 <sup>(2)</sup> | ms |
| t <sub>t1</sub>    | 遷移時間、PWRGOOD、t <sub>t1</sub> = t <sub>f</sub> / t <sub>r</sub> | 20%～80% のリファレンス ポイント (信号) |     | 625                 | μs |
| t <sub>w2(L)</sub> | パルス幅、非アクティブ Low、POSENSE  | 50%～50% のリファレンス ポイント (信号) | 500 |                     | μs |

## 5.7 テストおよびリセットのタイミング要件 (続き)

|                         |   |                           | 最小値 | 最大値                 | 単位 |
|-------------------------|---|---------------------------|-----|---------------------|----|
| $t_{W2(L)}$             | パルス幅、非アクティブ Low、POSENSE                               | 50%～50% のリファレンス ポイント (信号) |     | 1000 <sup>(2)</sup> | ms |
| $t_2$                   | 遷移時間、POSENSE、 $t_1 = t_f/t_r$                         | 20%～80% のリファレンス ポイント (信号) |     | 25 <sup>(1)</sup>   | μs |
| $t_{PH}$                | パワーホールド時間、PWRGOOD がアサート解除された後も、POSENSE はアクティブ状態を維持します | 20%～80% のリファレンス ポイント (信号) | 500 |                     | μs |
| $t_{EW}$                | 早期警告時間、電源電圧が仕様を下回る前に、PWRGOOD が非アクティブ Low になります        |                           | 500 |                     | μs |
| $t_{W1(L)} + t_{W2(L)}$ | PWRGOOD と PSENSE の非アクティブ時間の合計                         |                           |     | 1050 <sup>(2)</sup> | ms |

- (1) この信号のノイズがヒステリシス スレッシュホールドを下回っている限りということです。  
(2) 1.8V 電源を印加した状態。コントローラのコマンドによって 1.8V 電源が無効化されている場合 (たとえば、システムが 1.8V 電源を無効化する低消費電力モードになっている場合)、これらの信号を無期限に非アクティブ状態のまま維持することができます。

## 5.8 JTAG インターフェイス : I/O バウンダリスキャンアプリケーションのタイミング要件

|             |                              |                           | 最小値 | 最大値 | 単位  |
|-------------|------------------------------|---------------------------|-----|-----|-----|
| $f_{clock}$ | クロック周波数、TCK                  |                           |     | 10  | MHz |
| $t_C$       | サイクル時間、TCK                   |                           | 100 |     | ns  |
| $t_{W(H)}$  | パルス幅、High                    | 50%～50% のリファレンス ポイント (信号) | 40  |     | ns  |
| $t_{W(L)}$  | パルス幅、Low                     | 50%～50% のリファレンス ポイント (信号) | 40  |     | ns  |
| $t_t$       | 遷移時間、 $t_t = t_f/t_r$        | 20%～80% のリファレンス ポイント (信号) |     | 5   | ns  |
| $t_{SU}$    | セットアップ時間、TDI は TCK ↑ の前まで有効  |                           | 8   |     | ns  |
| $t_h$       | ホールド時間、TDI は TCK ↑ の後から有効    |                           | 2   |     | ns  |
| $t_{SU}$    | セットアップ時間、TMS1 は TCK ↑ の前まで有効 |                           | 8   |     | ns  |
| $t_h$       | ホールド時間、TMS1 は TCK ↑ の前まで有効   |                           | 2   |     | ns  |

## 5.9 ポート 1 入力ピクセルのタイミング要件

|             |  | テスト条件                     | 最小値   | 最大値            | 単位  |
|-------------|--|---------------------------|-------|----------------|-----|
| $f_{clock}$ | クロック周波数、P_CLK1、P_CLK2、P_CLK3 (30 ビットバス)  |                           | 12    | 175            | MHz |
| $f_{clock}$ | クロック周波数、P_CLK1、P_CLK2、P_CLK3 (60 ビットバス)  |                           | 12    | 160            | MHz |
| $f_{clock}$ | クロック周波数、P_CLK1、P_CLK2、P_CLK3 (60 ビットバス)  |                           | 12    | 141            | MHz |
| $t_C$       | サイクル時間、P_CLK1、P_CLK2、P_CLK3  |                           | 5.714 | 83.33          | ns  |
| $t_{W(H)}$  | パルス幅、High  | 50%～50% のリファレンス ポイント (信号) | 2.3   |                | ns  |
| $t_{W(L)}$  | パルス幅、Low   | 50%～50% のリファレンス ポイント (信号) | 2.3   |                | ns  |
| $t_{jp}$    | クロック周期ジッタ、P_CLK1、P_CLK2、P_CLK3   | 最大 $f_{clock}$            |       | (2) を参照してください。 | ps  |
| $t_t$       | 遷移時間、 $t_t = t_f/t_r$ 、P_CLK1、P_CLK2、P_CLK3                                      | 20%～80% のリファレンス ポイント (信号) | 0.6   | 2.0            | ns  |
| $t_t$       | 遷移時間、 $t_t = t_f/t_r$ 、P1_A(9-0)、P1_B(9-0)、P1_C(9-0)、P1_HSYNC、P1_VSYNC、P1_DATAEN | 20%～80% のリファレンス ポイント (信号) | 0.6   | 3.0            | ns  |

## 5.9 ポート 1 入力ピクセルのタイミング要件 (続き)

|                        |   | テスト条件                     | 最小値 | 最大値 | 単位 |
|------------------------|---|---------------------------|-----|-----|----|
| $t_t$                  | 遷移時間、 $t_t = t_r/t_f$ 、ALF_HSYNC、ALF_VSYNC、ALF_CSINC <sup>(1)</sup>             | 20%～80% のリファレンス ポイント (信号) | 0.6 | 3.0 | ns |
| <b>セットアップ時間とホールド時間</b> |   |                           |     |     |    |
| $t_{su}$               | セットアップ時間、P1_A(9-0) は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ のいずれかの前に有効である必要があります  |                           | 0.8 |     | ns |
| $t_h$                  | ホールド時間、P1_A (9 ～ 0)、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります        |                           | 0.8 |     | ns |
| $t_{su}$               | セットアップ時間、P1_B(9-0) は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ のいずれかの前に有効である必要があります。 |                           | 0.8 |     | ns |
| $t_h$                  | ホールド時間、P1_B (9 ～ 0)、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります        |                           | 0.8 |     | ns |
| $t_{su}$               | セットアップ時間、P1_C(9-0) は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ のいずれかの前に有効である必要があります  |                           | 0.8 |     | ns |
| $t_h$                  | ホールド時間、P1_C (9 ～ 0)、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります        |                           | 0.8 |     | ns |
| $t_{su}$               | セットアップ時間、P1_VSYNC は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります        |                           | 0.8 |     | ns |
| $t_h$                  | ホールド時間、P1_VSYNC は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります          |                           | 0.8 |     | ns |
| $t_{su}$               | セットアップ時間、P1_HSYNC は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります        |                           | 0.8 |     | ns |
| $t_h$                  | ホールド時間、P1_HSYNC は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります          |                           | 0.8 |     | ns |
| $t_{su}$               | セットアップ時間、P2_A(9-0) は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ のいずれかの前に有効である必要があります  |                           | 0.8 |     | ns |
| $t_h$                  | ホールド時間、P2_A (9 ～ 0)、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります        |                           | 0.8 |     | ns |
| $t_{su}$               | セットアップ時間、P2_B(9-0) は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ のいずれかの前に有効である必要があります  |                           | 0.8 |     | ns |
| $t_h$                  | ホールド時間、P2_B (9 ～ 0)、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります        |                           | 0.8 |     | ns |
| $t_{su}$               | セットアップ時間、P2_C(9-0) は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ のいずれかの前に有効である必要があります  |                           | 0.8 |     | ns |
| $t_h$                  | ホールド時間、P2_C (9 ～ 0)、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります        |                           | 0.8 |     | ns |
| $t_{su}$               | セットアップ時間、P2_VSYNC は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります        |                           | 0.8 |     | ns |
| $t_h$                  | ホールド時間、P2_VSYNC は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります          |                           | 0.8 |     | ns |
| $t_{su}$               | セットアップ時間、P2_HSYNC は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります        |                           | 0.8 |     | ns |
| $t_h$                  | ホールド時間、P2_HSYNC は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります          |                           | 0.8 |     | ns |
| $t_{su}$               | セットアップ時間、P_DATAEN1 は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります       |                           | 0.8 |     | ns |



## 5.9 ポート 1 入力ピクセルのタイミング要件 (続き)

|            | テスト条件   | 最小値 | 最大値 | 単位        |
|------------|---|-----|-----|-----------|
| $t_h$      | ホールド時間、P_DATAEN1 は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります   | 0.8 |     | ns        |
| $t_{su}$   | セットアップ時間、P_DATAEN2 は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります | 0.8 |     | ns        |
| $t_h$      | ホールド時間、P_DATAEN2 は、P_CLK1 ↑ ↓、P_CLK2 ↑ ↓、または P_CLK3 ↑ ↓ の前に有効である必要があります   | 0.8 |     | ns        |
| $t_{W(A)}$ | VSYSN アクティブ パルス幅  | 1   |     | ビデオライン    |
| $t_{W(A)}$ | HSYN アクティブ パルス幅   | 16  |     | ピクセル クロック |

- (1) ALF\_CSYSN、ALF\_VSYN、および ALF\_HSYN は非同期信号です。  
(2) 周波数 ( $f_{clock}$ ) が 175MHz 未満の場合、次の式を使用してジッタを求めます: 最大クロックジッタ =  $\pm [(1/f_{clock}) - 5414ps]$

## 5.10 ポート 3 入力ピクセルインターフェイス (GPIO 経由) のタイミング要件

| パラメータ              |  | テスト条件                     | 最小値           | 最大値           | 単位  |
|--------------------|--|---------------------------|---------------|---------------|-----|
| f <sub>clock</sub> | クロック周波数、P3_CLK   |                           | 27            | 54            | MHz |
| t <sub>c</sub>     | サイクル時間、P3_CLK  |                           | 18.5          | 37.1          | ns  |
| t <sub>W(H)</sub>  | パルス幅、High  | 50%～50% のリファレンス ポイント (信号) | 7.4           |               | ns  |
| t <sub>W(L)</sub>  | パルス幅、Low   | 50%～50% のリファレンス ポイント (信号) | 7.4           |               | ns  |
| t <sub>jp</sub>    | クロック周期ジッタ、P3_CLK   | 最大 f <sub>clock</sub>     | (1)を参照してください。 | (1)を参照してください。 | ps  |
| t <sub>t</sub>     | 遷移時間、t <sub>t</sub> = t <sub>f</sub> /t <sub>r</sub> 、P3_CLK       | 20%～80% のリファレンス ポイント (信号) | 1.0           | 5.0           | ns  |
| t <sub>t</sub>     | 遷移時間、t <sub>t</sub> = t <sub>f</sub> /t <sub>r</sub> 、P3_DATA(9-0) | 20%～80% のリファレンス ポイント (信号) | 1.0           | 5.0           | ns  |
| t <sub>su</sub>    | セットアップ時間、P3_DATA(9-0) は P3_CLK ↑ ↓ の前に有効                           |                           | 2.0           |               | ns  |
| t <sub>h</sub>     | ホールド時間、P3_DATA(9-0) は P3_CLK ↑ ↓ の後に有効                             |                           | 2.0           |               | ns  |

- (1) 周波数 が 54MHz 未満の場合、次の式を使用してジッタを求めます: ジッタ =  $[(1/F) - 5414ps]$ .

## 5.11 DMD LVDS インターフェイスのタイミング要件

|                    |  | 始点 (入力)   | 終点 (出力)        | 最小値    | 最大値 | 単位  |
|--------------------|--|-----------|----------------|--------|-----|-----|
| f <sub>clock</sub> | クロック周波数、DCK_A  | 該当なし      | DCK_A          | 100    | 400 | MHz |
| t <sub>c</sub>     | サイクル時間、DCK_A <sup>(1)</sup>                          | 該当なし      | DCK_A          | 2475.3 |     | ps  |
| t <sub>W(H)</sub>  | パルス幅、High  | 該当なし      | DCK_A          | 1093   |     | ps  |
| t <sub>W(L)</sub>  | パルス幅、Low   | 該当なし      | DCK_A          | 1093   |     | ps  |
| t <sub>t</sub>     | 遷移時間、t <sub>t</sub> = t <sub>f</sub> /t <sub>r</sub> | 該当なし      | DCK_A          | 100    | 400 | ps  |
| t <sub>osu</sub>   | 最大クロックレート <sup>(2)</sup> での出力セットアップ時間                | DCK_A ↑ ↓ | SCA、DDA (15:0) | 438    |     | ps  |
| t <sub>oh</sub>    | 最大クロックレート <sup>(2)</sup> での出力ホールド時間                  | DCK_A ↑ ↓ | SCA、DDA (15:0) | 438    |     | ps  |
| f <sub>clock</sub> | クロック周波数、DCK_B  | 該当なし      | DCK_B          | 100    | 400 | MHz |
| t <sub>c</sub>     | サイクル時間、DCK_B <sup>(1)</sup>                          | 該当なし      | DCK_B          | 2475.3 |     | ps  |
| t <sub>W(H)</sub>  | パルス幅、High  | 該当なし      | DCK_B          | 1093   |     | ps  |
| t <sub>W(L)</sub>  | パルス幅、Low   | 該当なし      | DCK_B          | 1093   |     | ps  |
| t <sub>t</sub>     | 遷移時間、t <sub>t</sub> = t <sub>f</sub> /t <sub>r</sub> | 該当なし      | DCK_B          | 100    | 400 | ps  |

|                  |                                       | 始点 (入力)                     | 終点 (出力)          | 最小値 | 最大値 | 単位 |
|------------------|---------------------------------------|-----------------------------|------------------|-----|-----|----|
| $t_{\text{osu}}$ | 最大クロックレート <sup>(2)</sup> での出力セットアップ時間 | DCK_B $\uparrow \downarrow$ | SCA, DDB (15:0)  | 438 |     | ps |
| $t_{\text{oh}}$  | 最大クロックレート <sup>(2)</sup> での出力ホールド時間   | DCK_B $\uparrow \downarrow$ | SCA, DDB (15:0)  | 438 |     | ps |
| $t_{\text{sk}}$  | 出力スキュー、チャンネル A からチャンネル B              | DCK_A $\uparrow$            | DCK_B $\uparrow$ |     | 250 | ps |

- (1) DCK\_A および DCK\_B の最小サイクル時間 ( $t_c$ ) には、1.0% のスペクトラム拡散変調が含まれます。DMD がこのレートをサポートできることを確認する必要があります。
- (2) DMD クロック周波数が最大値以下の場合の出力セットアップ時間およびホールド時間は、 $t_{\text{osu}}(\text{fclock}) = t_{\text{osu}}(\text{fmax}) + 250000 \times (1/\text{fclock} - 1/400)$  および  $t_{\text{oh}}(\text{fclock}) = t_{\text{oh}}(\text{fmax}) + 250000 \times (1/\text{fclock} - 1/400)$  で計算できます。ここでの、fclock は MHz です。

## 5.12 同期シリアル ポート (SSP) インターフェイスのタイミング要件

| パラメータ            |   | テスト条件                     | 最小値 | 最大値 | 単位 |
|------------------|---|---------------------------|-----|-----|----|
| <b>SSP プライマリ</b> |   |                           |     |     |    |
| $t_{\text{su}}$  | セットアップ時間、SSPx_DI 信号は、SSPx_CLK 信号より前に有効であるべき |                           | 15  |     | ns |
| $t_{\text{su}}$  | セットアップ時間、SSPx_DI 信号は、SSPx_CLK 信号より前に有効であるべき |                           | 15  |     | ns |
| $t_{\text{h}}$   | ホールド時間、SSPx_DI 信号は、SSPx_CLK より後に有効であるべき     |                           | 0   |     | ns |
| $t_{\text{h}}$   | ホールド時間、SSPx_DI 信号は、SSPx_CLK より後に有効であるべき     |                           | 0   |     | ns |
| $t_t$            | 遷移時間、SSPx_DI、 $t_t = t_f/t_r$               | 20%～80% のリファレンス ポイント (信号) |     | 1.5 | ns |
| <b>SSP セカンダリ</b> |   |                           |     |     |    |
| $t_{\text{su}}$  | セットアップ時間、SSPx_DI 信号は、SSPx_CLK 信号より前に有効であるべき |                           | 12  |     | ns |
| $t_{\text{su}}$  | セットアップ時間、SSPx_DI 信号は、SSPx_CLK 信号より前に有効であるべき |                           | 12  |     | ns |
| $t_{\text{h}}$   | ホールド時間、SSPx_DI 信号は、SSPx_CLK より後に有効であるべき     |                           | 12  |     | ns |
| $t_{\text{h}}$   | ホールド時間、SSPx_DI 信号は、SSPx_CLK より後に有効であるべき     |                           | 12  |     | ns |
| $t_t$            | 遷移時間、SSPx_DI、 $t_t = t_f/t_r$               | 20%～80% のリファレンス ポイント (信号) |     | 1.5 | ns |

## 5.13 プログラム可能出力クロックのスイッチング特性

自由気流での動作温度範囲内、 $C_L$  (最小タイミング) = 5pF、 $C_L$  (最大タイミング) = 50pF (特に記述のない限り)

| パラメータ              |                              | テスト条件                     | 終点 (出力) | 最小値            | 最大値    | 単位  |
|--------------------|------------------------------|---------------------------|---------|----------------|--------|-----|
| $f_{\text{clock}}$ | クロック周波数、OCLKA <sup>(1)</sup> |                           | OCLKA   | 0.787          | 50     | MHz |
| $t_C$              | サイクル時間、OCLKA                 |                           | OCLKA   | 20             | 1270.6 | ns  |
| $t_{W(H)}$         | パルス幅、High <sup>(2)</sup>     | 50%～50% のリファレンス ポイント (信号) | OCLKA   | $(t_C/2_{-2})$ |        | ns  |
| $t_{W(L)}$         | パルス幅、Low <sup>(2)</sup>      | 50%～50% のリファレンス ポイント (信号) | OCLKA   | $(t_C/2_{-2})$ |        | ns  |
|                    | ジッタ                          |                           | OCLKA   |                | 350    | ps  |
| $f_{\text{clock}}$ | クロック周波数、OCLKB <sup>(1)</sup> |                           | OCLKB   | 0.787          | 50     | MHz |
| $t_C$              | サイクル時間、OCLKB                 |                           | OCLKB   | 20             | 1270.6 | ns  |
| $t_{W(H)}$         | パルス幅、High <sup>(2)</sup>     | 50%～50% のリファレンス ポイント (信号) | OCLKB   | $(t_C/2_{-2})$ |        | ns  |
| $t_{W(L)}$         | パルス幅、Low <sup>(2)</sup>      | 50%～50% のリファレンス ポイント (信号) | OCLKB   | $(t_C/2_{-2})$ |        | ns  |
|                    | ジッタ                          |                           | OCLKB   |                | 350    | ps  |
| $f_{\text{clock}}$ | クロック周波数、OCLKC <sup>(1)</sup> |                           | OCLKC   | 0.787          | 50     | MHz |
| $t_C$              | サイクル時間、OCLKC <sup>(2)</sup>  |                           | OCLKC   | 20             | 1270.6 | ns  |
| $t_{W(H)}$         | パルス幅、High                    | 50%～50% のリファレンス ポイント (信号) | OCLKC   | $(t_C/2_{-2})$ |        | ns  |
| $t_{W(L)}$         | パルス幅、Low <sup>(2)</sup>      | 50%～50% のリファレンス ポイント (信号) | OCLKC   | $(t_C/2_{-2})$ |        | ns  |
|                    | ジッタ                          |                           | OCLKC   |                | 350    | ps  |

(1) OCLKC から OCLKA の周波数はプログラム可能です。

(2) OCLKC から OCLKA のデューティサイクルは、50% の  $\pm 2\text{ns}$  以内の範囲です。

## 5.14 同期式シリアルインターフェイス (SSP) のスイッチング特性

自由気流での動作温度範囲内、 $C_L$  (最小タイミング) = 5pF、 $C_L$  (最大タイミング) = 50pF (特に記述のない限り)

| パラメータ                           |                                      | テスト条件                     | 始点 (入力)    | 終点 (出力)  | 最小値   | 最大値   | 単位            |
|---------------------------------|--------------------------------------|---------------------------|------------|----------|-------|-------|---------------|
| $f_{\text{clock}}$              | クロック周波数、SSPx_CLK                     |                           | 該当なし       | SSPx_CLK | 73    | 25000 | kHz           |
| $t_C$                           | サイクル時間、SSPx_CLK                      |                           | 該当なし       | SSPx_CLK | 0.040 | 13.6  | $\mu\text{s}$ |
| $t_{W(H)}$                      | パルス幅、High                            | 50%～50% のリファレンス ポイント (信号) | 該当なし       | SSPx_CLK | 40%   |       |               |
| $t_{W(L)}$                      | パルス幅、Low                             | 50%～50% のリファレンス ポイント (信号) | 該当なし       | SSPx_CLK | 40%   |       |               |
| <b>SSP プライマリ</b> <sup>(1)</sup> |                                      |                           |            |          |       |       |               |
| $t_{pd}$                        | 出力伝搬、クロックから Q、SSPx_DO <sup>(2)</sup> |                           | SSPx_CLK ↓ | SSPx_DO  | -5    | 5     | ns            |
| $t_{pd}$                        | 出力伝搬、クロックから Q、SSPx_DO <sup>(2)</sup> |                           | SSPx_CLK ↑ | SSPx_DO  | -5    | 5     | ns            |
| <b>SSP セカンダリ</b> <sup>(1)</sup> |                                      |                           |            |          |       |       |               |
| $t_{pd}$                        | 出力伝搬、クロックから Q、SSPx_DO <sup>(2)</sup> |                           | SSPx_CLK ↓ | SSPx_DO  | 0     | 34    | ns            |

## 5.14 同期式シリアルインターフェイス (SSP) のスイッチング特性 (続き)

自由気流での動作温度範囲内、 $C_L$ (最小タイミング) = 5pF、 $C_L$ (最大タイミング) = 50pF (特に記述のない限り)

| パラメータ    |                                      | テスト条件 | 始点 (入力)    | 終点 (出力) | 最小値 | 最大値 | 単位 |
|----------|--------------------------------------|-------|------------|---------|-----|-----|----|
| $t_{pd}$ | 出力伝搬、クロックから Q、SSPx_DO <sup>(2)</sup> |       | SSPx_CLK ↑ | SSPx_DO | 0   | 34  | ns |

- (1) SSP は、SSP プライマリまたは SSP セカンダリとして使用できます。プライマリとして使用する場合、SSP は、次の DO を送信するために使用されるのと同じ内部クロックエッジで DI をサンプリングするように設定することができます。これにより、半サイクルではなくフルサイクルのタイミングパスが提供され、より高い SPI クロック周波数での動作が可能になります。
- (2) SSP は、4 種類の動作モード/設定に設定可能です。

表 5-1. SSP クロック動作モード

|   |   |   |
|---|---|---|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 2 | 1 | 0 |
| 3 | 1 | 1 |

## 5.15 JTAG インターフェイス : I/O バウンダリスキャンアプリケーションのスイッチング特性

自由気流での動作温度範囲内、 $C_L$ (最小タイミング) = 5pF、 $C_L$ (最大タイミング) = 85pF (特に記述のない限り)

| パラメータ    | 入力から          | 出力まで          | 最小値 | 最大値 | 単位 |
|----------|---------------|---------------|-----|-----|----|
| $t_{pd}$ | 出力伝搬、クロックから Q | TCK ↓<br>TDO1 | 3   | 12  | ns |

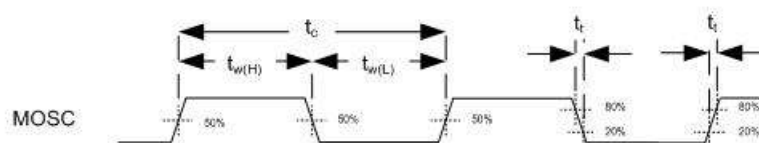


図 5-1. システム振動子

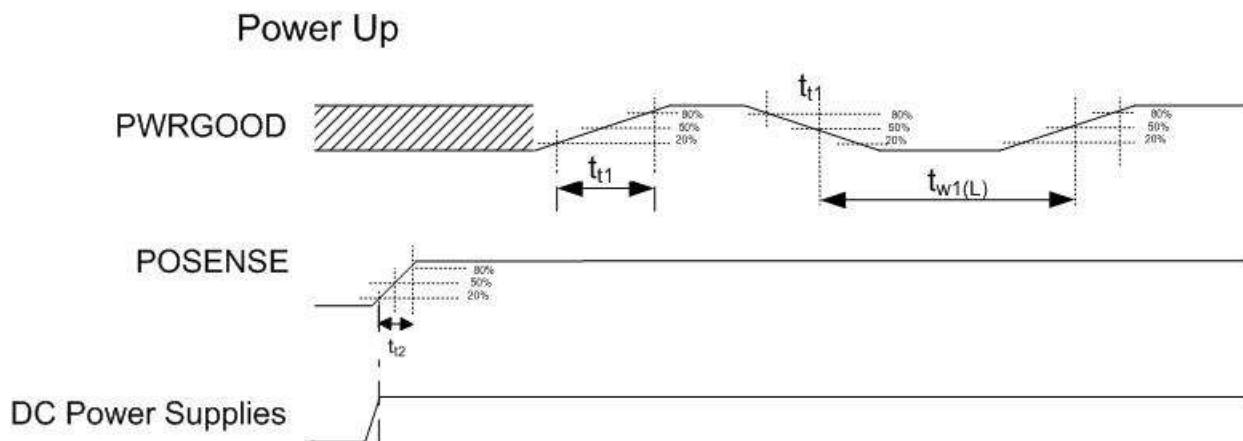


図 5-2. パワーアップ

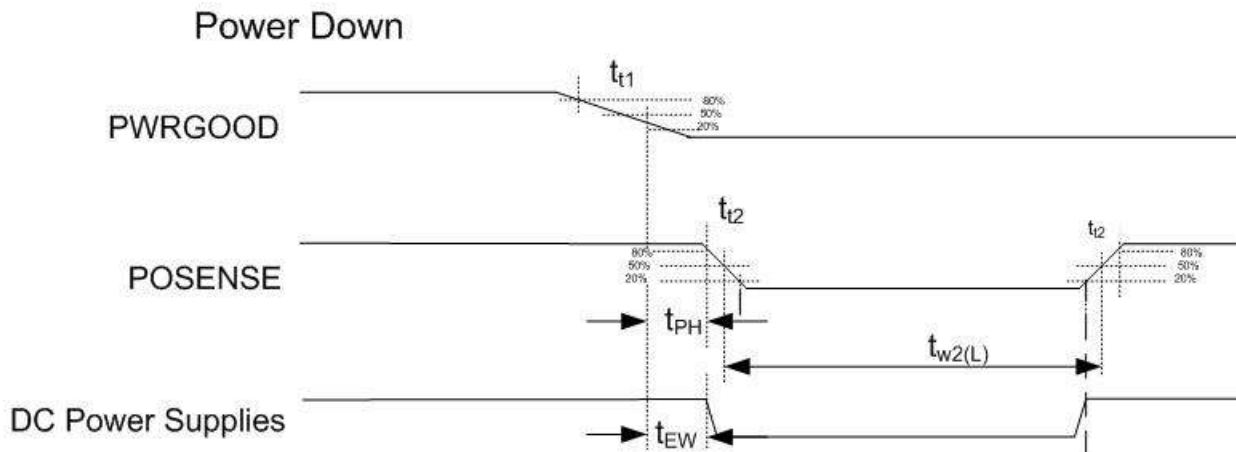


図 5-3. パワーダウン

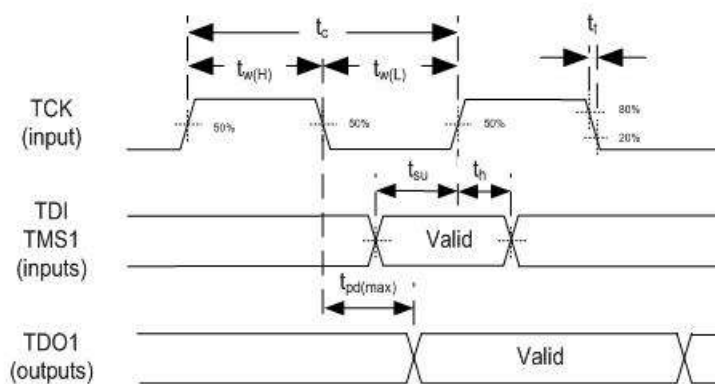


図 5-4. I/O バウンダリスキャン

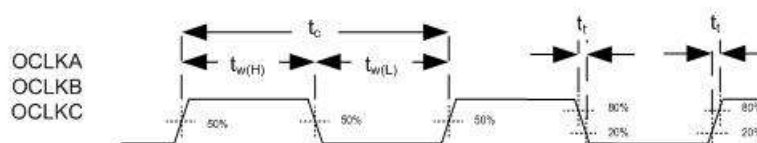


図 5-5. プログラム可能な出力クロック

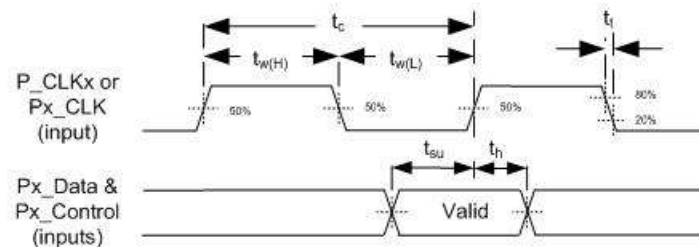


図 5-6. ポート 1、ポート 2、およびポート 3 入力インターフェイス



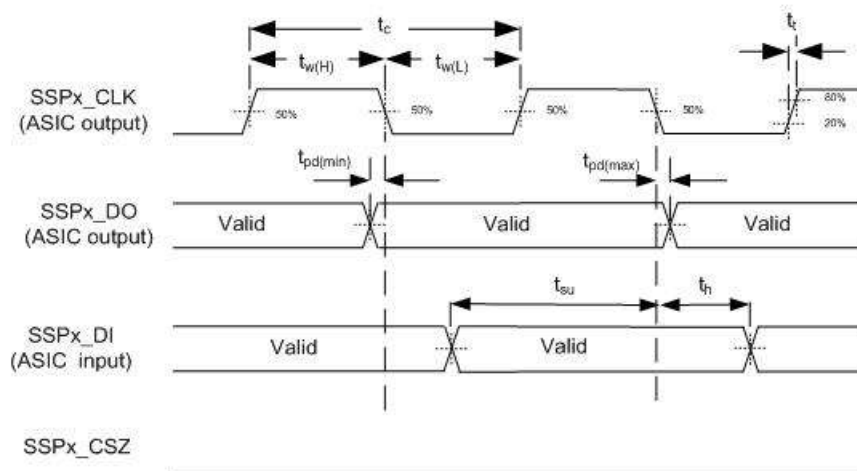


図 5-7. 同期シリアルポート インターフェースプライマリ

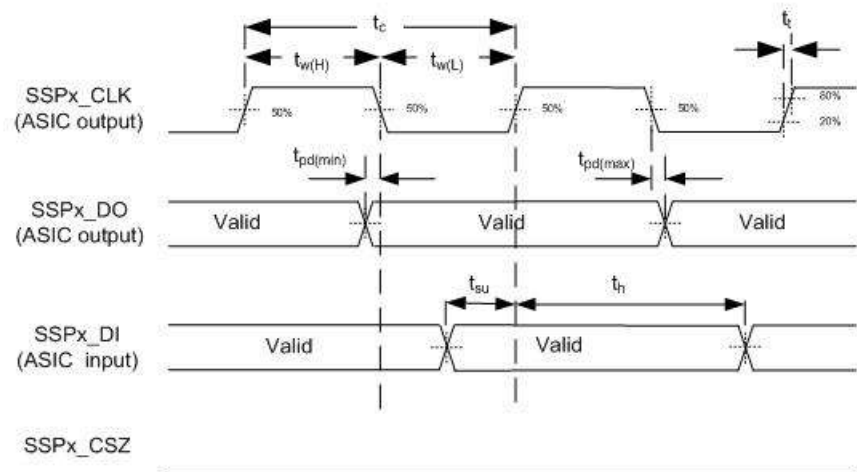


図 5-8. 同期シリアル ポート インターフェースセカンダリ

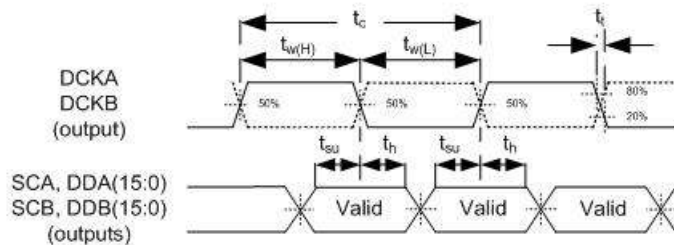


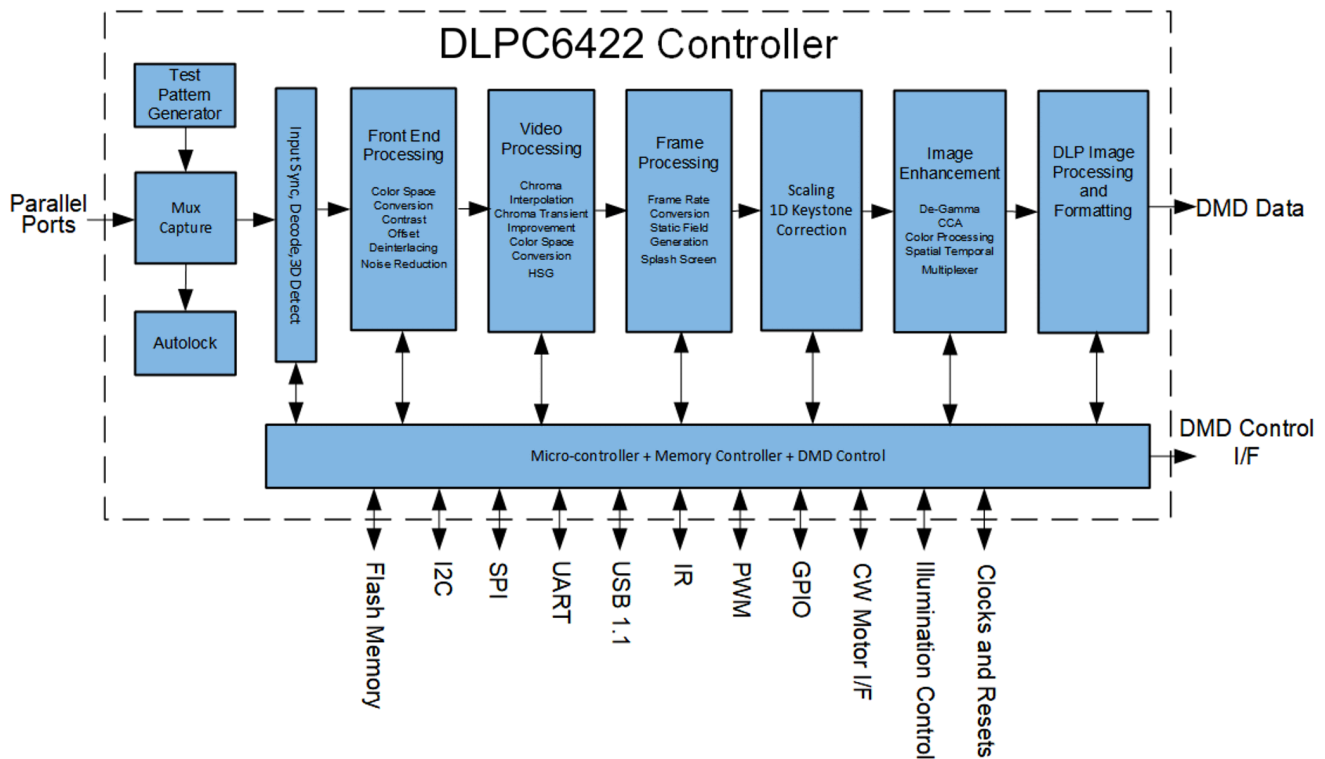
図 5-9. DMD LVDS インターフェイス

## 6 詳細説明

### 6.1 概要

従来の DLP エレクトロニクスソリューションと同様、画像データは DLPC6422 入力ポートからディスプレイ画面に投影される画像まで、すべてデジタルです。画像はデジタル形式を維持し、アナログ信号に変換されることはありません。DLPC6422 はデジタル入力画像を処理し、DMD に必要とされるビットプレーン形式にデータを変換します。DLPC6422 ライトコントローラは、デジタルイメージングシステム全体の高解像度、高 UV、可視光用に最適化されています。アプリケーションには、3D プリンティング、レーザーマーキング、レーザー加工、その他のデジタルイメージングおよび露光システムなどがあります。

### 6.2 機能ブロック図



### 6.3 機能説明

#### 6.3.1 システムリセット操作

##### 6.3.1.1 電源・アップリセット動作

電源投入の直後に、DLPC6422 ハードウェアは自動的にプライマリ PLL を起動し、コントローラを通常電力モードに移行させます。次に、ハードウェアは標準のシステムリセット手順に従います (セクション 6.3.1.2 を参照)。

##### 6.3.1.2 システムリセット操作

いずれの種類のシステムリセット (パワーアップリセット、PWRGOOD リセット、ウォッチドッグタイマタイムアウト、ランプストライクリセット) の直後でも、DLPC6422 デバイスは以下の状態で自動的に NORMAL パワーモードに戻ります:

- すべての GPIO はトライステートです。
- プライマリ PLL はアクティブ状態のまま (パワーアップリセットシーケンス後にのみリセットされます)、派生クロックのほとんどはアクティブになります。ただし、ARM9 プロセッサとその周辺に関連付けられたリセットのみが解除されます (ARM9 は他のすべてのリセットを解除します)。
- ARM9 関連クロックは、フルクロックレートにデフォルト設定されています。(起動は最大速度です)。
- 生成されたフロントエンドクロックはすべて無効になります。

- LVDS DMD I/F (PLLD) にクロックを供給する PLL は、デフォルトでパワーダウンモードになっており、派生したすべてのクロックは、対応するリセット信号がアサートされているため、非アクティブになります。(ARM9 は、これらのクロックをイネーブルにし、関連するリセットを解除します。)
- LVDS I/O はデフォルトでパワーダウンモードになり、出力はトライステートになります。
- DLPC6422 デバイスによるすべてのリセット出力は、ARM9 によって解除されるまで (ブートアップ後) アサートされたままになります。
- ARM9 プロセッサは、外部フラッシュから起動します。

ARM9 が起動すると、ARM9 API は以下のように動作します:

- プログラム可能な DDR クロックジェネレータ (DCG) クロックレート (つまり DMD LVDS I/F レート) を設定します
- デバイダロジックをリセット状態に維持しながら DCG PLL (PLLD) を有効にします
- DCG PLL がロックされると、ARM9 ソフトウェアは DMD クロックレートを設定します。
- 次に、API ソフトウェアは DCG 分周器ロジックのリセットを解除し、それによってすべての派生 DCG クロックが有効になります
- 外部リセットを解除

その後、アプリケーションソフトウェアは、通常、エンドユーザーからのウェイクアップコマンド (プロジェクトのソフト電源スイッチ経由で) を待ちます。プロジェクトの起動が要求されると、ソフトウェアは ASIC を通常モードに戻し、クロックを再初期化し、必要に応じてリセットします。

### 6.3.2 スペクトラム拡散クロックジェネレータのサポート

DLPC6422 コントローラは、DMD インターフェイス上で拡散される制限付きの内部制御されるスペクトラム拡散クロックをサポートします。この目的は、EMI 放射を低減するために、この高速外部インターフェイスにすべての信号を周波数拡散することです。クロック拡散は三角波に限定されます。DLPC6422 コントローラは、0%、±0.5%、±1.0% の変調オプションを提供します (センター拡散変調)。

### 6.3.3 GPIO インターフェイス

DLPC6422 コントローラには、ソフトウェアでプログラム可能な 83 本の汎用 I/O ピンが備わります。各 GPIO ピンは、入力または出力として個別に設定可能です。また、各 GPIO 出力は、プッシュプルまたはオープンドレインとして設定可能です。一部の GPIO には 1 つ以上の代替モードがあり、これらはソフトウェアでも設定できます。すべての GPIO のリセットのデフォルトは入力信号です。ただし、汎用クロックと PWM 生成を除き、これらの GPIO ピンに接続された代替機能はリセット状態のままになります。オープンドレインとして設定した場合、出力は外部で (3.3V 電源に) プルアップする必要があります。ソフトウェアがこれらのポートを設定可能になる前に、安定した動作を確保するために、外付けプルアップ抵抗またはプルダウン抵抗が必要になる場合があります。

### 6.3.4 ソース入カブランキング

両方の入力ポートの垂直および水平ブランキング要件は、次のように定義されます (「ビデオタイミングパラメータの定義」を参照)。

- ポート 1 およびポート 2 の最小垂直ブランキング
  - 垂直バックポーチ (VBP): 370μs
  - 垂直フロントポーチ (VFP): 1 ライン
  - 総垂直ブランキング (TVB): 370μs + 2 ライン
- ポート 1 およびポート 2 の最小水平ブランキング
  - 水平バックポーチ (HBP): 10 ピクセル
  - 水平フロントポーチ (HFP): 0 ピクセル
  - 総水平ブランキング (THB): 80 ピクセル

### 6.3.5 ビデオグラフィックス処理遅延

DLPC6422 コントローラは、ソースの種類と選択した処理ステップに応じて、可変数のフィールド/フレームの遅延を発生させます。最適なオーディオ/ビデオの同期を最適化するには、オーディオパスでこの遅延時間を一致させる必要があります。以下の表は、オーディオマッチングに役立つさまざまなビデオ遅延シナリオを定義します。

テーブルのフレームとフィールドは、ソースフレームとフィールドを示します。

- 2D ソースの場合、「N」は、プライマリチャネルソースのフレームレート (インターレースビデオの場合はフィールドレート) とディスプレイのフレームレート/フィールドレートの比率として定義されます。
- 3D ソースの場合、「M」は、左右の画像の両方を取得するのに必要なプライマリチャネルのソースフレームレート (インターレースビデオの場合はフィールドレート) と、ディスプレイのフレーム/フィールドレート (各アイが表示されるレート) との比率として定義されます。

**表 6-1. プライマリチャネル / ビデオグラフィックス処理遅延**

| ソース              | 3D ビデオ デコーダ | インターレース解除 | フレーム レート変換 | FRC のタイプ | フォーマッターバッファ | 合計遅延      |
|------------------|-------------|-----------|------------|----------|-------------|-----------|
| 60Hz プログレッシブビデオ  | ディセーブル      | ディセーブル    | 2 フレーム     | 同期 (1:4) | M フレーム      | 2+M フレーム  |
| 120Hz プログレッシブビデオ | ディセーブル      | ディセーブル    | 2 フレーム     | 同期 (1:2) | M フレーム      | 2+M フレーム  |
| 24Hz 1080p       | ディセーブル      | ディセーブル    | 1 フレーム     | 同期 (1:6) | M フレーム      | 1+M フレーム  |
| 60Hz 1080p       | ディセーブル      | ディセーブル    | 1 フレーム     | 同期 (1:2) | M フレーム      | 1+M フレーム  |
| 60Hz 1080p       | ディセーブル      | ディセーブル    | 1 フレーム     | 同期 (1:2) | M フレーム      | 1+M フレーム  |
| 60Hz グラフィック      | ディセーブル      | ディセーブル    | 1 フレーム     | 同期 (1:4) | M フレーム      | 1+M フレーム  |
| 120Hz グラフィック     | ディセーブル      | ディセーブル    | 1 フレーム     | 同期 (1:2) | M フィールド     | 1+M フィールド |

**表 6-2. プライマリチャネル / ビデオグラフィックス処理遅延**

| ソース                     | フレーム レート変換 | FRC のタイプ | フォーマッターバッファ | 合計遅延     |
|-------------------------|------------|----------|-------------|----------|
| 48Hz グラフィック             | 1 フレーム     | 同期 (1:1) | N フレーム      | 1+N フレーム |
| 50Hz グラフィック             | 1 フレーム     | 同期 (1:1) | N フレーム      | 1+N フレーム |
| 60Hz グラフィック             | 1 フレーム     | 同期 (1:1) | N フレーム      | 1+N フレーム |
| 100Hz および 120Hz グラフィックス | 1 フレーム     | 同期 (1:1) | N フレーム      | 1+N フレーム |

**表 6-3. プライマリチャネル / ビデオグラフィックス処理遅延**

| ソース                        | フレーム レート変換 | FRC のタイプ | フォーマッターバッファ | 合計遅延     |
|----------------------------|------------|----------|-------------|----------|
| 48Hz グラフィック                | 1 フレーム     | 同期 (1:1) | N フレーム      | 1+N フレーム |
| 50Hz グラフィック                | 1 フレーム     | 同期 (1:1) | N フレーム      | 1+N フレーム |
| 60Hz グラフィック                | 1 フレーム     | 同期 (1:1) | N フレーム      | 1+N フレーム |
| 240Hz グラフィックス (2xDLPC6422) | 1 フレーム     | 同期 (1:1) | N フレーム      | 1+N フレーム |

### 6.3.6 プログラム メモリ フラッシュ/SRAM インターフェイス

DLPC6422 コントローラは、以下の 3 つの外部プログラムメモリチップから選択できます：

- PM\_CSZ\_0–オプションの SRAM またはフラッシュデバイス (≤128Mb) で使用可能
- PM\_CSZ\_1–ブートフラッシュデバイス専用 CS (標準 NOR タイプフラッシュ、≤128Mb など)
- PM\_CSZ\_2–オプションの SRAM またはフラッシュデバイス (≤128Mb) で使用可能

フラッシュおよび SRAM のアクセスタイミングは、ソフトウェアで最大 31 のウェイトステートをプログラム可能です。ウェイトステートの時間分解能は、通常モードでは 6.7ns、低消費電力モードでは 53.33ns です。標準的なフラッシュアクセス時間に対応するウェイトステートプログラム値は表 6-4 に示されています。

**表 6-4. 標準的なフラッシュアクセス時間のウェイトステートプログラム値**

|                     | 通常モード <sup>(1)</sup>                 | 低電力モード <sup>(1)</sup>                  |
|---------------------|--------------------------------------|--|
| 必要なウェイトステート値を計算する式  | = ラウンドアップ (Device_Access_Time/6.7ns) | = ラウンドアップ (Device_Access_Time/53.33ns) |
| サポートされる最大デバイスアクセス時間 | 207ns                                | 1660ns                                 |

(1) 単方向の最大パターン長は 75mm を想定しています。

SRAM や追加フラッシュなど別のデバイスをブートフラッシュと組み合わせて使用する場合は、スタブ配線をできるだけ短くし、ルートのフラッシュ側端部にできる限り近い位置に配置する必要があります。

DLPC6422 コントローラは、最大 128Mb のフラッシュまたは SRAM デバイスをサポートするのに十分なプログラムメモリアドレスピンを備えています。この容量を必要としないシステムでは、代わりに最大 2 本のアドレスピンを GPIO として使用できます。具体的には、最上位の 2 ビットのアドレス線 (例: PM\_ADDR\_22、PM\_ADDR\_21) は、それぞれ GPIO\_36 ピンと GPIO\_35 ピンで共有されています。他の GPIO ピンと同様に、これらのピンは、リセット後に高インピーダンス入力状態でフローティング状態になるため、これらの GPIO ピンをプログラムメモリアドレスピンとして再設定する場合、ソフトウェアが GPIO からプログラムメモリアドレスまでピンを再設定できるようになるまで、基板レベルでプルダウン抵抗を設置して、フラッシュアドレスビットがフローティング状態にならないようにする必要があります。また、ソフトウェアが GPIO からプログラムメモリアドレスにピンを再設定するまで、フラッシュメモリの上位部分にはアクセスできないことにもご注意ください。

表 6-5 に、各種フラッシュサイズに対する標準的な GPIO\_35 および GPIO36 ピンの設定を示します。

**表 6-5. 各種フラッシュサイズに対する標準的な GPIO\_35 および GPIO\_36 ピン設定**

| フラッシュ サイズ | GPIO_36 ピン構成              | GPIO_35 ピン構成              |
|-----------|---------------------------|---------------------------|
| 32Mb 以下   | GPIO_36                   | GPIO_35                   |
| 64Mb      | GPIO_36                   | PM_ADDR_21 <sup>(1)</sup> |
| 128Mb     | PM_ADDR_22 <sup>(1)</sup> | PM_ADDR_21 <sup>(1)</sup> |

(1) 基板レベルのプルダウン抵抗が必要です

### 6.3.7 キャリブレーションとデバッグのサポート

DLPC6422 コントローラにはテスト ポイント出力ポート TSTPT\_(7:0) があり、選択したシステムのキャリブレーションと ASIC デバッグをサポートできます。これらのテストポイントは、リセットが適用されている間は入力として機能し、リセットが解除されると、出力に切り替わります。これらの信号の状態は、システムリセットが解除されるとサンプリングされ、取得した値は、次にリセットが適用されるまでテストモードの設定に使用されます。各テストポイントには内部プルダウン抵抗が含まれているため、デフォルトのテスト設定を変更するために、外付けのプルアップが使用されます。デフォルト設定 (x00) は、通常動作時のスイッチング動作を低減するために、TSTPT\_ (7:0) 出力は Low に駆動されます。柔軟性を最大限に高めるため、TSTPT\_ (3:0) には、外付けプルアップにジャンパーを接続するオプションを推奨します。TSTPT\_ (7:4) にプルアップを追加すると、正常な動作に悪影響を及ぼす可能性があるため、推奨されません。これらの外付けプルアップは、POSENSE 信号がゼロから 1 に遷移した時にのみサンプリングされるため、リセットが解除された後に設定を変更しても、次のリセットがアサートされて解除されるまでは影響がありません。表 6-6 は、TSTPT\_ (3:0) で定義された 16 種類のプログラム可能なシナリオのうち 3 つに対して、テストモードの選択を定義します。

**表 6-6. テストモードの選択**

|                   | スイッチングアクティビティなし | システムのキャリブレーション   | ARM デバッグ信号設定   |
|-------------------|-----------------|------------------|----------------|
| TSTPT(3:0) キャプチャ値 | x0              | x8               | x1             |
| TSTPT(0)          | 0               | 垂直同期             | ARM9_Debug (0) |
| TSTPT(1)          | 0               | 遅延 CW インデックス     | ARM9_Debug (1) |
| TSTPT(2)          | 0               | シーケンス インデックス     | ARM9_Debug (2) |
| TSTPT(3)          | 0               | CW スポーク テスト ポイント | ARM9_Debug (3) |
| TSTPT(4)          | 0               | CW 回転テスト ポイント    | ARM9_Debug (4) |



表 6-6. テストモードの選択 (続き)

|          | スイッチングアクティビティなし | システムのキャリブレーション       | ARM デバッグ信号設定   |
|----------|-----------------|----------------------|----------------|
| TSTPT(5) | 0               | シーケンスのリセット Aux ビット 0 | ARM9_Debug (5) |
| TSTPT(6) | 0               | シーケンスのリセット Aux ビット 1 | ARM9_Debug (6) |
| TSTPT(7) | 0               | シーケンスのリセット Aux ビット 2 | ARM9_Debug (7) |

### 6.3.8 ボードレベルのテストサポート

インサーキットトライステート イネーブル信号 (ICTSEN) は、基板レベルのテスト制御信号です。ICTSEN を論理 High 状態にすると、すべてのコントローラ出力 (TDO1 および TDO2 を除く) がトライステートになります。

また、DLPC6422 コントローラは、非デジタル I/O といくつかの特殊信号を除くすべての I/O で JTAG バウンダリスキャンをサポートしています。表 6-7 は、これらの例外を定義します。

表 6-7. DLPC6422 —信号は JTAG の対象外

| 信号名        | PKG BALL |
|------------|----------|
| HW_TEST_EN | M25      |
| MOSC       | M26      |
| MOSCN      | N26      |
| USB_DAT_N  | C5       |
| USB_DAT_P  | D6       |
| TCK        | N24      |
| TDI        | N25      |
| TRSTZ      | M23      |
| TDO1       | N23      |
| TDO2       | N22      |
| TMS1       | P25      |
| TMS2       | P26      |

## 6.4 デバイスの機能モード

DLPC6422 には 2 つの機能モードがあり、ホストコントロールインターフェイスを介してソフトウェアコマンドによって有効化されます。これらのモードは、スタンバイおよびアクティブです。

### 6.4.1 スタンバイ モード

システムは電源がオンでアクティブですが、電力節約のために、コントローラ内の一部のブロックがシャットダウンされています。マイクロプロセッサとその周辺機器のみがアクティブになっています (スリープ状態のプロジェクタが起動するのを待機しています)。このモードでは、DMD はパークされ、画像を表示できません。

### 6.4.2 アクティブモード

システムは電源がオンになると、完全に動作し、内部または外部のビデオソースを投影できるようになります。

#### 6.4.2.1 通常設定

この設定により、DLPC6422 のすべての機能が有効になります。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

**DLPC6422** ディスプレイコントローラおよびサポートされている **DMD** は、チップセットで構成されます。このコントローラは、すべてのシステムの画像処理、**DMD** コントロール、単一の集積回路 (**IC**) へのデータフォーマット処理、**LED** またはレーザー照明システム、複数の画像処理アルゴリズムを統合しています。アプリケーションには、**4K** 超高精細 (**UHD**) および **HD 3D** プリント、レーザーマーキング、レーザー加工、その他のデジタルイメージングおよび露光システムがあります。

### 7.2 代表的なアプリケーション

**DLPC6422** コントローラは、**3D** プリントやその他のレーザーまたは **LED** ベースの製造アプリケーションなど、高輝度で高分解能のライトコントロールアプリケーションに最適です。2 つの **DLPC6422** ライトコントローラを **DLP 4K DMD**、**FPGA** コントローラ、**DLP DMD**、パワーマネージメント (**DLPA100**)、その他の電氣的、光学的、機械的コンポーネントと組み合わせることで、このチップセットは、高輝度、低コスト、**4K UHD** 高解像度の光制御ソリューションを実現します。**DLPC6422** コントローラと **DLP DMD** をサポートする典型的な **DLP** システムアプリケーションを以下に示します。

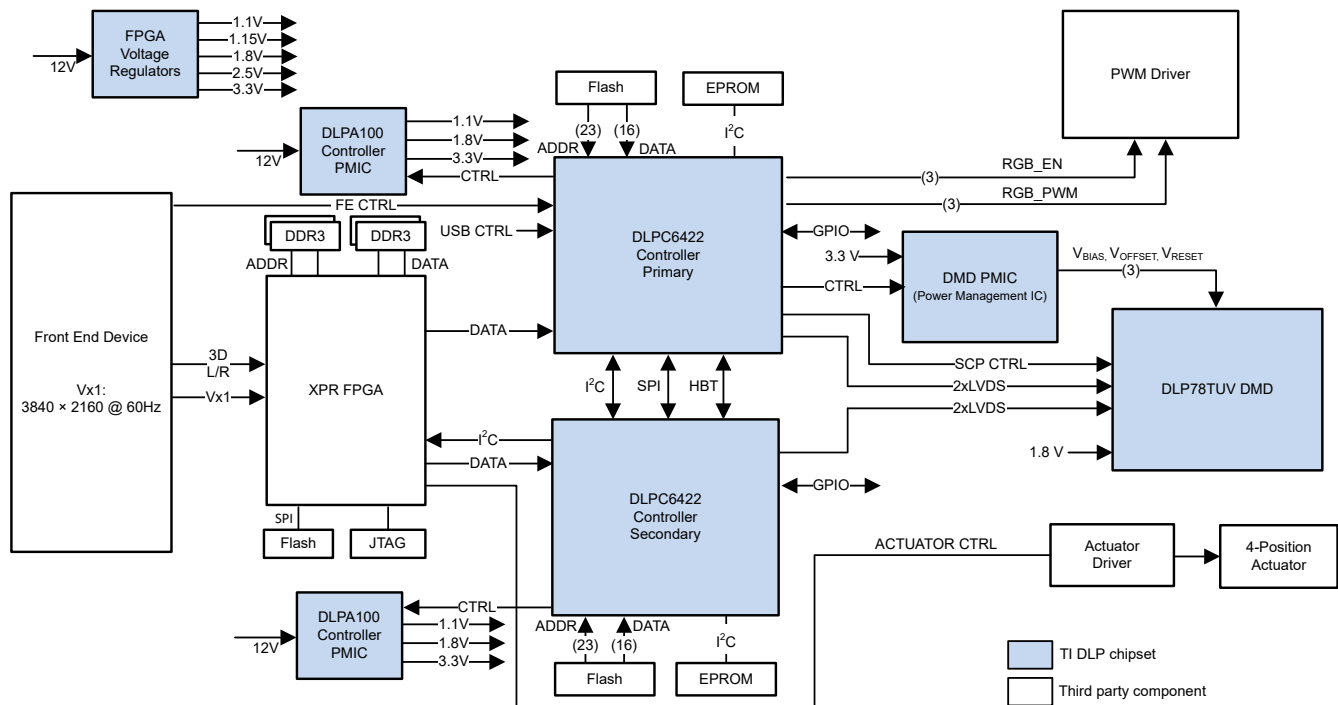


図 7-1. 代表的な 4K UHD ライトコントロールアプリケーション



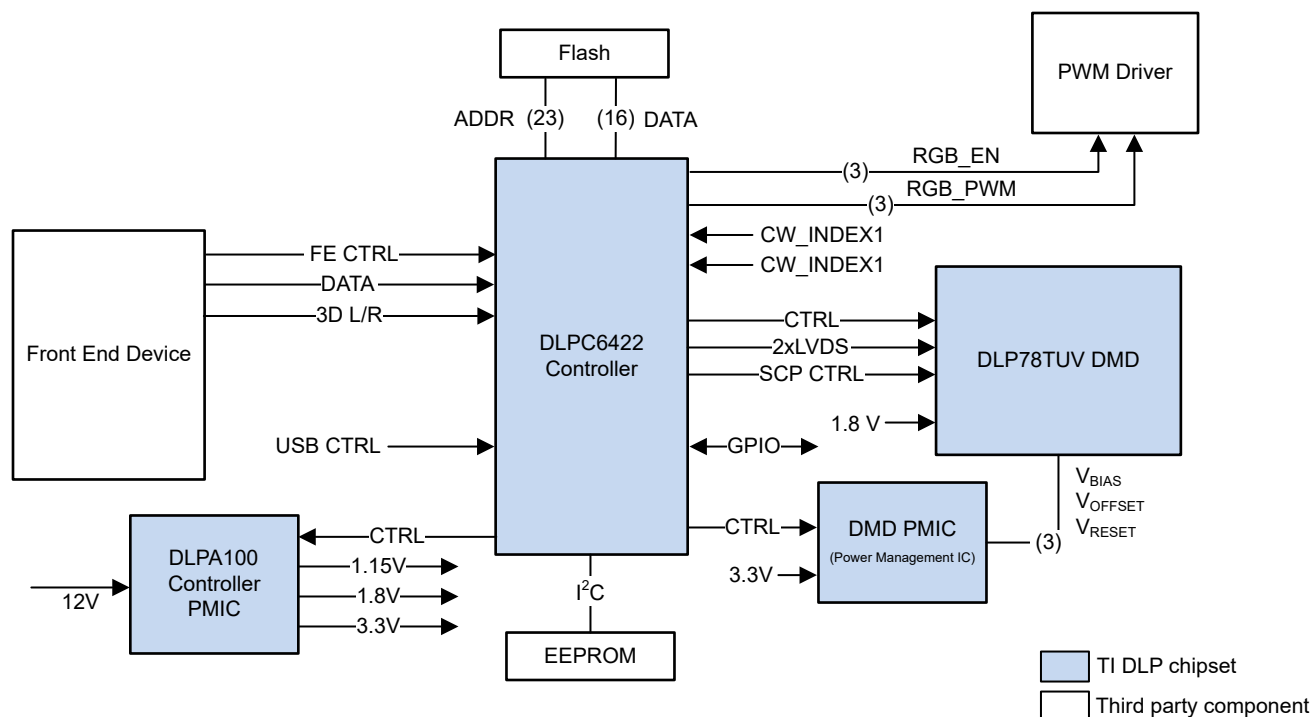


図 7-2. 代表的な 1080p ライトコントロールアプリケーション

### 7.2.1 設計要件

ディスプレイコントローラは、DMD とシステムのその他の部分との間のデジタル インターフェイスです。このディスプレイコントローラは、フロントエンドのデジタルレシーバからデジタル入力を受け取り、高速インターフェイスで DMD を駆動します。ディスプレイコントローラは、DMD 上に画像を表示するのに必要な信号（データ、プロトコル、タイミング）も生成します。一部のシステムでは、受信データを DMD に送信する前にフォーマットするためのデュアルコントローラが必要となる場合があります。DMD の信頼性の高い動作は、DMD とコントローラをシステムで併用した場合にのみ保証されます。チップセットに含まれる DLP デバイスに加えて、ソフトウェアとファームウェアを保存するフラッシュパーツなど、他のデバイスが必要になることがあります。

#### 7.2.1.1 推奨される MOSC 水晶振動子の設定

表 7-1. 水晶振動子端子の特性

| パラメータ           | 公称  | 単位 |
|-----------------|-----|----|
| MOSC - グランド間容量  | 1.5 | pF |
| MOSCZ - グランド間容量 | 1.5 | pF |

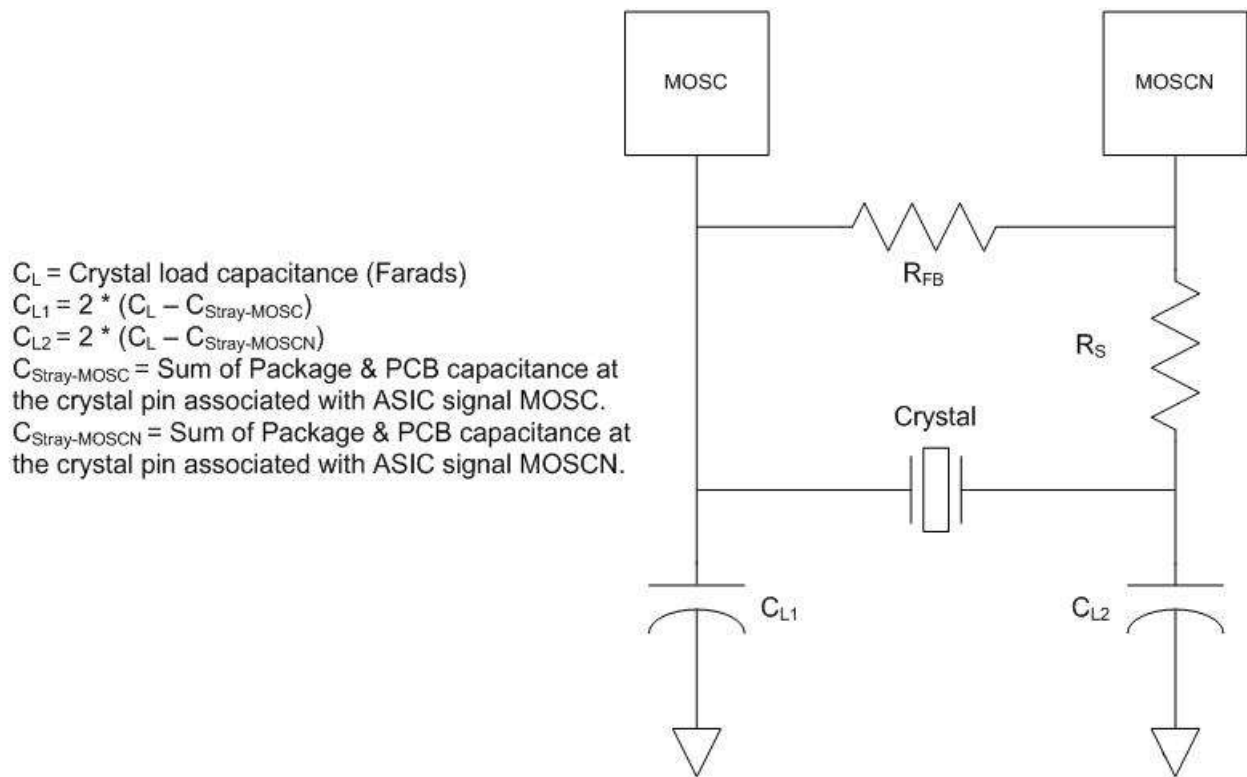
表 7-2. 推奨される水晶振動子の設定

| パラメータ                                 | 推奨           | 単位  |
|---------------------------------------|--------------|-----|
| 水晶振動子回路の構成                            | 並列共振         |     |
| 水晶振動子のタイプ                             | 基本波 (1 次高調波) |     |
| 水晶振動子の公称周波数                           | 20           | MHz |
| 水晶振動子周波数温度安定性                         | ±30          | PPM |
| 水晶振動子総合周波数許容誤差 (精度、安定性、経年変化、トリム感度を含む) | ±100         | PPM |
| 水晶振動子等価直列抵抗 (ESR)                     | 最大 50        | Ω   |
| 水晶振動子の負荷                              | 20           | pF  |
| 水晶振動子のシャント負荷                          | 最大 7         | pF  |

**表 7-2. 推奨される水晶振動子の設定 (続き)**

| パラメータ                      | 推奨                              | 単位 |
|----------------------------|---------------------------------|----|
| RS 駆動抵抗 (公称値)              | 100                             | Ω  |
| RFB 帰還抵抗 (公称値)             | 1                               | MΩ |
| CL1 外部水晶振動子負荷コンデンサ (MOSC)  | (1) を参照してください。                  | pF |
| CL2 外部水晶振動子負荷コンデンサ (MOSCN) | (1) を参照してください。                  | pF |
| PCB レイアウト                  | 水晶振動子の周囲にアース絶縁リングを設けることが推奨されます。 |    |

(1) XSA020000FK1H-OCX 水晶振動子 (ESRmax = 40Ω) = 50μW での標準的な駆動レベル



**図 7-3. 推奨される水晶発振器の設定**

通常、外付け水晶振動子は、安定した電力が印加されてから 50ms 以内に安定します。

## 7.2.2 詳細な設計手順

DLPC6422 コントローラと DLP DMD を接続するには、リファレンスデザインの回路図を参照してください。信頼性の高いシステムを実現するには、レイアウトのガイドラインに従う必要があります。DLP システムを完成させるには、DLP DMD、関連する照明光源、光学素子、必要な機械部品を含む光学モジュールまたはライトエンジンが必要です。

## 7.3 電源要件および推奨事項

### 7.3.1 システム電源の規制

内部 PLL に電力を供給する VDD18\_PLLD、VDD18\_PLLM1、VDD18\_PLLM2 電源は、AC ノイズ成分を最小限に抑えるために、絶縁型リニアレギュレータから供給することを強く推奨します。VDD11\_PLLD、VDD11\_PLLM1、VDD11\_PLLM2、VDD11\_PLLS は、コア VDD11 と同じレギュレータから供給することができますが、これらはフィルタ処理する必要があります。

### 7.3.2 システムパワーアップシーケンス

DLPC6422 コントローラは、電源電圧 (1.1V 1.15V、1.8V、3.3V) の配列を必要としますが、これは、パワー アップとパワー ダウンの両方のシナリオの電源シーケンスの相対的な順序に制限はありません。同様に、DLP コントローラへの供給を行う各電源のオン/オフの間に最小時間は設定されていません。ただし、DLP コントローラと電源を共有するデバイスに、電源投入シーケンスについての要件が課されることは珍しくないことにご注意ください。

- 1.1V 1.15V コア電源は、いずれかの I/O 電源が供給されるたびに印加され、給電されている関連 I/O の状態が既知の状態に制御されるようにします。このため、最初にコア電源を印加することを推奨します。その他の電源は、1.1V コア電源が立ち上がった後でのみ適用されます。
- 適切なパワーアップ初期化を確保するため、POSENSE がアサートされる前に、DLPC6422 デバイスのすべての電源を印加する必要があります。

通常、DLPC6422 コントローラのパワーアップシーケンスは、外部ハードウェアによって処理されます。外部電源監視回路は、電源投入時 (POSENSE = 0) に、コントローラをシステムリセット状態に保持します。この間、すべての DLP コントローラ I/O はトライステートになります。POSENSE の Low から High への遷移時にプライマリ PLL (PLLM1) はリセットから解除されますが、このコントローラは PLL がその出力をロックして安定化させるまで、デバイスの残りの部分をさらに 60ms の間リセット状態に保持します。この 60ms の遅延の後、ARM-9 関連の内部リセットのアサートが解除され、マイクロプロセッサが起動ルーチンを開始します。

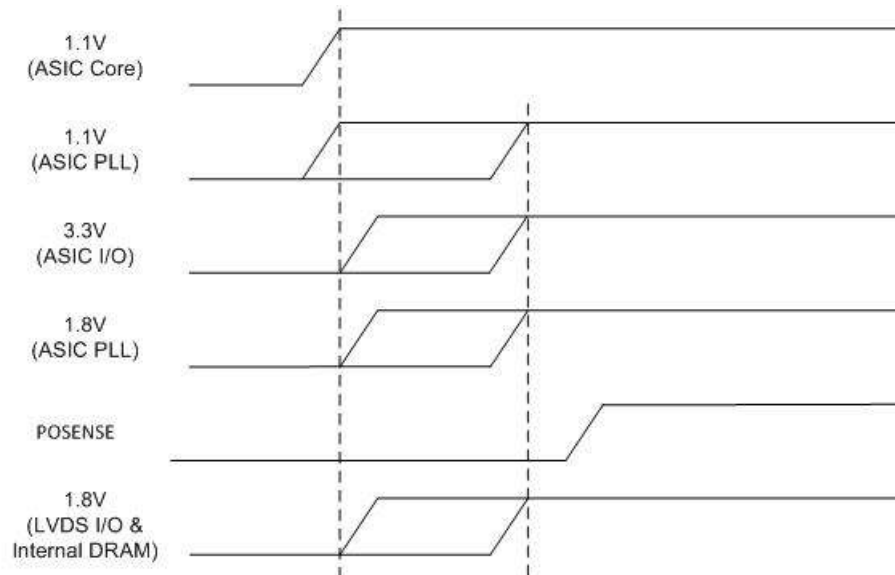


図 7-4. システムパワーアップシーケンス

### 7.3.3 電源投入検出 (POSENSE) サポート

DLPC6422 コントローラの最小電源電圧仕様内でパワーモニタがトリップするように設定するには、POSENSE 信号を生成する外部パワーモニタのしきい値を最小電源電圧仕様の 90% に設定することを推奨します。また、すべての電源電圧がデバイスの最小作動要件に達して安定するまで、十分な時間をとって POSENSE が Low で維持されるようにしてください。電力損失を検出するためのトリップ電圧と、低電圧条件に応答するための反応時間は、PWRGOOD がこの目的で使用されるため、POSENSE では厳密な要件はありません。したがって、PWRGOOD 信号にはこれらの領域で厳密な要件があります。

### 7.3.4 システム環境とデフォルト

#### 7.3.4.1 DLPC6422 システムのパワーアップおよびリセットのデフォルト条件

システムの電源投入後、DLPC6422 コントローラは電源投入時の初期化ルーチンを実行し、デバイスをデフォルトの通常電源モードに設定します。このモードでは、ARM9 関連のクロックがフルレートで有効になり、関連するリセットが解除されます。他のほとんどのクロックは、デフォルトで無効状態になり、プロセッサが解除するまで関連するリセットがアサートされます。また、システム電源ゲーティングのデフォルト設定では、すべての電源が有効になります。これら同じデフォルト設定は、LVDS I/O と内部 DRAM の電源を除き、電源を切断または再投入することなく発生するすべてのシステムリセットイベント (ウォッチドッグタイマーのタイムアウトなど) の一部としても適用されます。拡張リセット状態の場合、OEM はコントローラをリセット前に低消費電力モードに移行させる必要があります。この場合、LVDS I/O および内部 DRAM 用の 1.8V 電源は無効になります。このリセットが解除されても、ARM9 が初期化されてシステム初期化ルーチンが実行されるまで、1.8V 電源は有効になりません。

ARM9 は、電源投入またはシステムリセットによる初期化後、外部フラッシュメモリから起動し、その後 1.8V 電源 (DLPA100 からの) を有効にし、コントローラの残りのクロックを有効にして、内部 DRAM を初期化します。システムの初期化が完了すると、アプリケーションソフトウェアは低消費電力モードに移行するかどうか、いつ移行するかを決定します。

#### 7.3.4.2 1.1V 1.15V システム電源

DLPC6422 コントローラは、スイッチングレギュレータから派生した 1.1V 1.15V の単一電源を使用した、低コストの電力供給システムをサポートできます。この方法を可能にするには、PLL の 1.1V 電源ピンに適したフィルタリングを施す必要があります。

#### 7.3.4.3 1.8V システム電源

DLPC6422 コントローラパワーデリバリシステムは、2 つの独立した 1.8V 電源を供給することを推奨します。1.8V 電源の 1 つを使用して、コントローラ LVDS I/O および内部 DRAM に 1.8V 電源を供給します。これらの機能用の電力は、共通の電源から供給されます。この電源はリニアレギュレータとして推奨します。2 番目の 1.8V 電源は、(本書の内部 ASIC PLL 電源セクションの PCB レイアウトのガイドラインで説明されている適切なフィルタリングとともに) DLPC6422 コントローラのすべての内部 PLL に電力を供給するために使用されます。この電源をできるだけクリーンな状態に維持するために、PLL への 1.8V 電源専用のリニアレギュレータの使用をお勧めします。

#### 7.3.4.4 3.3V システム電源

DLPC6422、スイッチングレギュレータから派生した単一の 3.3V 電源を使用し、低コストのパワーデリバリシステムをサポートできます。この 3.3V ソースは、すべての LVTTTL I/O および水晶振動子セルに電力を供給します。1.1V のコア電力が印加されるすべての電力モードにおいて、3.3V の電源はアクティブ状態を維持する必要があります。

#### 7.3.4.5 パワーグッド (PWRGOOD) のサポート

PWRGOOD 信号は、DLPC6422 コントローラに、DC 電源電圧が仕様を下回る前に、一定時間の余裕をもって通知する「早期警告信号」として定義されています。これにより、コントローラは DMD をパークさせ、システムをリセットに移行するため、以降の動作の信頼性を確保することが可能です。実装上の理由から、PWRGOOD 監視するモニタは、電源レギュレータの入力側に配置することが推奨されます。

#### 7.3.4.6 5V トレラントサポート

USB\_DAT を除き、DLPC6422 コントローラは他の 5V トレラント I/O をサポートしていません。ただし、ソース信号 ALF\_HSYNC、ALF\_VSYNC、I2C には通常 5V の要件があるため、これらをサポートするためには、特別な措置を講じる必要があります。また、5V ~ 3.3V のレベルシフタの使用も推奨されます。

## 7.4 レイアウト

### 7.4.1 レイアウトのガイドライン

必要な熱接続性を実現するため、PCB 設計に 2 オンスの銅プレーンを使用することが推奨されます。

#### 7.4.1.1 内部 DLPC6422 電源用の PCB レイアウトガイドライン

内部 PLL に関して必要なコントローラ性能を達成するために、以下のガイドラインが推奨されます：

- DLPC6422 には 4 つの PLL (PLLM1、PLLM2、PLLD、PLLS) が搭載され、それぞれに 1.1V 1.15V の専用デジタル電源と、専用の 1.8V アナログ電源を持つ 3 つ (PLLM1、PLLM2、PLLD) が搭載されています。幅広い周波数範囲をカバーする電源ピンにフィルタリングを配置することが重要です。1.1V 1.15V PLL 電源ピンには、それぞれフェライトビーズと 0.1 $\mu$ F セラミックコンデンサの形で個別の高周波フィルタリングを行う必要があります。これらの部品は、個々の PLL 電源ボールに近接して配置する必要があります。フェライトビーズのインピーダンスは、10MHz より高い周波数で、コンデンサのインピーダンスより大きくする必要があります。PLL 電源ピンへの 1.1V 1.15V も、RC フィルタの形式で低周波数フィルタリングを行う必要があります。このフィルタはすべての PLL に共通です。この抵抗の両端間の電圧降下は、1.1V 1.15V のレギュレータの許容誤差、および DLPC6422 デバイスの電圧許容誤差によって制限されます。0.36 $\Omega$  の抵抗と 100 $\mu$ F セラミックを推奨します。
- アナログ 1.8V PLL 電源ピンは、1.1V 1.15V に類似したフィルタトポロジを備えている必要があります。また、専用リニアレギュレータを使用して 1.8V を生成することを推奨します。
- 電源フィルタネットワーク全体を設計する場合は、共振が発生しないように注意する必要があります。1MHz から 2MHz への帯域は、PLL の自然ループ周波数と一致するため、特に注意が必要です。



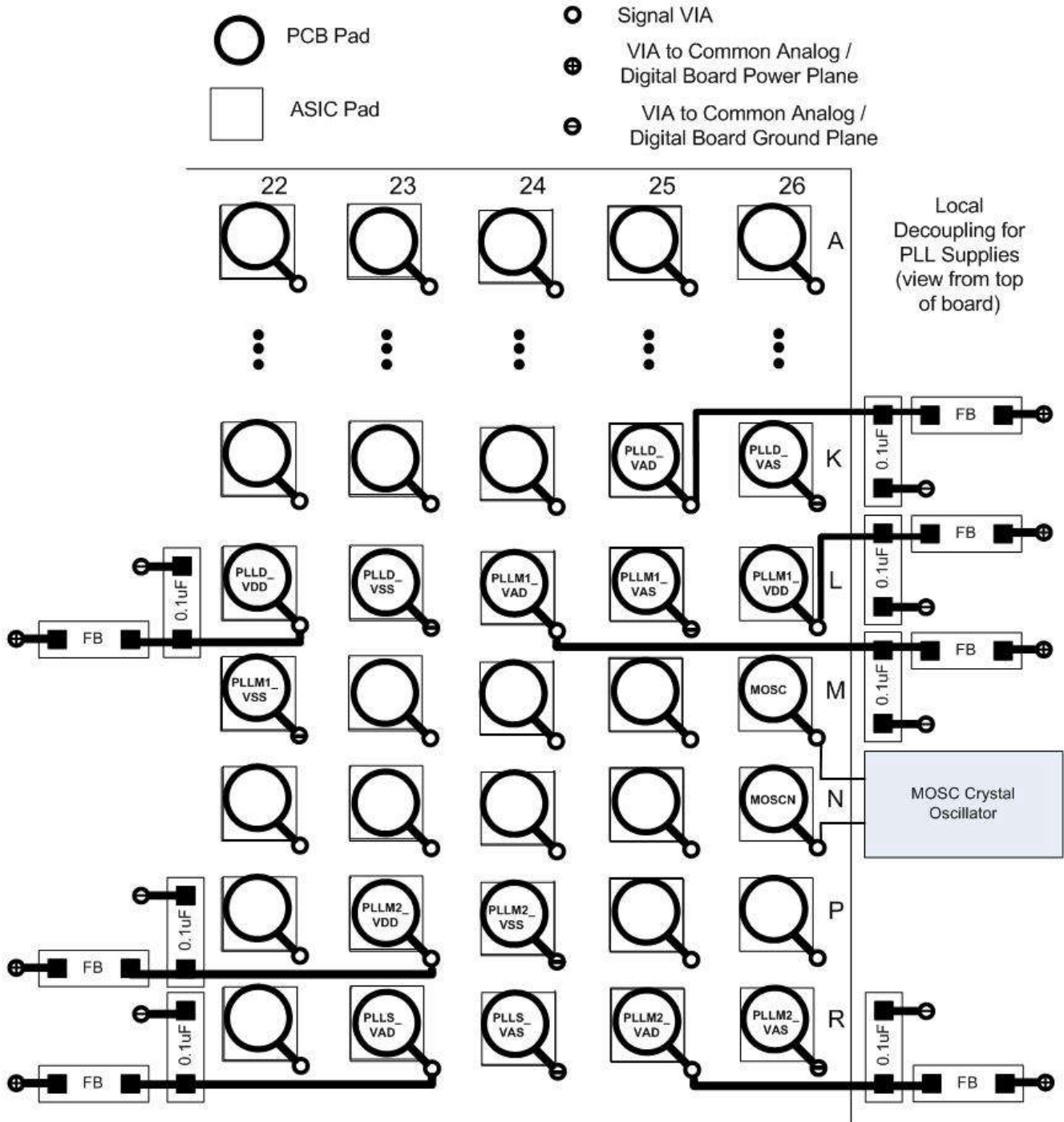


図 7-5. PLL フィルタのレイアウト

1.1V 1.15V、および 1.8V の PLL 電源には高周波デカップリングが必要であり、各 PLL 電源パッケージピンにできるだけ近づけて配置する必要があります。基板の反対側のパッケージの下にデカップリングコンデンサを配置することを推奨します。高品質、低 ESR、均一面に実装されたコンデンサを使用します。通常、各 PLL 電源に対して 0.1 $\mu$ F で十分です。接続配線の長さが増えると、実装部の寄生インダクタンスが増加するため、配線はできるだけ回避し、ビアをランドに直接接続するように配置する必要があります。また、接続配線はできるだけ幅広くする必要があります。コンデンサのランドの側面にビアを配置するか、ビアの数を 2 倍にすることで、性能をさらに向上させることができます。

バルクデカップリングの場所は、システムの設計によって異なります。

#### 7.4.1.2 オートロック性能のための PCB レイアウトガイドライン

オートロックの性能を最大限引き出すための最も重要な要素の 1 つは、以下の推奨事項に従って、信号の可能な限り高い信頼性を実現する PCB を設計することです：

- VESA/ビデオコネクタのできるだけ近くに ADC チップを配置してください。
- アナログ信号へのクロストークを避けるために、デジタル信号からアナログ信号を遠ざけてください。
- デジタルグランドまたは電源プレーンを、VESA コネクタと ADC チップの間のアナログ領域の下に配置しないでください。
- VESA Hsync 信号と Vsync 信号から RGB アナログ信号を離すことで、RGB アナログ信号へのクロストークを回避します。
- アナログ電源は、デジタル電源と直接共有しないでください。
- RGB のトレース長は、できるだけ同じ長さにします。
- ADC への RGB 入力には高品質 (1%) の終端抵抗を使用します。
- グリーンのチャンネルを ADC グリーン入力と ADC 同期オン / グリーン入力以外の複数個所に接続する必要がある場合、グリーンチャンネルにノイズが入らないように、高品質の高インピーダンスバッファを使用してください。

#### 7.4.1.3 DMD インターフェイスの考慮事項

DLPC6422 コントローラ (つまり、LVDS DMD インターフェイス) における高速インターフェイスの波形品質とタイミングは、相互接続されたシステムの全長、配線間の間隔、特性インピーダンス、エッチング損失、インターフェイス全体での配線長の整合性に依拠して異なります。そのため、正のタイミング マージンを確保するには、多くの要因に注意する必要があります。

たとえば、DMD インターフェイスシステムのタイミングマージンは、次のように計算できます：

- セットアップマージン = (DLPC6422 出力セットアップ) – (DMD 入力セットアップ) – (PCB 配線のミスマッチ) – (PCB SI 劣化)
- ホールド時間マージン = (DLPC6422 出力ホールド) – (DMD 入力ホールド) – (PCB 配線のミスマッチ) – (PCB SI 劣化)

ここでの、PCB SI の劣化は、PCB 効果による信号の信頼性の低下です。これには、同期スイッチング出力 (SSO) ノイズ、クロストーク、シンボル間干渉 (ISI) ノイズなどが含まれます。コントローラ I/O タイミング パラメータと、DMD I/O タイミング パラメータは、それぞれの対応するデータシートに記載されています。同様に、PCB 配線のミスマッチは、PCB 配線を制御するために、予算を割り当てて対応することができます。ただし、PCB SI の劣化はそれほど単純ではありません。

信号の信頼性解析を最小限に抑えるために、波形品質とタイミング要件 (PCB 配線ミスマッチと PCB SI 劣化の両方を考慮) を満たす相互接続システムのリファレンスとして、以下の PCB 設計ガイドラインを提供します。これら推奨事項から逸脱した設計でも機能する可能性はありますが、PCB 信号の信頼性分析またはラボ測定で検証する必要があります。

#### PDB の設計：

- |                    |                    |
|--------------------|--------------------|
| ● 設定               | 非対称デュアルストリップライン    |
| ● エッチングの厚さ         | 1.0 オンスの銅 (1.2mil) |
| ● フレックスエッチングの厚さ    | 0.5 オンスの銅 (0.6mil) |
| ● シングルエンド信号インピーダンス | 50Ω (±10%)         |
| ● 差動信号インピーダンス      | 100Ω 差動 (±10%)     |

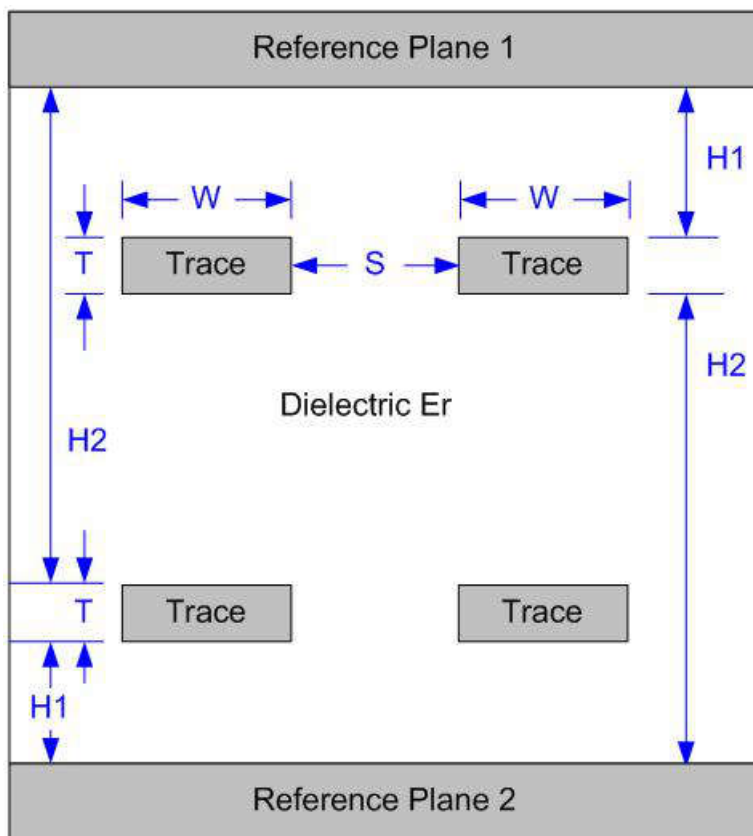
#### PCB スタックアップ：

- |  |             |
|--|-------------|
| ● 基準プレーン 1 は、適切なリターンパスのグランドプレーンと想定されます |             |
| ● 基準プレーン 2 は、I/O 電源プレーンまたはグランドと想定されます  |             |
| ● 誘電体 FR4、(Er)：                        | 4.2 (公称)    |
| ● 基準面 1 (H1) までの信号トレース距離               | 5.0mil (公称) |



●基準面 2 (H2) までの信号トレース距離

34.2mil (公称)



PCB Stackup Geometries

図 7-6. PCB スタックアップ形状

表 7-3. 一般的な PCB 配線 (対応するすべての PCB 信号に適用)

| パラメータ                   | アプリケーション                 | シングルエンド信号 | 差動ペア        | 単位       |
|-------------------------|--------------------------|-----------|-------------|----------|
| ライン幅 (W) <sup>(1)</sup> | ボールフィールドのエスケープ<br>ブルーティン | 4 (0.1)   | 4 (0.1)     | mil (mm) |
|                         | PCB エッチングデータまたは制御        | 7 (0.18)  | 4.25 (0.11) | mil (mm) |
|                         | PCB エッチングクロック            | 7 (0.18)  | 4.25 (0.11) | mil (mm) |
| 他の信号への最小ライン間隔 (S)       | ボールフィールドのエスケープ<br>ブルーティン | 4 (0.1)   | 4 (0.1)     | mil (mm) |
|                         | PCB エッチングデータまたは制御        | 10 (0.25) | 20 (0.51)   | mil (mm) |
|                         | PCB エッチングクロック            | 20 (0.51) | 20 (0.51)   | mil (mm) |

(1) インピーダンス要件を達成するために、ライン幅の調整が期待されます。

表 7-4. DMD I/F、PCB 相互接続長のマッチング要件

| 信号グループ長のマッチング |  |               |                  |          |
|---------------|--|---------------|------------------|----------|
| I/F           | 信号グループ                                   | リファレンス信号      | 最大ミスマッチ          | 単位       |
| DMD (LVDS)    | SCA_P、SCA_N、DDA_P<br>(15:0)、DDA_N (15:0) | DCKA_P、DCKA_N | +/-150 (+/-3.81) | mil (mm) |

表 7-4. DMD I/F、PCB 相互接続長のマッチング要件 (続き)

| 信号グループ長のマッチング |  |               |                  |          |
|---------------|--|---------------|------------------|----------|
| DMD (LVDS)    | SCB_P、SCB_N、DDB_P<br>(15:0)、DDB_N (15:0) | DCKB_P、DCKB_N | +/-150 (+/-3.81) | mil (mm) |

レイヤーの変更数:

- シングルエンド信号: 最小化
- 差動信号: 個別の差動ペアは異なる層に配線できますが、同一のペアの信号は通常異なる層をまたいで配線されません。

終端の要件:

- DMD インターフェイス — なし、DMD レシーバーは内部で  $100\Omega$  に差動終端されています

コネクタ (DMD-LVDS I/F バスのみ) - 以下の要件を満たす高速コネクタを使用する必要があります:

- 差動クロストーク 5% 未満
- 差動インピーダンス  $75\Omega$ – $125\Omega$

直角コネクタの配線要件:

直角コネクタを使用する場合、遅延のミスマッチを最小限に抑えるために、P-N ペアを同じ行に配線する必要があり、各行の伝搬遅延差を関連する PCB エッチング長で考慮する必要があります。

#### 7.4.1.4 レイアウト例

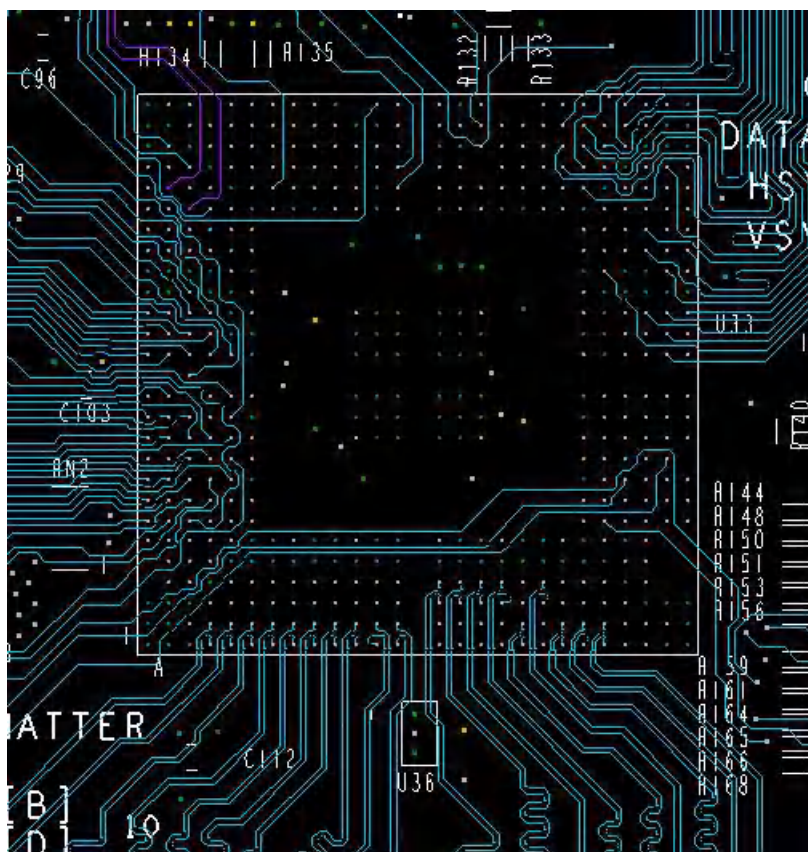


図 7-7. 第 3 層

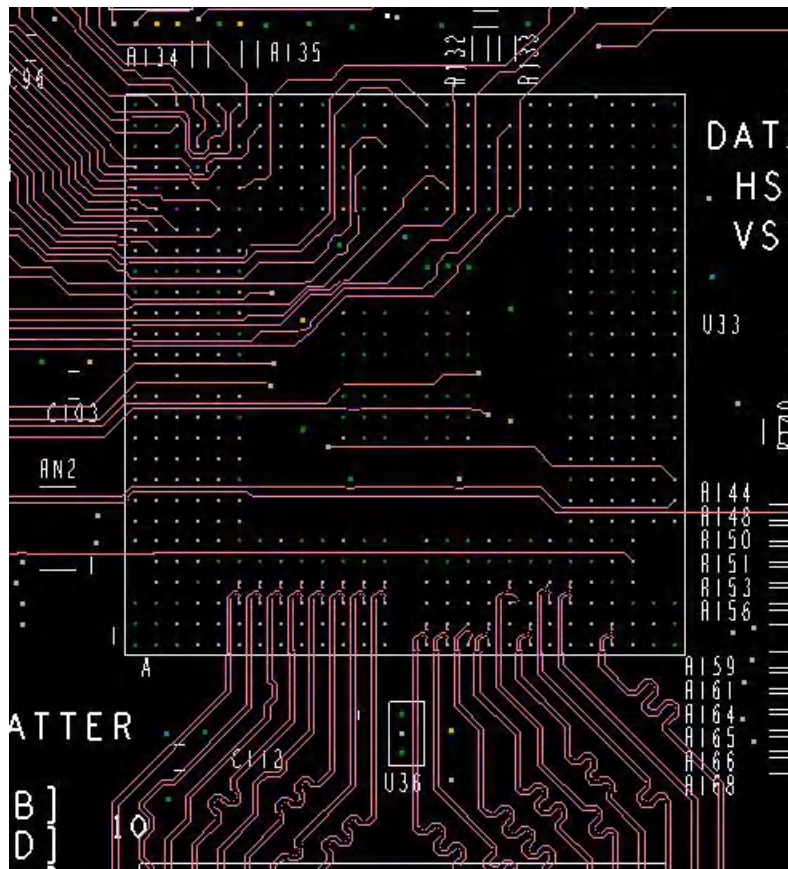


図 7-8. 第 4 層

#### 7.4.1.5 熱に関する注意事項

DLPC6422 コントローラの基本的な熱制限は、最大動作時接合部温度 ( $T_J$ ) を超えないこと (これは [セクション 5.2](#) に定義されています) です。この温度は、動作時周囲温度、エアフロー、PCB 設計 (コンポーネントのレイアウト密度および銅箔の使用量など)、DLPC6422 デバイスの消費電力、周囲のコンポーネントの消費電力によって変動します。DLPC6422 パッケージは、主に PCB の電源プレーンとグランドプレーンから熱を放出するように設計されています。このため、銅の含有量と PCB 上のエアフローが重要な要素になります。

推奨される最大動作周囲温度 ( $T_A$ ) は、主に設計目標として提供され、最大 DLPC6422 消費電力と 1m/s での強制空冷時における  $R_{\theta JA}$  に基づいて算出されています。 $R_{\theta JA}$  は、JEDEC 規格で定義された標準テスト PCB を使用して測定されたパッケージの熱抵抗です。この JEDEC テスト PCB は必ずしも DLPC6422 PCB を代表しているとは限らないため、報告された熱抵抗は、実際の製品アプリケーションでは誤差が生じる場合があります。実際の熱抵抗は異なる可能性があります。設計段階において放熱性能を評価する上では最良の情報となります。ただし、PCB の設計と製品の製造が終了した後で、熱性能の測定と検証を行うことを強く推奨します。

そのためには、製品の最悪のシナリオ (最大消費電力、最大電圧、最大周囲温度) の下で、ケース中央上部の温度を測定し、推奨される最大ケース温度 ( $T_C$ ) を超えていないことを確認する必要があります。この仕様は、DLPC6422 パッケージの計測値  $\phi_{JT}$  に基づいており、接合部温度との比較的正確な相関関係を提供します。このケース温度を測定する際には、パッケージ表面が誤って冷却されないようご注意ください。小型 (約 40 ゲージ) の熱電対の使用を推奨します。ビーズと熱電対配線は、パッケージ上面に接触し、最小限の熱伝導性エポキシで覆う必要があります。ワイヤーを通してビーズが冷却されないように、パッケージと基板表面に沿って密に配線する必要があります。

## 8 デバイスおよびドキュメントのサポート

### 8.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 8.2 デバイス サポート

#### 8.2.1 ビデオ タイミング パラメータの定義

- **アクティブライン/フレーム (ALPF)** - 表示可能なデータを含むフレーム内のライン数を定義します:ALPF は TLPF のサブセットです。
- **アクティブピクセルライン (APPL)** - 表示可能なデータを含むピクセルクロックの数を定義します:APPL は TPPL のサブセットです
- **水平バックポーチブランキング (HBP)** - 水平同期後で、最初のアクティブピクセルより前にある、ブランクピクセルクロックの数。注:HBP 時間は、該当する同期信号のリ - ディング (アクティブ) エッジを基準とします
- **水平フロントポーチブランキング (HFP)** - 最後のアクティブピクセル後で、水平同期より前のブランクピクセルクロックの数。
- **水平同期 (HS)** - 各水平区間 (ライン) の開始を定義するタイミング基準点。絶対基準点は、HS 信号の「アクティブ」エッジによって定義されます。「アクティブ」エッジ (ソースでの定義により立ち上がりエッジまたは立ち下がりエッジ) を基準として、すべての水平ブランキング パラメータが測定されます。
- **総ライン数/フレーム (TLPF)** - ライン単位での垂直期間 (またはフレーム時間) を定義します。TLPF = フレームあたりの総ライン数 (アクティブおよび非アクティブ)。
- **総ピクセル数/ライン (TPPL)** - ピクセルクロック単位で、水平ライン期間を定義します。TPPL = ラインあたりの総ピクセルクロック数 (アクティブおよび非アクティブ)。
- **垂直バックポーチブランキング (VBP)** - 垂直同期後で、最初のアクティブラインの前のブランクライン数。
- **垂直フロントポーチブランキング (VFP)** - 最後のアクティブラインの後で、垂直同期の前のブランクラインの数。
- **垂直同期 (VS)** - 垂直区間 - 垂直区間 (フレーム) の開始を定義するタイミング基準点。絶対基準点は、VS 信号の「アクティブ」エッジによって定義されます。「アクティブ」エッジ (ソースでの定義により立ち上がりエッジまたは立ち下がりエッジ) を基準として、すべての垂直ブランキング パラメータが測定されます。

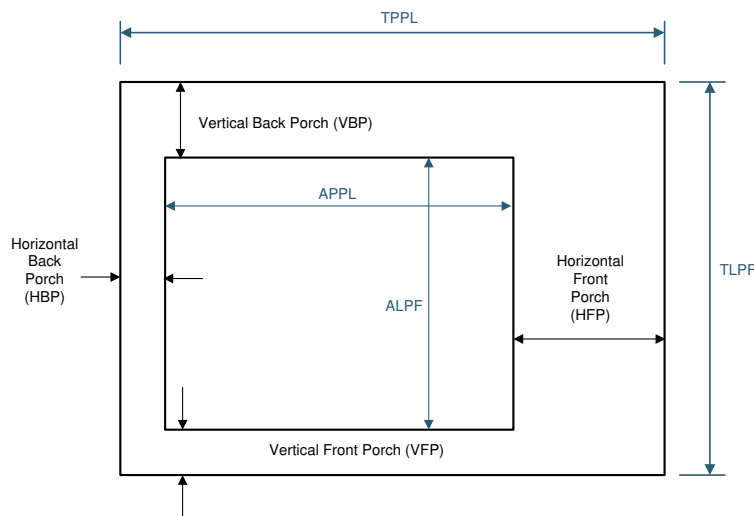


図 8-1. タイミング パラメータ図

## 8.2.2 デバイスの命名規則

表 8-1. 部品番号の説明

| TI 製品型番  | 説明                   |
|----------|----------------------|
| DLPC6422 | DLPC6422 デジタル コントローラ |

## 8.2.3 デバイスの命名規則

## 8.2.4 デバイスのマーキング

### 8.2.4.1 デバイス マーキング

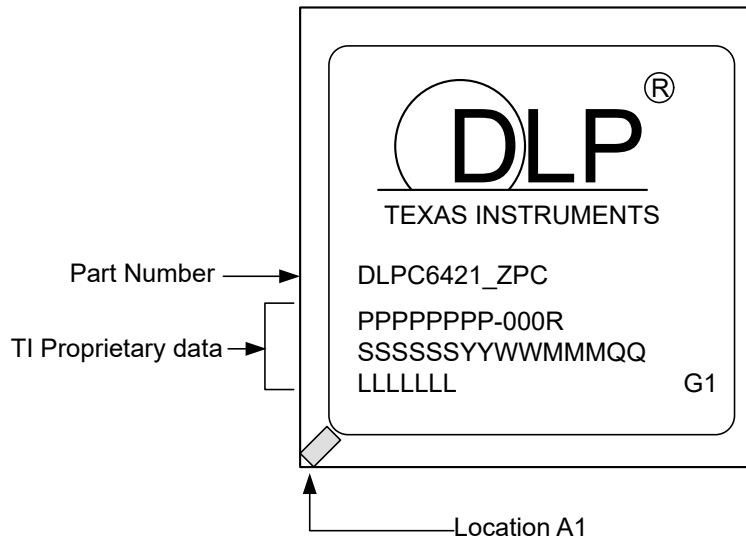


図 8-2. DLPC6422 デバイスのマーキング

マーキングの定義:

1 行目: DLP デバイス名の後に TI の型番を入力

- XXX:ZPC パッケージ指定子

2 行目: ベンダー情報

3 行目: SSSSSSYWWMMM-QQ パッケージアセンブリ情報

- SSSSSS: ベンダーの国
- YYWW: ベンダーの年と週のコード (YY = 年: WW = 週)
- MMM: ベンダー製造コード (例: HAL、HBL、HAF)
- QQ: 認定レベル(オプション)

4 行目: LLLLLLLLe1 製造情報

- LLLLLLL: 製造ロットコード
- G1: グリーン パッケージ指定子

## 8.3 ドキュメントのサポート

### 8.3.1 関連資料

次の文書には、DLPC6422 と組み合わせて使用されるチップセット コンポーネントに関する追加情報が記載されています:

- [DLPA100 コントローラ パワーマネジメントとモータドライバデータシート](#)
- [DLPA300 DMD パワーマネジメントとモータドライバデータシート](#)



## 8.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 8.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

## 8.6 商標

ARM946™ is a trademark of ARM.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

DLP® is a registered trademark of Texas Instruments.

is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

## 8.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 8.8 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision * (June 2025) to Revision A (October 2025) | Page |
|--|------|
| • デバイスの最初の公開リリース.....  | 1    |
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....                             | 1    |

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月