DLP991UUV 産業用デジタル マイクロミラー デバイス (DMD)

1 特長

- 高解像度の 4096 × 2176 マイクロミラー アレイ
  - > 890 万個を超えるマイクロミラー
  - 5.4µm のマイクロミラー ピッチ
  - 対角 0.99 インチのマイクロミラー アレイ
  - マイクロミラー傾斜角 ±12° (フラット状態に対して)
  - コーナー イルミネーション (対角照射) 対応
  - マイクロミラー ドライバ回路を内蔵
- UV 波長を 343nm から 410nm まで操作できるように設計
  - 97% のウィンドウ転送 (ウィンドウ パスごと)
  - マイクロミラーの反射率 88%
  - 91% の平均回折効率 (343nm ~ 410nm、f/3 照明と f/2.4 プロジェクションの場合)
  - オン状態のアレイの充填率:90%

2 アプリケーション

- 産業用
  - ダイレクト イメージング リソグラフィ
  - 3D プリンティング
  - マシン ビジョンと品質管理
  - レーザー マーキングおよびリペア
- 医療
  - 眼科用機器
  - 四肢および皮膚測定用の 3D スキャナ
  - ハイパースペクトラル イメージング / スキャン
- ディスプレイ
  - 3D 画像処理顕微鏡

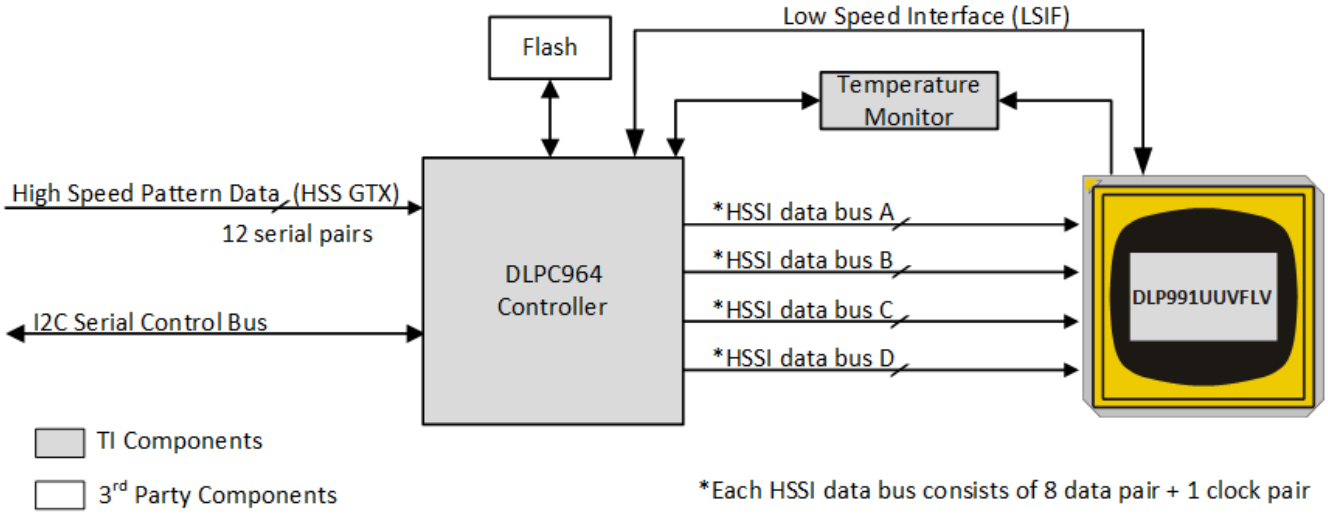
3 説明

890 万個を超えるマイクロミラーを搭載した高解像度 DLP991UUV デジタル マイクロミラー デバイス (DMD) は、入射光の振幅、方向、または位相を変調する空間光変調器 (SLM) です。この高度な光制御テクノロジには、産業用、医療用、コンシューマ市場向けに数多くの用途があります。DLP991UUV DMD と DLPC964 コントローラはストリーミング機能を備えているため、このデバイスはダイレクトイメージング (LDI) 用途における高速かつ連続的なデータストリーミングに非常に適しています。DMD (デジタル マイクロミラー デバイス) は、さまざまな 3D プリンティング用途において、大きな 3D ビルドと超高精細な解像度を実現します。高分解能は、3D マシン ビジョン アプリケーションで大型の物体をスキャンする際に直接的な利点があります。

製品情報

部品番号	パッケージ(1)	パッケージ サイズ
DLP991UUVFLV	FLV (321)	42.16mm × 42.16mm

(1) 詳細については、*「メカニカル、パッケージ、および注文情報」*を参照してください。



アプリケーション概略図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 ピン構成および機能.... 3
5 仕様.... 8
5.1 絶対最大定格.... 8
5.2 保存条件.... 9
5.3 ESD 定格.... 9
5.4 推奨動作条件.... 9
5.5 熱に関する情報.... 11
5.6 電気的特性.... 11
5.7 スイッチング特性.... 12
5.8 タイミング要件.... 13
5.9 システム実装インターフェイスの荷重.... 17
5.10 マイクロミラー アレイの物理特性.... 18
5.11 マイクロミラー アレイの光学特性.... 20
5.12 ウィンドウの特性.... 21
5.13 チップセット コンポーネントの使用方法の仕様.... 21
6 詳細説明.... 22
6.1 概要.... 22
6.2 機能ブロック図.... 22
6.3 機能説明.... 23
6.4 デバイスの機能モード.... 23
6.5 光学インターフェイスおよびシステムの画質に関する検討事項.... 23
6.6 DMD 温度の計算.... 24
6.7 マイクロミラーの電力密度の計算.... 26
6.8 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル.... 27
7 アプリケーションと実装.... 29
7.1 アプリケーション情報.... 29
7.2 代表的なアプリケーション.... 29
7.3 DMD ダイ温度センシング.... 31
8 電源に関する推奨事項.... 32
8.1 DMD 電源のパワーアップ手順.... 32
8.2 DMD 電源のパワーダウン手順.... 32
9 レイアウト.... 34
9.1 レイアウトのガイドライン.... 34
10 デバイスおよびドキュメントのサポート.... 38
10.1 デバイス サポート.... 38
10.2 ドキュメントのサポート.... 38
10.3 ドキュメントの更新通知を受け取る方法.... 39
10.4 サポート・リソース.... 39
10.5 商標.... 39
10.6 静電気放電に関する注意事項.... 39
10.7 用語集.... 39
11 改訂履歴.... 39
12 メカニカル、パッケージ、および注文情報.... 40
12.1 付録：パッケージ オプション.... 41

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

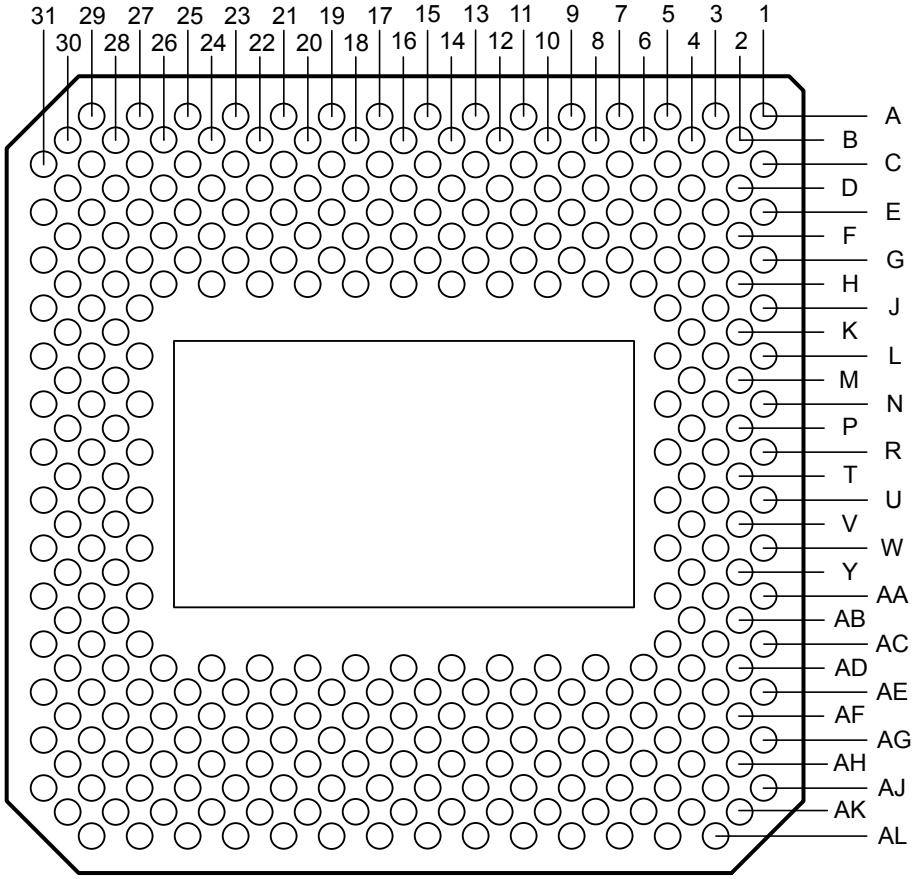


図 4-1. FLV パッケージ 321 ピン LGA 底面図

注意

DLP991UUV DMD の信頼性が高く、長期にわたって安定した動作を確保するためには、以下の表に示す信号のレイアウトおよび動作を適切に管理することが極めて重要です。具体的な詳細とガイドラインについては、***DLP®標準 SST デジタル マイクロミラー デバイスの PCB 設計要件***を参照してください

表 4-1. パッケージのピン配置

ピン		入力と出力 (1)	ピンの説明	終端	パターン長 (mm)
名称	パッド ID				
D_AP (0)	E1	I	HSSI バス A 信号 A0+	差動 100Ω	10.79
D_AN (0)	F2	I	HSSI バス A 信号 A0 -	差動 100Ω	10.77
D_AP (1)	J1	I	HSSI バス A 信号 A1+	差動 100Ω	13.77
D_AN (1)	G1	I	HSSI バス A 信号 A1 -	差動 100Ω	13.76
D_AP (2)	A5	I	HSSI バス A 信号 A2+	差動 100Ω	10.34
D_AN (2)	B6	I	HSSI バス A 信号 A2 -	差動 100Ω	10.35
D_AP (3)	K2	I	HSSI バス A 信号 A3+	差動 100Ω	12.36
D_AN (3)	L1	I	HSSI バス A 信号 A3 -	差動 100Ω	12.33
D_AP (4)	B8	I	HSSI バス A 信号 A4+	差動 100Ω	9.64
D_AN (4)	A7	I	HSSI バス A 信号 A4 -	差動 100Ω	9.65
D_AP (5)	A11	I	HSSI バス A 信号 A5+	差動 100Ω	11.96
D_AN (5)	A9	I	HSSI バス A 信号 A5 -	差動 100Ω	11.95
D_AP (6)	R1	I	HSSI バス A 信号 A6+	差動 100Ω	17.77
D_AN (6)	T2	I	HSSI バス A 信号 A6 -	差動 100Ω	17.73
D_AP (7)	W1	I	HSSI バス A 信号 A7+	差動 100Ω	21.44
D_AN (7)	U1	I	HSSI バス A 信号 A7 -	差動 100Ω	21.44
DCLK_AP	P2	I	HSSI バス A クロック+	差動 100Ω	16.02
DCLK_AN	N1	I	HSSI バス A クロック-	差動 100Ω	16.01
D_BP (0)	A13	I	HSSI バス B 信号 B0+	差動 100Ω	8.39
D_BN (0)	B12	I	HSSI バス B 信号 B0-	差動 100Ω	8.40
D_BP (1)	P30	I	HSSI バス B 信号 B1+	差動 100Ω	30.31
D_BN (1)	R31	I	HSSI バス B 信号 B1-	差動 100Ω	30.31
D_BP (2)	B14	I	HSSI バス B 信号 B2+	差動 100Ω	9.53
D_BN (2)	A15	I	HSSI バス B 信号 B2-	差動 100Ω	9.53
D_BP (3)	A17	I	HSSI バス B 信号 B3+	差動 100Ω	11.23
D_BN (3)	B16	I	HSSI バス B 信号 B3-	差動 100Ω	11.24
D_BP (4)	B20	I	HSSI バス B 信号 B4+	差動 100Ω	13.82
D_BN (4)	A21	I	HSSI バス B 信号 B4-	差動 100Ω	13.83
D_BP (5)	N31	I	HSSI バス B 信号 B5+	差動 100Ω	26.98
D_BN (5)	L31	I	HSSI バス B 信号 B5-	差動 100Ω	27.00
D_BP (6)	G31	I	HSSI バス B 信号 B6+	差動 100Ω	24.55
D_BN (6)	J31	I	HSSI バス B 信号 B6-	差動 100Ω	24.52
D_BP (7)	B22	I	HSSI バス B 信号 B7+	差動 100Ω	16.27
D_BN (7)	A23	I	HSSI バス B 信号 B7-	差動 100Ω	16.30
DCLK_BP	A19	I	HSSI バス B クロック+	差動 100Ω	12.98

Copyright © 2025 Texas Instruments Incorporated

表 4-1. パッケージのピン配置 (続き)

ピン		入力と出力 (1)	ピンの説明	終端	パターン長 (mm)
名称	パッド ID				
DCLK_BN	B18	I	HSSI バス B クロック-	差動 100Ω	12.99
D_CP (0)	AL7	I	HSSI バス C 信号 C0+	差動 100Ω	18.56
D_CN (0)	AL5	I	HSSI バス C 信号 C0 -	差動 100Ω	18.58
D_CP (1)	AG1	I	HSSI バス C 信号 C1+	差動 100Ω	23.82
D_CN (1)	AF2	I	HSSI バス C 信号 C1 -	差動 100Ω	23.80
D_CP (2)	AC1	I	HSSI バス C 信号 C2+	差動 100Ω	26.32
D_CN (2)	AE1	I	HSSI バス C 信号 C2 -	差動 100Ω	26.33
D_CP (3)	AA1	I	HSSI バス C 信号 C3+	差動 100Ω	24.98
D_CN (3)	AB2	I	HSSI バス C 信号 C3 -	差動 100Ω	24.99
D_CP (4)	AK10	I	HSSI バス C 信号 C4+	差動 100Ω	17.77
D_CN (4)	AL9	I	HSSI バス C 信号 C4 -	差動 100Ω	17.75
D_CP (5)	AL15	I	HSSI バス C 信号 C5+	差動 100Ω	14.23
D_CN (5)	AK14	I	HSSI バス C 信号 C5 -	差動 100Ω	14.23
D_CP (6)	AK18	I	HSSI バス C 信号 C6+	差動 100Ω	12.92
D_CN (6)	AL17	I	HSSI バス C 信号 C6 -	差動 100Ω	12.93
D_CP (7)	AL19	I	HSSI バス C 信号 C7+	差動 100Ω	12.24
D_CN (7)	AL21	I	HSSI バス C 信号 C7 -	差動 100Ω	12.21
DCLK_CP	AL13	I	HSSI バス C クロック+	差動 100Ω	14.81
DCLK_CN	AL11	I	HSSI バス C クロック-	差動 100Ω	14.81
D_DP (0)	AL23	I	HSSI バス D 信号 D0+	差動 100Ω	8.814
D_DN (0)	AK22	I	HSSI バス D 信号 D0 -	差動 100Ω	8.82
D_DP (1)	AL25	I	HSSI バス D 信号 D1+	差動 100Ω	10.21
D_DN (1)	AK24	I	HSSI バス D 信号 D1 -	差動 100Ω	10.21
D_DP (2)	AK26	I	HSSI バス D 信号 D2+	差動 100Ω	11.98
D_DN (2)	AL27	I	HSSI バス D 信号 D2 -	差動 100Ω	11.98
D_DP (3)	V30	I	HSSI バス D 信号 D3+	差動 100Ω	17.09
D_DN (3)	U31	I	HSSI バス D 信号 D3 -	差動 100Ω	17.05
D_DP (4)	AF30	I	HSSI バス D 信号 D4+	差動 100Ω	12.25
D_DN (4)	AE31	I	HSSI バス D 信号 D4 -	差動 100Ω	12.23
D_DP (5)	W31	I	HSSI バス D 信号 D5+	差動 100Ω	14.36
D_DN (5)	Y30	I	HSSI バス D 信号 D5 -	差動 100Ω	14.32
D_DP (6)	AB30	I	HSSI バス D 信号 D6+	差動 100Ω	11.16
D_DN (6)	AA31	I	HSSI バス D 信号 D6 -	差動 100Ω	11.16
D_DP (7)	AD30	I	HSSI バス D 信号 D7+	差動 100Ω	13.11
D_DN (7)	AC31	I	HSSI バス D 信号 D7 -	差動 100Ω	13.11

表 4-1. パッケージのピン配置 (続き)

ピン		入力と出力 (1)	ピンの説明	終端	パターン長 (mm)
名称	パッド ID				
DCLK_DP	AG31	I	HSSI バス D クロック+	差動 100Ω	13.93
DCLK_DN	AH30	I	HSSI バス D クロック-	差動 100Ω	13.93
LS_WDATA_P	B26	I	LSIF LVDS データ +	差動 100Ω	10.90
LS_WDATA_N	A27	I	LSIF LVDS データ -	差動 100Ω	10.90
LS_CLK_P	B24	I	LSIF LVDS CLK+	差動 100Ω	11.05
LS_CLK_N	A25	I	LSIF LVDS CLK -	差動 100Ω	11.03
LS_RDATA_A	F24	O	LVCMOS 出力		2.04
LS_RDATA_B	D26	O	LVCMOS 出力		5.26
LS_RDATA_C	F30	O	LVCMOS 出力		9.57
LS_RDATA_D	C27	O	LVCMOS 出力		7.15
AMUX_OUT	E17	O	アナログ テスト マルチプレクサ		6.36
DMUX_OUT	E29	O	デジタル テスト マルチプレクサ		7.22
DMD_EN_ARSTZ	AE23、E27、Y4	I	ARSTZ	17.5kΩ プルダウン	63.74
TEMP_N	E23	I	温度ダイオード N		3.21
TEMP_P	F22	I	温度ダイオード P		2.86
VDD	A29、A3、AA29、AB4、AD10、AD12、AD28、AD8、AE13、AE15、AF10、AF12、AF18、AF22、AF24、AF26、AF28、AF6、AH10、AH12、AH14、AH16、AH18、AJ1、AJ11、AJ21、AJ29、AJ31、AJ5、AK2、AL29、B4、C1、C13、C21、C29、C31、D12、D16、D18、D20、D24、D8、F10、F12、F16、F18、F20、F8、H16、H18、H20、H22、H24、H28、K4、L3、M4、N29、P28、P4、T28、T4、V28、V4、Y28	P	デジタル コア電源電圧		平面
VDDA	AB28、AD14、AD16、AD18、AD22、AD24、AE19、AE27、AF20、AH20、AH24、D10、D14、F6、G11、G15、H10、H12、H14、H26、H8、K28	P	HSSI 電源電圧		平面
VRESET	AF4、AG5、D6、E5	P	マイクロミラーのリセット信号用の負のバイアスの供給電圧		平面
VBIAS	AD4、AE3、D4	P	マイクロミラーのリセット信号用の正のバイアスの供給電圧		平面

Copyright © 2025 Texas Instruments Incorporated

表 4-1. パッケージのピン配置 (続き)

ピン		入力と出力 (1)	ピンの説明	終端	パターン長 (mm)
名称	パッド ID				
VOFFSET	AD26、AE5、F26、F4、H4	P	HVCMOS ロジック用の供給電圧、昇圧されたロジック レベル		平面
VSS	A1、AA3、AC29、AC3、AD20、AD6、AE11、AE17、AE21、AE25、AE29、AE7、AE9、AF14、AF16、AF8、AG11、AG13、AG15、AG17、AG19、AG21、AG23、AG25、AG27、AG29、AG3、AH2、AH26、AH4、AH6、AK30、AK4、AK8、AL3、C3、D2、D22、D28、D30、E11、E13、E15、E19、E21、E25、E3、E31、E7、F14、G13、G17、G19、G21、G23、G25、G27、G29、G3、G5、G7、G9、H2、H30、H6、J29、J3、K30、L29、M2、M28、M30、N3、R29、R3、T30、U29、U3、V2、W29、W3、Y2	G	グランド		平面
VSSA	AD2、AH22、AH28、AJ13、AJ15、AJ17、AJ19、AJ23、AJ25、AJ27、AJ3、AJ7、AJ9、AK12、AK16、AK20、AK28、AK6、B10、B2、B28、B30、C11、C15、C17、C19、C23、C25、C5、C7、C9、E9	G	グランド		平面
N/C	AA5、AA27、AC5、AC27、AG7、AG9、AH8、F28、J5、J27、L5、L27、N27、R27、N5、R5、U5、U27、W5、W27	NC	接続なし		

(1) I = 入力、O = 出力、P = 電源、G = グランド、NC = 未接続

5 仕様

5.1 絶対最大定格

「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

パラメータ	説明	最小値	最大値	単位
	電源電圧			
V_{DD}	LVCMOS コアロジックと LVCMOS 低速インターフェイス (LSIF) の電源電圧(1)	-0.5	2.3	V
V_{DDA}	高速シリアルインターフェイス (HSSI) レシーバの電源電圧(1)	-0.3	2.2	V
V_{OFFSET}	HVCMOS およびマイクロミラー電極の電源電圧(1) (2)	-0.5	11	V
V_{BIAS}	マイクロミラー電極の電源電圧(1)	-0.5	19	V
V_{RESET}	マイクロミラー電極の電源電圧(1)	-15	0.5	V
$\lvert V_{DDA} – V_{DD} \rvert$	電源電圧差 (絶対値)(3)		0.3	V
$\lvert V_{BIAS} – V_{OFFSET} \rvert$	電源電圧差 (絶対値)(4)		11	V
$\lvert V_{BIAS} – V_{RESET} \rvert$	電源電圧差 (絶対値)(5)		34	V
	入力電圧			
	その他の入力の入力電圧 - LVDS および LVCMOS(1)	-0.5	2.45	V
	その他の入力の入力電圧 - HSSI(1) (6)	-0.2	V_{DDA}	V
	低速インターフェイス (LSIF)			
f_{CLOCK}	LSIF クロック周波数 (LS_CLK)		130	MHz
$\lvert V_{ID} \rvert$	LSIF 差動入力電圧の振幅(6)		810	mV
I_{ID}	LSIF 差動入力電流(7)		10	mA
	高速シリアル インターフェイス (HSSI)			
f_{CLOCK}	HSSI クロック周波数 (DCLK)		1.65	GHz
$\lvert V_{ID} \rvert$	HSSI 差動入力電圧振幅データレーン		700	mV
$\lvert V_{ID} \rvert$	HSSI 差動入力電圧振幅クロック レーン		700	mV
	環境			
T_{ARRAY}	温度、動作時(8)	0	90	℃
	温度、非動作時(8)	-40	90	℃
T_{WINDOW}	温度、動作時(8)	0	70	℃
	温度、非動作時(8)	-40	90	℃
T_{DELTA_MAX}	[TP2 または TP3 の最小値] から T_{MIN_ARRAY} (9)を引いた値		5	℃
T_{DELTA_MIN}	[TP2 または TP3 の最小値] から T_{MAX_ARRAY} を引いた値(9)	-30		℃
RH	相対湿度、動作中および非動作中		95%	

(1) すべての電圧値は、グランド端末 (V_{SS}) を基準としたものです。DMD を適切に動作させるには、以下に示す必要な電源を接続する必要があります:V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} および V_{RESET}。すべての V_{SS} 接続も必要です。
(2) V_{OFFSET} 電源過渡電圧は、規定電圧内に収まる必要があります。
(3) V_{DDA} と V_{DD} の間の許容される絶対電圧差を超えると、過剰な電流が流れる可能性があります。
(4) V_{BIAS} と V_{OFFSET} の間の許容される絶対電圧差を超えると、過剰な電流が流れる可能性があります。
(5) V_{BIAS} と V_{RESET} の間の許容される絶対電圧差を超えると、過剰な電流が流れる可能性があります。
(6) この最大入力電圧定格は、差動ペアの各入力電圧が同じ電位のときに適用されます。LVDS 差動入力は、指定限界値を超えないようにする必要があります。さもなければ、内部終端抵抗が損傷する可能性があります。
(7) 差動入力は、指定限界値を超えないようにする必要があります。さもなければ、内部終端抵抗が損傷する可能性があります。この仕様は、高速シリアルインターフェイス (HSSI) と低速インターフェイス (LSI) の両方に適用されます。

Copyright © 2025 Texas Instruments Incorporated

(8) アレイの温度は直接測定することができないため、図 6-1 に示されているテスト ポイント 1 (TP1) で測定された温度と、パッケージの熱抵抗をもとに、セクション 6.6 の計算式を用いて解析的に算出する必要があります。
(9) 計算については、セクション 6.6 を参照します。

5.2 保存条件

部品としての DMD、またはシステムで動作していない DMD に適用できます。

記号	パラメータ	最小値	最大値	単位
T_{DMD}	DMD の保存温度	-40	80	C
RH	相対湿度 (結露なし)		95%	

5.3 ESD 定格

記号	パラメータ	説明	値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)	±500	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.4 推奨動作条件

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り) (1)

パラメータ名		最小値	標準値	最大値	単位
電源電圧					
V_{DD}	LVCMOS コアロジックおよび低速インターフェイス (LSIF) のための電源電圧(2)	1.85	1.9	1.95	V
V_{DDA}	高速シリアルインターフェイス (HSSI) レシーバの電源電圧(2)	1.85	1.9	1.95	V
V_{OFFSET}	HVCMOS およびマイクロミラー電極の電源電圧(2) (3) (4)	9.5	10	10.5	V
V_{BIAS}	マイクロミラー電極の電源電圧(2)	17.5	18	18.5	V
V_{RESET}	マイクロミラー電極の電源電圧(2)	-14.5	-14	-13.5	V
$\lvert V_{DDA} - V_{DD} \rvert$	電源電圧のデルタ、絶対値(5)			0.3	V
$\lvert V_{BIAS} - V_{OFFSET} \rvert$	電源電圧のデルタ、絶対値(6)			10.5	V
$\lvert V_{BIAS} - V_{RESET} \rvert$	電源電圧のデルタ、絶対値			33	V
LVCMOS 入力					
V_{IH}	高レベル入力電圧(2) (7)	$0.7 \times V_{DD}$			V
V_{IL}	低レベル入力電圧(2) (7)			$0.3 \times V_{DD}$	V
低速インターフェイス (LSIF)					
f_{CLOCK}	LSIF クロック周波数 (LS_CLK)(9)	108	120	130	MHz
DCD_{IN}	LSIF デューティ サイクル歪み (LS_CLK)	44%		56%	
$\lvert V_{ID} \rvert$	LSIF 差動入力電圧の振幅(9)	150	350	440	mV
V_{LVDS}	LSIF 電圧(9)	575		1520	mV
V_{CM}	同相電圧(9)	700	900	1300	mV
Z_{LINE}	ライン差動インピーダンス (PWB / パターン)	90	100	110	Ω
Z_{IN}	内部差動終端抵抗	80	100	120	Ω
高速シリアルインターフェイス (HSSI)					
f_{CLOCK}	HSSI クロック周波数 (DCLK)(8)	1.8	1.8	1.8	GHz
DCD_{IN}	HSSI デューティ サイクル歪み (DCLK)	44%	50%	56%	
$\lvert V_{ID} \rvert$ Data	HSSI 差動入力電圧振幅データレーン(8)	100	400	600	mV
$\lvert V_{ID} \rvert$ CLK	HSSI 差動入力電圧振幅クロック レー(8)	300	400	600	mV
VCM_{DC} Data	入力同相電圧 (DC) データレーン(8)	200	600	800	mV
VCM_{DC} CLK	入力同相電圧 (DC) クロックレーン(8)	200	600	800	mV
VCM_{ACp-p}	データレーンおよびクロックレーンの同相モード電圧における AC ピークツーピーク (リップル)(8)			100	mV
Z_{LINE}	ライン差動インピーダンス (PWB / パターン)		100		Ω
Z_{IN}	内部差動終端抵抗 (R_{Xterm})	80	100	120	Ω

5.4 推奨動作条件 (続き)

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り) (1)

パラメータ名		最小値	標準値	最大値	単位
環境					
T_{ARRAY}	アレイ温度、長期動作(10) (11) (12) (14)	20		30	℃
T_{WINDOW}	ウィンドウ温度、動作可能、TP2 および TP3	10		30	℃
T_{DELTA_MAX}	[TP2 または TP3 の最小値] から T_{MIN_ARRAY} (14) を引いた値			5	℃
T_{DELTA_MIN}	[TP2 または TP3 の最小値] から T_{MAX_ARRAY} を引いた値(14)	-10			℃
RH	相対湿度 (結露なし)			95%	
デューティ サイクル	動作時の着地デューティサイクル(17)		50%		
ILL_{UV7}	波長 < 341nm における照明強度(13) (15) (16) (19)			10	mW/cm^2
ILL_{UV6}	343nm 以上 345nm 未満の波長における照明強度(13) (15) (16) (19)			2.7	W/cm^2
ILL_{UV5}	345nm 以上 355nm 未満の波長における照明強度(13) (15) (19)			2.9	W/cm^2
ILL_{UV4}	355nm 以上 365nm 未満の波長における照明強度(13) (15) (19)			4.1	W/cm^2
ILL_{UV3}	365nm 以上 385nm 未満の波長における照明強度(13) (15)			5.9	W/cm^2
ILL_{UV2}	385nm 以上 400nm 未満の波長における照明強度(13) (15)			11.8	W/cm^2
ILL_{UV1}	400nm 以上 410nm 未満の波長における照明強度(13) (15)			22.5	W/cm^2
ILL_{UV}	365nm 以上 410nm 未満の波長における照明強度(13) (15) (18)			22.5	W/cm^2
ILL_{VIS}	410nm 以上 800nm 未満の波長における照明強度(13) (15)			60	W/cm^2

(1) 推奨動作条件は、最終製品に DMD を取り付けた後に適用されます。
(2) DMD を動作させるには、すべての電源接続が必要です。V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} および V_{RESET}。DMD を動作させるには、すべての V_{SS} 接続が必要です。
(3) すべての電圧値は、V_{SS} グランド ピンを基準としたものです。
(4) V_{OFFSET} 電源過渡電圧は、規定最大電圧内に収まる必要があります。
(5) 過剰な電流を防止するため、電源電圧のデルタ $|V_{DDA} – V_{DD}|$ は、指定限界値よりも小さい必要があります。
(6) 過剰な電流を防止するため、電源電圧のデルタ $|V_{BIAS} – V_{OFFSET}|$ は、指定限界値よりも小さい必要があります。
(7) LVCMOS 入力ピンは DMD_DEN_ARSTZ です。
(8) *タイミング要件* の高速シリアルインターフェイス (HSSI) のタイミング要件を参照してください。
(9) *タイミング要件* の低速インターフェイス (LSIF) のタイミング要件を参照してください。
(10) DMD を最 推奨動作条件 の温度および UV 照明に同時に曝露すると、デバイスの寿命が短くなります。
(11) アレイの温度は直接測定することができないため、*DMD の熱テストポイント* に示されているテストポイント (TP1) で測定された温度と、パッケージの熱抵抗を用いて、*DMD 温度計算式* により解析的に算出する必要があります。
(12) 長期は、デバイスの使用可能寿命と定義されます。
(13) DMD に照射可能な最大光学パワーは、各波長範囲ごとに規定された最大光出力密度およびマイクロミラー アレイの温度 (T_{ARRAY}) によって制限されます。
(14) 計算例については、『*DMD 温度の計算*』を参照してください。
(15) 計算例については、『*マイクロミラーの電力密度の計算*』を参照してください。
(16) 343nm 以上のあらゆる照明光源には、カットオフ フィルタを使用し、341nm でこのパワーレベル以下に抑える必要があります。343nm から 341nm にかけての照明電力は徐々に減少することが想定されており、それにより 341nm における最大許容パワー制限が達成可能となります。
(17) 着地デューティ サイクルとは、個々のマイクロミラーがある一方の状態 (12.0° または –12.0°) に着地している時間の割合を、反対の状態 (–12.0° または 12.0°) に対する割合として示したものです。50% は、ミラーがオン状態で 50%、オフ状態で 50% に達した 50/50 のデューティ サイクルに相当します。着地デューティサイクルの詳細については、「マイクロミラーの着地オンと着地オフのデューティサイクルの定義」を参照してください。
(18) 内蔵照明の総電力密度 (365nm ～ 410nm) は 22.5W/cm^2 を超えないようにする必要があります。そのため、5.9W/cm^2 の照明を 365nm ～ 385nm の範囲で使用し、11.8W/cm^2 を 385nm ～ 400nm の範囲で使用する場合、400nm ～ 410nm の範囲の照明は 4.8W/cm^2 に制限する必要があります。
(19) 365nm 未満の複数の波長帯域の照明は、他の波長帯域と同時に使用できない場合があります。たとえば、344nm 照明 (343nm 以上および 345nm 未満) を使用する場合、この帯域外の別の波長を同時に使用することはできません。

Copyright © 2025 Texas Instruments Incorporated

5.5 熱に関する情報

熱評価基準		DLP991UUV FLV パッケージ 321 ピン	単位
$R_{MAX_ARRAY_TO_CERAMIC}$	熱抵抗、テストポイント 1 (TP1) に対する最大アクティブ領域(1)	0.55	°C/W
$R_{MIN_ARRAY_TO_CERAMIC}$	熱抵抗、テストポイント 1 (TP1) に対する最小アクティブ領域(1)	0.30	°C/W

(1) DMD は、吸収・発散された熱をパッケージ背面に伝導するよう設計されており、適切なヒートシンクによってその熱を放散できます。ヒートシンクおよび冷却システムは、指定された動作温度内でパッケージを維持できる必要があります。DMD の合計熱負荷は、主にアクティブ領域によって吸収される入射光によって決まりますが、その他の寄与としてウィンドウ開口部によって吸収される光エネルギーやアレイの消費電力があります。光学システムは、ウィンドウの開放口から外れた光エネルギーを最小限に抑えるよう設計する必要があります。これは、この領域に熱負荷が増大すると、デバイスの信頼性が大幅に低下する可能性があるためです。TP1 の場所については、『図 6-1』を参照してください。

5.6 電気的特性

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り)

記号	パラメータ(2) (3)	テスト条件 (2)	最小値	標準値	最大値	単位
電流—標準						
I_{DD}	消費電流 V_{DD} (4)			1.5	1.9	A
I_{DDA}	消費電流 V_{DDA} (4)			1.4	1.9	A
I_{OFFSET}	消費電流 V_{OFFSET} (5) (6)			37	50	mA
I_{BIAS}	消費電流 V_{BIAS} (5) (6)			12.0	50	mA
I_{RESET}	消費電流 V_{RESET} (6)		-50	-25		mA
パワー—標準						
P_{DD}	電源消費電力 V_{DD} (4)			2710	3710	mW
P_{DDA}	電源消費電力 V_{DDA} (4)			2500	3600	mW
P_{OFFSET}	電源消費電力 V_{OFFSET} (5) (6)			370	525	mW
P_{BIAS}	電源消費電力 V_{BIAS} (5) (6)			216	925	mW
P_{RESET}	電源消費電力 V_{RESET} (6)			350	725	mW
P_{TOTAL}	電源の合計消費電力			6146	9485	mW
LVCMOS 入力						
I_{IL}	低レベル入力電流(7)	V_{DD} = 1.95 V、V_I = 0V	-100			nA
I_{IH}	高レベル入力電流(7)	V_{DD} = 1.95 V、V_I = 1.95V			135	µA
LVCMOS 出力						
V_{OH}	DC 出力高電圧(8)	I_{OH} = -2mA	0.8 × V_{DD}			V
V_{OL}	DC 出力低電圧(8)	I_{OL} = 2mA			0.2 × V_{DD}	V
レシーバのアイ特性						
A1	最小アイ開口(9)		100	400	600	mV
A2	最大信号スイング(9) (10)				600	mV
X1	最大アイクロージャ(9)				0.275	UI
X2	最大アイクロージャ(9)				0.4	UI
$\lvert t_{DRIFT} \rvert$	トレーニング パターン間のクロックとデータのドリフト				20	ps
容量						
C_{IN}	入力容量 LVCMOS	f = 1MHz			30	pF
C_{IN}	入力容量 LSIF (低速インターフェイス)	f = 1MHz			20	pF

5.6 電気的特性 (続き)

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り)

記号	パラメータ(2) (3)	テスト条件 (2)	最小値	標準値	最大値	単位
C_{IN}	入力キャパシタンス HSSI (高速シリアルインターフェイス) - 差動 - クロックピンとデータピン	f = 1MHz			5	pF
C_{OUT}	出力容量	f = 1MHz			10	pF

(1) 特に注記がない限り、デバイスの電気的特性は *推奨動作条件下での値* です。
(2) DMD を動作させるには、すべての電源接続が必要です。V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} および V_{RESET}。DMD を動作させるには、すべての V_{SS} 接続が必要です。
(3) すべての電圧値は、グランド ピン (V_{SS}) を基準としたものです。
(4) 過剰な電流を防止するため、電源電圧のデルタ $|V_{DDA} – V_{DD}|$ は、指定限界値よりも小さい必要があります。
(5) 過剰な電流を防止するため、電源電圧のデルタ $|V_{BIAS} – V_{OFFSET}|$ は、指定限界値よりも小さい必要があります。
(6) 90µs 内での 1 回のフェーズ リセット、1 回のアレイ負荷、および 1 回のグローバル リセットに基づいた消費電力
(7) LVCMOS 入力仕様は、ピン DMD_DEN_ARSTZ に対するものです。
(8) LVCMOS 出力仕様は、ピン LS_RDATA_A および LS_RDATA_B に対するものです。
(9) 図 5-10、レシーバ アイマスク (1e-12 BER) を参照します。
(10) セクション 5.4 に定義されています

5.7 スイッチング特性

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り)

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{pd}	出力伝搬、クロックから Q まで、LS_CLK (差動クロック信号) 入力の立ち上がりエッジから LS_RDATA 出力まで(1)	C_L = 5pF			11.1	ns
t_{pd}	出力伝搬、クロックから Q まで、LS_CLK (差動クロック信号) 入力の立ち上がりエッジから LS_RDATA 出力まで(1)	C_L = 10pF			11.3	ns
	スルーレート、LS_RDATA	20% ～ 80%、C_L < 10p	0.5			V/ns
	出力デューティ サイクル歪み、LS_RDATA		40%		60%	

(1) 図 5-1 を参照してください。

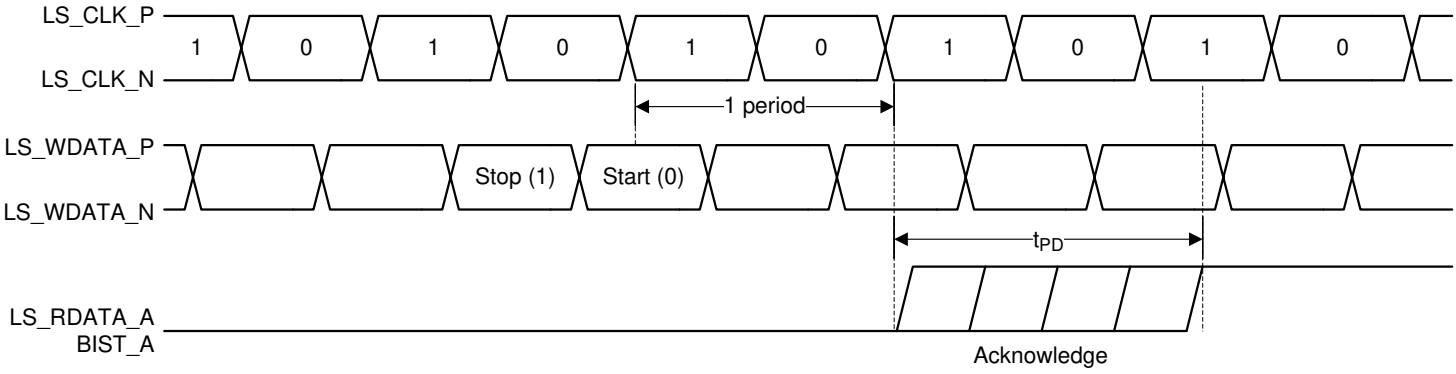


図 5-1. スイッチング特性

Copyright © 2025 Texas Instruments Incorporated

5.8 タイミング要件

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り)

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
LVCMOS						
t_r	立ち上がり時間(1)	20% ～ 80%のリファレンス ポイント			25	ns
t_f	立ち下がり時間(1)	80% ～ 20%のリファレンス ポイント			25	ns
低速インターフェイス (LSIF)						
t_r	立ち上がり時間(2)	20% ～ 80%のリファレンス ポイント			450	ps
t_f	立ち下がり時間(2)	80% ～ 20%のリファレンス ポイント			450	ps
t_{su}	セットアップ時間(3)	LS_WDATA が有効になってから LS_CLK の立ち上がりエッジまで (差分)	1.5			ns
t_h	ホールド時間(3)	LS_CLK の立ち上がりエッジの後に LS_WDATA 有効	1.5			ns
高速シリアルインターフェイス (HSSI)						
t_r	立ち上がり時間(4)	-A1 から A1 までの最小アイ高仕様	50		100	ps
t_f	立ち下がり時間(4)	A1 から -A1 までの最小アイ高仕様	50		100	ps

(1) LVCMOS の立ち上がり時間および立ち下がり時間について、図 5-8 を参照します。
(2) LSIF の立ち上がり時間および立ち下がり時間について、図 5-4 を参照します。
(3) LSIF のセットアップ時間およびホールド時間については、図 5-3 を参照します。
(4) HSSI の立ち上がり時間および立ち下がり時間について、図 5-9 を参照します。

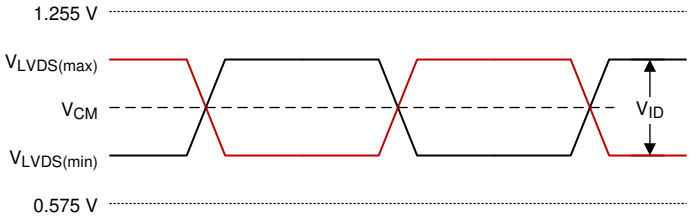


図 5-2. LSIF 波形要件

$$V_{LVDS\,(max)} = V_{CM\,(max)} + \left|\frac{1}{2} \times V_{ID\,(max)}\right|$$

$$V_{LVDS\,(min)} = V_{CM\,(min)} - \left|\frac{1}{2} \times V_{ID\,(max)}\right|$$

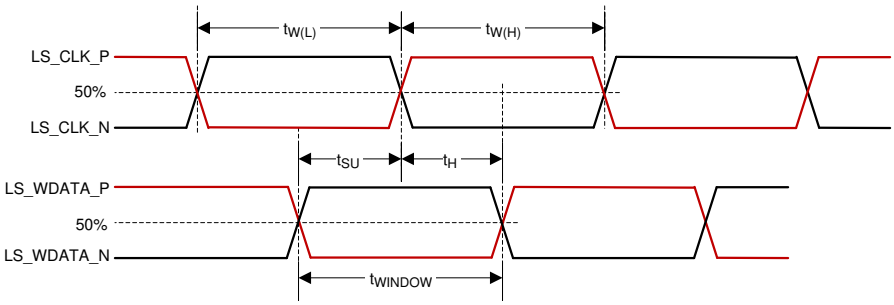


図 5-3. LSIF のタイミング要件

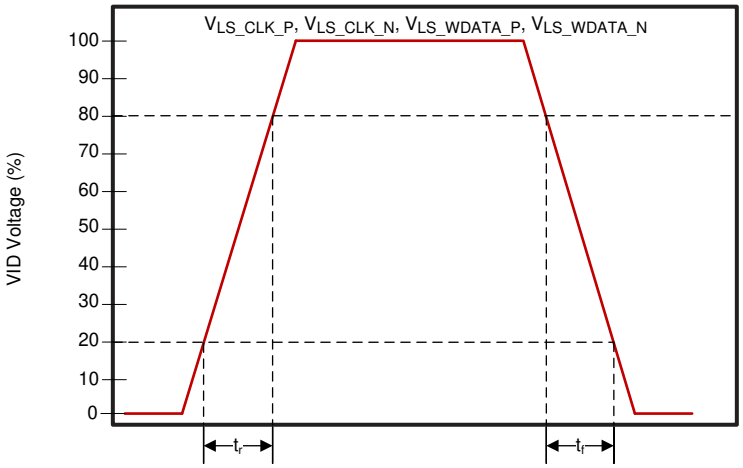


図 5-4. LSIF 立ち上がり/立ち下がり時間のスルー

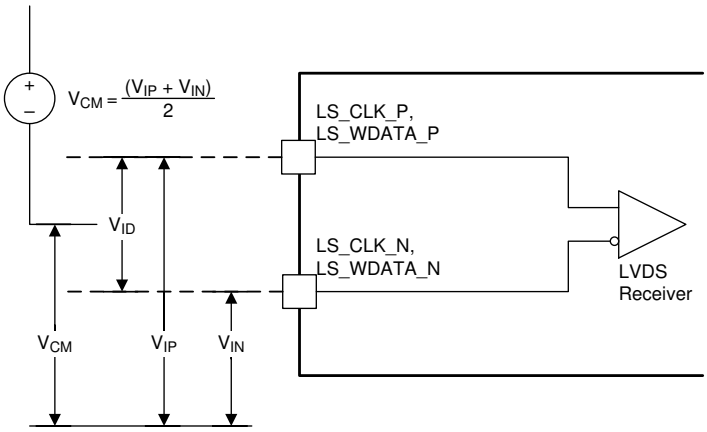


図 5-5. LSIF 電圧要件

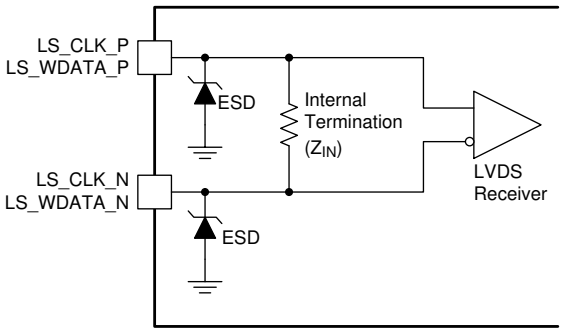


図 5-6. LSIF 等価入力

Copyright © 2025 Texas Instruments Incorporated

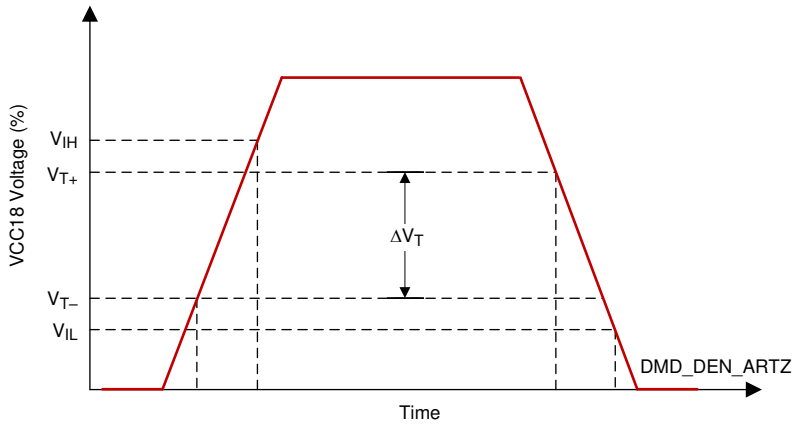


図 5-7. LVCMOS 入力ヒステリシス

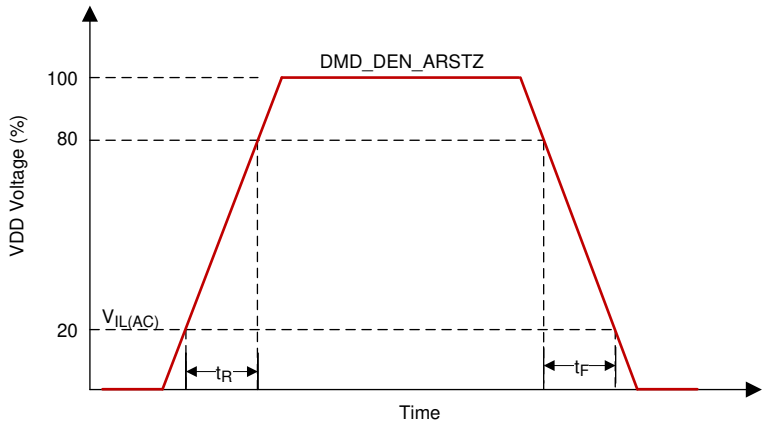
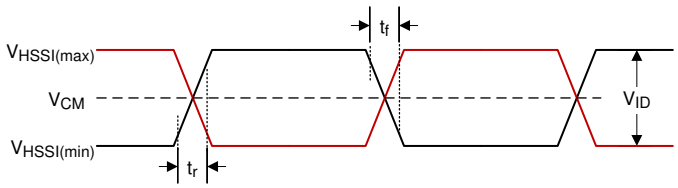


図 5-8. LVCMOS の立ち上がり/立ち下がり時間のスルー レート



$$V_{HSSI(max)} = V_{CM(max)} + \left|\frac{1}{2} \times V_{ID(max)}\right|$$

$$V_{HSSI(min)} = V_{CM(min)} - \left|\frac{1}{2} \times V_{ID(max)}\right|$$

図 5-9. HSSI 波形要件

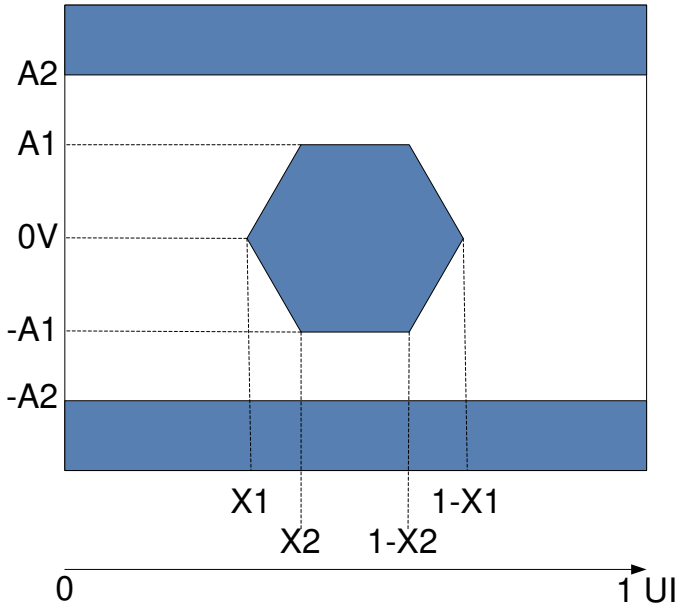


図 5-10. HSSI アイ特性

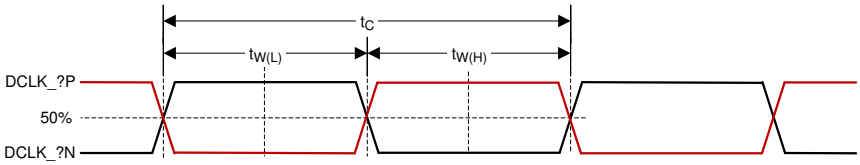


図 5-11. HSSI の CLK 特性

Copyright © 2025 Texas Instruments Incorporated

5.9 システム実装インターフェイスの荷重

パラメータ	最小値	標準値	最大値	単位
電気インターフェイス領域に適用される最大荷重(2)			1334	N
基準面 A の接触領域に加えられる最大荷重(1) (2)			712	N
サーマル インターフェイス領域に適用される最大負荷(2)			200	N

(1) 熱インターフェース領域および電気インターフェース領域に加わる荷重の合計が基準面 A に許容される荷重を超える場合、その超過分の荷重は、基準面 A 領域 (1334+200 − 基準面 A) 外に均等に分散させるか、もしくは熱および電気インターフェース領域の荷重を減らす必要があります。

(2) 図 5-12 に示す領域内に均一に分布しています

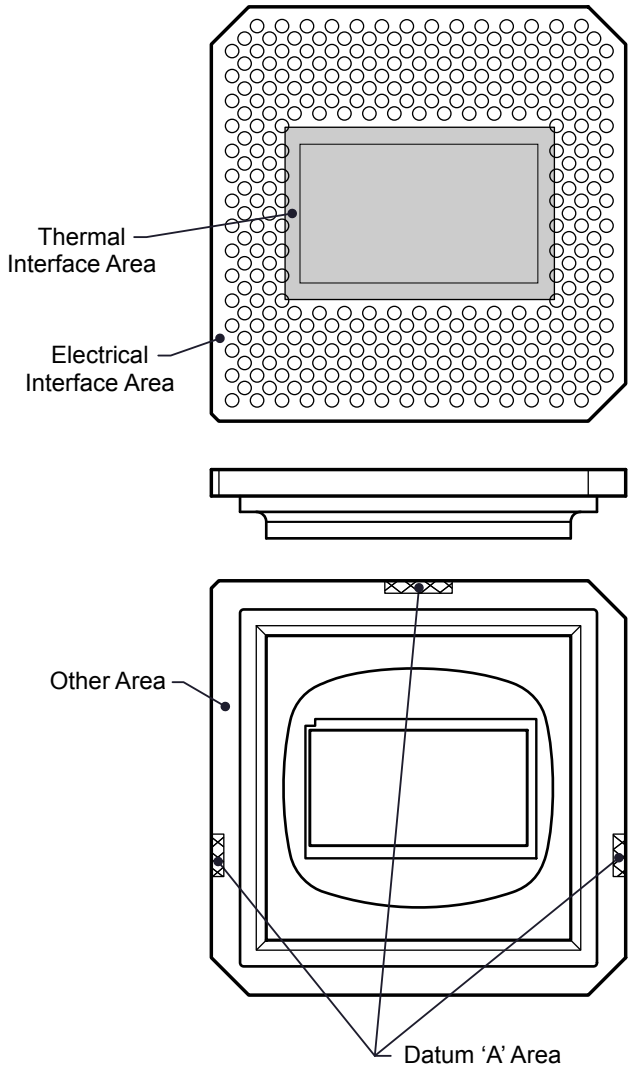


図 5-12. システム実装インターフェイスの荷重

5.10 マイクロミラー アレイの物理特性

パラメータ	説明	値	単位
M	アクティブな列の数(1)	4096	マイクロミラー
N	アクティブな行の数(1)	2176	マイクロミラー
P	マイクロミラー (ピクセル) ピッチ(1)	5.4	µm
マイクロミラーのアクティブ アレイの幅(1)	マイクロミラーのピッチ × アクティブ列の数	22.1184	mm
マイクロミラーのアクティブ アレイの高さ(1)	マイクロミラーのピッチ × アクティブ列の数	11.7504	mm
マイクロミラーのアクティブ境界 (上下)(2)	マイクロミラーの池 (POM)	20	マイクロミラー / サイド
マイクロミラーのアクティブ境界 (左右)(2)	マイクロミラーの池 (POM)	20	マイクロミラー / サイド

(1) 図 5-13 を参照してください。
(2) アクティブアレイの周囲の構造と特性には、部分的に機能するマイクロミラーで POM と呼ばれる帯状の領域が含まれています。これらのマイクロミラーは構造的および / または電気的に、明るい状態またはオン状態へ傾けることを防止しますが、オフ状態へ傾けるには電気的バイアスが必要です。

Copyright © 2025 Texas Instruments Incorporated

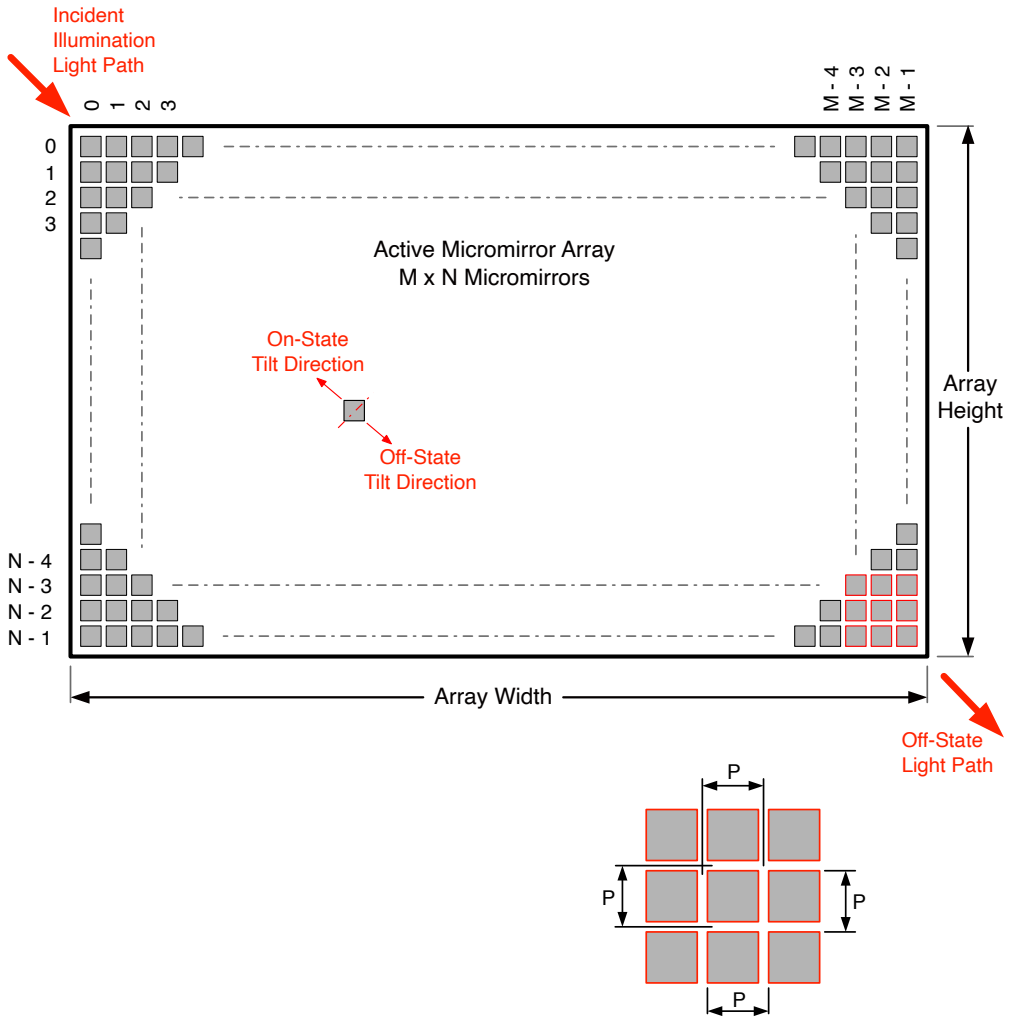


図 5-13. マイクロミラー アレイの物理特性

5.11 マイクロミラー アレイの光学特性

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
	マイクロミラーの傾斜角(2) (3) (4) (5)	着地状態(1)	11.0		13.0	度
COT	マイクロミラーのクロスオーバー時間(6)	標準的性能		1	3	µs
	マイクロミラーのスイッチング時間(7)	標準的性能	6			µs
	マイクロミラーの回転軸の方向(8)		44		46	度
	マイクロミラー アレイの光効率が 343nm ~ 410nm の波長範囲に対応(9) (10)			68%		
	非動作マイクロミラー(11)	非隣接マイクロミラー			10	マイクロミラー
		隣接するマイクロミラー			0	

(1) マイクロミラー アレイ全体から形成されるプレーンを基準として測定されます。
(2) マイクロミラー アレイとパッケージのデータム間には、さらに大きな変動があります。
(3) 公称着地傾斜角に対する着地傾斜角の変動を表します。
(4) 同じデバイス上または異なるデバイス上に配置された任意の 2 つの個別マイクロミラー間で発生する可能性のある変動を表しています。
(5) 一部のアプリケーションでは、システム全体の光学設計においてマイクロミラーの傾斜角の変動を考慮することが重要です。一部のシステム光学設計では、デバイス内のマイクロミラーの傾斜角が変動すると、マイクロミラー アレイから反射された光磁界では不均一性が認識される場合があります。一部のシステム光学設計では、デバイス間でマイクロミラーの傾斜角が変動すると、色測定のバラツキ、システム効率のバラツキ、またはシステム コントラストのバラツキが生じる場合があります。
(6) マイクロミラーがある着地状態から反対側の着地状態に公称遷移するために必要な時間。
(7) ミラー・クロック パルスの終了で、マイクロミラーが連続して遷移してから、次のミラー クロック パルスの開始までの最小時間。
(8) パッケージ基準面「B」および「C」を基準に測定。
(9) 特定のアプリケーションで観察される DMD の最小または最大の光学効率は、以下のような多数のアプリケーション固有の設計変数に依存します。
- 照明波長、帯域幅/ライン幅、干渉度
- 照明角度 + 角度公差
- システムの光学経路内での、照明および投影のアパーチャのサイズと位置
- DMD マイクロミラー アレイの照射オーバーフィル
- 照射用光源や照射経路に異常がある場合
- 投影パスに異常が存在

規定された公称の DMD 光学効率は、以下の使用条件に基づいています。
- 343nm ～ 410nm の範囲の照明
- 入力照明の光軸がウィンドウの法線に対して 24° の角度で配置されている
- ウィンドウの法線に対して 0° に向けた光軸を投影している
- *f*/3 照明開口部
- *f*/2.4 投影開口

使用条件に基づき、公称の DMD 光学効率は以下の 4 つの要素から成り立っています。
- マイクロミラー アレイのフィル ファクタ: 公称値 90%
- マイクロミラー アレイの回折効率: 公称 91%
- マイクロミラー表面の反射率: 公称 88%
- ウィンドウの透過率: 公称値 97% (単一通過、2 つの表面遷移を通過)

(10) これは、アプリケーションに依存するマイクロミラーのスイッチング デューティ サイクルの影響を考慮していません。マイクロミラーのスイッチング デューティ サイクルとは、マイクロミラーが光学照明経路から光学投影経路へ実際に光を反射している時間の割合を示します。このサイクルは、照明開口のサイズ、投影開口のサイズ、およびマイクロミラー アレイの更新レートに依存します。
(11) 非動作マイクロミラーとは、「OFF」位置から「ON」位置、またはその逆への正常な遷移ができないマイクロミラーのことを指します。

Copyright © 2025 Texas Instruments Incorporated

5.12 ウィンドウの特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
ウィンドウ材料名称			コーニング 7056		
ウィンドウ屈折率	波長 589nm の場合		1.487		
ウィンドウ透過率、波長範囲 343nm～ 410nm における最小値	すべての角度 0～30 AOI に適用(1) (2)		97%		

(1) 両面およびガラスをシングルパスで通過
(2) 入射角 (AOI) は、入射光線と反射面または屈折面の法線との間の角度です。

5.13 チップセット コンポーネントの使用方法の仕様

DLPC991UUV DMD の信頼性の高い機能と動作を実現するには、TI の DMD 制御テクノロジーを採用または実装する部品など、該当する DLP チップセットの他の部品と組み合わせて DMD を使用する必要があります。TI DMD 制御テクノロジーとは、DLP DMD を動作・制御するための TI のテクノロジーとデバイスのことです。

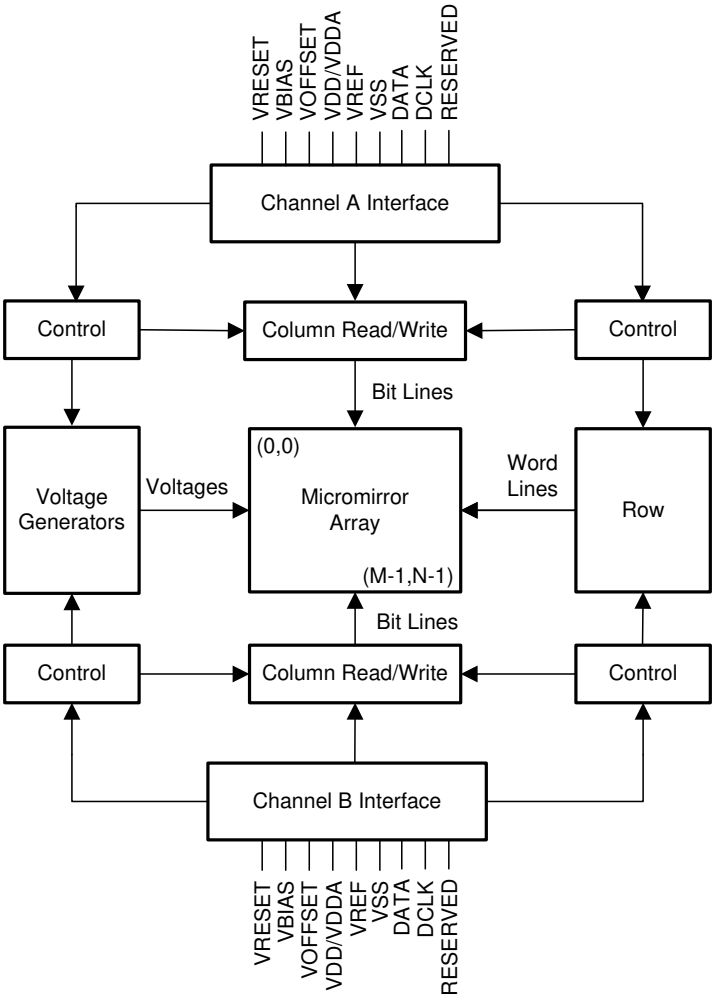
6 詳細説明

6.1 概要

DLP991UUV デジタル マイクロミラー デバイス(DMD) は、対角 0.99 インチの空間光変調器で、高反射率のアルミニウム製マイクロミラーのアレイで構成されています。DMD は、電気入力、光出力の光マイクロマシン (MEMS) です。入力電気的データインターフェイスは、差動高速シリアルインターフェイス (HSSI) です。DMD は、1 ビット CMOS メモリ セルの 2 次元アレイで構成されます。アレイは、M 個のメモリ セル列と N 個のメモリ セル行の格子状に編成されます。図 5-13 を参照してください。マイクロミラーの正または負の傾斜角は、それぞれのメモリセルに「1」または「0」を書き込むことで個別に制御でき、これにより下層の CMOS アドレッシング回路のアドレス電圧が変化します。

信頼性の高い動作を保証するため、常に DLP991UUV DMD を TI DLPC964 産業用コントローラと組み合わせて使用します。

6.2 機能ブロック図



チャネル A、B、C、D のピンの詳細については、セクション 4、および セクション 5.8 の HSSI インターフェイスセクションを参照してください。
チャネル C とチャネル D は A と B と同じように接続されていますが、明確にするためにこの画像からは省略されています。

Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 電源インターフェイス

DLP991UUV DMD を適切に動作させるためには、5 つの DC 電圧が必要です。V_{DD}、V_{DDA}、V_{OFFSET}、V_{RESET} および V_{BIAS}。VDD/ VDDA 電源入力には、1.9V 電源が必要です。DMD には V_{OFFSET} (10V)、V_{RESET}(-14V)、V_{BIAS}(18V) を供給し、マイクロミラー作動制御を実現します。

6.3.2 タイミング

データシートには、デバイス ピンでのタイミングが記載されています。出力タイミング解析では、テスタのピン エレクトロニクスとその伝送ラインの影響を考慮に入れる必要があります。タイミング基準負荷は、特定のシステム環境を精密に表現したり、製造試験で示される実際の負荷を表現したりすることを意図したものではありません。システム設計者は、IBIS または他のシミュレーション ツールを使用して、タイミング基準負荷をシステム環境に関連付ける必要があります。記載されている負荷容量値は、AC タイミング信号の特性評価と測定のみを目的としています。この負荷容量の値は、デバイスが駆動可能な最大負荷を示しているわけではありません。

6.4 デバイスの機能モード

DMD の機能モードは、ディスプレイ コントローラによって制御されます。詳細については、『*DLPC964 デジタルマイクロミラーデバイスコントローラデータシート*』を参照するか、TI のアプリケーションエンジニアにお問い合わせください。

6.5 光学インターフェイスおよびシステムの画質に関する検討事項

注

TI は、前述の制限を超える光学システムの動作条件によって発生する画質のアーチファクトまたは DMD の故障については、一切責任を負いません。

TI は、最終製品の光学性能について一切責任を負いません。目的の最終製品の光学性能を実現するには、多数の部品とシステム設計パラメータとの間でトレードオフを決定する必要があります。システムの光学性能と画像品質の最適化は、光学システム設計のパラメータのトレードオフに大きく関係しています。想定可能なすべてのアプリケーションを予測できるわけではありませんが、プロジェクタの画質と光学性能は、以下のセクションに示す光学システムの動作条件への準拠によって決まります。

6.5.1 開口数および迷光制御

照明と投影光学素子の開口数で定義される角度は、照明および投影瞳孔に適切な開口部を追加して、投影レンズからの平面光および迷光をブロックする場合を除いて、公称デバイスのマイクロミラー傾斜角を超えないようにする必要があります。マイクロミラーの傾斜角により、DMD の「オン」光路をその他のライトパスから分離できます。これには、DMD ウィンドウからの望ましくない平面状態の反射、DMD の境界構造、または DMD 付近にあるプリズムやレンズ表面などのその他のシステム表面などが含まれます。開口数がマイクロミラーの傾斜角を超えていたり、投影側の数値開口角が照明側の数値開口角よりも 2 度以上大きい場合、ディスプレイの縁や表示領域内に目障りなアーティファクトが発生する可能性があります。

6.5.2 瞳孔一致

光学的品質および画質に関する TI の仕様は、照明用光学素子の射出瞳が公称値として投影光学素子の入射瞳から 2° 以内の位置を中心としていると仮定しています。瞳孔のずれは、ディスプレイ境界とアクティブ領域に不快なアーチファクトを発生させる可能性があり、特にシステムの開口数がピクセル チルト角度を超える場合は、制御するために追加のシステム開口部が必要になる場合があります。

6.5.3 オーバーフィル照射

デバイスのアクティブ領域は、DMD チップ アセンブリの構造を通常の視界から覆い隠す、DMD ウィンドウ面の内側にある開口部で囲まれ、複数の光学動作条件を想定したサイズとなっています。ウィンドウ開口部を照らすオーバーフィル光は、ウィンドウ開口部の端からアーチファクトが発生したり、その他の表面異常が画面に表示されたりする可能性があります。照明光学システムは、ウィンドウ開口部上の任意の場所に入射する光束が、アクティブ領域の平均光束レベルの約

10% を超えないように設計する必要があります。ウィンドウ開口部に照射される照明光の量を最小限に抑えることをお勧めします。

6.6 DMD 温度の計算

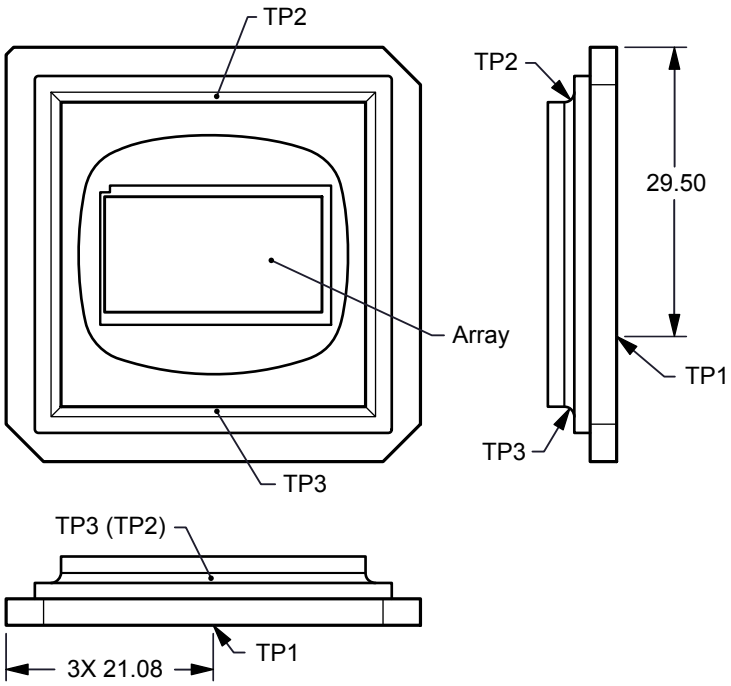


図 6-1. DMD の温度テスト ポイント

マイクロミラー アレイの温度は、パッケージ外部の測定点、パッケージの熱抵抗、電力消費、および照明による熱負荷から解析的に算出できます。マイクロミラー アレイの温度と基準セラミック温度との関係は、以下の式で示されます。

$$T_{MAX_ARRAY} = T_{CERAMIC} + (Q_{ARRAY} \times R_{MAX_ARRAY\text{-}TO\text{-}CERAMIC})$$

$$T_{MIN_ARRAY} = T_{CERAMIC} + (Q_{ARRAY} \times R_{MIN_ARRAY\text{-}TO\text{-}CERAMIC})$$

$$T_{DELTA_MIN} = [\text{minimum of TP2 or TP3}] - T_{MAX_ARRAY}$$

$$T_{DELTA_MAX} = [\text{maximum of TP2 or TP3}] - T_{MIN_ARRAY}$$

$$Q_{ARRAY} = Q_{ELECTRICAL} + Q_{ILLUMINATION}$$

ここで、

- T_{ARRAY} = 算出されたアレイ温度 (°C)
- $T_{CERAMIC}$ = 測定されたアレイ温度 (°C) (TP1 の場所)
- $R_{ARRAY\text{-}TO\text{-}CERAMIC}$ = アレイからセラミック TP1 までのパッケージの熱抵抗 (℃/ワット)
- Q_{ARRAY} =アレイ上の DMD 全体の消費電力 (ワット) (電力＋吸収光)
- $Q_{ELECTRICAL}$ = 公称電力
- $Q_{INCIDENT}$ = DMD に入射する光の総光学パワー
- $Q_{ILLUMINATION}$ = (DMD 平均熱吸収率 × $Q_{INCIDENT}$) (セクション 5.4 を参照。)
- DMD の平均熱吸収率 (オン状態) = 0.26
- DMD の平均熱吸収率 (オフ状態) = 0.42

Copyright © 2025 Texas Instruments Incorporated

DMD の消費電力は変数で、電圧、データ レート、動作周波数に依存します。アレイ温度を計算するには、DMD の電力損失($Q_{ELECTRICAL}$)として 9.5 ワットの値を使用します。照射用光源から吸収される電力は変数で、マイクロミラーの動作状態と光源の強度に依存します。上記の式は、システム内の各 DMD チップに対して有効です。この想定では、アクティブ アレイで 91.0%、アレイ境界で 9.0% の照度分布を想定しています。

オフ状態およびオン状態のサンプル計算を以下に示します。

6.6.1 オフ状態熱差動 (T_{DELTA_MIN})

TP1 (ceramic) = 20.0°C (measured)

TP2 (window) = 27.0°C (measured)

TP3 (window) = 29.0°C (measured)

$Q_{INCIDENT}$ = 20.0W (measured)

$Q_{ELECTRICAL}$ = 9.5W

$R_{MAX_ARRAY\text{-}TO\text{-}CERAMIC}$ = 0.55°C/W

Q_{ARRAY} = 9.5W + (20.0W × 0.42) = 17.9W

T_{MAX_ARRAY} = 20.0°C + (17.9W × 0.55°C/W) = 29.85°C

T_{DELTA_MIN} = [minimum of TP2 or TP3] -T_{MAX_ARRAY} = 27.0°C - 29.85°C = -2.85°C

6.6.2 オン状態の熱差動 (T_{DELTA_MAX})

TP1 (ceramic) = 20.0°C (measured)

TP2 (window) = 27.0°C (measured)

TP3 (window) = 29.0°C (measured)

$Q_{INCIDENT}$ = 20.0W (measured)

$Q_{ELECTRICAL}$ = 9.5W

$R_{MIN_ARRAY\text{-}TO\text{-}CERAMIC}$ = 0.30°C/W

Q_{ARRAY} = 9.5W + (20.0W × 0.26) = 14.7W

T_{MIN_ARRAY} = 20.0°C + (14.7W × 0.30°C/W) =24.41°C

T_{DELTA_MAX} = [maximum of TP2 or TP3] -T_{MIN_ARRAY} = 29.0°C - 24.41°C = 4.59°C

6.7 マイクロミラーの電力密度の計算

さまざまな波長帯域で DMD 上の照明の光出力密度を計算するには、DMD で測定された合計光出力、照明のオーバーフィル率、アクティブ アレイの面積、目的の波長帯域でのスペクトルの合計光出力に対する比率を使用します。

- $ILL_{UV7} = [OP_{UV\text{-}RATIO} \times Q_{INCIDENT}] \times 1000$ (mW/W) ÷ A_{ILL} (mW/cm^2)
- $ILL_{UV6} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV5} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV4} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV3} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV2} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV1} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{VIS} = [OP_{BLU1\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $A_{ILL} = A_{ARRAY} \div (1 - OV_{ILL})$ (cm^2)

ここで

- ILL_{UV7} = DMD での UV7 照明の電力密度 (mW/cm^2)
- ILL_{UV6} = DMD での UV6 照明の電力密度 (W/cm^2)
- ILL_{UV5} = DMD での UV5 照明の電力密度 (W/cm^2)
- ILL_{UV4} = DMD での UV4 照明の電力密度 (W/cm^2)
- ILL_{UV3} = DMD での UV3 照明の電力密度 (W/cm^2)
- ILL_{UV2} = DMD での UV2 照明の電力密度 (W/cm^2)
- ILL_{UV1} = DMD での UV1 照明の電力密度 (W/cm^2)
- ILL_{UV} = DMD での UV 照明の電力密度 (W/cm^2)
- ILL_{VIS} = DMD での VIS 照明の電力密度 (W/cm^2)
- A_{ILL} = DMD での照明領域 (cm^2)
- $Q_{INCIDENT}$ = DMD での総入射光パワー (W) (測定値)
- A_{ARRAY} = アレイの面積 (cm^2) (データ シート)
- OV_{ILL} = アレイ外の DMD の総照明パーセント (%) (光学モデル)
- $OP_{UV7\text{-}RATIO}$ = 照明スペクトルにおける、波長が 341nm 未満の光パワーの合計に対する、総光パワーに対する比率 (スペクトル測定)
- $OP_{UV6\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 343nm 以上 345nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{UV5\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 345nm 以上 355nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{UV4\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 355nm 以上 365nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{UV3\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 365nm 以上 385nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{UV2\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 385nm 以上 400nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{UV1\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 400nm 以上 410nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{UV\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 365nm 以上 410nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{VIS\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 800nm 以下の場合の光出力比 (スペクトル測定)

照明領域は、照明オーバーフィルによって異なります。DMD 上の総照明領域は、アレイ領域と、アレイの周囲のオーバーフィル領域です。光学モデルを使用して、アレイの外部にある DMD 上の全照明の割合 (OV_{ILL}) と、アクティブ アレイ

Copyright © 2025 Texas Instruments Incorporated

上にある全照明の割合を決定します。これらの値から、照明領域 (A_{ILL}) が計算されます。照明は、アレイ全体で一様であると仮定します。

測定された照明スペクトルから、総光出力に対する、対象の波長帯域における光出力との比が計算されます。

サンプル計算 - 照明 365nm ~ 410nm

$Q_{INCIDENT}$ = 33.5W (measured)

A_{ARRAY} = (22.1184mm × 11.7504mm) ÷ 100 (mm/cm) = 2.599cm^2 (data sheet)

OV_{ILL} = 9% (optical model)

$OP_{UV3\text{-}RATIO}$ = 0.49962 (spectral measurement)

$OP_{UV2\text{-}RATIO}$ = 0.49962 (spectral measurement)

$OP_{UV1\text{-}RATIO}$ = 0.00076 (spectral measurement)

A_{ILL} = 2.599cm^2 ÷ (1 – 0.09) = 2.8560cm^2

ILL_{UV} = [1.0 × 33.5W] ÷ 2.8560cm^2 = 11.730W/cm^2

ILL_{UV3} = [0.49962 × 33.5W] ÷ 2.8560cm^2 = 5.860W/cm^2

ILL_{UV2} = [0.49962 × 33.5W] ÷ 2.8560cm^2 = 5.860W/cm^2

ILL_{UV1} = [0.00076 × 33.5W] ÷ 2.8560cm^2 = 0.009W/cm^2

6.8 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル

6.8.1 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクルの定義

マイクロミラーのオン/オフ着地デューティ サイクル (着地デューティ サイクル) は、個々のマイクロミラーが「オン」状態に着地している時間の割合(%) を、「オフ」状態に着地している時間と比較したものを示します。

たとえば、ランディッド デューティ サイクルが 75/25 の場合、対象のピクセルは全体の 75% の時間「オン」状態（25%は「オフ」状態）にあることを意味します。一方、25/75 の場合は、そのピクセルが全体の 75% の時間「オフ」状態にあることを示します。同様に、50/50 はピクセルがオン状態の時間 50%、オフ状態の時間 50% になっていることを示します。

なお、ランデッド デューティ サイクルを評価する際、一方の状態 (オンまたはオフ) から他方の状態 (オフまたはオン) に切り替わるのに要する時間は無視できるものと見なされます。

マイクロミラーはどちらか一方の状態 (オンまたはオフ) でしか着地できないため、2 つの数値 (パーセンテージ) の合計は必ず 100 になります。

6.8.2 DMD のランデッド デューティ サイクルと有効寿命

(最終製品またはアプリケーションの) 長期平均ランデッド デューティ サイクルを把握することが重要です。DMD マイクロミラー アレイ (アクティブ アレイとも呼ばれます) のすべて (または一部) を非対称ランデッド デューティ サイクルに長時間適用すると、DMD の有効寿命が短くなるためです。

ランデッド デューティ サイクルの対称性 / 非対称性が関連することに注意してください。ランデッド デューティ サイクルの対称性は、2 つの数値 (パーセンテージ) がどれだけ等しいかによって決まります。たとえば、50/50 のランデッド デューティ サイクルは完全に対称ですが、100/0 または 0/100 のランデッド デューティ サイクルは完全に非対称です。

6.8.3 製品またはアプリケーションの長期平均ランデッド デューティ サイクルの推定

所定の期間中、特定のピクセルのランデッド デューティサイクルは、そのピクセルによって表示される画像内容から追従します。

たとえば、最も単純なケースでは、ある一定の期間、あるピクセルに純粋な白を表示する場合、そのピクセルはその期間中に 100/0 ランデッド デューティサイクル下で動作します。同様に、純粋な黒を表示する場合、ピクセルは 0/100 ランデッド デューティサイクル下で動作します。

この 2 つの極端な値の間 (入力画像に適用される色と画像処理をとりあえず無視します)、ランデッド デューティ サイクルは、表 6-1 に示すように、グレイスケール値で 1 対 1 を追跡します。

表 6-1. グレイスケール値とランデッド デューティ サイクル

グレイスケール値	ランデッド デューティ サイクル
0%	0/100
10%	10/90
20%	20/80
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10
100%	100/0

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

テキサス インスツルメンツの DLP テクノロジーは、デジタル マイクロミラー デバイス (DMD) を使用して光を変調する微小電気機械システム (MEMS) 技術です。DMD は 890 万個強のマイクロミラーを内蔵でき、さまざまな解像度とサイズで提供されています。DMD の各マイクロミラーは独立して制御され、照明装置やカメラと同期させることができるため、さまざまなアプリケーションを実現できます。DLP 技術は、世界中のさまざまな産業製品を実現しています。これには、大型リソグラフィー機器に組み込まれたデジタルイメージングエンジンから、高解像度の 3D プリンティング機器までが含まれます。

テキサス インスツルメンツの最新のチップセットは、SST という画期的なマイクロミラー技術に基づいています。5.4µm の小さなピクセルピッチと 12 度の傾斜角を持つ SST チップセットは、より高い解像度を小型のフォームファクタで実現し、優れた画像処理機能を提供しながら、高い光学効率を維持します。DLP チップセットは、高速変調で高解像度のプロジェクションを実現するあらゆるシステムに最適です。

7.2 代表的なアプリケーション

DLP991UUV DMD は、4096 × 2176 の解像度を持つ DLP デジタル マイクロミラー デバイスです。TI の DLPC964 産業用コントローラおよびその他の電気的・光学的・機械的部品と組み合わせることで、DLP991UUV DMD は産業用ダイレクト イメージングや 3D プリンタ用途に優れたシステムを提供します。DLP991UUV DMD を使用した代表的なシングル チップ システム アプリケーションを図 7-1 に示します。

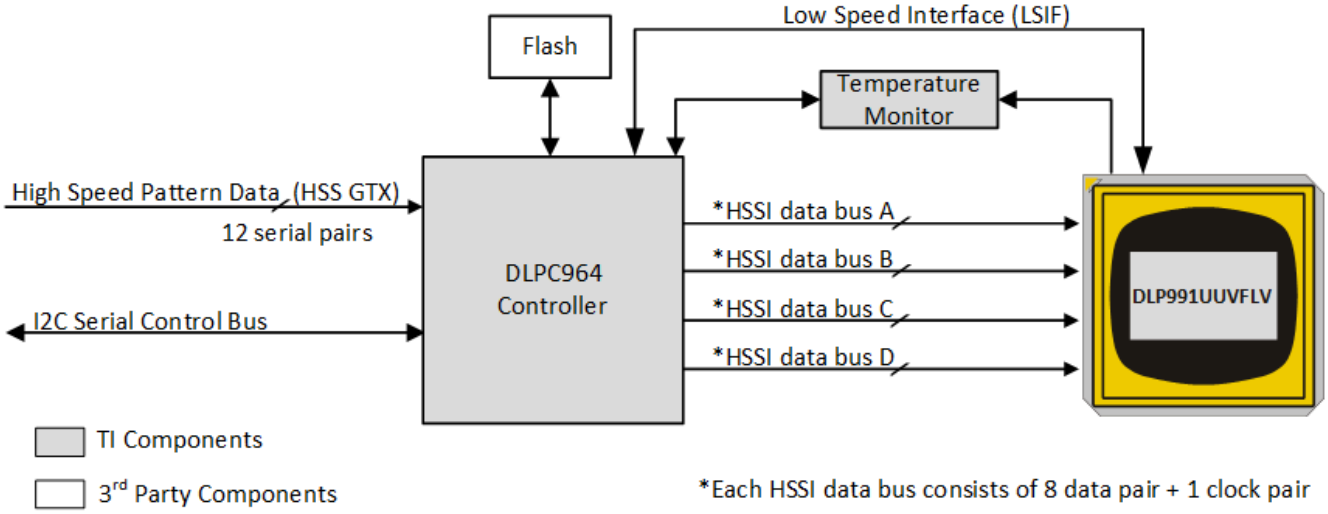


図 7-1. 代表的な DLP991UUV アプリケーション図

表 7-1. DMD の概要

DMD	ARRAY	単一行のロード時間 (ns)	単一ブロックの読み込み時間 (µs)	グローバル リセット モード フルアレイ (パターン/秒)	クワッド ブロック リセット モード フルアレイ (パターン/秒)
DLP991UUV	4096 × 2176	37.09	5.04	11,273	12,390

7.2.1 設計要件

高レベルでは、DLP991UUV DMD システムは、照明光源、光学エンジン、電子部品、およびソフトウェアで構成されています。設計者はまず、照明光源を選定し、光学系と照明光源の関係を考慮しながら光学エンジンを設計する必要があります。次に設計者は、DMD システムにおける電子部品について理解する必要があります。アプリケーション用の PCB ボードは、DLP991UUV DMD を駆動・制御するために必要なすべての電子部品をサポートしており、これには DLPC964 産業用コントローラ、電源、DMD デバイスなどが含まれます。

7.2.2 詳細な設計手順

DLPC964 産業用コントローラと DLP991UUV DMD の間の電気接続を設計する際、お客様をサポートするために、TI はリファレンス設計の回路図およびレイアウトガイドラインを提供しています。信頼性の高いプロジェクションサブシステムを実現するために、これらのガイドラインに従うことを推奨します。DLP システムを完成させるには、DMD、関連する照明光源、光学要素、必要な機械部品、さらに推奨される熱設計の概念とガイドラインを含む光学モジュールまたはライトエンジンが必要です。

Copyright © 2025 Texas Instruments Incorporated

7.3 DMD ダイ温度センシング

DMD には、マイクロミラー アレイの外側にあるダイの一角の温度を測定するための内蔵サーマル ダイオードが搭載されています。サーマルダイオードは、図 7-2 に示すように TMP461 温度センサと接続できます。TMP461 からのシリアル バスは DLPC964 産業用コントローラに接続することで、温度検知機能を有効にできます。温度の読み取り値を照会する方法の詳細については、『DLPC964 産業用コントローラのデータシート』を参照してください。

DLPC964 インダストリアル コントローラは、TMP461 を設定して DMD 温度センサ ダイオードを読み取ることができます。このデータは、照明のパワー調整、ファンの回転速度、アクティブ冷却の温度や流量など、全体システム設計に追加機能を組み込むために活用できます。I^2C インターフェイスを使用して、TMP461 と DLPC964 コントローラ間のすべての通信を完了します。ピン構成および機能に概要を示したように、TMP461 はピン E23 と F22 を経由して DMD に接続されます。

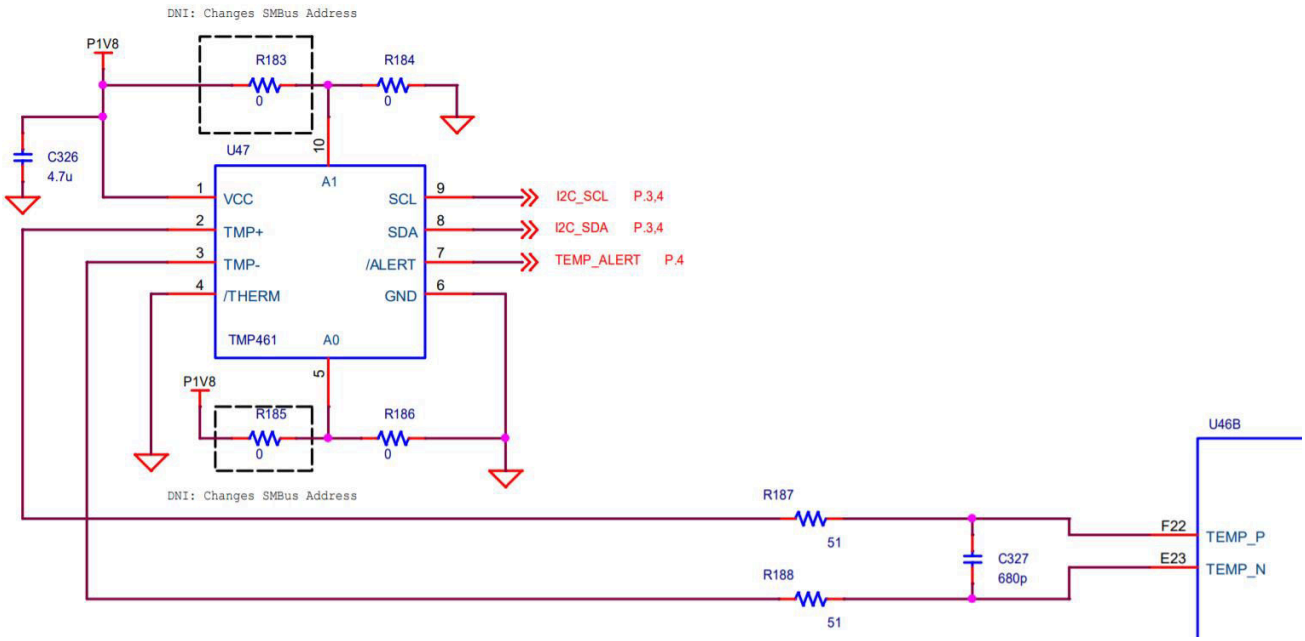


図 7-2. 温度センサのシステム基板の配線例

1. わかりやすくするため、詳細は省略しています。DLPC964 産業用コントローラへの接続については、TI リファレンス デザインを参照してください。
2. システム基板レイアウトの推奨事項については、『TMP461 高精度、リモートおよびローカル温度センサ、ピンプログラマブルバスアドレス付きデータシート』を参照してください。
3. R1、R2、R3、R4、C1 の推奨部品の値については、『TMP461 高精度、リモートおよびローカル温度センサ、ピンプログラマブルバスアドレス付きデータシート』および TI のリファレンスデザインを参照してください。
4. R5 = 0Ω。R6 = 0Ω。0 Ω の抵抗は、DMD パッケージのピンの近くに配置する必要があります。

8 電源に関する推奨事項

DMD の動作には、以下の電源装置がすべて必要です。V_{DD}、V_{DDA}、V_{BIAS}、V_{OFFSET} および V_{RESET}。DMD のパワーアップ / パワーダウン シーケンシングは、DLP ディスプレイ コントローラによって厳密に制御されます。

注

DMD を確実に動作させるには、以下の電源シーケンシング要件に従う必要があります。規定されたパワーアップおよびパワーダウン要件のいずれかに準拠しない場合、デバイスの信頼性に影響を及ぼす可能性があります。*DMD 電源シーケンシング要件*を参照してください。

V_{DD}、V_{DDA}、V_{BIAS}、V_{OFFSET}、V_{RESET} 電源をパワーアップおよびパワーダウン動作時に調整する必要があります。以下の各要件のいずれかに適合していない場合、DMD の信頼性と寿命が大幅に低下します。共通のグランド VSS も接続する必要があります。

表 8-1. 電源シーケンス要件

記号	パラメータ	説明	最小値	標準値	最大値	単位
t_{DELAY}	遅延要件	V_{OFFSET} パワーアップから V_{BIAS} パワーアップまで	2			ms
V_{OFFSET}	電源電圧レベル	パワーアップ シーケンスの遅延の開始時(1)			6	V
V_{BIAS}	電源電圧レベル	パワーアップ シーケンスの遅延の終了時(1)			6	V

(1) 「シーケンスの遅延の要件」を参照してください。

8.1 DMD 電源のパワーアップ手順

- パワーアップ時には常に、V_{OFFSET} に 表 8-2 で指定された Delay1 を加えた電圧、V_{BIAS}、および V_{RESET} 電圧が DMD に印加される前に、V_{DD} および V_{DDA} が起動および安定する必要があります。
- パワーアップ時には、V_{BIAS} と V_{OFFSET} の電圧差が、セクション 5.4 に示される指定限界内でなければならないという厳しい要件があります。
- パワーアップ中、V_{BIAS} を基準とした V_{RESET} の相対タイミングは不要です。
- 過渡電圧レベルが、セクション 5.1、セクション 5.4 で規定されている要件に従えば、パワーアップ時の電源スルーレートを柔軟に設定できます。
- パワーアップ時には、V_{DD} および V_{DDA} が セクション 5.4 に記載されている動作電圧まで安定するまで、LVCMOS 入力ピンを High にしないでください。

8.2 DMD 電源のパワーダウン手順

- パワーダウン時には、V_{BIAS}、V_{RESET}、および V_{OFFSET} がグランドの指定限界内で放電されるまで、V_{DD} および V_{DDA} を供給する必要があります。表 8-2 を参照してください。
- パワーダウン時には、V_{BIAS} と V_{OFFSET} の電圧デルタが、セクション 5.4 に示される指定限界内でなければならないという厳しい要件があります。
- パワーダウン中、V_{BIAS} を基準とした V_{RESET} の相対タイミングは不要です。
- 過渡電圧レベルが、セクション 5.1、セクション 5.4 で規定されている要件に従えば、パワーダウン時の電源スルーレートを柔軟に設定できます。
- パワーダウン時は、LVCMOS 入力ピンをセクション 5.4 で 規定されている値未満にする必要があります。

Copyright © 2025 Texas Instruments Incorporated

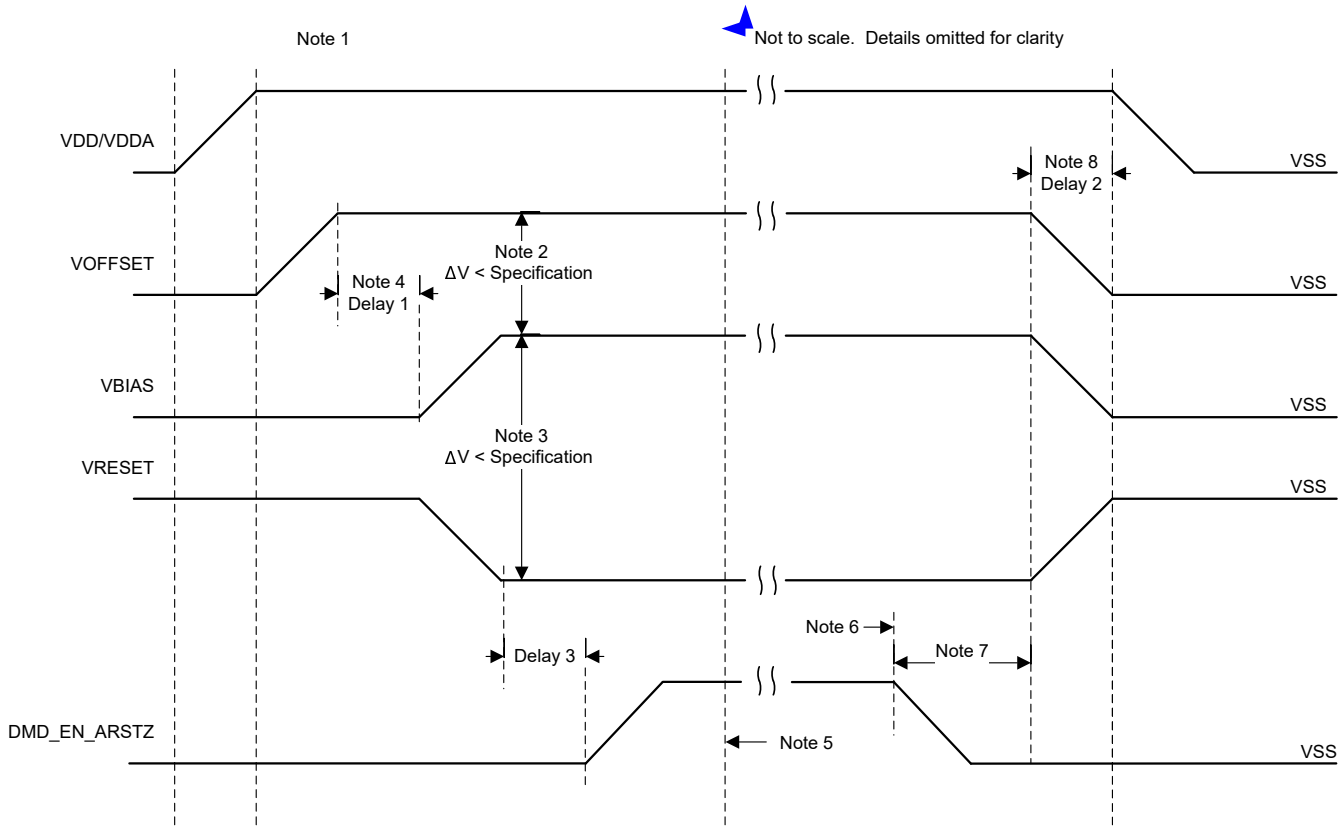


図 8-1. DMD 電源要件

1. ピン構成および機能 を参照してください。
2. 過剰な電流を防止するため、電源電圧のデルタ $|V_{BIAS} – V_{OFFSET}|$ は、セクション 5.4 で指定されている限界値よりも小さい必要があります。
3. 過剰な電流を防止するため、電源電圧のデルタ $|V_{BIAS} – V_{RESET}|$ は、セクション 5.4 の指定限界値よりも小さい必要があります。
4. V_{BIAS} は、V_{OFFSET} がパワーアップした後に、表 8-2 の Delay1 仕様に従ってパワーアップする必要があります。
5. DLP コントローラ ソフトウェアにより、グローバル V_{BIAS} コマンドが開始されます。
6. DMD のマイクロミラー パーク シーケンスの完了後、DLP コントローラ ソフトウェアはハードウェア パワーダウンを開始し、DMD_EN_ARSTZ を有効にして、V_{BIAS}、V_{RESET}、V_{OFFSET} を無効化します。
7. 電力損失条件下で、DLP コントローラのハードウェア DMD_EN_ARSTZ によって緊急 DMD マイクロミラー パーク手順が実行されている場合は、Low になります。
8. 表 8-2 の Delay2 仕様に準拠して、V_{OFFSET}、V_{BIAS}、および V_{RESET} が Low になるまで、V_{DD} は High に維持する必要があります。
9. 過剰な電流を防止するため、電源電圧のデルタ $|V_{DDA} – V_{DD}|$ は、セクション 5.4 の指定限界値よりも小さい必要があります。

表 8-2. DMD 電源要件

パラメータ	説明	最小値	公称値	最大値	単位
Delay1	V_{OFFSET} が推奨動作電圧で安定してから、V_{BIAS} および V_{RESET} のパワーアップまでの遅延	1	2		ms
Delay2	V_{OFFSET}、V_{BIAS}、および V_{RESET} のパワーダウンから遅延 V_{DD} を High に保持する必要があります。	50			µs
Delay3	V_{BIAS} および V_{RESET} が推奨動作電圧で安定してから、DMD_EN_ARSTZ がアサートされるまでの遅延。	20			µs

9 レイアウト

9.1 レイアウトのガイドライン

これらのガイドラインは、DLP991UUV DMD を使用した PCB 基板の設計を対象としています。DMD 基板は、高速デジタルロジックを主体とした高速多層 PCB で、DMD まで接続される 3.6Gbps の差動データバスを含みます。TI は、V_{OFFSET}、V_{RESET}、および V_{BIAS} には、フルまたはミニ電源プレーンを使用することを推奨しています。グランドにはソリッド プレーンが必要です。表 9-2 に示すように、PCB 上のシングルエンド トレースの目標インピーダンスは、差動トレースの場合 50 Ω±10% および 100 Ω±10% です。TI では、高品質の FR-4 材料を使用して PCB を製造することを推奨します。

9.1.1 PCB 設計規格

業界設計仕様に示す業界仕様に従って PCB を設計および構築します。

表 9-1. 業界設計仕様

業界仕様	適用
IPC-2221 および IPC-2222、クラス 2、レベル B の製造容易性に準拠	ボード設計
IPC-6011 および IPC-6012、クラス 2	PWB 製造
IPC-SM-840、クラス 3	PWB 半田マスクを完成
UL94V-0 可燃性定格およびマーキング	完成 PWB
UL796 定格およびマーキング	完成 PWB

9.1.2 一般的な PCB 配線

9.1.2.1 パターンのインピーダンスと配線の優先度

TI は、最高の性能を得るために、単端信号に対して PCB の目標インピーダンスを 50Ω ±10% にすることを推奨しています。100 Ω±10% の差動信号については、表 9-2 を参照してください。

表 9-2. パターンのインピーダンス

信号	差動インピーダンス
HSSI DMD インターフェイス - DMD_D_(A、B、C、D)[7:0]、DMD_DCLK_(A、B、C、D)	100Ω 差動
DMD LS インターフェイス - DMD_LS_CLK、DMD_LS_WDATA	100Ω 差動

表 9-3 に、信号の配線優先度を示します。

表 9-3. ルーティングの優先度

信号	優先順位
HSSI DMD インターフェイス - DMD_D_(A、B、C、D)[7:0]、DMD_DCLK_(A、B、C、D)	1
DMD LS インターフェイス - DMD_LS_CLK、DMD_LS_WDATA	2
他のすべての信号	3

9.1.2.2 PCB 層構成の例

システムの設計要件を満たすため、PCB 層の設計に細心の注意を払う必要があります。表 9-4 は、PCB スタックアップの例を示します。HSSI DMD 入力インターフェイスを構成する高速差動信号の信号整合性を最大化するために、差動信号は内部層に配線され、安定したグランド プレーンを基準として配置されています。DMD ボードの信号整合性をさらに向上させるために、HSSI DMD 入力インターフェースの性能を高める目的で、信号の立ち上がり速度を改善できる誘電体材料として Nelco N4000-13 SI が使用されています。

Copyright © 2025 Texas Instruments Incorporated

表 9-4. PCB 層構成の例

レイヤ番号	レイヤ名	銅の重量	備考
1	サイド A - 主要コンポーネント	½ oz (メッキ前)	電源回路やデータ入力コネクタを含む上面のコンポーネント。低周波信号の配線取り回し。銅箔 (GND) の厚さを最大 1oz にメッキすることを希望します。#2 層のインピーダンスリファレンス。
2	信号 (高周波)	½ オンス	高速信号層。入力コネクタから DMD への高速差動データバス。データ ラインは、第 1 層のグランド プレーンの下に保持されます。
3	グランド	½ オンス	信号層 #2 および #4 に対するリファレンスとしてのソリッド グランド プレーン (GND ネット)
4	信号 (高周波)	½ オンス	高速信号層。入力コネクタから DMD への高速差動データバス
5	グランド	½ オンス	信号層 #4、#6 のソリッド グランド プレーン (ネット GND) リファレンス
6	信号 (高周波)	½ オンス	高速信号層。入力コネクタから DMD への高速差動データバス
7	グランド	½ オンス	信号層 #6、8 のソリッド グランド プレーン (ネット GND) のリファレンス
8	サイド B - DMD、電源プレーン、および 2 次部品	½ oz (メッキ前)1	DMD とエスケープデータ入力コネクタ。1.8V、3.3V、10V、-14V、18V 用の 1 次側分割電源プレーン。必要に応じて個別部品を使用。低周波信号の配線取り回し。銅箔の厚さを最大 1oz にメッキすることを希望します。

1. DLP991UUV DMD の機械的 ICD 図面に記載されているとおり、DMD デバイスのパッドは、30 マイクロインチ以上の電解金の下に、50 ～ 100 マイクロインチの電解ニッケルでメッキされている必要があります。

9.1.2.3 パターン幅、間隔

特に指定がない限り、TI はすべての信号が 0.005 インチ/0.0015 インチ (トレース幅/スペーシング)の設計ルールに従うことを推奨しています。インピーダンスおよびスタックアップ要件の分析を使用して、実際のトレース幅を決定し、計算します。

スペースが許す限り、すべての電圧信号の幅を最大化します。

表 9-5 および表 9-6 に記載されている幅と間隔の要件に従ってください。

表 9-5. パターンの最小間隔

信号	PWR	GND	シングル エンド	差動ペア	単位
				ペアツーペア	
PWR	15	5	15	15	ミル
GND	5		5	5	ミル
HSSI DMD インターフェイス - DMD_D_(A、B、C、D)[7:0]、DMD_DCLK_(A、B、C、D)、	15	5	3x ペア内 (P-to-N) 間隔	3x ペア内 (P-to-N) 間隔	ミル
DMD LS インターフェイス - DMD_LS_CLK、DMD_LS_WDATA、DMD_LS_RDATA_(A、B、C、D)	15	5	トレース幅の 3 倍	3x ペア内 (P-to-N) 間隔	ミル
他のすべての信号	15	5	トレース幅の 3 倍	3x ペア内 (P-to-N) 間隔	ミル

表 9-6. 電圧パターンの幅と間隔に関する推奨事項

信号名	最小値パターン幅 (mil)	最小値パターン間隔 (mil)	レイアウト要件
GND	最大値	5	接続ピンへのパターン幅を最大化します。
P3P3V	40	15	必要に応じて、レイヤ 8 にミニプランを作成します。必要に応じて、複数のビアを使用してレイヤ 1 と 8 のデバイスに接続します。
P1P9V	40	15	必要に応じて、レイヤ 8 にミニプランを作成します。必要に応じて、複数のビアを使用してレイヤ 1 と 8 のデバイスに接続します。帰還抵抗分割回路は、DMD の P1P9V 負荷ピンの近くに配置する必要があります。
V_OFFSET (10V)	40	15	必要に応じて、レイヤ 8 にミニプランを作成します。必要に応じてレイヤ 1 とレイヤ 8 のデバイスに接続します。
V_RESET (-14V)	40	15	必要に応じて、レイヤ 8 にミニプランを作成します。必要に応じてレイヤ 1 とレイヤ 8 のデバイスに接続します。
V_BIAS (18V)	40	15	必要に応じて、レイヤ 8 にミニプランを作成します。必要に応じてレイヤ 1 とレイヤ 8 のデバイスに接続します。

9.1.2.4 電源およびグランド プレーン

TI は、電源プレーンや電源プレーンに隣接するプレーン上での信号配線を強く避けるよう推奨しています。信号が電源プレーンに隣接するレイヤで配線される必要がある場合、EMI を防止し、信号の整合性を保つために、信号は電源プレーンの分割部分を越えてはなりません。

すべての内部デジタル グランド (GND) プレーンは、可能な限り多くの場所に接続します。すべての内部グランド プレーンは、接続間の最小距離が 0.5 インチになるように接続してください。デバイスの通常のグランド接続により十分なグラウンド ビアがある場合、追加のビアは必要ありません。

各部品の電源ピンおよびグランドピンは、少なくとも 1 つのビアを使用して電源プレーンおよびグランドプレーンに接続します。部品の電源ピンおよびグランド ピンのトレース長は最小限に抑えます (0.100 インチ未満)。

グランド プレーン スロットは推奨しません。

9.1.2.5 パターン長の一致

9.1.2.5.1 HSSI 入力バス スキュー

高速シリアル DMD インターフェイスの配線制約 に、高速シリアル DMD インターフェイスの配線の制約事項を示します。

表 9-7. 高速シリアル DMD インターフェイスの配線制約

信号	リファレンス信号	配線仕様	単位
DMD_D_A{0…7}_P, DMD_D_A{0…7}_N	DMD_DCLK_A_P, DMD_DCLK_A_N	±45	ps
DMD_D_B{0…7}_P、 DMD_D_B{0…7}_N	DMD_DCLK_B_P、 DMD_DCLK_B_N	±45	ps

Copyright © 2025 Texas Instruments Incorporated

表 9-7. 高速シリアル DMD インターフェイスの配線制約 (続き)

信号	リファレンス信号	配線仕様	単位
DMD_D_C{0…7}_P、 DMD_D_C{0…7}_N	DMD_DCLK_C_P、 DMD_DCLK_C_N	±45	ps
DMD_D_D{0…7}_P、 DMD_D_D{0…7}_N	DMD_DCLK_D_P、 DMD_DCLK_D_N	±45	ps
DMD_D_A bus	DMD_D_B bus	±45	ps
DMD_D_C bus	DMD_D_D bus	±45	ps
DMD_D_A bus	DMD_D_C bus	±45	ps
Intra-pair P	Intra-pair N	±2	ps

9.1.2.5.2 その他のタイミング クリティカルな信号

その他のタイミング クリティカルな信号 に、他のタイミングが重要な信号について考慮する必要のある配線制約を示します。

表 9-8. その他のタイミング クリティカルな信号

信号	制約
DMD_LS_CLK_P、 DMD_LS_CLK_N DMD_LS_WDATA_P、 DMD_LS_WDATA_N、 DMD_LS_RDATA_{A、B、C、D}	ペア内 (P-to-N) は ±2ps 内でマッチングされました。差動ペアは互いに ±45ps 以内でマッチングしました。

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 デバイスの命名規則

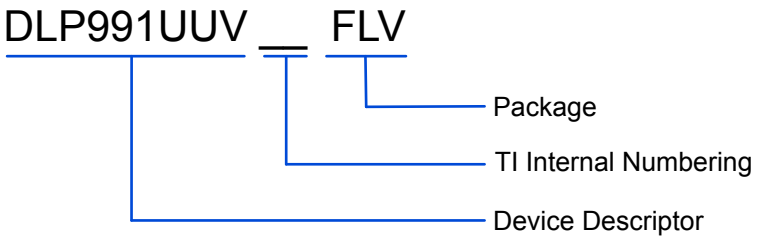


図 10-1. 部品番号の説明

10.1.2 デバイスのマーキング

デバイスのマーキングには、人間が読める情報と 2 次元マトリクス コードの両方を使用しています。人間が読める情報を図 10-2 に示します。2 次元のマトリクス コードは英数字の文字列で、DMD 型番、シリアル番号のパート 1、シリアル番号のパート 2 が含まれます。DMD シリアル番号 (パート 1) の最初の文字は製造年です。DMD シリアル番号 (パート 1) の 2 番目の文字は製造月です。

例: DLP991UUVFLV GHXXXXX LLLLLLM

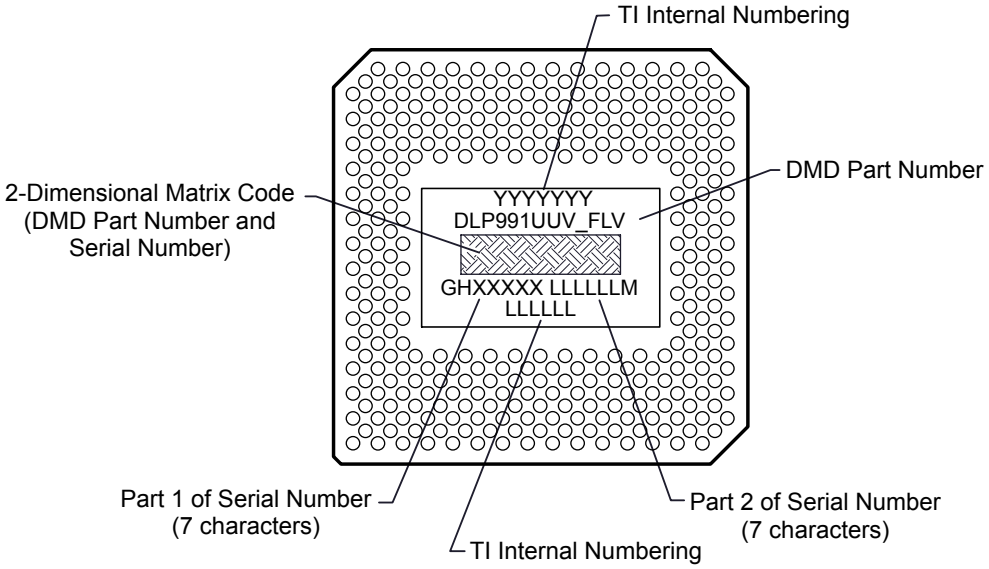


図 10-2. DMD のマーキング位置

10.2 ドキュメントのサポート

10.2.1 関連資料

次のドキュメントには、DLP991UUVFLV DMD とともに使用されるチップセット コンポーネントについての追加情報が掲載されています。

- *『DLPC964 ディスプレイコントローラ』データシート*

Copyright © 2025 Texas Instruments Incorporated

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (March 2025) to Revision A (June 2025)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

12.1 付録：パッケージ オプション

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP991UUVFLV	Active	Production	CLGA (FLV) | 321	12 | OTHER	Yes	NIPDAU	N/A for Pkg Type	-40 to 90	
XDLP991UUVFLV	Active	Preproduction	CLGA (FLV) | 321	12 | OTHER	-	Call TI	Call TI	45 to 70	
XDLP991UUVFLV.B	Active	Preproduction	CLGA (FLV) | 321	12 | OTHER	-	Call TI	Call TI	-40 to 90	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

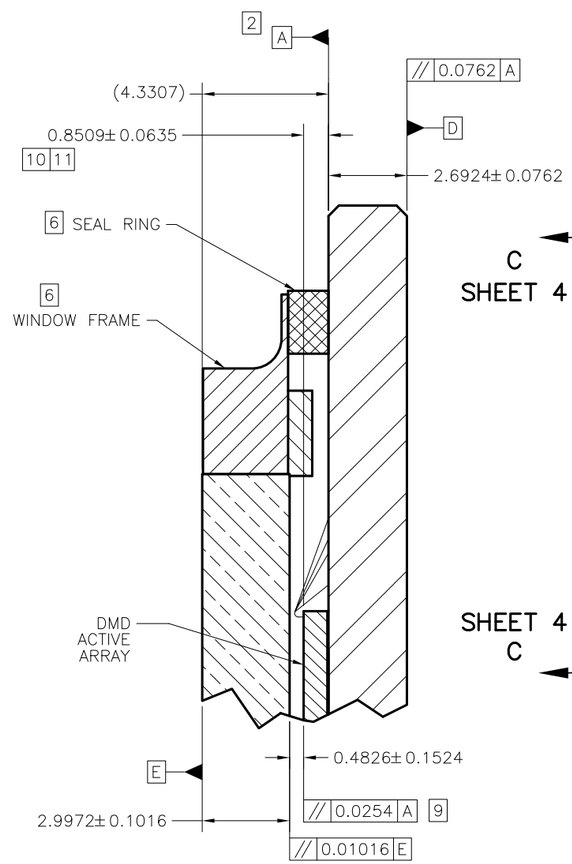
© COPYRIGHT 2022 TEXAS INSTRUMENTS UN-PUBLISHED, ALL RIGHTS RESERVED.

REVISIONS

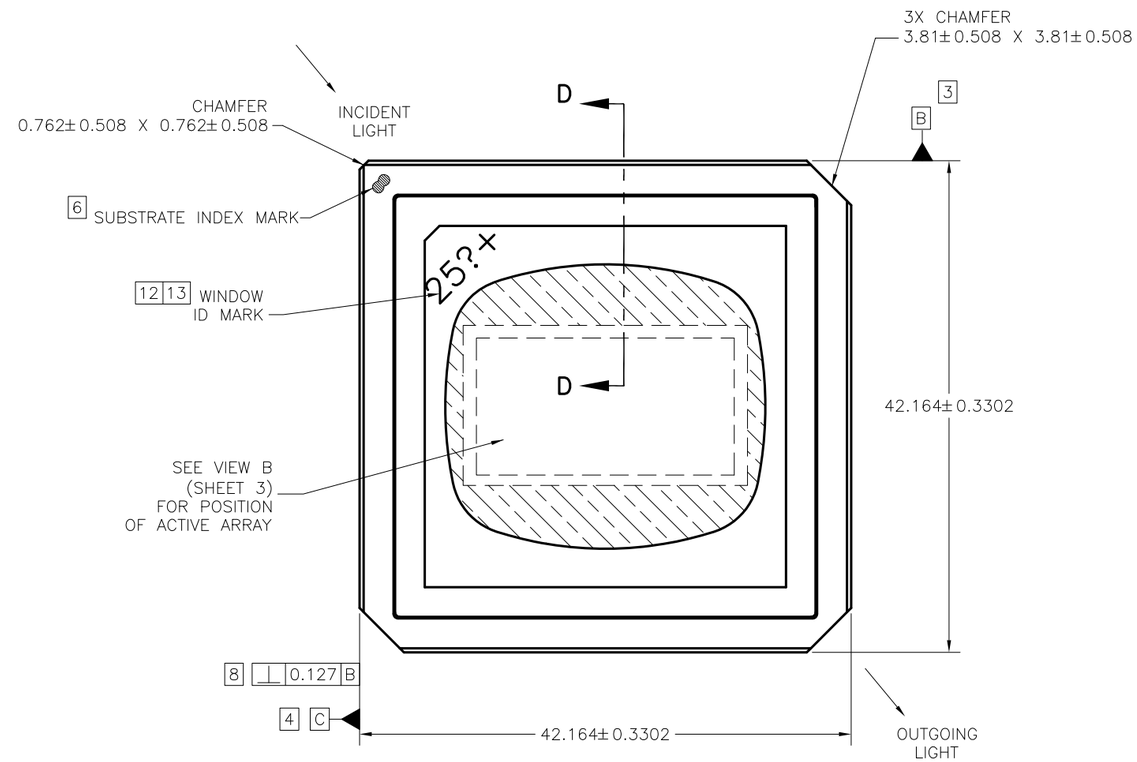
REV	DESCRIPTION	DATE	APPROVED
A	ECO 2200657, INITIAL RELEASE FOR 1C	07/12/2022	F. ARMSTRONG

NOTES: UNLESS OTHERWISE SPECIFIED:

1. INTERPRET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5M–1994.
2. DATUM A (SYSTEM INTERFACE PLANE) ESTABLISHED BY THREE DATUM AREAS SHOWN IN VIEW A (SHEET 2).
3. DATUM B ESTABLISHED BY TWO DATUM AREAS SHOWN IN VIEW A (SHEET 2).
4. DATUM C ESTABLISHED BY DATUM AREA SHOWN IN VIEW A (SHEET 2).
5. LOCALIZED BACKSIDE SURFACE FLATNESS APPLIES TO ENTIRE SURFACE.
6. SUBSTRATE INDEX MARK, BACK INDEX PAD, SYMBOLIZATION PAD, SEAL RING, AND WINDOW FRAME TO BE ELECTRICALLY CONNECTED TO VSS PLANE IN SUBSTRATE.
7. ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND IS THE MAXIMUM VALUE ALLOWED.
8. SUBSTRATE EDGE PERPENDICULARITY TOLERANCE APPLIES TO ENTIRE SURFACE.
9. DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY.
10. DIE HEIGHT TOLERANCE APPLIES TO CENTER OF DMD ACTIVE ARRAY ONLY.
11. DMD ACTIVE ARRAY ROTATION AND LOCATION DIMENSIONS ARE RELATED TO DATUM A (PRIMARY), DATUM B (SECONDARY), AND DATUM C (TERTIARY).
12. WINDOW SHALL BE ORIENTED SUCH THAT I.D. MARK ALIGNS WITH SUBSTRATE INDEX MARK AS SHOWN.
13. ? IS A WILD CARD CHARACTER AND CAN BE ANY LETTER.
14. SUBSTRATES PLATED WITH Ni/Pd/Au SHALL HAVE THE THREE–DIGIT NUMERICAL MARKING IN THE SYMBOLIZATION PAD, AS SHOWN. SUBSTRATES WITH Ni/Au SHALL HAVE THE SAME MARKING, BUT ROTATED RIGHTSIDE–UP.



SECTION D–D
SCALE 10/1



QTY	ITEM NO	PART OR IDENTIFYING NUMBER	NOMENCLATURE OR DESCRIPTION	NOTES

PARTS LIST

UNLESS OTHERWISE SPECIFIED
- DIMENSIONS ARE IN MILLIMETERS
- TOLERANCES: ANGLES ± 1°
  3 PLACE DECIMALS ±0.127
  2 PLACE DECIMALS ±0.254
- REMOVE ALL BURRS AND SHARP EDGES
- CONCENTRICITY MACHINED DIAMETERS 0.254 FIM
- ~~DIMENSIONAL LIMITS APPLY BEFORE PROCESSES~~
- PARENTHETICAL INFO FOR REF ONLY

HOLE TOLERANCE

0.33 THRU 3.175 + 0.1016 − 0.0254	3.200 THRU 6.35 + 0.127 − 0.0254	6.375 THRU 12.7 + 0.1524 − 0.0254
12.725 THRU 19.05 + 0.2032 − 0.0254	19.075 THRU 25.4 + 0.254 − 0.0254	25.425 THRU 50.8 + 0.3048 − 0.0254

THIRD ANGLE PROJECTION

NEXT ASSY	USED ON
2518451	0314DA

APPLICATION

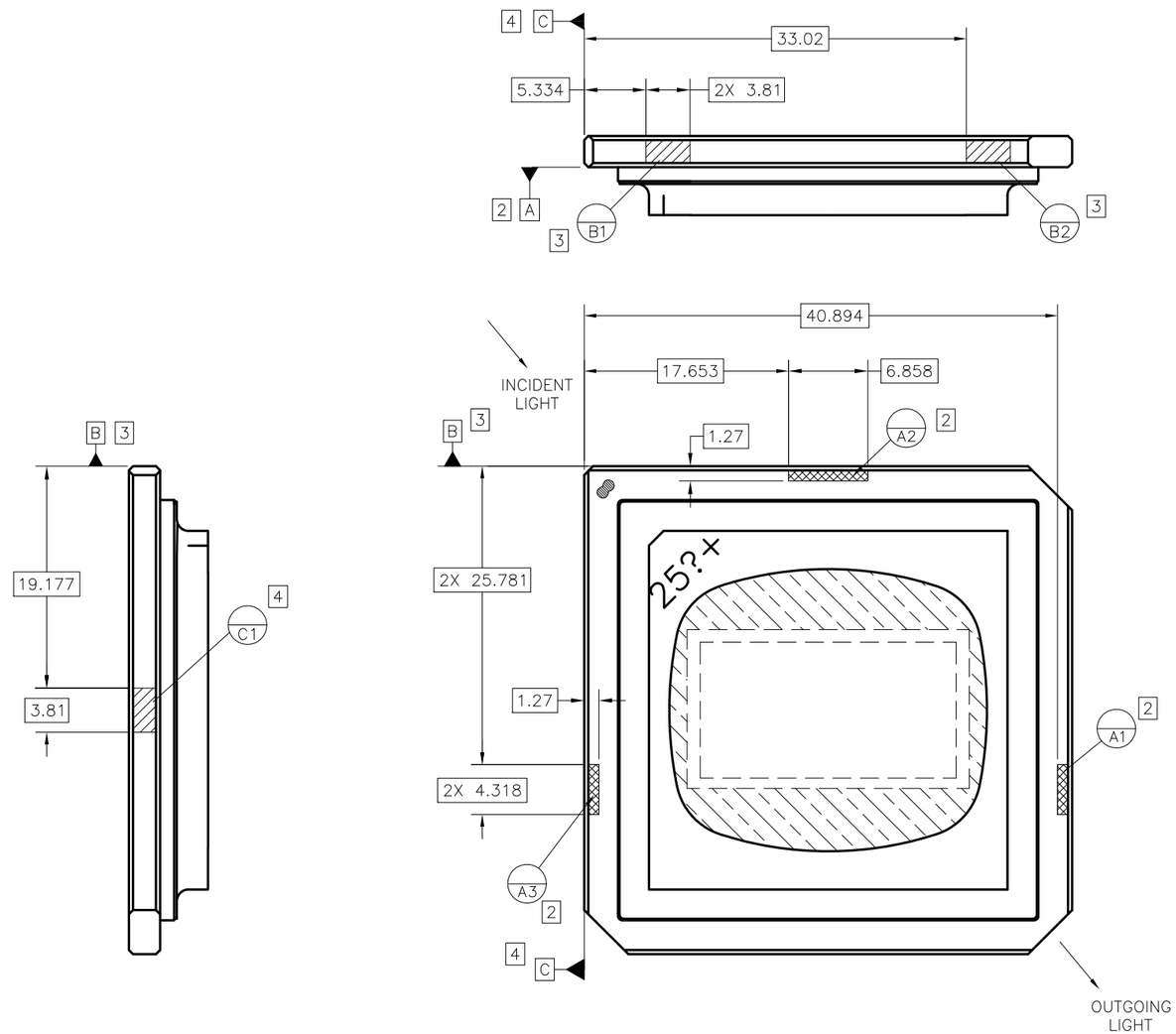
DWN	F. ARMSTRONG	DATE 07/12/2022
ENGR	F. ARMSTRONG	07/12/2022
QA	K. DICKERSON	07/20/2022
	J. BAHLS	07/20/2022
APVD	J. McKINLEY	07/20/2022
	M. SOUCEK	07/20/2022

TEXAS INSTRUMENTS
Dallas, Texas

ICD, MECHANICAL, DMD
.98" SST 4K TYPE A 1C
(FLV PACKAGE)

SIZE D | DRAWING NO 2518450 | REV A
SCALE 4/1 | SHEET 1 OF 4

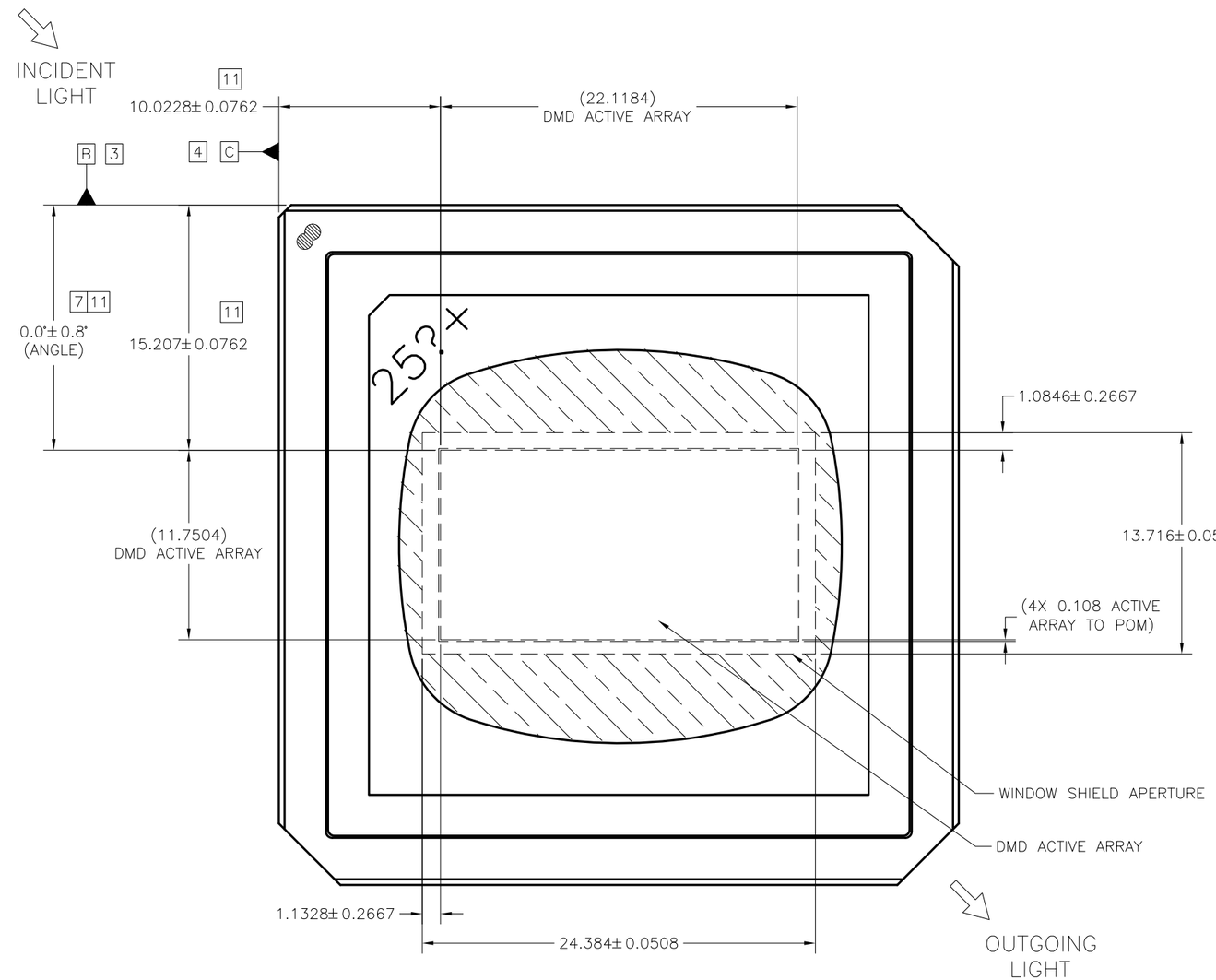
ACED1g



VIEW A (SHEET 1 NOTES)
DATUM A, B AND C DETAILS

TEXAS INSTRUMENTS Dallas, Texas	DWN / DATE / ISSUE DATE	SIZE D	DRAWING NO 2518450	REV A
		SCALE 4/1	SHEET 2	

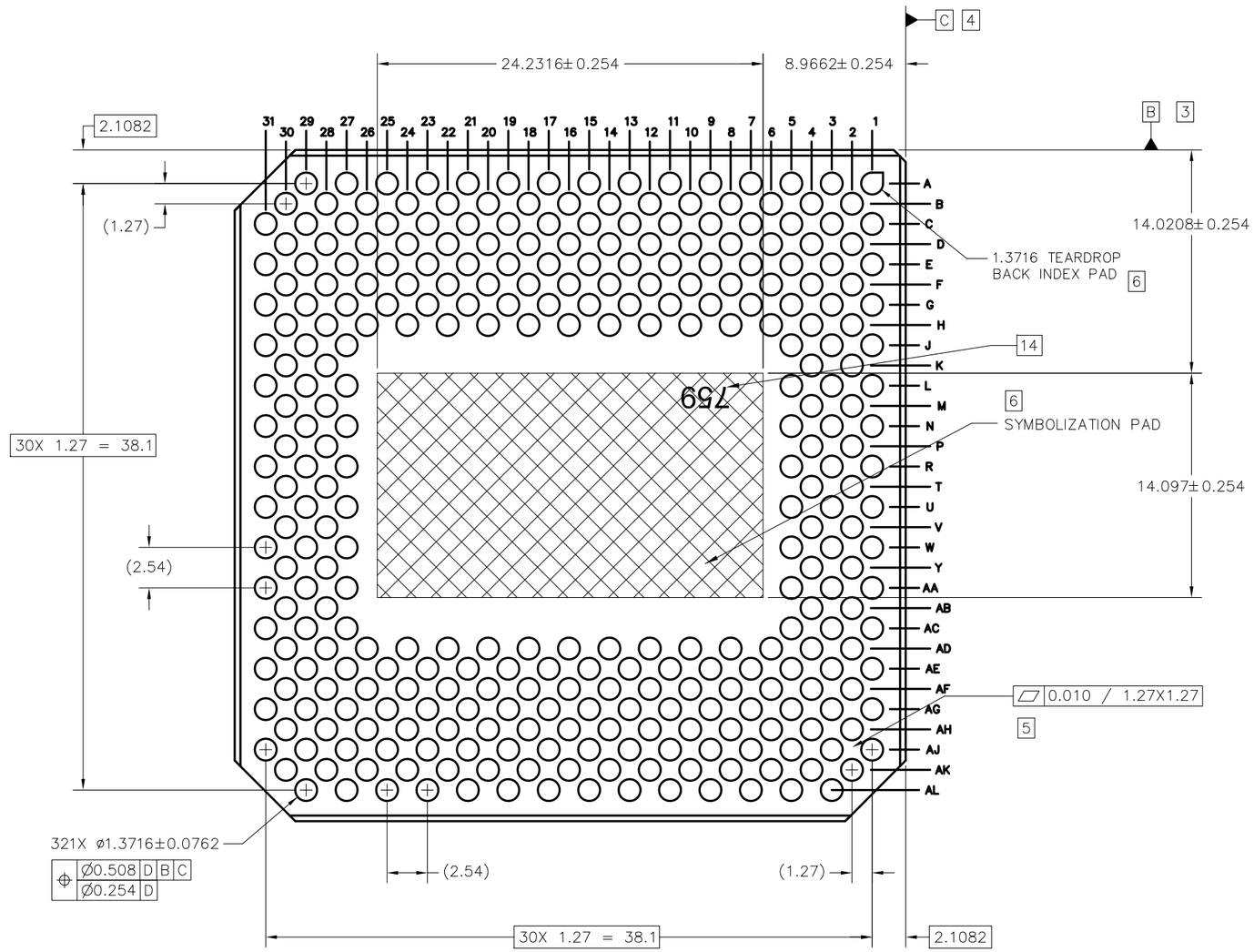
ACED2c



VIEW B (SHEET 1)
POSITION OF ACTIVE ARRAY
SCALE 6/1

TEXAS INSTRUMENTS Dallas, Texas	DWN DATE	SIZE D	DRAWING NO 2518450	REV A
	ISSUE DATE	SCALE 4/1	SHEET 3	

ACED2c



VIEW C–C (SHEET 1)
BACK PADS
SCALE 6/1

TEXAS INSTRUMENTS Dallas, Texas	DWN DATE / ISSUE DATE	SIZE D / SCALE 4/1	DRAWING NO 2518450 / SHEET 4	REV A

ACED2c

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月