

DLP472NP 0.47 インチ 1080p FHD デジタル マイクロミラー デバイス

1 特長

- 対角 0.47 インチのマイクロミラー アレイ
 - ディスプレイ解像度: 1080p FHD (1920 × 1080)
 - 5.4μm のマイクロミラー ピッチ
 - マイクロミラー傾斜角: ±17° (平面に対して)
 - 下部光源
- SubLVDS 入力データバス
- 1080p、最大 240Hz をサポート
- DLPC8444 ディスプレイ コントローラ、DLPA3085 または DLPA3082 パワー マネージメント IC (PMIC) および LED ドライバにより、レーザーまたは LED の動作をサポート

2 アプリケーション

- モバイル スマート TV
- モバイル プロジェクタ
- デジタル サイネージ

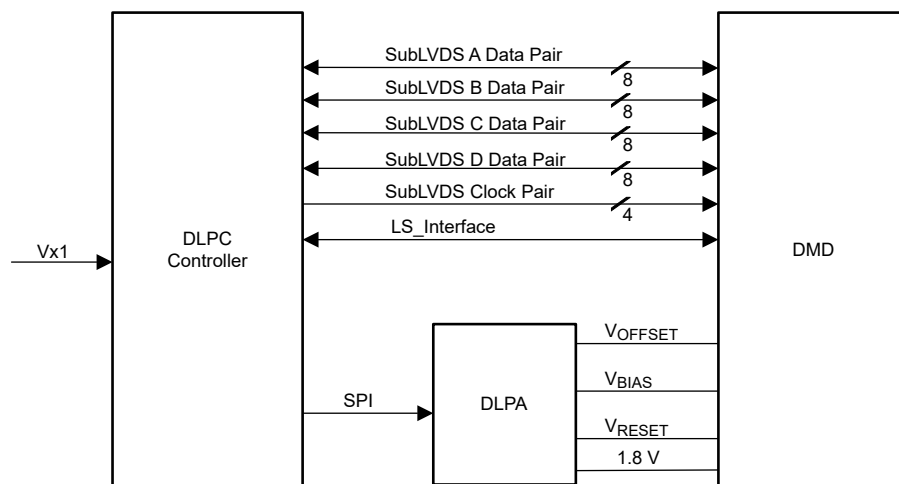
3 説明

DLP472NP デジタル マイクロミラー デバイス (DMD) は、デジタル制御型の MEMS (micro-electromechanical system) 空間光変調器 (SLM) で、色鮮やかな 1080p FHD ディスプレイ システムを実現します。テキサス インストルメンツの DLP® 製品である 0.47 インチ 1080p FHD チップセットは、DLP472NP DMD、DLPC8444 ディスプレイ コントローラ、DLPA3085 または DLPA3082 PMIC および 照明 ドライバで構成されています。このコンパクトなチップセットは、小型の 1080p FHD ディスプレイを実現する完全なシステム ソリューションを提供します。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ
DLP472NP	FQY (166)	24.50mm × 11.00mm

(1) 詳細については、[セクション 12](#) を参照してください。



アプリケーション概略図



目次

1 特長	1	6.6 マイクロミラー アレイ温度の計算.....	25
2 アプリケーション	1	6.7 マイクロミラーの電力密度の計算.....	26
3 説明	1	6.8 マイクロミラーのランデッド オン / ランデッド オフ デ ユーティ サイクル.....	28
4 ピン構成および機能	3	7 アプリケーションと実装	31
4.1 ピンの機能.....	3	7.1 アプリケーション情報.....	31
5 仕様	7	7.2 代表的なアプリケーション.....	31
5.1 絶対最大定格.....	7	7.3 温度センサ ダイオード.....	32
5.2 保存条件.....	8	8 電源に関する推奨事項	33
5.3 ESD 定格.....	8	8.1 DMD 電源のパワーアップ手順.....	33
5.4 推奨動作条件.....	9	8.2 DMD 電源のパワーダウン手順.....	33
5.5 熱に関する情報.....	11	9 レイアウト	35
5.6 電気的特性.....	11	9.1 レイアウトのガイドライン.....	35
5.7 スイッチング特性.....	12	9.2 レイアウト例.....	36
5.8 タイミング要件.....	12	10 デバイスおよびドキュメントのサポート	37
5.9 システム実装インターフェイスの荷重.....	18	10.1 サード・パーティ製品に関する免責事項.....	37
5.10 マイクロミラー アレイの物理特性.....	18	10.2 デバイス サポート.....	37
5.11 マイクロミラー アレイの光学特性.....	19	10.3 ドキュメントのサポート.....	38
5.12 ウィンドウの特性.....	21	10.4 ドキュメントの更新通知を受け取る方法.....	38
5.13 チップセット コンポーネントの使用方法的仕様.....	22	10.5 商標.....	38
6 詳細説明	23	10.6 静電気放電に関する注意事項.....	38
6.1 概要.....	23	10.7 用語集.....	38
6.2 機能ブロック図.....	23	11 改訂履歴	38
6.3 機能説明.....	24	12 メカニカル、パッケージ、および注文情報	39
6.4 デバイスの機能モード.....	24		
6.5 光学インターフェイスおよびシステムの画質に関する検討事項.....	24		

4 ピン構成および機能

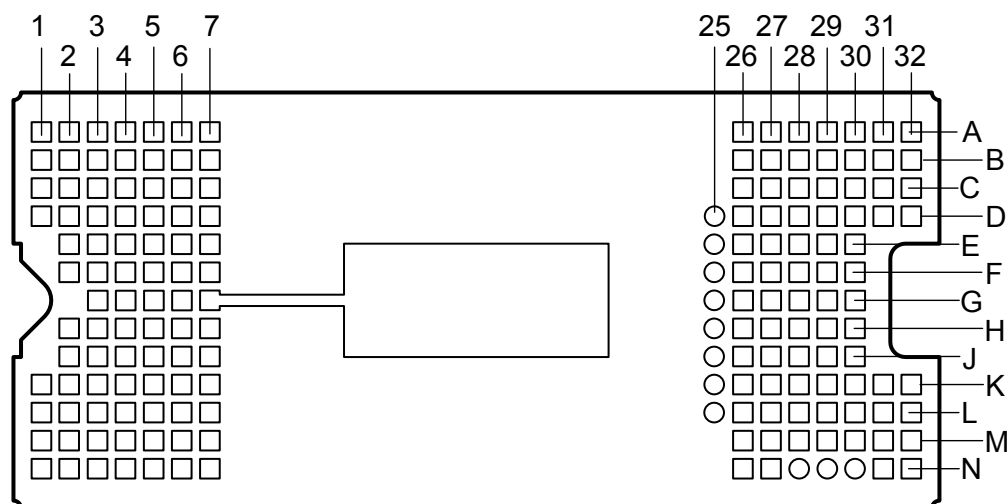


図 4-1. FQY パッケージ 166 ピン LGA (底面図)

注意

0.47 インチ 1080p FHD S321 DMD が信頼性の高い動作を確保するため、ピンの機能表に記載されている信号のレイアウトと動作を適切に管理する必要があります。基板設計の前に、DMD およびコントローラのレイアウトガイドラインを参照してください。

4.1 ピンの機能

ピン ⁽²⁾		タイプ ⁽¹⁾	説明	終端	パターン長 (mm)
名称	パッド ID				
D_AP (0)	A2	I	高速差動データ ペア レーン A0	差動 100Ω	3.75497
D_AN (0)	B2	I	高速差動データ ペア レーン A0	差動 100Ω	3.75482
D_AP (1)	A6	I	高速差動データ ペア レーン A1	差動 100Ω	4.62509
D_AN (1)	B6	I	高速差動データ ペア レーン A1	差動 100Ω	4.625
D_AP (2)	C1	I	高速差動データ ペア レーン A2	差動 100Ω	3.59503
D_AN (2)	C2	I	高速差動データ ペア レーン A2	差動 100Ω	3.59513
D_AP (3)	C6	I	高速差動データ ペア レーン A3	差動 100Ω	5.12758
D_AN (3)	C7	I	高速差動データ ペア レーン A3	差動 100Ω	5.12745
D_AP (4)	G3	I	高速差動データ ペア レーン A4	差動 100Ω	1.60057
D_AN (4)	G4	I	高速差動データ ペア レーン A4	差動 100Ω	1.6004
D_AP (5)	F7	I	高速差動データ ペア レーン A5	差動 100Ω	3.64067
D_AN (5)	F6	I	高速差動データ ペア レーン A5	差動 100Ω	3.64091
D_AP (6)	F4	I	高速差動データ ペア レーン A6	差動 100Ω	1.58206
D_AN (6)	F5	I	高速差動データ ペア レーン A6	差動 100Ω	1.58187
D_AP (7)	H6	I	高速差動データ ペア レーン A7	差動 100Ω	2.70067
D_AN (7)	G6	I	高速差動データ ペア レーン A7	差動 100Ω	2.70086
DCLK_AP	E5	I	高速差動クロック A	差動 100Ω	2.96493
DCLK_AN	D5	I	高速差動クロック A	差動 100Ω	2.9653

ピン ⁽²⁾		タイプ ⁽¹⁾	説明	終端	パターン長 (mm)
名称	パッド ID				
D_BP (0)	B30	I	高速差動データ ペア レーン B0	差動 100Ω	3.57087
D_BN (0)	A30	I	高速差動データ ペア レーン B0	差動 100Ω	3.57064
D_BP (1)	C32	I	高速差動データ ペア レーン B1	差動 100Ω	4.2546
D_BN (1)	B32	I	高速差動データ ペア レーン B1	差動 100Ω	4.25425
D_BP (2)	A28	I	高速差動データ ペア レーン B2	差動 100Ω	4.97968
D_BN (2)	B28	I	高速差動データ ペア レーン B2	差動 100Ω	4.97953
D_BP (3)	C31	I	高速差動データ ペア レーン B3	差動 100Ω	3.12736
D_BN (3)	C30	I	高速差動データ ペア レーン B3	差動 100Ω	3.12743
D_BP (4)	C27	I	高速差動データ ペア レーン B4	差動 100Ω	5.44353
D_BN (4)	B27	I	高速差動データ ペア レーン B4	差動 100Ω	5.4433
D_BP (5)	D28	I	高速差動データ ペア レーン B5	差動 100Ω	3.32124
D_BN (5)	D27	I	高速差動データ ペア レーン B5	差動 100Ω	3.32115
D_BP (6)	F30	I	高速差動データ ペア レーン B6	差動 100Ω	2.99334
D_BN (6)	E30	I	高速差動データ ペア レーン B6	差動 100Ω	2.99374
D_BP (7)	G27	I	高速差動データ ペア レーン B7	差動 100Ω	3.14865
D_BN (7)	G28	I	高速差動データ ペア レーン B7	差動 100Ω	3.14902
DCLK_BP	D29	I	高速差動クロック B	差動 100Ω	5.03976
DCLK_BN	D30	I	高速差動クロック B	差動 100Ω	5.0395
D_CP (0)	J4	I	高速差動データ ペア レーン C0	差動 100Ω	2.06577
D_CN (0)	H4	I	高速差動データ ペア レーン C0	差動 100Ω	2.06568
D_CP (1)	J7	I	高速差動データ ペア レーン C1	差動 100Ω	4.87119
D_CN (1)	J6	I	高速差動データ ペア レーン C1	差動 100Ω	4.87131
D_CP (2)	K5	I	高速差動データ ペア レーン C2	差動 100Ω	4.69951
D_CN (2)	J5	I	高速差動データ ペア レーン C2	差動 100Ω	4.69926
D_CP (3)	L4	I	高速差動データ ペア レーン C3	差動 100Ω	3.27735
D_CN (3)	L5	I	高速差動データ ペア レーン C3	差動 100Ω	3.27722
D_CP (4)	L2	I	高速差動データ ペア レーン C4	差動 100Ω	4.65167
D_CN (4)	M2	I	高速差動データ ペア レーン C4	差動 100Ω	4.6513
D_CP (5)	M3	I	高速差動データ ペア レーン C5	差動 100Ω	5.70359
D_CN (5)	N3	I	高速差動データ ペア レーン C5	差動 100Ω	5.70352
D_CP (6)	M5	I	高速差動データ ペア レーン C6	差動 100Ω	2.57704
D_CN (6)	M6	I	高速差動データ ペア レーン C6	差動 100Ω	2.57727
D_CP (7)	N7	I	高速差動データ ペア レーン C7	差動 100Ω	3.77278
D_CN (7)	M7	I	高速差動データ ペア レーン C7	差動 100Ω	3.77317
DCLK_CP	K2	I	高速差動クロック C	差動 100Ω	2.3747
DCLK_CN	J2	I	高速差動クロック C	差動 100Ω	2.37429
D_DP (0)	G29	I	高速差動データ ペア レーン D0	差動 100Ω	3.67925
D_DN (0)	F29	I	高速差動データ ペア レーン D0	差動 100Ω	3.6794
D_DP (1)	F27	I	高速差動データ ペア レーン D1	差動 100Ω	4.73751
D_DN (1)	E27	I	高速差動データ ペア レーン D1	差動 100Ω	4.73796
D_DP (2)	K30	I	高速差動データ ペア レーン D2	差動 100Ω	2.76933
D_DN (2)	K29	I	高速差動データ ペア レーン D2	差動 100Ω	2.76936

ピン ⁽²⁾		タイプ ⁽¹⁾	説明	終端	パターン長 (mm)
名称	パッド ID				
D_DP (3)	J27	I	高速差動データ ペア レーン D3	差動 100Ω	3.07794
D_DN (3)	K27	I	高速差動データ ペア レーン D3	差動 100Ω	3.07804
D_DP (4)	M30	I	高速差動データ ペア レーン D4	差動 100Ω	3.60026
D_DN (4)	L30	I	高速差動データ ペア レーン D4	差動 100Ω	3.60028
D_DP (5)	M27	I	高速差動データ ペア レーン D5	差動 100Ω	3.24012
D_DN (5)	L27	I	高速差動データ ペア レーン D5	差動 100Ω	3.24002
D_DP (6)	N26	I	高速差動データ ペア レーン D6	差動 100Ω	4.69564
D_DN (6)	M26	I	高速差動データ ペア レーン D6	差動 100Ω	4.69594
D_DP (7)	M31	I	高速差動データ ペア レーン D7	差動 100Ω	3.97347
D_DN (7)	M32	I	高速差動データ ペア レーン D7	差動 100Ω	3.97352
DCLK_DP	H29	I	高速差動クロック D	差動 100Ω	1.7593
DCLK_DN	J29	I	高速差動クロック D	差動 100Ω	1.75933
LS_WDATA	D4	I	LVDS データ		2.29224
LS_CLK	C4	I	LVDS CLK		1.73951
LS_RDATA_A	C5	O	LVC MOS 出力		2.72344
LS_RDATA_B	D3	O	LVC MOS 出力		2.22814
LS_RDATA_C	E3	O	LVC MOS 出力		3.22863
LS_RDATA_D	F3	O	LVC MOS 出力		4.90151
DMD_DEN_ARSTZ	D2	I	ARSTZ		1.80911
TEMP_N	N1	I	温度ダイオード N		1.84006
TEMP_P	M1	I	温度ダイオード P		2.62822
VDD	A3、A4、 C26、D1、 D6、D7、 D26、E2、 E6、E7、 E26、F2、 G30、H28、 H30、J26、 J30、K1、 K6、K26、 K31、K32、 L1、L31、 L32、N2	P	デジタル コア 電源電圧		14.26561
VDDI	A5、B5、 F26、G26、 H26、H27、 K7、L7	P	SubLVDS 電源電圧		3.72532
VRESET	B3、B26	P	マイクロミラー リセット信号の負のバイアスに対する電源電圧		25.57603
VBIAS	A27、B4	P	マイクロミラー リセット信号の正のバイアスに対する電源電圧		24.70004
VOFFSET	A26、C3、 L6、L26	P	HVCMOS ロジックの電源電圧、ロジック レベルを昇圧		8.73417

ピン ⁽²⁾		タイプ ⁽¹⁾	説明	終端	パターン長 (mm)
名称	パッド ID				
VSS	A1、A7、 A29、A31、 A32、B1、 B7、B29、 B31、C28、 C29、D31、 D32、E4、 E28、E29、 F28、G5、 G7、H2、 H3、H5、 H7、J3、 J28、K3、 K4、K28、 L3、L28、 L29、M4、 M28、M29、 N4、N5、 N6、N27、 N31、N32	G	グラウンド		24.6246
N/C	N28、N29、 N30、L25、 K25、J25、 H25、G25、 F25、E25、 D25	NC	未接続ピン		なし

(1) I = 入力、O = 出力、P = 電源、G = グラウンド、NC = 未接続

(2) 機能的に使用される電氣的接続は 163 ピンのみ。

5 仕様

5.1 絶対最大定格

「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があります、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

		最小値	最大値	単位
電源電圧				
V_{DD}	LVC MOS コア ロジックと LPSDR 低速インターフェイスの電源電圧 ⁽¹⁾	-0.5	2.3	V
V_{DDI}	SubLVDS レシーバの電源電圧 ⁽¹⁾	-0.5	2.3	V
V_{OFFSET}	HVCMOS およびマイクロミラー電極の電源電圧 ^{(1) (2)}	-0.5	11	V
V_{BIAS}	マイクロミラー電極の電源電圧 ⁽¹⁾	-0.5	19	V
V_{RESET}	マイクロミラー電極の電源電圧 ⁽¹⁾	-15	0.5	V
$ V_{DDI} - V_{DD} $	電源電圧のデルタ、絶対値 ⁽³⁾		0.3	V
$ V_{BIAS} - V_{OFFSET} $	電源電圧のデルタ、絶対値 ⁽⁴⁾		11	V
$ V_{BIAS} - V_{RESET} $	電源電圧のデルタ、絶対値 ⁽⁵⁾		34	V
入力電圧				
	その他の入力の入力電圧 - LSIF および LVC MOS ⁽¹⁾	-0.5	$V_{DD} + 0.5$	V
	その他の入力の入力電圧 - SubLVDS ^{(1) (6)}	-0.5	$V_{DDI} + 0.5$	V
SUBLVDS インターフェイス				
$ V_{ID} $	SubLVDS 入力差動電圧 (絶対値) ^{(1) (6)}		810	mV
I_{ID}	SubLVDS 入力差動電流		10	mA
クロック周波数				
f_{clock}	低速インターフェイス LS_CLK のクロック周波数	100	130	MHz
温度ダイオード				
I_{TEMP_DIODE}	温度ダイオードへの最大電流ソース		120	μA
環境				
T_{WINDOW} および T_{ARRAY}	温度、動作時 ⁽⁷⁾	0	90	$^{\circ}C$
	温度、非動作時 ⁽⁷⁾	-40	90	$^{\circ}C$
$ T_{DELTA} $	ウィンドウ端上の任意のポイントとセラミック テスト ポイント TP1 との間の絶対温度差 ⁽⁸⁾		30	$^{\circ}C$
T_{DP}	露点温度、動作時および非動作時 (結露なし)		81	$^{\circ}C$

- (1) すべての電圧値は、グランド端子 (V_{SS}) の値です。DMD を適切に動作させるには、以下に示す必要な電源を接続する必要があります: V_{DD} 、 V_{DDI} 、 V_{OFFSET} 、 V_{BIAS} 、 V_{RESET} 。すべての V_{SS} 接続も必要です。
- (2) V_{OFFSET} 電源過渡電圧は、規定電圧内に収まる必要があります。
- (3) V_{DDI} と V_{DD} との推奨許容絶対電圧差を超えると、過剰な電流が流れ、デバイスに永続的な損傷が発生する恐れがあります。
- (4) V_{BIAS} と V_{OFFSET} との推奨許容絶対電圧差を超えると、過剰な電流が流れ、デバイスに永続的な損傷が発生する恐れがあります。
- (5) V_{BIAS} と V_{RESET} との推奨許容絶対電圧差を超えると、過剰な電流が流れ、デバイスに永続的な損傷が発生する恐れがあります。
- (6) この最大入力電圧定格は、差動ペアの各入力電圧が同じ電位のときに適用されます。Sub-LVDS 差動入力は、指定限界値を超えないようにする必要があります。さもなければ、内部終端抵抗が損傷する可能性があります。
- (7) [図 6-1](#) で定義されているように、アクティブ アレイ ([セクション 6.6](#) で計算)、またはウィンドウ エッジに沿った任意のポイントの最高温度です。[図 6-1](#) の温度テスト ポイント TP2、TP3、TP4、TP5 の位置は、ウィンドウ端温度の最高値を測定することを目的としています。特定のアプリケーションで、ウィンドウ端上の別のポイントがより高い温度になっている場合は、そのポイントを使用する必要があります。
- (8) [図 6-1](#) に示されるように、温度差はセラミック テスト ポイント 1 (TP1) とウィンドウ端上の任意の位置との最も高い差です。[図 6-1](#) に示されるウィンドウ テスト ポイント TP2、TP3、TP4、および TP5 は、ワーストケースの差を生じることを意図しています。特定のアプリケーションで、ウィンドウ端上の別のポイントにおける温度差の方が大きくなっている場合は、そのポイントを使用する必要があります。

5.2 保存条件

部品としての DMD、またはシステムで動作していない DMD に適用できます。

		最小値	最大値	単位
T_{DMD}	DMD 温度	-40	85	°C
T_{DP-AVG}	平均露点温度、結露なし ⁽¹⁾		24	°C
T_{DP-ELR}	高温の露点温度範囲、結露なし ⁽²⁾	28	36	°C
CT_{ELR}	高温の露点温度範囲における累積時間		6	毎月

(1) デバイスが高温の露点温度範囲にない経時的な平均温度 (保存温度や動作温度を含む)。

(2) 保存時および動作時の高温範囲で露点温度への曝露は、 CT_{ELR} の合計累積時間未満に制限する必要があります。

5.3 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±250	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.4 推奨動作条件

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り) このデータシートに規定されているデバイスの機能性能は、「推奨動作条件」で定義された制限内でデバイスを動作させたときに達成されます。推奨動作条件の制限を超えてまたは下回ってデバイスを動作させる場合には、性能レベルを暗黙的に示すものではありません。

		最小値	標準値	最大値	単位
電源電圧範囲					
VDD	LVC MOS コア ロジックの電源電圧 ^{(1) (2)} LPSDR 低速インターフェイスの電源電圧 ^{(1) (2)}	1.71	1.8	1.95	V
VDDI	SubLVDS レシーバの電源電圧 ^{(1) (2)}	1.71	1.8	1.95	V
VOFFSET	HVCMOS およびマイクロミラー電極の電源電圧 ^{(1) (2) (3)}	9.5	10	10.5	V
VBIAS	ミラー電極の電源電圧 ^{(1) (2)}	17.5	18	18.5	V
VRESET	マイクロミラー電極の電源電圧 ^{(1) (2)}	-14.5	-14	-13.5	V
VDDI - VDD	電源電圧差 (絶対値) ^{(1) (2) (4)}			0.3	V
VBIAS - VOFFSET	電源電圧差 (絶対値) ^{(1) (2) (5)}			10.5	V
VBIAS - VRESET	電源電圧差 (絶対値) ^{(1) (2) (6)}			33	V
クロック周波数					
f_{clock}	低速インターフェイス LS_CLK のクロック周波数 ⁽⁷⁾	108		120	MHz
	高速インターフェイス DCLK のクロック周波数 ⁽⁸⁾			720	MHz
DCD _{IN}	デューティ サイクルの歪み	48		52	%
SUBLVDS インターフェイス					
V _{ID}	LVDS 差動入力電圧の振幅 ⁽⁸⁾	150	250	350	mV
V _{CM}	同相電圧 ⁽⁸⁾	700	900	1100	mV
V _{SUBLVDS}	SubLVDS 電圧 ⁽⁸⁾	525		1275	mV
Z _{LINE}	ライン差動インピーダンス (PWB / パターン)	90	100	110	Ω
Z _{IN}	内部差動終端抵抗 ⁽¹⁰⁾	80	100	120	Ω
	100Ω 差動 PCB パターン	6.35		152.4	mm
環境					
T _{ARRAY}	アレイ温度、長期動作 ^{(9) (10) (11) (12)}	10		40~70	°C
	アレイ温度、短期動作、最大 500 時間 ^{(10) (13)}	0		10	°C
T _{Window}	ウィンドウ温度、動作時 ⁽¹⁴⁾			85	°C
T _{DELTA}	ウィンドウ端上の任意のポイントとセラミック テスト ポイント TP1 との間の絶対温度差 ⁽¹⁵⁾			15	°C
T _{DP-AVG}	平均露点温度、(結露なし) ⁽¹⁶⁾			24	°C
T _{DP-ELR}	高温の露点温度範囲、(結露なし) ⁽¹⁷⁾		28	36	°C
CT _{ELR}	高温の露点温度範囲における累積時間			6	毎月
照明					
ILL _{UV}	照明、波長 410nm 未満 ⁽⁹⁾			10	mW/cm ²
ILL _{VIS}	410nm 以上 800nm 以下の波長における照明強度 ⁽¹⁸⁾			20.5	W/cm ²
ILL _{IR}	照明、波長 800nm 超			10	mW/cm ²
ILL _{BLU}	410nm 以上 475nm 以下の波長における照明強度 ⁽¹⁸⁾			6.5	W/cm ²
ILL _{BLU1}	410nm 以上 445nm 以下の波長における照明強度 ⁽¹⁸⁾			1.2	W/cm ²
ILL _θ	照明の限界光線角度 ⁽¹⁹⁾			55	度

- (1) DMD の動作には、以下の電源装置がすべて必要です。V_{DD}、V_{DDI}、V_{OFFSET}、V_{BIAS}、V_{RESET} DMD を動作させるには、すべての V_{SS} 接続が必要です。
- (2) すべての電圧値は、V_{SS} グランド ピンを基準としたものです。
- (3) V_{OFFSET} 電源過渡電圧は、規定最大電圧内に収まる必要があります。

- (4) 過剰な電流を防止するため、電源電圧のデルタ $|V_{DDI} - V_{DD}|$ は、指定限界値よりも小さい必要があります。
- (5) 過剰な電流を防止するため、電源電圧のデルタ $|V_{BIAS} - V_{OFFSET}|$ は、指定限界値よりも小さい必要があります。
- (6) 過剰な電流を防止するため、電源電圧のデルタ $|V_{BIAS} - V_{RESET}|$ は、指定限界値よりも小さい必要があります。
- (7) リセット波形コマンドの内部 DMD タイミングを確保するため、指定されたとおりに LS_CLK を実行する必要があります。
- (8) セクション 5.8 の SubLVDS タイミング要件を参照してください。
- (9) DMD を最大推奨動作条件の温度および UV 照明に同時に曝露すると、デバイスの寿命が短くなります。
- (10) アレイの温度は直接測定することができないため、図 6-1 に示されるようにテスト ポイント (TP1) で測定された温度と、パッケージの熱抵抗をもとに、セクション 6.6 を用いて解析的に算出する必要があります。
- (11) 最大推奨アレイ温度 - ディレーティング曲線に従って、最終用途における DMD のマイクロミラー ランデッド デューティ サイクルに基づいて、最大動作アレイ温度をディレーティングする必要があります。マイクロミラーのランデッド デューティ サイクルの定義については、「マイクロミラーのランデッド オン/ランデッド オフ デューティ サイクル」を参照してください。
- (12) 長期は、デバイスの使用可能寿命と定義されます。
- (13) 短期は、デバイスの有効寿命全体にわたる合計累積時間です。
- (14) ウィンドウ温度は、ウィンドウ端の最高温度です。図 6-1 の温度テスト ポイント TP2、TP3、TP4、TP5 の位置は、ウィンドウ端温度の最高値を測定することを目的としています。特定のアプリケーションで、ウィンドウ端上の別のポイントがより高い温度になっている場合は、そのポイントを使用する必要があります。
- (15) 図 6-1 に示すように、温度差はセラミック テスト ポイント 1 (TP1) とウィンドウ端上の任意の位置との最も高い差です。図 6-1 に示されるウィンドウ テスト ポイント TP2、TP3、TP4、および TP5 は、ワーストケースの温度差を生じることを意図しています。特定のアプリケーションで、ウィンドウ端上の別のポイントにおける温度差の方が大きくなっている場合は、そのポイントを使用する必要があります。
- (16) デバイスが「高温の露点温度範囲」にない経時的な平均値 (保存や動作を含む)。
- (17) 保存時および動作時の高温範囲で露点温度への曝露は、 CT_{ELR} の合計累積時間未満に制限する必要があります。
- (18) DMD に入射する最大許容光出力は、規定された各波長範囲における最大光出力密度とマイクロミラー アレイ温度 (T_{ARRAY}) によって制限されます。
- (19) マイクロミラー池 (POM) も含め、マイクロミラー アレイ内の任意のポイントにおける入射照明光の最大限界光線角度は、デバイス アレイ プレーンの法線から 55 度を超えないようにする必要があります。デバイスのウィンドウ開口部は、より高い最大角度で入射光がマイクロミラーに通過できるように必ずしも設計されているとは限りません。また、本デバイスの性能はテスト済みではなく、これを超える角度での認定も行っていません。マイクロミラー アレイ (POM を含む) 外でこの角度を超える照明光は、本文書に記載した熱限界の原因となり、寿命に悪影響を及ぼす可能性があります。

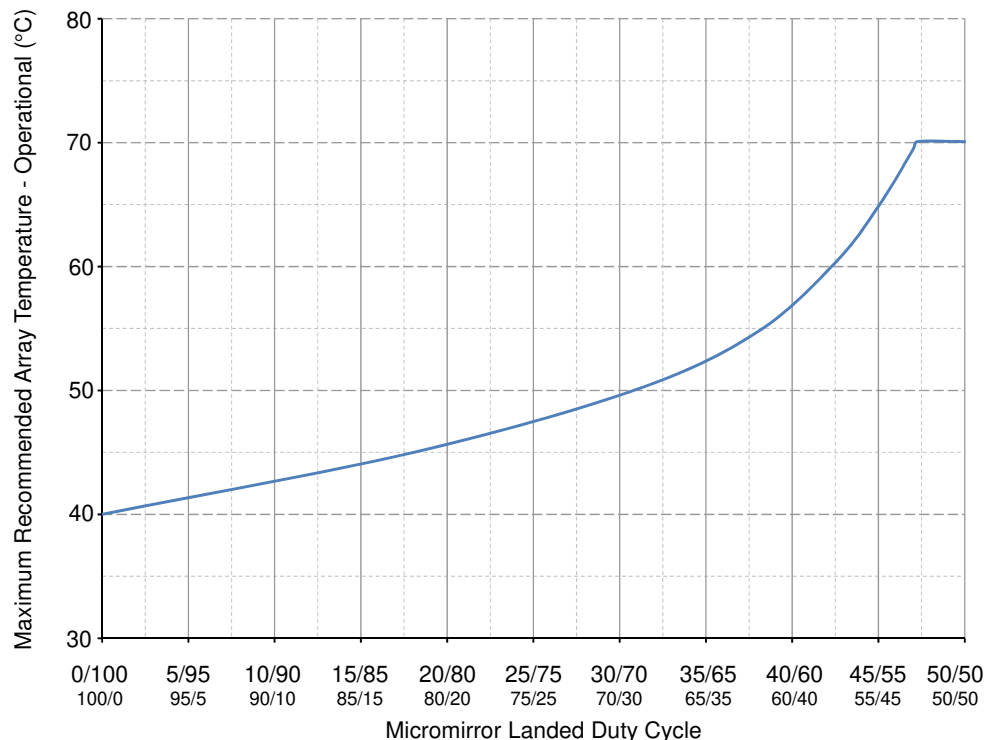


図 5-1. 推奨最大アレイ温度—ディレーティング曲線

5.5 熱に関する情報

熱評価基準	DLP472NP	単位
	FQY	
	163 PIN	
熱に関する情報		
熱抵抗、テストポイント 1 (TP1) に対するアクティブ領域 ⁽¹⁾	1.2	°C/W

- (1) DMD は、吸収および放散された熱をパッケージの裏面に伝導するよう設計されています。冷却システムは、「推奨動作条件」に規定されている温度範囲内に DMD を維持する必要があります。DMD の合計熱負荷は、主にアクティブ領域によって吸収される入射光によって決まりますが、その他の寄与としてウィンドウ開口部によって吸収される光エネルギーやアレイの消費電力があります。光学システムは、ウィンドウの開放口から外れた光エネルギーを最小限に抑えるよう設計する必要があります。これは、この領域に熱負荷が増大すると、デバイスの信頼性が大幅に低下する可能性があるためです。

5.6 電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

パラメータ ⁽⁷⁾		テスト条件 ⁽²⁾	最小値	標準値	最大値	単位
CURRENT						
I _{DD}	消費電流: V _{DD} ^{(3) (4)}	標準値			140	mA
I _{DDI}	消費電流: V _{DDI} ^{(3) (4)}	標準値			45	mA
I _{OFFSET}	消費電流: V _{OFFSET} ^{(5) (6)}	標準値			6	mA
I _{BIAS}	消費電流: V _{BIAS} ^{(5) (6)}	標準値			.5	mA
I _{RESET}	消費電流: V _{RESET} ⁽⁶⁾	標準値	-1.8			mA
電源						
P _{DD}	電源の消費電力: V _{DD} ^{(3) (4)}	標準値			252	mW
P _{DDI}	電源の消費電力: V _{DDI} ^{(3) (4)}	標準値			81	mW
P _{OFFSET}	電源の消費電力: V _{OFFSET} ^{(5) (6)}	標準値			60	mW
P _{BIAS}	電源の消費電力: V _{BIAS} ^{(5) (6)}	標準値			9	mW
P _{RESET}	電源の消費電力: V _{RESET} ⁽⁶⁾	標準値			25.2	mW
P _{TOTAL}	電源の合計消費電力	標準値			427.2	mW
LPSDR 入力						
V _{IH}	High レベル入力電圧 ^{(8) (9)}		0.7 × V _{DD}	V _{DD} + 0.3	x V _{DD}	
V _{IL}	Low レベル入力電圧 ^{(8) (9)}		-0.3	0.3 × V _{DD}	x V _{DD}	
V _{IH(AC)}	AC 入力高電圧 ^{(8) (9)}		0.8 × V _{DD}	V _{DD} + 0.3	x V _{DD}	
V _{IL(AC)}	AC 入力低電圧 ^{(8) (9)}		-0.3	0.2 × V _{DD}	x V _{DD}	
V _{Hyst}	入力ヒステリシス (V _{T+} – V _{T-})		0.1 × V _{DD}	0.4 × V _{DD}		V
I _{IL}	Low レベル入力電流	V _{DD} = 1.95 V、V _I = 0V	-100			nA
I _{IH}	High レベル入力電流	V _{DD} = 1.95 V、V _I = 1.95V			135	μA
LPSDR 出力						
V _{OH}	DC 出力高電圧 ⁽¹⁰⁾	I _{OH} = -2mA	0.8 × V _{DD}			X V _{DD}
V _{OL}	DC 出力低電圧 ⁽¹⁰⁾	I _{OL} = 2mA		0.2 × V _{DD}		X V _{DD}
CAPACITANCE						
C _{IN}	入力容量 LVCMOS	F = 1MHz			10	pF
C _{IN}	入力容量 SubLVDS	F = 1MHz			20	pF

5.6 電気的特性 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

パラメータ ⁽⁷⁾		テスト条件 ⁽²⁾	最小値	標準値	最大値	単位
C _{OUT}	出力容量	F = 1MHz			10	pF

- (1) デバイスの電気的特性は、特に記述のない限り[セクション 5.4](#) 以上です。
- (2) すべての電圧値は、グランドピン (V_{SS}) を基準としたものです。
- (3) 過剰な電流を防止するため、電源電圧のデルタ |V_{DDI} – V_{DD}| は、指定限界値よりも小さい必要があります。
- (4) 非圧縮のコマンドとデータに基づく電源消費電力。
- (5) 過剰な電流を防止するため、電源電圧のデルタ |V_{BIAS} – V_{OFFSET}| は、指定限界値よりも小さい必要があります。
- (6) 200μs の 3 つのグローバルリセットに基づく電源消費電力。
- (7) DMD を動作させるには、すべての電源接続が必要です。V_{DD}、V_{DDI}、V_{OFFSET}、V_{BIAS}、V_{RESET} すべての V_{SS} 接続も必要です。
- (8) LPSDR 仕様は、LS_CLK ピンと LS_WDATA ピン用です。
- (9) 低速インターフェイスは LPSDR であり、JEDEC 規格 No. 209B、低消費電力ダブル データレート (LPDDR) [JESD209B](#) の「電気的特性」および「AC/DC 動作条件」表に準拠しています。
- (10) LPSDR 出力仕様は、LS_RDATA_A、LS_RDATA_B、LS_RDATA_C、LS_RDATA_D ピン用です。

5.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PD}	出力伝搬、クロックから Q まで、LS_CLK 入力の立ち上がりエッジから LS_RDATA 出力まで。	C _L = 45pF			15	ns
	スルーレート、LS_RDATA		0.3			V/ns
	出力デューティ サイクル歪み、LS_RDATA		40		60	%

- (1) デバイスの電気的特性は、特に記述のない限り[セクション 5.4](#) 以上です。

5.8 タイミング要件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

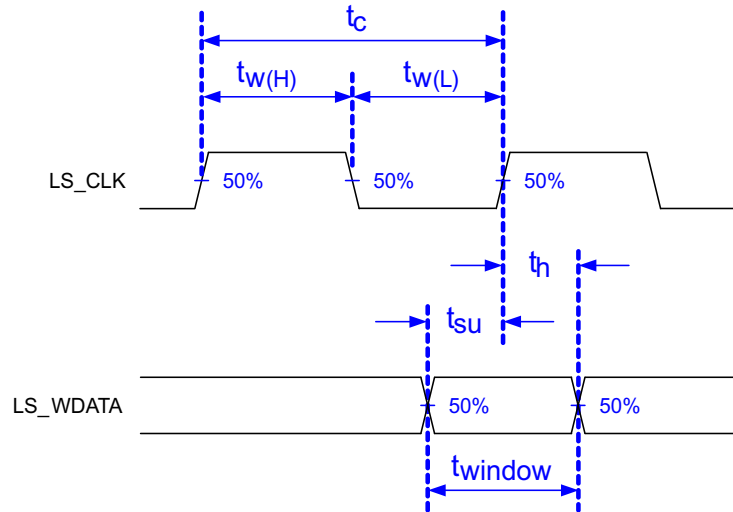
			最小値	公称値	最大値	単位
LPSDR						
t _f	立ち下がりスルーレート ⁽²⁾	(80% ~ 20%) × V _{DD} ⁽⁵⁾	0.25			V/ns
t _c	サイクル時間 LS_CLK ⁽⁵⁾	50% ~ 50%のリファレンス ポイント ⁽⁵⁾	7.7	8.3		ns
t _r	立ち上がりスルーレート ⁽¹⁾	(30% ~ 80%) × V _{DD} ⁽⁶⁾	1		3	V/ns
t _f	立ち下がりスルーレート ⁽¹⁾	(70% ~ 20%) × V _{DD} ⁽⁶⁾	1		3	V/ns
t _r	立ち上がりスルーレート ⁽²⁾	(20% ~ 80%) × V _{DD} ⁽⁶⁾	0.25			V/ns
t _{W(H)}	パルス幅 LS_CLK High	50% ~ 50%のリファレンス ポイント ⁽⁵⁾	3.1			ns
t _{W(L)}	パルス幅 LS_CLK Low	50% ~ 50%のリファレンス ポイント ⁽⁵⁾	3.1			ns
t _{WINDOW}	ウィンドウ時間 ^{(1) (3)}	セットアップ時間 + ホールド時間 ⁽⁵⁾	3			ns
t _{DERATING}	ウィンドウ時間のディレーティング ^{(1) (3)}	0.25V/ns ごとにスルーレートが低下し、1V/ns 未満になる ⁽⁸⁾		0.35		ns
t _{su}	セットアップ時間	LS_WDATA は LS_CLK の前に有効 ⁽⁵⁾			1.5	ns
t _h	ホールド時間	LS_WDATA は LS_CLK の後に有効 ⁽⁵⁾			1.5	ns
SubLVDS						
t _r	立ち上がりスルーレート	20% ~ 80%のリファレンス ポイント ⁽⁷⁾	0.7	1		V/ns
t _f	立ち下がりスルーレート	80% ~ 20%のリファレンス ポイント ⁽⁷⁾	0.7	1		V/ns
t _c	サイクル時間 D_CLK ⁽⁹⁾	50% ~ 50%のリファレンス ポイント ⁽⁹⁾	1.35	1.39		ns
t _{W(H)}	パルス幅 DCLK High	50% ~ 50%のリファレンス ポイント ⁽⁹⁾	0.7			ns
t _{W(L)}	パルス幅 DCLK Low	50% ~ 50%のリファレンス ポイント ⁽⁹⁾	0.7			ns

5.8 タイミング要件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	公称値	最大値	単位
t_{su}	セットアップ時間	D_CLK の前にデータ有効 ⁽⁹⁾			0.17	ns
t_h	ホールド時間	D_CLK の後にデータ有効 ⁽⁹⁾			0.17	ns
t_{WINDOW}	ウィンドウ時間	セットアップ時間 + ホールド時間 ^{(9) (10)}			0.25	ns
t_{POWER}	パワーアップ レシーブ ⁽⁴⁾				200	ns

- (1) 仕様は LS_CLK ピンと LS_WDATA ピンのものです。図 5-3 の LPSDR 入力の立ち上がりおよび立ち下がりスループートを参照してください。
(2) 仕様は DMD_DEN_ARSTZ ピンのものです。図 5-3 の LPSDR 入力の立ち上がりおよび立ち下がりスループートを参照してください。
(3) ウィンドウ時間のデレーティングの例: 0.5V/ns のスループートにより、ウィンドウ時間が 0.7ns 増加し、3ns から 3.7ns になります。
(4) この仕様は SubLVDS レシーバー時間のみを対象としており、コマンド送信やコマンド送信後のレイテンシは考慮されていません。
(5) 図 5-2 を参照してください。
(6) 図 5-3 を参照してください。
(7) 図 5-4 を参照してください。
(8) 図 5-5 を参照してください。
(9) 図 5-6 を参照してください。
(10) 図 5-7 を参照してください。



低速インターフェイスは LPSDR であり、JEDEC 規格 No. 209B、低消費電力ダブル データ レート (LPDDR) JESD209B の「電気的特性」および「AC/DC 動作条件」表に準拠しています。

図 5-2. LPSDR スイッチング パラメータ

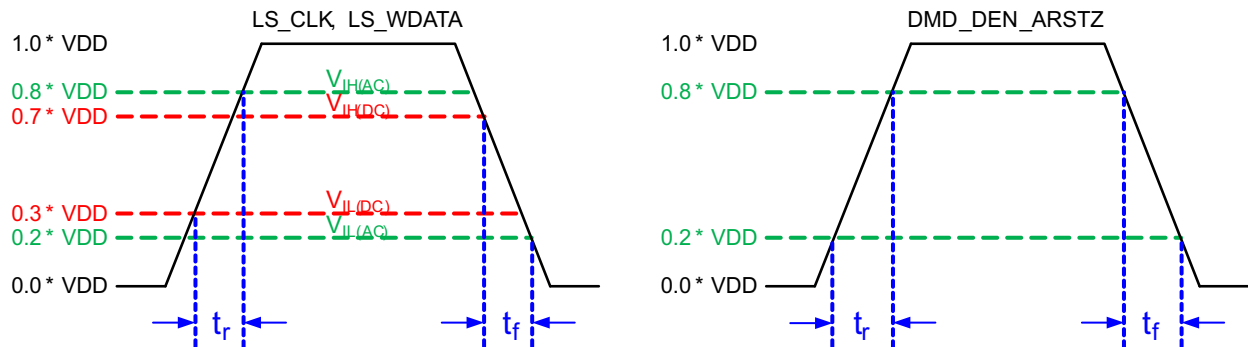


図 5-3. LPSDR 入力の立ち上がりおよび立ち下がりスループート

Not to Scale

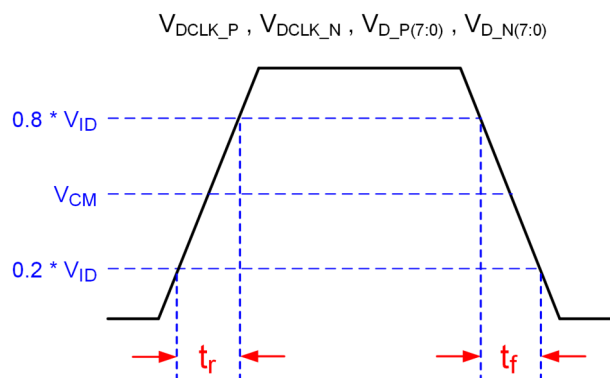


図 5-4. SubLVDS 入力の立ち上がりおよび立ち下がりスループレート

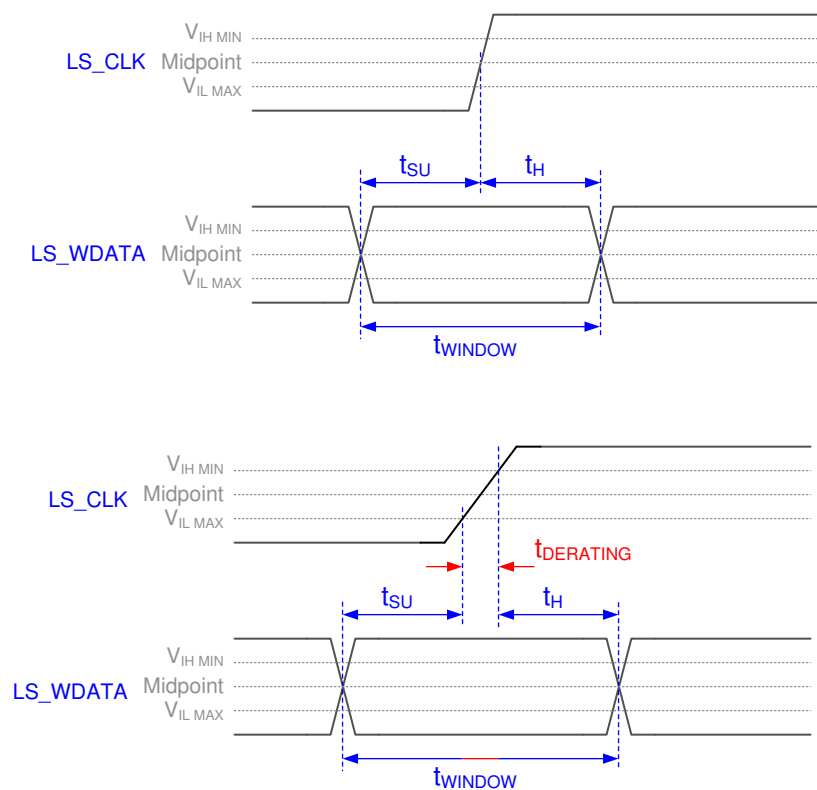


図 5-5. ウィンドウ時間ディレーティングの概念

Not to Scale

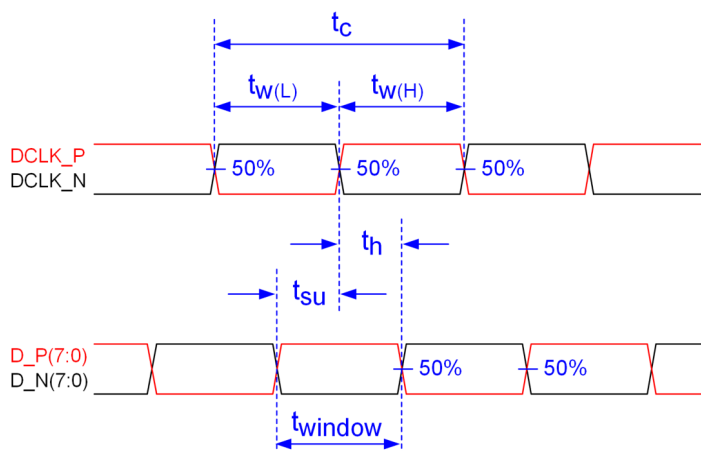
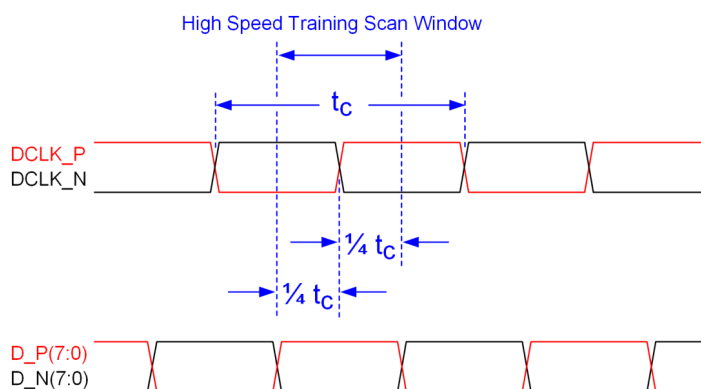


図 5-6. SubLVDS スイッチング パラメータ



注: 詳細については、[セクション 5.8](#) を参照してください。

図 5-7. 高速トレーニング スキャン ウィンドウ

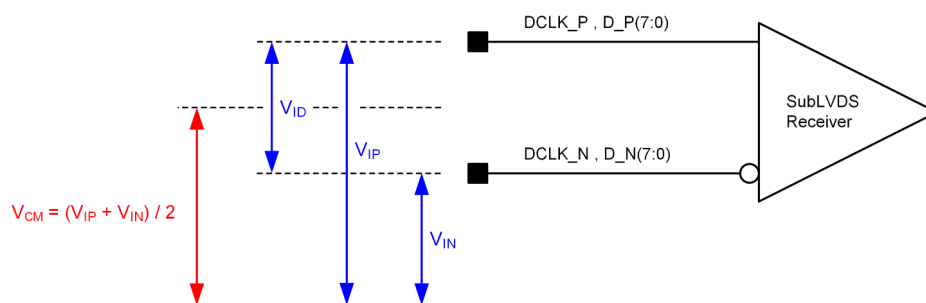


図 5-8. SubLVDS 電圧パラメータ

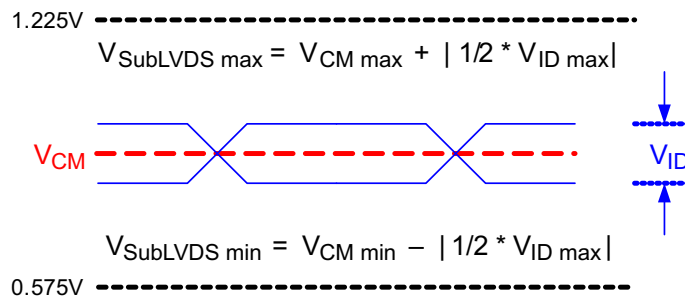


図 5-9. SubLVDS 波形パラメータ

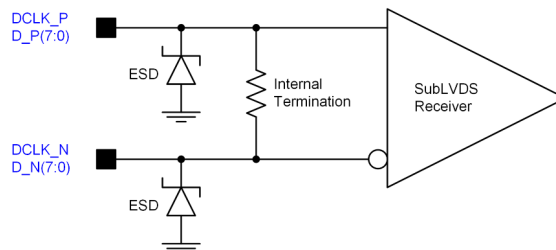


図 5-10. SubLVDS 等価入力回路

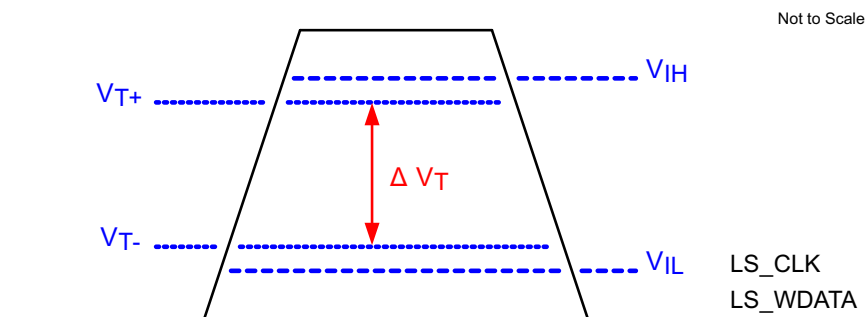


図 5-11. LPSDR 入力ヒステリシス

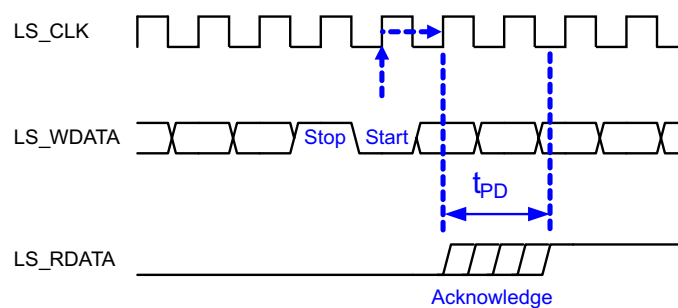
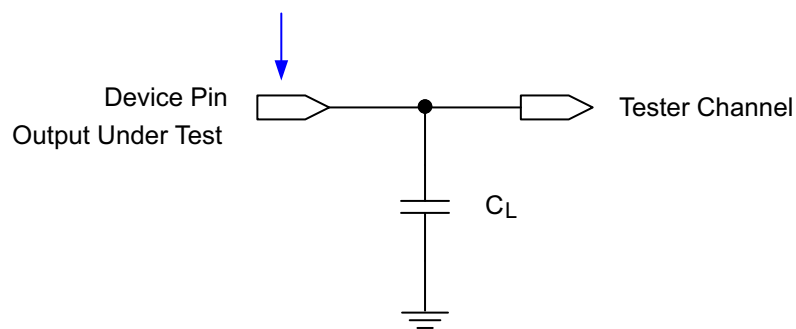


図 5-12. LPSDR 読み出し

Data Sheet Timing Reference Point



詳細については、[セクション 5.6](#) を参照してください。

図 5-13. 出力伝搬測定用のテスト負荷回路

5.9 システム実装インターフェイスの荷重

パラメータ	条件	最小値	公称値	最大値	単位
サーマル インターフェイス領域	各領域に均等に分配される最大負荷 ⁽¹⁾			73.5	N
電気的インターフェイス領域	各領域に均等に分配される最大負荷 ⁽¹⁾			150	

(1) [図 5-14](#) を参照してください。

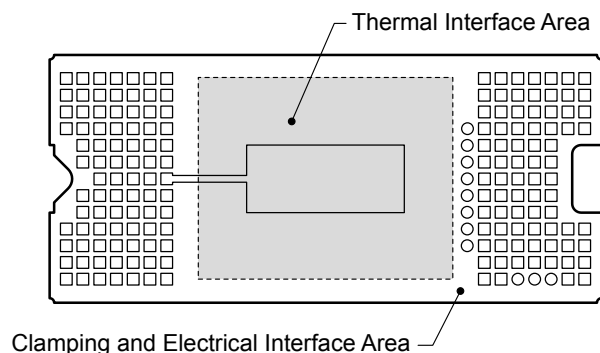


図 5-14. システム実装インターフェイスの荷重

5.10 マイクロミラー アレイの物理特性

パラメータの説明		値	単位
アクティブな列の数 ⁽¹⁾	M	1920	マイクロミラー
アクティブな行の数 ⁽¹⁾	N	1080	マイクロミラー
マイクロミラー (ピクセル) ピッチ ⁽¹⁾	P	5.4	μm
マイクロミラーのアクティブ アレイの幅 ⁽¹⁾	マイクロミラーのピッチ × アクティブ列の数	10.368	mm
マイクロミラーのアクティブ アレイの高さ ⁽¹⁾	マイクロミラーのピッチ × アクティブ行の数	5.832	mm
マイクロミラーのアクティブ境界 ⁽²⁾	マイクロミラーの池 (POM)	20	マイクロミラー / サイド

(1) [図 5-15](#) を参照してください。

(2) アクティブ アレイの周囲にある境界の構造と品質には、マイクロミラーの池 (POM) と呼ばれる、部分的に機能するマイクロミラーのバンドが含まれています。これらのマイクロミラーは構造的および / または電気的に、明るい状態またはオン状態へ傾けることを防止しますが、オフ状態へ傾けるには電氣的バイアスが必要です。

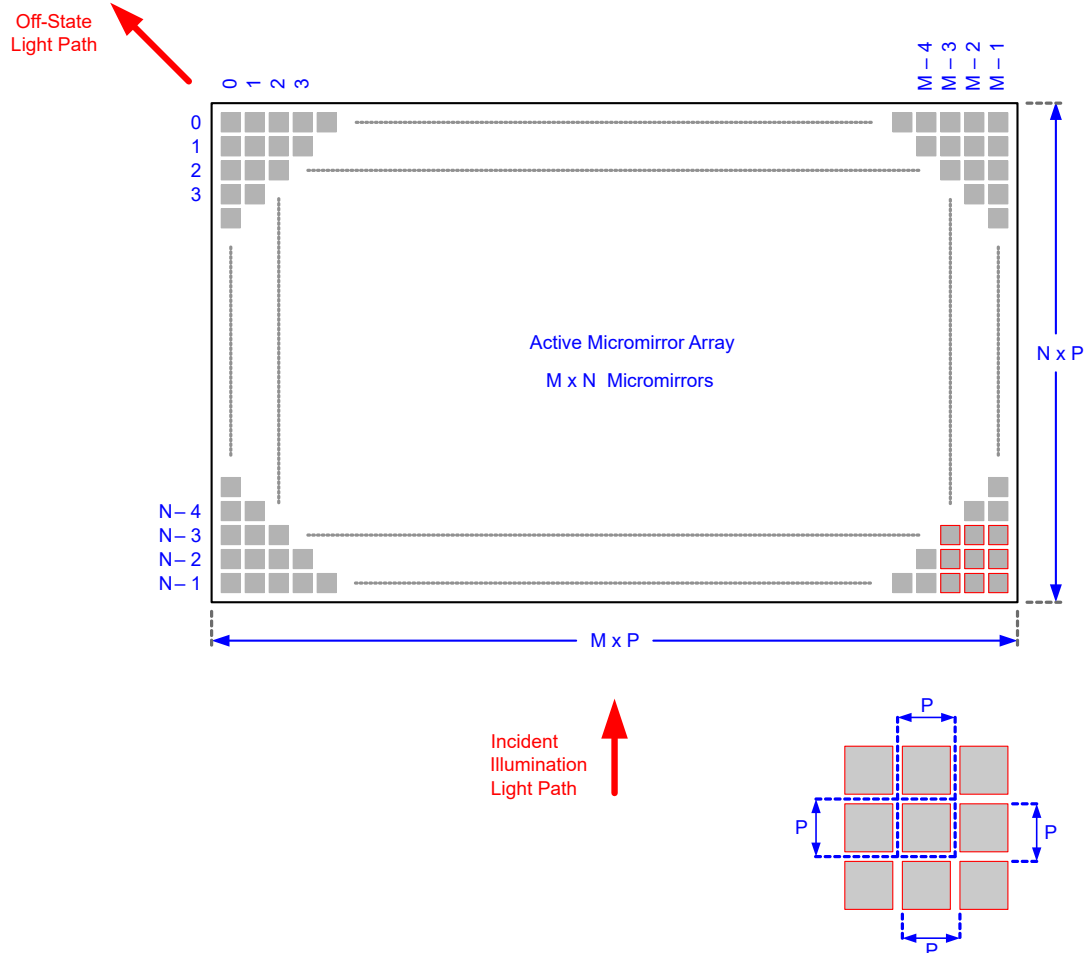


図 5-15. マイクロミラー アレイの物理特性

5.11 マイクロミラー アレイの光学特性

パラメータ		テスト条件	最小値	標準値	最大値	単位
マイクロミラーの傾斜角		着地状態 ⁽¹⁾		17		°
マイクロミラーの傾斜角許容値 ^{(2) (3) (4) (5)}			-1.4		1.4	°
マイクロミラーの傾斜方向 ^{(6) (7)}		着地 ON 状態		270		°
マイクロミラーの傾斜方向 ^{(6) (7)}		着地 OFF 状態		180		°
マイクロミラーのクロスオーバー時間 ⁽⁸⁾		代表的性能		1	3	μs
マイクロミラーのスイッチング時間 ⁽⁹⁾		代表的性能	6			
画像性能 ⁽¹⁰⁾	アクティブ領域の明るいピクセル ⁽¹¹⁾	グレイの 10 画面 ⁽¹²⁾			0	マイクロミラー
	POM 内の明るいピクセル ⁽¹³⁾	グレイの 10 画面 ⁽¹²⁾			1	
	アクティブ領域の暗いピクセル ⁽¹⁴⁾	白い画面			4	
	隣接ピクセル ⁽¹⁵⁾	任意の画面			0	
	アクティブ領域で不安定なピクセル ⁽¹⁶⁾	任意の画面			0	

- (1) マイクロミラー アレイ全体から形成されるプレーンを基準として測定されます。
(2) マイクロミラー アレイとパッケージのデータ間には、さらに大きな変動があります。
(3) 公称着地傾斜角に対する着地傾斜角の変動を表します。

- (4) 同じデバイス上または異なるデバイス上に配置された任意の 2 つの個別マイクロミラー間で発生する可能性のある変動を表しています。
- (5) 一部のアプリケーションでは、システム全体の光学設計においてマイクロミラーの傾斜角の変動を考慮することが重要です。一部のシステム光学設計では、デバイス内のマイクロミラーの傾斜角が変動すると、マイクロミラー アレイから反射された光磁界では不均一性が認識される場合があります。一部のシステム光学設計では、デバイス間でマイクロミラーの傾斜角が変動すると、色測定のバラツキ、システム効率のバラツキ、またはシステムコントラストのバラツキが生じる場合があります。
- (6) マイクロミラー アレイを着地 (駐車されていない) すると、各マイクロミラーの傾斜方向は、各マイクロミラーに対応する CMOS メモリセルのバイナリ内容によって決まります。バイナリ値が 1 のとき、マイクロミラーはオン状態方向に着地します。バイナリ値が 0 のとき、マイクロミラーはオフ状態方向に着地します。マイクロミラーの着地方向と傾き [図 5-16](#) を参照してください。
- (7) マイクロミラーの傾斜方向は、一般的な極座標系と同様に以下のように測定されます: +X 直交軸と一直線上にある 0° の基準から反時計回りに測定します。
- (8) マイクロミラーがある着地状態から反対側の着地状態に公称遷移するために必要な時間。
- (9) マイクロミラーの連続する遷移間の最小時間。
- (10) 受け入れの条件: すべての DMD 画質に関する返品は、以下の投影画像テスト条件を使用して評価されます:
 - テスト セット degamma はリニアにする
 - テスト セット輝度とコントラストを公称に設定する
 - 投影画像の対角線サイズは最小 20 インチにする
 - 投影スクリーンを 1X ゲインにする
 - 投影画像を最低視聴距離 38 インチから検査する
 - すべての画質テスト中に画像の焦点が合っている必要があります。
- (11) 明るいピクセルの定義: シングル ピクセルまたはミラーがオン位置に固定され、周囲のピクセルよりも目に見えて明るいこと
- (12) グレイの 10 画面の定義: 画面のすべての領域は、次の設定で色分けされます:
 - 赤 = 10/255
 - 緑 = 10/255
 - 青 = 10/255
- (13) POM の定義: アクティブ領域を取り囲むオフ状態ミラーの長方形境界線
- (14) 暗いピクセルの定義: シングル ピクセルまたはミラーがオフ位置に固定され、周囲のピクセルよりも目に見えて暗いこと
- (15) 隣接ピクセルの定義: 共通の境界または共通のポイントを共有する 2 つ以上のスタック ピクセル (クラスタとも呼ばれます)
- (16) 不安定なピクセルの定義: パラメータをメモリにロードした順序で動作しないシングル ピクセルまたはミラー。不安定なピクセルは、画像と非同期にちらつきがあるように見える

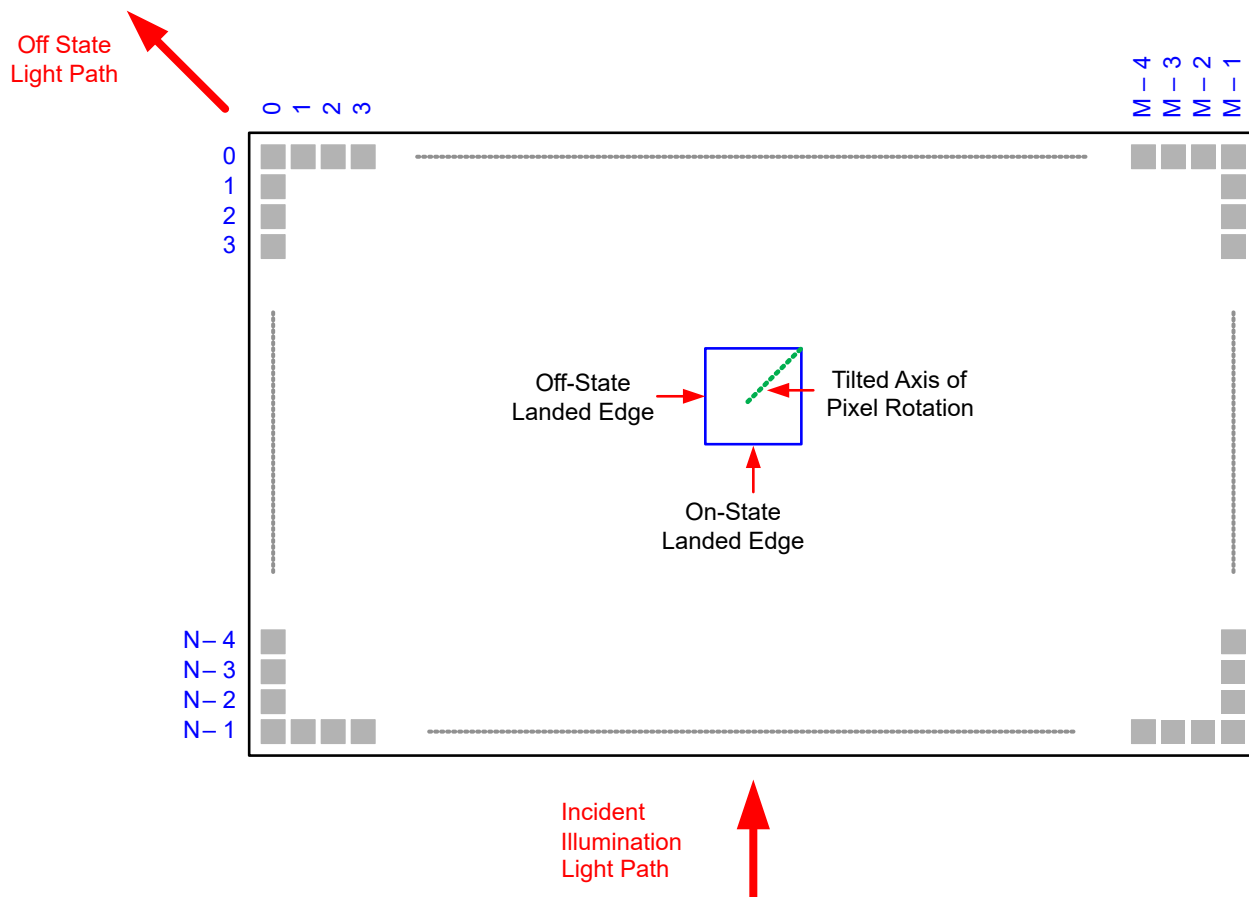


図 5-16. マイクロミラーの着地方向と傾き

5.12 ウィンドウの特性

説明 ⁽¹⁾		最小値	標準値	最大値
ウィンドウ材質		Corning Eagle XG		
ウィンドウ屈折率	波長 546.1nm の場合	1.5119		
ウィンドウ開口部 ⁽²⁾		(2) を参照してください。		
オーバーフィル照射 ⁽³⁾		(3) を参照してください。		
ウィンドウ透過率、 表面とガラスの両方を通るシングルパス	波長範囲 420nm ~ 680nm の最小値。0° ~ 30° AOI のすべての角度に適用されます。 ⁽⁴⁾	97%		
	波長範囲 420nm ~ 680nm の平均。30° ~ 45° AOI のすべての角度に適用されます。 ⁽⁴⁾	97%		

- (1) セクション 6.5 を参照してください。
- (2) ウィンドウ開口部のサイズと位置の詳細については、パッケージの機械的特性を参照してください。
- (3) DMD デバイスのアクティブ領域は、DMD デバイス アセンブリの構造を通常の視界から覆い隠す、ウィンドウ面の内側にある開口部で囲まれています。開口部は、いくつかの光学条件を想定した大きさになっています。アクティブ アレイの外側を照らすオーバーフィル光は散乱し、DMD を使用する最終アプリケーションの性能に悪影響を及ぼす可能性があります。照明光学システムは、アクティブ アレイから外側に入射する光束を、アクティブ領域の平均光束レベルの 10% 未満に制限するように設計する必要があります。システムの光学アーキテクチャとアセンブリ許容誤差によっては、アクティブ アレイの外側のオーバーフィル光量がシステム性能の劣化を引き起こす可能性があります。
- (4) 入射角 (AOI) は、入射光線と反射面または屈折面の法線との間の角度です。

5.13 チップセット コンポーネントの使用方法的仕様

DLP472NP DMD の信頼性の高い機能と動作を実現するには、TI の DMD 制御テクノロジーを採用または実装する部品など、該当する DLP チップセットの他の部品と組み合わせて使用する必要があります。TI の DMD 制御テクノロジーは、DLP DMD の動作または制御に使用される TI のテクノロジーとデバイスで構成されています。

注

TI は、前述の制限を超える光学システムの動作条件によって発生する画質のアーチファクトまたは DMD の故障については、一切責任を負いません。

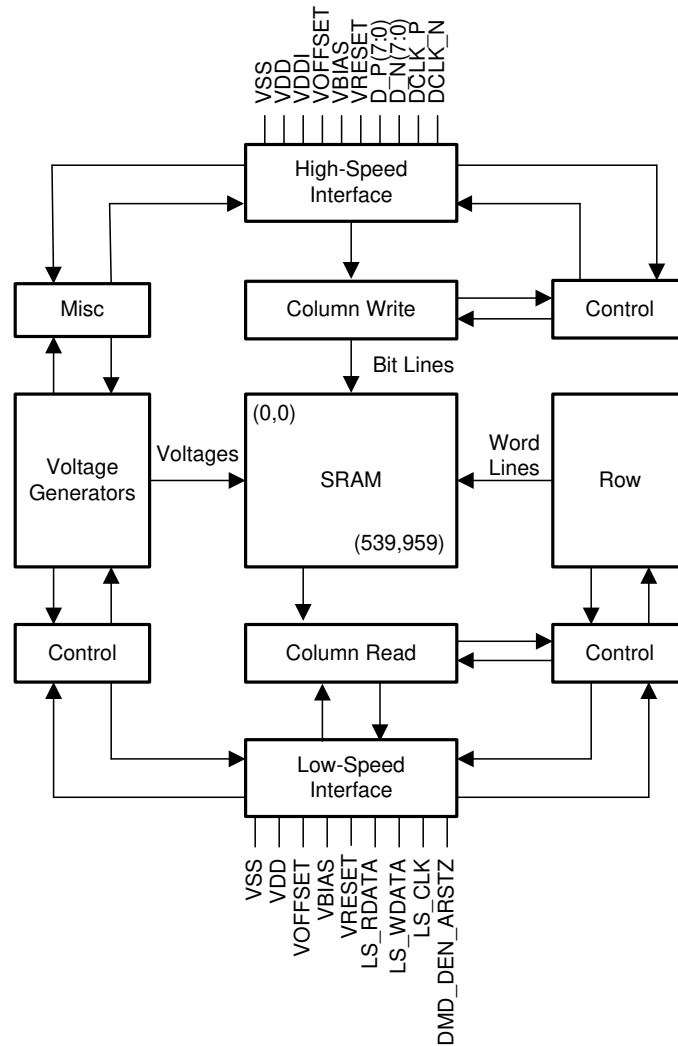
6 詳細説明

6.1 概要

DLP472NP DMD は、対角 0.47 インチの空間光変調器で、反射率の高いアルミニウム製マイクロミラー アレイを内蔵しています。DMD は、電気入力、光出力の光マイクロマシン (MOEMS) です。電氣的インターフェイスは、低電圧差動信号伝送 (LVDS) です。DMD は、1 ビット CMOS メモリ セルの 2 次元アレイで構成されます。アレイは、M 個のメモリセル列と N 個のメモリセル行の格子状に編成されます。[機能ブロック図](#) を参照してください。マイクロミラーの正または負の偏向角度は、基盤となる CMOS アドレッシング回路とマイクロミラー リセット信号 (MBRST) のアドレス電圧を変更することで、個別に制御可能です。

DLP 0.47 インチ 1080p FHD チップセットは、DLP472NP DMD、DLPC8444 ディスプレイ コントローラ、DLPA3085 または DLPA3082 PMIC ドライバで構成されています。信頼性の高い動作を保証するため、DLP472NP DMD は、DLP ディスプレイ コントローラおよびチップセットで指定されている PMIC と常に一緒に使う必要があります。

6.2 機能ブロック図



6.3 機能説明

6.3.1 電源インターフェイス

DMD は次の 4 つの DC 電圧を必要とします: 1.8V ソース、 V_{OFFSET} 、 V_{RESET} 、 V_{BIAS} 一般的な LED ベースのシステムでは、1.8V、 V_{OFFSET} 、 V_{RESET} 、および V_{BIAS} は、PMICDLPA3085 または DLPA3082 および LED ドライバによって管理されます。

6.3.2 LPSDR 低速インターフェイス

低速インターフェイスは、DMD を構成し、リセット動作を制御する命令を処理します。LS_CLK は低速クロック、LS_WDATA は低速データ入力です。

6.3.3 高速インターフェイス

高速インターフェイスの目的は、ピクセル データを迅速かつ効率的に転送することであり、高速 DDR 転送および圧縮技術を使用して電力と時間を節約することです。高速インターフェイスは、入力用の差動 SubLVDS レシーバを専用クロックで内蔵しています。

6.3.4 タイミング

データシートには、デバイス ピンでのタイミングが記載されています。出力タイミング解析では、テストのピン エレクトロニクスとその伝送ラインの影響を考慮に入れる必要があります。図 5-13 に、テスト対象の出力の等価テスト負荷回路を示します。タイミング基準負荷は、特定のシステム環境を精密に表現したり、製造試験で示される実際の負荷を表現したりすることを意図したものではありません。システム設計者は、IBIS または他のシミュレーション ツールを使用して、タイミング基準負荷をシステム環境に関連付ける必要があります。記載されている負荷容量値は、AC タイミング信号の特性評価と測定のみを目的としています。この負荷容量の値は、デバイスが駆動可能な最大負荷を示しているわけではありません。

6.4 デバイスの機能モード

DMD の機能モードは、DLPC8444 ディスプレイ コントローラによって制御されます。DLPC8444 ディスプレイ コントローラのデータシートを参照するか、TI アプリケーション エンジニアにお問い合わせください。

6.5 光学インターフェイスおよびシステムの画質に関する検討事項

TI は、最終製品の光学性能について一切責任を負いません。目的の最終製品の光学性能を実現するには、多数の部品とシステム設計パラメータとの間でトレードオフを決定する必要があります。システムの光学性能と画像品質の最適化は、光学システム設計のパラメータのトレードオフに大きく関係しています。想定可能なすべてのアプリケーションを予測できるわけではありませんが、プロジェクタの画質と光学性能は、以下のセクションに示す光学システムの動作条件への準拠によって決まります。

6.5.1 開口数および迷光制御

DMD の光学領域における照明と投影光学素子の開口数で定義される角度は同じである必要があります。この角度は、照明および投影瞳孔に適切な開口部を追加して、投影レンズからの平面光および迷光をブロックする場合を除いて、公称デバイスのマイクロミラー傾斜角を超えないようにする必要があります。マイクロミラーの傾斜角により、DMD の「オン」光路をその他のライトパスから分離できます。これには、DMD ウィンドウからの望ましくない平面状態の反射、DMD の境界構造、または DMD 付近にあるプリズムやレンズ表面などのその他のシステム表面などが含まれます。開口数がマイクロミラーの傾斜角を超える場合、または投影開口数角度が照明開口数角度より 2 度以上大きい場合 (その逆も同様)、コントラストが低下し、表示境界やアクティブ領域に望ましくないアーティファクトが発生する可能性があります。

6.5.2 瞳孔一致

光学的品質および画質に関する TI の仕様は、照明用光学素子の射出瞳が公称値として投影光学素子の入射瞳から 2° 以内の位置を中心としていると仮定しています。瞳孔のずれは、ディスプレイ境界とアクティブ領域に不快なアーチファクトを発生させる可能性があり、特にシステムの開口数がピクセル チルト角度を超える場合は、制御するために追加のシステム開口部が必要になる場合があります。

6.5.3 オーバーフィル照射

デバイスのアクティブ領域は、DMD チップ アセンブリの構造を通常の視界から覆い隠す、DMD ウィンドウ面の内側にある開口部で囲まれ、複数の光学動作条件を想定したサイズとなっています。ウィンドウ開口部を照らすオーバーフィル光は、ウィンドウ開口部の端からアーチファクトが発生したり、その他の表面異常が画面に表示されたりする可能性があります。照明光学システムは、ウィンドウ開口部上の任意の場所に入射する光束が、アクティブ領域の平均光束レベルの約 10% を超えないように設計する必要があります。特定のシステムの光学的アーキテクチャによっては、オーバーフィル光を推奨される 10% 未満にさらに低減して、許容可能な範囲にする必要があります。

6.6 マイクロミラー アレイ温度の計算

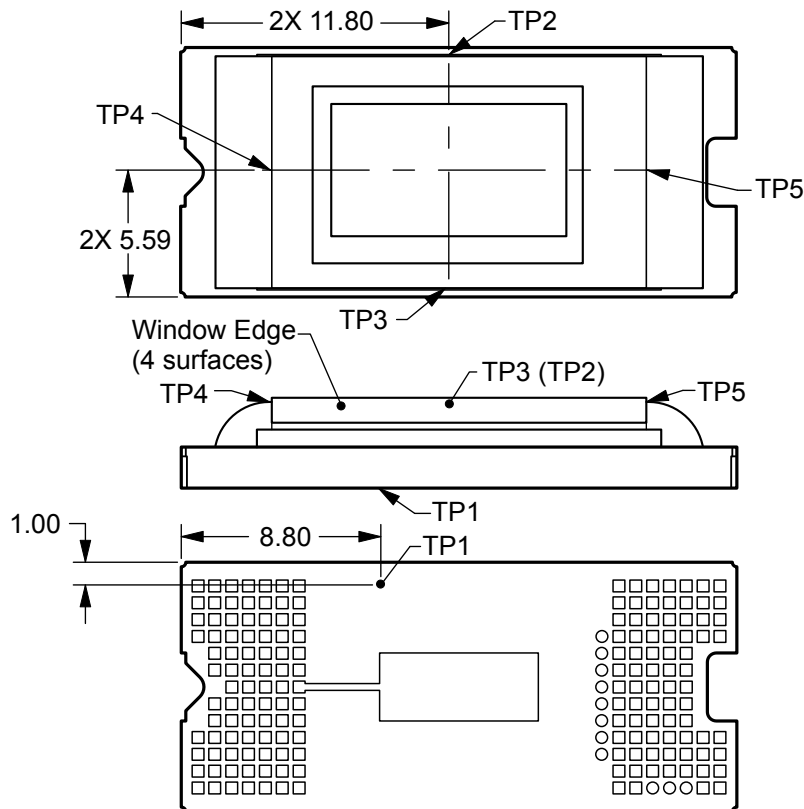


図 6-1. DMD の温度テスト ポイント

マイクロミラー アレイの温度は直接測定できないため、パッケージ外部の測定ポイント、パッケージの熱抵抗、電力、照明の熱負荷から、解析的に計算する必要があります。アレイ温度と基準セラミック温度 (図 6-1 の熱テスト TC1/TP1) の関係は、以下の式で与えられます。

$$T_{\text{ARRAY}} = T_{\text{CERAMIC}} + (Q_{\text{ARRAY}} \times R_{\text{ARRAY-TO-CERAMIC}})$$

$$Q_{\text{ARRAY}} = Q_{\text{ELECTRICAL}} + Q_{\text{ILLUMINATION}}$$

ここで、

- T_{ARRAY} = Computed array temperature (°C)
- T_{CERAMIC} = Measured ceramic temperature (°C) (TP1 location)
- $R_{\text{ARRAY-TO-CERAMIC}}$ = Thermal resistance of package specified in 図 6-1 from array to ceramic TP1 (°C/Watt)
- Q_{ARRAY} = Total DMD power on the array (W) (electrical + absorbed)
- $Q_{\text{ELECTRICAL}}$ = Nominal electrical power (W)
- Q_{INCIDENT} = Incident illumination optical power (W)
- $Q_{\text{ILLUMINATION}}$ = (DMD average thermal absorptivity \times Q_{INCIDENT}) (W)
- DMD average thermal absorptivity = 0.4

DMD の消費電力は変数で、電圧、データレート、動作周波数に依存します。アレイ温度の計算時に使用する公称消費電力量は 1.0W です。照射用光源から吸収される電力は変数で、マイクロミラーの動作状態と光源の強度に依存します。上記の式は、シングル チップまたはマルチチップの DMD システムに有効です。この想定では、アクティブ アレイで 83.7%、アレイ境界で 16.3% の照度分布を想定しています。

標準的な投影アプリケーションの計算例は次のとおりです。

$$Q_{\text{INCIDENT}} = 9.4\text{W (measured)}$$

$$T_{\text{CERAMIC}} = 55.0^{\circ}\text{C (measured)}$$

$$Q_{\text{ELECTRICAL}} = 1.0\text{W}$$

$$Q_{\text{ARRAY}} = 1.0\text{W} + (0.40 \times 9.4\text{W}) = 4.76\text{W}$$

$$T_{\text{ARRAY}} = 55.0^{\circ}\text{C} + (4.76\text{ W} \times 1.2^{\circ}\text{C/W}) = 60.7^{\circ}\text{C}$$

6.7 マイクロミラーの電力密度の計算

さまざまな波長帯域で DMD 上の照明の光出力密度を計算するには、DMD で測定された合計光出力、照明のオーバーフィル率、アクティブ アレイの面積、目的の波長帯域でのスペクトルの合計光出力に対する比率を使用します。

- $ILL_{\text{UV}} = [OP_{\text{UV-RATIO}} \times Q_{\text{INCIDENT}}] \times 1000 \text{ (mW/W)} \div A_{\text{ILL}} \text{ (mW/cm}^2\text{)}$
- $ILL_{\text{VIS}} = [OP_{\text{VIS-RATIO}} \times Q_{\text{INCIDENT}}] \div A_{\text{ILL}} \text{ (W/cm}^2\text{)}$
- $ILL_{\text{IR}} = [OP_{\text{IR-RATIO}} \times Q_{\text{INCIDENT}}] \times 1000 \text{ (mW/W)} \div A_{\text{ILL}} \text{ (mW/cm}^2\text{)}$
- $ILL_{\text{BLU}} = [OP_{\text{BLU-RATIO}} \times Q_{\text{INCIDENT}}] \div A_{\text{ILL}} \text{ (W/cm}^2\text{)}$
- $ILL_{\text{BLU1}} = [OP_{\text{BLU1-RATIO}} \times Q_{\text{INCIDENT}}] \div A_{\text{ILL}} \text{ (W/cm}^2\text{)}$
- $A_{\text{ILL}} = A_{\text{ARRAY}} \div (1 - OV_{\text{ILL}}) \text{ (cm}^2\text{)}$

ここで

- ILL_{UV} = DMD での UV 照明の電力密度 (mW/cm^2)
- ILL_{VIS} = DMD での VIS 照明の電力密度 (W/cm^2)
- ILL_{IR} = DMD での IR 照明の電力密度 (mW/cm^2)
- ILL_{BLU} = DMD での BLU 照明の電力密度 (W/cm^2)
- ILL_{BLU1} = DMD での BLU1 照明の電力密度 (W/cm^2)
- A_{ILL} = DMD での照明領域 (cm^2)
- $Q_{INCIDENT}$ = DMD での総入射光パワー (W) (測定値)
- A_{ARRAY} = アレイの面積 (cm^2) (データシート)
- OV_{ILL} = アレイ外の DMD の総照明パーセント (%) (光学モデル)
- $OP_{UV-RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 未満の場合の光出力比 (スペクトル測定)
- $OP_{VIS-RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 800nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{IR-RATIO}$ = 照明スペクトルの総光出力に対する、波長が 800nm 超の場合の光出力比 (スペクトル測定)
- $OP_{BLU-RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 475nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{BLU1-RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 445nm 以下の場合の光出力比 (スペクトル測定)

照明領域は、照明オーバーフィルによって異なります。DMD 上の総照明領域は、アレイ領域と、アレイの周囲のオーバーフィル領域です。光学モデルを使用して、アレイの外部にある DMD 上の全照明の割合 (OV_{ILL}) と、アクティブ アレイ上にある全照明の割合を決定します。これらの値から、照明領域 (A_{ILL}) が計算されます。照明は、アレイ全体で一様であると仮定します。

測定された照明スペクトルから、総光出力に対する、対象の波長帯域における光出力との比が計算されます。

計算例:

$$Q_{INCIDENT} = 9.40 \text{ W (measured)}$$

$$A_{ARRAY} = ((10.368\text{mm} \times 5.832\text{mm}) \div 100\text{cm}^2/\text{mm}^2) = 0.6047\text{cm}^2 \text{ (data sheet)}$$

$$OV_{ILL} = 16.3\% \text{ (optical model)}$$

$$OP_{UV-RATIO} = 0.00021 \text{ (spectral measurement)}$$

$$OP_{VIS-RATIO} = 0.99977 \text{ (spectral measurement)}$$

$$OP_{IR-RATIO} = 0.00002 \text{ (spectral measurement)}$$

$$OP_{BLU-RATIO} = 0.28100 \text{ (spectral measurement)}$$

$$OP_{BLU1-RATIO} = 0.03200 \text{ (spectral measurement)}$$

$$A_{ILL} = 0.6047\text{cm}^2 \div (1 - 0.163) = 0.7224\text{cm}^2$$

$$ILL_{UV} = [0.00021 \times 9.40 \text{ W}] \times 1000\text{mW/W} \div 0.7224\text{cm}^2 = 2.732\text{mW/cm}^2$$

$$ILL_{VIS} = [0.99977 \times 9.40 \text{ W}] \div 0.7224\text{cm}^2 = 13.01\text{mW/cm}^2$$

$$ILL_{IR} = [0.00002 \times 9.40 \text{ W}] \times 1000\text{mW/W} \div 0.7224\text{cm}^2 = 0.260\text{mW/cm}^2$$

$$ILL_{BLU} = [0.28100 \times 9.40 \text{ W}] \div 0.7224\text{cm}^2 = 3.66\text{mW/cm}^2$$

$$ILL_{BLU1} = [0.03200 \times 9.40 \text{ W}] \div 0.7224\text{cm}^2 = 0.42\text{mW/cm}^2$$

6.8 マイクロミラーのランデッド オン/ランデッド オフ デューティ サイクル

6.8.1 マイクロミラーのランデッド オン/ランデッド オフ デューティ サイクルの定義

マイクロミラーのランデッド オン/ランデッド オフ デューティ サイクル (ランデッド デューティ サイクル) は、個々のマイクロミラーがオン状態で着地している時間の割合を、同じマイクロミラーがオフ状態で着地している時間に対する割合として示します。

たとえば、100/0 のランデッド デューティ サイクルは、基準のピクセルがオン状態の時間 100% (オフ状態の時間 0%) にあることを示しています。一方、0/100 は、ピクセルがオフ状態の時間 100% にあることを示しています。同様に、50/50 はピクセルがオン状態の時間 50% (オフ状態の時間 50%) になっていることを示します。

なお、ランデッド デューティ サイクルを評価する際、一方の状態 (オンまたはオフ) から他方の状態 (オフまたはオン) に切り替わるのに要する時間は無視できるものと見なされます。

マイクロミラーはどちらか一方の状態 (オンまたはオフ) でしか着地できないため、2 つの数値 (パーセンテージ) の合計は必ず 100 になります。

6.8.2 DMD のランデッド デューティ サイクルと有効寿命

(最終製品またはアプリケーションの) 長期平均ランデッド デューティ サイクルを把握することが重要です。DMD マイクロミラー アレイ (アクティブ アレイとも呼ばれます) のすべて (または一部) を非対称ランデッド デューティ サイクルに長時間適用すると、DMD の有効寿命が短くなるためです。

ランデッド デューティ サイクルの対称性 / 非対称性が関連することに注意してください。ランデッド デューティ サイクルの対称性は、2 つの数値 (パーセンテージ) がどれだけ等しいかによって決まります。たとえば、50/50 のランデッド デューティ サイクルは完全に対称ですが、100/0 または 0/100 のランデッド デューティ サイクルは完全に非対称です。

6.8.3 ランデッド デューティ サイクルと動作時の DMD 温度

DMD の動作温度とランデッド デューティ サイクルは DMD の耐用年数に影響を及ぼします。この相互作用を利用すると、非対称ランデッド デューティ サイクルが DMD の耐用年数に及ぼす影響を低減できます。これは、図 5-1 に示すデレーティング曲線で定量化されます。この曲線の重要性は次のとおりです。

- この曲線に沿ったすべてのポイントは、同じ耐用年数を表します。
- この曲線より上のすべてのポイントは、より短い耐用年数を表します (そして、曲線から離れているほど、耐用年数は短くなります)。
- この曲線より下のすべてのポイントは、より長い耐用年数を表します (そして、曲線から離れているほど、耐用年数は長くなります)。

この曲線は、所定の長期平均ランデッド デューティ サイクルに対して、DMD が動作すべき最大 DMD 動作温度を規定しています。

6.8.4 製品またはアプリケーションの長期平均ランデッド デューティ サイクルの推定

所定の期間中、特定のピクセルのランデッド デューティサイクルは、そのピクセルによって表示される画像内容から追従します。

たとえば、最も単純なケースでは、ある一定の期間、あるピクセルに純粋な白を表示する場合、そのピクセルはその期間中に 100/0 ランデッド デューティサイクル下で動作します。同様に、純粋な黒を表示する場合、ピクセルは 0/100 ランデッド デューティサイクル下で動作します。

この 2 つの極端な値の間 (入力画像に適用される色と画像処理をとりあえず無視します)、ランデッド デューティ サイクルは、表 6-1 に示すように、グレイスケール値で 1 対 1 を追跡します。

表 6-1. グレイスケール値とランデッド デューティ サイクル

グレイスケール値	ランデッド デューティ サイクル
0%	0/100
10%	10/90
20%	20/80
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10
100%	100/0

演色を考慮 (ただしここでも画像処理を無視します) するには、特定のピクセルの各構成原色 (赤、緑、青) のカラー強度 (0% から 100%) と、各原色のカラー サイクル時間 (「カラー サイクル時間」は、目的のホワイト ポイントを達成するために特定の原色が表示されるフレーム時間の合計割合) の両方を知る必要があります。

特定の期間内に、特定のピクセルのランデッド デューティ サイクルを計算するには、式 1 を使用します。

$$\text{Landed Duty Cycle} = (\text{Red_Cycle_}\% \times \text{Red_Scale_Value}) + (\text{Green_Cycle_}\% \times \text{Green_Scale_Value}) + (\text{Blue_Cycle_}\% \times \text{Blue_Scale_Value}) \quad (1)$$

ここで、

- Red_Cycle_% は、目的のホワイト ポイントを達成するために赤で表示されるフレーム時間の割合を表します
- Green_Cycle_% は、目的のホワイト ポイントを達成するために緑で表示されるフレーム時間の割合を表します
- Blue_Cycle_% は、目的のホワイト ポイントを達成するために青で表示されるフレーム時間の割合を表します。

たとえば、赤、緑、青のカラー サイクル時間がそれぞれ 30%、50%、20% であると仮定し、(目的のホワイト ポイントを達成するために) 赤、緑、青の強度のさまざまな組み合わせに対するランデッド デューティ サイクルは、表 6-2 と表 6-3 に示すようになります。

表 6-2. フルカラー、カラー パーセンテージに対するランデッド デューティ サイクルの例

サイクル パーセンテージ		
緑色	青色	赤色
50%	20%	30%

表 6-3. フルカラーのランデッド デューティ サイクルの例

スケール値			ランデッド デューティ サイクル
緑色	青色	赤色	
0%	0%	0%	0/100

**表 6-3. フルカラーのランデッド デューティ サイクルの
例 (続き)**

スケール値			ランデッド デュー ティ サイクル
緑色	青色	赤色	
100%	0%	0%	50/50
0%	100%	0%	20/80
0%	0%	100%	30/70
12%	0%	0%	6/94
0%	35%	0%	7/93
0%	0%	60%	18/82
100%	100%	0%	70/30
0%	100%	100%	50/50
100%	0%	100%	80/20
12%	35%	0%	13/87
0%	35%	60%	25/75
12%	0%	60%	24/76
100%	100%	100%	100/0

ランデッド デューティ サイクルを推定する際に考慮すべき最後の要因は、適用されている画像処理です。コントローラ内では、ガンマ機能はランデッド デューティサイクルに影響を与えます。

ガンマは、 $\text{Output_Level} = A \times \text{Input_Level}^{\text{Gamma}}$ という形式の電力関数です。ここで、**A** は通常 1 に設定されるスケール係数です。

コントローラでは、ピクセル単位で入力画像データにガンマが適用されます。一般的なガンマ係数は 2.2 で、[図 6-2](#) に示すように入力データが変換されます。

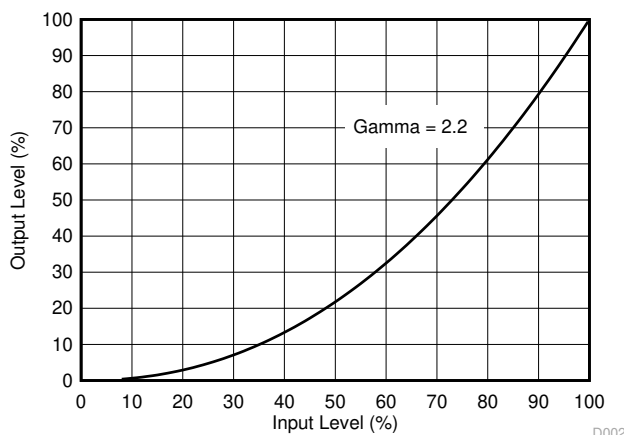


図 6-2. ガンマ= 2.2 の例

[図 6-2](#) から、指定された入力ピクセルのグレイスケール値が 40% の場合 (ガンマが適用される前)、ガンマが適用された後でグレイスケール値は 13% になります。したがって、ガンマは表示されるピクセルのグレイスケール レベルに直接影響するため、ピクセルのランデッド デューティ サイクルにも直接的な影響を与えることがわかります。

コントローラの前に発生する画像処理についても考慮する必要があります。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DMD は空間光変調器であり、照射用光源から受け入れた光を 2 方向のいずれかに反射します。主な方向は、プロジェクションまたは集光光学系です。各アプリケーションは、主にシステムの光学アーキテクチャと、DLPC8444 コントローラが受け入れるデータ形式の違いで派生するものです。底面照度の高い DMD の高傾斜ピクセルにより、輝度性能が向上し、厚さに制約のあるアプリケーション向けにシステムのフットプリントを小型化できます。DLP472NP を使用する代表的なアプリケーションには、モバイル スマート TV とデジタル サイネージが含まれます。

DMD のパワーアップ / パワーダウン シーケンシングは、DLPA3085 または DLPA3082 によって厳密に制御されます。パワーアップとパワーダウンの仕様については、セクション 8 を参照してください。信頼性の高い動作を保証するために、DLP472NP DMD は常に、DLPC8444 コントローラおよび DLPA3085 または DLPA3082 PMIC とともに使用する必要があります。

7.2 代表的なアプリケーション

DLP472NP DMD は、DLPC8444 デジタル コントローラやパワー マネージメント デバイスと組み合わせることにより、高輝度で色鮮やかなディスプレイ用途に最適なフル 1080p FHD 解像度を実現します。図 7-1 に、DLP 0.47 インチ 1080p FHD チップセットの LED 構成と必要なシステム部品を示します。この部品には、DLP472NP DMD、DLPC8444 ディスプレイ コントローラ、DLPA3085 または DLPA3082 PMIC および LED ドライバが含まれます。

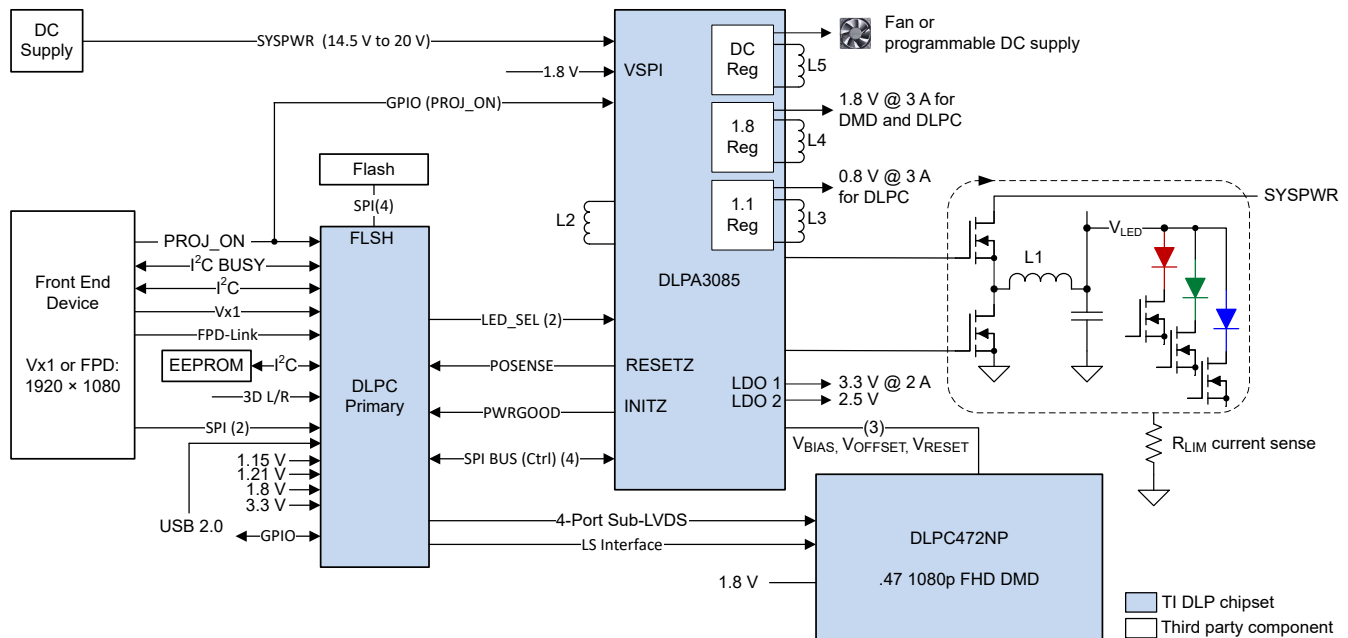


図 7-1. 1080p FHD LED の代表的なアプリケーション図

7.2.1 設計要件

ディスプレイシステムのその他の中核部品としては、照射用光源、照明および投影光学系用の光学エンジン、その他の電気部品および機械部品、ソフトウェアがあります。使用する照明の種類と目的の輝度は、システム全体の設計とサイズに大きな影響を及ぼします。

ディスプレイシステムは DLP472NP をコア画像処理デバイスとして使用し、0.47 インチのマイクロミラー アレイを搭載しています。DLPC8444 コントローラは、DMD とシステムの他の部分との間のデジタル インターフェイスであり、フロント エンド レシーバからデジタル入力を取得し、高速インターフェイスで DMD を駆動します。DLPA3085 または DLPA3082 PMIC は、DMD、コントローラ、LED 照明機能用電圧レギュレータとして機能します。

7.2.2 詳細な設計手順

包括的な DLP システムを実現するには、DLP472NP DMD、関連する照射用光源、光学素子、必要な機械部品を含む光学モジュールまたは光学エンジンが必要です。

信頼性の高い動作を保証するために、DMD は常に DLPC8444 ディスプレイ コントローラおよび DLPA3085 または DLPA3082 PMIC ドライバと一緒に使用する必要があります。

7.2.3 アプリケーション曲線

LED 照明を使用するときの LED 電流と輝度の代表的な関係を図 7-2 に示します。

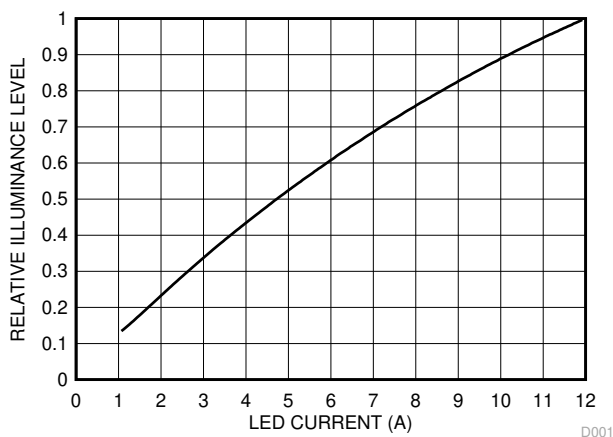


図 7-2. 輝度と電流との関係

7.3 温度センサ ダイオード

このソフトウェア アプリケーションは、DLP472NP DMD 温度センサ ダイオードを読み取るように TMP411 を構成する機能を備えています。このデータを使用して、照明やファン速度の調整など、システム設計全体に追加機能を組み込むことができます。I²C インターフェイスを使用して、TMP411 と DLPC8444 コントローラ間のすべての通信を完了します。TMP411 は、セクション 4 に示すピンを経由して DMD に接続されます。

8 電源に関する推奨事項

DMD の動作には、以下の電源装置がすべて必要です。

- V_{SS}
- V_{BIAS}
- V_{DD}
- V_{DDI}
- V_{OFFSET}
- V_{RESET}

DMD のパワーアップ / パワーダウン シーケンシングは、DLP ディスプレイ コントローラによって厳密に制御されます。

注意

DMD を確実に動作させるには、以下の電源シーケンシング要件に従う必要があります。規定されたパワーアップおよびパワーダウン要件のいずれかに準拠しない場合、デバイスの信頼性に影響を及ぼす可能性があります。図 8-1 の DMD 電源シーケンシング要件を参照してください。

V_{BIAS} 、 V_{DD} 、 V_{DDI} 、 V_{OFFSET} 、 V_{RESET} 電源をパワーアップおよびパワーダウン動作時に調整する必要があります。以下の各要件のいずれかに適合していない場合、DMD の信頼性と寿命が大幅に低下します。共通のグランド V_{SS} も接続する必要があります。

表 8-1. 電源シーケンス要件

記号	パラメータ	説明	最小値	標準値	最大値	単位
t_{DELAY}	遅延要件	V_{OFFSET} パワーアップから V_{BIAS} パワーアップまで	2			ms
V_{OFFSET}	電源電圧レベル	パワーアップ シーケンスの遅延の開始時 ⁽¹⁾			6	V
V_{BIAS}	電源電圧レベル	パワーアップ シーケンスの遅延の終了時 ⁽¹⁾			6	V

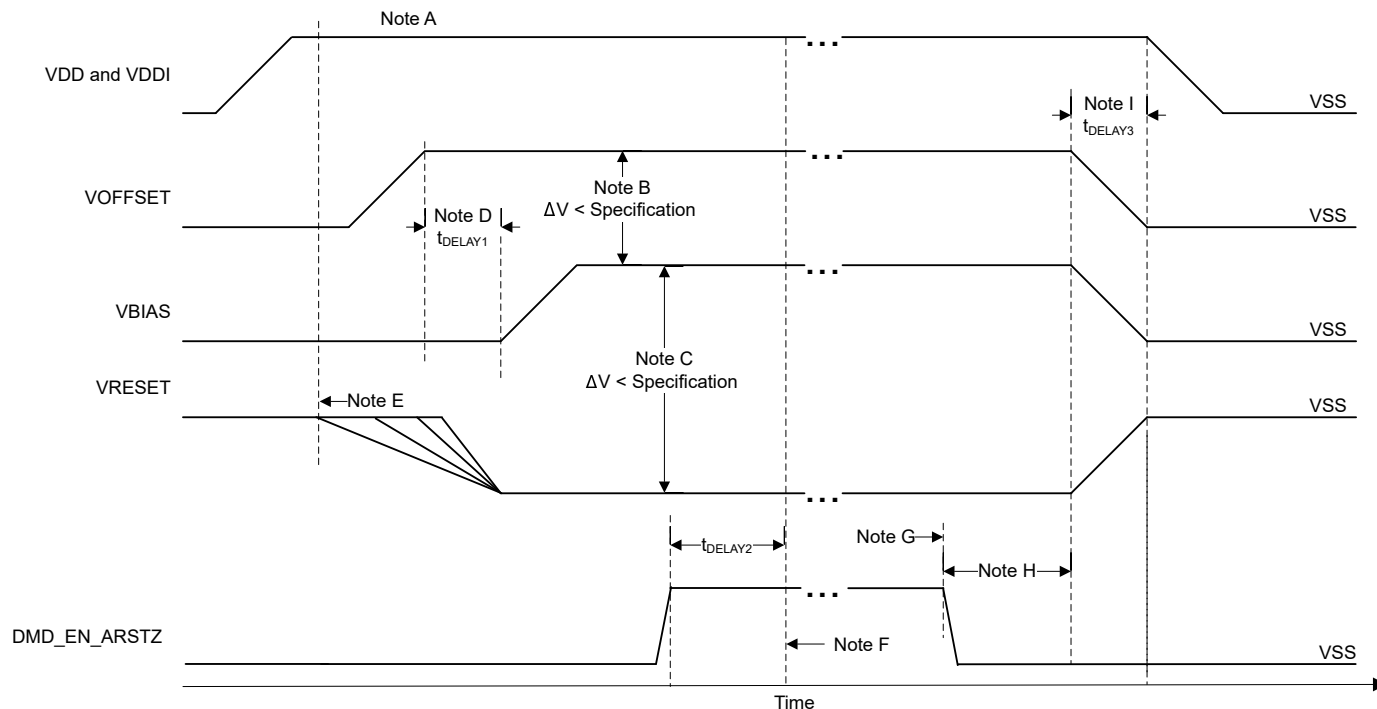
(1) 「図 8-1」、「パワーアップ シーケンスの遅延の要件」を参照してください。

8.1 DMD 電源のパワーアップ手順

- パワーアップ時には常に、 V_{OFFSET} に表 8-2 で指定された Delay1 を加えた電圧、 V_{BIAS} 、および V_{RESET} 電圧が DMD に印加される前に、 V_{DD} および V_{DDI} が起動および安定する必要があります。
- パワーアップ時には、 V_{BIAS} と V_{OFFSET} の電圧差が、セクション 5.4 に示される指定限界内でなければならないという厳しい要件があります。
- パワーアップ中、 V_{BIAS} を基準とした V_{RESET} の相対タイミングは不要です。
- 過渡電圧レベルが、セクション 5.1、セクション 5.4、図 8-1 で規定されている要件に従えば、パワーアップ時の電源スルーレートを柔軟に設定できます。
- パワーアップ時、セクション 5.4 に示す動作電圧で V_{DD} が安定するまで、LVCMOS 入力ピンを High に駆動しないでください。

8.2 DMD 電源のパワーダウン手順

- パワーダウン時には、 V_{BIAS} 、 V_{RESET} 、および V_{OFFSET} がグランドの指定限界内で放電されるまで、 V_{DD} および V_{DDI} を供給する必要があります。表 8-2 を参照してください。
- パワーダウン時には、 V_{BIAS} と V_{OFFSET} の電圧差が、セクション 5.4 に示される指定限界内でなければならないという厳しい要件があります。
- パワーダウン中、 V_{BIAS} を基準とした V_{RESET} の相対タイミングは不要です。
- 過渡電圧レベルが、セクション 5.1、セクション 5.4、図 8-1 で規定されている要件に従えば、パワーダウン時の電源スルーレートを柔軟に設定できます。
- パワーダウン時は、LVCMOS 入力ピンをセクション 5.4 で 規定されている値未満にする必要があります。



- A. 「ピン機能」表については、[セクション 4](#) を参照してください。
- B. 過剰な電流を防止するため、電源電圧の差 $|V_{\text{OFFSET}} - V_{\text{BIAS}}|$ は、[セクション 5.4](#) の指定限界値よりも小さい必要があります。
- C. 過剰な電流を防止するため、電源差 $|V_{\text{BIAS}} - V_{\text{RESET}}|$ は、[セクション 5.4](#) の指定限界値よりも小さい必要があります。
- D. V_{BIAS} は、 V_{OFFSET} がパワーアップした後に、[表 8-2](#) の Delay1 仕様に従ってパワーアップする必要があります。
- E. DLP コントローラソフトウェアにより、グローバル V_{BIAS} コマンドが開始されます。
- F. DMD のマイクロミラー パーク シーケンスの完了後、DLP コントローラソフトウェアはハードウェア パワーダウンを開始し、DMD_EN_ARSTZ を有効にして、 V_{BIAS} 、 V_{RESET} 、 V_{OFFSET} を無効化します。
- G. 電力損失条件下で、DLP コントローラのハードウェア DMD_EN_ARSTZ によって緊急 DMD マイクロミラー パーク手順が実行されている場合は、Low になります。
- H. [表 8-2](#) の Delay2 仕様に準拠して、 V_{OFFSET} 、 V_{BIAS} 、および V_{RESET} が Low になるまで、 V_{DD} は High に維持する必要があります。
- I. 過剰な電流を防止するため、電源電圧のデルタ $|V_{\text{DDI}} - V_{\text{DD}}|$ は、[セクション 5.4](#) の指定限界値よりも小さい必要があります。

図 8-1. DMD 電源要件

表 8-2. DMD 電源要件

パラメータ	説明	最小値	公称値	最大値	単位
Delay1 ⁽¹⁾	V_{OFFSET} が推奨動作電圧で安定してから、 V_{BIAS} および V_{RESET} のパワーアップまでの遅延	1	2		ms
Delay2 ⁽¹⁾	V_{OFFSET} 、 V_{BIAS} 、および V_{RESET} のパワーダウンから遅延 V_{DD} を High に保持する必要があります。	50			μs

(1) [図 8-1](#) を参照してください。

9 レイアウト

9.1 レイアウトのガイドライン

DLP472NP DMD は、インターポーザを使用して PCB またはフレックス回路に接続します。長さの一致やインピーダンスなどのレイアウトのガイドラインの詳細については、DLPC8444 コントローラのデータシートを参照してください。詳細なレイアウト例については、レイアウト設計ファイルを参照してください。DLP472NP DMD に配線するためのレイアウトのガイドラインを以下に示します。

- DLPC8444 コントローラのデータシートに規定されている LS_WDATA 信号と LS_CLK 信号の長さを一致させます。
- DLPC8444 コントローラのデータシートに規定されている HS_BUS 差動信号の長さを一致させます。
- HS バス信号のビア、層変更、巻線を最小限に抑えます。図 9-1 を参照してください。
- 必要な電源容量は、設計ごとに異なります。一般的な指針については、レイアウト設計ファイルを参照してください。DMD の推奨動作範囲内ですべての電源が動作していることを確認するには、設計で電源を検証する必要があります。

9.2 レイアウト例

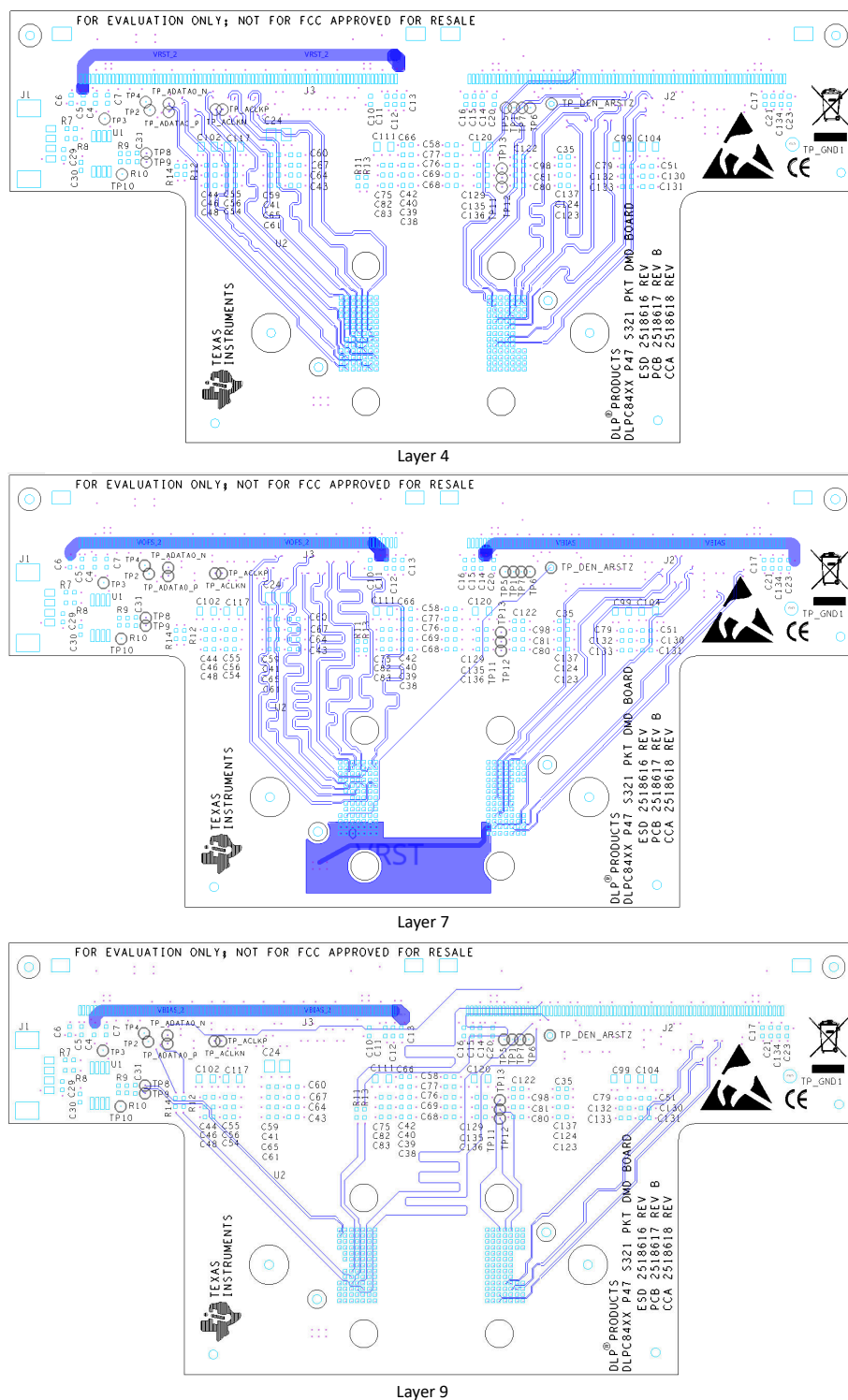


図 9-1. 配線例

10 デバイスおよびドキュメントのサポート

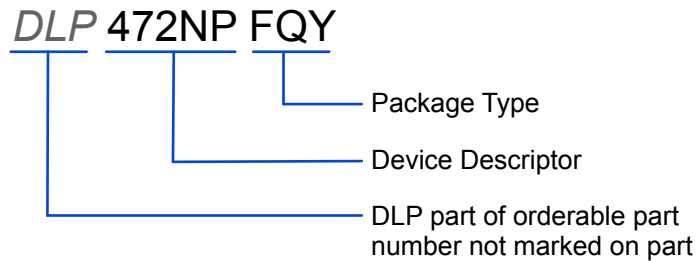
10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 デバイス サポート

10.2.1 デバイスの命名規則

図 10-1. 部品番号の説明

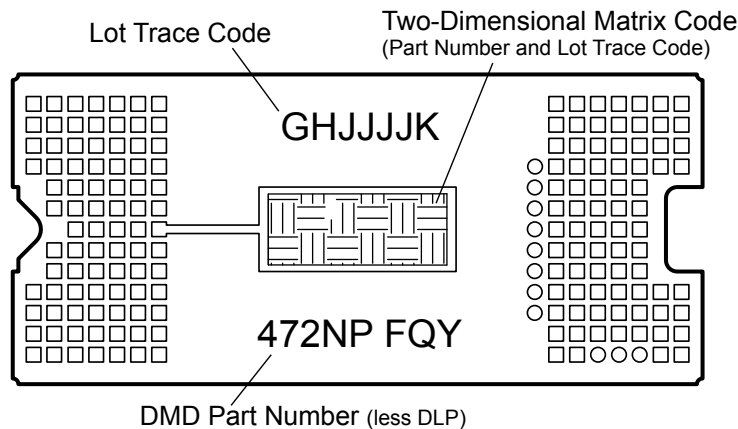


10.2.2 デバイスのマーキング

デバイスのマーキングには、人間が読める情報と 2 次元マトリクス コードの両方を使用しています。人間が読める情報は図 10-2 に示されており、判読可能な文字列 GHJJJJJK 472NPFQY が含まれています。GHJJJJJK はロットのトレースコードで、472NPFQY はデバイスのマーキングです。

例: GHJJJJJK DLP472NPFQY

図 10-2. DMD のマーキング位置



10.3 ドキュメントのサポート

10.3.1 関連資料

次のドキュメントには、DMD とともに使用されるチップセット コンポーネントについての追加情報が掲載されています。

- [DLPC84x4 高分解能コントローラ](#)
- [『DLPA3085 PMIC および高電流 LED ドライバ IC』データシート](#)
- [『DLPA3082 PMIC IC』データシート](#)

10.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.5 商標

DLP® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

日付	改訂	注
August 2025	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP472NPFQY	Active	Production	CLGA (FQY) 174	80 JEDEC TRAY (5+1)	In-Work	NIAU	N/A for Pkg Type	0 to 70	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

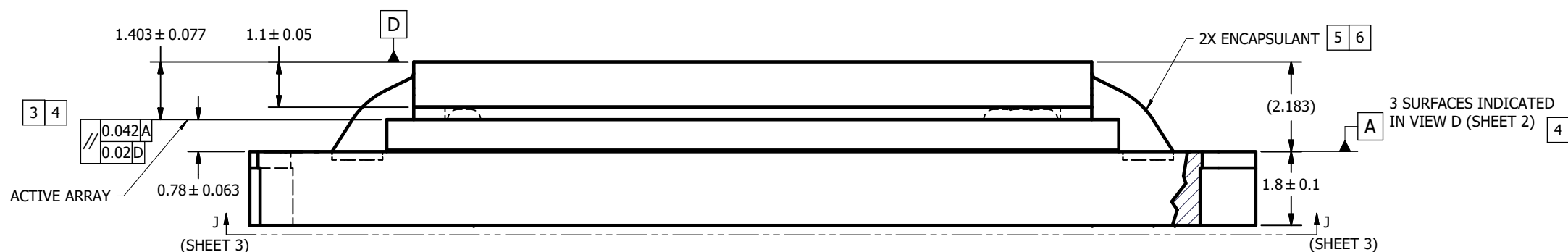
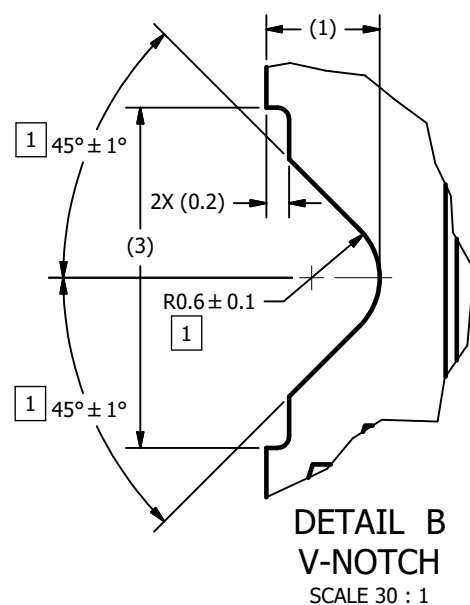
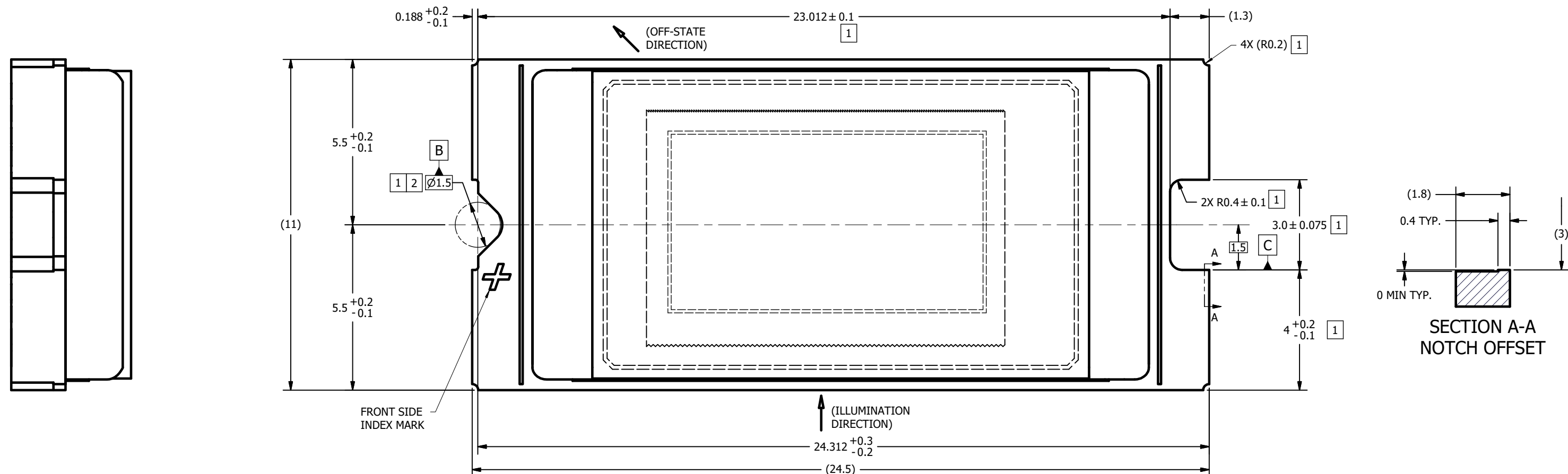
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

NOTES UNLESS OTHERWISE SPECIFIED:

- | | |
|---|--|
| 1 | NOTCH DIMENSIONS ARE DEFINED BY UPPERMOST LAYERS OF CERAMIC, AS SHOWN IN SECTION A-A. |
| 2 | SEE DETAIL B FOR "V-NOTCH" DIMENSIONS. |
| 3 | DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY. |
| 4 | WHILE ONLY THE THREE DATUM A TARGET AREAS A1, A2, AND A3 ARE USED FOR MEASUREMENT, ALL 4 CORNERS SHOULD BE CONTACTED, INCLUDING E1, TO SUPPORT MECHANICAL LOADS. |
| 5 | ENCAPSULANT TO BE CONTAINED WITHIN DIMENSIONS SHOWN IN VIEW D (SHEET 2). NO ENCAPSULANT IS ALLOWED ON TOP OF THE WINDOW. |
| 6 | ENCAPSULANT NOT TO EXCEED THE HEIGHT OF THE WINDOW. |
| 7 | ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND HAS A MAXIMUM ALLOWED VALUE OF 0.6 DEGREES. |
| 8 | BOUNDARY MIRRORS SURROUNDING THE DMD ACTIVE ARRAY. |

© COPYRIGHT 2022 TEXAS INSTRUMENTS
UN-PUBLISHED. ALL RIGHTS RESERVED.

REVISIONS			
REV	DESCRIPTION	DATE	BY
A	ECO 2202674: INITIAL RELEASE	12/22/22	HG



UNLESS OTHERWISE SPECIFIED

- DIMENSIONS ARE IN MILLIMETERS
- TOLERANCES:

ANGLES $\pm 1^\circ$

2 PLACE DECIMALS ± 0.25

1 PLACE DECIMALS ± 0.50

~~● DIMENSIONS LIMITED TO APPLY BEFORE PROCESSING~~

● TARGET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5M-1994

~~● REMOVE ALL BURRS AND CHAMF EDGES~~

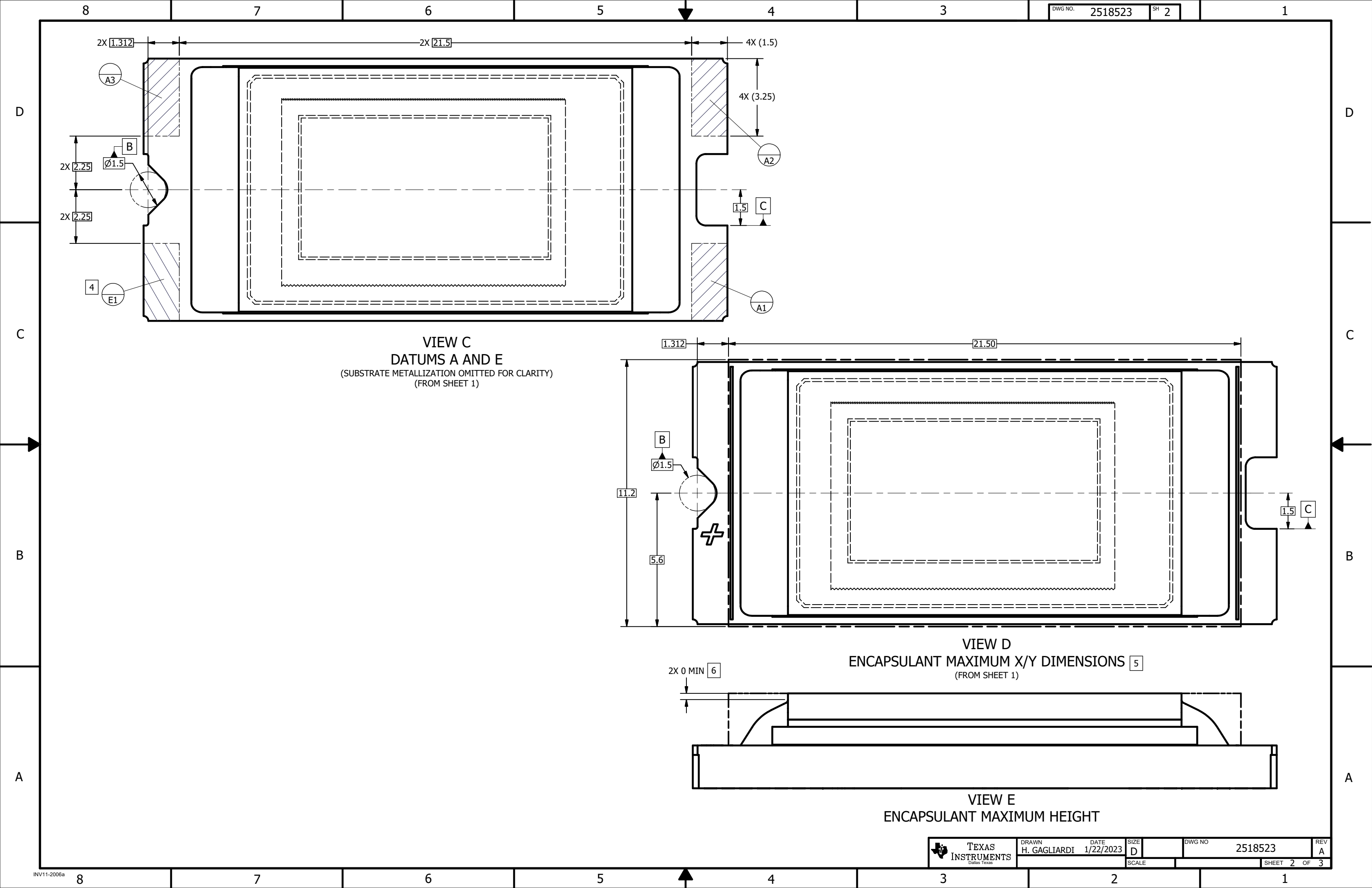
● PARENTHEThICAL INFORMATION FOR REFERENCE ONLY

DRAWN	DATE
H. GAGLIARDI	1/22/2023
ENGINEER	
H. GAGLIARDI	12/22/2022
QA/CE	
P. KONRAD	12/27/2022
CM	
B. HASKETT	12/22/2022
J. McKINLEY	12/22/2022
APPROVED	
M. GARCIA	1/3/2023

 **TEXAS
INSTRUMENTS**
Dallas Texas

ICD, MECHANICAL, DMD,
.47 4K PKT-LVDS3 SERIES 321,
(FQY PACKAGE)

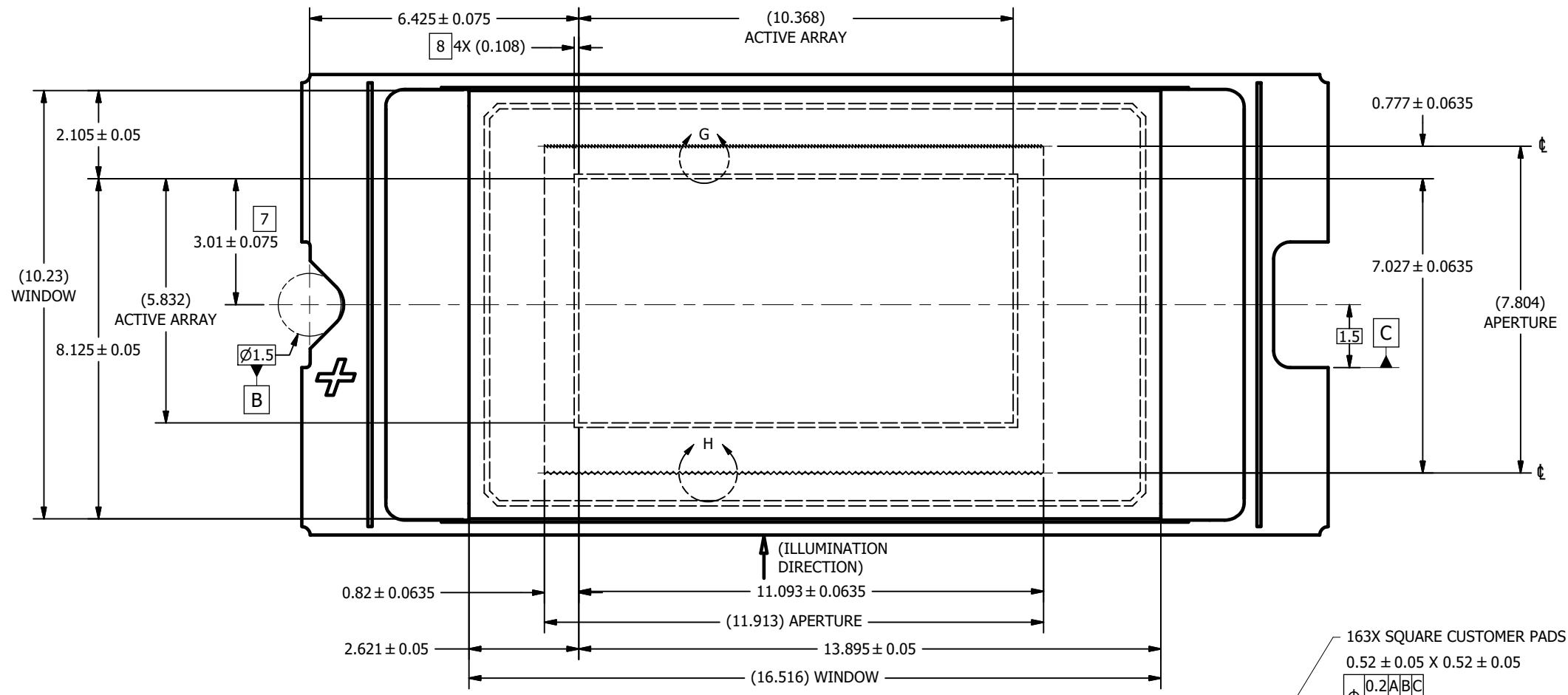
2	SIZE D	DWG NO 2518523	REV A
	SCALE 15:1	SHEET 1 OF 3	



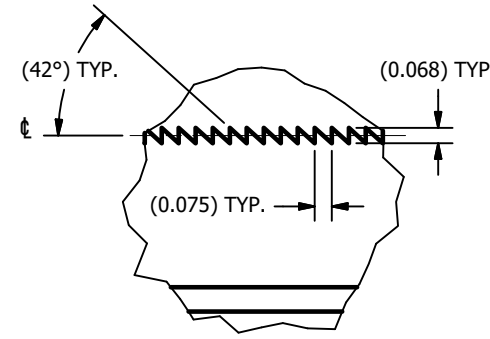
VIEW C
DATUMS A AND E
(SUBSTRATE METALLIZATION OMITTED FOR CLARITY)
(FROM SHEET 1)

VIEW D
ENCAPSULANT MAXIMUM X/Y DIMENSIONS
(FROM SHEET 1)

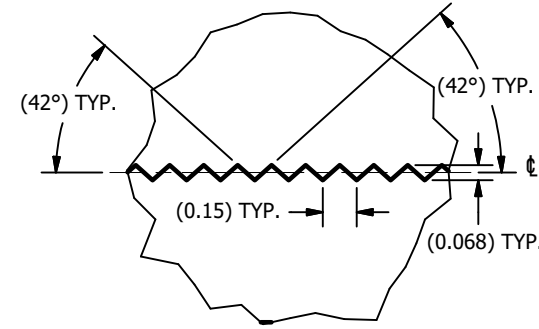
VIEW E
ENCAPSULANT MAXIMUM HEIGHT



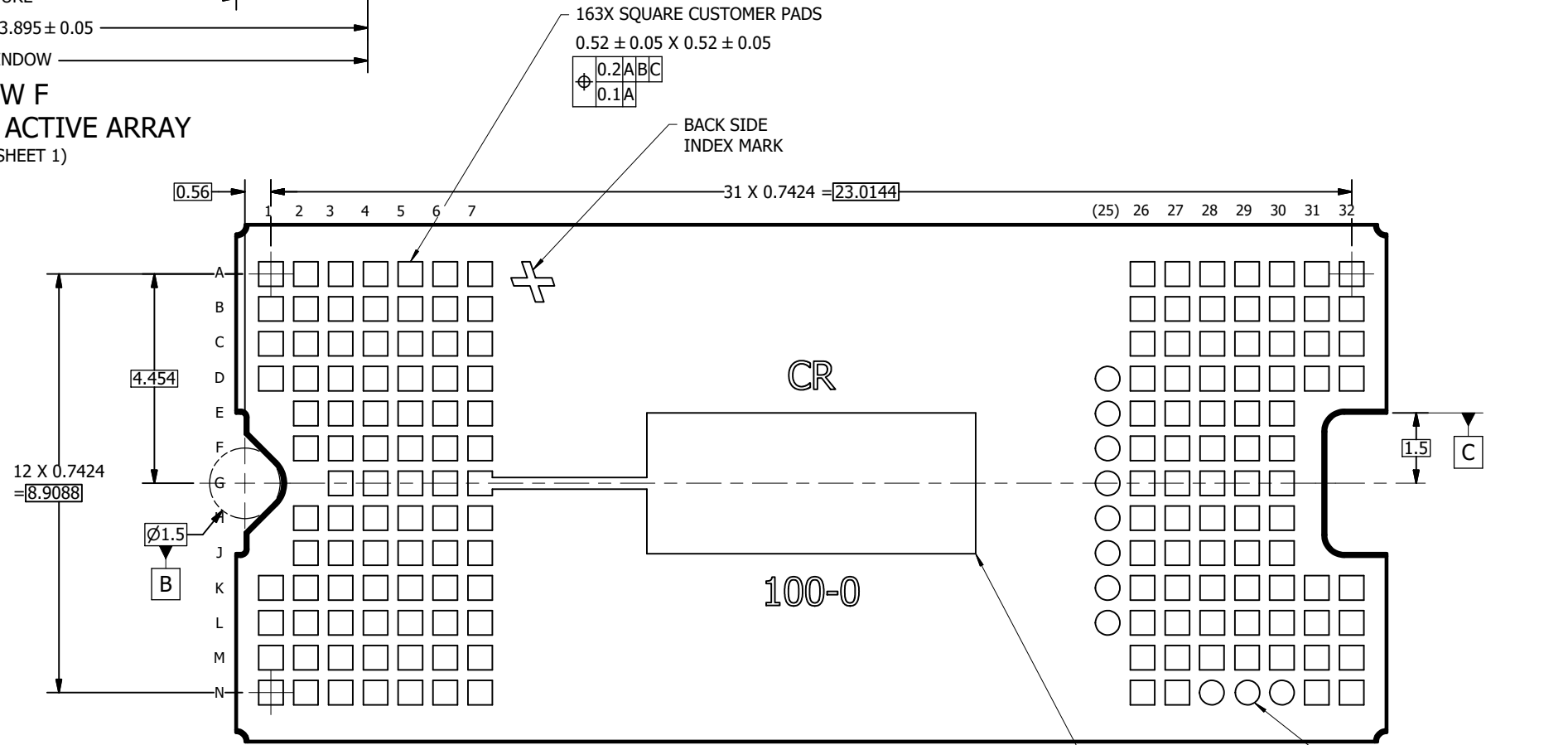
VIEW F
WINDOW AND ACTIVE ARRAY
(FROM SHEET 1)



DETAIL G
APERTURE TOP EDGE
SCALE 60 : 1



DETAIL H
APERTURE BOTTOM EDGE
SCALE 60 : 1



VIEW J-J
BACK SIDE METALLIZATION
(FROM SHEET 1)

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月