TEXAS INSTRUMENTS

DDC316

www.tij.co.jp

JAJS329

16チャネル、電流入力ADコンバータ

特　長

- 16チャネルの低レベル電流を測定できるシングルチップ･ソリューション
- I - V変換フロントエンドを内蔵
- プログラマブルなフルスケール：3pC ～ 12pC
- 速度調整可能：
  - データ･レート：最大100kSPS
  - 積分時間：最小10µs
- アナログ電源：+5V
- デジタル電源：+3.3V

アプリケーション

- CTスキャナDAS
- フォトダイオード･センサ
- X線検出システム

米国特許#5841310による保護対象

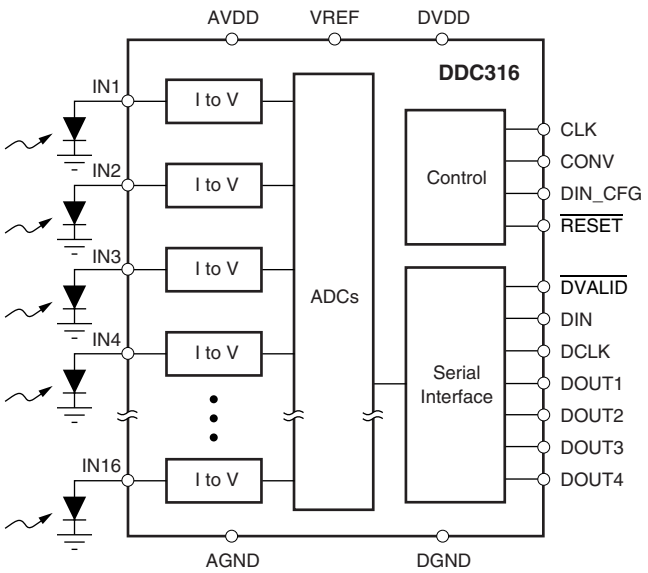
概　要

DDC316は、16ビット、16チャネルの電流入力ADコンバータ（ADC）です。電流/電圧変換とAD変換の両方を組み合わせることで、16個の低電流出力デバイス（フォトダイオードなど）を入力に直接接続して信号をデジタル化できます。

DDC316は、16個の入力それぞれに対して、デュアル･スイッチ積分器フロントエンドを備えています。この構成により、連続的な電流積分が可能です。オンチップADCで一方の積分器をデジタル変換中に、他方の積分器で入力電流の積分を実行できます。積分時間は10µs ～ 1msの範囲で調整可能です。

DDC316は、出力データのシリアル･インターフェイスを備え、これは1本のデータ出力ピンに多重化するか、または4本の出力ピンをパラレルに使用できます。出力モードは、確保できる積分時間に基づいて選択できます。

DDC316は、+5Vのアナログ電源および+3.3Vのデジタル電源を使用します。0℃～+70℃の温度範囲で動作し、BGA-64パッケージで供給されます。



この資料は、Texas Instruments Incorporated（TI）が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス･インスツルメンツ（日本TI）が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

TEXAS INSTRUMENTS

SBAS370　翻訳版

最新の英語版資料
http://focus.ti.com/lit/ds/symlink/ddc316.pdf

静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報

最新のパッケージおよびご発注情報については、このドキュメントの巻末にある「付録：パッケージ·オプション」を参照するか、TIのWebサイト（www.ti.com または www.tij.co.jp）をご覧ください。

絶対最大定格(1)

AVDD ～ AGND	–0.3V ～ +6V
DVDD ～ DGND	–0.3V ～ +3.6V
AGND ～ DGND	±0.2V
VREF入力 ～ AGND	2.0V ～ AVDD + 0.3V
アナログ入力 ～ AGND	–0.3V ～ +0.7V
デジタル入力電圧 ～ DGND	–0.3V ～ DVDD + 0.3V
デジタル出力電圧 ～ DGND	–0.3V ～ DVDD + 0.3V
動作温度	0℃ ～ +70℃
保存温度	–60℃ ～ +150℃
ジャンクション温度（T_J）	+150℃

（1） 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。これはストレスの定格のみについて示してあり、このデータシートに示された値を越える状態での本製品の機能動作は含まれていません。

電気的特性

T_A = +25℃、AVDD = +5V、DVDD = +3.3V、VREF = +4.096V、t_{INT} = 20µs、レンジ = 12pC、フォーマット = 16ビット、CLK = 40MHz、$\overline{\text{HI_SPEED}}$ビット = 1（特に記述のない限り）

パラメータ	測定条件	DDC316 MIN	DDC316 TYP	DDC316 MAX	単　位
アナログ入力レンジ					
レンジ1		2.4	3	3.6	pC
レンジ2		4.8	6	7.2	pC
レンジ3		9.6	12	14.4	pC
–側フルスケール		+側フルスケールの –1.786%			pC
ダイナミック特性					
データ・レート				100	kSPS
積分時間、t_{INT}	$\overline{\text{HI_SPEED}}$ビット = 1	20		1,000	µs
	$\overline{\text{HI_SPEED}}$ビット = 0	10		20	µs
システム・クロック入力		1		40	MHz
データ・クロック（DCLK）				40	MHz
	デイジー・チェーン読み出し			20	MHz
精度					
分解能		12		16	ビット
ノイズ、低レベル入力[1]	C_{SENSOR}[2] = 10pF		3.5	6.0	LSB[3]
積分直線性誤差[4]			8	16	LSB[3]
入力バイアス電流	T_A = +25℃		±2	±10	pA
レンジ誤差マッチング[5]			0.2	1	% of FSR[6]
レンジ感度（対VREF）	VREF = 4.096 ± 0.1V		1:1		
オフセット誤差			±50	±200	LSB[3]
オフセット誤差マッチング[5]			±75	±400	LSB[3]
DCバイアス電圧[7]	低レベル入力（FSRの1%未満）		±2	±10	mV
電源除去比	DC		40		LSB[3]/V
温度特性					
オフセット・ドリフト			±1		LSB/℃
オフセット・ドリフト安定性	ウォームアップ後10分間の連続読み取り		<1		LSB
DCバイアス電圧ドリフト[7]			±10		µV/℃
入力バイアス電流ドリフト	+10℃ごとに2倍				
レンジ・ドリフト[8]			25		ppm/℃
レンジ・ドリフト・マッチング[5]			±10		ppm/℃
リファレンス					
電圧		4.000	4.096	4.200	V
デジタル入出力					
ロジック・レベル					
V_{IH}		0.8DVDD		DVDD + 0.1	V
V_{IL}		–0.1		0.2DVDD	V
V_{OH}	I_{OH} = –100µA	DVDD – 0.4			V
V_{OL}	I_{OL} = 100µA			0.4	V
入力電流（I_{IN}）	0 < V_{IN} < DVDD			±10	µA
データ形式[9]		ストレート・バイナリ			

（1） 入力はフルスケールの1%未満です。
（2） C_{SENSOR}は、フォトダイオード/結線側から見たDDC316の入力容量です。
（3） 分解能16ビットでのLSBです。
（4） 非直線性の測定には、近似直線を使用しています。
（5） 同じ入力のA側/B側のマッチングです。
（6） FSRはフルスケール範囲（Full-Scale Range）です。
（7） DDC316の入力で生成され、センサに印加される電圧です。
（8） レンジ・ドリフトには、外部リファレンスのドリフトは含まれません。
（9） データ形式は、ストレート・バイナリで、わずかなオフセットが存在します。
出力ワードのビット数は、フォーマット・ビットで制御されます。

電気的特性

T_A = +25℃、AVDD = +5V、DVDD = +3.3V、VREF = +4.096V、t_{INT} = 20µs、レンジ = 12pC、フォーマット = 16ビット、CLK = 40MHz、$\overline{\text{HI_SPEED}}$ビット = 1（特に記述のない限り）

パラメータ	測定条件	DDC316			単　位
		MIN	TYP	MAX	
電源					
アナログ電源電圧（AVDD）		4.75	5.0	5.25	V
デジタル電源電圧（DVDD）		3	3.3	3.6	V
電源電流					
アナログ電流					
内部リファレンス・バッファ	BUFDIS Bit = 0		95		mA
外部リファレンス・バッファ	BUFDIS Bit = 1		85		mA
デジタル電流	DVDD = +3.3V		5		mA
合計消費電力					
内部リファレンス・バッファ	BUFDIS Bit = 0, DVDD = +3.3V		540		mW
外部リファレンス・バッファ	BUFDIS Bit = 1, DVDD = +3.3V		440	640	mW
チャネル当たりの消費電力					
内部リファレンス・バッファ	BUFDIS Bit = 0, DVDD = +3.3V		31		mW/チャネル
外部リファレンス・バッファ	BUFDIS Bit = 1, DVDD = +3.3V		28	40	mW/チャネル

ピン配置

GXGおよびZXGパッケージ
BGA-64
（上面図）

Columns

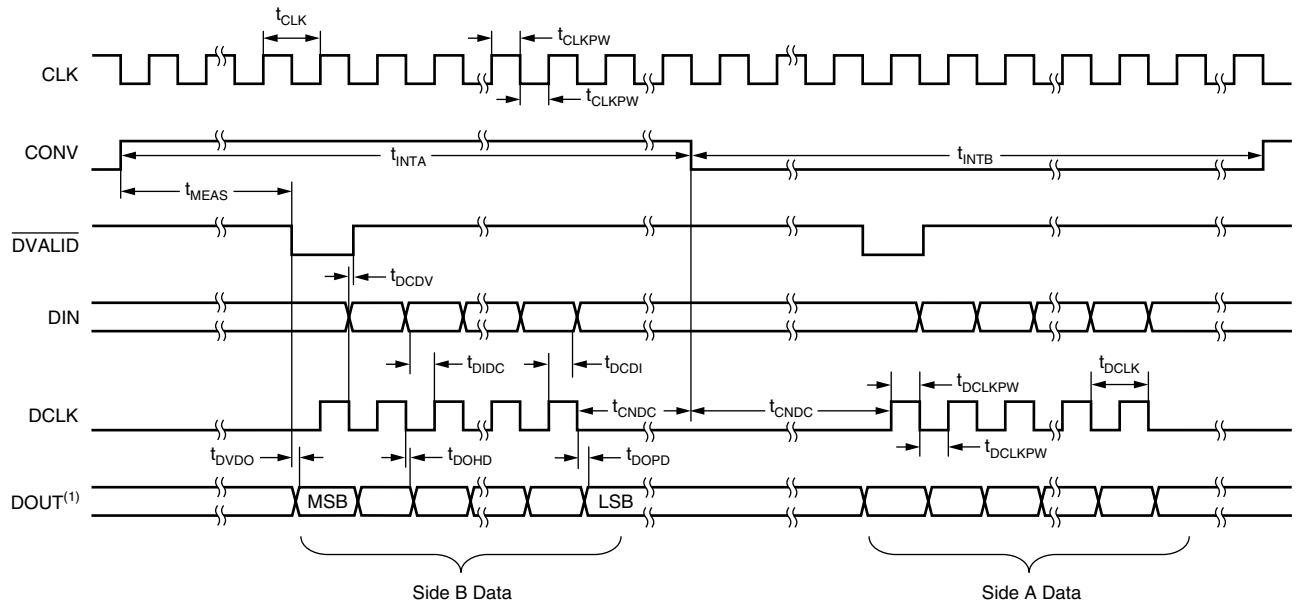
	H	G	F	E	D	C	B	A	
	IN1	IN3	IN9	IN12	IN5	IN7	IN13	IN15	1
	IN2	IN4	IN10	IN11	IN6	IN8	IN14	IN16	2
	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	3
	AVDD	AVDD	AVDD	AVDD	AVDD	AGND	VREF_IN	VREF	4
	QGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	5
	AVDD	AVDD	AVDD	AVDD	AGND	DGND	VREF	VREF	6
	$\overline{\text{DVALID}}$	DIN_CFG	DGND	DIN	AGND	DGND	DVDD	$\overline{\text{RESET}}$	7
	DOUT1	DOUT2	DOUT3	DOUT4	DCLK	CLK	DVDD	CONV	8

Rows

ピン構成

ピン名称	位　置	機　能	説　明
IN1 – 16	1A-1H, 2A-2H	アナログ入力	チャネル1～16用アナログ入力
AGND	3A-3H, 4C, 5A-5G, 6D, 7D	アナログ	アナログ・グランド
VREF	4A, 6A, 6B	アナログ入力	内部リファレンス・バッファ・モード用電圧リファレンス
VREF_IN	4B	アナログ入力	外部リファレンス・バッファ・モード用電圧リファレンス
AVDD	4D-4H, 6E, 6F, 6G, 6H	アナログ	アナログ電源、+5V
QGND	5H	アナログ	低雑音アナログ・グランド
DGND	6C, 7C, 7F	デジタル	デジタル・グランド
$\overline{\text{RESET}}$	7A	デジタル入力	デジタル・リセット、アクティブ・“Low”
DVDD	7B, 8B	デジタル	デジタル電源、+3V
DIN	7E	デジタル入力	デイジー・チェーンのシリアル・データ入力
DIN_CFG	7G	デジタル入力	設定レジスタのデータ入力
$\overline{\text{DVALID}}$	7H	デジタル出力	データ有効出力、アクティブ・“Low”
CONV	8A	デジタル入力	変換制御入力、0 = B側で積分、1 = A側で積分
CLK	8C	デジタル入力	マスタ・クロック入力
DCLK	8D	デジタル入力	シリアル・データ・クロック入力
DOUT4-1	8E-8H	デジタル出力	シリアル・データ出力

タイミング図



注：(1) TDMデータ出力モードでのDOUT1、パラレルデータ出力モードでのDOUT1～DOUT4です。

図1. シリアル･インターフェイス･タイミング

タイミング条件（図1を参照）

T_A = 0℃～+70℃およびDVDD = 3V～3.6V（特に記述のない限り）

記　号	説　明		MIN	TYP	MAX	単　位
t_{CLK}	CLK周期（$1/f_{CLK}$）		25		1000	ns
t_{CLKPW}	CLKパルス幅、正または負		0.4			t_{CLK}周期
$t_{INTA,B}$	A側およびB側の積分時間	$\overline{HI_SPEED}$ bit = 0	400		1000	t_{CLK}周期
		$\overline{HI_SPEED}$ bit = 0, CLK = 40MHz	10		25	µs
		$\overline{HI_SPEED}$ bit = 1	800		40,000	t_{CLK}周期
		$\overline{HI_SPEED}$ bit = 1, CLK = 40MHz	20		1000	µs
t_{MEAS}	測定の実行に必要な時間	$\overline{HI_SPEED}$ bit = 0		274		t_{CLK}周期
		$\overline{HI_SPEED}$ bit = 1		544		t_{CLK}周期
t_{DIDC}	DINからDCLK立ち上がりエッジまでのセットアップ時間		2			ns
t_{DCDI}	DCLK立ち上がりエッジ後のDINホールド時間		0			ns
t_{DVDO}(1)	$\overline{DVALID}$立ち下がりエッジからDOUT有効まで			6	10	ns
t_{DCDV}(1)	最初のDCLK立ち下がりエッジから$\overline{DVALID}$立ち上がりエッジまで			19		ns
t_{DCLK}	DCLK周期（$1/f_{DCLK}$）		25			ns
t_{DCLKPW}	DCLKパルス幅、正または負		0.4			t_{DCLK}周期
t_{DOPD}(1)	DCLK立ち下がりエッジからDOUT1有効までの伝播遅延				21	ns
t_{DOHD}(1)	DCLK立ち下がりエッジ後に前のDOUT1が有効なホールド時間		5			ns
t_{CNDC}	CONV切り替えからデータ取得までの時間		5			ns

（1） 出力負荷 = 100kΩ || 10pF

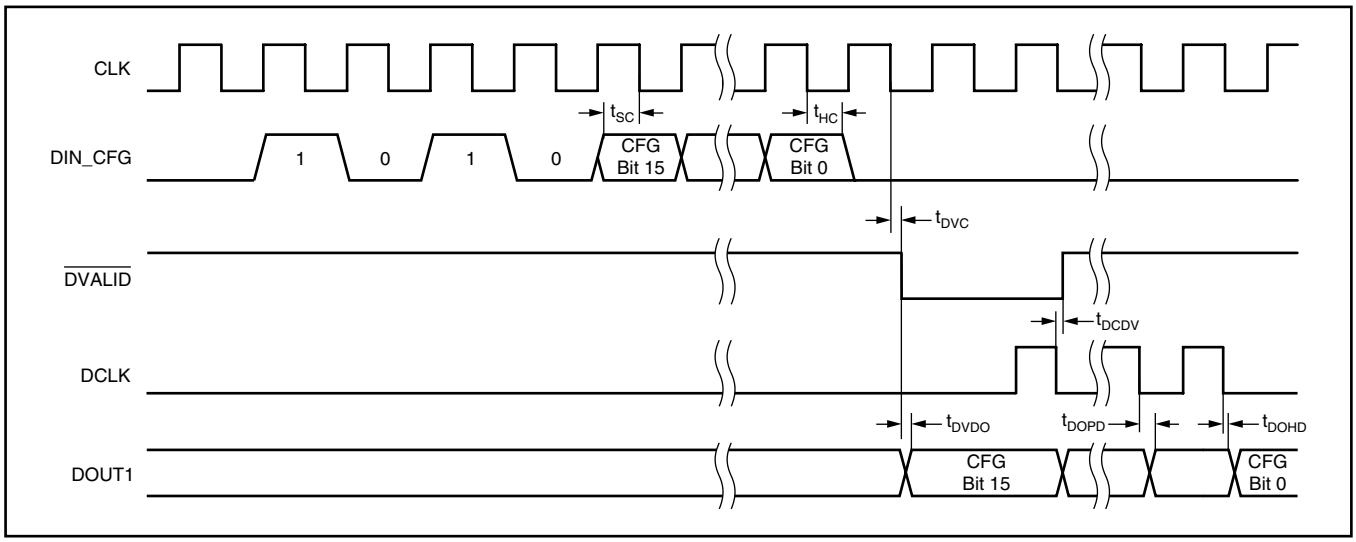


図2. 設定レジスタ読み出し/書き込みタイミング

タイミング条件（図2を参照）

T_A = 0℃～+70℃およびDVDD = 3.0V～3.6V（特に記述のない限り）

記　号	説　明	MIN	TYP	MAX	単　位
t_{SC}	DIN_CFG有効からCLK立ち下がりエッジ、セットアップ時間	1	12		ns
t_{HC}	DIN_CFG有効からCLK立ち下がりエッジ、ホールド時間	3	12		ns
t_{DVC}(1)	CLK立ち下がりエッジからの$\overline{\text{DVALID}}$の遅延		18		ns
t_{DCDV}(1)	最初のDCLK立ち下がりエッジから$\overline{\text{DVALID}}$立ち上がりエッジまで		19		ns
t_{DVDO}(1)	$\overline{\text{DVALID}}$立ち下がりエッジからDOUT1 CFGビット15有効までの遅延		6	10	ns
t_{DOPD}(1)	DCLK立ち下がりエッジからDOUT1有効までの伝播遅延			21	ns
t_{DOHD}(1)	DCLK立ち下がりエッジ後に前のDOUT1が有効なホールド時間	5			ns

（1） 出力負荷 = 100kΩ || 10pF

代表的特性

T_A = +25℃（特に記述のない限り）

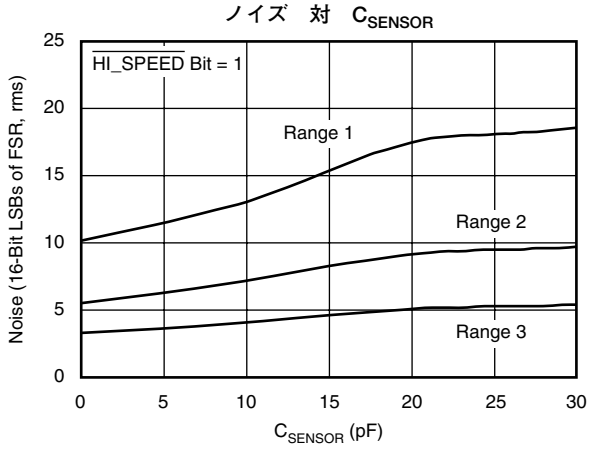


図3

ノイズ　対　C_{SENSOR}

C_{SENSOR} (pF)	ノイズ（16ビットFSRのLSB、rms）		
	レンジ1	レンジ2	レンジ3
0	10.2	5.6	3.3
10	13.1	7.2	4.1
20	17.5	9.2	5.1
30	18.6	9.7	5.4
50	22.3	11.6	6.4
100	34.3	17.8	9.4

注：$\overline{\text{HI_SPEED}}$ビット = 1

動作説明

概要

DDC316には16の同等な入力チャネルがあり、それぞれ電流/電圧変換を実行した後、多重化AD変換を行います。積分時間は、CONVピンにより直接制御されます。各入力ではデュアル·スイッチ積分器を使用することにより、電流/電圧変換を時間的に連続して実行できます。入力の片側16個の積分器でデジタル化中に、他の16個の積分器で積分を行い、連続的な電荷データの収集を実現します。結果はシリアル出力シフト·レジスタに格納されます。シフト·レジスタに有効なデータが格納されると、$\overline{\text{DVALID}}$の出力が“Low”になります。図4にDDC316のブロック図を示します。

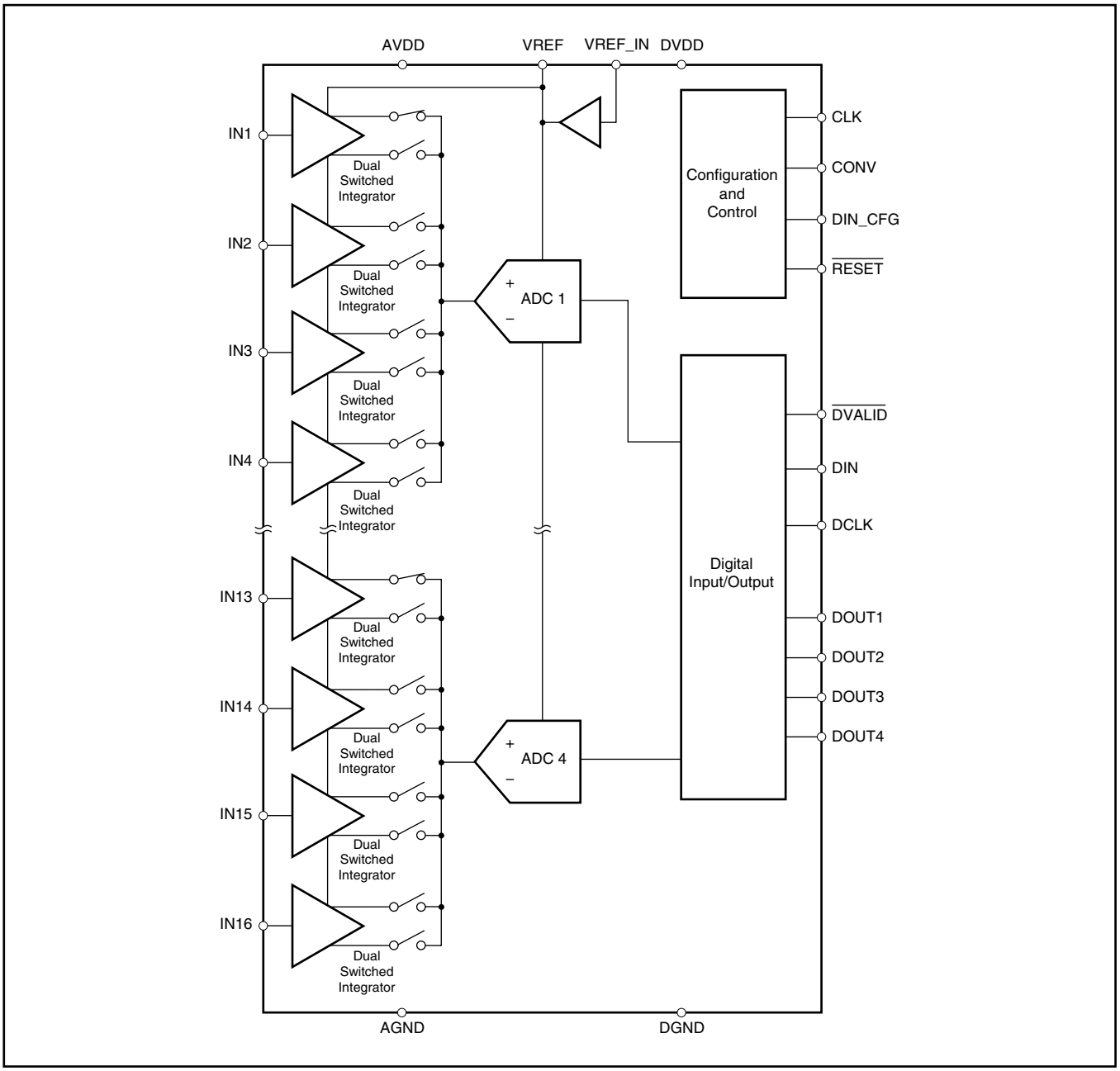


図4. DDC316ブロック図

基本積分サイクル

DDC316でのフロント･エンドのトポロジは、図5に示すようなアナログ積分器です。この図は、IN1のみを示しています。この入力部は、オペアンプ、選択可能なフィードバック･コンデンサ回路（C_F）、および複数個のスイッチにより構成され、積分サイクルを実行します。

図5で示すスイッチのタイミング関係を図6に示します。図6は、DDC316の積分器入力の動作の考え方を説明していますが、設計のための正確なタイミングを示すものではありません。

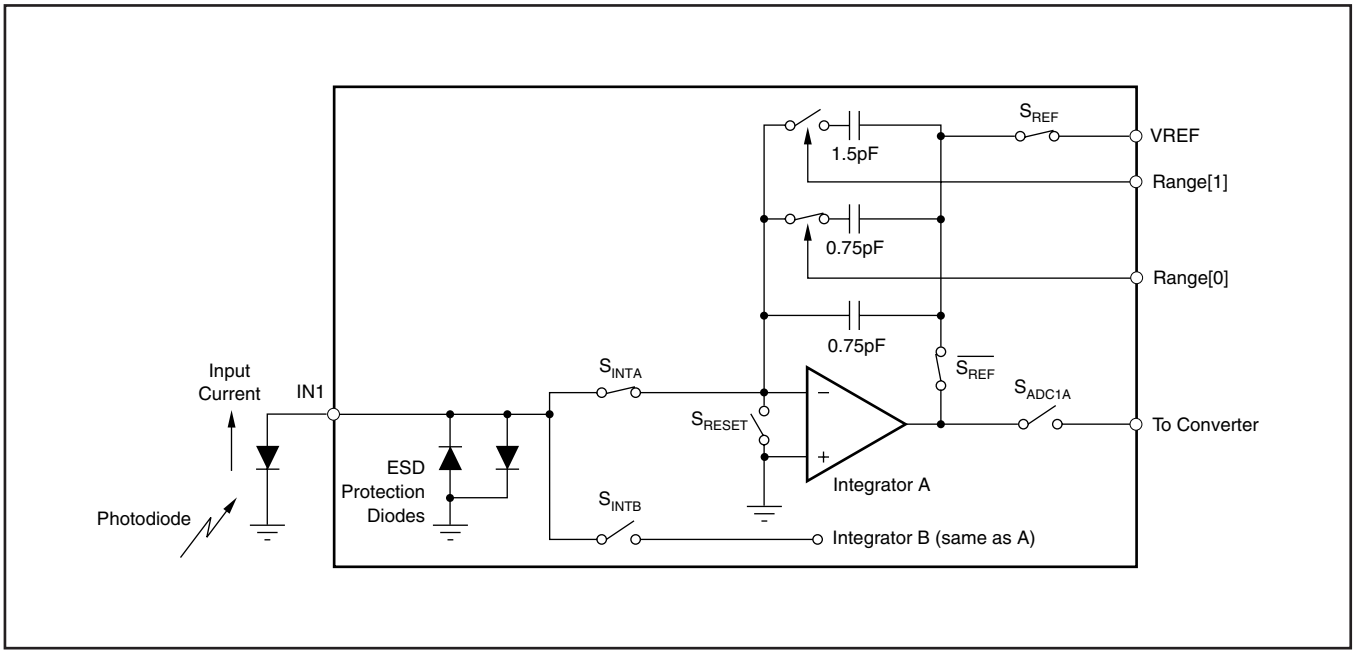


図5. 入力1の基本積分器構成

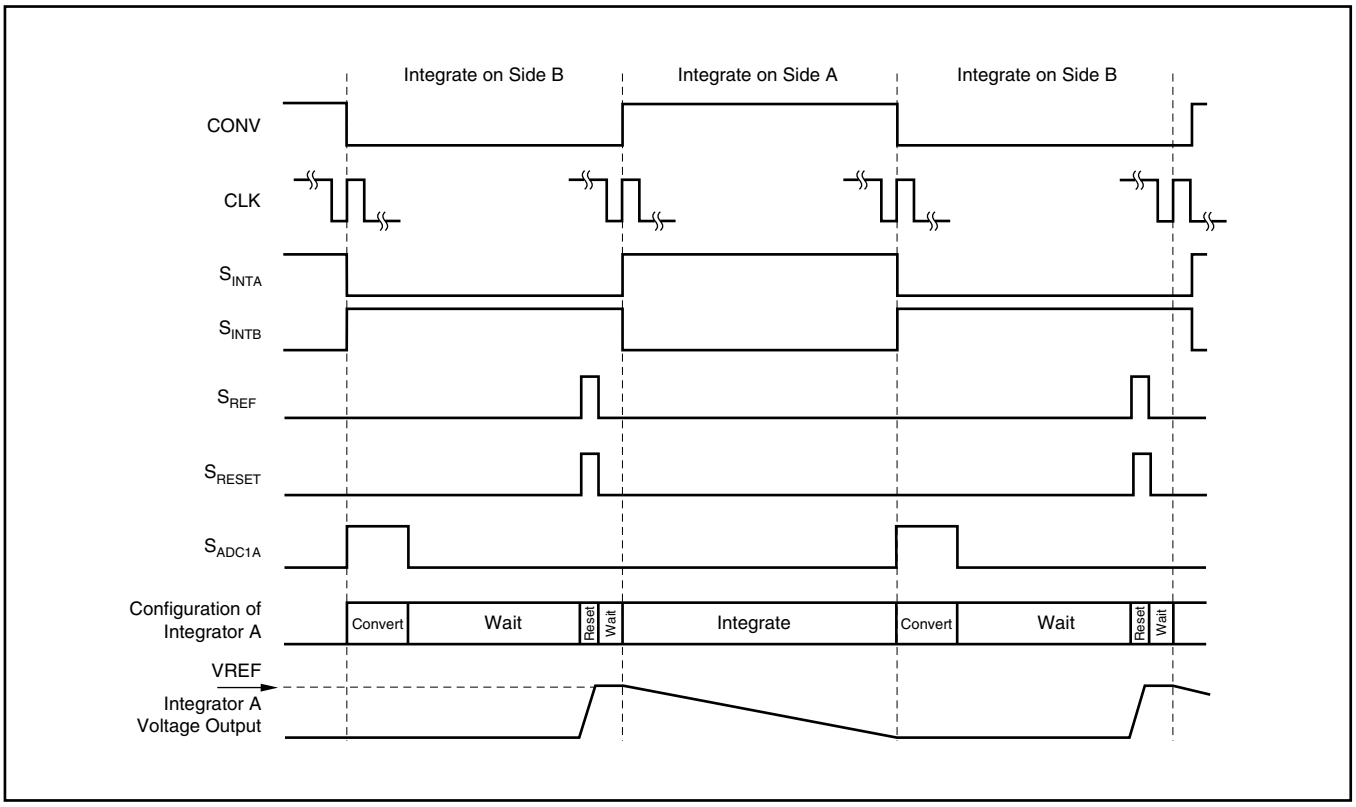


図6. 図5で示した積分器Aの基本的な積分タイミング概念図

図7に、フロント·エンド積分器の5つの状態のブロック図を示します。変換は、積分器が図7aのように構成された状態で開始されます。この状態では、ADCは前のフェーズのA側の積分値を変換します。変換が終わると、積分器はADCが他の3つの積分値の変換を完了するまで待ちます(図7b)。4つすべてのAD変換が完了すると、S_{REF}およびS_{RESET}により積分器コンデンサ(C_F)の電荷がリセットされます(図7c)。このようにして、選択されたコンデンサがリファレンス電圧V_{REF}まで充電されます。積分コンデンサが充電されると、S_{REF}およびS_{RESET}が切り替わり、V_{REF}はアンプ回路から切り離され、積分の開始を待ちます(図7d)。CONVの立ち上がりエッジで、S_{INTA}がオンとなり、A側の積分が開始されます。このプロセスにより、積分器は積分モードに移行します(図7e)。

入力信号からの電荷が積分コンデンサに収集されるに従い、アンプの電圧出力が減少します。CONVの立ち下がりエッジで、入力信号がA側からB側(S_{INTA}およびS_{INTB})に切り替わり、積分が停止します。CONVの立ち下がりエッジより前のA側の積分中に、B側の信号がADCで変換され、リセットされています。CONVの立ち下がりエッジで、B側は入力信号の積分を開始します。この段階で、A側オペアンプの出力電圧がADCの入力に印加され、サイクル全体が繰り返されます。

この内部スイッチング回路は、変換ピン(CONV)およびシステム·クロック(CLK)により外部で制御されます。最良のノイズ特性を得るために、CONVはCLKの立ち上がりエッジと同期する必要があります。CONVは、CLKの立ち上がりエッジの±5ns以内に反転することを推奨します。積分器の非反転入力は、グランドに接続されています。そのため、DDC316のアナログ·グランドはできる限りクリーンにする必要があります。

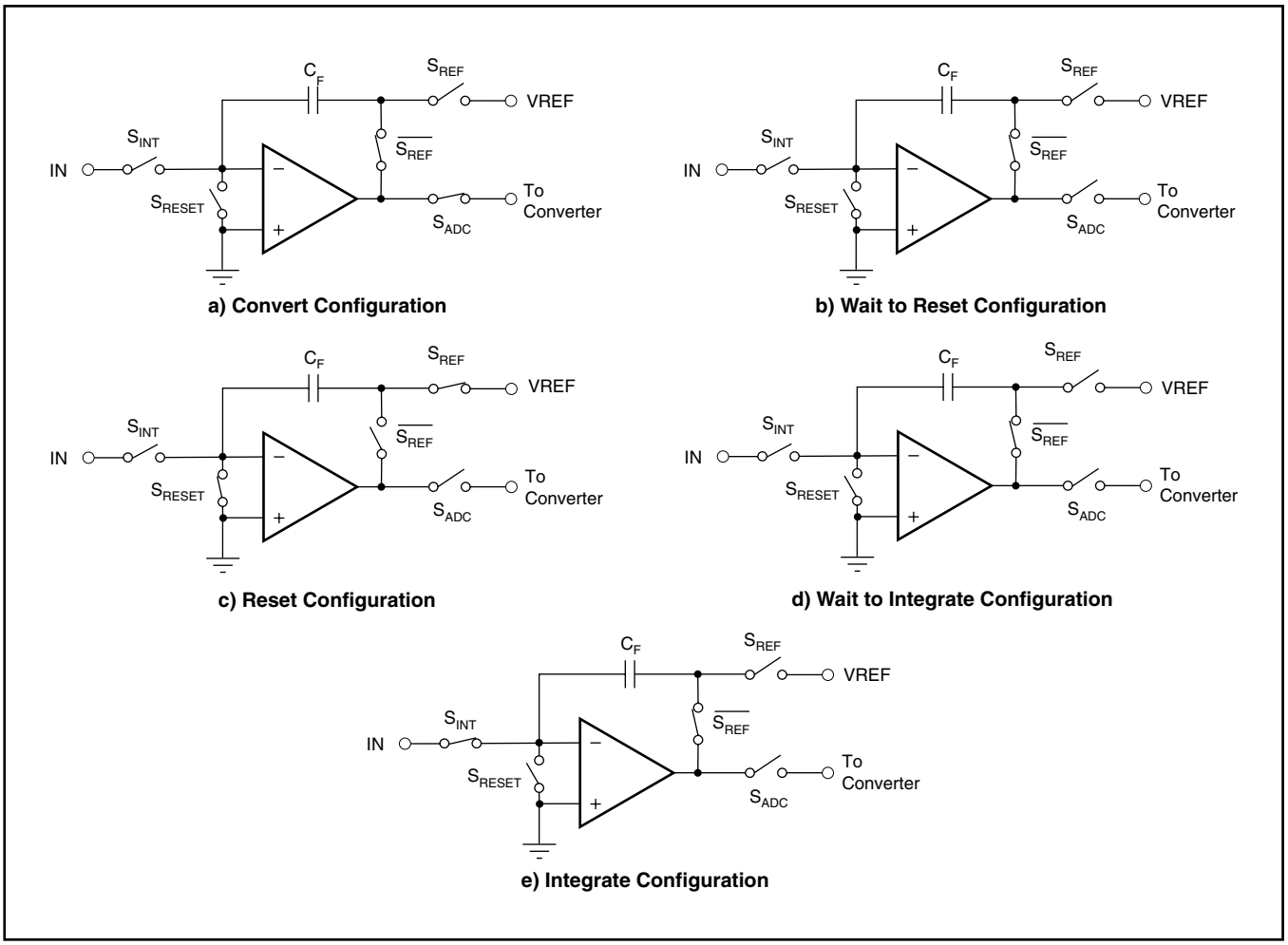


図7. DDC316フロント·エンド積分器の5つの構成

周波数応答

DDC316の周波数応答は、フロント·エンド積分器によって設定され、図8に示すように、従来の連続時間積分器の場合と同様な特性を示します。t_{INT}の調整により、ユーザは特性の3dB帯域幅およびノッチ周波数を変更できます。フロント·エンド積分器の後段にあるADコンバータの周波数応答は、積分器からのホールド電圧をサンプリングするため影響を及ぼしません。つまり、ADCへの入力は常にDC信号です。フロント·エンド積分器の出力はサンプリングされるため、エイリアシングが発生する場合があります。入力信号の周波数がサンプリング·レートの1/2を超える場合、信号は低い周波数に折り返されます。

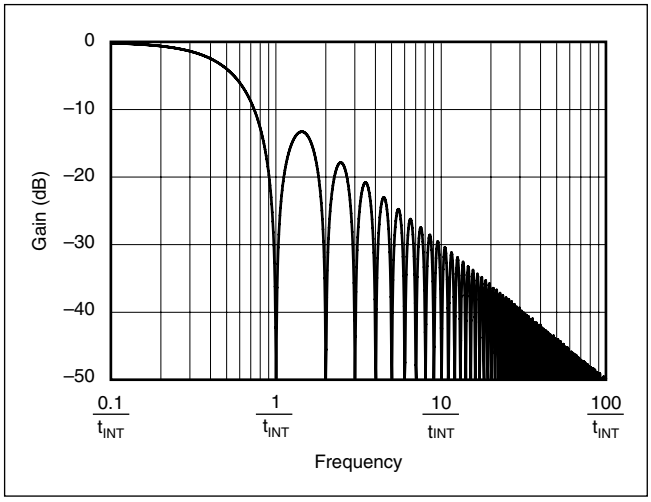


図8. DDC316の周波数応答

動作設定

DDC316には、いくつかの異なる動作設定が用意され、レンジ、分解能などの点で柔軟性を備えています。これらの設定はオンチップ·レジスタを使ってプログラミングでき、以降のセクションで詳細を説明します。

レンジ

DDC316の各チャネルの両側の各々に対して、3つの異なるコンデンサがオンチップで内蔵されています。レンジ制御ビット（Range[1:0]）は、すべての積分器に対してコンデンサ値を変化させます。その結果、すべての入力および各入力の両側のフルスケール（FS）範囲は常に同じになります。表1に、各レンジ選択のために使用されるコンデンサ値を示します。

レンジ	RANGE［1:0］ビット	C_F（pF、TYP）	入力レンジ（pC、TYP）
1	00	0.75	–0.0469 ～ 3
2	01	1.5	–0.0938 ～ 6
3	10	3	–0.1876 ～ 12

表1. レンジ選択

分解能

DDC316は、ユーザの便宜のために、3つの異なる分解能を備えています。ユーザは、アプリケーションのニーズおよびデータの取得に確保できる時間に応じて、分解能を選択できます。選択可能な分解能は、16ビット、14ビット、12ビットです。表2に示すように、DDC316のシリアル出力データは、オフセット·バイナリ·コードで提供されます。設定レジスタのRESビットにより、出力ワードで使用するビット数を選択します。12ビットを選択した場合、下位の4ビットは切り捨てられます。14ビットを選択した場合、下位の2ビットは切り捨てられます。出力にオフセットを含めることで、わずかな負の入力（例えば、基板のリークによる）での読み取り値のクリッピングを防ぎます。オフセットは、+側フルスケールの約1.8%です。

データ形式

DDC316は、選択された分解能に応じて、12ビット～16ビットのデータを出力します。データ形式は、オフセットを持たせたストレート·バイナリであり、プリント基板（PCB）やセンサからのリーク電流による負側フルスケールがクリッピングされるのを防止しています。表2に、各分解能に対する理想的な出力コードを示します。

入力信号	理想的な出力コード 分解能 = 16ビット	理想的な出力コード 分解能 = 14ビット	理想的な出力コード 分解能 = 12ビット
≥ 100% FS	1111 1111 1111 1111	1111 1111 1111 11	1111 1111 1111
0.07019% FS	0000 0100 1100 0000	0000 0100 1100 00	0000 0100 1100
0.02136% FS	0000 0100 1010 0000	0000 0100 1010 00	0000 0100 1010
0.00305% FS	0000 0100 1001 0100	0000 0100 1001 01	0000 0100 1001
0.001525% FS	0000 0100 1001 0011	0000 0100 1001 00	0000 0100 1001
0% FS	0000 0100 1001 0010	0000 0100 1001 00	0000 0100 1001
–1.7857% FS	0000 0000 0000 0000	0000 0000 0000 00	0000 0000 0000

表2. 理想的な出力コード(1)対入力信号

（1）ノイズ、INL、オフセット、およびゲイン誤差の影響は除外しています。

データ出力モード

DDC316には、時分割多重化（TDM）とパラレルの2つのデータ出力モードがあります。図9に示すように、TDMモードでは、16チャネルすべてのデータが1つのデータ出力ラインDOUT1に出力されます。このモードでは、DOUT2～DOUT4は使用されず、強制的に“Low”になります。

パラレル出力モードでは、図10に示すように、4つのDOUTラインDOUT1～DOUT4でそれぞれ4チャネルのデータが出力されます。

どちらのモードでも、最上位ビット（MSB）が最初にシフト・アウトされます。

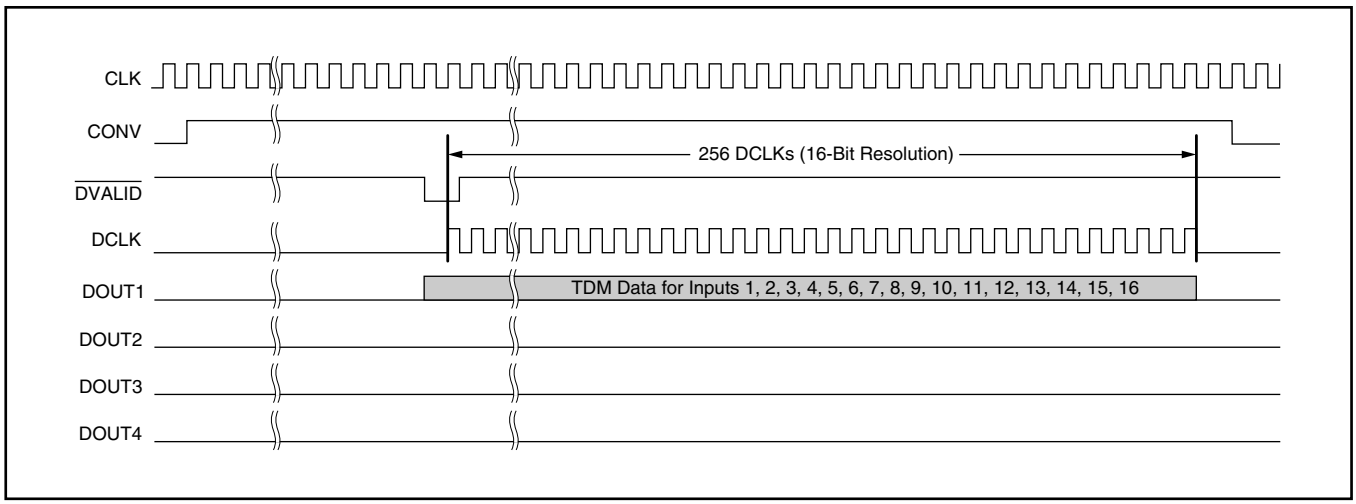


図9. TDMデータ出力

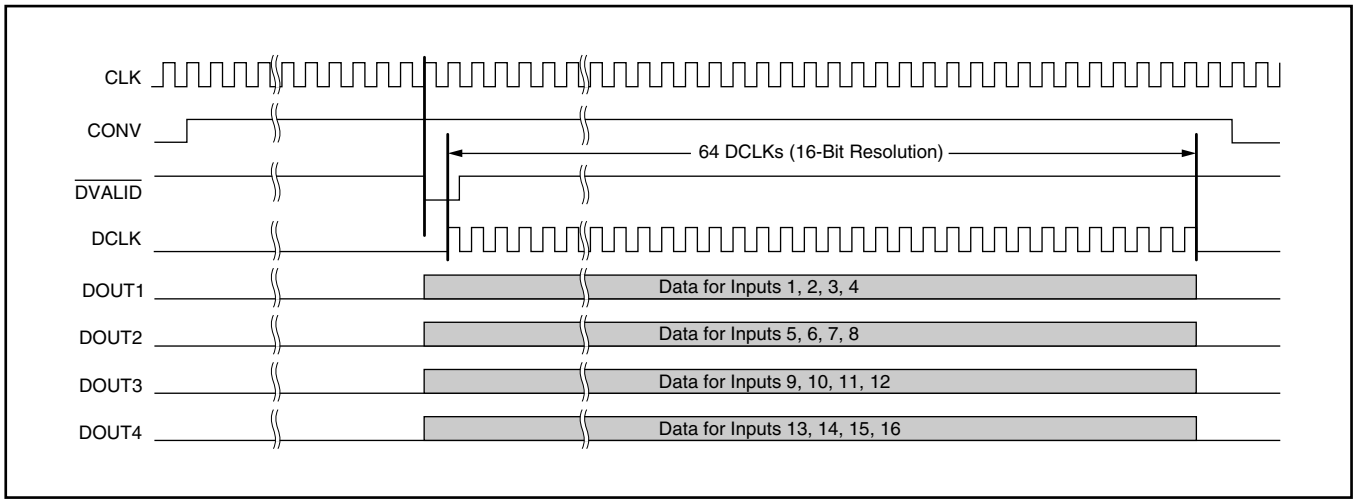


図10. パラレル・データ出力

最小積分時間

表3に示すように、DDC316の最小積分時間は、マスタ·クロック（CLK）および$\overline{\text{HI_SPEED}}$ビットで設定されます。積分時間の規定は、A側とB側の両方の積分器（t_{INTA} および t_{INTB}）に対して常に満される必要があります。積分時間が満されないと、無効な変換結果が得られます。

$\overline{\text{HI_SPEED}}$ ビット	有効な分解能	最小積分時間（最小t_{INT}）	
0	12ビットのみ	400 t_{CLK} 周期	10µs（CLK = 40MHzの場合）
1	12～16ビット	800 t_{CLK} 周期	20µs（CLK = 40MHzの場合）

表3. 最小積分時間

$\overline{\text{HI_SPEED}}$ビットを0に設定した場合、DDC316は内部で高速で動作しますが、性能は基本的に12ビットに制限されます。したがって、$\overline{\text{HI_SPEED}}$ = 0のときは、RES[1:0]ビットを12ビット分解能に設定することを推奨します。それにより、変換結果の読み出しにかかる時間が短くなるため、データを取得する際の柔軟性が高まります。

データ取得時間

DDC316から変換データを取得するために利用できる時間（t_{RETRV}）は、図11に示すように、積分時間（t_{INT}）と測定時間（t_{MEAS}）の差です。最良のノイズ性能を得るために、取得は$\overline{\text{DVALID}}$が“Low”になった後に開始され、CONVが反転する前に完了する必要があります（t_{CNDC}のタイミング仕様を参照）。

TDMデータ出力モードの使用時には、時間内にすべてのデータを取得できない場合もあります。例えば、積分時間が短く、DCLKが低速の場合などです。そのような場合には、パラレル·データ出力モードを使用できます。パラレル出力モードでは、取得にかかる時間が1/4で済みます。

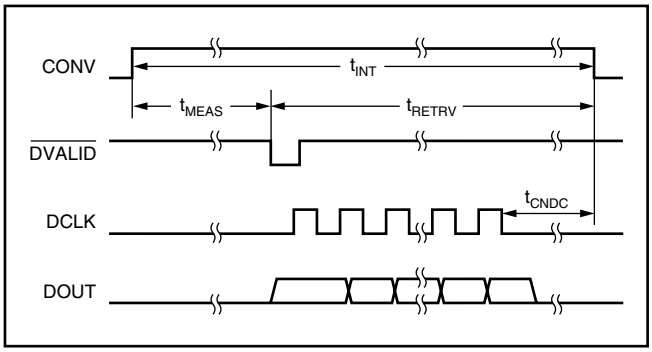


図11. データ取得時間

設定レジスタ

DDC316の設定は、表4に示す内蔵されている16ビット設定レジスタで制御されます。

Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
1	MODE	RES[1]	RES[0]	RANGE[1]	RANGE[0]	0	$\overline{\text{HI_SPEED}}$
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TM[1]	TM[0]	0	BUFDIS	0	0	0	0

表4. 設定レジスタ

以下のセクションでは、プログラマブルな各ビット、およびビットのプログラミング方法について簡単に説明します。外部リセットまたはパワーオン·リセットが行われると、すべての設定ビットがデフォルト値にリセットされます。リセット後、必要に応じてビットを再度プログラミングしてください。

ビット説明

ビット15 未使用ビット。このビットは、常に1に設定する必要があります。
パワーアップまたはリセット時には、このビットは0に設定されるため、1にプログラミングする必要があります。

ビット14 **MODE** – データ出力モード。
このビットは、表5に示すように、パラレル·データ出力モードとシリアル·データ出力（時分割多重化、TDM）モードを切り替えます。

MODE	データ出力モード
0	パラレル。DOUT1、DOUT2、DOUT3、DOUT4を使用（デフォルト）
1	シリアル。DOUT1を使用した時分割多重化（TDM）

表5. データ出力モード

ビット13-12 **RES[1:0]** – 出力データ分解能。
これらのビットは、出力データ分解能を設定します。RES[1:0] = “10”およびRES[1:0] = “11”の場合、出力分解能の値は同じです。

RES[1:0]	出力分解能
00	16ビット（デフォルト）
01	14ビット
10	12ビット
11	

表6. 出力データ分解能

ビット11-10 **RANGE[1:0]** – フルスケール入力レンジ。
これらのレンジ·ビットは、デュアル·スイッチ積分器で使用される積分コンデンサの値を設定します。表7に、使用可能な3つの異なるコンデンサ値を示します。RANGE = “10”およびRANGE = “11”の場合、最大入力電荷の値は同じです。

RANGE[1:0]	最大入力電荷
00	3pC（デフォルト）
01	6pC
10	12pC
11	

表7. フルスケール·レンジ

ビット9 未使用ビット。このビットは0にリセットされ、常に0に設定する必要があります。

ビット8 **$\overline{\text{HI_SPEED}}$** – 高速動作選択。
このビットは、使用する速度（通常または高速）を設定します。デフォルトは通常速度であり、一般にはこの速度での動作が推奨されます。ただし、通常動作でサポートされるよりも短い積分時間が必要である場合には、高速モードを使用できます。高速モードでは、性能が12ビットに制限されることに注意してください。

$\overline{\text{HI_SPEED}}$	速　度
0	高　速
1	通常速度（デフォルト）

表8. 高速モード選択

ビット7-6　**TM[1:0]** – テスト・モード選択。

テスト·モード（TM）ビットは、表9に示すように、検証のためにデバイスを通常モードまたはテスト·モードのいずれかで動作させるよう設定できます。テスト·モードは、DDC316のノイズ評価用に提供されています。

テスト·モード1では、入力（IN1～IN16）がDDC316の積分器から切り離され、外部センサからDDC316に供給される電流に関係なく、ゼロ入力信号を測定することができます。

テスト·モード2では、入力（IN1～IN16）がDDC316の積分器から切り離され、同時に、センサ容量をエミュレートするための10pFのコンデンサが入力に追加されます。

テスト·モード3では、入力がDDC316の積分器から切り離され、新しい変換が開始（CONVが反転）されるたびに、固定された量の電荷（約1.5pC）が積分器に印加されます。

TM[1:0]	テスト·モード機能
00	通常モード（デフォルト）
01	テスト·モード1（入力がオープン）
10	テスト·モード2（入力がオープン、10pF内部コンデンサを積分器に接続）
11	テスト·モード3（入力がオープン、各変換時に1.5pCの電荷を積分器に印加）

表9. テスト·モードのデコード

ビット5　未使用ビット。このビットは0にリセットされ、常に0に設定する必要があります。

ビット4　**BUFDIS** – 内部リファレンス·バッファ·ディスエーブル。

このビットは、表10に示すように、内部リファレンス·バッファをオフにするために使用されます。詳細については、「電圧リファレンス」を参照してください。

BUFDIS	内部リファレンス·バッファの状態
0	内部バッファがイネーブル
1	内部バッファがディスエーブル（デフォルト）

表10. 内部リファレンス·バッファ·ディスエーブル

ビット3-0　未使用ビット。これらのビットは0にリセットされ、常に0に設定する必要があります。

設定レジスタの読み出しと書き込み

図2に、設定レジスタの書き込みおよび読み出しのタイミング図を示します。書き込みおよび読み出しは、CONV反転の前または後に行う必要があります。DIN_CFGピンのデータは、CLKの立ち下がりエッジでラッチされます。最初の4ビットは確認ビットとして使用されます。これらのビットが“1010”の場合にだけ、それに続く16ビットが設定レジスタにロードされます。内容がロードされると、シフト·レジスタはすぐにクリアされるため、必要に応じて新しい設定を書き込むことができます。レジスタのプログラミング時以外は、DIN_CFGピンを“0”にしておくことを推奨します。

設定レジスタが更新されると、その内容がデータ·シフト·レジスタにロードされ、DOUT1から出力されます。$\overline{\text{DVALID}}$が“Low”になると、設定レジスタが読み取り可能になります。データが読み出されない場合、次の変換時の変換データでレジスタは上書きされます。データは、DCLKの立ち下がりエッジでシフト・アウトされます。

システム·クロックとデータ·クロック（CLKおよびDCLK）

システム·クロックはCLKに供給され、データ·クロックはDCLKに供給されます。これらのクロック信号は、オーバーシュートやリンギングのないクリーンな信号である必要があります。データのシフト·アウト後、またはCONVの期間中には、DCLKを“Low”に保持する必要があります。DCLKをフリーランニングにはしないでください。

積分および変換のプロセスは、データ取得プロセスとは基本的に独立しています。したがって、CLKとDCLKの周波数は同じでなくてもかまいません。ただし、最高の性能を得るためには、それらを同じクロック·ソースから生成し、位相関係を一定に保つことを強く推奨します。

複数のDDC316を使用する場合には、プリント基板（PCB）上のDCLKの配信に十分な注意を払ってください。特に、DCLK信号のスキューは最小限に抑える必要があります。このスキューは、シリアル·インターフェイス仕様のタイミング・エラーになる可能性があります。

データ有効（$\overline{\text{DVALID}}$）

$\overline{\text{DVALID}}$信号は、データの準備ができていることを示します。$\overline{\text{DVALID}}$が“Low”になった後に、データの取得を開始できます。この信号は、システム·クロック（CLK）の立ち下がりエッジで“Low”になり、データ取得プロセス中にDCLKの立ち下がりエッジで“High”になります。DDC316からのデータの取得は、$\overline{\text{DVALID}}$信号のポーリングによるか、またはCONV信号の遷移後のクロック·サイクル数をカウントすることで行えます。カウントを用いる場合、ウェイトするクロック·サイクル数は動作モード（低電力モードまたは高速モード）によって異なります。2つの異なるモードでウェイトする正確なCLKサイクル数は、表3に示されています。

複数のDDC316での読み出し

シリアル·インターフェイスでは、複数のDDC316を使用する場合の接続を単純にするために、デイジー·チェーンをサポートしています。図12に、64チャネル·システムの例を示します。DINピンは、DDC316へのデータのシフトに使用されます。すべてのデータのシフトを確実にするため、読み出し中に追加のDCLKパルスを与える必要があります(図13を参照)。

デイジー·チェーンはTDM出力モードでのみサポートされることに注意してください。パラレル·データ出力モードでは機能しません。デイジー·チェーン機能を使用しない場合、DINはデジタル·グランドに接続します。

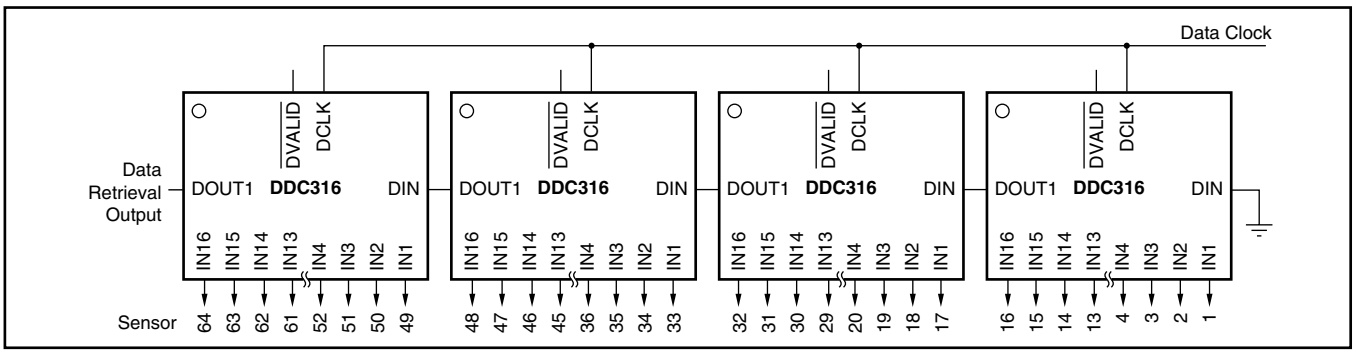


図12. 64チャネル·システムのデイジー·チェーン構成

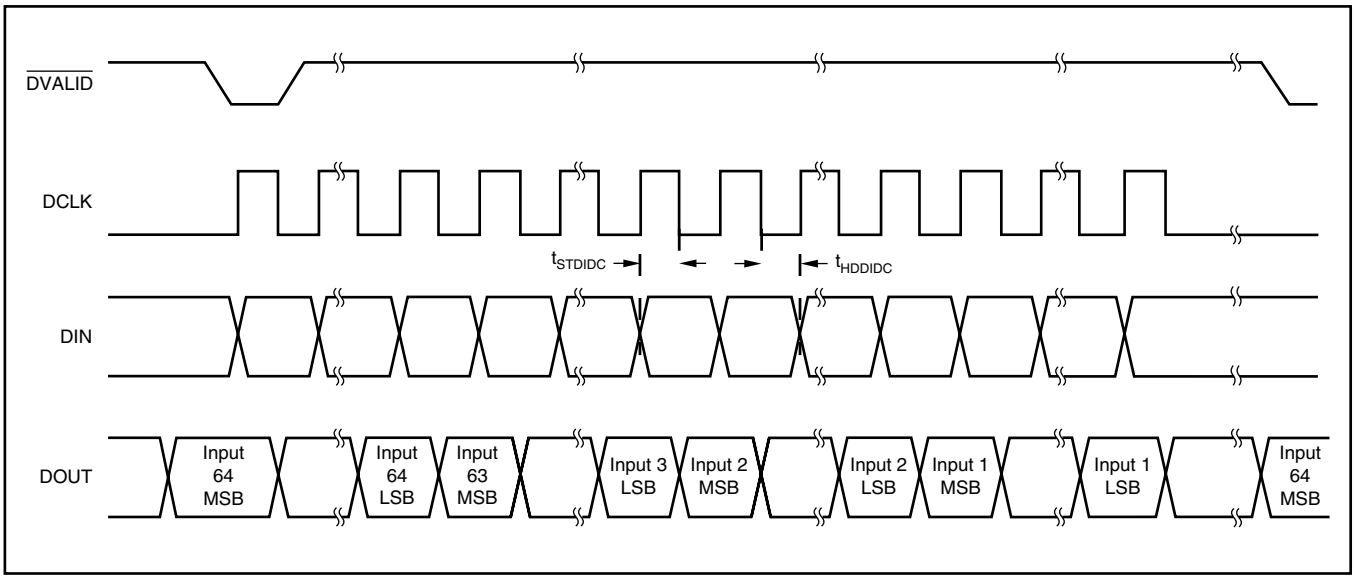


図13. 4つのデバイスのデイジー·チェーン読み出し(64チャネル)

電圧リファレンス

リファレンス電圧は、積分サイクルを開始する前に積分コンデンサをリセットするために使用されます。また、積分サイクルの終了後に、ADCが積分器に蓄積された電圧を測定するときにも使用されます。このサンプリングの間、ADCで必要となる電荷を外部リファレンスにより供給する必要があります。積分時間が20µsの場合、この電荷は約270µAの平均VREF電流となります。ADCで必要とされる電荷量は積分時間によらないため、積分時間を長くすると平均電流が減少します。例えば、積分時間を40µsにすると、平均VREF電流は135µAに低下します。

各動作モード中には、VREFが安定していることが重要です(図7を参照)。ADCは、VREFを基準に積分器の電圧を測定します。積分器のコンデンサは最初にVREFにリセットされるため、コンデンサのリセット後、コンバータが積分器出力を測定する時点までにVREFが低下した場合は、オフセットが生じます。また、VREFの変化はフルスケール範囲の変化に直接結び付くため、VREFが長期間にわたって安定していることは重要です。さらに、VREFによって追加されるノイズは可能な限り低く抑える必要があります。これらの理由により、外部リファレンス·ソースはオペアンプでバッファリングすることを強く推奨します。

DDC316には、リファレンス電圧の駆動に2つのオプションがあります。外部バッファ経由と、内部バッファ経由です。どちらの場合も、REF3140などの正確なリファレンスを使用して、リファレンス電圧を外部で生成します。

内部VREFバッファ

DDC316は、4つの内蔵されているADCを駆動するための内部VREFバッファを備えています。図14に示されるように、リファレンス電圧はVREF_IN(ピン4B)に供給する必要があります。VREFピンの外部コンデンサは、内部バッファの安定化のために必要です。これらのコンデンサは、動作ICのできるだけ近くに配置することを推奨します。また、性能を最適化するために、低ESR(1Ω未満)の高品質コンデンサが必要です。高ESRのコンデンサを使用すると、内部バッファが発振します。100kHzでESR < 1Ωのセラミック·コンデンサを推奨します。

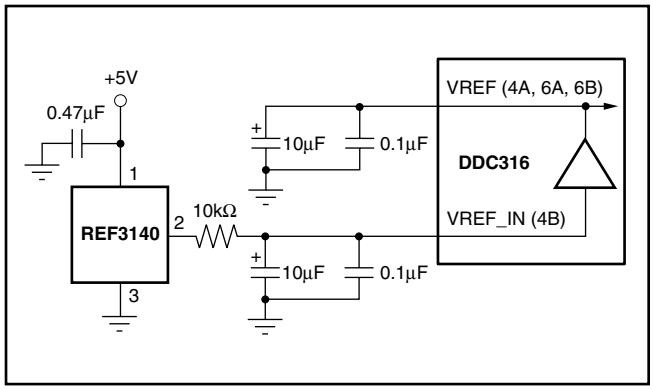


図14. 内部VREFバッファ使用時の推奨回路

外部VREFバッファ

内部バッファは、表10に示されている制御ビット(「設定レジスタ」のビット4を参照)を使用してオフにできます。その場合は、図15に示すように駆動回路を構成します。電圧リファレンスは、+4.096Vのリファレンスによって生成されます。リファレンスは、ノイズを低減するためのローパス·フィルタを通して、バッファとして構成されたオペアンプに接続されます。VREF_INピンは、必ず未接続の状態としてください。

バッファとして使用されるこのアンプは、低ノイズで、VREFをサポートする入力/出力同相電圧範囲を持つ必要があります。図15の回路は、大きな出力コンデンサによって不安定に見えるかもしれませんが、ほとんどのオペアンプに対して良好に動作します。安定性向上のために出力リードに直列抵抗を配置することは推奨しません。これは、VREFの低下を招き、大きなオフセットが生じる可能性があります。

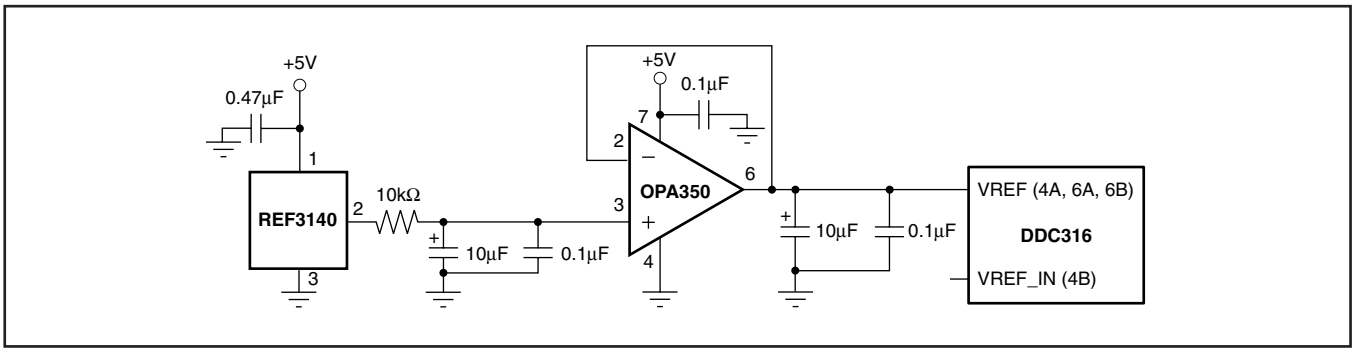


図15. 外部VREFバッファ使用時の推奨回路

リセット（$\overline{\text{RESET}}$）

DDC316は、$\overline{\text{RESET}}$入力を“Low”にすることで、非同期にリセットできます。リセット･パルスの幅は2CLKサイクル以上としてください。$\overline{\text{RESET}}$信号が“High”になると、t_{RST}後に内部リセットが解除され、設定レジスタが書き込み可能になります。誤ったリセットを避けるため、$\overline{\text{RESET}}$信号はグリッチを含まないことが非常に重要です。

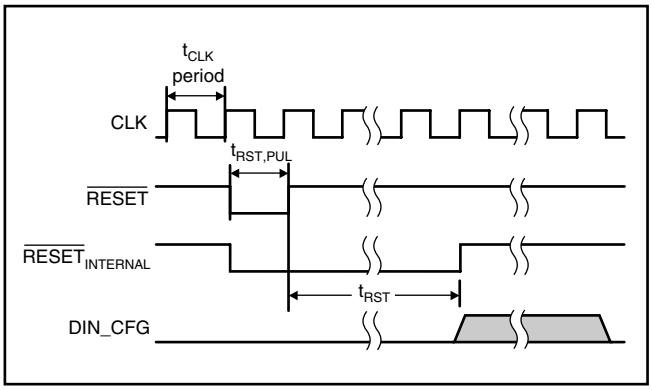


図16. リセット･タイミング

パワーアップ･シーケンシング

図17に、デバイスのパワーアップ後の内部タイミングを示します。デジタル電源がスレッシュホールド値を超えると、内部パワーオン･リセット回路が$\overline{\text{POR}}$信号を生成します。$\overline{\text{POR}}_{\text{INTERNAL}}$から$t_{POR}$時間後に、デジタル･ロジックに対する内部リセット信号がリリースされ、設定レジスタの書き込みが可能になります。

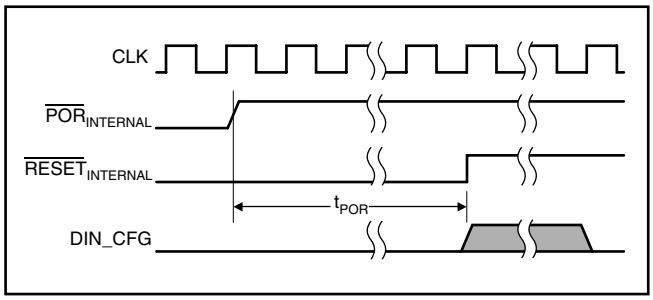


図17. パワーアップ･タイミング

レイアウト

電源とグランド

AVDDおよびDVDDは、可能な限り低雑音にする必要があります。DDC316の動作と非同期であるノイズをAVDDから除去することが特に重要です。この理由により、スイッチング電源は推奨されません。図18に、DDC316への電源供給方法を示します。DDC316の各電源は、10µFのソリッド･セラミック･コンデンサを使用してバイパスする必要があります。アナログ･グランドとデジタル･グランド（AGNDおよびDGND）の両方をPCB上の単一のグランド･プレーンに接続することを推奨します。

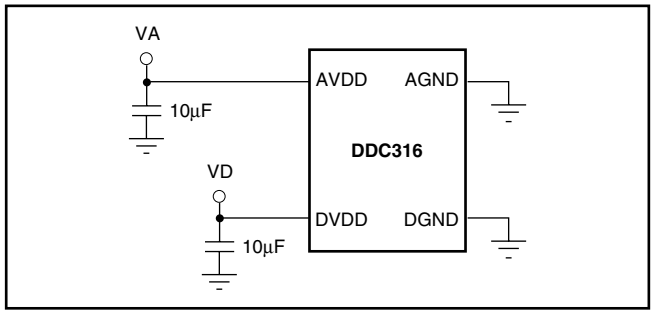


図18. 電源接続

アナログ信号パスのシールド

他の高精度回路の場合と同様に、慎重なPCBレイアウトによって最高の性能を実現できます。浮遊配線容量を避けるため、特にアナログ入力ピンやQGNDにおいて、短い直接の接続を用いることが重要です。これらのアナログ入力ピンはハイ･インピーダンスであり、外部からのノイズに極度に敏感です。QGNDピンは、敏感なアナログ信号として取り扱い、適切なシールドを使用して電源グランドに直接接続する必要があります。シールドを実装しない場合、PCBパターン間のリーク電流がDDC316の入力バイアス電流を超える可能性があります。PCB上では、デジタル信号をアナログ入力信号からできるだけ離して配置する必要があります。

記　号	説　明	MIN	TYP	MAX	単　位
$t_{RST,PUL}$	$\overline{\text{RESET}}$ピンの“Low”幅	2			t_{CLK}周期
t_{RST}	$\overline{\text{RESET}}$“High”から設定レジスタ書き込み開始までの待ち時間	20			t_{CLK}周期
t_{POR}	パワーアップからパワーオン･リセット解除までの待ち時間	40,000			t_{CLK}周期

表11. タイミング：図16および図17

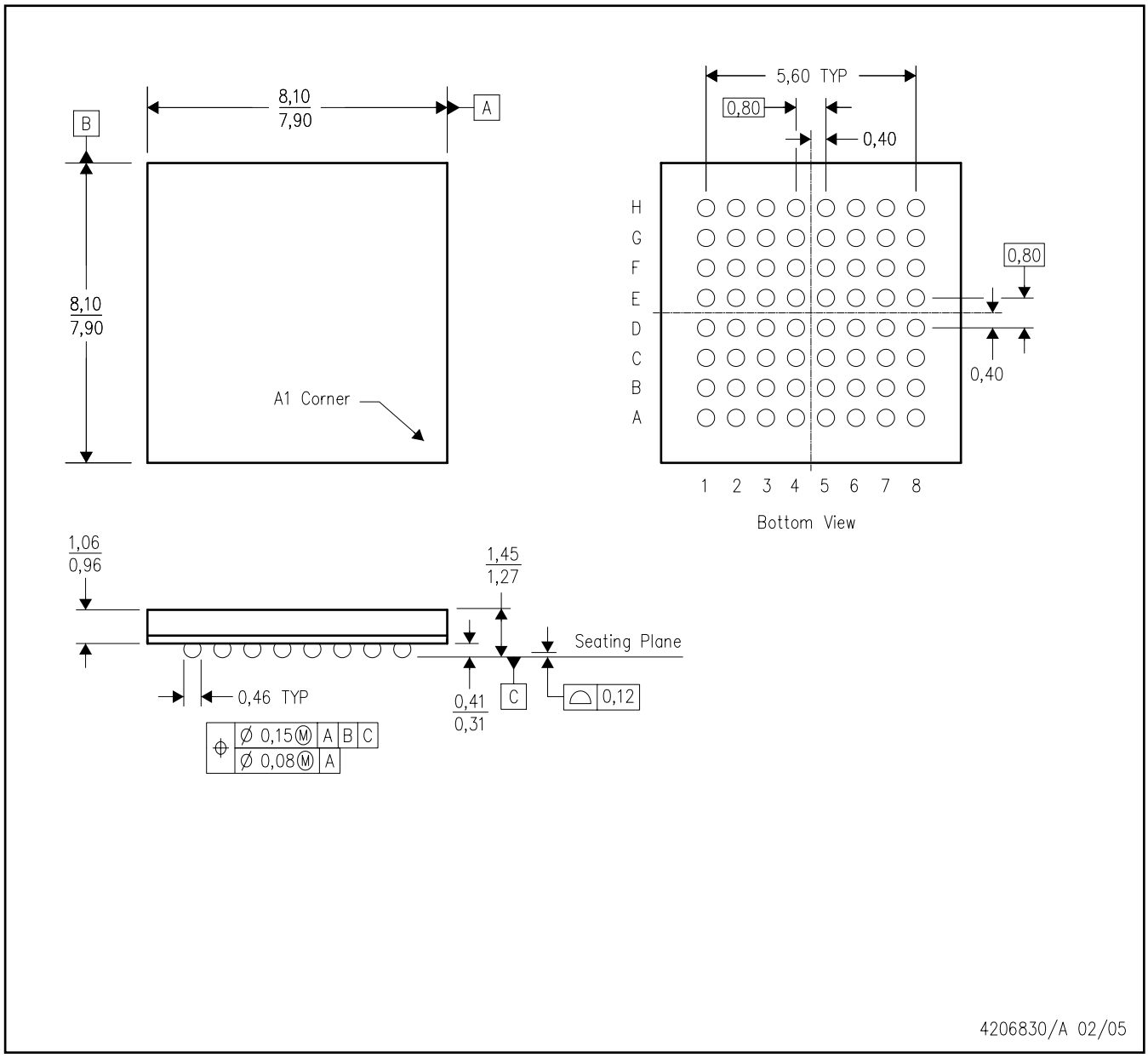


図19. GXG-64のメカニカル・パッケージ図

注：A. 全ての線寸法の単位はミリメートルです。
B. 図は予告なく変更することがあります。

パッケージ情報

Orderable Device	Status(1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan(2)	Lead/Ball Finish	MSL Peak Temp(3)
DDC316CGXGR	ACTIVE	BGA	GXG	64	1000	TBD	SN/PB	Level-3-240C-168 HR
DDC316CGXGT	ACTIVE	BGA	GXG	64	250	TBD	SN/PB	Level-3-240C-168 HR

(1) マーケティング･ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ･プラン - 環境に配慮した製品分類プランであり、Pb-Free（RoHS）、Pb-Free（RoHS Expert）およびGreen（RoHS & no Sb/Br）があります。最新情報および製品内容の詳細については、http://www.ti.com/productcontentでご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1％を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー･プロセスでの使用に適しています。

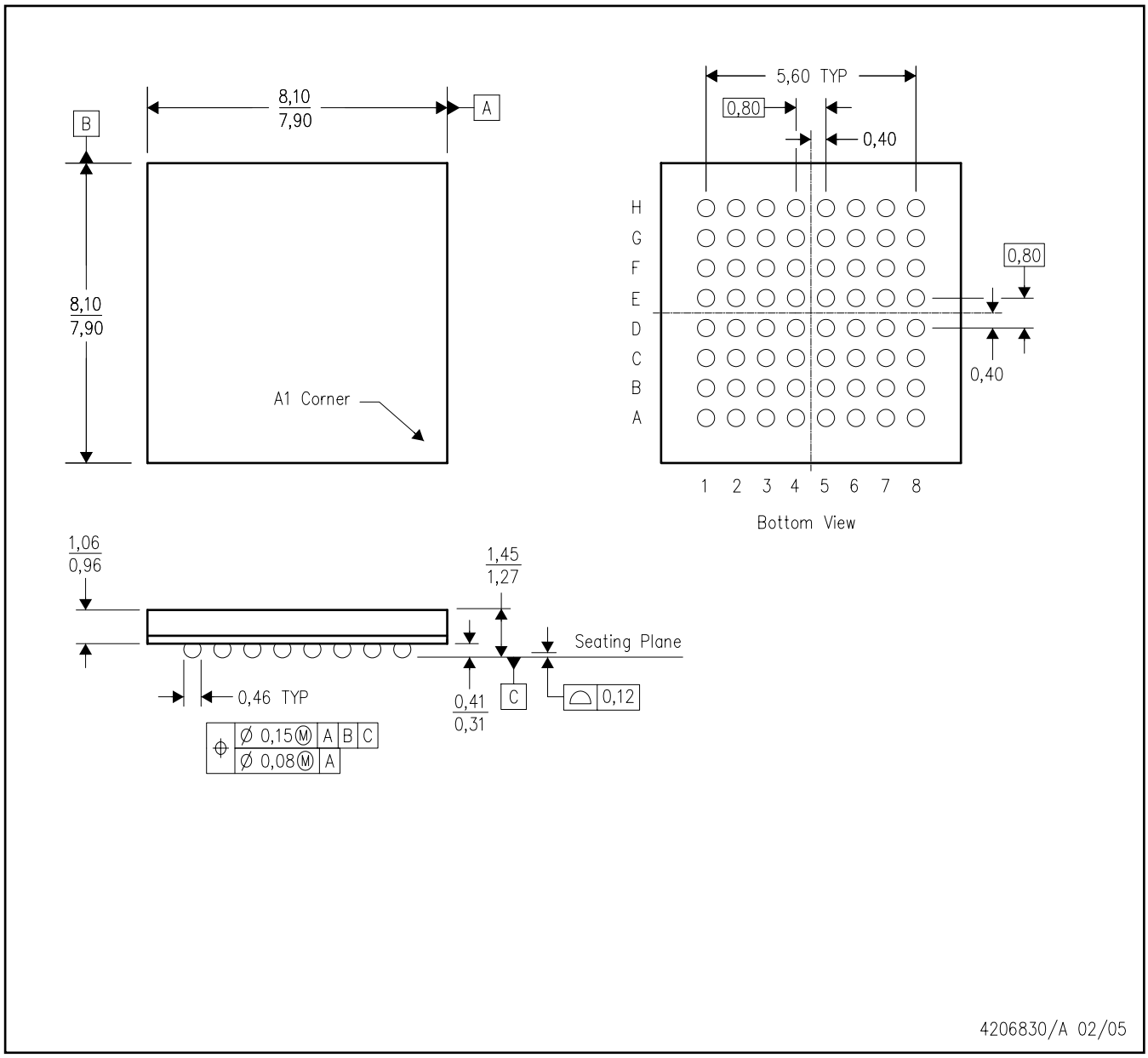
Pb-Free (RoHS Exempt)：この部品は、1）ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2）ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free（RoHS）と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”（RoHS互換）に加えて、臭素（Br）およびアンチモン（Sb）をベースとした難燃材を含まない（均質な材質中のBrまたはSb重量が0.1％を超えない）ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

GXG (S-PBGA-N64)　　プラスチック・ボール・グリッド・アレイ

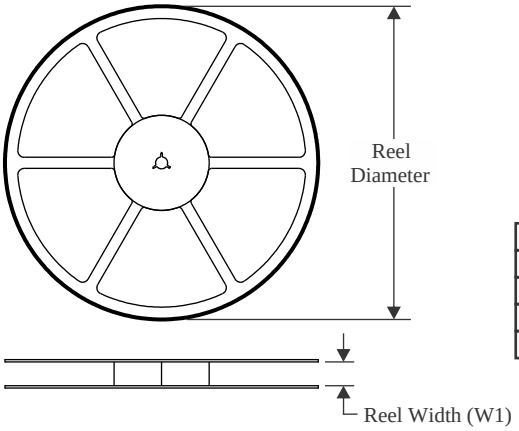


注：A. 全ての線寸法の単位はミリメートルです。
　　B. 図は予告なく変更することがあります。

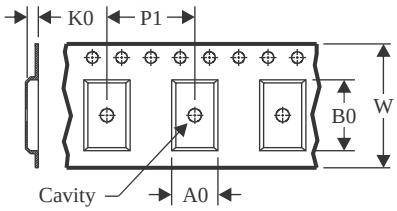
(SBAS370)

TAPE AND REEL INFORMATION

REEL DIMENSIONS

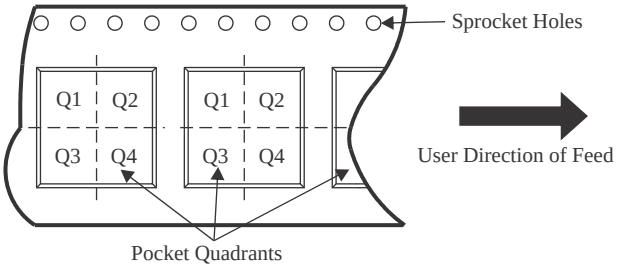


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

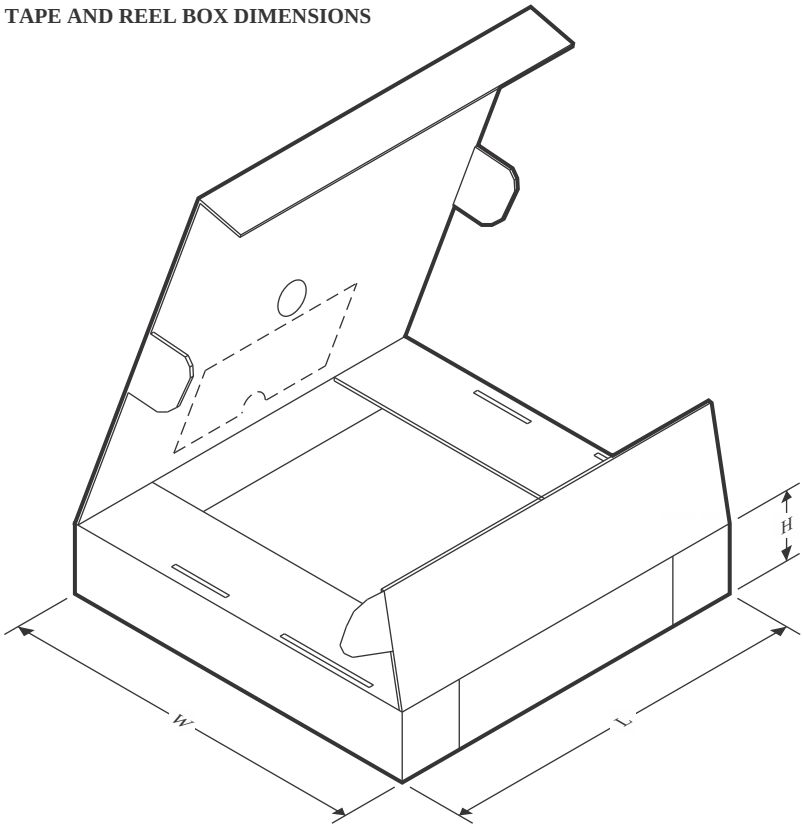
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DDC316CGXGR	NFBGA	GXG	64	1000	330.0	16.4	8.3	8.3	2.25	12.0	16.0	Q1
DDC316CZXGR	NFBGA	ZXG	64	1000	330.0	16.4	8.3	8.3	2.25	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DDC316CGXGR	NFBGA	GXG	64	1000	350.0	350.0	43.0
DDC316CZXGR	NFBGA	ZXG	64	1000	350.0	350.0	43.0

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated