参 考 資 料

TEXAS INSTRUMENTS
www.tij.co.jp

DAC8830
DAC8831

JAJS192

16ビット、超低消費電力、電圧出力 DA コンバータ

特　長

- 16ビット分解能
- 2.7V ～ 5.5V 単電源動作
- 超低消費電力：15μW、3V電源動作時
- 高精度、INL：1LSB
- 低グリッチ：10nV-s
- 低雑音：10nV/√Hz
- 高速セトリング：1.0μS
- 高速SPI™インターフェイス、最大50MHz
- ゼロコードへのリセット
- シュミット･トリガ入力、フォトカプラとの直接インターフェイス用
- 業界標準のピン配置

アプリケーション

- ポータブル機器
- 自動テスト機器
- 産業用プロセス制御
- データ･アクイジション･システム
- 光学ネットワーク

概　要

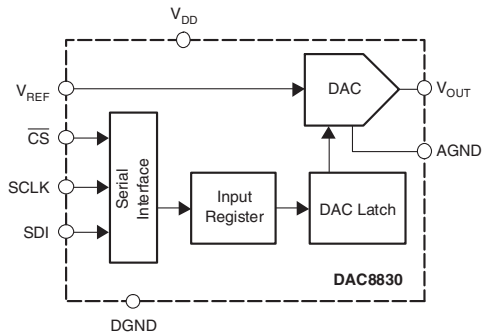
DAC8830およびDAC8831は、シングル、16ビット、シリアル入力、電圧出力のDA コンバータ（DAC）であり、3V～5Vの単電源電圧で動作します。これらのコンバータは、優れたリニアリティ（1LSB INL）、低グリッチ、低雑音、および高速セトリング（フルスケール出力に対する1/2 LSBを達成するまでに1.0μS）の特性を、規定温度範囲–40°C～+85°Cで提供します。出力はバッファ無しのため、低消費電力化とバッファに起因する誤差が低減できます。

これらのデバイスは、高速動作（最高50MHzクロック）、3Vまたは5Vの標準的なSPIシリアル･インターフェイスを採用し、DSPまたはマイクロプロセッサとの通信をサポートしています。

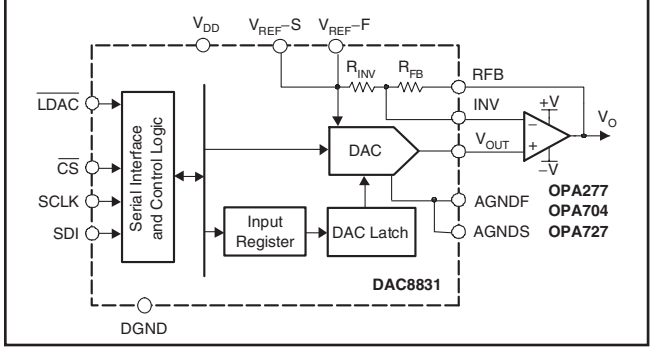
DAC8830の出力範囲は、0V～V_{REF}です。 ただし、DAC8831は外付けバッファを使用して、バイポーラ出力（±V_{REF}）も可能です。DAC8830とDAC8831はどちらも、電源投入後にゼロコードにリセットされます。最適な性能を達成するために、DAC8831では、外部リファレンスおよびアナログ･グランド入力に対して、対のケルビン接続を提供します。

DAC8830はSO-8パッケージ、DAC8831はSO-14パッケージで供給されます。どちらも業界標準のピン配置です（詳細については、アプリケーション情報のクロスリファレンスにあります表3を参照してください）。 DAC8831は、QFN-14パッケージでも入手できます。

DAC8830
Functional Block Diagram



DAC8831
Functional Block Diagram



この資料は、Texas Instruments Incorporated（TI）が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス･インスツルメンツ（日本TI）が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

TEXAS INSTRUMENTS

SLAS449C　翻訳版

最新の英語版資料
http://focus.ti.com/lit/ds/symlink/dac8830.pdf

静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

製品情報(1)

製品名	最小相対精度（LSB）	微分非直線性誤差（LSB）	パワーオン・リセット値	仕様温度範囲	パッケージの捺印	パッケージ	パッケージ指定コード	発注番号	出荷形態、数量
DAC8830ID	±4	±1	ゼロコード	–40° ～ 85°C	8830I	SO-8	D	DAC8830ID	チューブ、75
								DAC8830IDR	テープ・リール、2500
DAC8830IBD	±2	±1	ゼロコード	–40° ～ 85°C	8830I	SO-8	D	DAC8830IBD	チューブ、75
								DAC8830IBDR	テープ・リール、2500
DAC8830ICD	±1	±1	ゼロコード	–40° ～ 85°C	8830I	SO-8	D	DAC8830ICD	チューブ、75
								DAC8830ICDR	テープ・リール、2500
DAC8831ID	±4	±1	ゼロコード	–40° ～ 85°C	8831I	SO-14	D	DAC8831ID	チューブ、50
								DAC8831IDR	テープ・リール、2500
DAC8831IBD	±2	±1	ゼロコード	–40° ～ 85°C	8831I	SO-14	D	DAC8831IBD	チューブ、50
								DAC8831IBDR	テープ・リール、2500
DAC8831ICD	±1	±1	ゼロコード	–40° ～ 85°C	8831I	SO-14	D	DAC8831ICD	チューブ、50
								DAC8831ICDR	テープ・リール、2500
DAC8831IRGY	±4	±1	ゼロコード	–40° ～ 85°C	8831I	QFN-14	RGY	DAC8831IRGYT	テープ・リール、250
								DAC8831IRGYR	テープ・リール、1000
DAC8831IBRGY	±2	±1	ゼロコード	–40° ～ 85°C	8831I	QFN-14	RGY	DAC8831IBRGYT	テープ・リール、250
								DAC8831IBRGYR	テープ・リール、1000
DAC8831ICRGY	±1	±1	ゼロコード	–40° ～ 85°C	8831I	QFN-14	RGY	DAC8831ICRGYT	テープ・リール、250
								DAC8831ICRGYR	テープ・リール、1000

（1）最新のパッケージ情報と発注情報については、このデータシートの末尾にある「パッケージ・オプション」を参照するか、www.ti.com、またはwww.tij.co.jpにあるTIのWebサイトを参照してください。

絶対最大定格

		DAC8830、DAC8831	単位
VDD ～ AGND		–0.3 ～ +7	V
デジタル入力電圧 ～ DGND		–0.3 ～ +V_{DD} + 0.3	V
V_{OUT} ～ AGND		–0.3 ～ +V_{DD} + 0.3	V
AGND、AGNDF、AGNDS ～ DGND		–0.3 ～ +0.3	V
動作温度範囲		–40 ～ +85	°C
保存温度範囲		–65 ～ +150	°C
ジャンクション温度範囲（T_J max）		+150	°C
消費電力		(T_J max - T_A)/ θ_{JA}	W
熱抵抗、θ_{JA}	QFN-14	54.9	°C/W
	SO-8	136.9	°C/W
	SO-14	66.6	°C/W

電気的特性

特に指定がない限り、T_A = –40°C ～ +85°C、V_{DD} = +3VまたはV_{DD} = +5V、V_{REF} = +2.5Vです。
仕様は予告なしに変更される場合があります。

パラメータ		条件	DAC8830、DAC8831 MIN	TYP	MAX	単位
スタテック特性						
分解能			16			bits
直線性誤差	DAC8830ICD, DAC8831ICD, DAC8831ICRGY			±0.5	±1	LSB
	DAC8830IBD, DAC8831IBD, DAC8831IBRGY			±0.5	±2	
	DAC8830ID, DAC8831ID, DAC8831IRGY			±0.5	±4	
微分直線性誤差		すべてのグレード		±0.5	±1	LSB
ゲイン誤差		T_A = +25°C		±1	±5	LSB
		T_A = –40°C ～ +85°C			±7	
ゲイン・ドリフト				±0.1		ppm / °C
ゼロコード誤差		T_A = +25°C		±0.25	±1	LSB
		T_A = –40°C ～ +85°C			±2	
ゼロコード・ドリフト				±0.05		ppm / °C
出力特性						
電圧出力(1)	すべてのデバイス	ユニポーラ動作	0		+V_{REF}	V
	DAC8831 のみ	バイポーラ動作	–V_{REF}		+V_{REF}	V
出力インピーダンス				6.25		kΩ
セトリング・タイム		フルスケールの1/2LSBまで、C_L = 10p F		1		µs
スルーレート(2)		C_L = 10p F		25		V/µs
D/ A グリッチ		メジャー・キャリー付近の1LSBの変化		10		nV-s
デジタル・フィードスルー (3)				0.2		nV-s
出力雑音	DAC8830	T_A = +25°C		10		nV/√Hz
	DAC8831			18		
電源変動除去		V_{DD} 変動率 ±10%			±1	LSB
バイポーラ・抵抗マッチング	DAC8831 のみ	R_{FB} / R_{INV}		1		Ω /Ω
		比率誤差		±0.0015	±0.0076	%
バイポーラ・ゼロ誤差	DAC8831 のみ	T_A = +25°C		±0.25	±5	LSB
		T_A = –40°C ～ +85°C			±7	
バイポーラ・ゼロ・ドリフト	DAC8831 のみ			±0.2		ppm / °C

(1) DAC8830の出力は、ユニポーラ（0V ～ +V_{REF}）です。DAC8831を外付けバッファに接続した場合、その出力はバイポーラ（±V_{REF}）です（詳細については、バイポーラ出力動作セクションを参照してください）。
(2) スルーレートは、出力が0からフルスケールまで変化したときの、10%から90%までの遷移を測定したものです。
(3) デジタル・フィードスルーは、デジタル入力からアナログ出力へ流入するインパルスと定義します。これは、DACの出力を変化させずに測定します。$\overline{CS}$を“High”に固定し、SCLKとDINの各信号を切り替えます。

電気的特性

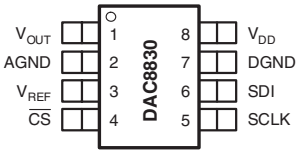
特に指定がない限り、T_A = –40°C～ +85°C、V_{DD} = +3VまたはV_{DD} = +5V、V_{REF} = +2.5Vです。
仕様は予告なしに変更される場合があります。

パラメータ		条件	DAC8830、DAC8831			単位
			MIN	TYP	MAX	
リファレンス入力						
入力電圧範囲			1.25		V_{DD}	V
入力インピーダンス (4)		ユニポーラ・モード	9			kΩ
		バイポーラ・モード、 DAC8831	7.5			
基準電圧 –3dB 帯域幅、BW		コード = FFFFh		1.3		MHz
リファレンス・フィードスルー		コード = 0000h 、V_{REF} = 1 V_{PP}、100kHz 時		1		mV
信号対雑音比、SNR				92		dB
リファレンス入力容量		コード = 0000h		75		pF
		コード = FFFFh		120		
デジタル入力						
"L" レベル入力電圧	V_{IL}	V_{DD} = 2.7V			0.6	V
		V_{DD} = 5V			0.8	
"H" レベル入力電圧	V_{IH}	V_{DD} = 2.7V	2.1			V
		V_{DD} = 5V	2.4			
入力電流					±1	µA
入力容量					10	pF
ヒステリシス電圧				0.4		V
電源供給						
電源電圧	V_{DD}		2.7		5.5	V
電源電流	I_{DD}	V_{DD} = 3V		5	20	µA
		V_{DD} = 5V		5	20	
消費電力		V_{DD} = 3V		15	60	µW
		V_{DD} = 5V		25	100	
温度範囲						
仕様			–40		+85	°C

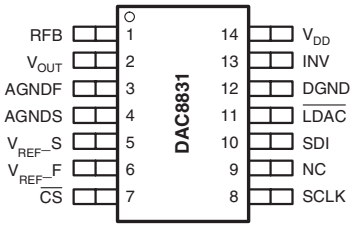
(4) 基準入力抵抗値は、コードに依存します。最小は、8555hのときです。

ピン配置（非縮尺）

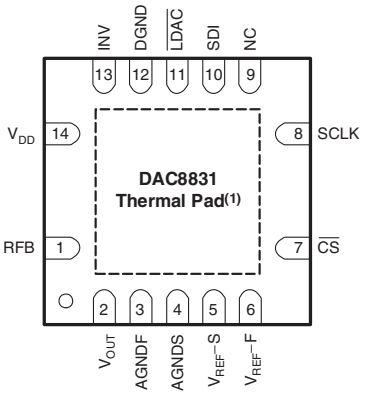
D パッケージ
SO-8
（上面図）



D パッケージ
SO-14
（上面図）



RGY パッケージ
QFN-14
（上面図）



NOTE: (1) Exposed thermal pad in the QFN package must be connected to analog ground.

ピン構成

端子		説　明
端子番号	名称	
DAC8830		
1	V_{OUT}	DACアナログ出力
2	AGND	アナログ・グランド
3	V_{REF}	基準電圧入力
4	$\overline{CS}$	チップ・セレクト入力（アクティブ“Low”）。$\overline{CS}$が“L”レベルではない場合は、データがSDIに入力されません。
5	SCLK	シリアル・クロック入力
6	SDI	シリアル・データ入力。データは、SCLKの立ち上がりエッジで、入力レジスタにラッチされます。
7	DGND	デジタル・グランド
8	V_{DD}	アナログ電源、+3V ～ +5V
DAC8831		
1	RFB	フィードバック抵抗。バイポーラ・モードの場合は、外付けオペアンプの出力に接続します。
2	V_{OUT}	DACアナログ出力
3	AGNDF	アナログ・グランド（フォース）
4	AGNDS	アナログ・グランド（センス）
5	V_{REF}–S	基準電圧入力（センス）。外部基準電圧に接続
6	V_{REF}–F	基準電圧入力（フォース）。外部基準電圧に接続
7	$\overline{CS}$	チップ・セレクト入力（アクティブ“Low”）。 $\overline{CS}$が“L”レベルではない場合は、データがSDIにクロック入力されません。
8	SCLK	シリアル・クロック入力。
9	NC	内部接続なし
10	SDI	シリアル・データ入力。データは、SCLKの立ち上がりエッジで、入力レジスタにラッチされます。
11	$\overline{LDAC}$	Load DAC制御入力。アクティブ“Low”。$\overline{LDAC}$が“L”レベルである場合は、DACラッチは入力レジスタの内容を使用して同時に更新されます。
12	DGND	デジタル・グランド
13	INV	内蔵スケーリング抵抗との接続点。バイポーラ・モードの場合は、外付けオペアンプの反転入力に接続します。
14	V_{DD}	アナログ電源、+3V ～ +5V。

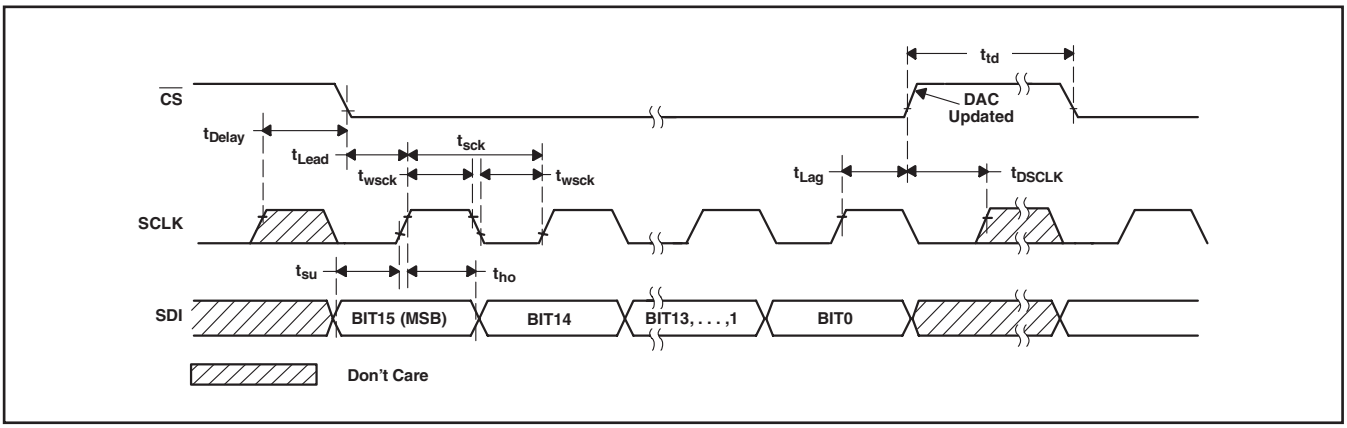


図 1. DAC8830タイミング図

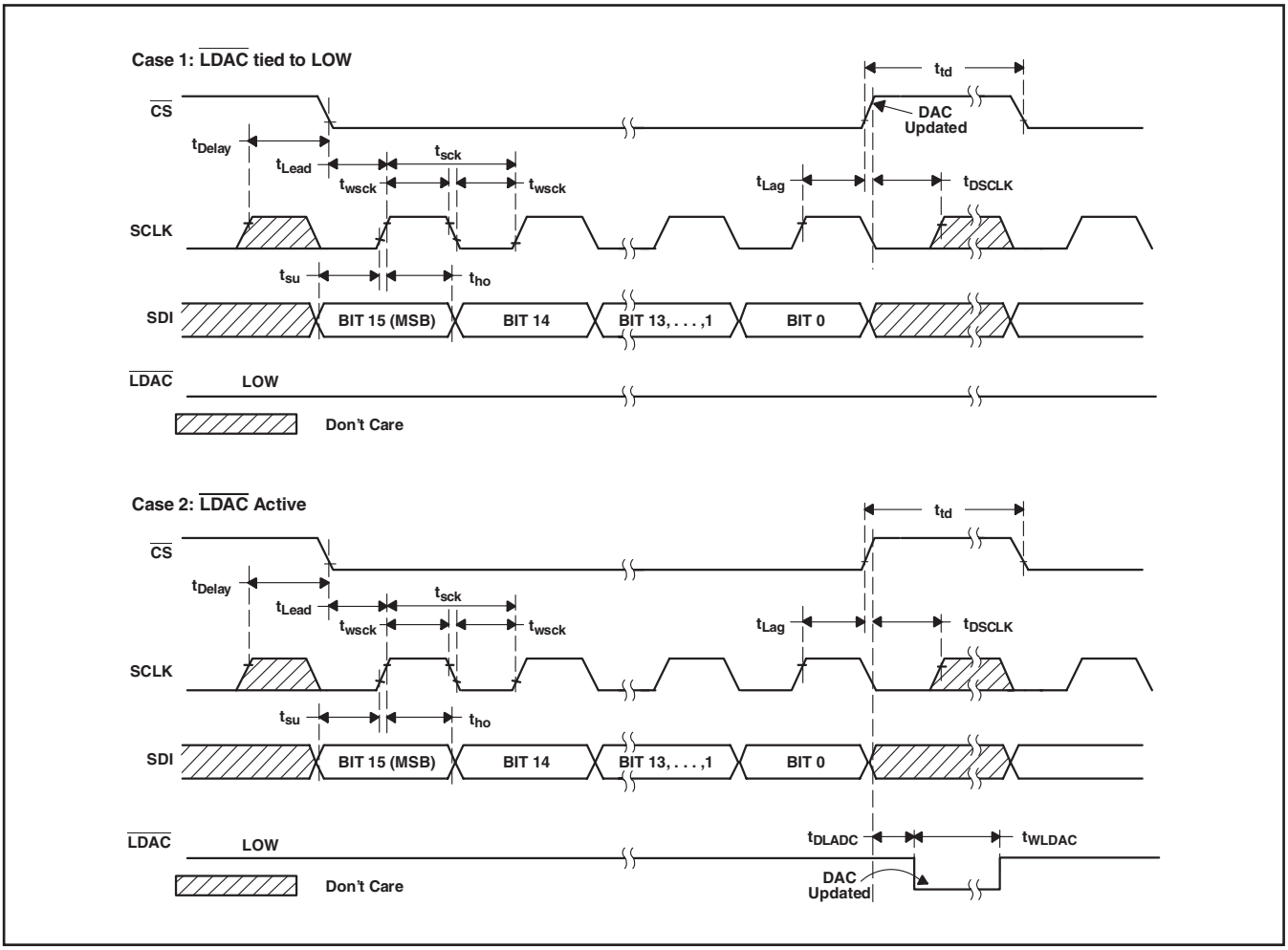


図 2. DAC8831タイミング図

タイミング特性：V_{DD} = +5V (1) (2)

T_A = –40°C ～ +85°C（特に記述のない限り）。

パラメータ		MIN	MAX	単位
t_{sck}	SCLK期間	20		ns
t_{wsck}	SCLKの“H”レベルまたは“L”レベルの時間	10		ns
t_{Delay}	SCLK“H”から$\overline{CS}$“L”までの遅延	10		ns
t_{Lead}	$\overline{CS}$イネーブル進み時間	10		ns
t_{Lag}	$\overline{CS}$イネーブル遅延時間	10		ns
t_{DSCLK}	CS“H”から$\overline{SCLK}$“H”までの遅延	10		ns
t_{td}	アクティブ期間の間にある$\overline{CS}$の“H”レベル時間	30		ns
t_{su}	データ・セットアップ時間（入力）	10		ns
t_{ho}	データ・ホールド時間（入力）	0		ns
t_{WLDAC}	$\overline{LDAC}$幅	30		ns
t_{DLDAC}	$\overline{CS}$の“H”から$\overline{LDAC}$の“L”までの遅延	30		ns
	V_{DD}の“H”から$\overline{CS}$の“L”まで（電源投入遅延）	10		µs

（1）設計により保証。量産でのテストは実施されていません。
（2）初期リリース時にサンプルをテスト済み。このパラメータは、再設計時やプロセス変更時に影響を及ぼす可能性があります。

タイミング特性：V_{DD}= +3V (1) (2)

T_A = –40°C ～ +85°C（特に記述のない限り）。

パラメータ		MIN	MAX	単位
t_{sck}	SCLK期間	20		ns
t_{wsck}	SCLKの“H”レベルまたは“L”レベルの時間	10		ns
t_{Delay}	SCLKの“H”から$\overline{CS}$“L”までの遅延	10		ns
t_{Lead}	$\overline{CS}$イネーブル進み時間	10		ns
t_{Lag}	$\overline{CS}$イネーブル遅延時間	10		ns
t_{DSCLK}	CSの“H”から$\overline{SCLK}$“H”までの遅延	10		ns
t_{td}	アクティブ期間の間にある$\overline{CS}$の“H”レベル時間	30		ns
t_{su}	データ・セットアップ時間（入力）	10		ns
t_{ho}	データ・ホールド時間（入力）	0		ns
t_{WLDAC}	$\overline{LDAC}$幅	30		ns
t_{DLDAC}	$\overline{CS}$の“H”から$\overline{LDAC}$の“L”までの遅延	30		ns
	V_{DD}の“H”から$\overline{CS}$の“L”まで（電源投入遅延）	10		µs

（1）設計により保証。量産でのテストは実施されていません。
（2）初期リリース時にサンプルをテスト済み。このパラメータは、再設計時やプロセス変更時に影響を及ぼす可能性があります。

代表的特性：V_{DD} = +5V

T_A = +25℃、V_{REF} = +2.5V（特に記述のない限り）。

直線性誤差　対　デジタル入力コード

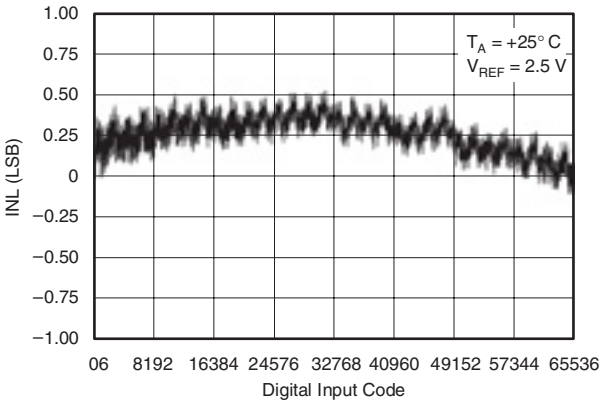


図 3

微分直線性誤差　対　デジタル入力コード

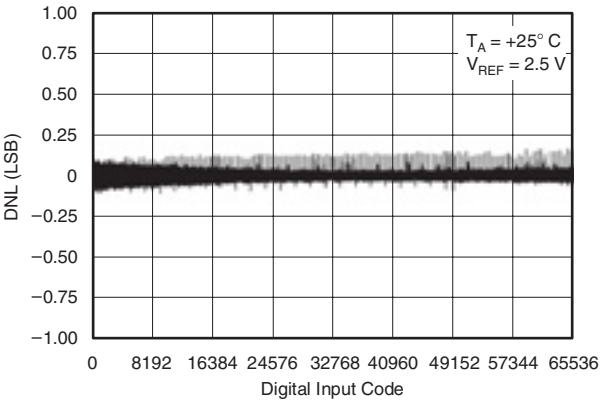


図 4

直線性誤差　対　デジタル入力コード

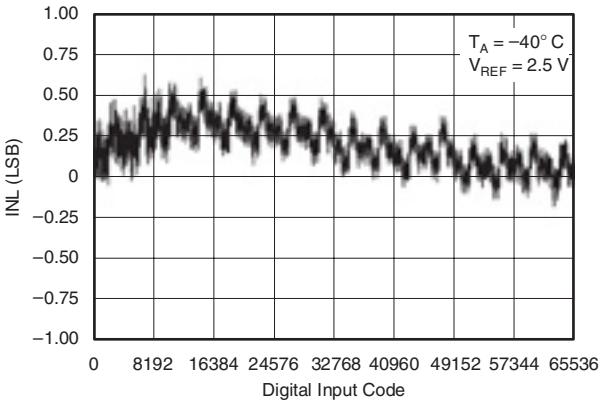


図 5

微分直線性誤差　対　デジタル入力コード

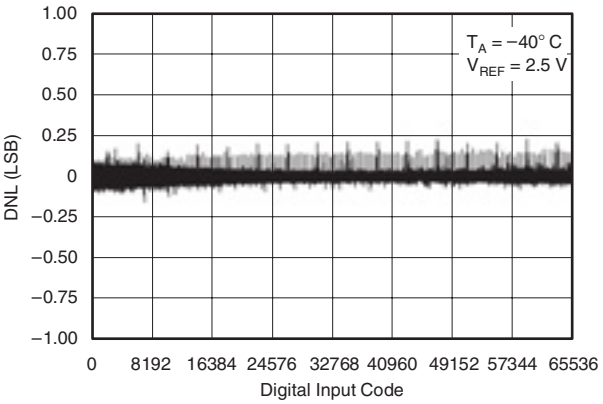


図 6

直線性誤差　対　デジタル入力コード

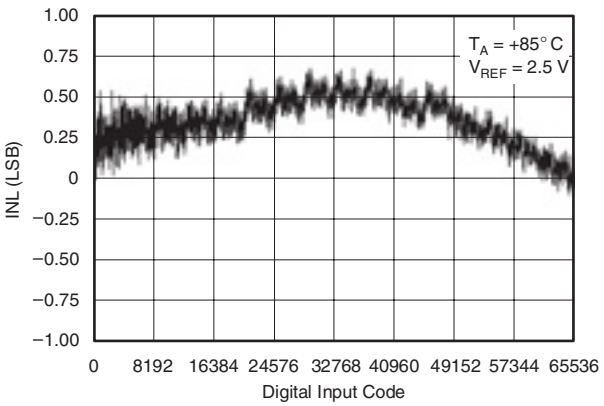


図 7

微分直線性誤差　対　デジタル入力コード

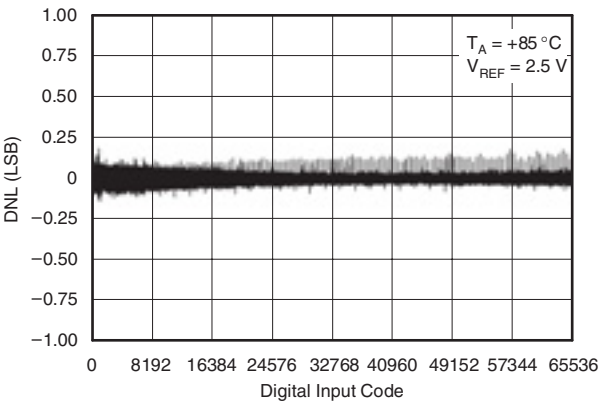


図 8

TEXAS INSTRUMENTS

代表的特性：V_{DD} = +5V

T_A = +25℃、V_{REF} = +2.5V（特に記述のない限り）。

直線性誤差　対　デジタル入力コード

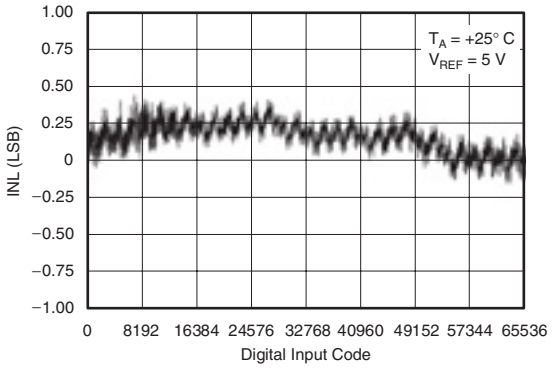


図 9

微分直線性誤差　対　デジタル入力コード

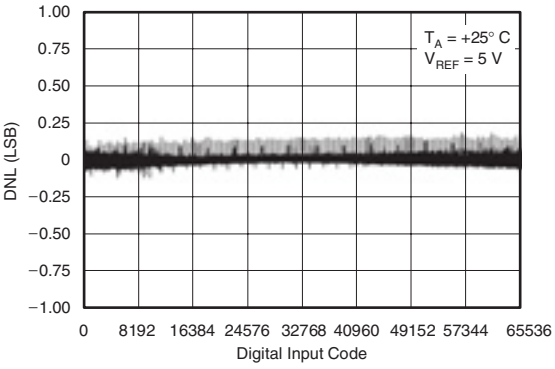


図 10

直線性誤差　対　基準電圧

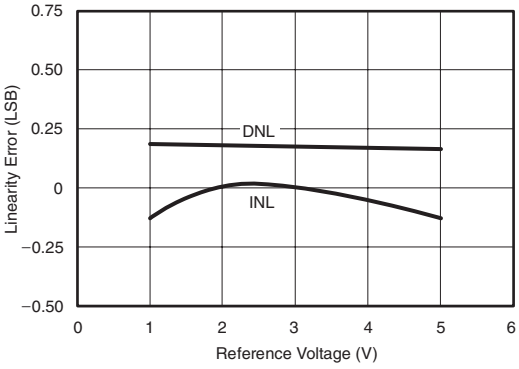


図 11

直線性誤差　対　電源電圧

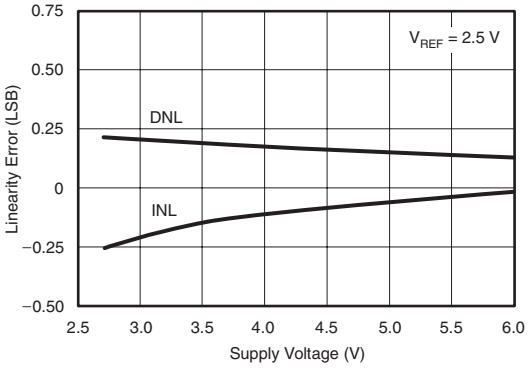


図 12

ゲイン誤差　対　温度

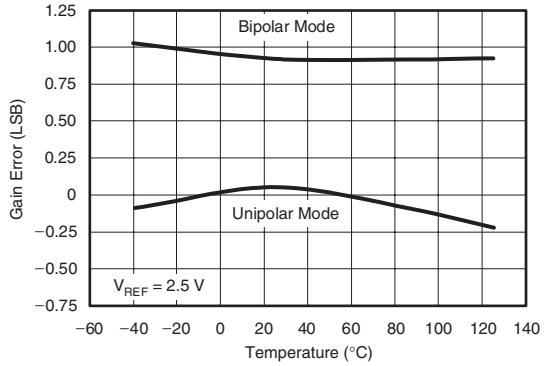


図 13

ゼロコード誤差　対　温度

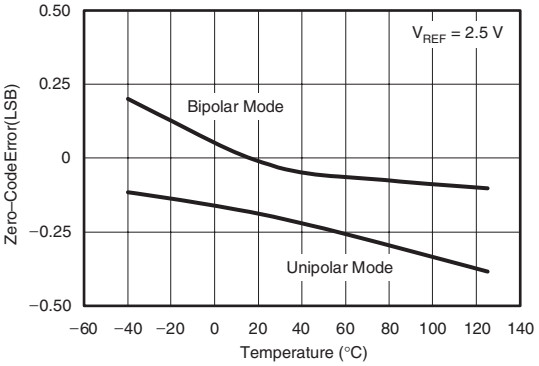


図 14

代表的特性：V_{DD} = +5V

T_A = +25℃、V_{REF} = +2.5V（特に記述のない限り）。

基準電源電流　対　コード（ユニポーラ・モード）

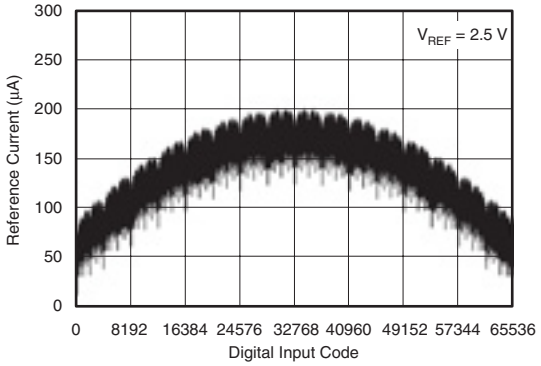


図 15

基準電源電流　対　コード（バイポーラ・モード）

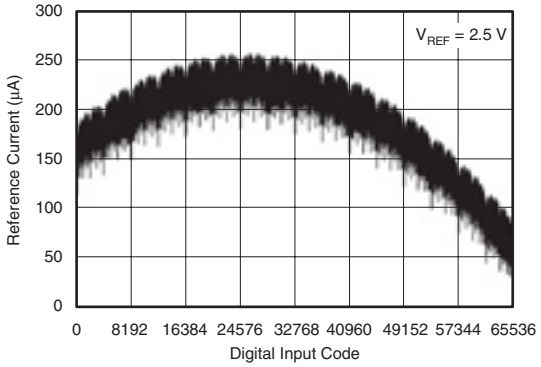


図 16

消費電流　対　デジタル入力電圧

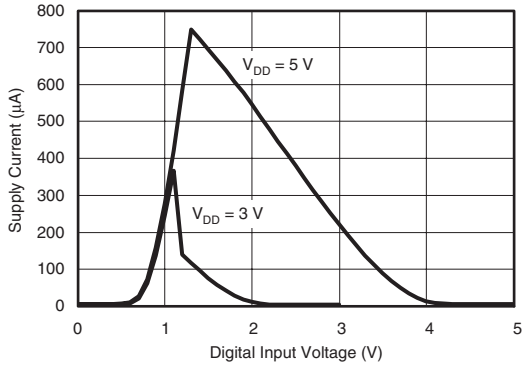


図 17

消費電流　対　温 度

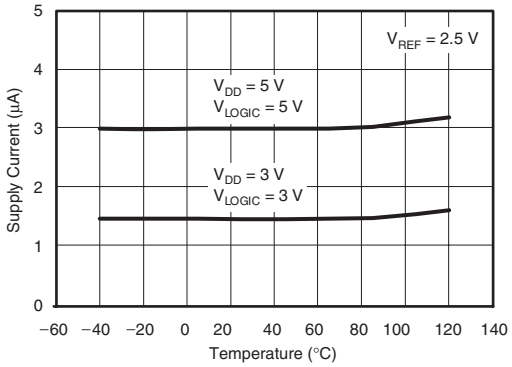


図 18

消費電流　対　電源電圧

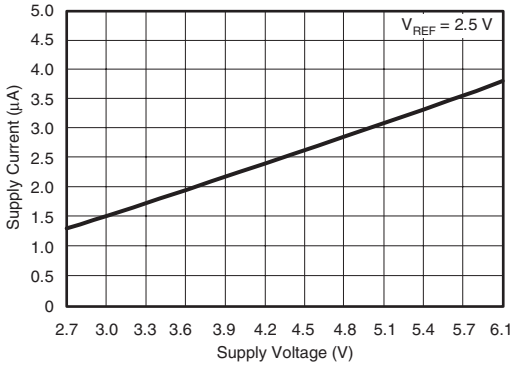


図 19

消費電流　対　基準電圧

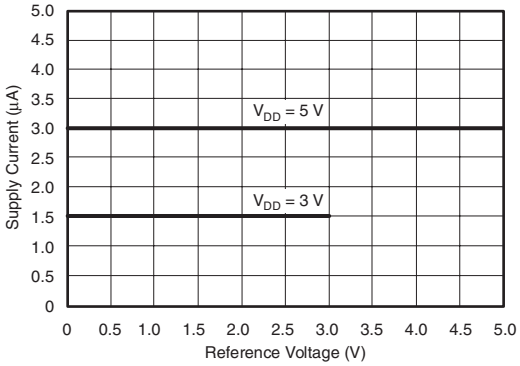


図 20

TEXAS INSTRUMENTS

代表的特性：V_{DD} = +5V

T_A = +25℃、V_{REF} = +2.5V（特に記述のない限り）。

メジャー・キャリー・グリッチ
（立ち下がり）

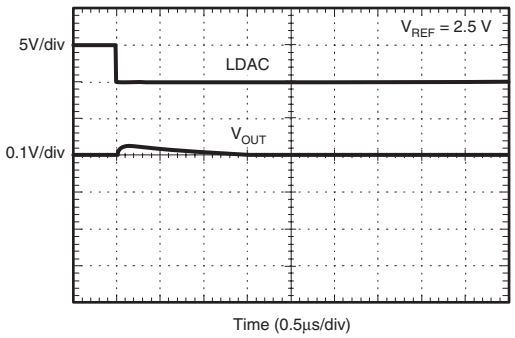


図 21

メジャー・キャリー・グリッチ
（立ち上がり）

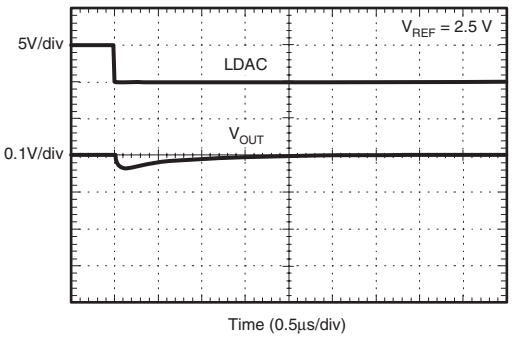


図 22

DAC セトリング・タイム
（立ち下がり）

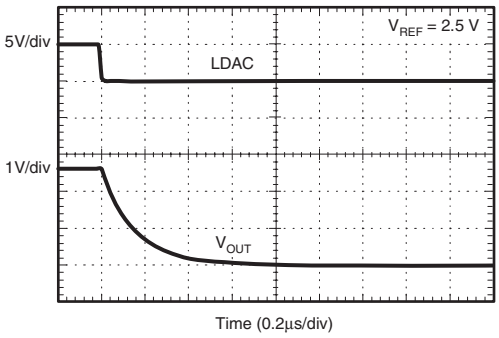


図 23

DACセトリング・タイム
（立ち上がり）

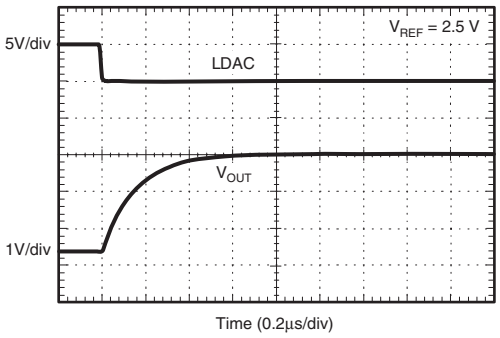


図 24

デジタル・フィードスルー

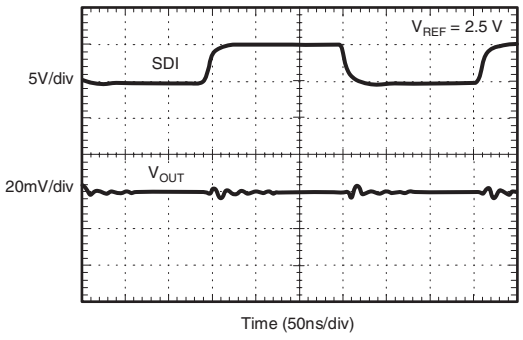


図 25

代表的特性：V_{DD} = +3V

T_A = +25℃、V_{REF} = +2.5V（特に記述のない限り）。

直線性誤差　対　デジタル入力コード

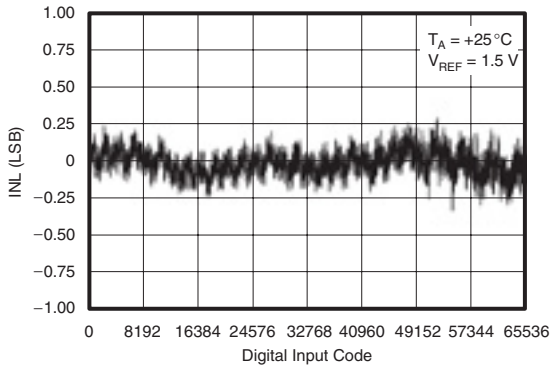


図 26

微分直線性誤差　対　デジタル入力コード

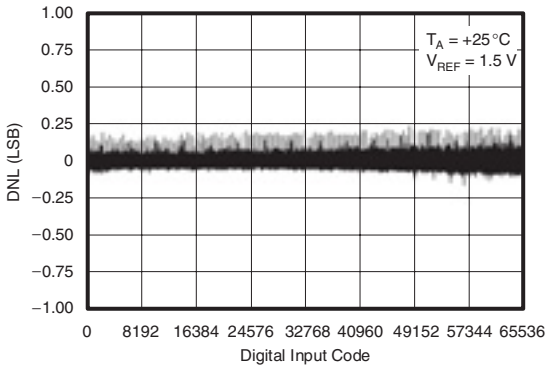


図 27

直線性誤差　対　デジタル入力コード

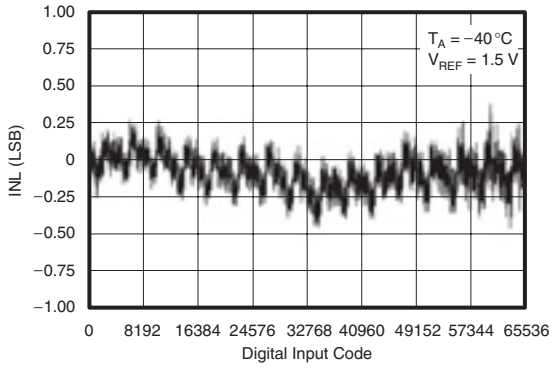


図 28

微分直線性誤差　対　デジタル入力コード

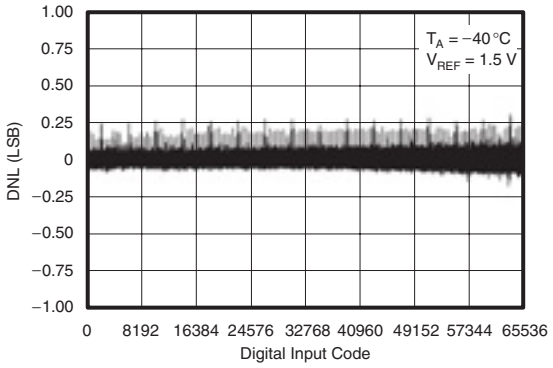


図 29

直線性誤差　対　デジタル入力コード

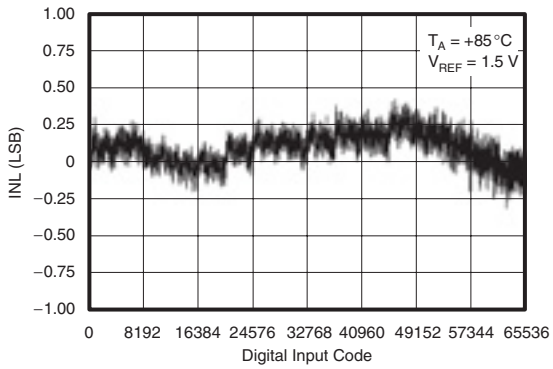


図 30

微分直線性誤差　対　デジタル入力コード

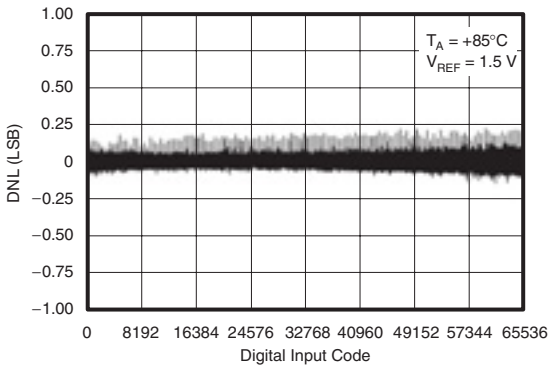


図 31

代表的特性：V_{DD} = +3V

T_A = +25℃、V_{REF} = +2.5V（特に記述のない限り）。

直線性誤差　対　デジタル入力コード

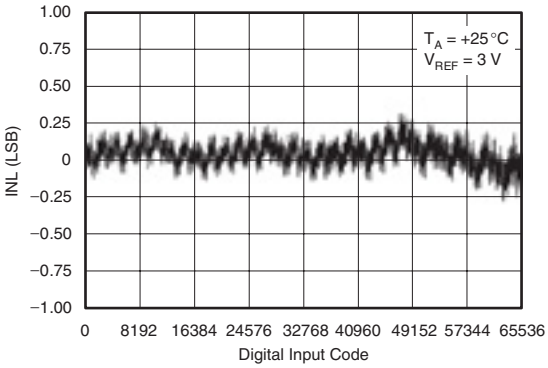


図 32

微分直線性誤差　対　デジタル入力コード

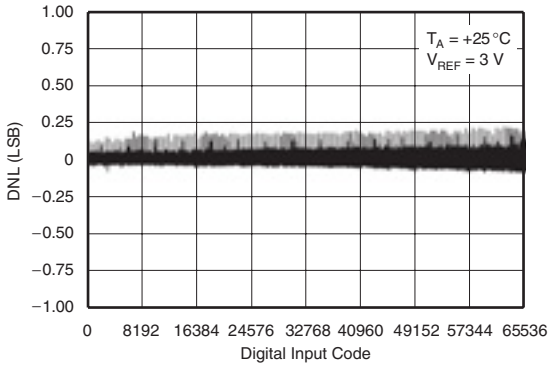


図 33

直線性誤差　対　基準電圧

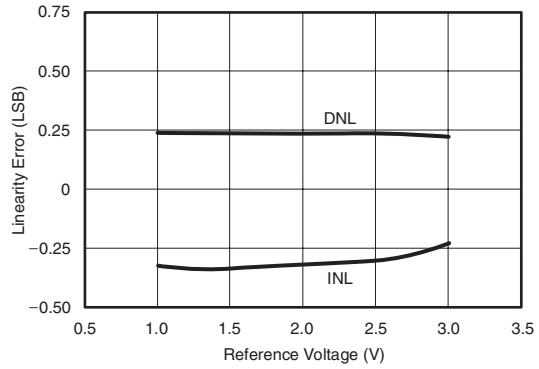


図 34

ゲイン誤差　対　温度

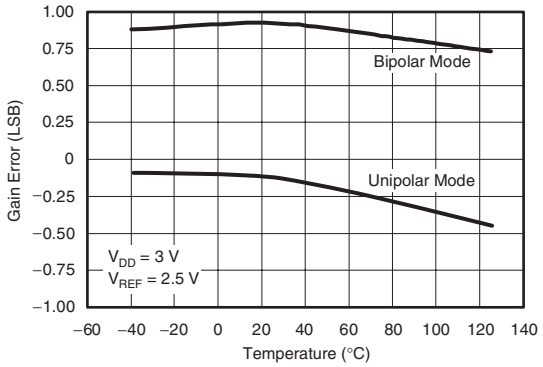


図 35

ゼロコード誤差　対　温度

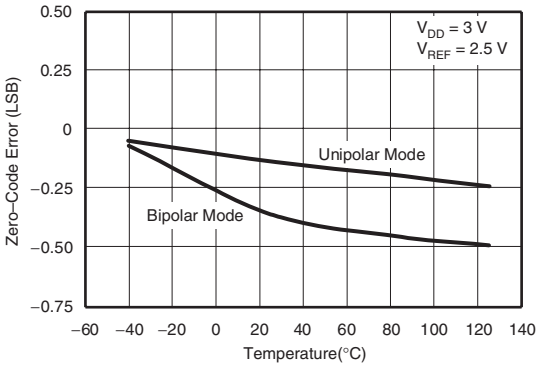


図 36

基準電源電流　対　コード（ユニポーラ・モード）

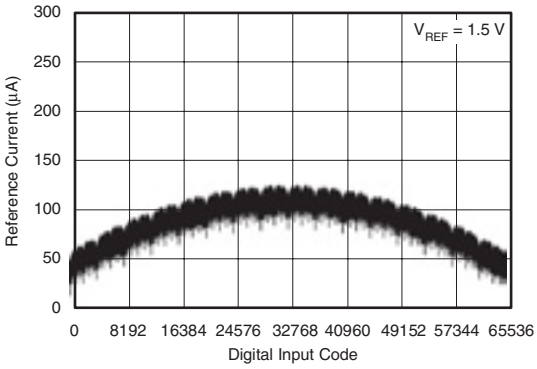


図 37

代表的特性：V_{DD} = +3V

T_A = +25℃、V_{REF} = +2.5V（特に記述のない限り）。

基準電源電流　対　コード（バイポーラ・モード）

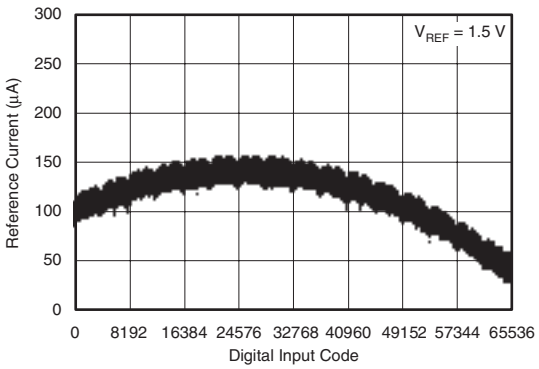


図 38

デジタル・フィードスルー

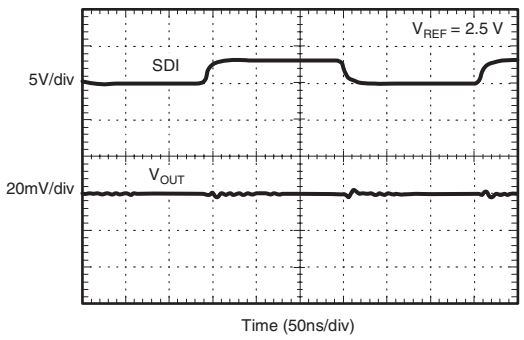


図 39

メジャー・キャリー・グリッチ
（立ち下がり）

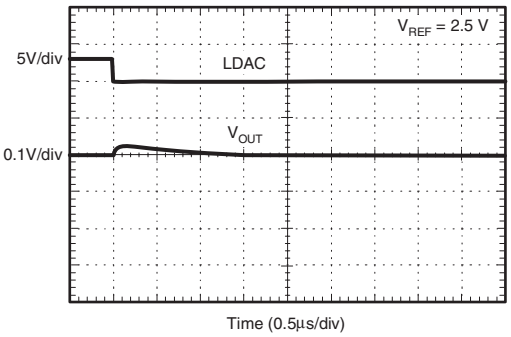


図 40

メジャー・キャリー・グリッチ
（立ち上がり）

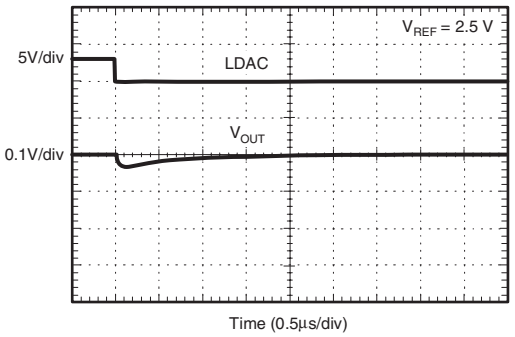


図 41

DACセトリング・タイム
（立ち下がり）

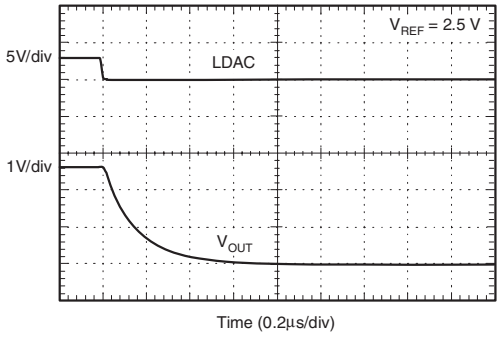


図 42

DACセトリング・タイム
（立ち上がり）

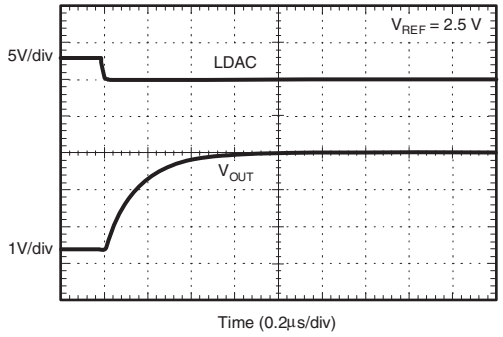


図 43

動作原理

概要説明

DAC8830およびDAC8831は、シングル、16ビット、シリアル入力、電圧出力のDAコンバータです。2.7V ～ 5Vの単電源で動作し、消費電流は5μA(typ)です。データは、SPIシリアル·インターフェイス経由で、16ビット·ワード形式でこれらのデバイスに書き込みます。電源投入時に既知の状態とする為に、これらのデバイスはパワーオン·リセット機能を内蔵しています。DAC8830とDAC8831はどちらも、ゼロコードにリセットされます。ユニポーラ·モードでは、DAC8830とDAC8831は0Vにリセットされます。DAC8831のバイポーラ·モードでは、$-V_{REF}$にリセットされます。 DAC8831には、基準電源とアナログ·グランドに対するケルビン接続が採用されています。

DA変換部

両デバイスのDACアーキテクチャは、2つのマッチングされたDAC部により構成され、セグメント化されています。簡略化した回路図を図44に示します。16ビット·データ·ワードのうち、上位(MSB)4ビットはデコードされ、E1 - E15の15 個のスイッチを駆動します。これらの各スイッチは、15個のマッチングされた抵抗のいずれかとAGNDまたは V_{REF}に接続されています。データ·ワードのうち残りの12ビットは、12ビットの電圧モードR-2Rラダー·ネットワークを形成するS0 - S11のスイッチを駆動します。

出力範囲

DACの出力は、次のとおりです。

$$V_{OUT} = (V_{REF} \times Code)/65536$$

ここで、Codeは、DACラッチにロードされたデータの10進値データです。

パワーオン·リセット

どちらのデバイスにもパワーオン·リセット機能があり、電源投入時に出力が既知の状態になります。DAC8830およびDAC8831では、電源投入時にDACラッチと入力レジスタはオール“0”となり、入力シリアル·シフト·レジスタから新しいデータがロードされるまで保持します。したがって、電源投入後は、DAC8830のV_{OUT}ピンからの出力は0Vになります。DAC8831のV_{OUT}ピンからの出力は、ユニポーラ·モードでは0V、バイポーラ·モードでは $-V_{REF}$になります。

ただし、DAC8830とDAC8831のシリアル·レジスタは、電源投入時にクリアされません。したがって、その内容は未定義です。データを最初にデバイスにロードするとき、正しくないデータが出力に現れることを防止するために、16ビット、又はそれ以上のデータをロードする必要があります。16ビットを超えるデータをロードした場合は、最後の16ビットが保持されます。16ビット未満のデータをロードした場合は、直前のワードの後半の一部のビットが残ります。このデバイスにて16ビット未満のデータとインターフェイスをする必要がある場合は、データのLSB側に“0”を埋め込んで16ビットとしてください。

シリアル·インターフェイス

デジタル·インターフェイスは、標準的な3線接続であり、SPI、QSPI™、Microwire™、およびTIのDSPインターフェイスとの互換性を備え、最大50Mbpsで動作します。データ転送は、チップ·セレクト信号$\overline{CS}$によりフレーム化されます。DACは、バス·スレーブとして動作します。バス·マスタは、同期クロックSCLKを生成し、伝送を実行します。$\overline{CS}$が“High”である場合は、DACはアクセスされず、SCLKクロックとSDIシリアル入力データは無視されます。バス·マスタは $\overline{CS}$ピンを“Low”に駆動して、DACにアクセスします。$\overline{CS}$が“High”から“Low”に遷移した直後に、SDIピンのシリアル入力データは バス·マスタ出力からのSCLKの立ち下がりエッジに同期して出力され、SCLKの立ち上がりエッジで入力シフト·レジスタにラッチされます。データは、最上位ビット(MSB)が先になります。$\overline{CS}$の“Low”から“High”への遷移により、入力シフト·レジスタの内容は入力レジスタに転送されます。すべてのデータ·レジスタは16ビットです。1データ·ワードを転送するには、SCLKが16クロックが必要です。1 データ·ワード全体の転送を完了させるには、16個のSCLK がクロック入力された直後に$\overline{CS}$を“High”にする必要があります。$\overline{CS}$が“Low”状態にあるときに、16個を上回るSCLKを印加した場合は、$\overline{CS}$の立ち上がりエッジで最後の16ビットが入力レジスタに転送されます。しかしながら、$\overline{CS}$の“Low”が16 SCLKサイクル未満の場合には、データは損傷します。この場合、新しい 16ビット·ワードをDACに再ロードしてください。

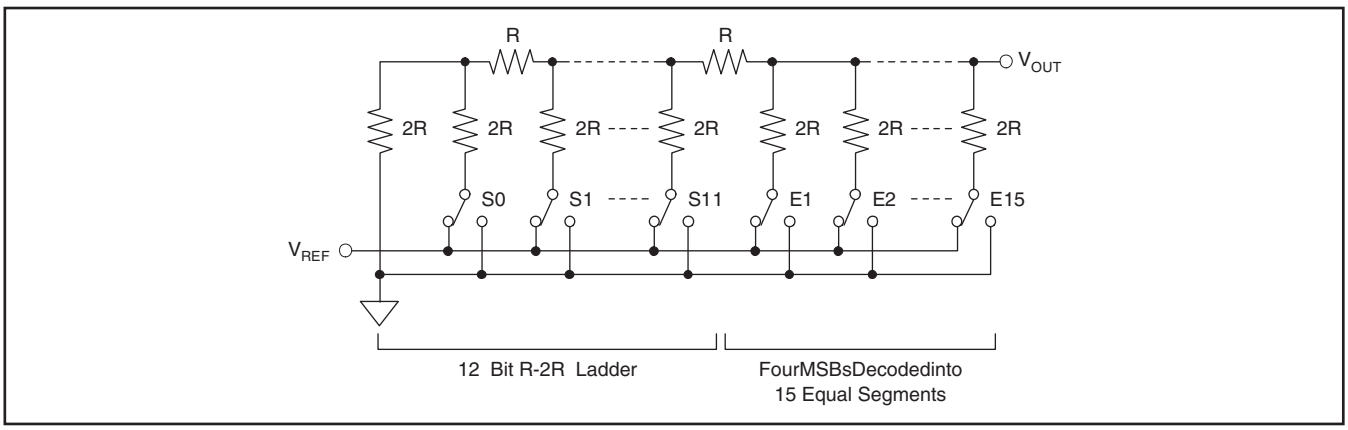


図 44. DACアーキテクチャ

DAC8830の場合は、入力レジスタにデータがロードされた時点で、入力レジスタの内容がDACラッチに直ちに転送され、DAC出力も同時に更新されます。

DAC8831には$\overline{\text{LDAC}}$ピンがあり、$\overline{\text{CS}}$が“High”になった後で$\overline{\text{LDAC}}$を“Low”にする方法で、DACラッチを非同期で更新することができます。この場合は、$\overline{\text{CS}}$が“Low”である間、$\overline{\text{LDAC}}$を“High”に維持する必要があります。 $\overline{\text{LDAC}}$を恒久的に“Low”に固定した場合は、($\overline{\text{CS}}$が“Low”から“High”に遷移することによって)入力レジスタがロードされた直後に、DACラッチが更新されます。

アプリケーション情報

ユニポーラ出力動作

これらのDACはバッファ無しで、60kΩの負荷を駆動する能力があります。バッファ無し動作では、電源電流の削減(5μA：typ)、および低オフセット誤差という結果をもたらします。DAC8830は、0V ～ V_{REF}の範囲でスイングするユニポーラ出力を提供します。DAC8831は、ユニポーラ電圧とバイポーラ電圧のどちらかを出力するように構成できます。 図45および図46に、各デバイスのユニポーラ出力時の電圧出力回路を示します。この動作モードに対応するコード表を表1に示します。

表 1. ユニポーラ·コード

DAC ラッチの内容		アナログ出力
MSB	LSB	
1111 1111 1111 1111		$V_{REF} \times (65{,}535/65{,}536)$
1000 0000 0000 0000		$V_{REF} \times (32{,}768/65{,}536) = 1/2\ V_{REF}$
0000 0000 0000 0001		$V_{REF} \times (1/65{,}536)$
0000 0000 0000 0000		0V

理想基準電圧を想定すると、出力電圧の最悪値は次の式から計算できます。

ユニポーラ·モードの最悪出力値

$$V_{OUT_UNI} = \frac{D}{2^{16}} \times \left(V_{REF} + V_{GE}\right) + V_{ZSE} + INL$$

ここで、

V_{OUT_UNI} = ユニポーラ·モードの出力最悪値
D = DACにロードされたコード
V_{REF} = このデバイスに印加された基準電圧
V_{GE} = ボルト単位のゲイン誤差
V_{ZSE} = ボルト単位のゼロ·スケール誤差
INL = ボルト単位の積分非直線性

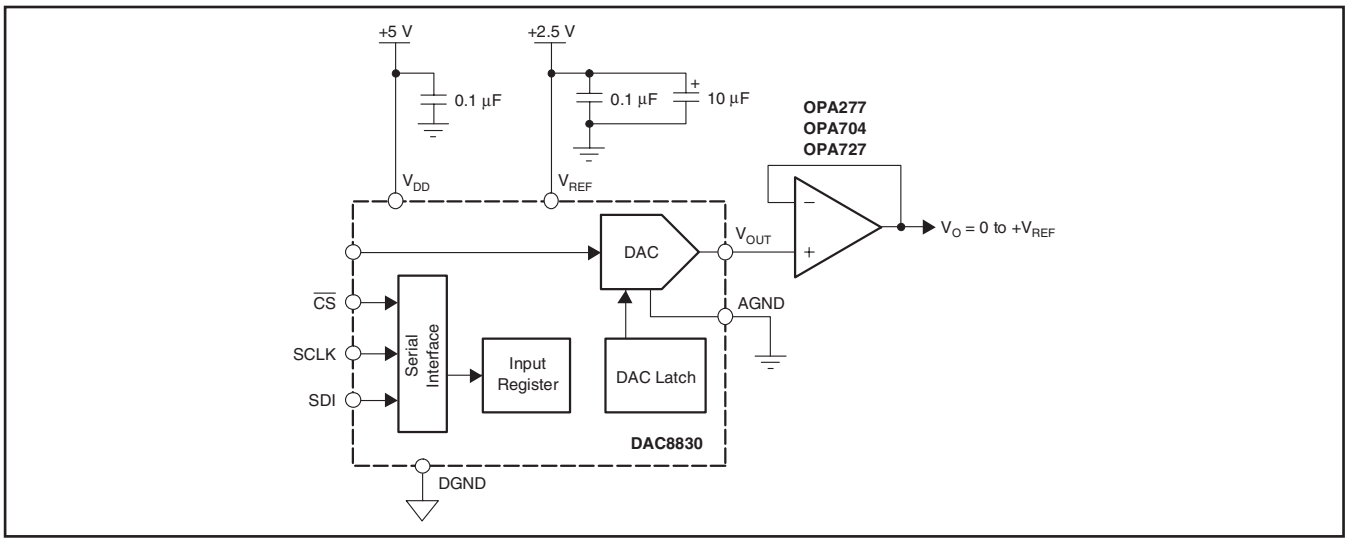


図 45. DAC8830のユニポーラ出力モード

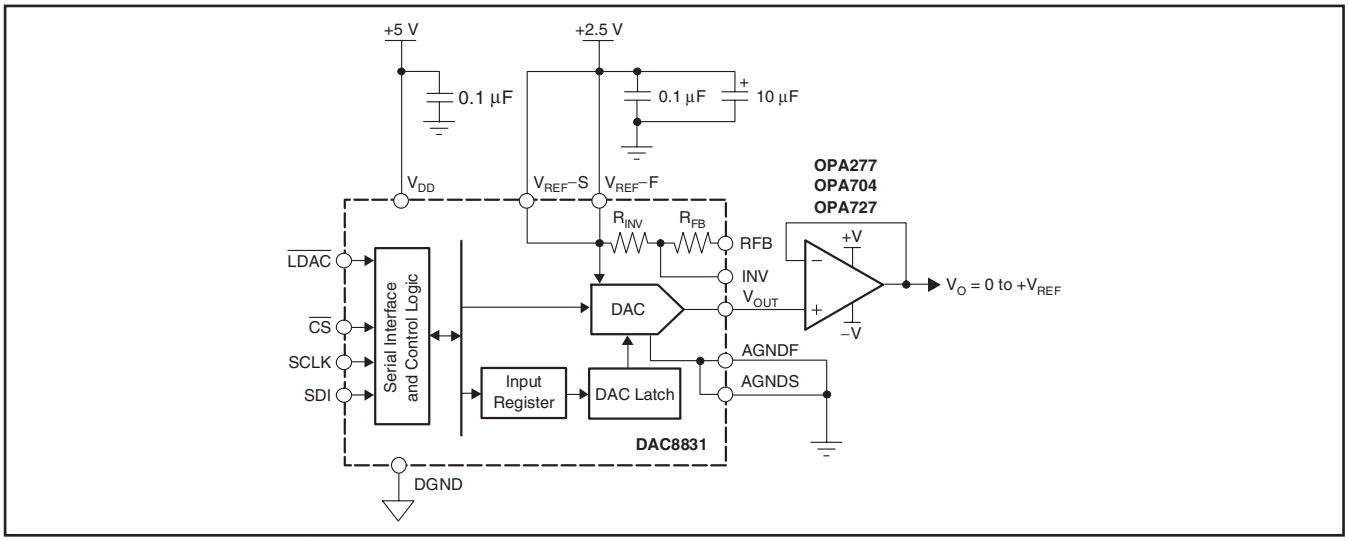


図 46. DAC8831のユニポーラ出力モード

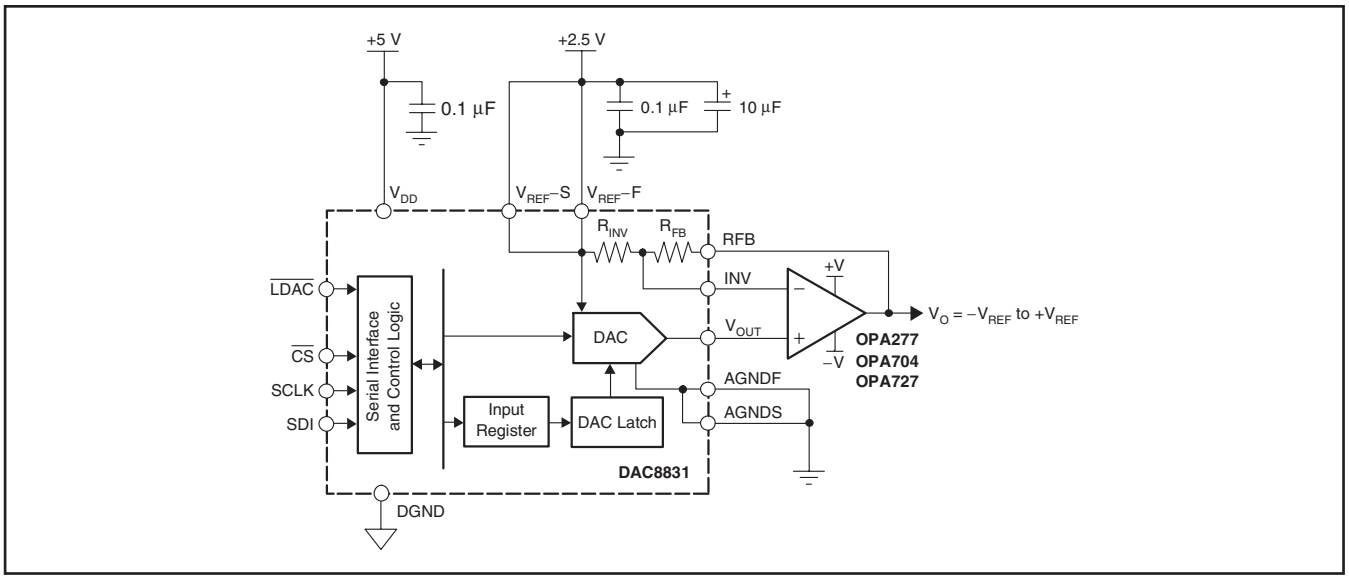


図 47. DAC8831のバイポーラ出力モード

バイポーラ出力動作

外付けオペアンプを使用することにより、バイポーラ出力を提供するようDAC8831を構成することもできます。この動作の代表的な回路を図47に示します。マッチングしたバイポーラ·オフセット抵抗 R_{FB}および R_{INV}を外付けオペアンプに接続し、バイポーラ出力スイングを達成します。代表値は、$R_{FB} = R_{INV} = 28k\Omega$です。

表2に、この出力動作モードのコード表を示します。DAC8831には、アナログGNDと外部基準入力に対する1組のケルビン接続もあります。

表 2. バイポーラ·コード

DAC ラッチの内容	
MSB LSB	アナログ出力
1111 1111 1111 1111	$+V_{REF} \times (32,767/32,768)$
1000 0000 0000 0001	$+V_{REF} \times (1/32,768)$
1000 0000 0000 0000	0V
0111 1111 1111 1111	$-V_{REF} \times (1/32,768)$
0000 0000 0000 0000	$-V_{REF} \times (32,768/32,768) = -V_{REF}$

理想基準電圧を想定すると、出力電圧の最悪値は次の式から計算できます。

バイポーラ·モードでの最悪出力値

$$V_{OUT_BIP} = \frac{\left[\left(V_{OUT_UNI} + V_{OS}\right)(2 + RD) - V_{REF}(1 + RD)\right]}{1 + \left(\frac{2 + RD}{A}\right)}$$

ここで、

V_{OS} = 外付けオペアンプの入力オフセット電圧

RD = R_{FB}および R_{IN}各抵抗のマッチング誤差

A = オペアンプのオープン·ループ·ゲイン

出力アンプの選択

バイポーラ·モードでは、高精度のアンプを使用し、デュアル電源から電圧を供給する必要があります。これにより、$\pm V_{REF}$出力を提供します。

単電源アプリケーションでは、適切なオペアンプの選択が更に困難になります。アンプの出力スイング範囲には通常、ネガティブ·レール、つまりこの場合はAGNDが含まれません。アプリケーションが“0”付近のコードを使用しない場合を除き、この出力スイングは規定された性能よりある程度低下する(0付近の電圧を出力できないため)可能性があります。

選択するオペアンプは出力オフセット·トリムを不要にするために、オフセット電圧(このDACのLSBは、2.5Vの基準を使用する場合、38µVとなります。)が小さいことが必要です。入力バイアス電流も小さいものにする必要があります。理由は、バイアス電流にDACの出力インピーダンス(約6.25kΩ)をかけた値が、ゼロコード誤差に加算されるからです。

レール·ツー·レールの入出力性能が必要です。 高速セトリングを実現するために、オペアンプのスルーレートは、DACのセトリング時間に影響しない事が必要です。DACの出力インピーダンスは一定であり、コードに依存しません。ただし、ゲイン誤差を最小限に抑えるために、出力アンプの入力インピーダンスはできるだけ高くすることが必要です。アンプは、1MHz(3dBの帯域幅)以上が必要です。アンプを使用すると、システムに対してもう1つの時定数が追加されます。したがって、出力のセトリング時間が長くなります。アンプの3dB帯域幅がより広い場合は、DACとアンプの組み合わせによる実効セトリング時間が短縮されます。

基準電圧とGND

入力インピーダンスはコードに依存するので、基準電圧ピンは低インピーダンスのソースから駆動する必要があります。DAC8830およびDAC8831は、1.25V ～ V_{DD}の範囲にある基準電圧を使用して動作します。 1.25V未満の基準電圧を使用した場合は、精度が低下します。

DACのフルスケール出力電圧は基準電圧によって決定されます。表1および表2に、特定のデジタル·コードに対応するアナログ出力電圧を示します。

最適な性能を達成するために、DAC8831ではケルビン接続を提供します。アプリケーションで個別のフォース/センスラインが必要ない場合は、パッケージリードと内部のダイとの間で発生する電圧降下を最小限に抑えるために、これらをパッケージの近くで接続する必要があります。

電源と基準電圧のバイパス

高精度および高分解能を達成するために、10µFのタンタル·コンデンサ、およびそれに対して並列接続した 0.1µFのセラミック·コンデンサによるパスコンを、基準電圧ピンと電源ピンにそれぞれ使用されることをお勧めします。

クロスリファレンス

DAC8830およびDAC8831は、業界標準のピン配置を採用しています(表3を参照)。

モデル	INL (LSB)	DNL (LSB)	パワーオン·リセットの値	温度範囲	パッケージ説明	パッケージ·オプション	クロスリファレンス
DAC8830ICD	±1	±1	ゼロコード	–40° ～ 85°C	8ピン、スモール·アウトライン IC	SO-8	AD5541CR, MAX541AESA
DAC8830IBD	±2	±1	ゼロコード	–40° ～ 85°C	8ピン、スモール·アウトライン IC	SO-8	AD5541BR, MAX541BESA
DAC8830ID	±4	±1	ゼロコード	–40° ～ 85°C	8ピン、スモール·アウトライン IC	SO-8	AD5541AR, MAX541CESA
N/A	±1	±1	ゼロコード	–40° ～ 85°C	8ピン、プラスチック DIP	PDIP-8	MAX541AEPA
N/A	±2	±1	ゼロコード	–40° ～ 85°C	8ピン、プラスチック DIP	PDIP-8	MAX541BEPA
N/A	±4	±1	ゼロコード	–40° ～ 85°C	8ピン、プラスチック DIP	PDIP-8	MAX541CEPA
N/A	±1	±1	ゼロコード	0°C ～ +70°C	8ピン、スモール·アウトライン IC	SO-8	AD5541LR
N/A	±2	±1.5	ゼロコード	0°C ～ +70°C	8ピン、スモール·アウトライン IC	SO-8	AD5541JR
N/A	±1	±1	ゼロコード	0°C ～ +70°C	8ピン、プラスチック DIP	PDIP-8	MAX541AEPA
N/A	±2	±1	ゼロコード	0°C ～ +70°C	8ピン、プラスチック DIP	PDIP-8	MAX541BEPA
N/A	±4	±1	ゼロコード	0°C ～ +70°C	8ピン、プラスチック DIP	PDIP-8	MAX541CEPA
DAC8831ICD	±1	±1	ゼロコード	–40° ～ 85°C	14ピン、スモール·アウトライン IC	SO-14	AD5542CR, MAX542AESD
DAC8831IBD	±2	±1	ゼロコード	–40° ～ 85°C	14ピン、スモール·アウトライン IC	SO-14	AD5542BR, MAX542BESD
DAC8831ID	±4	±1	ゼロコード	–40° ～ 85°C	14ピン、スモール·アウトライン IC	SO-14	AD5542AR, MAX542CESD
DAC8831ICRGY	±1	±1	ゼロコード	–40° ～ 85°C	14ピン、QFN	14ピン、QFN	N/A
DAC8831IBRGY	±2	±1	ゼロコード	–40° ～ 85°C	14ピン、QFN	QFN-14	N/A
DAC8831IRGY	±4	±1	ゼロコード	–40° ～ 85°C	14ピン、QFN	QFN-14	N/A
N/A	±1	±1	ゼロコード	–40° ～ 85°C	14ピン、プラスチック DIP	PDIP-14	MAX542ACPD
N/A	±2	±1	ゼロコード	–40° ～ 85°C	14ピン、プラスチック DIP	PDIP-14	MAX542BCPD
N/A	±4	±1	ゼロコード	–40° ～ 85°C	14ピン、プラスチック DIP	PDIP-14	MAX542CCPD
N/A	±1	±1	ゼロコード	0°C ～ +70°C	14ピン、スモール·アウトライン IC	SO-14	AD5542LR
N/A	±2	±1.5	ゼロコード	0°C ～ +70°C	14ピン、スモール·アウトライン IC	SO-14	AD5542JR
N/A	±1	±1	ゼロコード	0°C ～ +70°C	14ピン、スモール·アウトライン IC	SO-14	MAX542AEPD
N/A	±2	±1	ゼロコード	0°C ～ +70°C	14ピン、スモール·アウトライン IC	SO-14	MAX542BEPD
N/A	±4	±1	ゼロコード	0°C ～ +70°C	14ピン、スモール·アウトライン IC	SO-14	MAX542CEPD

表 3. クロスリファレンス

パッケージ・オプション

製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)
DAC8830IBD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830IBDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830IBDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8830IBDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8830ICD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830ICDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830ICDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8830ICDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8830ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830IDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8830IDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBRGYR	ACTIVE	QFN	RGY	14	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBRGYRG4	ACTIVE	QFN	RGY	14	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBRGYT	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBRGYTG4	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICRGYR	ACTIVE	QFN	RGY	14	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

パッケージ・オプション

製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)
DAC8831ICRGYT	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICRGYTG4	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ID	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IRGYR	ACTIVE	QFN	RGY	14	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IRGYRG4	ACTIVE	QFN	RGY	14	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IRGYT	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IRGYTG4	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。
ACTIVE：製品デバイスが新規設計用に推奨されています。
LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。
NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。
PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。
OBSOLETE：TIによりデバイスの生産が中止されました。

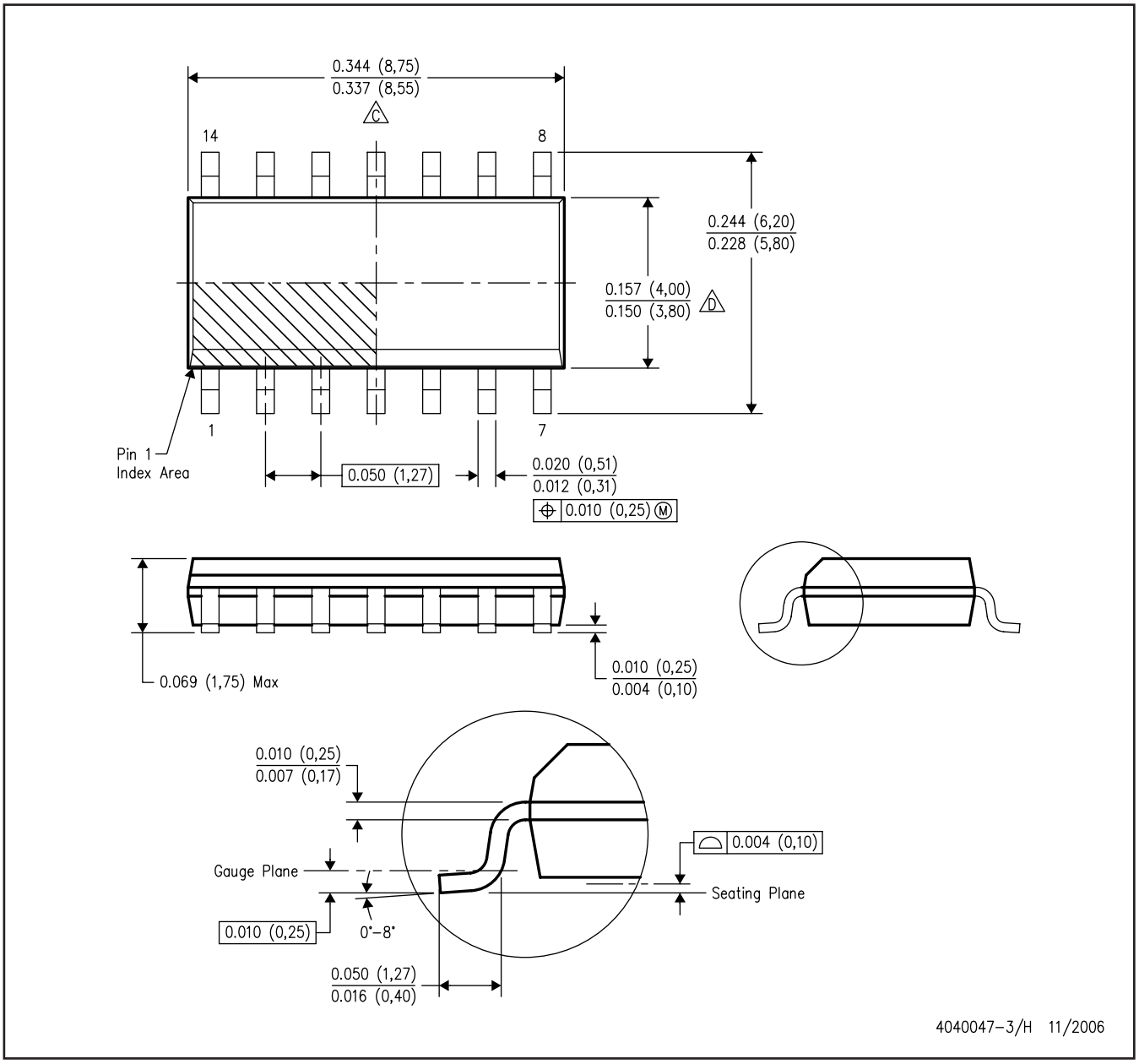
(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free（RoHS）、Pb-Free（RoHS Expert）およびGreen（RoHS & no Sb/Br）があります。最新情報および製品内容の詳細については、http://www.ti.com/productcontentでご確認ください。
TBD：Pb-Free/Green変換プランが策定されていません。
Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。
Pb-Free (RoHS Exempt)：この部品は、1）ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2）ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free（RoHS）と考えられます。
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”（RoHS互換）に加えて、臭素（Br）およびアンチモン（Sb）をベースとした難燃材を含まない（均質な材質中のBrまたはSb重量が0.1%を超えない）ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

メカニカル・データ

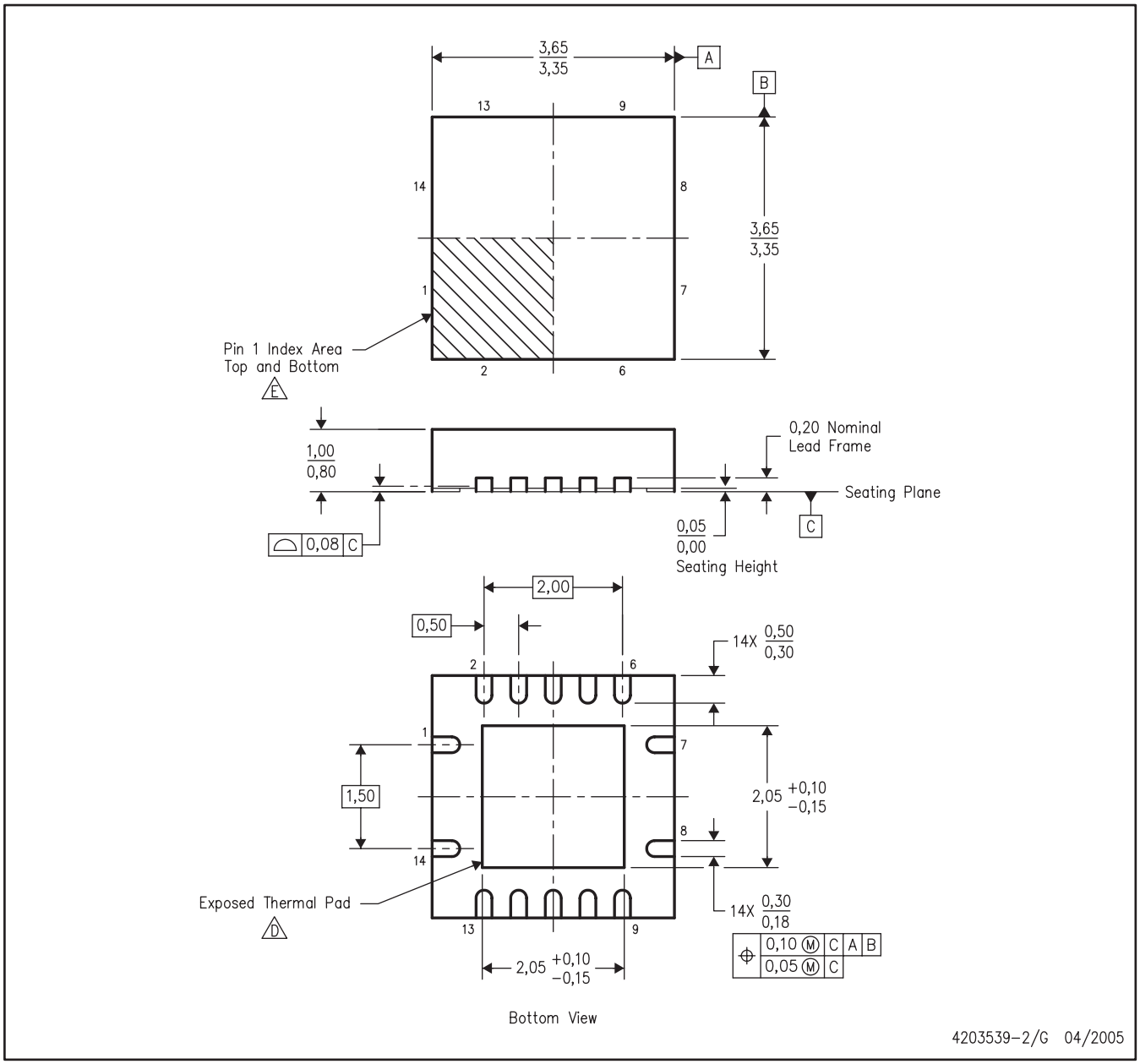
D (R-PDSO-G14) PLASTIC SMALL-OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 (0,15) per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed .017 (0,43) per side.
E. Reference JEDEC MS–012 variation AB.

メカニカル・データ

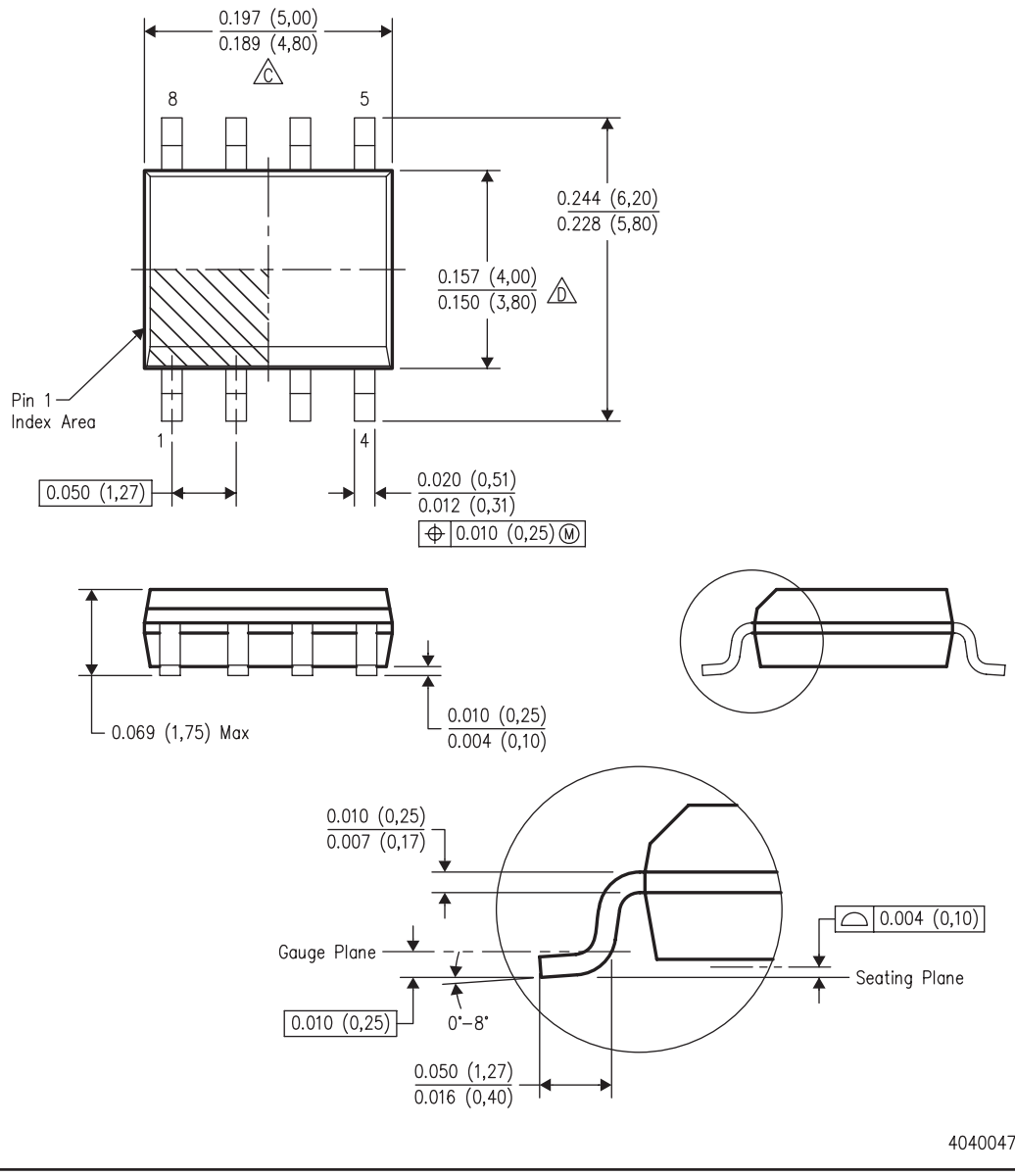
RGY (S-PQFP-N14) **PLASTIC QUAD FLATPACK**



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
F. Package complies to JEDEC MO–241 variation BA.

メカニカル・データ

D (R-PDSO-G8) **PLASTIC SMALL-OUTLINE PACKAGE**



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 (0,15) per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed .017 (0,43) per side.
E. Reference JEDEC MS–012 variation AA.

(SLAS449C)

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated