



16ビット、4チャンネル、超低グリッチ、電圧出力 DAコンバータ、2.5V、2ppm/°C基準電圧源内蔵

特長

- 相対精度：4LSB
- グリッチ・エネルギー：0.15nV-s
- 内部リファレンス：
 - リファレンス電圧：2.5V (デフォルトでイネーブル)
 - 初期精度：0.004% (typ)
 - 温度ドリフト：2ppm/°C (typ) / 5ppm/°C (max)
 - シンク/ソース能力：20mA
- ゼロ・スケールへのパワーオン・リセット
- 超低電力動作：1mA (5V時)
- 幅広い電源範囲：+2.7V~+5.5V
- 全温度範囲全体にわたる16ビットの単調動作
- セトリング・タイム：10μsでフルスケール範囲 (FSR) の±0.003%以内
- シュミット・トリガ入力を持つ低電力シリアル・インターフェイス：最大50MHz
- レール・ツー・レール動作の内蔵出力バッファ・アンプ
- 1.8V~5.5Vロジックに対応
- 温度範囲：-40°C~+105°C

アプリケーション

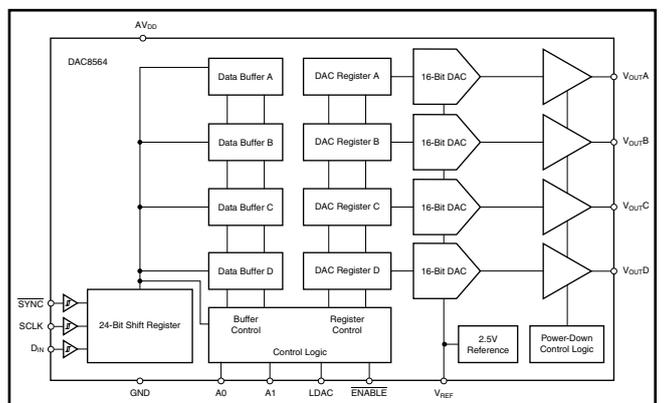
- 携帯型計測機器
- 閉ループ・サーボ制御
- プログラマブル・ロジック・コントローラ (PCL) などのプロセス制御
- データ・アキュイジション・システム
- プログラマブル・アッテネータ
- PC周辺機器

概要

DAC8564は、低電力、電圧出力、4チャンネルの16ビットDAコンバータ (DAC) です。2.5V、2ppm/°Cの内部リファレンス (デフォルトでイネーブル) により、出力電圧範囲はフルスケールで2.5Vです。内部リファレンスの初期精度は0.004%であり、V_{REFH}/V_{REFOUT}ピンに最大20mAを供給できます。DAC8564は単調特性を持ち、直線性が非常に優れ、コード間の不要な過渡電圧 (グリッチ) を最小限に抑えます。また、最大50MHzのクロック速度で動作する多用途な3線シリアル・インターフェイスを備えています。このインターフェイスは、標準のSPI™、QSPI™、Microwire™、およびデジタル・シグナル・プロセッサ (DSP) インターフェイスに対応します。

内蔵のパワーオン・リセット回路により、DAC出力はゼロ・ス

RELATED DEVICES	16-BIT	14-BIT	12-BIT
Pin and Functionally Compatible	DAC8564	DAC8164	DAC7564
Functionally Compatible	DAC8565	DAC8165	DAC7565



SPI, QSPIは、Motorola社の商標です。Microwireは、National Semiconductor社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



ケールで起動し、デバイスに有効なコードが書き込まれるまでその状態を保持します。また、シリアル・インターフェイス経由でアクセスできるパワーダウン機能により、デバイスの消費電流は5Vで1.3 μ Aまで低減されます。低消費電力、内部リファレンス、およびコンパクトなサイズにより、DAC8564は携帯用のバッテリー駆動機器に理想的です。消費電力は3Vで2.9mWであり、パワーダウン・モードでは1.5 μ Wまで低減されます。

DAC8564は、DAC7564およびDAC8164とドロップイン互換/機能互換であり、DAC7565、DAC8165およびDAC8565とピン・コンパチブルです。DAC8564は、TSSOP-16パッケージで供給されます。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報 (1)

製品	相対精度 (LSB)	微分非直線性 (LSB)	リファレンス・ドリフト (ppm/°C)	パッケージ・リード	パッケージ・コード	仕様温度範囲	パッケージ捺印
DAC8564A	±12	±1	25	TSSOP-16	PW	-40°C ~ +105°C	D8564
DAC8564B	±8	±1	25	TSSOP-16	PW	-40°C ~ +105°C	D8564B
DAC8564C	±12	±1	5	TSSOP-16	PW	-40°C ~ +105°C	D8564
DAC8564D	±8	±1	5	TSSOP-16	PW	-40°C ~ +105°C	D8564D

(1) 最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト (www.ti.com) をご覧ください。

絶対最大定格 (1)

		DAC8564	単位
AV _{DD} 対 GND		-0.3 ~ +6	V
デジタル入力電圧 対 GND		-0.3 ~ +V _{DD} +0.3	V
V _{OUT} 対 GND		-0.3 ~ +V _{DD} +0.3	V
V _{REF} 対 GND		-0.3 ~ +V _{DD} +0.3	V
動作温度範囲		-40 ~ +125	°C
保存温度範囲		-65 ~ +150	°C
接合部温度範囲 (T _J max)		+150	°C
電力損失		(T _J max - T _A)/ θ_{JA}	W
熱抵抗、 θ_{JA}		+118	°C/W
熱抵抗、 θ_{JC}		+29	°C/W
ESD 耐圧	HBM (Human Body Model)	4000	V
	CDM (Charged Device Model)	1500	V

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。絶対最大定格の状態に長時間置くと、製品の信頼性に影響を与えることがあります。

電気的特性

$AV_{DD} = 2.7V \sim 5.5V$ 、 $T_A = -40^{\circ}C \sim +105^{\circ}C$ のとき (特に記述のない限り)。

パラメータ	テスト条件	DAC8564			単位	
		MIN	TYP	MAX		
DC特性⁽¹⁾						
分解能		16			Bits	
相対精度	コード485と64714の間で測定	DAC8564A、DAC8564C		±4	±12	LSB
		DAC8564B、DAC8564D		±4	±8	LSB
微分非直線性	16-bit単調		±0.5	±1	LSB	
オフセット誤差	コード485~64714の間で測定.		±5	±8	mV	
オフセット誤差ドリフト			±1		$\mu V/^{\circ}C$	
フル・スケール誤差			±0.2	±0.5	% of FSR	
ゲイン誤差			±0.05	±0.2	% of FSR	
ゲイン温度係数		$AV_{DD} = 5V$		±1		ppm of FSR/ $^{\circ}C$
	$AV_{DD} = 2.7V$		±2			
PSRR電源除去比	出力無負荷		1		mV/V	
出力特性⁽²⁾						
出力電圧範囲		0		V_{REF}	V	
出力電圧セトリング時間	$T_o \pm 0.003\%$ FSR, 0200h ~ FD00h, $R_L = 2k\Omega$, $0pF < C_L < 200pF$		8	10	μs	
	$R_L = 2k\Omega$, $C_L = 500pF$		12			
スルー・レート			2.2		V/ μs	
容量性負荷	$R_L = \infty$		470		pF	
	$R_L = 2k\Omega$		1000			
コード変更グリッジ・インパルス	1LSB変更でメージャー・キャリー発生時		0.15		nV-s	
デジタル・フィードスルー	SCLK トリガ、SYNC high		0.15		nV-s	
チャンネル間DCクロストーク	フルスケール振幅時、隣接チャンネル間		0.25		LSB	
チャンネル間ACクロストーク	1kHzフルスケール・サイン波、出力無負荷		-100		dB	
DC出力インピーダンス	中央値入力時		1		Ω	
短絡電流	DACコード = 32768 入力時		50		mA	
パワーアップ時間	パワーダウン・モードから $AV_{DD} = 5V$		2.5		μs	
	パワーダウン・モードから $AV_{DD} = 3V$		5			
AC特性⁽²⁾						
SNR	$T_A = +25^{\circ}C$, BW = 20kHz, $V_{DD} = 5V$, $f_{OUT} = 1kHz$. 第19次までの高調波を除いて、SNRを算出		90		dB	
THD			-77		dB	
SFDR			78		dB	
SINAD			77		dB	
DAC出力ノイズ密度	$T_A = +25^{\circ}C$, 中央値入力時, $f_{OUT} = 1kHz$		120		nV/\sqrt{Hz}	
DAC出力ノイズ	$T_A = +25^{\circ}C$, 中央値入力時, 0.1Hz~10Hz		6		mV _{PP}	
リファレンス						
内部リファレンス消費電流	$AV_{DD} = 5.5V$		360		μA	
	$AV_{DD} = 3.6V$		348		μA	
外部リファレンス電流	外部 $V_{REF} = 2.5V$ 、内部リファレンス・ディスエーブル、全チャンネル動作の場合		80		μA	
リファレンス入力範囲 V_{REFH} 電圧	$V_{REFL} < V_{REFH}$, $AV_{DD} - (V_{REFH} + V_{REFL}) / 2 > 1.2V$	0		AV_{DD}	V	
リファレンス入力範囲 V_{REFL} 電圧	$V_{REFL} < V_{REFH}$, $AV_{DD} - (V_{REFH} + V_{REFL}) / 2 > 1.2V$	0		$AV_{DD}/2$	V	
リファレンス入力インピーダンス			31		k Ω	

(1) 直線性は縮小されたコード範囲485~64714で計算されています。出力は無負荷です。

(2) 設計または特性評価データにより規定。製品テストは行っていません。

電気的特性

$AV_{DD} = 2.7V \sim 5.5V$ 、 $T_A = -40^\circ C \sim +105^\circ C$ のとき (特に記述のない限り)。

パラメータ	テスト条件	DAC8564			単位
		MIN	TYP	MAX	
リファレンス出力					
出力電圧	$T_A = +25^\circ C$	2.4995	2.5	2.5005	V
初期精度	$T_A = +25^\circ C$	-0.02	± 0.004	0.02	%
出力電圧温度ドリフト	DAC8564A、DAC8564B ⁽³⁾		5	25	ppm/ $^\circ C$
	DAC8564C、DAC8564D ⁽⁴⁾		2	5	
出力電圧ノイズ	$f = 0.1Hz \sim 10Hz$		12		μV_{PP}
出力電圧ノイズ密度 (高周波ノイズ)	$T_A = +25^\circ C$ 、 $f = 1MHz$ 、 $C_L = 0\mu F$		50		nV/ \sqrt{Hz}
	$T_A = +25^\circ C$ 、 $f = 1MHz$ 、 $C_L = 1\mu F$		20		
	$T_A = +25^\circ C$ 、 $f = 1MHz$ 、 $C_L = 4\mu F$		16		
ロードレギュレーション、ソース ⁽⁵⁾	$T_A = +25^\circ C$		30		$\mu V/mA$
ロードレギュレーション、シンク ⁽⁵⁾	$T_A = +25^\circ C$		15		$\mu V/mA$
出力許容負荷電流 ⁽⁶⁾			± 20		mA
ラインレギュレーション	$T_A = +25^\circ C$		10		$\mu V/V$
長期安定性/ドリフト(エージング) ⁽⁵⁾	$T_A = +25^\circ C$ 、time = 0 ~ 1900 hours		50		ppm
熱ヒステリシス ⁽⁵⁾	初回サイクル		100		ppm
	追加サイクル		25		
ロジック入力 ⁽⁶⁾					
入力電流			± 1		μA
V_{INL} ロジック入力電圧 "LOW"	$2.7V \leq IOV_{DD} \leq 5.5V$		$0.3 \times IOV_{DD}$		V
	$1.8V \leq IOV_{DD} \leq 2.7V$		$0.1 \times IOV_{DD}$		
V_{INH} ロジック入力電圧 "HIGH"	$2.7V \leq IOV_{DD} \leq 5.5V$		$0.7 \times IOV_{DD}$		V
	$1.8V \leq IOV_{DD} \leq 2.7V$		$0.95 \times IOV_{DD}$		
ピン容量				3	pF
電源条件					
AV_{DD}		2.7		5.5	V
IOV_{DD}		1.8		5.5	V
IOI_{DD} ⁽⁶⁾			10	20	μA
I_{DD} ⁽⁷⁾	ノーマル・モード	$AV_{DD} = IOV_{DD} = 3.6V \sim 5.5V$ $V_{INH} = IOV_{DD}$ かつ $V_{INL} = GND$	1	1.6	mA
		$AV_{DD} = IOV_{DD} = 2.7V \sim 3.6V$ $V_{INH} = IOV_{DD}$ かつ $V_{INL} = GND$	0.95	1.5	
	全パワーダウン・モード	$AV_{DD} = IOV_{DD} = 3.6V \sim 5.5V$ $V_{INH} = IOV_{DD}$ かつ $V_{INL} = GND$	1.3	3.5	μA
		$AV_{DD} = IOV_{DD} = 2.7V \sim 3.6V$ $V_{INH} = IOV_{DD}$ かつ $V_{INL} = GND$	0.5	2.5	
消費電力 ⁽⁷⁾	ノーマル・モード	$AV_{DD} = IOV_{DD} = 3.6V \sim 5.5V$ $V_{INH} = IOV_{DD}$ かつ $V_{INL} = GND$	3.6	8.8	mW
		$AV_{DD} = IOV_{DD} = 2.7V \sim 3.6V$ $V_{INH} = IOV_{DD}$ かつ $V_{INL} = GND$	2.6	5.4	
	全パワーダウン・モード	$AV_{DD} = IOV_{DD} = 3.6V \sim 5.5V$ $V_{INH} = IOV_{DD}$ かつ $V_{INL} = GND$	4.7	19	μW
		$AV_{DD} = IOV_{DD} = 2.7V \sim 3.6V$ $V_{INH} = IOV_{DD}$ かつ $V_{INL} = GND$	1.4	9	
温度範囲					
規定温度範囲		-40		+105	$^\circ C$

(3) リファレンスは室温で調整および試験が行われ、 $-40^\circ C \sim +120^\circ C$ で仕様が規定されています。

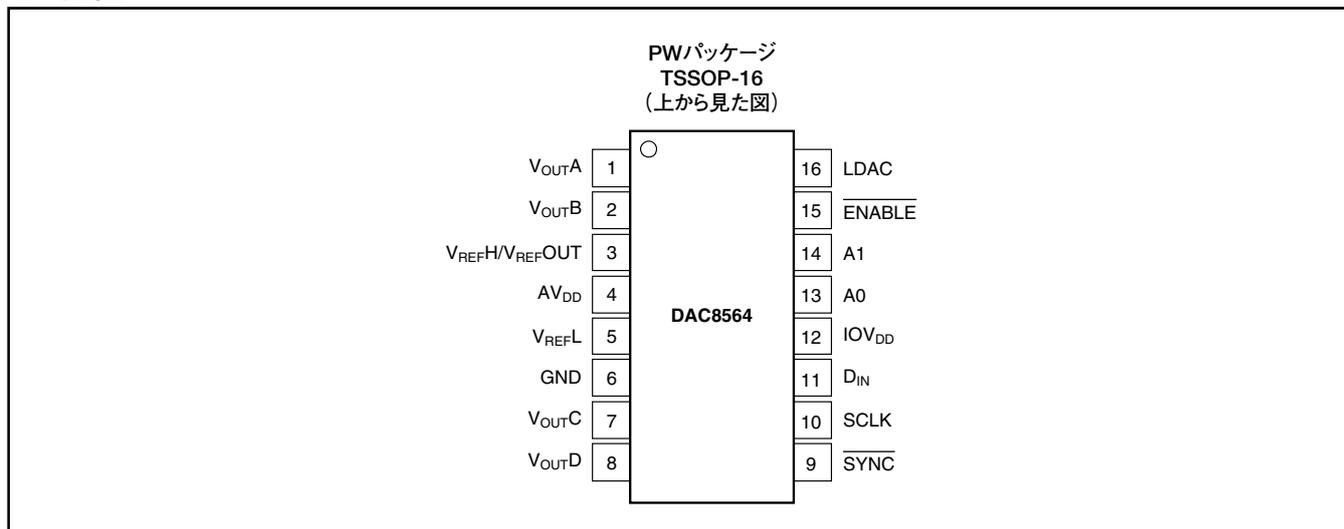
(4) リファレンスは2つの温度 ($+25^\circ C$ および $+105^\circ C$)で調整および試験が行われ、 $-40^\circ C \sim +120^\circ C$ で仕様が規定されています。

(5) このデータシートの「アプリケーション情報」で詳細に説明されています。

(6) 設計または特性評価データにより規定。製品テストは行っていません。

(7) 入力コード = 32768。リファレンス電流を含む。無負荷。

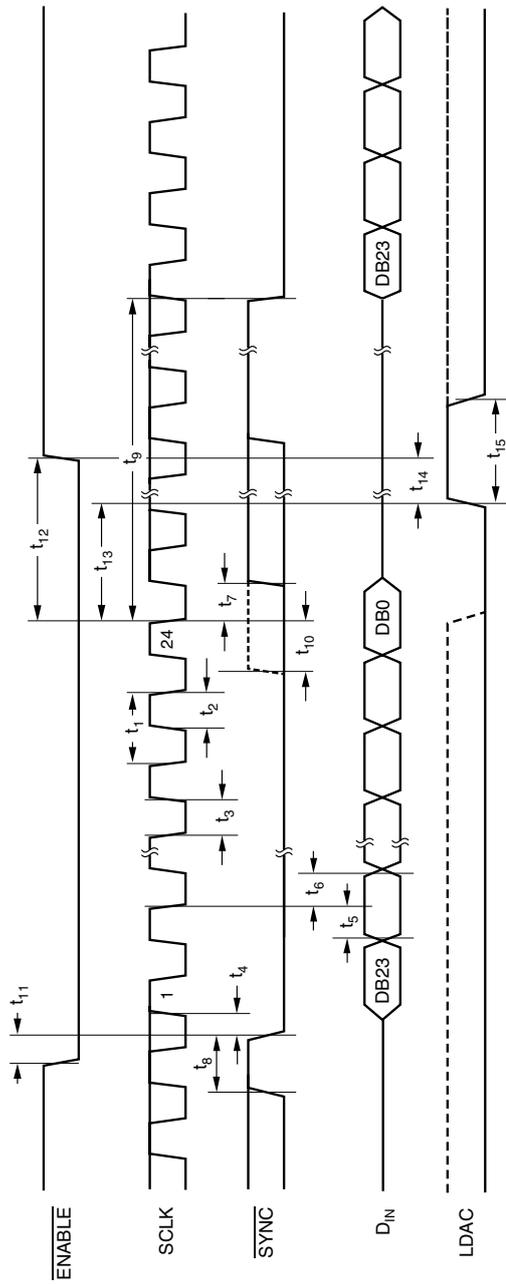
ピン配置



ピン構成

PIN	名称	説明
1	V _{OUTA}	DAC Aからのアナログ出力電圧
2	V _{OUTB}	DAC Bからのアナログ出力電圧
3	V _{REFH} / V _{REFOUT}	正のリファレンス入力 / 内部リファレンス使用時は、リファレンス出力2.5V
4	AV _{DD}	電源入力、2.7V~5.5V
5	V _{REFL}	負のリファレンス入力
6	GND	デバイス上の全回路に対するグランド基準点
7	V _{OUTC}	DAC Cからのアナログ出力電圧
8	V _{OUTD}	DAC Dからのアナログ出力電圧
9	SYNC	レベル・トリガ制御入力(アクティブ“Low”)。これは、入力データのフレーム同期信号です。SYNCが“Low”になると、入力シフト・レジスタがイネーブルになり、以降のクロック立ち下がりエッジでデータがサンプリングされます。DAC出力は、24回目のクロック後に更新されます。24回目のクロック・エッジより前にSYNCが“High”になった場合、SYNCの立ち上がりエッジが割り込みとして機能し、DAC8564は書き込みシーケンスを無視します。シュミット・トリガ入力。
10	SCLK	シリアル・クロック入力。データは最大50MHzで転送できます。シュミット・トリガ入力。
11	D _{IN}	シリアル・データ入力。シリアル・クロック入力の各立ち下がりエッジで、データが24ビットの入力シフト・レジスタに取り込まれます。シュミット・トリガ入力。
12	IOV _{DD}	デジタル入出力電源
13	A0	アドレス0 — デバイス・アドレスを設定します。表5を参照してください。
14	A1	アドレス1 — デバイス・アドレスを設定します。表5を参照してください。
15	ENABLE	アクティブ“Low”。ENABLEが“Low”になると、SPIインターフェイスがシリアル・ポートに接続されます。
16	LDAC	DACのロード。立ち上がりエッジでトリガされ、すべてのDACレジスタにデータをロードします。

シリアル書き込み動作



タイミング条件⁽¹⁾⁽²⁾

$AV_{DD} = IOV_{DD} = 2.7V \sim 5.5V$ 、 $T_A = -40^\circ C \sim +105^\circ C$ のとき (特に記述のない限り)。

パラメータ	テスト条件	DAC8564			単位
		MIN	TYP	MAX	
$t_1^{(3)}$ SCLKサイクル時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	40			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	20			
t_2 SCLKがHighの時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	10			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	20			
t_3 SCLKがLowの時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	20			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	10			
t_4 \overline{SYNC} からSCLKの立ち上がり	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	0			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	0			
t_5 データ・セット・アップ時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	5			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	5			
t_6 データ・ホールド時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	4.5			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	4.5			
t_7 SCLKの立ち下がりから \overline{SYNC} の立ち上がり	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	0			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	0			
t_8 \overline{SYNC} がHighの最小時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	40			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	20			
t_9 24番目のSCLKの立ち下がりから \overline{SYNC} の立ち下がり	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	130			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	130			
t_{10} \overline{SYNC} の立ち上がりから24番目のSCLKの立ち下がり (SYNC割り込み成功)	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	15			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	15			
t_{11} \overline{ENABLE} の立ち下がりから \overline{SYNC} の立ち下がり	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	15			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	15			
t_{12} 24番目のSCLKの立ち下がりから \overline{ENABLE} の立ち上がり	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	10			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	10			
t_{13} 24番目のSCLKの立ち下がりからLDACの立ち上がり	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	50			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	50			
t_{14} LDACの立ち上がりから \overline{ENABLE} の立ち上がり	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	10			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	10			
t_{15} LDACがHighの時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	10			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	10			

(1) すべての入力信号は、 $t_R = t_F = 3ns$ (V_{DD} の10%~90%)で規定され、タイミングは電圧レベル ($V_{IL} + V_{IH}$)/2を基準としています。

(2) 「シリアル書き込み動作」のタイミング図を参照してください。

(3) 最大SCLK周波数は、 $IOV_{DD} = V_{DD} = 3.6V \sim 5.5V$ のとき50MHz、 $IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$ のとき25MHzです。

代表的特性：内部リファレンス

$T_A = +25^\circ\text{C}$ (特に記述のない限り)

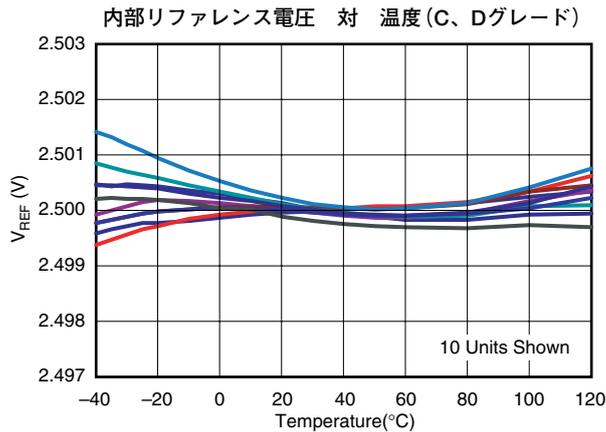


図 1

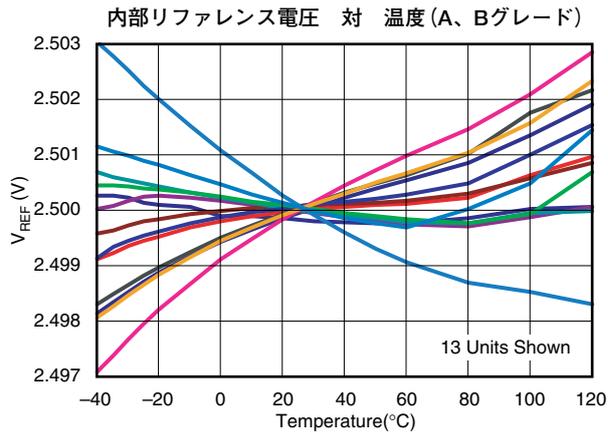


図 2

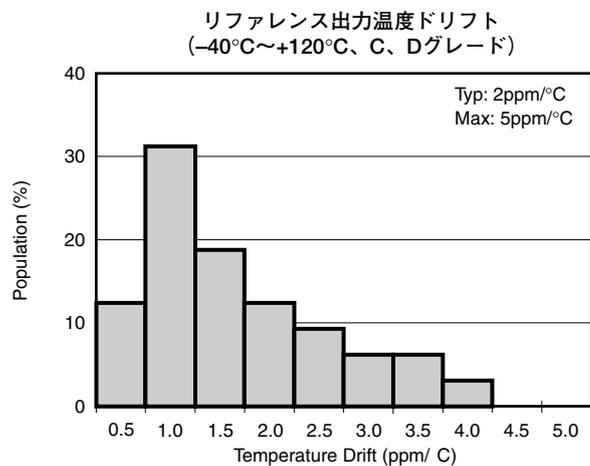


図 3

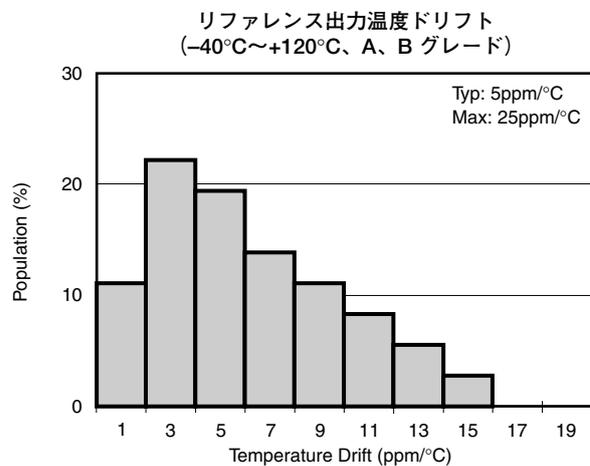


図 4

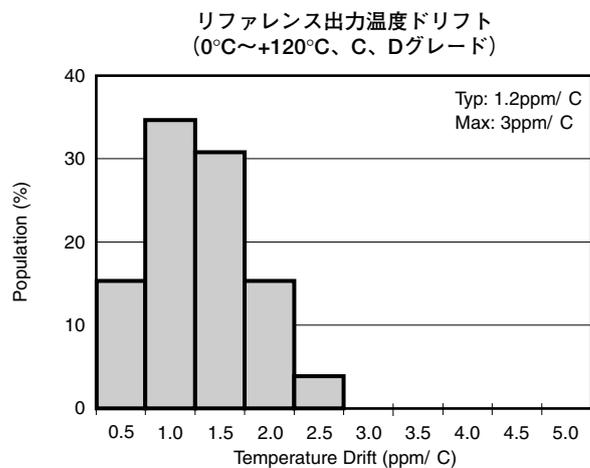


図 5

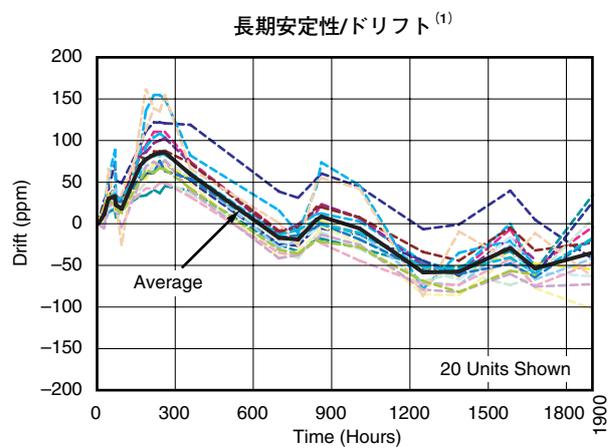


図 6

(1) このデータシートの「アプリケーション情報」で詳細に説明されています。

代表的特性：内部リファレンス

$T_A = +25^\circ\text{C}$ (特に記述のない限り)

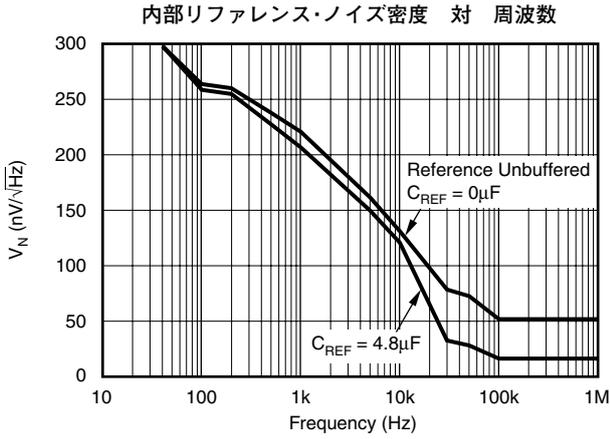


図 7

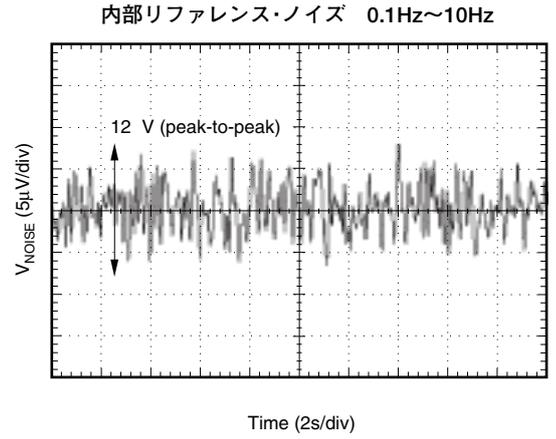


図 8

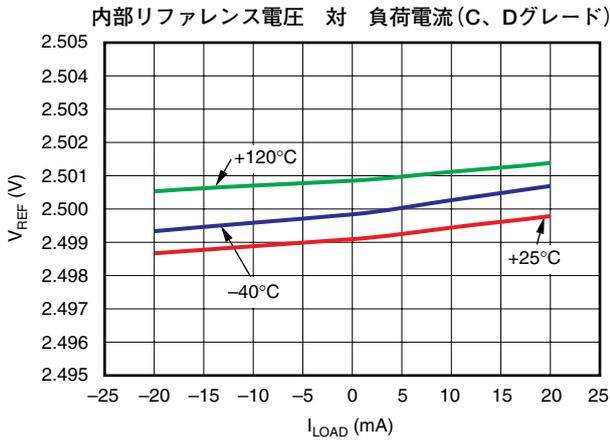


図 9

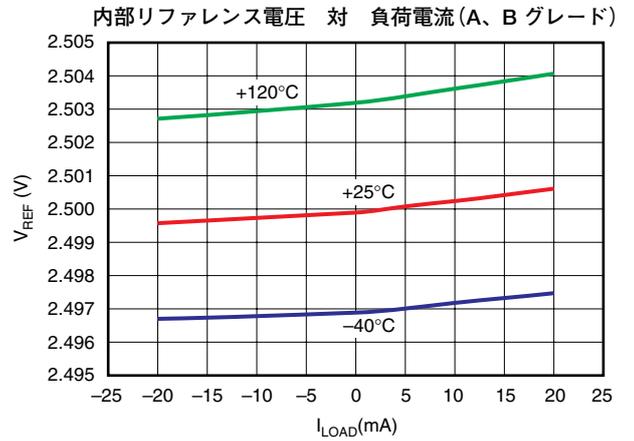


図 10

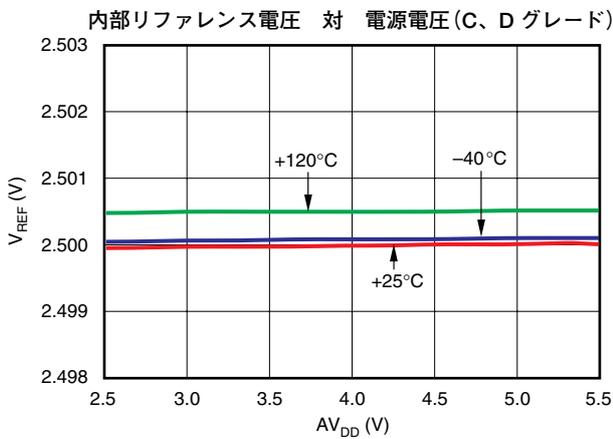


図 11

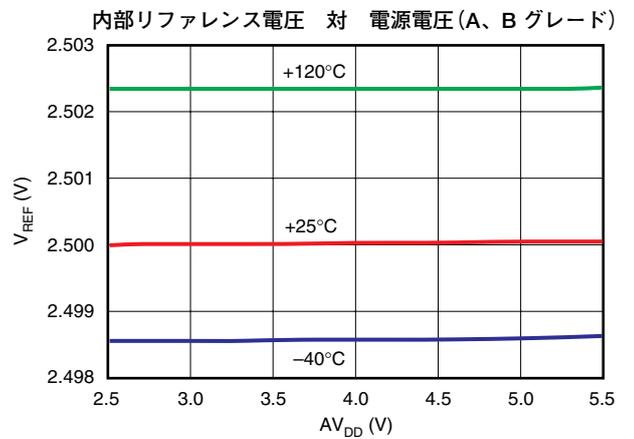


図 12

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ\text{C}$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

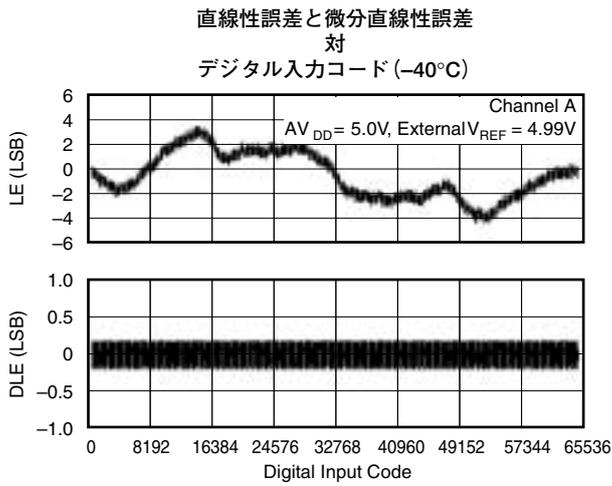


図 13

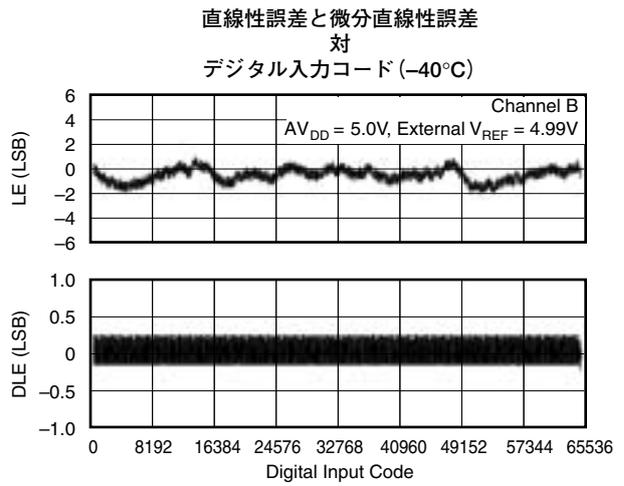


図 14

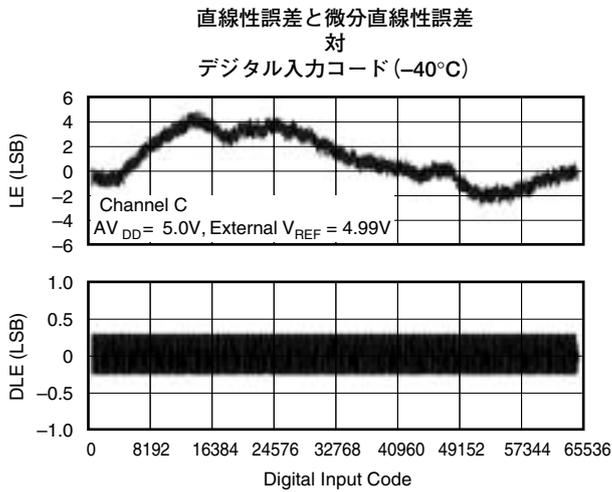


図 15

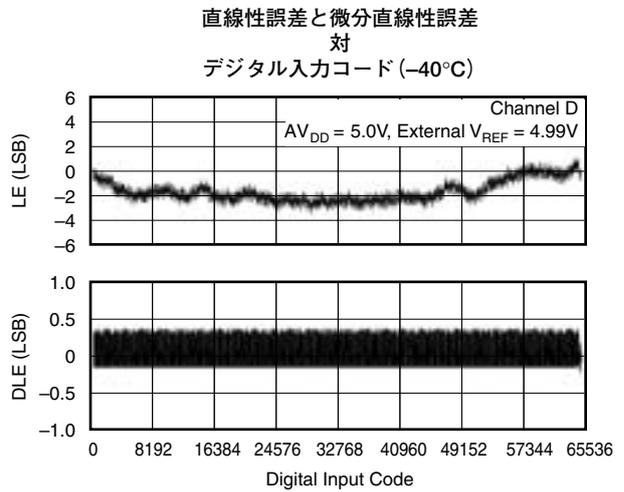


図 16

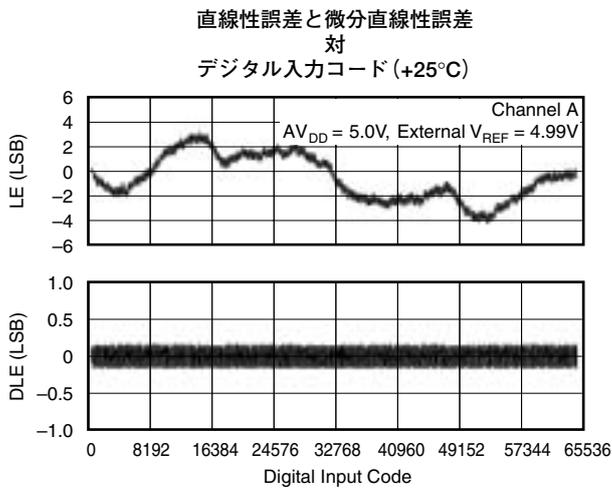


図 17

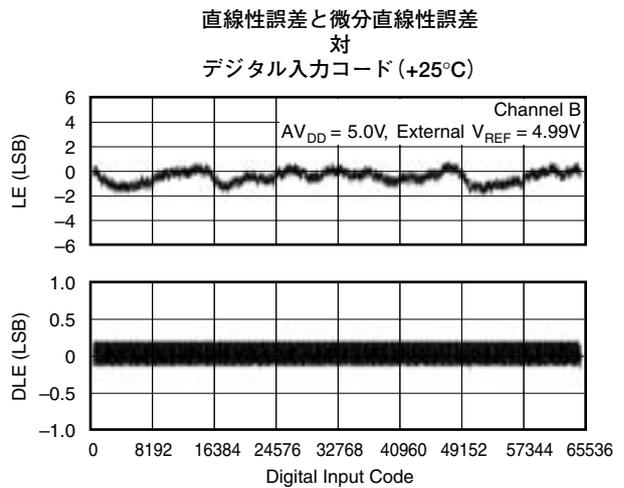


図 18

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

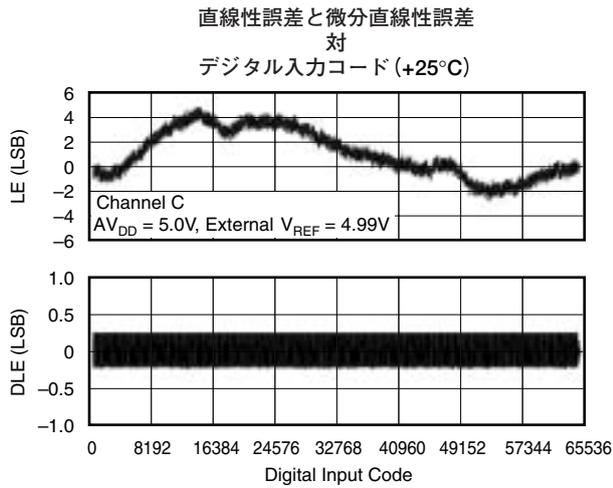


図 19

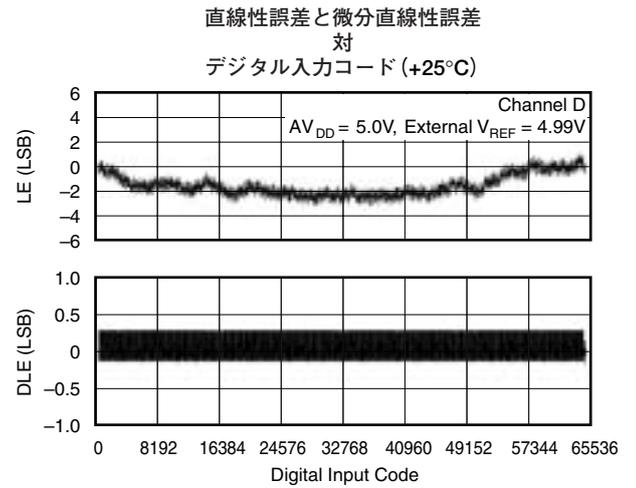


図 20

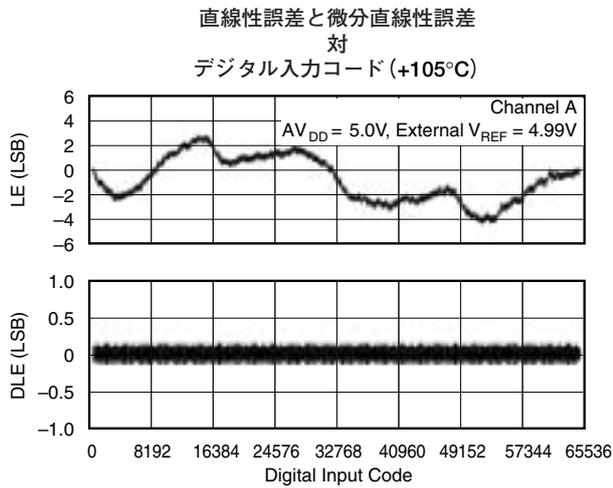


図 21

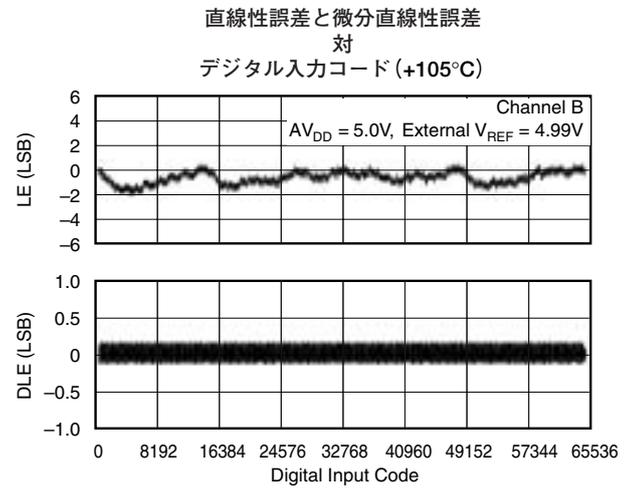


図 22

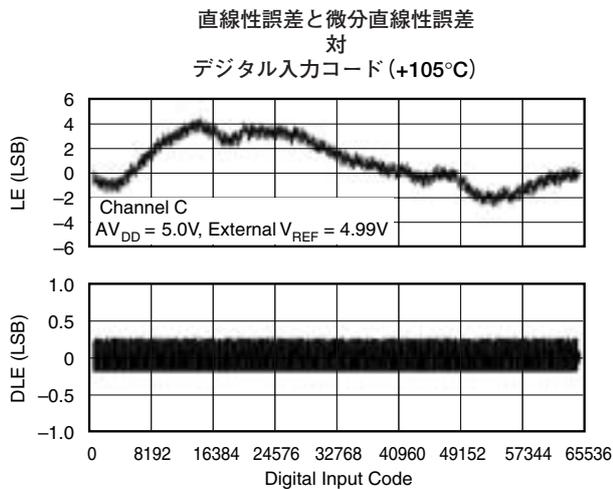


図 23

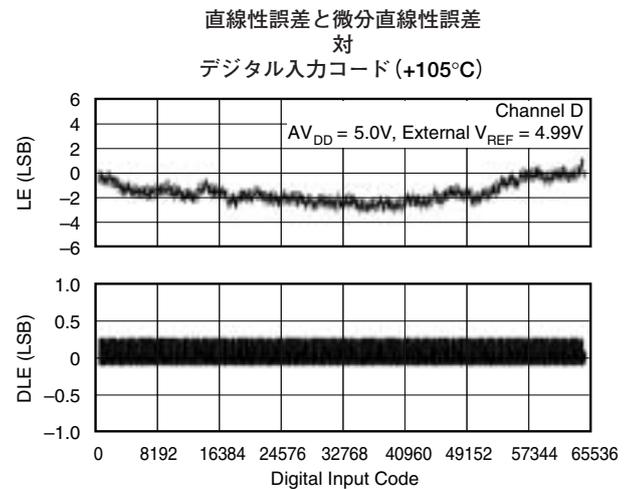


図 24

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ\text{C}$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

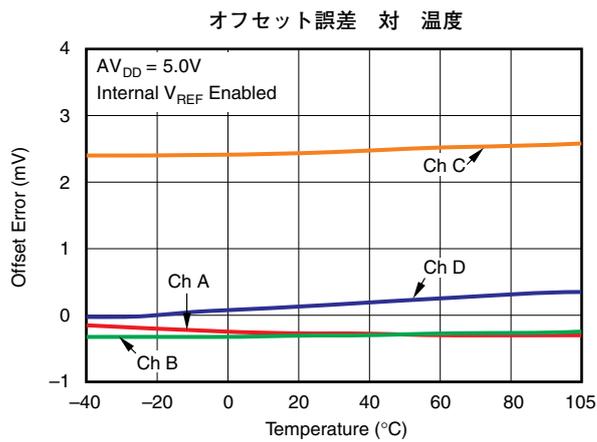


図 25

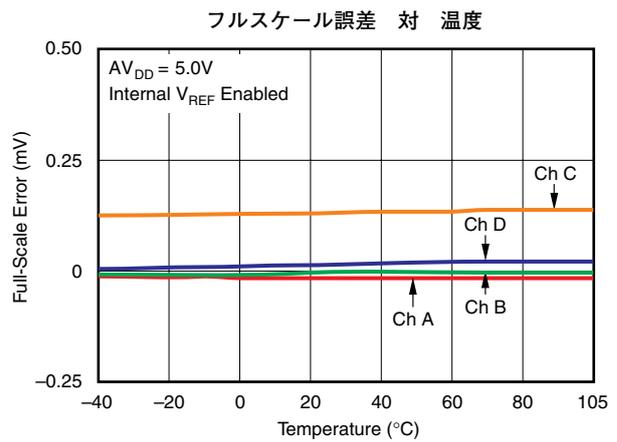


図 26

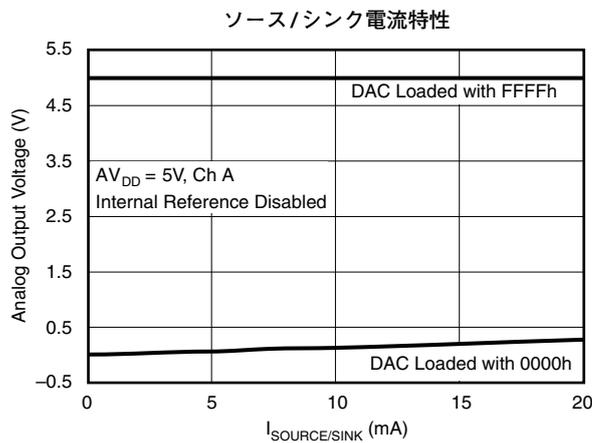


図 27

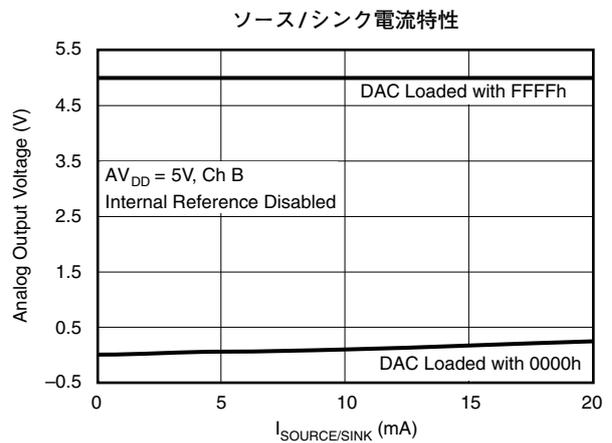


図 28

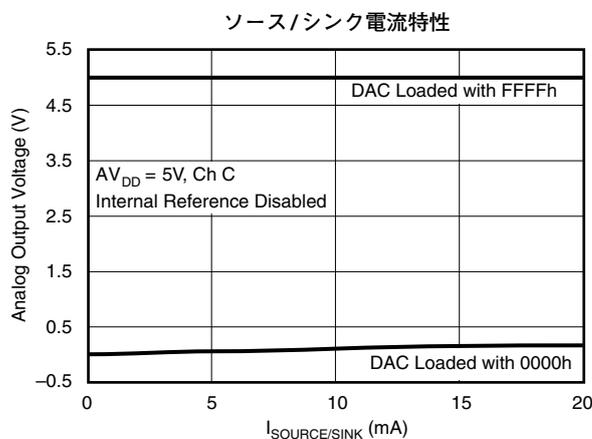


図 29

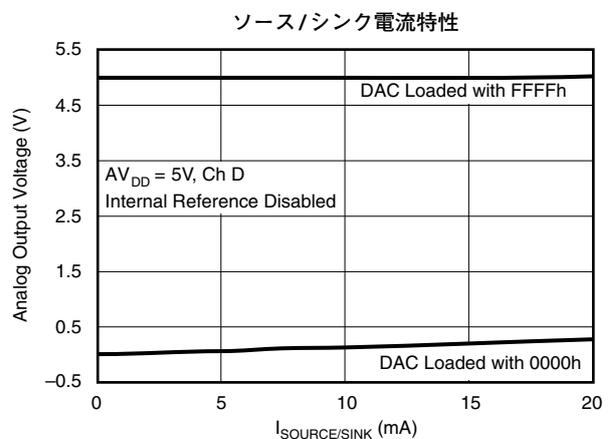


図 30

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

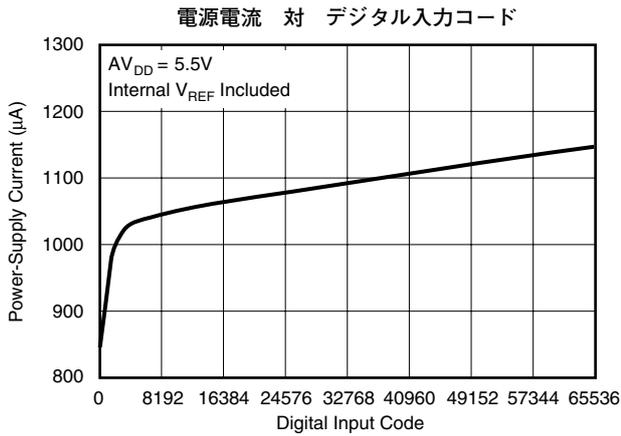


図 31

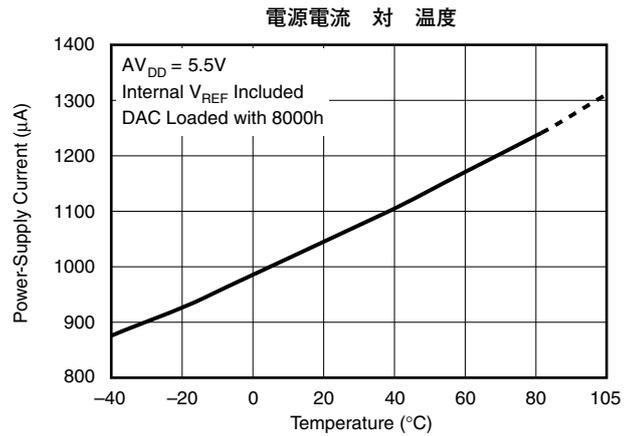


図 32

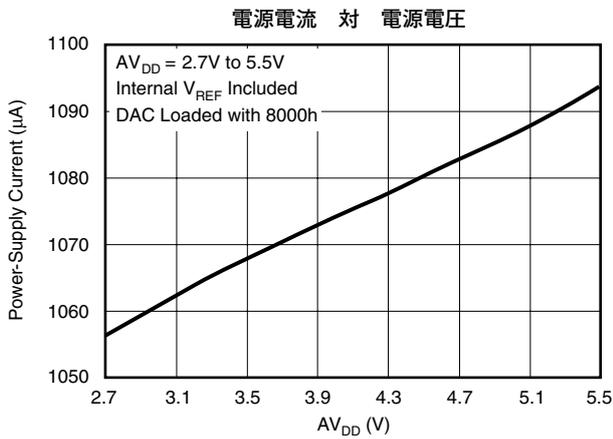


図 33

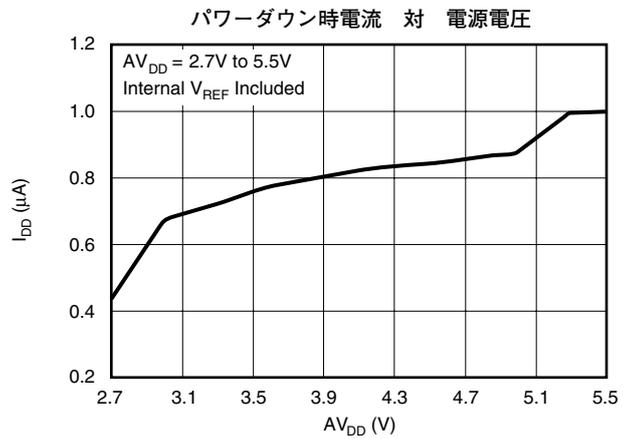


図 34

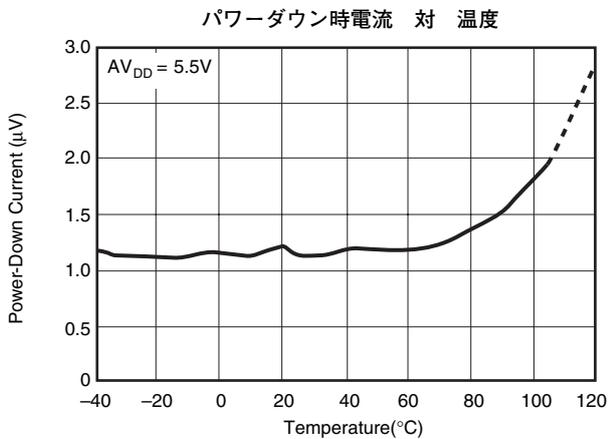


図 35

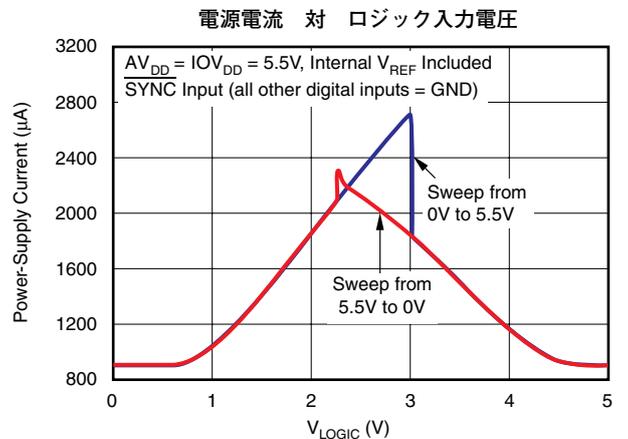


図 36

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ\text{C}$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

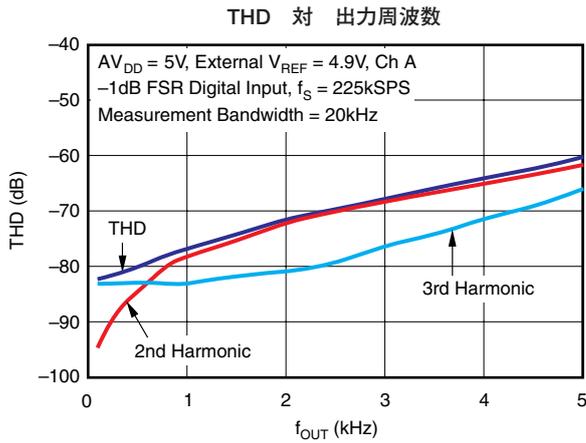


図 37

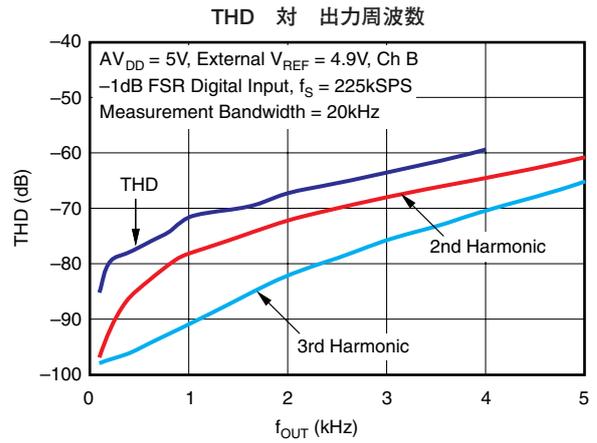


図 38

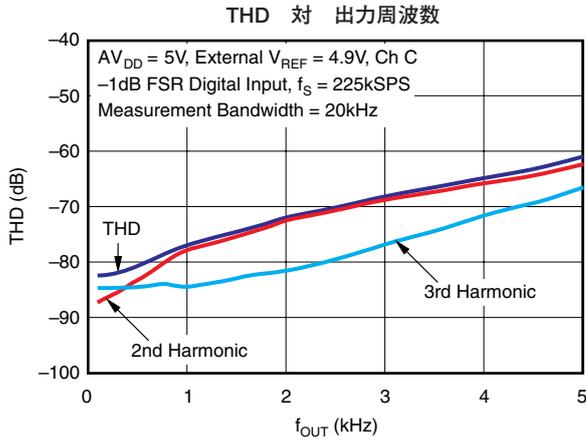


図 39

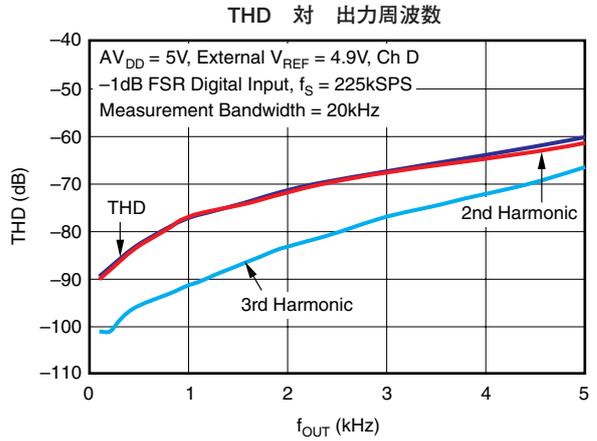


図 40

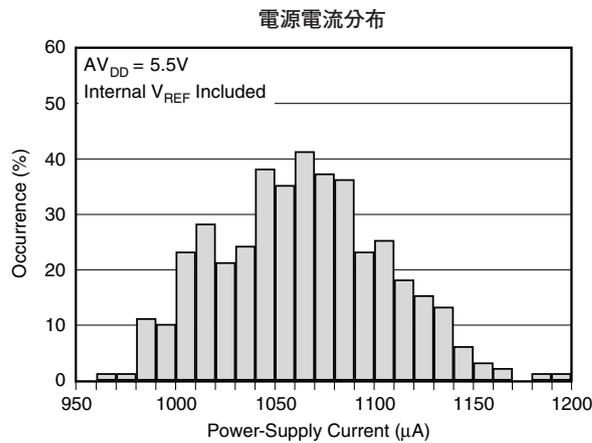


図 41

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ\text{C}$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

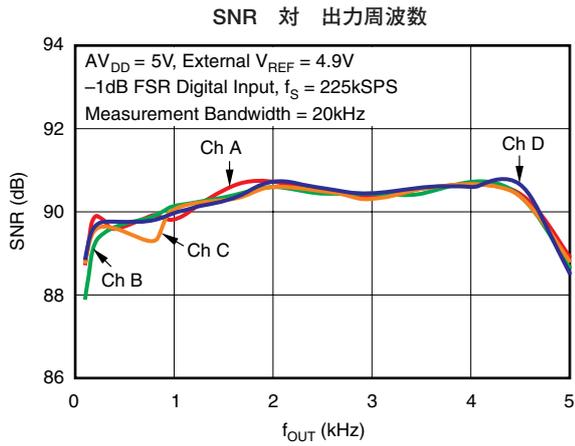


図 42

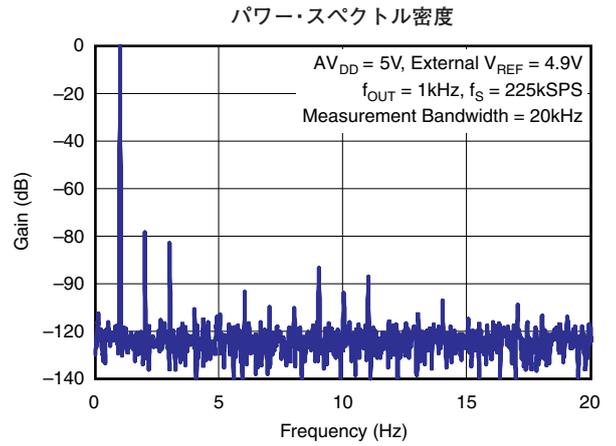
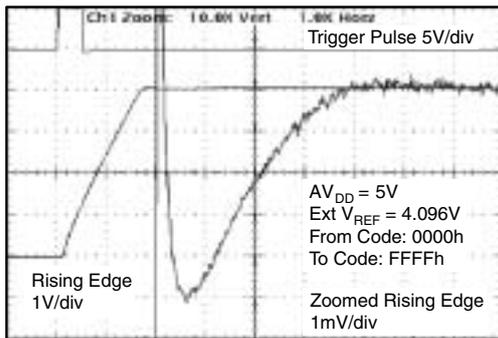


図 43

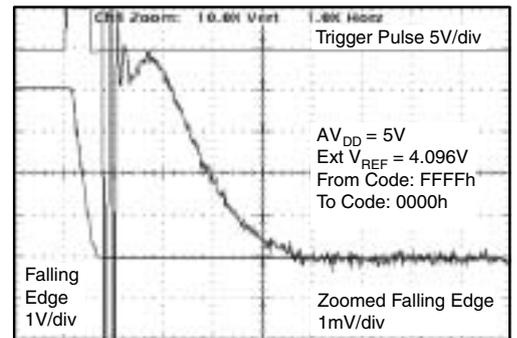
フルスケール・セトリング時間：5V 立ち上がりエッジ



Time (2 $\mu\text{s}/\text{div}$)

図 44

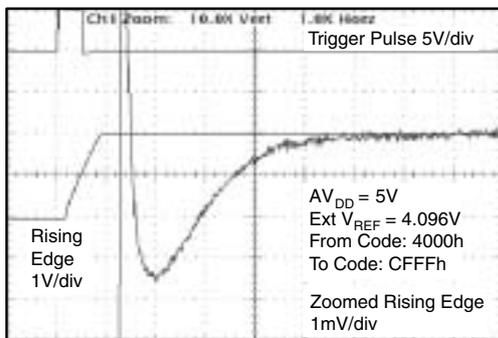
フルスケール・セトリング時間：5V 立ち下がりエッジ



Time (2 $\mu\text{s}/\text{div}$)

図 45

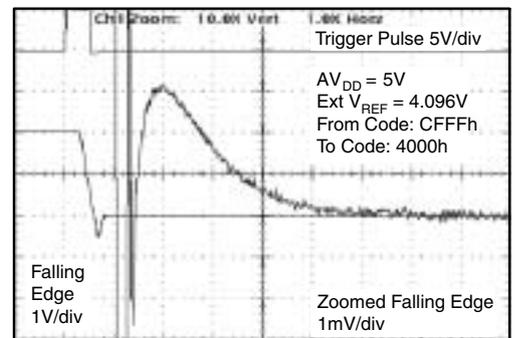
ハーフスケール・セトリング時間：5V 立ち上がりエッジ



Time (2 $\mu\text{s}/\text{div}$)

図 46

ハーフスケール・セトリング時間：5V 立ち下がりエッジ



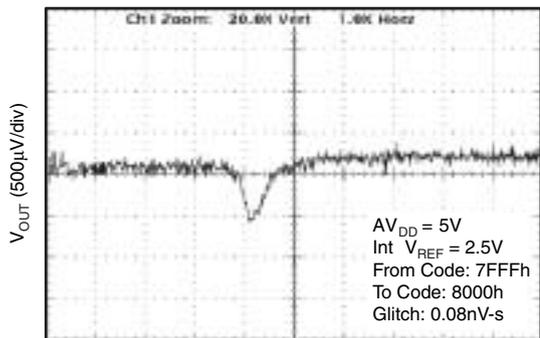
Time (2 $\mu\text{s}/\text{div}$)

図 47

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ\text{C}$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

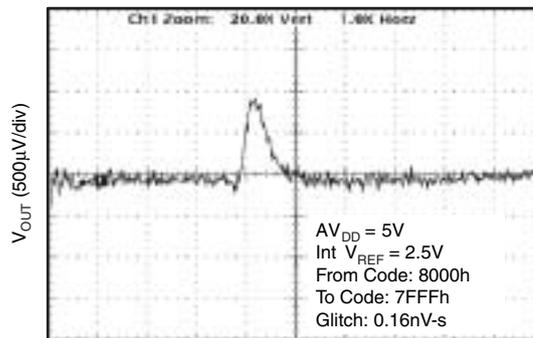
グリッジ・エネルギー：
5V、1 LSBステップ、立ち上がりエッジ



Time (400ns/div)

図 48

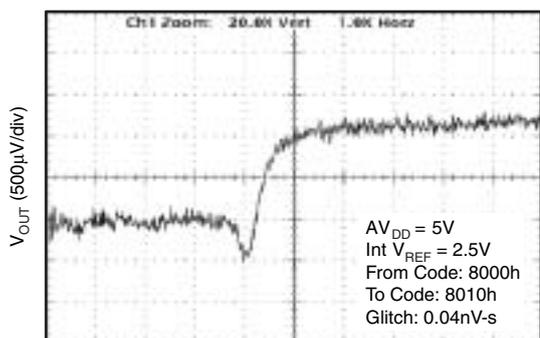
グリッジ・エネルギー：
5V、1 LSBステップ、立ち下がりエッジ



Time (400ns/div)

図 49

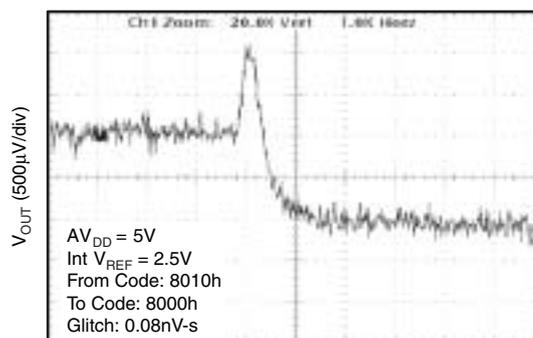
グリッジ・エネルギー：
5V、16 LSBステップ、立ち上がりエッジ



Time (400ns/div)

図 50

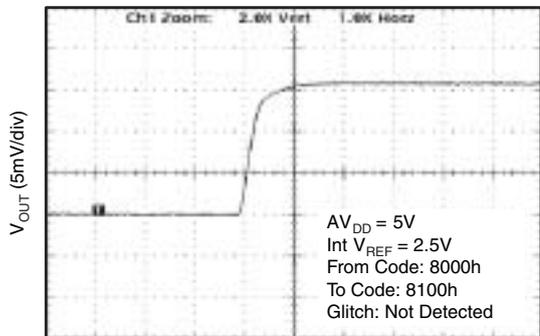
グリッジ・エネルギー：
5V、16 LSBステップ、立ち下がりエッジ



Time (400ns/div)

図 51

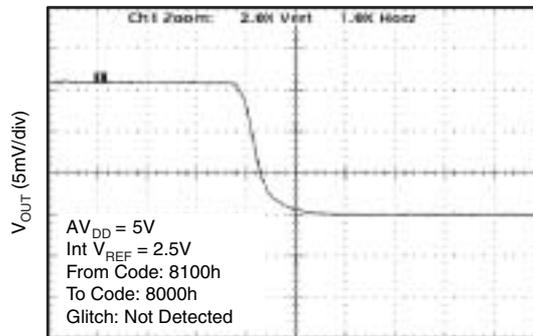
グリッジ・エネルギー：
5V、256 LSBステップ、立ち上がりエッジ



Time (400ns/div)

図 52

グリッジ・エネルギー：
5V、256 LSBステップ、立ち下がりエッジ



Time (400ns/div)

図 53

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

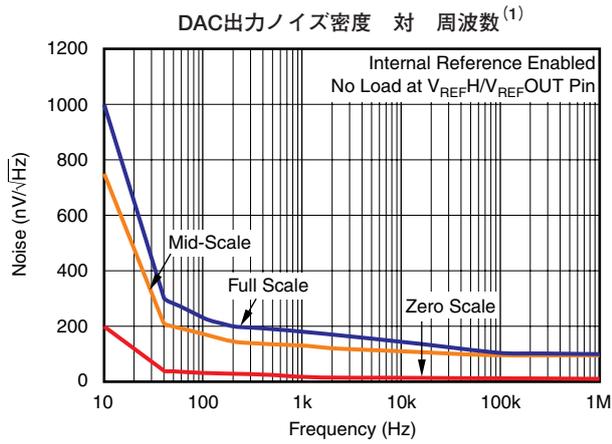


図 54

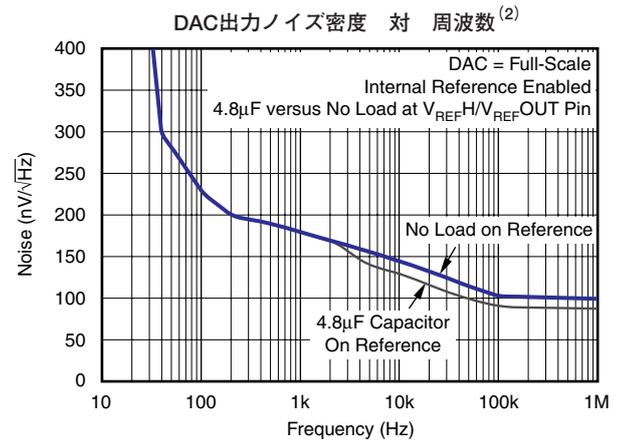


図 55

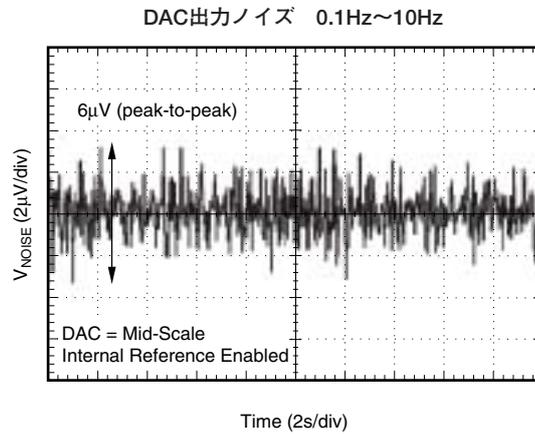


図 56

- (1) このデータシートの「アプリケーション情報」で詳細に説明されています。
 (2) 詳細については、「アプリケーション情報」を参照してください。

代表的特性：DAC ($AV_{DD} = 3.6V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

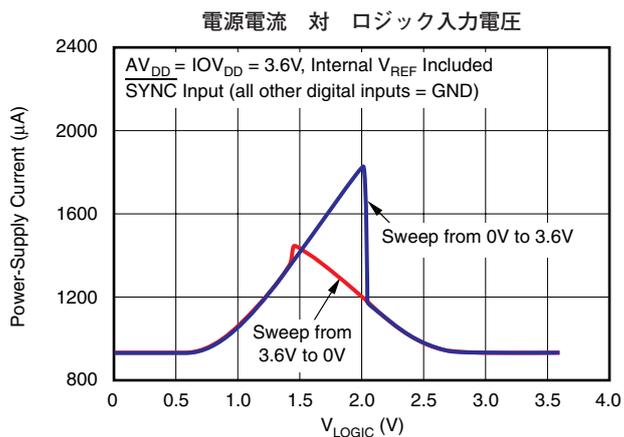


図 57

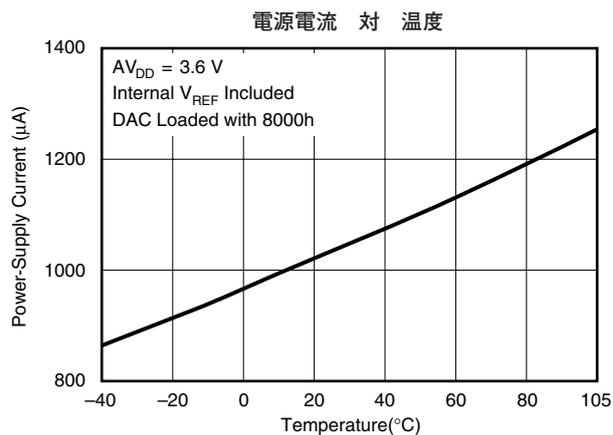


図 58

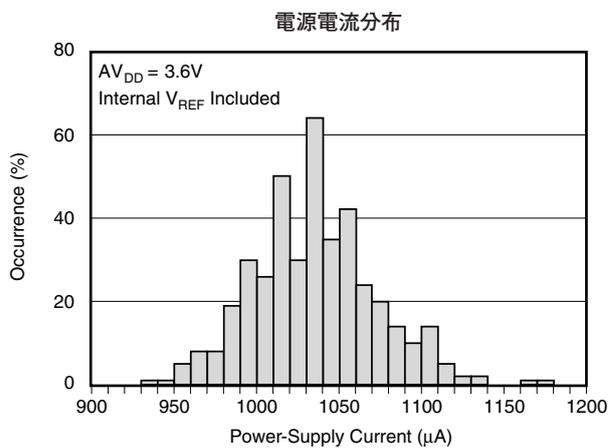


図 59

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

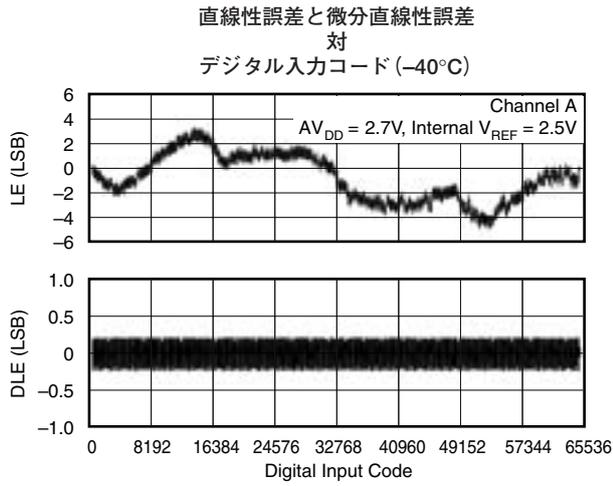


図 60

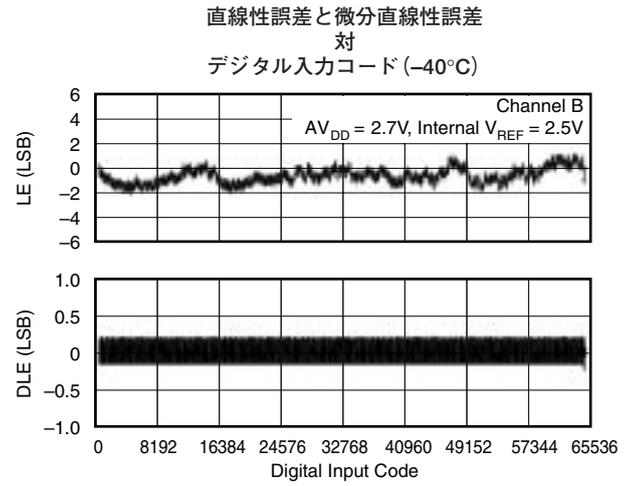


図 61

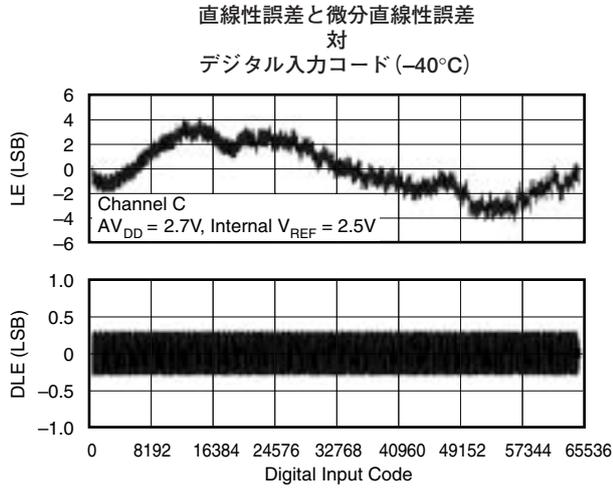


図 62

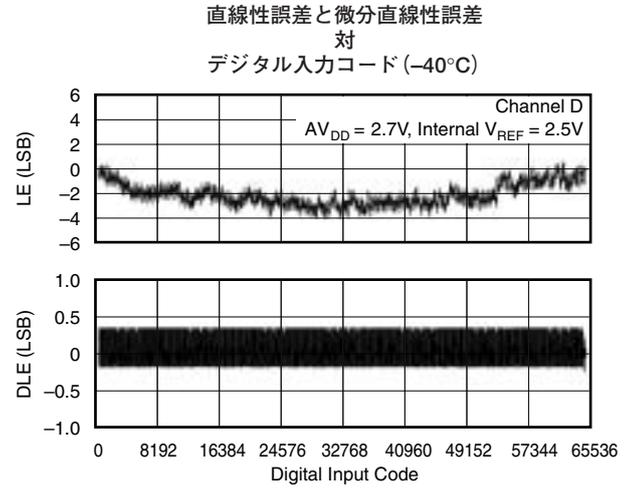


図 63

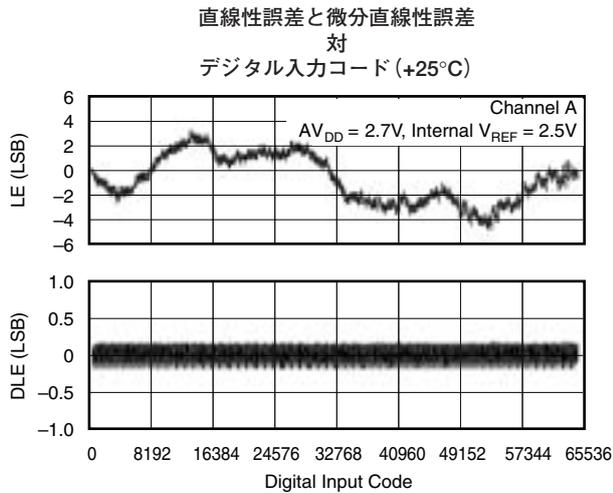


図 64

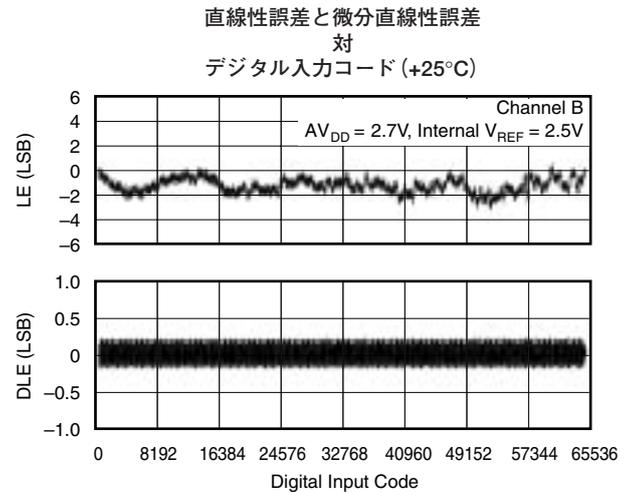


図 65

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

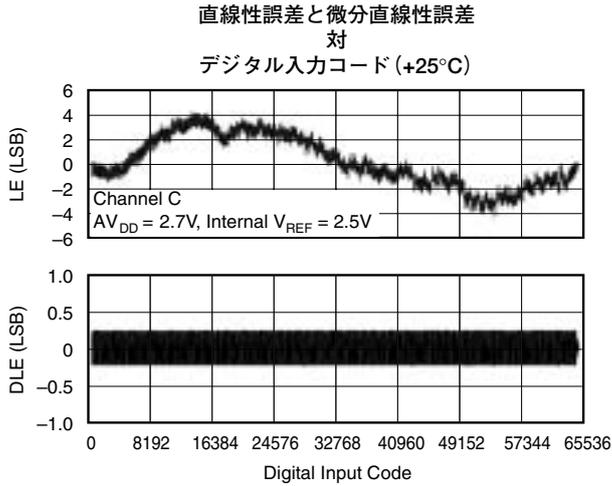


図 66

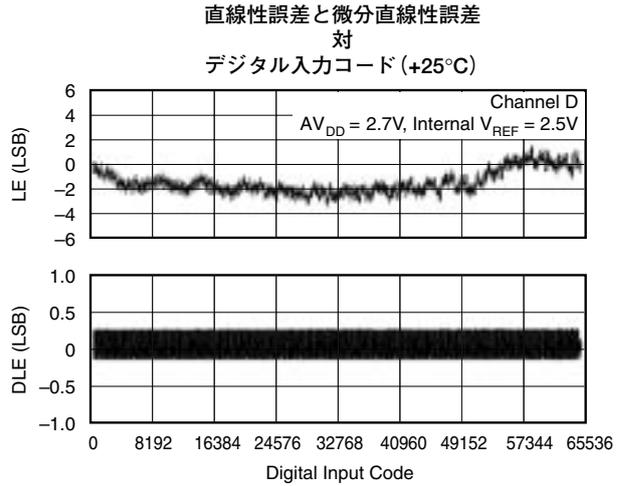


図 67

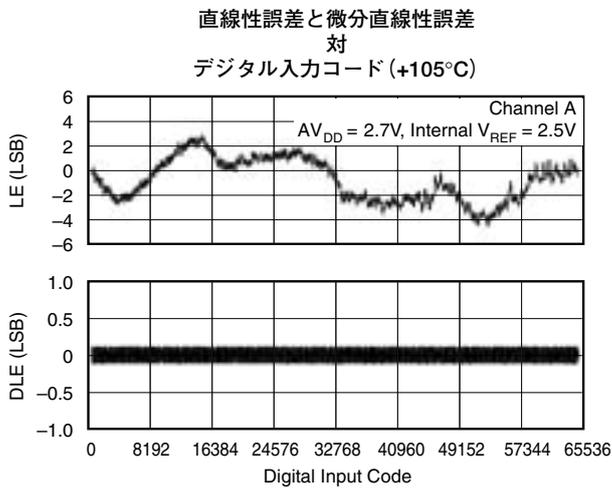


図 68

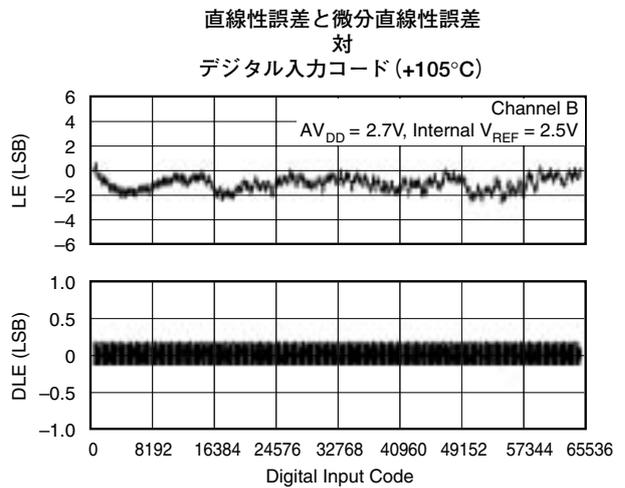


図 69

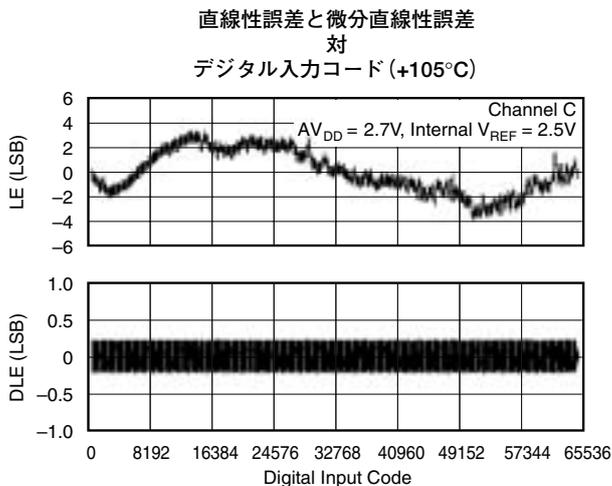


図 70

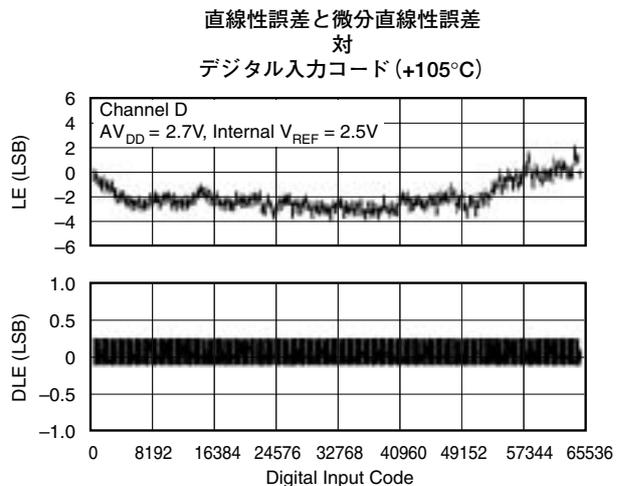


図 71

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

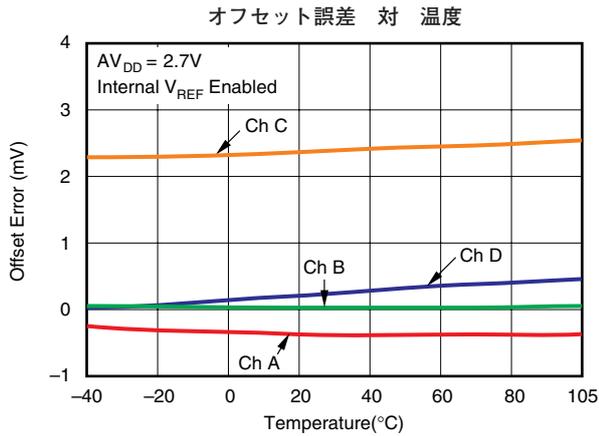


図 72

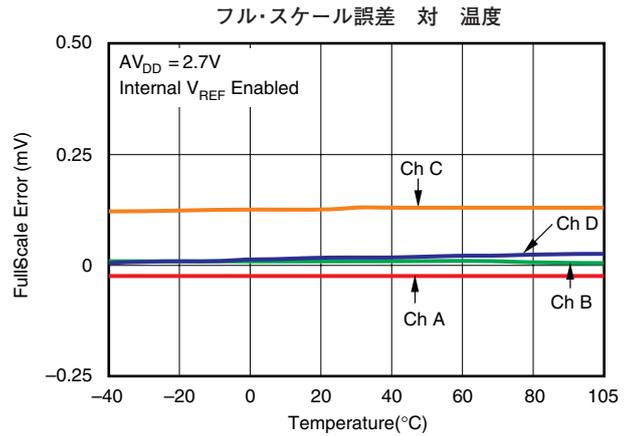


図 73

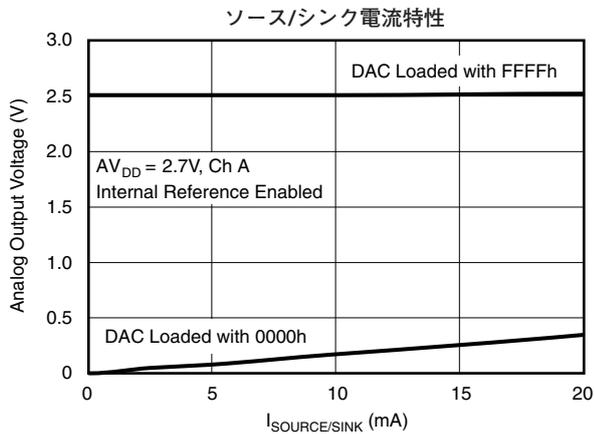


図 74

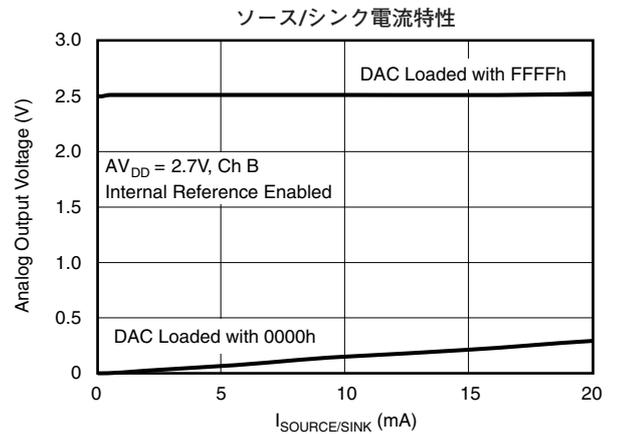


図 75

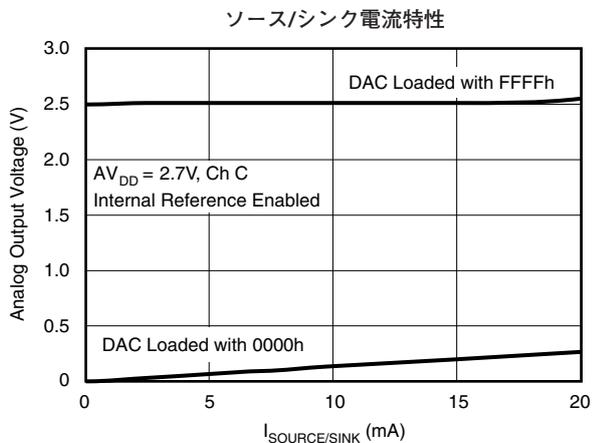


図 76

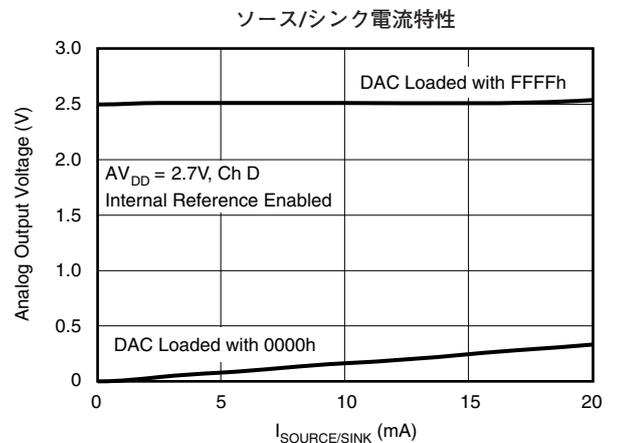


図 77

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

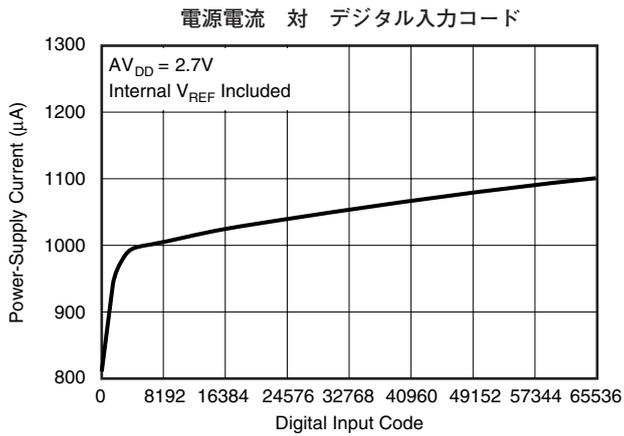


図 78

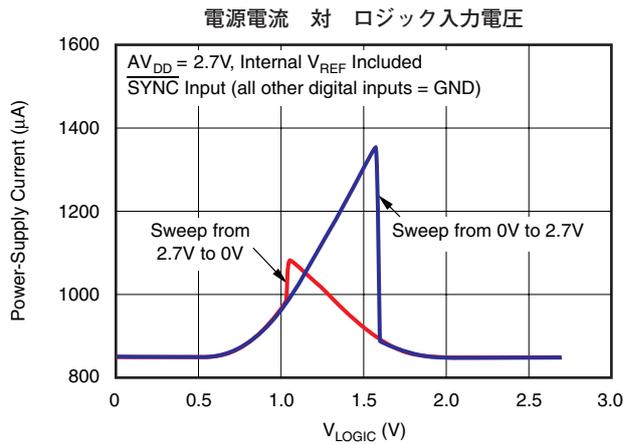
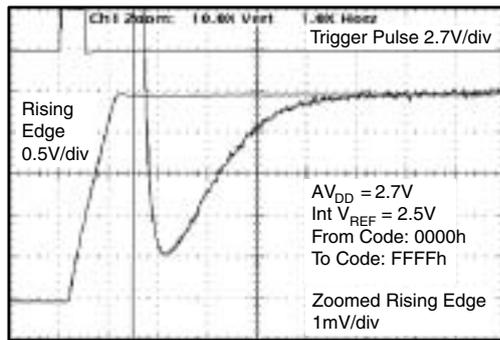


図 79

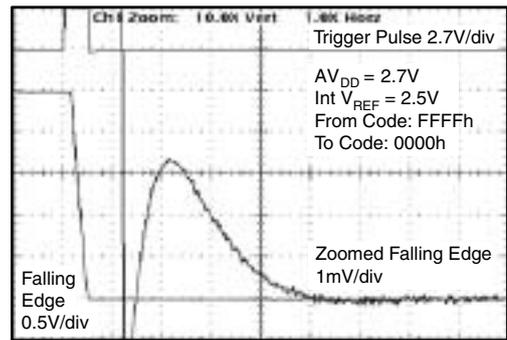
フル・スケール・セトリング時間：
2.7V 立ち上がりエッジ



Time (2µs/div)

図 80

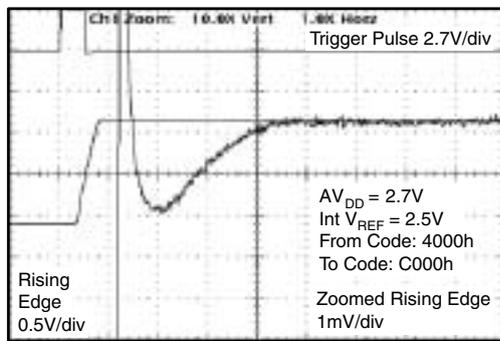
フル・スケール・セトリング時間：
2.7V 立ち下がりエッジ



Time (2µs/div)

図 81

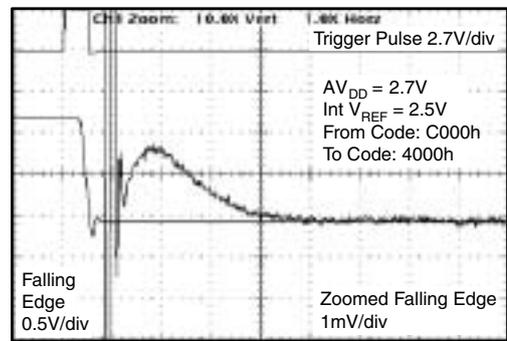
ハーフ・スケール・セトリング時間：
2.7V 立ち上がりエッジ



Time (2µs/div)

図 82

ハーフ・スケール・セトリング時間：
2.7V 立ち下がりエッジ



Time (2µs/div)

図 83

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

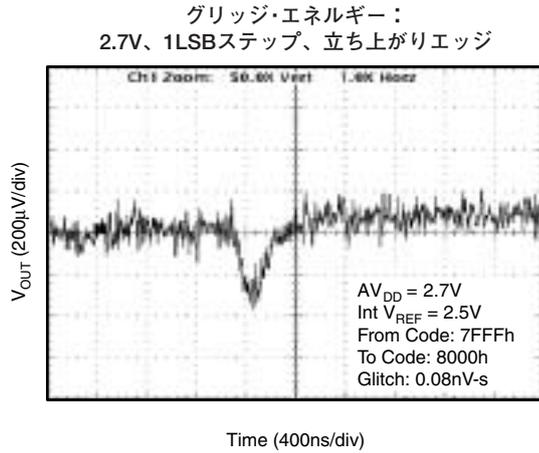


図 84

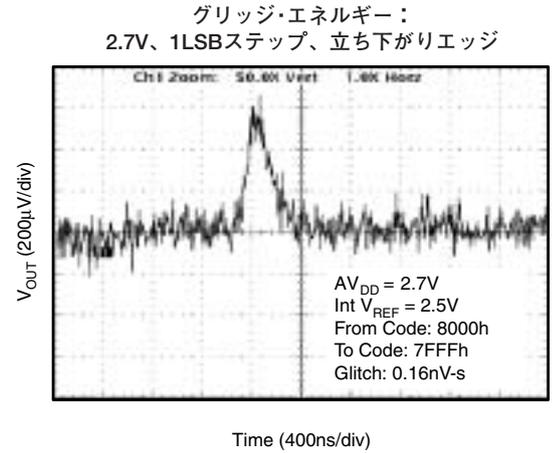


図 85

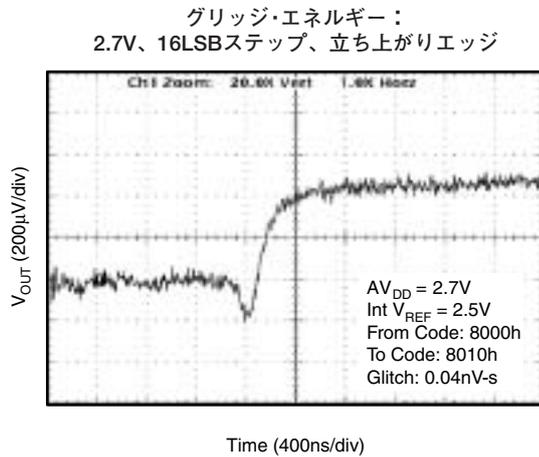


図 86

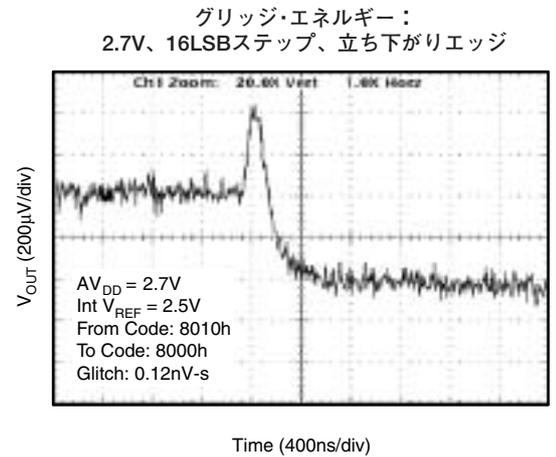


図 87

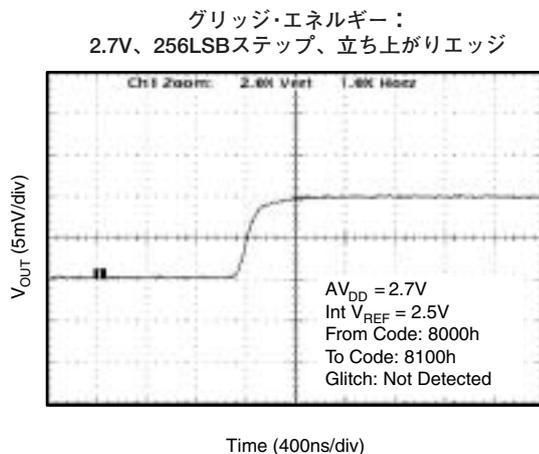


図 88

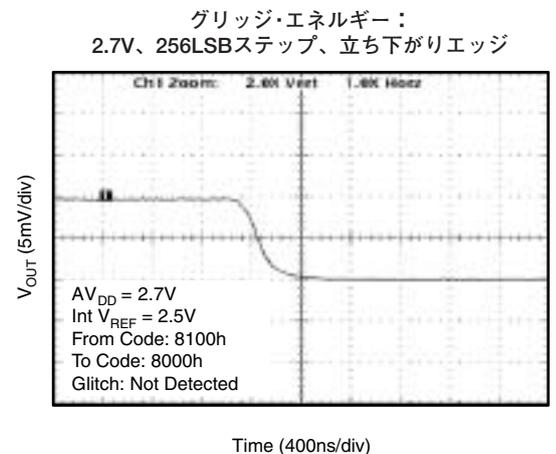


図 89

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

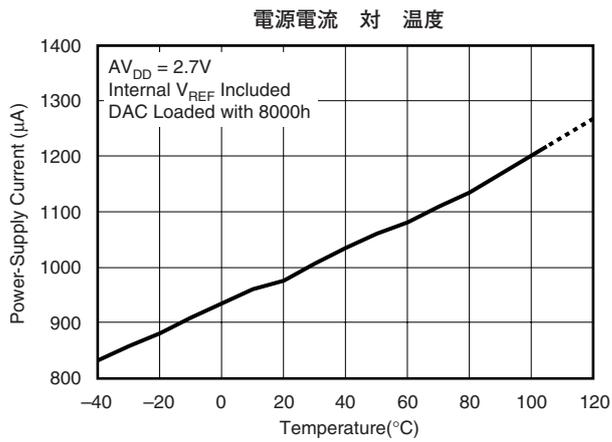


図 90

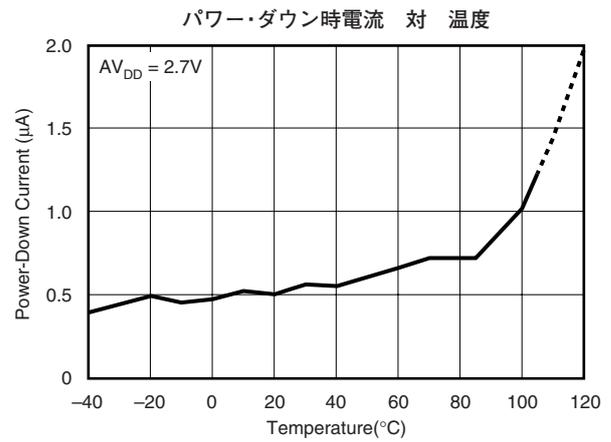


図 91

動作原理

D/Aコンバータ (DAC)

DAC8564のアーキテクチャは、ストリングDACと、それに続く出力バッファ・アンプから構成されています。図92に、DACアーキテクチャのブロック図を示します。

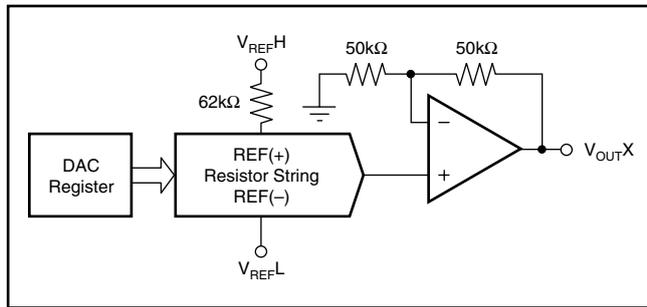


図 92. DAC8564のアーキテクチャ

DAC8564に対する入力コーディングはストレート・バイナリであり、理想的な出力電圧は式 (1) で与えられます。

$$V_{OUT X} = 2 \times V_{REF L} + (V_{REF H} - V_{REF L}) \times \frac{D_{IN}}{65536} \quad (1)$$

ここで、 D_{IN} は、DACレジスタにロードされるバイナリ・コードに対応する0~65535の10進数です。Xは、チャンネルA、B、C、またはDを表します。

抵抗ストリング

抵抗ストリング部を図93に示します。これは単純な、抵抗値Rが同一の抵抗列です。DACレジスタにロードされたコードに応じて、抵抗列をアンプに接続しているスイッチの1つを閉じ、該当する抵抗列上のノード電圧を出力アンプに入力します。これは抵抗の列であるため、単調特性となります。

出力アンプ

出力バッファ・アンプは、0V~AVDDの出力範囲で、出力にレール・ツー・レールの電圧を生成することができます。GNDとの間の2kΩと1000pFの並列負荷を駆動可能です。出力アンプのソースおよびシンク特性を、「代表的特性」に示します。スルーレートは2.2V/μsであり、出力無負荷時のフルスケール・セットリング・タイムは8μsです。

内部リファレンス

DAC8564は、2.5Vの内部リファレンスを備え、デフォルトでイネーブルになっています。この内部リファレンスは、 $V_{REF H}/V_{REF OUT}$ ピンから外部に供給できます。ノイズのフィルタリングのため、リファレンス出力とGNDの間に100nF以上のコンデンサを接続することを推奨します。

DAC8564の内部リファレンスは、バイポーラ・トランジスタをベースとした、高精度のバンドギャップ電圧リファレンスです。

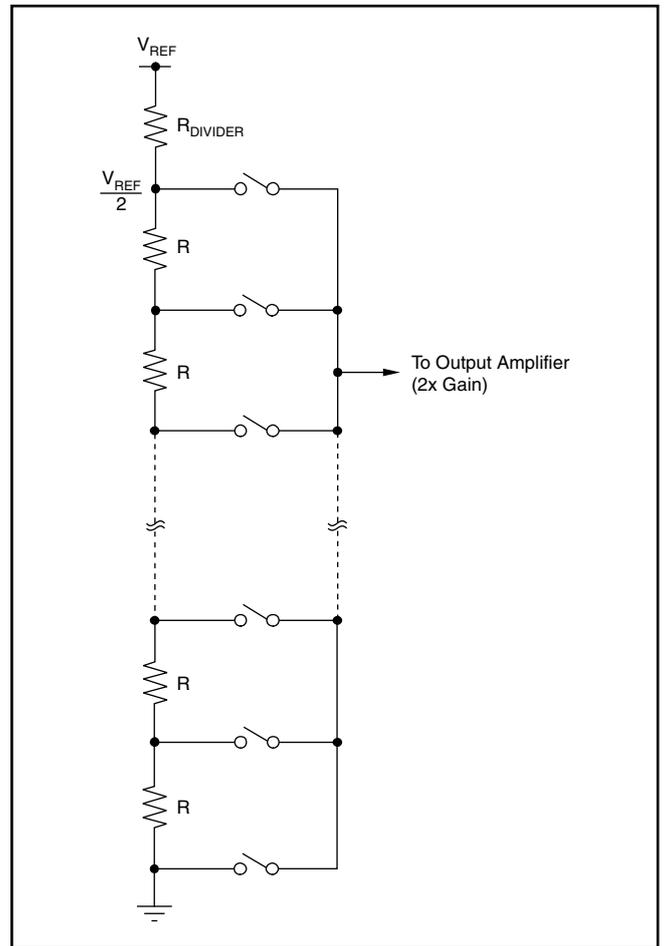


図 93. 抵抗ストリング

図94に、基本的なバンドギャップ・トポロジを示します。トランジスタ Q_1 および Q_2 は、 Q_1 の電流密度が Q_2 の電流密度よりも大きくなるようにバイアスされています。2つのベース-エミッタ間電圧の差($V_{BE1} - V_{BE2}$)は正の温度係数を持ち、この差が抵抗 R_1 に印加されています。この電圧が増幅され、負の温度係数を持つ Q_2 のベース-エミッタ間電圧に加算されます。その結果、出力電圧はほとんど温度に依存しなくなります。短絡電流は、設計により約100mAに制限されています。

内部リファレンスのイネーブル/ディセーブル

DAC8564の内部リファレンスは、デフォルトでイネーブルであり、自動モードで動作します。ただし、デバッグや評価の際、および外部リファレンスを使用する場合には、内部リファレンスをディセーブルすることができます。内部リファレンスをディセーブルするには、表1に示すような、24ビットの書き込みシーケンスによるシリアル・コマンドを使用する必要があります(「シリアル・インターフェイス」の項を参照)。内部リファレンスがディセーブルの場合、DACは外部リファレンスを使用して正常に機能します。このとき、内部リファレンスは $V_{REF H}/V_{REF OUT}$ ピン(3ステート出力)から切り離されています。 $V_{REF H}/V_{REF OUT}$ ピンを内部と外部から同時に駆動しないようにしてください。

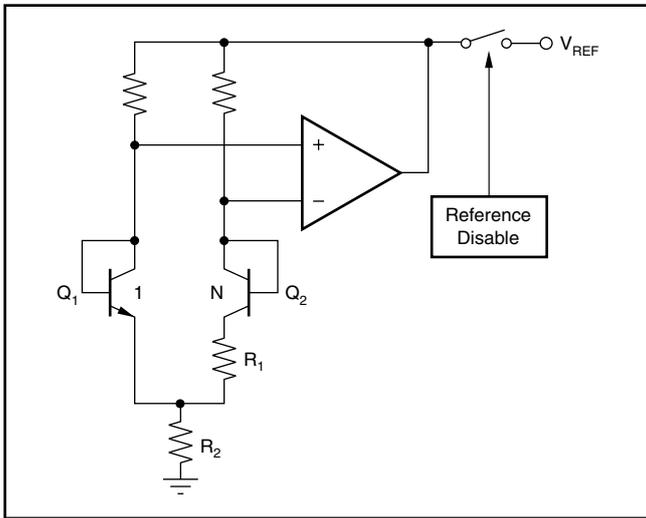


図 94. バンドギャップ・リファレンスの概略図

内部リファレンスをイネーブルにするには、パワーオン・リセットによってデバイスをリセットするか、または表2に示す24ビット・シリアル・コマンドを書き込むことで、内部リファレンスはデフォルト・モードに戻ります。デフォルト・モードでは、任意のパワーダウン・モードですべてのDACがパワーダウンすると、内部リファレンスは自動的にパワーダウンします（「パワーダウン・モード」の項を参照）。いずれかのDACがパワーオンすると、内部リファレンスも自動的にパワーオンします。

DAC8564は、DACの状態（パワーオンまたはパワーダウン）に関係なく内部リファレンスを常にオン状態に保持するオプションも用意しています。DAC状態に関係なく内部リファレンスをオン状態に保持するには、表3に示す24ビット・シリアル・コマンドを書き込みます。

シリアル・インターフェイス

DAC8564は、ほとんどのDSPと互換性のある、SPI、QSPI、Microwireの各インターフェイス標準および3線式シリアル・インターフェイス（SYNC、SCLK、D_{IN}）を備えています。標準的な書き込みシーケンスの例については、「シリアル書き込み動作」のタイミング図を参照してください。

DAC8564入力シフトレジスタは、8ビット幅の制御ビット

（DB23～DB16）と16ビット幅のデータビット（DB15～DB0）の、合わせて24ビット幅を持ちます。全てで24ビットのデータは、シリアルクロック入力SCLKで制御されてDACに取り込まれます。DB23（MSB）が最初にDACレジスタに取り込まれ、その後24ビットのワードのパターンが順次、左詰めで取り込まれます。この設定は、最初の24ビットのデータが取り込まれた後のデータのクロックインは無視されることを示しています。DAC8564は24ビット全部を受信すると最初の8ビットをデコードしてDACの動作/制御モードを決定します。残りの16ビットのデータがDACでデコードされアナログ出力の大きさが決められます。データ形式は、オール“0”が0V出力、オール“1”がフルスケール出力（即ち、V_{REF} - 1LSB）となるストレートバイナリ形式です。

SYNCラインを“Low”にすると書き込みシーケンスを開始します。SCLKの各立ち下がりエッジで、D_{IN}ラインからのデータを24ビット・シフト・レジスタに取り込みます。シリアル・クロック周波数は最大50MHzに設定でき、高速DSPにも対応可能です。シリアル・クロックの24回目の立ち下がりエッジで、最後のデータ・ビットをシフト・レジスタに取り込み、シフト・レジスタをロックします。それ以降のクロックでは、シフト・レジスタのデータは変更されません。24ビットがシフト・レジスタ内にロックされると、上位8ビットを制御ビット、下位16ビットをデータとして使用します。24回目の立ち下がりエッジを受信すると、DAC8564はSYNCの立ち上がりエッジを待つことなく、8個の制御ビットと16個のデータ・ビットをデコードして必要な機能を実行します。SYNCの次の立ち下がりエッジで、新しい書き込みシーケンスを開始します。24ビット・シーケンスが完了する前にSYNCの立ち上がりエッジを受信すると、SPIインターフェイスをリセットし、データ転送は行いません。SCLKの24回目の立ち上がりエッジの受信後、SYNCラインは“Low”に保持するか、または“High”にすることができます。いずれの場合も、次のサイクルを適切に開始するには、SCLKの24回目の立ち下がりエッジからSYNCの次の立ち下がりエッジまでの最小遅延時間を遵守する必要があります。デバイスの消費電力を最小にするためには、レベルを各レベルにできるだけ近づけるよう注意が必要です。（「代表的特性」の図36、図57、および図79（電源電流 対 ロジック入力電圧）を参照してください。）

DB23	DB16							DB13							DB0								
0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
Data Bits																							

表 1. 内部リファレンスをディセーブルにする書き込みシーケンス（内部リファレンスは常にパワー・ダウン - 012000h）

DB23	DB16							DB13							DB0								
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Data Bits																							

表 2. 内部リファレンスをイネーブルにする書き込みシーケンス（内部リファレンスはデフォルト・モードでパワーオン - 010000h）

DB23	DB16							DB12							DB0								
0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
Data Bits																							

表 3. 内部リファレンスをイネーブルにする書き込みシーケンス（内部リファレンスは常にパワーオン - 011000h）

IOV_{DD}と電圧トランスレータ

IOV_{DD}ピンは、DAC8564のデジタル入力部に電源を供給します。単電源動作の場合は、AV_{DD}に接続できます。デュアル電源動作の場合、IOV_{DD}ピンは各種CMOSロジック/ファミリーとの柔軟なインターフェイスを提供するため、システムのロジック電源に接続する必要があります。DAC8564のアナログ回路および内部ロジックは、電源としてAV_{DD}を使用します。外部の論理“High”入力をレベル・シフタでAV_{DD}に変換します。これらのレベル・シフタは、IOV_{DD}電圧をリファレンスとして使用し、入力された論理“High”レベルをAV_{DD}にシフトします。IOV_{DD}は、AV_{DD}電圧に関係なく2.7V~5.5Vで動作し、各種論理ファミリーとの互換性を確保しています。仕様上の最小電圧は2.7Vですが、IOV_{DD}は最低1.8Vでの動作が可能です（タイミングおよび温度性能は劣化します）。消費電力を最小限に抑えるためには、ロジックのV_{IH}レベルをIOV_{DD}にできる限り近くし、ロジックのV_{IL}レベルをGND電圧にできる限り近くする必要があります。

入力シフト・レジスタ

表4に示すように、DAC8564の入力シフト・レジスタ(SR)は24ビット幅であり、8個の制御ビット(DB23~DB16)と16個のデータ・ビット(DB15~DB0)から構成されています。最初の2つの制御ビット(DB23およびDB22)は、アドレス一致ビットです。DAC8564にはハードウェアでイネーブルされるアドレス指定機能があり、中間に特別なロジックなしに1つのホストが1つのSPIバスを通して最大4つのDAC8564と通信でき、最大16チャンネル動作が可能となります。DB23の状態はピンA1の状態と一致する必要があり、同様に、DB22の状態はピンA0の状態と一致する必要があります。一致しない場合、DAC8564は制御コマンドおよびデータ(DB21~DB0)を無視します。つまり、一致しない場合には、DAC8564はアドレス指定されません。ブロードキャスト更新は、アドレス一致よりも優先させることができます。

LD1(DB21)およびLD0(DB20)は、指定された16ビット・データ値またはパワーダウン・コマンドの各アナログ出力へのロードを制御します。ビットDB19は、常に‘0’にする必要があります。DACチャンネル選択ビット(DB18、DB17)は、データ(またはパワーダウン・コマンド)の格納先をDAC A~DAC Dの中から選択します。最後の制御ビットPD0(DB16)は、DAC8564の各チャンネルのパワーダウン・モードおよび内部リファレンスのパワーダウン・モードを選択します。

DAC8564は、いくつかの異なるロード・コマンドをサポートします。ロード・コマンドには、SPIバス上のすべてのDAC8564をアドレス指定するブロードキャスト・コマンドも含まれます。各ロード・コマンドについて、以下にまとめます。

DB21 = 0およびDB20 = 0：単一チャンネルのストア。DB18およびDB17で選択されたDACに対応するデータ・バッファを、SRデータの内容(またはパワーダウン)で更新します。

DB21 = 0およびDB20 = 1：単一チャンネルの更新。DB18およびDB17で選択されたDACに対応するデータ・バッファおよびDACレジスタを、SRデータの内容(またはパワーダウン)で更新します。

DB21 = 1およびDB20 = 0：同時更新。DB18およびDB17で選択されたチャンネルをSRデータで更新します。同時に、他のすべてのチャンネルを、データ・バッファから以前にストアされたデータ(またはパワーダウン)で更新します。

DB21 = 1およびDB20 = 1：ブロードキャスト更新。アドレス一致に関係なく、SPIバス上のすべてのDAC8564が応答します。DB18 = 0の場合、SRデータは無視され、すべてのDAC8564のすべてのチャンネルを、以前にストアされたデータ(またはパワーダウン)で更新します。DB18 = 1の場合、システム内のすべてのDAC8564のすべてのチャンネルをSRデータ(またはパワーダウン)で更新します。このブロードキャスト更新機能では、最大16チャンネルを同時に更新することができます。

詳細については、表5を参照してください。

DB23

DB12

A1	A0	LD1	LD0	0	DAC Select 1	DAC Select 0	PD0	D15	D14	D13	D12
----	----	-----	-----	---	--------------	--------------	-----	-----	-----	-----	-----

DB11

DB0

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
-----	-----	----	----	----	----	----	----	----	----	----	----

表 4. データ入力レジスタの形式

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13-DB0	説明									
A1	A0	LD 1	LD 0	0	DAC Sel 1	DAC Sel 0	PD0	MSB	MSB-1	MSB-2...LSB										
(アドレス・セレクト)											このアドレスは、各デバイスのアドレス・ピンの状態に基づいて、1つのSPIデータ・バス上で可能な4つのデバイスのうち1つを選択します。									
0/1	0/1	下記参照																		
パッケージ・アドレス、A0/A1を端子13、/4により設定											0	0	0	0	0	0	0	Data		バッファAにデータを書き込みます。
											0	0	0	0	0	1	0	Data		バッファBにデータを書き込みます。
											0	0	0	1	0	0	Data		バッファCにデータを書き込みます。	
											0	0	0	1	1	0	Data		バッファDにデータを書き込みます。	
											0	0	0	(00, 01, 10, or 11)			1	表6. 参照	0	(DB17およびDB18で選択した)バッファにパワーダウン・コマンドを書き込みます。
											0	1	0	(00, 01, 10, or 11)			0	Data		(DB17およびDB18で選択した)バッファにデータを書き込んでDACにロードします。
											0	1	0	(00, 01, 10, or 11)			1	表6. 参照	0	(DB17およびDB18で選択した)バッファにパワーダウン・コマンドを書き込んでDACにロードします。
											1	0	0	(00, 01, 10, or 11)			0	Data		(DB17およびDB18で選択した)バッファにデータを書き込んだ後、すべてのDACに対して同時に、対応するバッファからデータをロードします。
1	0	0	(00, 01, 10, or 11)			1	表6. 参照	0	(DB17およびDB18で選択した)バッファにパワーダウン・コマンドを書き込んだ後、すべてのDACに対して同時に、対応するバッファからデータをロードします。											
ブロードキャスト・モード																				
X	X	1	1	0	0	X	X	X		システム内のすべてのDAC8554デバイスのすべてのチャンネルを同時に、各チャンネルのデータ・バッファに格納されたデータで更新します。										
X	X	1	1	0	1	X	0	Data		すべてのデバイスに書き込み、すべてのDACにSRデータをロードします。										
X	X	1	1	0	1	X	1	表6. 参照	0	すべてのデバイスに書き込み、すべてのDACにSR内のパワーダウン・コマンドをロードします。										

表 5. DAC8564の制御マトリックス

SYNC割り込み

通常の書き込みシーケンスは、SCLKのエッジが最低24回立ち下がる間、SYNCラインを“Low”に保持し、24回目の立ち下がりエッジで、アドレス指定したDACレジスタを更新します。ただし、24回目の立ち下がりエッジより前に $\overline{\text{SYNC}}$ を“High”にした場合、書き込みシーケンスへの割り込みとして機能し、シフトレジスタがリセットされて書き込みシーケンスが破棄されます。データ・バッファおよびDACレジスタの内容は更新されず、動作モードも変化しません(図95を参照)。

ゼロ・スケールへのパワーオン・リセット

DAC8564は、電源投入時の出力電圧を制御するパワーオン・リセット回路を搭載しています。電源投入時は、DACレジスタにゼロを格納して、出力電圧をゼロ・スケールに設定します。この状態を、対応するDACチャンネルに有効な書き込みシーケンスおよびロード・コマンドが実行されるまで維持します。パワーオン・リセットは、実行中のプロセスがデバイスの電源投入時の各DAC出力状態を知る必要があるようなアプリケーションで有用です。デバイスに電源を供給する前に、デバイスのどのピンも“High”にしないでください。内部リファレンスはデフォルトでオンになり、有効なりファレンス変更コマンドが実行されるまでオン状態を保持します。

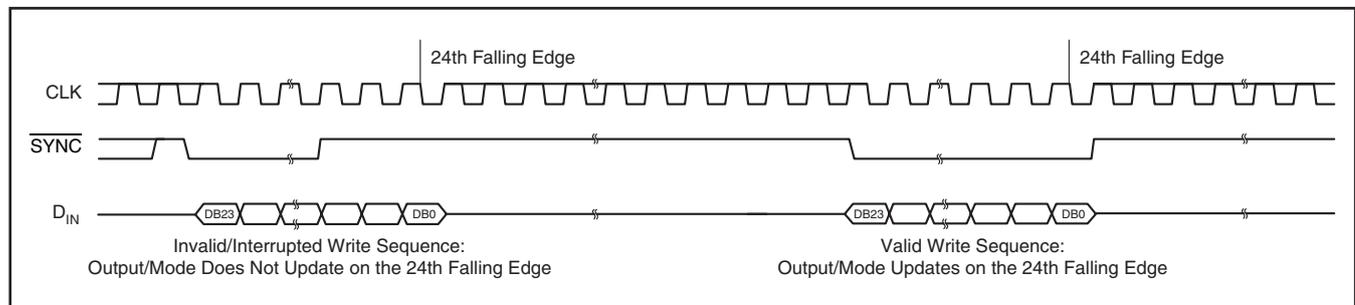


図 95. SYNC割り込み機能

LDAC機能

DAC8564には、ソフトウェアとハードウェア共に同時更新機能があります。DACのダブル・バッファ・アーキテクチャは、アナログ出力に影響を与えることなく各DACに新しいデータを入力できるよう設計されています。

DAC8564は、 $\overline{\text{SYNC}}$ の立ち下がりエッジに続く24回目のSCLKサイクルの立ち下がりエッジに同期してデータを更新します。そのような同期更新には、LDACピンは不要であり、GNDに接続する必要があります。LDACピンは、立ち上がりエッジで非同期にDACを更新するタイミング信号として使用します。LDAC動作を行うには、LD0およびLD1を‘0’に設定して、単一チャンネルのストアを実行(DACバッファのロード)する必要があります。複数のチャンネルに対し更新を実行して、各チャンネル・バッファを異なる値に設定した後、LDACの立ち上がりエッジを発生させることができます。すべてのチャンネルのデータは、LDACの立ち上がりエッジの前までに、目的のデータをロードしておく必要があります。LDACの“Low”から“High”への遷移の後、すべてのDACが同時に、対応するデータ・バッファの内容で更新されます。データ・バッファの内容がシリアル・インターフェイスによって変更されていない場合、対応するDAC出力はLDACのトリガ後も変化しません。

イネーブル・ピン

通常の動作を行う場合、イネーブル・ピンは“Low”にする必要があります。イネーブル・ピンが“High”になると、DAC8564のシリアル・ポートは信号の受信を停止します。ただし、SCLK、 $\overline{\text{SYNC}}$ 、および D_{IN} はフローティングにせず、論理レベルにする必要があります。この機能は、複数のアプリケーションが同じシリアル・ポートを共有する場合に有用です。

パワーダウン・モード

DAC8564には、2つの独立したパワーダウン・コマンドのセットがあります。1つはDACチャンネル用であり、もう1つは内部リファレンス用です。リファレンスのパワーダウンの詳細については、「内部リファレンスのイネーブル/ディセーブル」を参照してください。

DACパワーダウン・コマンド

DAC8564は、4つの動作モードを使用します。これらのモードは、シフト・レジスタの3つのビット(PD2、PD1、PD0)を操作して設定することができます。表6に、データ・ビットPD0(DB16)、PD1(DB15)、およびPD2(DB14)で動作モードを制御する方法を示します。

PD0 (DB16)	PD1 (DB15)	PD2 (DB14)	DAC 動作モード
0	X	X	ノーマル動作
1	0	1	出力、グラウンド間 1k Ω (typ)
1	1	0	出力、グラウンド間 100k Ω (typ)
1	1	1	出力、ハイ・インピーダンス

表 6. DACの動作モード

DAC8564は、パワーダウン状態をデータとして扱います。すべての動作モードがパワーダウンに対して引き続き有効です。システム内のすべてのDAC8564に対してパワーダウン状態をブロードキャストすることが可能です。また、あるチャンネルのデータを更新しながら、同時に他のチャンネルをパワーダウンすることも可能です。

PD0ビットが‘0’に設定されていると、デバイスは通常、標準1mAの消費電流(5.5V、入力コード = 32768)で動作します。リファレンス電流は、4つのDACすべての動作を含みます。ただし、3つのパワーダウン・モードでは、電源電流が5.5Vで1.3 μA (3.6Vで0.5 μA)まで低下します。電源電流が低下するだけでなく、出力段もアンプ出力から既知の値の抵抗ネットワークへ内部で切り替えます。

この切り替えの利点は、パワーダウン・モード中でもデバイスの出力インピーダンスが既知であることです。表6に示されるように、3つの異なるパワーダウン・オプションがあります。 V_{OUT} は、内部で1k Ω または100k Ω の抵抗を介してGNDに接続するか、またはオープン(ハイ・インピーダンス)にできます。出力段を図96に示します。DB16、DB15、DB14 = ‘111’である場合は、選択されたチャンネルの出力がハイ・インピーダンスであるパワーダウン条件を表しています。‘101’は出力インピーダンスが1k Ω のパワーダウン条件、‘110’は出力インピーダンスが100k Ω のパワーダウン条件を表しています。

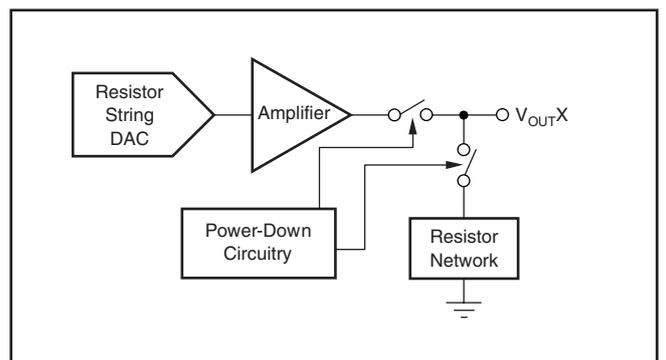


図 96. パワーダウン中の出力段

パワーダウン・モードに入ると、すべてのアナログ・チャンネル回路がシャットダウンされます。ただし、DACレジスタの内容はパワーダウン中も保持します。パワーダウン・モードからパワーアップにかかるtyp時間は、 $V_{\text{DD}} = 5\text{V}$ の場合は2.5 μs 、 $V_{\text{DD}} = 3\text{V}$ の場合は5 μs です。詳細については、「代表的特性」を参照してください。

動作例：DAC8564

以下の例では、DACのピンA0およびA1が両方ともグランドに接続されている必要があります。ピンA0およびA1は、SPI書き込みシーケンス/プロトコル内のデータ・ビットDB22およびDB23と常に一致する必要があります。XはDon't careビットで、値は '0' と '1' のいずれでもかまいません。

例1：データ・バッファA～Dに書き込み、DAC A～Dに同時にロード

- 1回目：データ・バッファAに書き込み：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	0	0	0	0	0	D15	D14	D13	D12	D11-D0

- 2回目：データ・バッファBに書き込み：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	0	0	0	1	0	D15	D14	D13	D12	D11-D0

- 3回目：データ・バッファCに書き込み：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	0	0	1	0	0	D15	D14	D13	D12	D11-D0

- 4回目：データ・バッファDに書き込み、同時にすべてのDACを更新：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	1	0	0	1	1	0	D15	D14	D13	D12	D11-D0

4回目の書き込みシーケンスの完了後、DAC A、DAC B、DAC C、およびDAC Dのアナログ出力が同時に、指定された値に設定されます。(4回目の書き込みサイクルの24回目のSCLK立ち下がりエッジの後、各DAC電圧が同時に更新されます。)

例2：DAC A～DAC Dにシーケンシャルに新しいデータをロード

- 1回目：データ・バッファAに書き込み、DAC Aにロード：完了後、DAC Aの出力が指定値になります：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	1	0	0	0	0	D15	D14	D13	D12	D11-D0

- 2回目：データ・バッファBに書き込み、DAC Bにロード：完了後、DAC Bの出力が指定値になります：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	1	0	0	1	0	D15	D14	D13	D12	D11-D0

- 3回目：データ・バッファCに書き込み、DAC Cにロード：完了後、DAC Cの出力が指定値になります：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	1	0	1	0	0	D15	D14	D13	D12	D11-D0

- 4回目：データ・バッファDに書き込み、DAC Dにロード：完了後、DAC Dの出力が指定値になります：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	1	0	1	1	0	D15	D14	D13	D12	D11-D0

各書き込みサイクルの完了後に、DACのアナログ出力が指定された電圧に設定されます。

例3：DAC AおよびBに1kΩを接続しパワーダウン、DAC CおよびDに100kΩを接続しパワーダウン

- 1回目：データ・バッファAにパワーダウン・コマンドを書き込み：DAC Aを1kΩ。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	0	0	0	0	1	0	1	X	X	X

- 2回目：データ・バッファBにパワーダウン・コマンドを書き込み：DAC Bを1kΩ。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	0	0	0	1	1	0	1	X	X	X

- 3回目：データ・バッファCにパワーダウン・コマンドを書き込み：DAC Cを100kΩ。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	0	0	1	0	1	1	0	X	X	X

- 4回目：データ・バッファDにパワーダウン・コマンドを書き込み：DAC Dを100kΩ、同時にすべてのDACを更新。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	1	0	0	1	1	1	1	0	X	X	X

4回目の書き込みシーケンスの完了後、DAC A、DAC B、DAC C、およびDAC Dのアナログ出力が同時に、それぞれ指定されたパワーダウン・モードに設定されます。

例4：DAC A～DAC Dをシーケンシャルに出力をハイ・インピーダンスにしてパワーダウン

- 1回目：データ・バッファAにパワーダウン・コマンドを書き込み、DAC Aにロード：DAC A出力 = Hi-Z：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	1	0	0	0	1	1	1	X	X	X

- 2回目：データ・バッファBにパワーダウン・コマンドを書き込み、DAC Bにロード：DAC B出力 = Hi-Z：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	1	0	0	1	1	1	1	X	X	X

- 3回目：データ・バッファCにパワーダウン・コマンドを書き込み、DAC Cにロード：DAC C出力 = Hi-Z：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	1	0	1	0	1	1	1	X	X	X

- 4回目：データ・バッファDにパワーダウン・コマンドを書き込み、DAC Dにロード：DAC D出力 = Hi-Z：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	1	0	1	1	1	1	1	X	X	X

1回目、2回目、3回目、4回目の各書き込みシーケンスの完了後、DAC A、DAC B、DAC C、DAC Dのアナログ出力がそれぞれハイ・インピーダンスになりパワーダウンします。

例5：リファレンスを常時オンにして、すべてのチャンネルを同時にパワーダウン

- 1回目：DAC8564内部リファレンスを常時イネーブルにするための書き込みシーケンス：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	0	0	0	0	1	0	0	0	1	X

- 2回目：すべてのDACをハイ・インピーダンスにパワーダウンするための書き込みシーケンス：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	1	1	0	1	0	1	1	1	X	X	X

1回目と2回目の各書き込みシーケンスの完了後、DAC A、DAC B、DAC C、DAC Dのアナログ出力がそれぞれハイ・インピーダンスになりパワーダウンします。

例6：リファレンスを常時パワーダウンにして、すべてのDACに特定の値を書き込み

- 1回目：DAC8564の内部リファレンスを常時ディセーブルにするための書き込みシーケンス
(このシーケンスの後、DAC8564の動作には外部リファレンス・ソースが必要)：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	0	0	0	0	1	0	0	1	0	X

- 2回目：すべてのDACに指定されたデータを書き込むための書き込みシーケンス：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	1	1	0	1	0	0	D15	D14	D13	D12	D11-D0

2回目の書き込みシーケンスの完了後、DAC A、DAC B、DAC C、およびDAC Dのアナログ出力が同時に、指定された値に設定されます。(2回目の書き込みサイクルの24回目のSCLK立ち下がりエッジの後、各DAC電圧が同時に更新されます。)リファレンスは常時パワーダウン状態です。

例7：DAC Aのリファレンスをデフォルト・モードにし、他の全DACは出力をハイ・インピーダンスにしてパワーダウンしてDAC Aに特定の値を書き込み

- 1回目：DAC8564内部リファレンスをデフォルト・モードにするための書き込みシーケンス。もしくは、このステップはパワーオン・リセットの実行に置き換えることができる(「パワーオン・リセット」の項を参照)：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	0	0	0	0	1	0	0	0	0	X

- 2回目：すべてのDACに出力をハイ・インピーダンスにし、パワーダウンするための書き込みシーケンス
(このシーケンスの後、DAC8564の内部リファレンスは自動的にパワーダウンされる)：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	1	1	0	1	0	1	1	1	X	X	X

- 3回目：DAC Aをパワーアップし、特定の値を書き込むシーケンス
(このシーケンスの後、DAC8564の内部リファレンスが自動的にパワーアップされる)：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB0
0	0	0	1	0	0	0	0	D15	D14	D13	D12	D11-D0

完了後、DAC B、DAC C、DAC Dのアナログ出力が同時にハイ・インピーダンスになりパワーダウンし、DAC Aは指定された値に設定されます。

アプリケーション情報

内部リファレンス

DAC8564の内部リファレンスは、どのような容量性負荷に対しても安定であるため、安定化のための外部負荷コンデンサを必要としません。ただし、ノイズ性能を向上させるために、150nF以上の外部負荷コンデンサをV_{REFH}/V_{REFOUT}出力に接続することを推奨します。図97に、DAC8564の内部リファレンスの動作に必要な標準的な接続を示します。AV_{DD}入力に電源バイパス・コンデンサを接続することも推奨します。

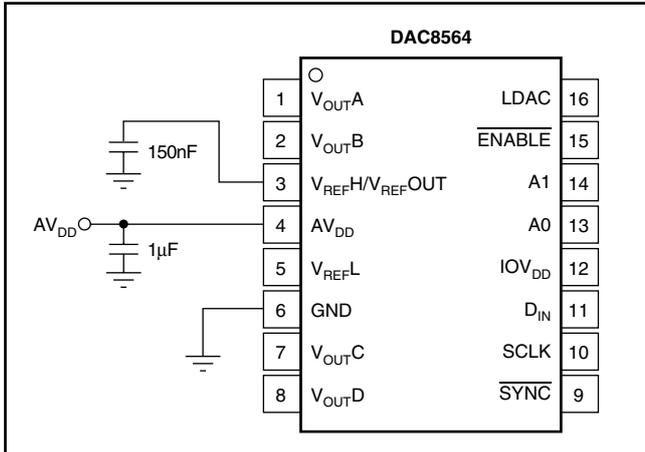


図 97. DAC8564の内部リファレンス動作の代表的接続

電源電圧

内部リファレンスのドロップアウト電圧は非常に低く、無負荷状態でリファレンス出力電圧よりわずかに5mV高い電源で動作します。負荷を接続した場合については、「負荷レギュレーション」の項を参照してください。電源電圧の変動に対する内部リファレンスの安定性(ラインレギュレーション、DC PSRR)も非常に優れています。規定の電源電圧範囲内(2.7V~5.5V)において、V_{REFH}/V_{REFOUT}での変動は10μV/V未満です。「代表的特性」を参照してください。

温度ドリフト

内部リファレンスはドリフト誤差を最小限にするよう設計されています。ドリフト誤差は、温度の変化に対するリファレンス出力電圧の変化として定義されます。ドリフトは、式(2)で表されるボックス法を用いて計算されます。

$$\text{ドリフト誤差} = \left(\frac{V_{\text{REF_MAX}} - V_{\text{REF_MIN}}}{V_{\text{REF}} \times T_{\text{RANGE}}} \right) \times 10^6 \text{ (ppm/}^\circ\text{C)} \quad (2)$$

ここで

V_{REF_MAX} = 温度範囲T_{RANGE}内で測定される最大のリファレンス電圧

V_{REF_MIN} = 温度範囲T_{RANGE}内で測定される最小のリファレンス電圧

V_{REF} = 2.5V (リファレンス出力電圧の目標値)

内部リファレンス(グレードCおよびD)の標準ドリフト係数は、-40°C~+120°Cの範囲で2ppm/°Cと非常に優れています。多数のユニットを特性評価したところ、ドリフト係数の最大は5ppm/°C(グレードCおよびD)でした。温度ドリフトの結果は、「代表的特性」にまとめられています。

ノイズ性能

図8(内部リファレンス・ノイズ)では、通常0.1Hz~10Hzの電圧ノイズが見られます。フィルタを追加することで出力ノイズレベルを改善できますが、フィルタの出力インピーダンスによってAC性能が低下しないように注意する必要があります。図7(内部リファレンス・ノイズ密度対周波数)には、外部部品がない場合のV_{REFH}/V_{REFOUT}出力ノイズ・スペクトルを示しています。図7には、別のノイズ密度スペクトルも示されています。これは、ノイズ・フィルタとしてV_{REFH}/V_{REFOUT}に4.8μFの負荷コンデンサを使用した場合のスペクトルです。内部リファレンス・ノイズは、DAC出力ノイズに影響を与えます。詳細については、「DACのノイズ性能」を参照してください。

負荷レギュレーション

負荷レギュレーションは、負荷電流の変化によるリファレンス出力電圧の変化として定義されます。内部リファレンスの負荷レギュレーションは、図98に示されるようなフォースおよびセンス結線により測定します。これらのフォース・ラインとセンス・ラインは、接触抵抗およびトレース抵抗の影響を低減するので、内部リファレンスを要因とする負荷レギュレーションのみを正確に測定することができます。測定結果は、「代表的特性」にまとめられています。負荷レギュレーションの向上が必要なアプリケーションでは、フォース・ラインおよびセンス・ラインを使用する必要があります。

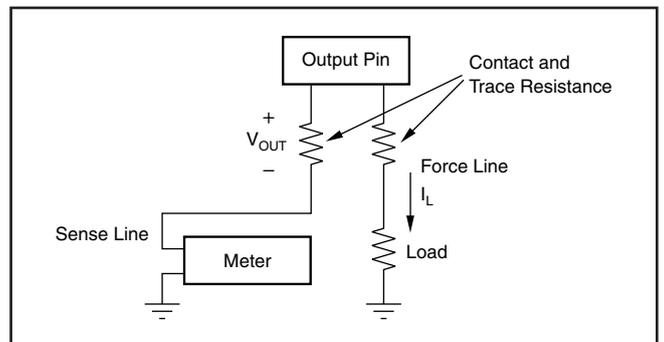


図 98. DAC8564の内部リファレンスの負荷レギュレーション測定方法

長期安定性

長期安定性/エージングとは、数ヶ月間または数年間という期間でのリファレンス出力電圧の変化を示すものです。この影響は、時間がたつにつれて低下します(代表的特性、図6の長時間安定度/ドリフトを参照)。内部リファレンスの標準的なドリフト値は、0~1900時間の期間で50ppmです。このパラメータは、1900時間にわたり、20個のユニットの電源投入と測定を定期的な間隔で繰り返すことで求めています。

熱ヒステリシス

リファレンスの熱ヒステリシスとは、デバイスを+25°Cで稼働させ、その後指定された温度範囲を通過させてから、再び+25°Cに戻した後の、出力電圧の変化として定義されます。ヒステリシスは式(3)で表されます。

$$V_{\text{HYST}} = \left[\frac{|V_{\text{REF_PRE}} - V_{\text{REF_POST}}|}{V_{\text{REF_NOM}}} \right] \times 10^6 \text{ (ppm/}^\circ\text{C)} \quad (3)$$

ここで

V_{HYST} = 熱ヒステリシス

$V_{\text{REF_PRE}}$ = 温度サイクル前に+25°Cで測定した出力電圧

$V_{\text{REF_POST}}$ = -40°C~+120°Cの温度範囲通過後、デバイスを+25°Cに戻した後に測定した出力電圧

DACのノイズ性能

内部リファレンスがイネーブルのときのDAC8564の代表的ノイズ性能を図54~図56に示します。図54には、周波数に対するVOUTピンの出力ノイズ・スペクトル密度を、フルスケール、中間スケール、およびゼロ・スケールの入力コードについて示しています。中間スケール・コードに対する標準ノイズ密度は、1kHzで $120\text{nV}/\sqrt{\text{Hz}}$ 、1MHzで $100\text{nV}/\sqrt{\text{Hz}}$ です。図55に示すように、リファレンス・ノイズをフィルタリングすることで高周波ノイズを改善できます。ここでは、 $4.8\mu\text{F}$ の負荷コンデンサを $V_{\text{REFH}}/V_{\text{REFOUT}}$ ピンに接続し、無負荷状態の場合と比較しています。図56に示されるように、 0.1Hz ~ 10Hz での合計ノイズは約 $6\mu\text{V}_{\text{PP}}$ (中間スケール)です。

DAC8564を使用したバイポーラ動作

DAC8564は、単電源動作に設計されていますが、図99または図100に示す回路を使用して、出力範囲をバイポーラとすることもできます。この回路の出力電圧範囲は、 $\pm V_{\text{REF}}$ です。OPA703を出力アンプとして使用することにより、アンプ出力でレール・ツー・レール動作を実現できます。

与えられた入力コードに対する出力電圧は、式(4)で計算できます。

$$V_O = \left[V_{\text{REF}} \times \left[\frac{D}{65536} \right] \times \left[\frac{R_1 + R_2}{R_1} \right] - V_{\text{REF}} \times \left[\frac{R_2}{R_1} \right] \right] \quad (4)$$

ここで、Dは入力コードを10進数で表した値です(0~65535)。 $V_{\text{REFH}} = 5\text{V}$ 、 $R_1 = R_2 = 10\text{k}\Omega$ の場合は、次のようになります。

$$V_O = \left[\frac{10 \times D}{65536} \right] - 5\text{V} \quad (5)$$

図99に示されるように、この出力範囲は $\pm 5\text{V}$ であり、0000hが出力-5V、FFFFhが出力+5Vに対応します。同様に、内部リファレンスを使用する場合は、図100に示すように、 $\pm 2.5\text{V}$ の出力電圧範囲が得られます。

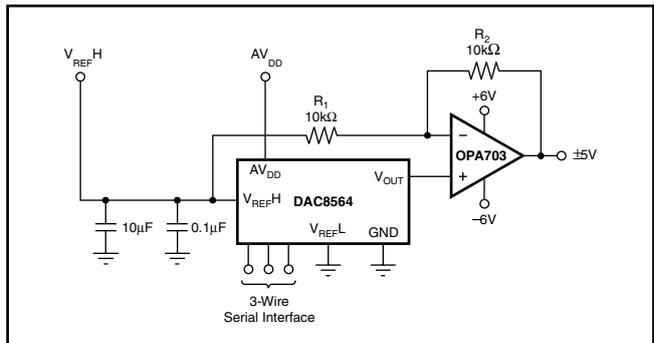


図 99. 5Vの外部リファレンスを使用した場合のバイポーラ出力範囲

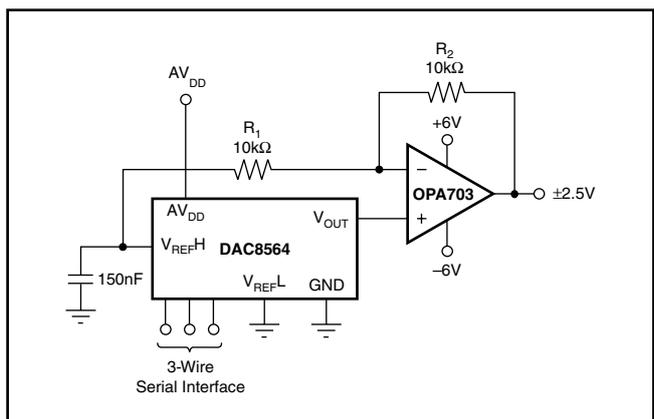


図 100. 内部リファレンスを使用した場合のバイポーラ出力範囲

マイクロプロセッサとのインターフェイス

DAC8564から8051へのインターフェイス

図101に、DAC8564から標準的な8051タイプのマイクロコントローラへのシリアル・インターフェイスを示します。このインターフェイスの構成は次のとおりです。8051のTXDがDAC8564のSCLKを駆動し、RXDがシリアル・データ・ラインを駆動します。 $\overline{\text{SYNC}}$ 信号は、8051のポート上のビット・プログラミング可能なピンから供給されます。この例では、ポートP3.3を使用しています。DAC8564にデータを送信するときには、P3.3を“Low”にします。8051は8ビット・バイトでデータを送信するため、送信サイクルでは立ち下がりクロック・エッジが8回しか発生しません。DACにデータをロードするために、最初の8ビットの送信後P3.3を“Low”に維持します。その後、データの2番目のバイトを送信するために次の書き込みサイクルが開始されます。3回目の書き込みサイクルの完了後、P3.3を“High”にします。8051は、シリアル・データをLSBファースト形式で出力します。一方、DAC8564は、最初のビットとしてMSBを受け取る必要があります。したがって、8051の送信ルーチンはこれを考慮し、必要に応じてデータの順序を逆転させる必要があります。

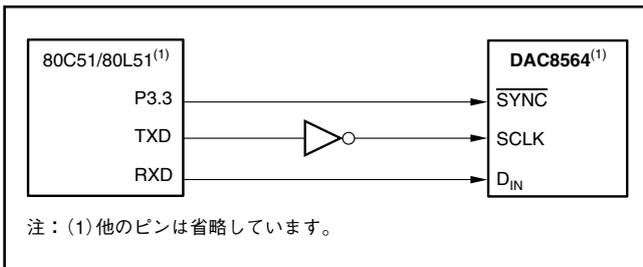


図 101. DAC8564から80C51/80L51へのインターフェイス

DAC8564からMicrowireへのインターフェイス

図102は、DAC8564と任意のMicrowire互換デバイス間のインターフェイスを示しています。シリアル・クロックの立ち下がりエッジでシリアル・データをシフト・アウトし、SK信号の立ち上がりエッジでDAC8564に取り込みます。

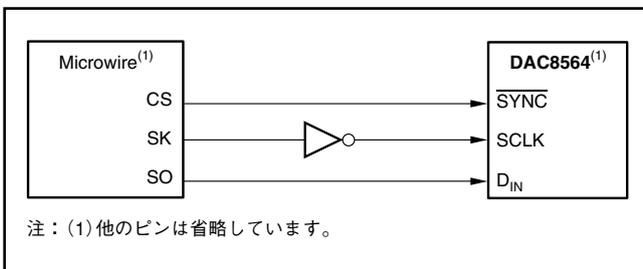


図 102. DAC8564からMicrowireへのインターフェイス

DAC8564から68HC11へのインターフェイス

図103に、DAC8564と68HC11マイクロコントローラ間のシリアル・インターフェイスを示します。68HC11のSCKがDAC8564のSCLKを駆動し、MOSI出力がDACのシリアル・データ・ラインを駆動します。8051の場合と同様に、 $\overline{\text{SYNC}}$ 信号はポート(PC7)から供給します。

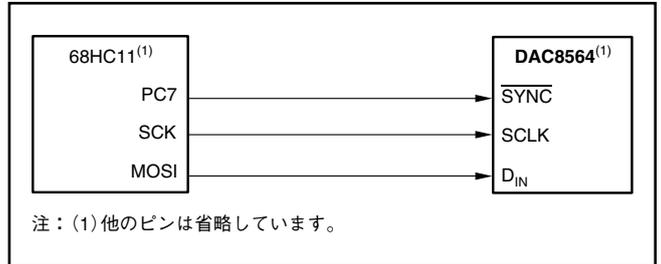


図 103. DAC8564から68HC11へのインターフェイス

68HC11では、CPOLビットを‘0’およびCPHAビットを‘1’に設定する必要があります。この設定により、MOSIの出力データがSCKの立ち下がりエッジで有効になります。DACにデータを送信するときには、 $\overline{\text{SYNC}}$ ラインを“Low”にします(PC7)。68HC11からのシリアル・データは8ビット・バイトで送信されるため、送信サイクルでは立ち下がりクロック・エッジが8回しか発生しません。(データは、MSBファーストで送信されます)。DAC8564にデータをロードするために、最初の8ビットの送信後PC7は“Low”に維持します。その後、DACに対して2回目および3回目の書き込み動作が行われます。この手順の終了後、PC7を“High”にします。

レイアウト

高精度のアナログ部品に対しては、注意深いレイアウトと、適切なバイパス、およびクリーンで十分にレギュレーションされた電源が必要です。

DAC8564は単電源動作が可能であり、多くの場合、デジタル・ロジック、マイクロコントローラ、マイクロプロセッサ、デジタル信号プロセッサの近くで使用されます。設計に含まれるデジタル・ロジックが増え、スイッチング速度が大きくなるにつれ、出力に現れるデジタル・ノイズを除去せずにおくことが難しくなります。

DAC8564はグランド・ピンが1本であるため、すべてのリターン電流(DACのデジタルおよびアナログ・リターン電流を含む)が1点を通して流れる必要があります。理想的には、GNDをアナログ・グランド・プレーンに直接接続します。このプレーンは、デジタル部品がシステムの電源入力ポイントに接続されるまで、デジタル部品のグランドから切り離されている必要があります。

V_{DD} に印加する電源は、適切にレギュレーションされ、低ノイズである必要があります。スイッチング電源やDC/DCコン

バータの場合、出力電圧に高周波グリッチやスパイクが見られることが多くあります。また、デジタル部品はその内部ロジック状態が変化するとき、同様な高周波スパイクを発生させる場合があります。このノイズは、電源接続とアナログ出力との間のさまざまな経路を通じてDACの出力電圧に容易に混入します。

GND接続と同様に、V_{DD}を接続する電源プレーンまたはトレースは、電源入力ポイントに接続されるまでデジタル・ロジックの接続から切り離されている必要があります。それに加えて、1 μ F~10 μ Fのコンデンサおよび0.1 μ Fのバイパス・コンデンサを使用することを強く推奨します。状況によっては、さらにバイパスが必要な場合もあります。100 μ Fの電解コンデンサや、場合によってはインダクタとコンデンサで構成される π フィルタが必要になります。基本的に、これらはすべて電源から高周波ノイズを除去するためのローパス・フィルタとして使用します。

パラメータの定義

製品データシートには多くの異なる仕様が含まれ複雑さが増しているため、ここでは、DAコンバータに関連する主要な仕様についてまとめています。

静的特性 (DC特性)

静的特性パラメータには、微分非直線性 (DNL) や積分非直線性 (INL) などの仕様が含まれます。これらはDC仕様であり、DACの精度に関する情報を提供します。これらのパラメータは、信号が低速で変化し、正確さが要求されるアプリケーションで最も重要となります。

分解能

一般に、DACの分解能はいくつかの異なる形式で表現できます。IEC 60748-4などの仕様では、数値分解能、アナログ分解能、および相対分解能が使用されます。数値分解能は、転送特性の全ステップ数を表現するために必要な、選択された記数法の桁数として定義されます。ここでステップとは、デジタル入力コードおよび対応する離散したアナログ出力値の両方を表します。データシートに記載される最も一般的な分解能の定義は、ビットで表現された数値分解能です。

最下位ビット (LSB)

最下位ビット (LSB) は、2進符号化における最小の値として定義されます。LSBの値は、フルスケール出力電圧を2ⁿで割ることにより求められます。nはコンバータの分解能です。

最上位ビット (MSB)

最上位ビット (MSB) は、2進符号化における最大の値として定義されます。MSBの値は、フルスケール出力電圧を2で割ることにより求められます。つまり、フルスケールの1/2となります。

相対精度または積分非直線性 (INL)

相対精度または積分非直線性 (INL) は、実際の出力曲線と、理想的なDAC出力直線との間の、最大偏差として定義されます。DNLはLSB単位で測定されます。

微分非直線性 (DNL)

微分非直線性 (DNL) は、理想的な1LSBステップからの実際のLSBステップの最大偏差として定義されます。理想的には、任意の2つの隣接するデジタル・コードが、正確に1LSBだけ離れた出力アナログ電圧に対応します。DNLが1LSB ($\pm 1/2$ LSB) 未満の場合、DACは“単調”となります。

フルスケール誤差

フルスケール誤差は、DACのレジスタにフルスケール・コード (0xFFFF) をロードしたときの、理想的な出力電圧に対する実際のフルスケール出力電圧の偏差として定義されます。理想的には、出力はV_{DD} - 1LSBとなります。フルスケール誤差は、フルスケール範囲に対するパーセンテージ (%FSR) で表されます。

オフセット誤差

オフセット誤差は、伝達関数の直線領域における実際の出力電圧と理想的な出力電圧の差として定義されます。この差は、2つのコード (コード485および64714) で定義される直線を使って求められます。オフセット誤差は直線によって定義されるため、負または正の値を持ちます。オフセット誤差の単位はmVです。

ゼロ・コード誤差

ゼロ・コード誤差は、DACのレジスタにオール '0' がロードされたときのDAC出力電圧として定義されます。ゼロ・コード誤差は、実際の出力電圧と理想的な出力電圧 (0V) との差を示すものです。単位はmVです。この誤差は、主に出力アンプ内のオフセットによって生じます。

ゲイン誤差

ゲイン誤差は、理想的な伝達関数からの実際のDAC伝達特性勾配の偏差として定義されます。ゲイン誤差は、フルスケール範囲に対するパーセンテージ (%FSR) で表されます。

フルスケール誤差ドリフト

フルスケール誤差ドリフトは、温度の変化によって生じるフルスケール誤差の変化として定義されます。単位は%FSR/°Cです。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度の変化によって生じるオフセット誤差の変化として定義されます。単位は μ V/°Cです。

ゼロ・コード誤差ドリフト

ゼロ・コード誤差ドリフトは、温度の変化によって生じるゼロ・コード誤差の変化として定義されます。単位は $\mu\text{V}/^\circ\text{C}$ です。

ゲイン温度係数

ゲイン温度係数は、温度の変化によって生じるゲイン誤差の変化として定義されます。ゲイン温度係数は、FSR/ $^\circ\text{C}$ のppmで表されます。

電源除去比 (PSRR)

電源除去比 (PSRR) は、DACのフルスケール出力時の、電源電圧の変化に対する出力電圧の変化の比として定義されます。デバイスのPSRRは、DACの出力が電源電圧の変化によってどの程度影響を受けるかを示します。PSRRの単位はデシベル (dB) です。

単調性

単調性は、符号が変化しない勾配として定義されます。DACが単調である場合、入力コード内の各増加(または減少)ステップに対して、出力は常に同じ方向に変化するか、または少なくとも一定に保持されます。

動的特性 (AC特性)

動的特性パラメータは、セトリング・タイムやスルーレートなどの仕様です。これらのパラメータは、信号が高速で変化するアプリケーションや、高周波信号が存在するアプリケーションで重要です。

スルーレート

アンプまたは他の電子回路の出力スルーレート (SR) は、すべての可能な入力信号に対する出力電圧の最大変化速度として定義されます。

$$\text{SR} = \max \left(\left| \frac{\Delta V_{\text{OUT}}(t)}{\Delta t} \right| \right)$$

ここで $\Delta V_{\text{OUT}}(t)$ は、アンプから生成される出力で、時間 t の関数です。

出力電圧セトリング・タイム

セトリング・タイムは、入力の変化後に、DAC出力がその最終値の特定の誤差幅以内まで安定するのにかかる合計時間 (スルー時間を含む) です。セトリング・タイムは、フルスケール範囲 (FSR) の $\pm 0.003\%$ 以内 (もしくは規定値が設定されている) として規定されています。

コード変化/デジタル-アナログ-グリッチ・エネルギー

デジタル-アナログ-グリッチ・インパルスは、DACレジスタ内の入力コードの状態が変化したときに、アナログ出力に注入されるインパルスです。これは通常、ナノボルト秒 (nV-s) 単位のグリッチ面積として表され、デジタル入力コードが主キャリア遷移で1LSB変化(0x7FFFから0x8000)するときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DACのデジタル入力から見た、DACの出力におけるインパルスとして定義されます。これは、DAC出力が更新されないときに測定されます。単位はnV-sであり、データ・バス上でのフルスケールのコード変化、つまりオール '0' からオール '1' (またはその逆) のときに測定されます。

チャンネル間DCクロストーク

チャンネル間DCクロストークは、1つのDACチャンネルの出力の変化に対する、別のDACチャンネルの出力レベルのDC変化として定義されます。これは、一方のDACチャンネルを中間スケールに保持しながら、他のDACチャンネルにフルスケール出力変化を与えることで測定されます。単位はLSBです。

チャンネル間ACクロストーク

マルチチャンネルDACのACクロストークは、あるチャンネルの出力値が周波数 f で変化したときに隣接チャンネルの出力に現れる、周波数 f (およびその高調波) のAC干渉量として定義されます。これは、あるチャンネルの出力を周波数1KHzの正弦波で発振させながら、隣接DACチャンネル出力 (ゼロ・スケールに保持) 上の1KHz高調波の振幅を監視することで測定されます。単位はdBです。

信号対雑音比 (SNR)

信号対雑音比 (SNR) は、出力信号の相乗平均 (RMS) 値を、出力周波数の1/2未満の他のすべてのスペクトル成分 (高調波とDCを除く) の和のRMS値で割った比として定義されます。単位はdBです。

全高調波歪 (THD)

全高調波歪 + ノイズは、基本周波数の値に対する、高調波とノイズのRMS値の比として定義されます。これは、サンプリング・レートが f_s のときの基本周波数振幅に対するパーセンテージで表されます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

スプリアスフリー・ダイナミック・レンジ (SFDR) は、スプリアス・ノイズによって基本波信号が干渉を受けたり歪んだりすることのないDACのダイナミック・レンジです。SFDRは、DCからフル・ナイキスト帯域幅 (DACサンプリング・レートの1/2、つまり $f_s/2$) までの高調波または非高調波の最大スパークの振幅と、基本波の振幅との差を表します。スパークとは、スペクトル・アナライザまたはフーリエ変換で確認される、DACのアナログ出力の任意の周波数成分です。SFDRは、dB_c (搬送波に対するdB) 単位で表されます。

信号対雑音 + 歪 (SINAD)

SINADでは、内部のランダム・ノイズ電力の量子化に加えて、すべての高調波および顕著なスプリアス成分が、出力ノイズ電力の定義に含まれます。SINADは、指定された入力周波数およびサンプリング・レート f_s に対してdBで表されます。

DAC出力ノイズ密度

出力ノイズ密度は、内部で発生したランダム・ノイズとして定義されます。ランダム・ノイズは、スペクトル密度 (nV/\sqrt{Hz}) として定義されます。この値は、DACに中間スケールの負荷を与えて出力のノイズを測定することにより得られます。

DAC出力ノイズ

DAC出力ノイズは、DAC出力における目的の値からの任意の電圧偏差として定義されます (特定の周波数帯域内)。この値は、DACチャネルを中間スケールに保持しながら、出力電圧を0.1Hz~10Hzの帯域内にフィルタリングし、その振幅ピークを測定することで得られます。DAC出力ノイズはピーク・ツー・ピーク電圧 (V_{pp}) で表されます。

フルスケール範囲 (FSR)

フルスケール範囲 (FSR) は、DACが提供するように規定されている最大アナログ出力値と最小アナログ出力値との差です。一般には、最大値と最小値も指定されます。nビットDACの場合、これらの値は通常、コード0および 2^n-1 に一致する値として与えられます。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
DAC8564IAPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564IAPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564IAPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564IAPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564IBPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564IBPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564IBPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564IBPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564ICPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564ICPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564ICPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564ICPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564IDPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564IDPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564IDPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8564IDPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE : 製品デバイスが新規設計用に推奨されています。

LIFEBUY : TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND : 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW : デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBsolete : TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD : Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS) : TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt) : この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

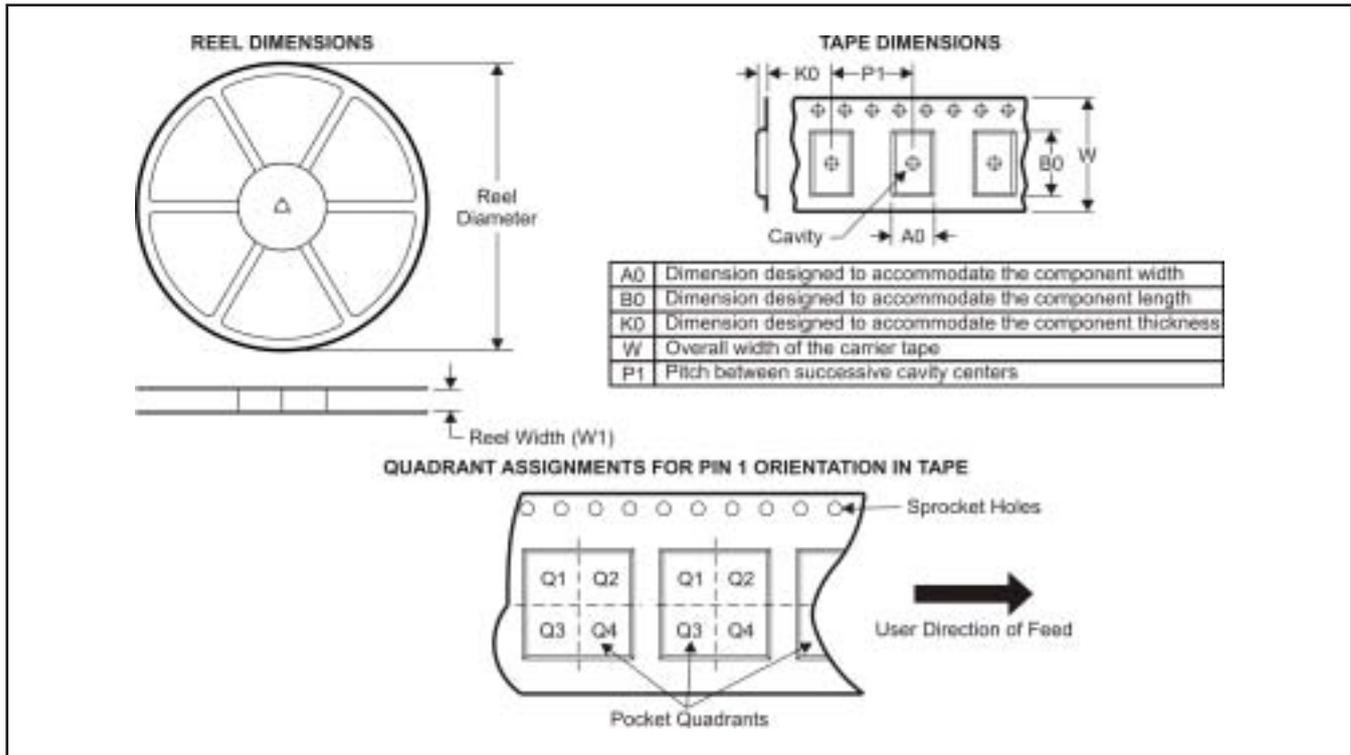
Green (RoHS & no Sb/Br) : TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項 : このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DAC8564IAPWR	TSSOP	PW	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1
DAC8564IBPWR	TSSOP	PW	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1
DAC8564ICPWR	TSSOP	PW	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1
DAC8564IDPWR	TSSOP	PW	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1

パッケージ・マテリアル情報



*All dimensions are nominal

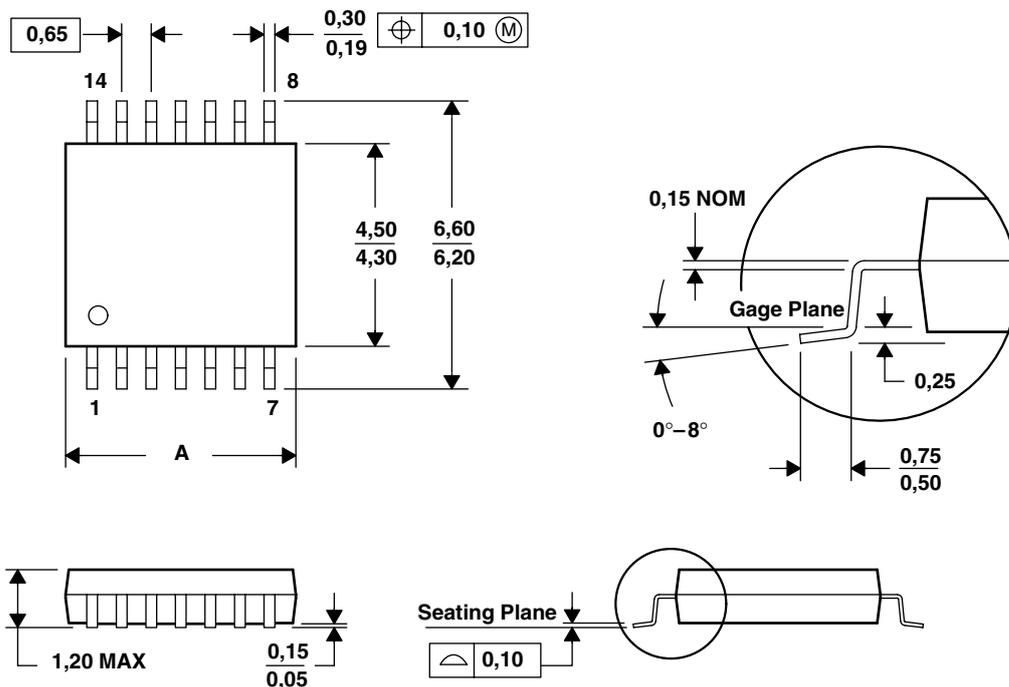
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DAC8564IAPWR	TSSOP	PW	16	2000	346.0	346.0	29.0
DAC8564IBPWR	TSSOP	PW	16	2000	346.0	346.0	29.0
DAC8564ICPWR	TSSOP	PW	16	2000	346.0	346.0	29.0
DAC8564IDPWR	TSSOP	PW	16	2000	346.0	346.0	29.0

メカニカル・データ

PW (R-PDSO-G**)

14 PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



PINS **	8	14	16	20	24	28
DIM						
A MAX	3,10	5,10	5,10	6,60	7,90	9,80
A MIN	2,90	4,90	4,90	6,40	7,70	9,60

4040064/F 01/97

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 本体寸法には0.15以下のバリや突起を含みません。
 D. JEDEC MO-153に適合しています。

(SBAS403B)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIJの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認を意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIJのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIJの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIJの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2008, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上