

1.8V~5.5V、80 μ A、14/16ビット、低電力、単チャンネル D/Aコンバータ (SC70パッケージ)

特長

- 相対精度：
 - 1 LSB INL (DAC8311 : 14ビット)
 - 4 LSB INL (DAC8411 : 16ビット)
- microPower動作 : 1.8Vで80 μ A
- パワーダウン : 5Vで0.5 μ A、1.8Vで0.1 μ A
- 幅広い電源範囲 : +1.8V ~ +5.5V
- ゼロスケールへのパワーオン・リセット
- ストレート・バイナリ・データ形式
- シュミット・トリガ入力の低電力シリアル・インターフェイス : 最大50MHz
- レール・ツー・レール出力のバッファ・アンプ内蔵
- SYNC割り込み機能
- 拡張温度範囲 : -40°C ~ +125°C
- 小型の6ピンSC70パッケージで供給されるピン互換ファミリー

アプリケーション

- 携帯用バッテリー駆動機器
- プロセス制御
- デジタル式ゲインおよびオフセット調整
- プログラマブル電圧/電流源

関連デバイス	16ビット	14ビット	12ビット	10ビット	8ビット
ピンおよび機能互換	DAC8411	DAC8311	DAC7311	DAC6311	DAC5311

SPI, QSPIは、Motorola社の登録商標です。
MICROWIREは、National Semiconductor社の登録商標です。
すべての商標および登録商標は、それぞれの所有者に帰属します。

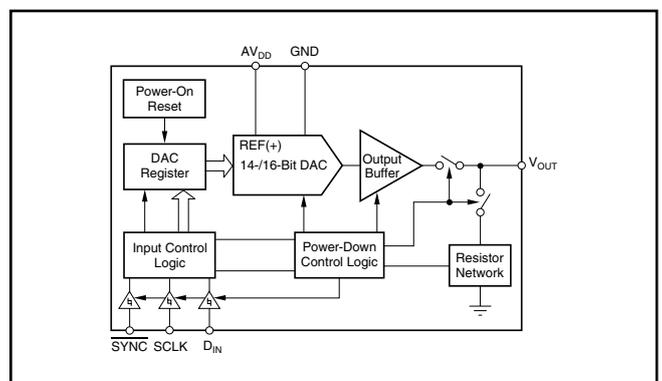
この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

概要

DAC8311 (14ビット) およびDAC8411 (16ビット) は、低電力、単一チャンネルの電圧出力D/Aコンバータ (DAC) です。優れた直線性を持ち、コード間の過渡電圧が抑制されています。また、ピン互換のファミリー内で容易にアップグレードできます。最大50MHzのクロック速度で動作する多用途な3線式シリアル・インターフェイスをこれらのデバイスは備えており、標準のSPI™、QSPI™、Microwire™、およびデジタル信号処理プロセッサ (DSP) のインターフェイスと互換性があります。

すべてのデバイスは、外部電源をリファレンス電圧として出力レンジを設定できます。内蔵のパワーオン・リセット (POR) 回路により、DAC出力は0Vで起動し、デバイスへの有効な書き込みが行われるまでその状態を保持します。また、シリアル・インターフェイス経由でアクセスできるパワーダウン機能により、デバイスの消費電流がパワーダウン・モードで0.1 μ A (電源1.8V時) まで低減されます。通常動作時の消費電力が低いため、携帯用のバッテリー駆動機器に最適です。消費電力は5Vで0.55mWであり、パワーダウン・モードでは2.5 μ Wまで低減されます。

これらのデバイスは、DAC5311、DAC6311、およびDAC7311とピン互換であり、8/10/12ビットの分解能から14/16ビットへと容易にアップグレードできます。これらのデバイスは小型の6ピンSC70パッケージで供給されます。このパッケージは、-40°C~+125°Cの拡張温度範囲で、柔軟なピン/機能互換による直接置換えをファミリー内で実現できます。





静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

製品名	最大相対精度 (LSB)	最大微分非直線性 (LSB)	パッケージ-リード	パッケージ-コード	規定温度範囲	パッケージ 捺印
DAC8411	±8	±2	SC70-6	DCK	-40°C ~ 125°C	D84
DAC8311	±4	±1	SC70-6	DCK	-40°C ~ 125°C	D83

(1) 最新のパッケージ情報とご発注情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト (www.ti.com または www.tij.co.jp) をご覧ください。

絶対最大定格⁽¹⁾

パラメータ	値	単位
$AV_{DD} \sim GND$	-0.3 ~ +6	V
デジタル入力電圧 (対 GND)	-0.3 ~ $+AV_{DD} + 0.3$	V
AV_{OUT} (対 GND)	-0.3 ~ $+AV_{DD} + 0.3$	V
動作温度範囲	-40 ~ +125	°C
保存温度範囲	-65 ~ +150	°C
接合部温度 (T_{Jmax})	+150	°C
消費電力	$(T_{Jmax} - T_A) / \theta_{JA}$	
θ_{JA} 、熱インピーダンス	250	°C/W

(1) 絶対最大定格以上のストレスを加えると、恒久的な損傷を製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を及ぼすことがあります。

電気的特性

特に記述のない限り、 $AV_{DD} = +1.8V \sim +5.5V$ 、GNDに $R_L = 2k\Omega$ を接続、GNDに $C_L = 200pF$ を接続。

パラメータ		測定条件		DAC8411, DAC8311			単位
				MIN	TYP	MAX	
静的特性⁽¹⁾							
DAC8411	分解能	ビット		16			ビット
	相対精度	コード485および64714を通る直線によって測定	$AV_{DD} = 3.6V \sim 5V$	± 4	± 8		LSB
			$AV_{DD} = 1.8V \sim 3.6V$	± 4	± 12		
微分非直線性			± 0.5	± 2		LSB	
DAC8311	分解能			14			ビット
	相対精度	コード120および16200を通る直線によって測定		± 1	± 4		LSB
	微分非直線性			± 0.125	± 1		LSB
オフセット誤差	2つのコードを通る直線によって測定 ⁽²⁾			± 0.05	± 4		mV
オフセット誤差ドリフト				3			$\mu V/^\circ C$
ゼロコード誤差	DACレジスタにオール0をロード			0.2			mV
フルスケール誤差	DACレジスタにオール1をロード			0.04	0.2		%FSR
ゲイン誤差				± 0.05	± 0.15		%FSR
ゲイン温度係数	$AV_{DD} = +5V$			± 0.5			ppmFSR/ $^\circ C$
	$AV_{DD} = +1.8V$			± 1.5			
出力特性⁽³⁾							
出力電圧範囲				0	AV_{DD}		V
出力電圧セトリング・タイム	$R_L = 2k\Omega$, $C_L = 200pF$, $AV_{DD} = 5V$, 1/4スケール~3/4スケール			6	10		μs
	$R_L = 2M\Omega$, $C_L = 470pF$			12			μs
スルー・レート				0.7			V/ μs
容量性負荷安定度	$R_L = \infty$			470			pF
	$R_L = 2k\Omega$			1000			pF
コード書き換えによるグリッチ・インパルス	メジャー・キャリー付近の1LSBの変化			0.5			nV-s
デジタル・フィードスルー				0.5			nV-s
パワーオン・グリッチ・インパルス	$R_L = 2k\Omega$, $C_L = 200pF$, $AV_{DD} = 5V$			17			mV
DC出力インピーダンス				0.5			Ω
短絡電流	$AV_{DD} = +5V$			50			mA
	$AV_{DD} = +3V$			20			mA
起動時間	パワーダウン・モードからの復帰			50			μs
AC特性							
SNR				88			dB
THD	$T_A = +25^\circ C$, $BW = 20kHz$, 16ビット・レベル, $AV_{DD} = 5V$, $f_{OUT} = 1kHz$, 最初の19個の高調波を除いてSNRを計算			-66			dB
SFDR				66			dB
SINAD				66			dB
DAC出力ノイズ密度 ⁽⁴⁾	$T_A = +25^\circ C$, ゼロスケール入力, $f_{OUT} = 1kHz$, $AV_{DD} = 5V$			17			nV/\sqrt{Hz}
	$T_A = +25^\circ C$, ミッドコード入力, $f_{OUT} = 1kHz$, $AV_{DD} = 5V$			110			nV/\sqrt{Hz}
DAC出力ノイズ ⁽⁵⁾	$T_A = +25^\circ C$, ミッドコード入力, 0.1Hz ~ 10Hz, $AV_{DD} = 5V$			3			μV_{pp}

(1) 485~64714(16ビット) および120~16200(14ビット)の縮小したコード範囲で直線性を計算、出力は無負荷。

(2) コード485および64714(16ビット) またはコード120および16200(14ビット)を通る直線、出力は無負荷。

(3) 設計と特性により規定されていますが、出荷時試験は行っていません。

(4) 詳細については、図31を参照してください。

(5) 詳細については、図32を参照してください。

電気的特性

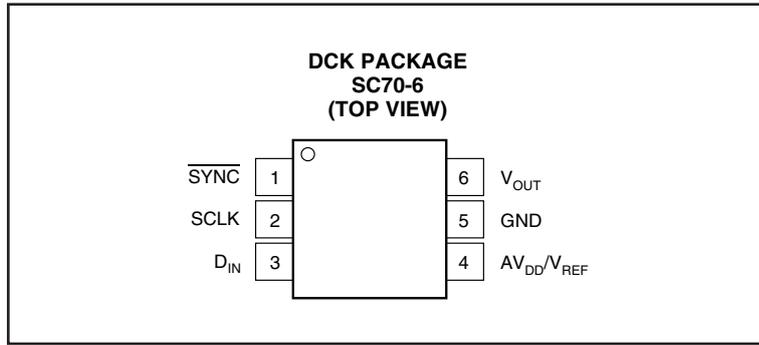
特に記述のない限り、 $AV_{DD} = +1.8V \sim +5.5V$ 、GNDに $R_L = 2k\Omega$ を接続、GNDに $C_L = 200pF$ を接続。

パラメータ		測定条件		DAC8411, DAC8311			単位	
				MIN	TYP	MAX		
ロジック入力 ⁽⁶⁾								
入力電流						±1	μA	
V_{INL} 、入力“Low”電圧		$AV_{DD} = +5V$				0.8	V	
		$AV_{DD} = +1.8V$				0.5	V	
V_{INH} 、入力“High”電圧		$AV_{DD} = +5V$		1.8			V	
		$AV_{DD} = +1.8V$		1.1			V	
ピン容量					1.5	3	pF	
電源								
AV_{DD}				1.8		5.5	V	
I_{DD}	通常モード	$V_{INH} = AV_{DD}$ および $V_{INL} = GND$ 、ミッドスケール・コード ⁽⁷⁾		$AV_{DD} = 3.6V \sim 5.5V$		110	160	μA
				$AV_{DD} = 2.7V \sim 3.6V$		95	150	
				$AV_{DD} = 1.8V \sim 2.7V$		80	140	
	すべての パワーダウン・モード	$V_{INH} = AV_{DD}$ および $V_{INL} = GND$ 、ミッドスケール・コード		$AV_{DD} = 3.6V \sim 5.5V$		0.5	3.5	μA
				$AV_{DD} = 2.7V \sim 3.6V$		0.4	3.0	
				$AV_{DD} = 1.8V \sim 2.7V$		0.1	2.0	
消費電力	通常モード	$V_{INH} = AV_{DD}$ および $V_{INL} = GND$ 、ミッドスケール・コード		$AV_{DD} = 3.6V \sim 5.5V$		0.55	0.88	mW
				$AV_{DD} = 2.7V \sim 3.6V$		0.25	0.54	
				$AV_{DD} = 1.8V \sim 2.7V$		0.14	0.38	
	すべての パワーダウン・モード	$V_{INH} = AV_{DD}$ および $V_{INL} = GND$ 、ミッドスケール・コード		$AV_{DD} = 3.6V \sim 5.5V$		2.50	19.2	μW
				$AV_{DD} = 2.7V \sim 3.6V$		1.08	10.8	
				$AV_{DD} = 1.8V \sim 2.7V$		0.72	8.1	
温度範囲								
規定特性				-40		+125	°C	

(6) 設計と特性により規定されていますが、製品テストは行っていません。

(7) 詳細については、図12、図53、図83を参照してください。

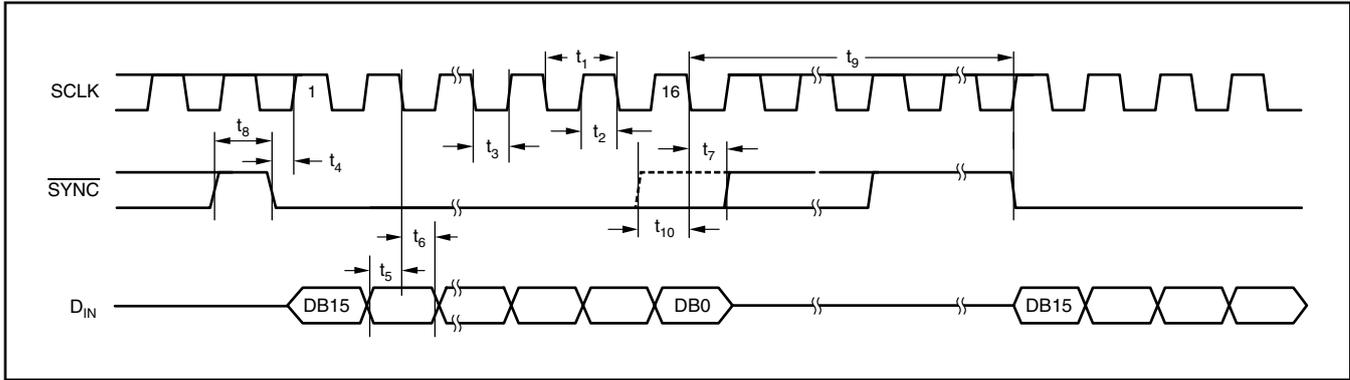
ピン配置



ピン	名称	説明
1	$\overline{\text{SYNC}}$	レベル・トリガ制御入力(アクティブ・ロー)。これは、入力データのフレーム同期信号です。 $\overline{\text{SYNC}}$ が“Low”になると、入力シフト・レジスタがイネーブルになり、以降のクロックの立ち下がりエッジでデータが取り込まれます。DACは、24番目(DAC8411)または16番目(DAC8311)のクロック・サイクルに続いて更新されます。ただし、そのエッジより前に $\overline{\text{SYNC}}$ が“High”になった場合は、 $\overline{\text{SYNC}}$ の立ち上がりエッジが割り込みとして機能し、DAC8x11は書き込みシーケンスを無視します。詳細については、「DAC8311の $\overline{\text{SYNC}}$ 割り込み」および「DAC8411の $\overline{\text{SYNC}}$ 割り込み」を参照してください。
2	SCLK	シリアル・クロック入力。データは最大50MHzでDACへ転送できます。
3	D_{IN}	シリアル・データ入力。シリアル・クロック入力の立ち下がりエッジで、データが24ビット(DAC8411)または16ビット(DAC8311)の入力シフト・レジスタに取り込まれます。
4	$AV_{\text{DD}}/V_{\text{REF}}$	電源入力、+1.8V~5.5V
5	GND	デバイス上の全回路に対するグランド基準点
6	V_{OUT}	DACからのアナログ出力電圧。出力アンプはレール・ツー・レール出力です。

表 1. ピン説明

シリアル書き込み動作：14ビット (DAC8311)



タイミング条件⁽¹⁾⁽²⁾

特に記述のない限り、すべての仕様は、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $\text{AV}_{\text{DD}} = +1.8\text{V} \sim +5.5\text{V}$ での値です。

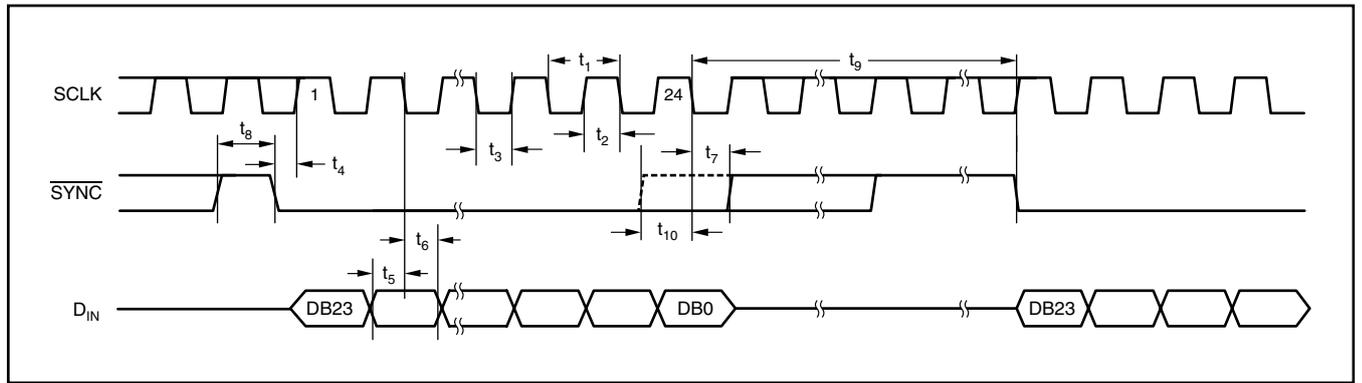
パラメータ	測定条件	MIN	TYP	MAX	単位
$t_1^{(3)}$ SCLK周期	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	50			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	20			
t_2 SCLK “High” パルス幅	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	25			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	10			
t_3 SCLK “Low” パルス幅	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	25			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	10			
t_4 $\overline{\text{SYNC}}$ からSCLK立ち上がりエッジまでのセットアップ・タイム	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	0			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	0			
t_5 データのセットアップ・タイム	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	5			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	5			
t_6 データのホールド・タイム	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	4.5			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	4.5			
t_7 SCLK立ち下がりエッジから $\overline{\text{SYNC}}$ 立ち上がりエッジ	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	0			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	0			
t_8 $\overline{\text{SYNC}}$ の最小 “High” パルス幅	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	50			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	20			
t_9 16回目のSCLK立ち下がりエッジから $\overline{\text{SYNC}}$ 立ち下がりエッジ	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	100			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	100			
t_{10} $\overline{\text{SYNC}}$ 立ち上がりエッジから16回目のSCLK立ち下がりエッジ (SYNC割り込み成立)	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	15			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	15			

(1) すべての入力信号は、 $t_R = t_F = 3\text{ns}$ (AV_{DD} の10%~90%)で規定され、タイミングは電圧レベル $(V_{\text{IL}} + V_{\text{IH}})/2$ を基準としています。

(2) 「シリアル書き込み動作：14ビット」のタイミング図を参照してください。

(3) 最大SCLK周波数は、 $\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$ のとき50MHz、 $\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$ のとき20MHzです。

シリアル書き込み動作：16ビット (DAC8411)



タイミング条件⁽¹⁾⁽²⁾

特に記述のない限り、すべての仕様は、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $\text{AV}_{\text{DD}} = +1.8\text{V} \sim +5.5\text{V}$ での値です。

パラメータ	測定条件	MIN	TYP	MAX	単位
$t_1^{(3)}$ SCLK周期	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	50			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	20			
t_2 SCLK “High” パルス幅	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	25			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	10			
t_3 SCLK “Low” パルス幅	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	25			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	10			
t_4 $\overline{\text{SYNC}}$ からSCLK立ち上がりエッジまでのセットアップ・タイム	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	0			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	0			
t_5 データのセットアップ・タイム	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	5			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	5			
t_6 データのホールド・タイム	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	4.5			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	4.5			
t_7 SCLK立ち下がりエッジから $\overline{\text{SYNC}}$ 立ち上がりエッジ	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	0			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	0			
t_8 $\overline{\text{SYNC}}$ の最小 “High” パルス幅	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	50			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	20			
t_9 24番目のSCLK立ち下がりエッジから $\overline{\text{SYNC}}$ 立ち下がりエッジ	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	100			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	100			
t_{10} $\overline{\text{SYNC}}$ 立ち上がりエッジから24番目のSCLK立ち下がりエッジ (SYNC割り込み有効条件)	$\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$	15			ns
	$\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$	15			

(1) すべての入力信号は、 $t_R = t_F = 3\text{ns}$ (AV_{DD} の10%~90%)で規定され、タイミングは電圧レベル $(V_{\text{IL}} + V_{\text{IH}})/2$ を基準としています。

(2) 「シリアル書き込み動作：16ビット」のタイミング図を参照してください。

(3) 最大SCLK周波数は、 $\text{AV}_{\text{DD}} = 3.6\text{V} \sim 5.5\text{V}$ のとき50MHz、 $\text{AV}_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$ のとき20MHzです。

代表的特性：AV_{DD} = +5V

特に記述のない限り、T_A = +25°C、AV_{DD} = +5V、DACにミッドスケール・コードをロード。

DAC8411の16ビット直線性誤差および
微分直線性誤差 対 コード (-40°C)

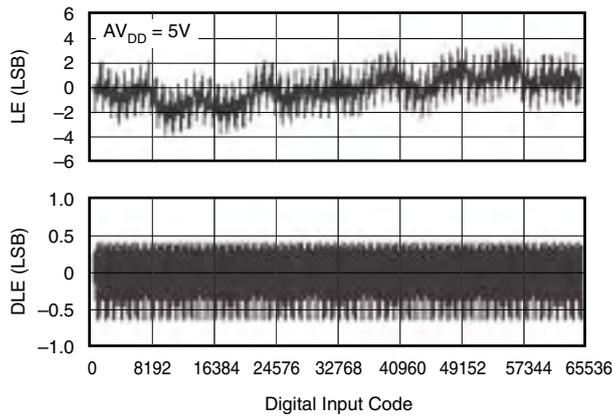


図 1

DAC8311の14ビット直線性誤差および
微分直線性誤差 対 コード (-40°C)

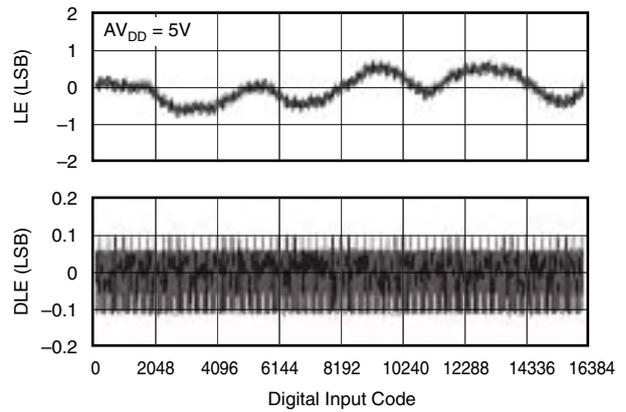


図 2

DAC8411の16ビット直線性誤差および
微分直線性誤差 対 コード (+25°C)

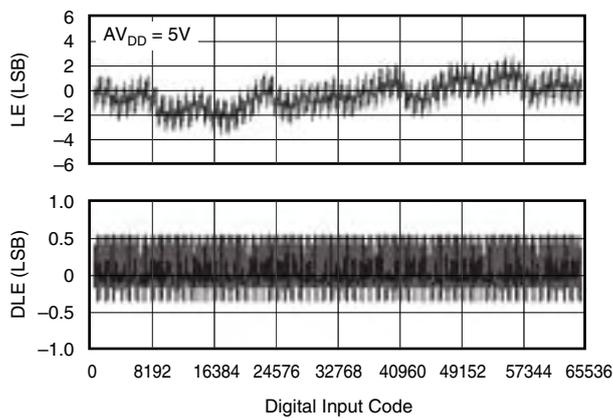


図 3

DAC8311の14ビット直線性誤差および
微分直線性誤差 対 コード (+25°C)

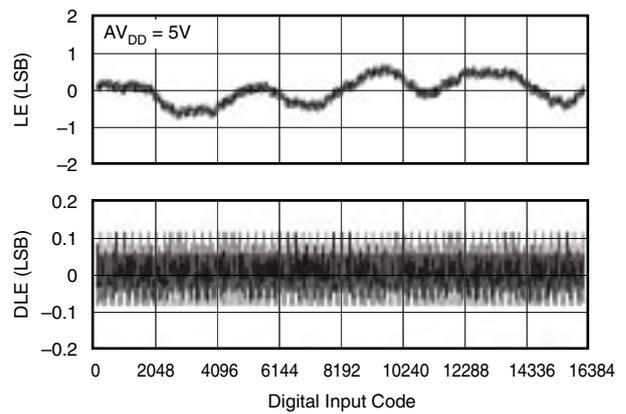


図 4

DAC8411の16ビット直線性誤差および
微分直線性誤差 対 コード (+125°C)

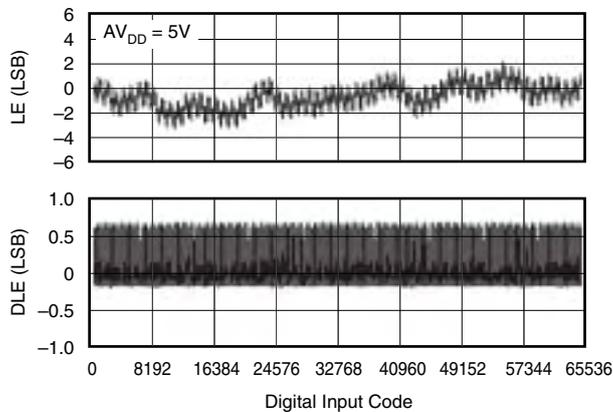


図 5

DAC8311の14ビット直線性誤差および
微分直線性誤差 対 コード (+125°C)

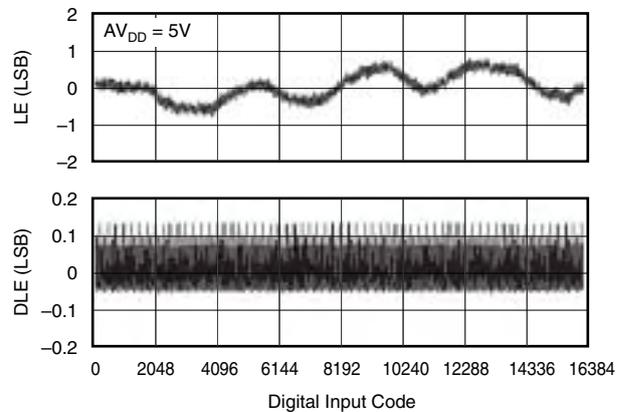


図 6

代表的特性：AV_{DD} = +5V

特に記述のない限り、T_A = +25°C、AV_{DD} = +5V、DACにミッドスケール・コードをロード。

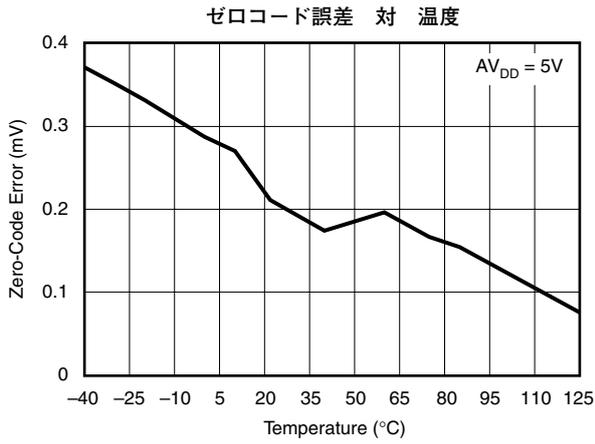


図 7

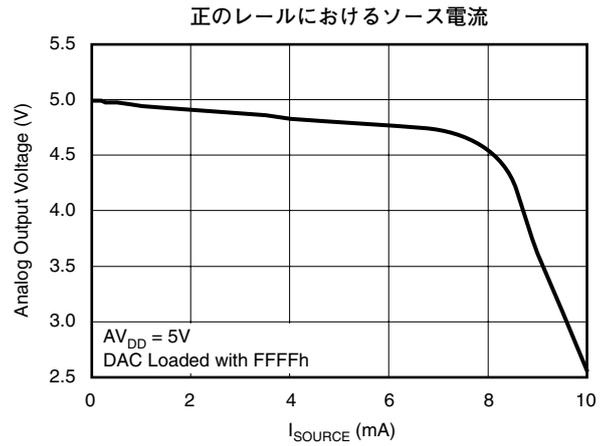


図 8

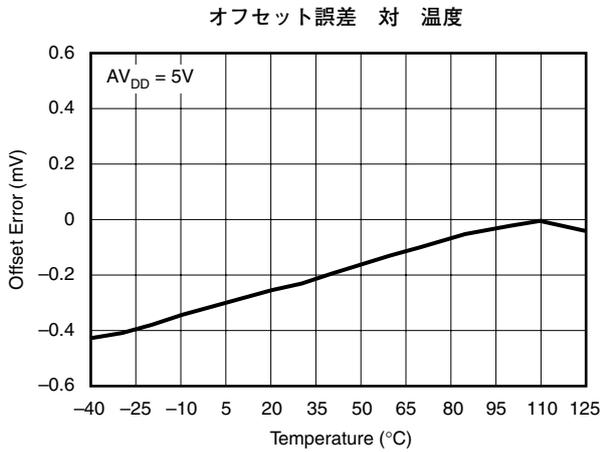


図 9

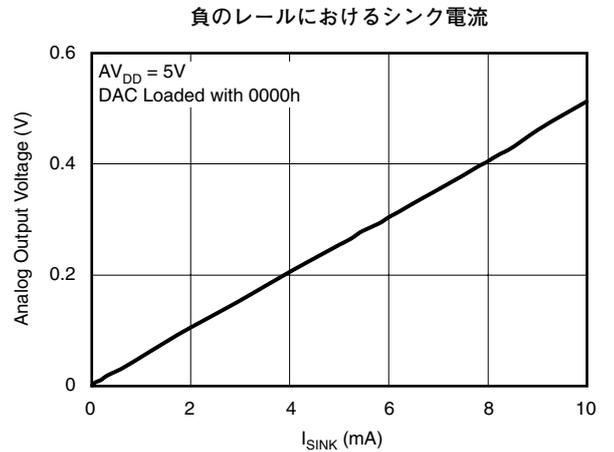


図 10

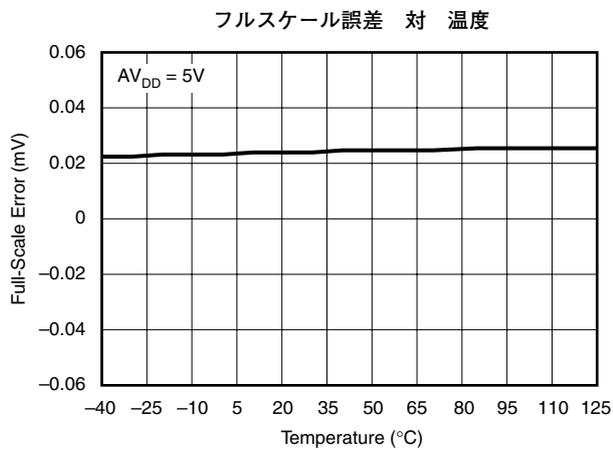


図 11

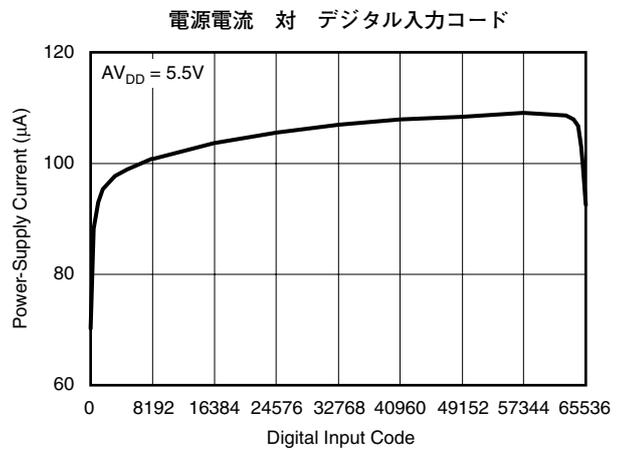


図 12

代表的特性：AV_{DD} = +5V

特に記述のない限り、T_A = +25°C、AV_{DD} = +5V、DACにミッドスケール・コードをロード。

電源電流 対 温度

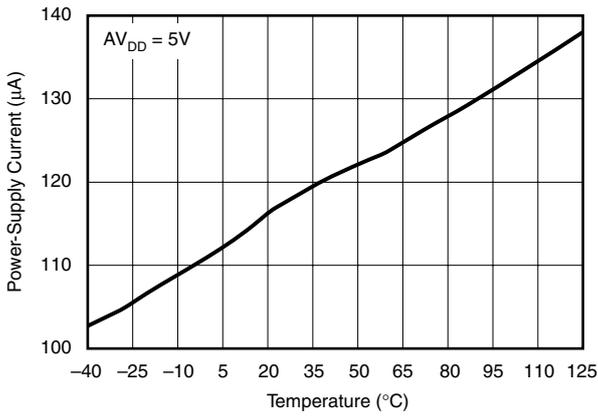


図 13

パワーダウン電流 対 温度

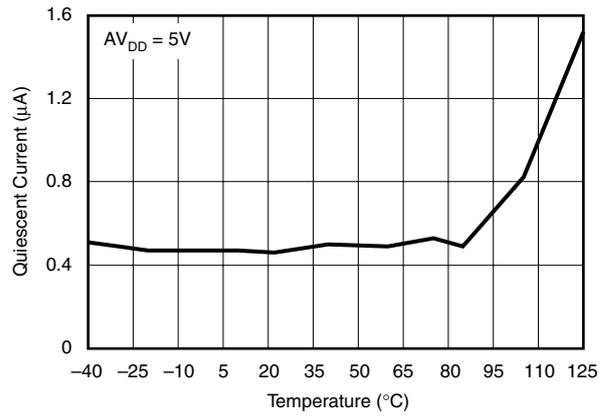


図 14

電源電流 対 ロジック入力電圧

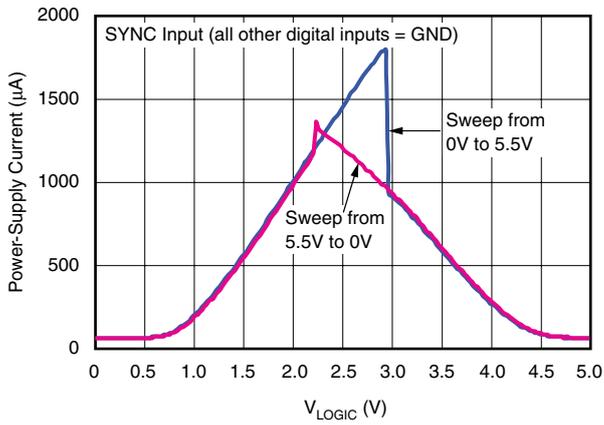


図 15

電源電流のヒストグラム

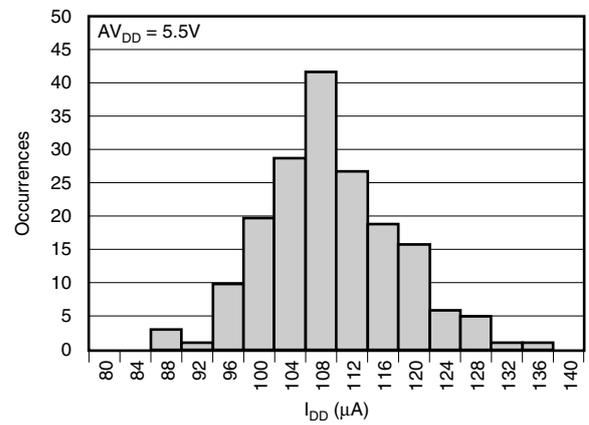


図 16

全高調波歪み 対 出力周波数

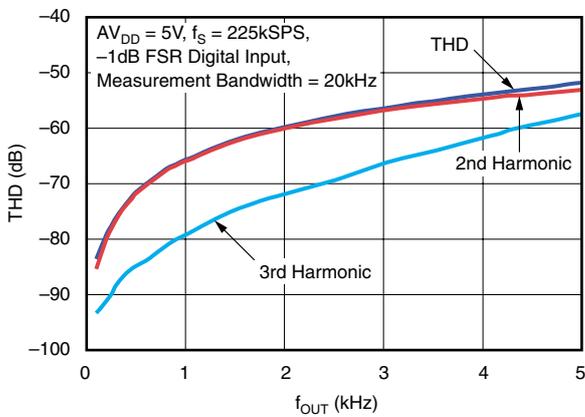


図 17

信号対ノイズ比 対 出力周波数

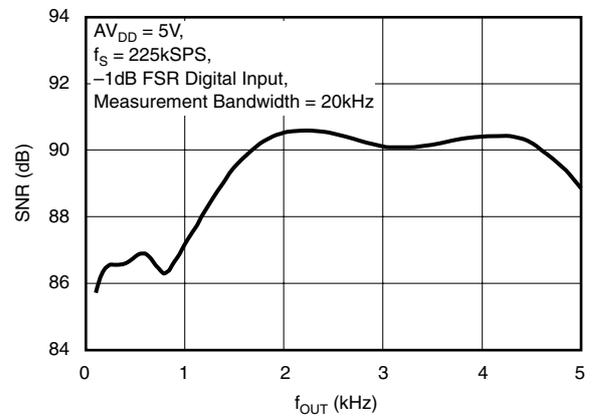


図 18

代表的特性：AV_{DD} = +5V

特に記述のない限り、T_A = +25°C、AV_{DD} = +5V、DACにミッドスケール・コードをロード。

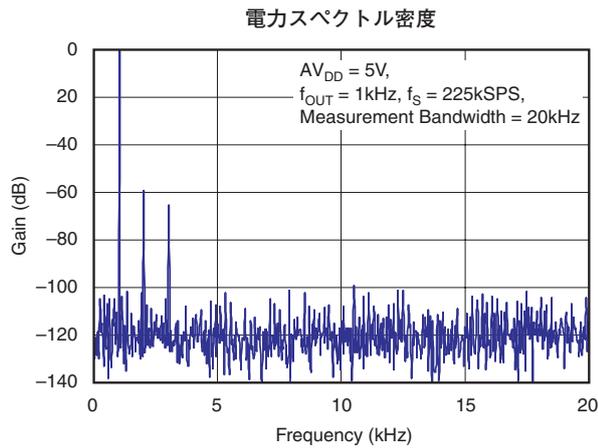


図 19

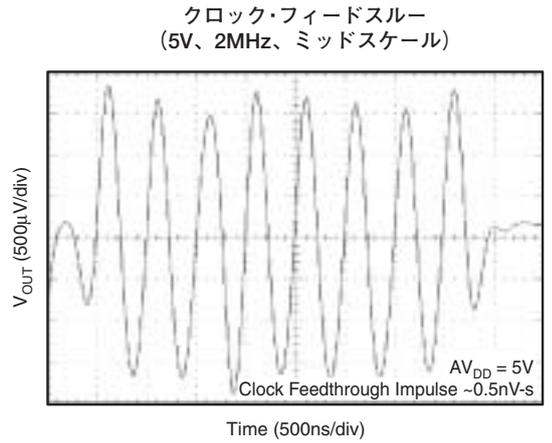


図 20

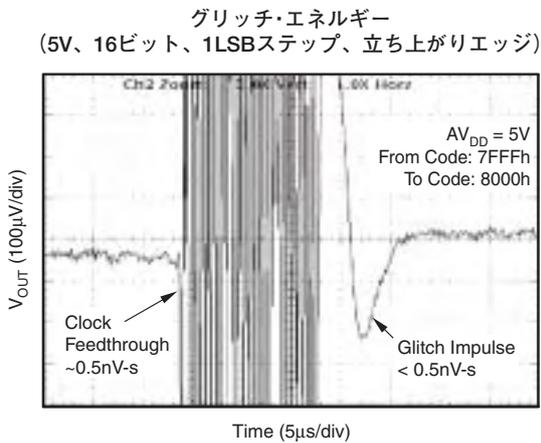


図 21

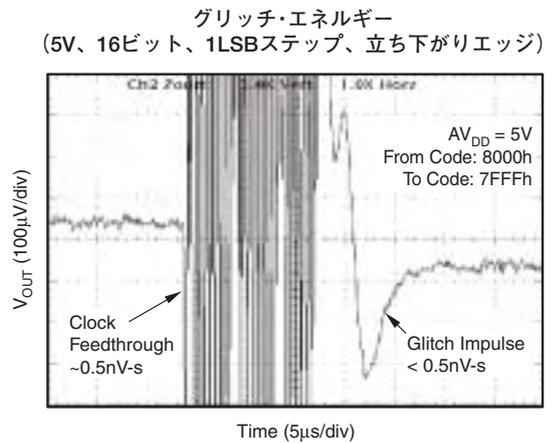


図 22

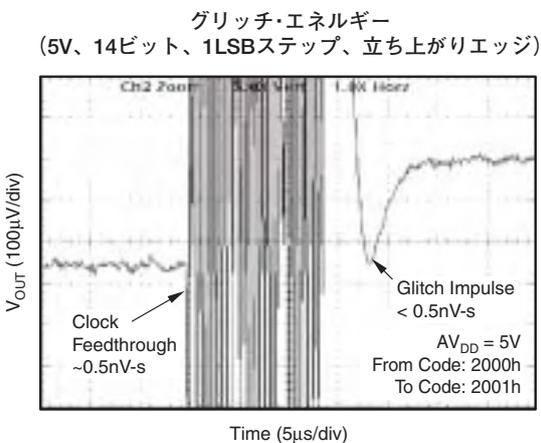


図 23

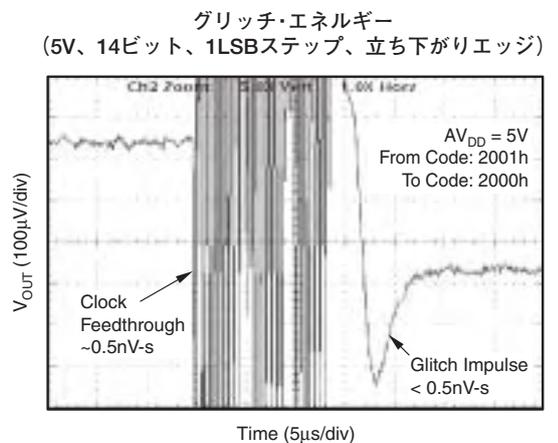
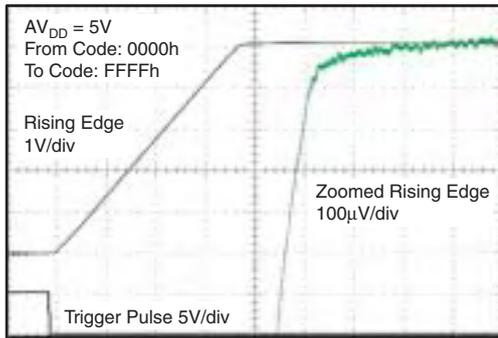


図 24

代表的特性：AV_{DD} = +5V

特に記述のない限り、T_A = +25°C、AV_{DD} = +5V、DACにミッドスケール・コードをロード。

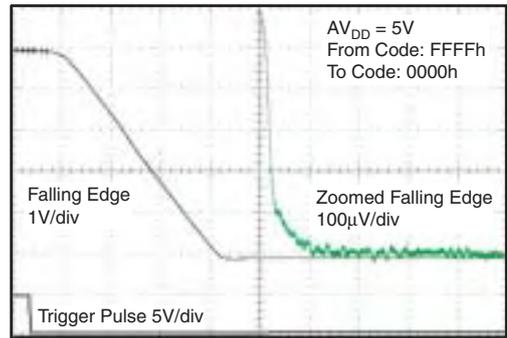
フルスケールのセトリング・タイム
(5V立ち上がりエッジ)



Time (2µs/div)

図 25

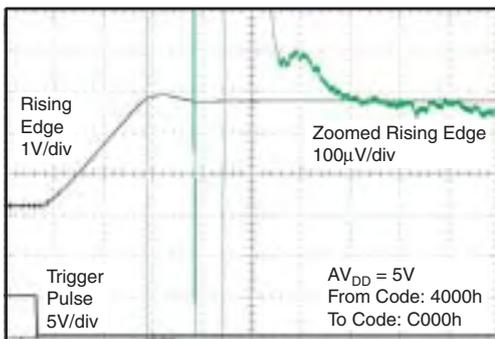
フルスケールのセトリング・タイム
(5V立ち下がりエッジ)



Time (2µs/div)

図 26

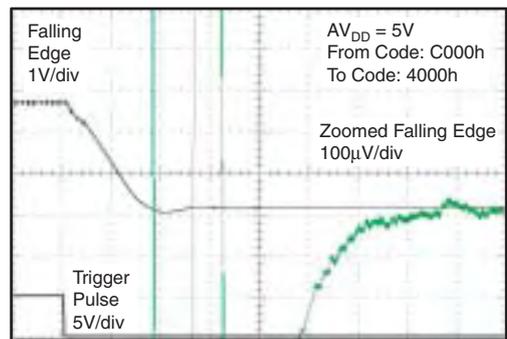
ハーフスケールのセトリング・タイム
(5V立ち上がりエッジ)



Time (2µs/div)

図 27

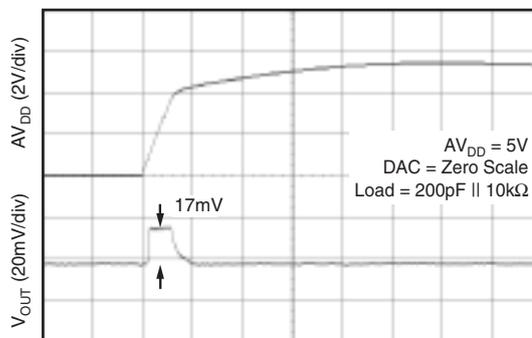
ハーフスケールのセトリング・タイム
(5V立ち下がりエッジ)



Time (2µs/div)

図 28

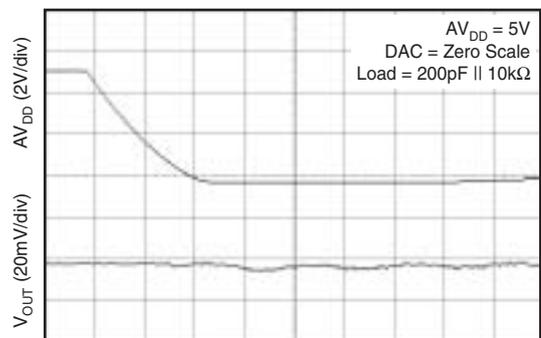
パワーオン・リセット時の0Vへのグリッチ



Time (5ms/div)

図 29

パワーオフ時のグリッチ



Time (10ms/div)

図 30

代表的特性：AV_{DD} = +5V

特に記述のない限り、T_A = +25°C、AV_{DD} = +5V、DACにミッドスケール・コードをロード。

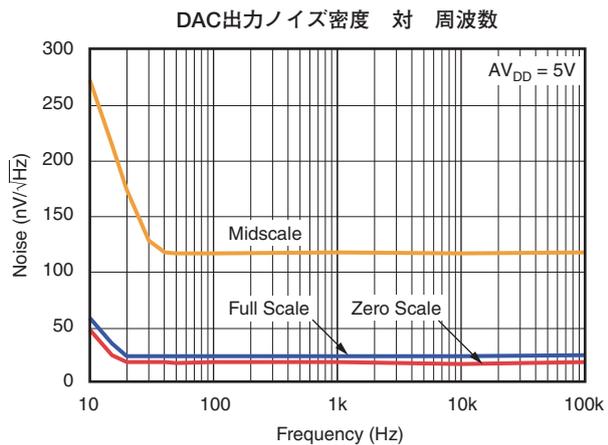


図 31

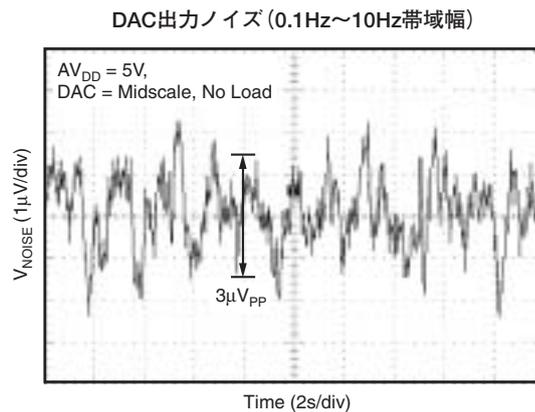


図 32

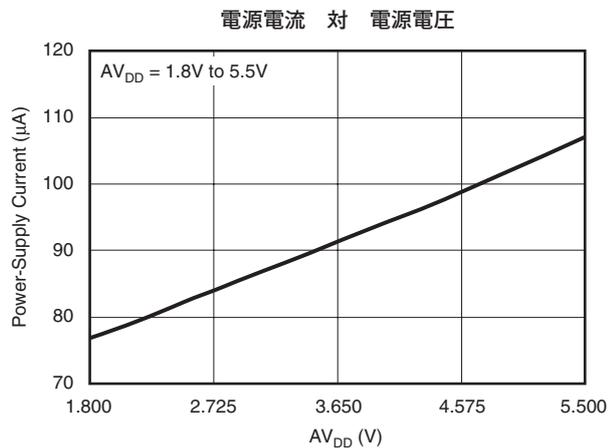


図 33

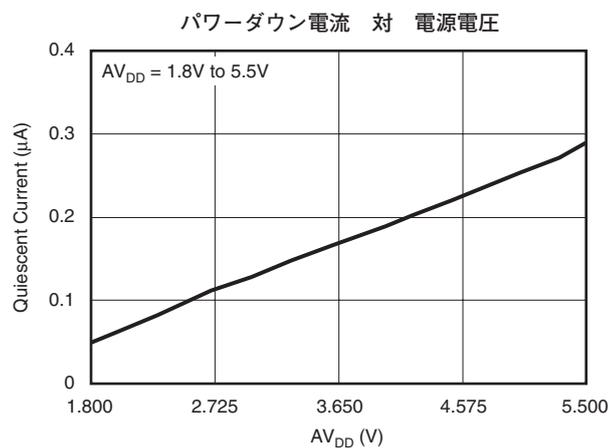


図 34

代表的特性：AV_{DD} = +3.6V

特に記述のない限り、T_A = +25°C、AV_{DD} = +3.6V。

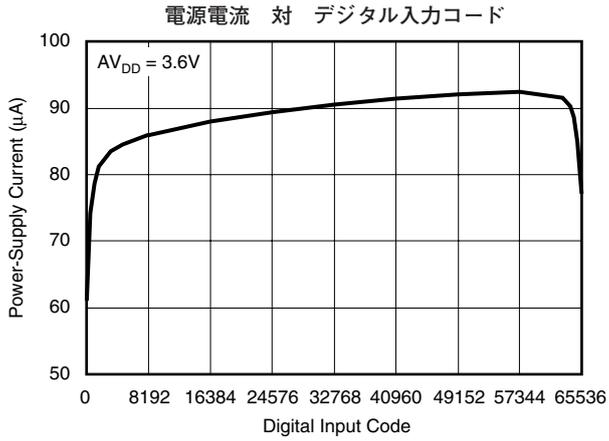


図 35

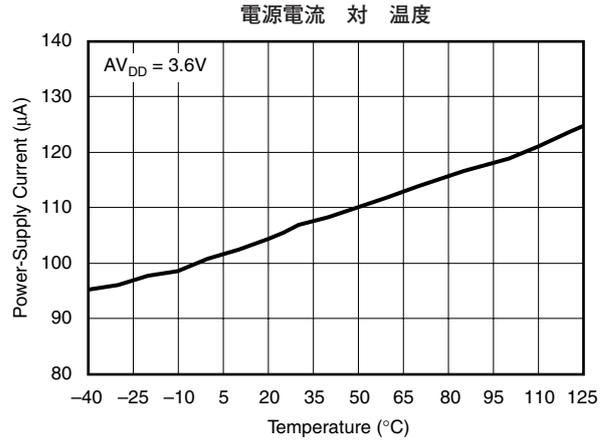


図 36

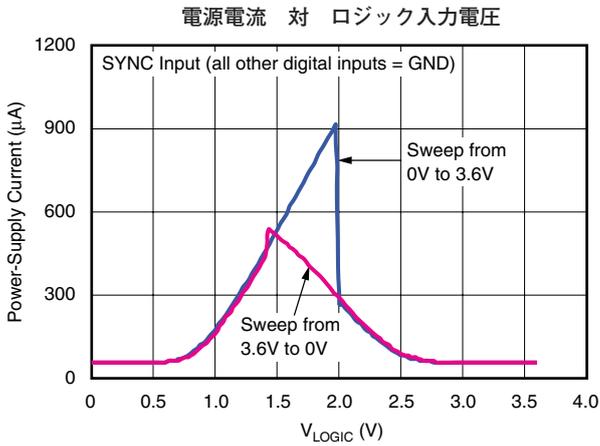


図 37

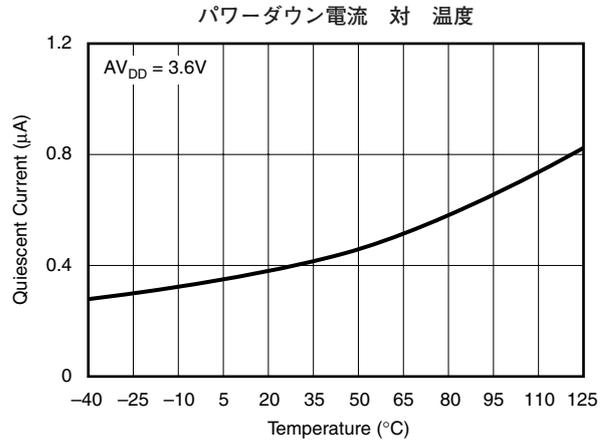


図 38

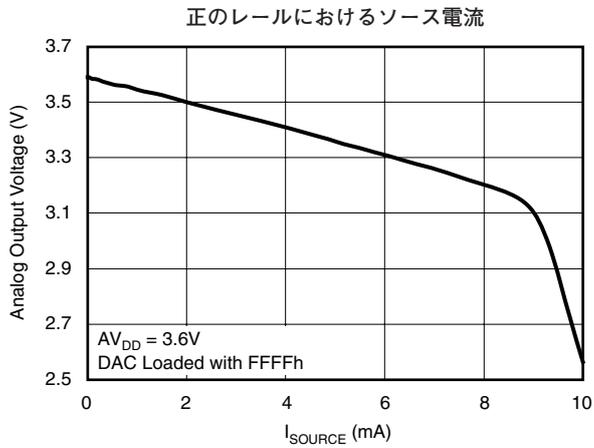


図 39

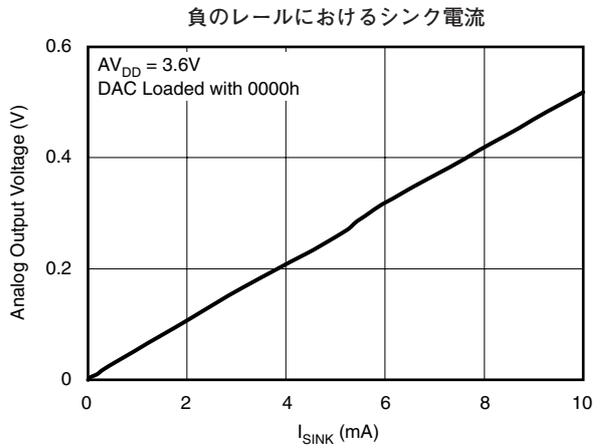


図 40

代表的特性：AV_{DD} = +3.6V

特に記述のない限り、T_A = +25°C、AV_{DD} = +3.6V。

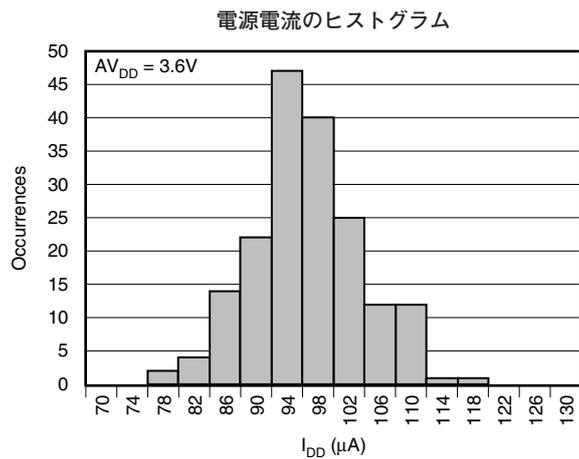


図 41

代表的特性：AV_{DD} = +2.7V

特に記述のない限り、T_A = +25°C、AV_{DD} = +2.7V。

DAC8411の16ビット直線性誤差および
微分直線性誤差 対 コード (-40°C)

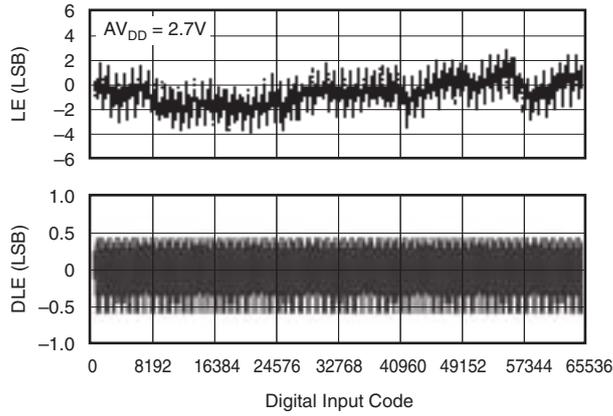


図 42

DAC8311の14ビット直線性誤差および
微分直線性誤差 対 コード (-40°C)

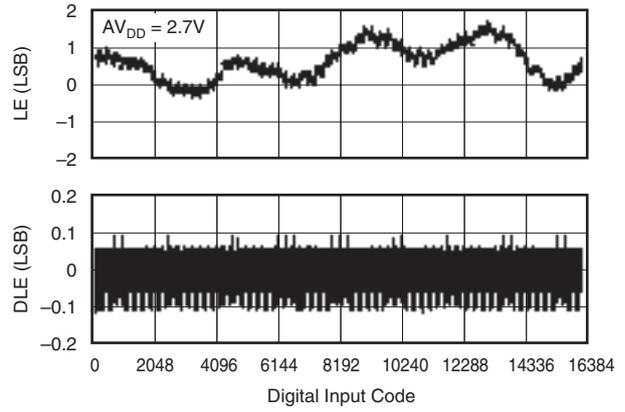


図 43

DAC8411の16ビット直線性誤差および
微分直線性誤差 対 コード (+25°C)

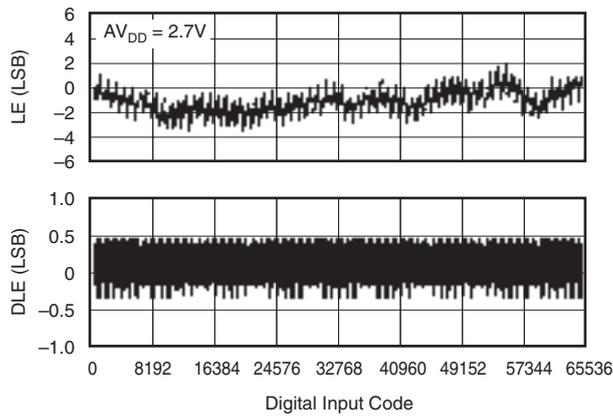


図 44

DAC8311の14ビット直線性誤差および
微分直線性誤差 対 コード (+25°C)

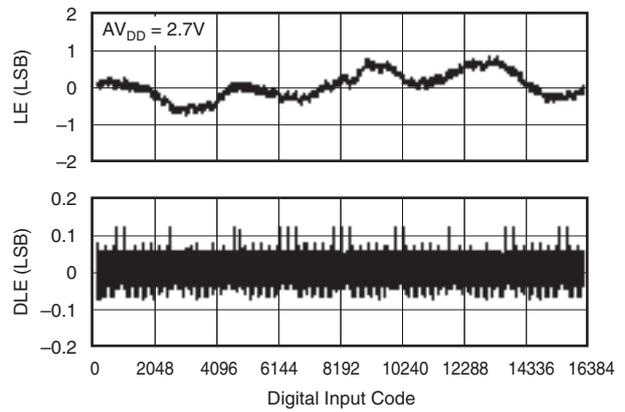


図 45

DAC8411の16ビット直線性誤差および
微分直線性誤差 対 コード (+125°C)

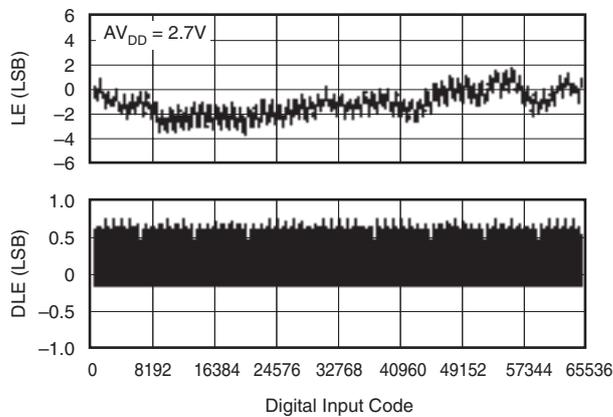


図 46

DAC8311の14ビット直線性誤差および
微分直線性誤差 対 コード (+125°C)

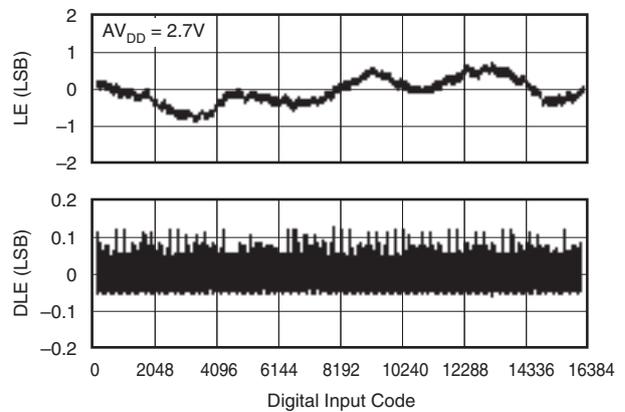


図 47

代表的特性：AV_{DD} = +2.7V

特に記述のない限り、T_A = +25°C、AV_{DD} = +2.7V。

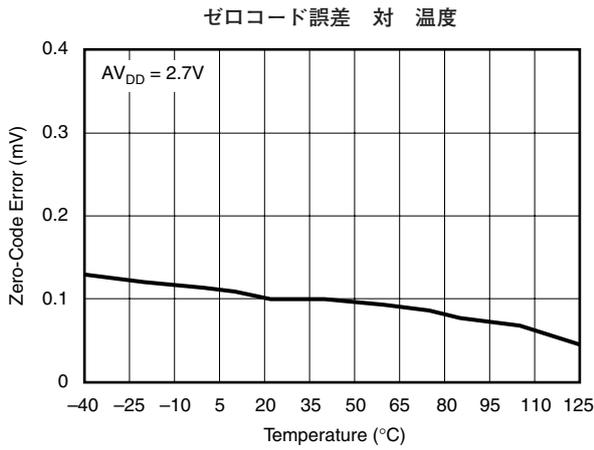


図 48

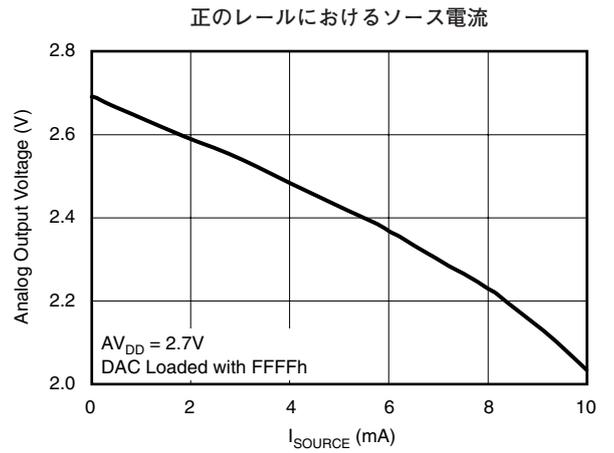


図 49

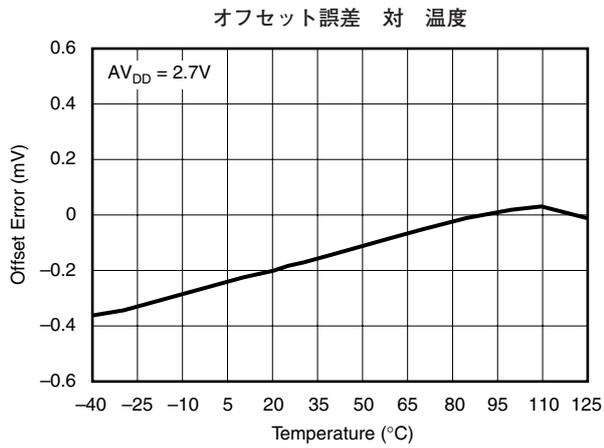


図 50

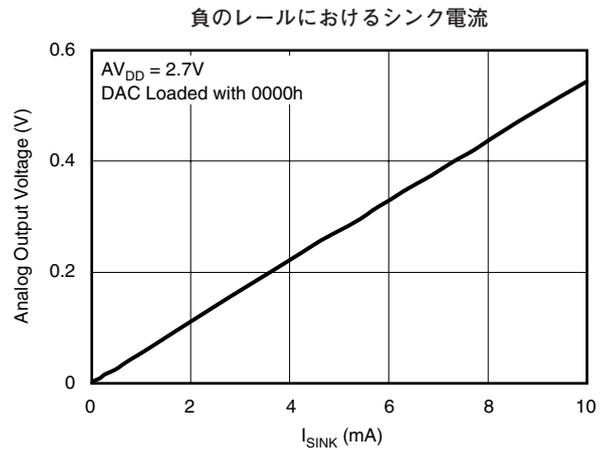


図 51

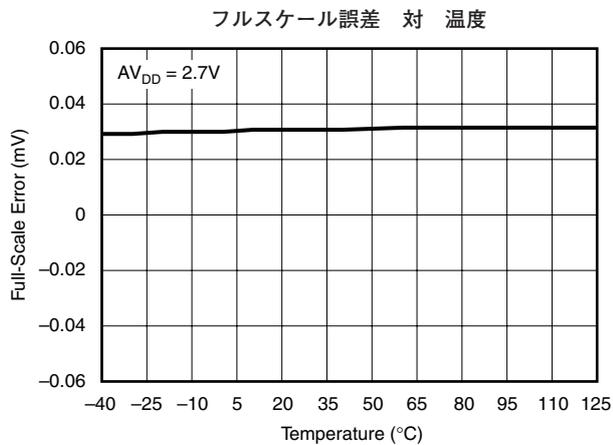


図 52

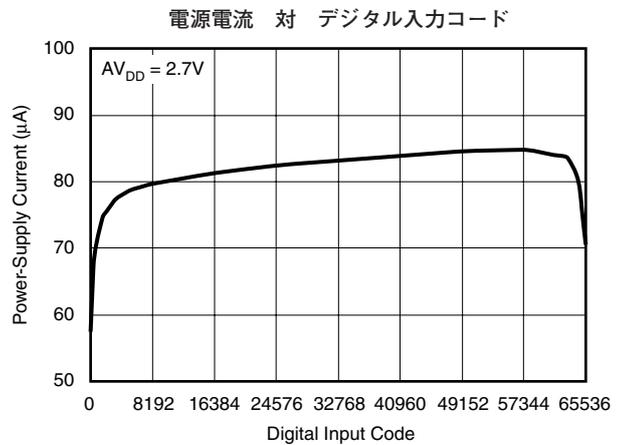


図 53

代表的特性：AV_{DD} = +2.7V

特に記述のない限り、T_A = +25°C、AV_{DD} = +2.7V。

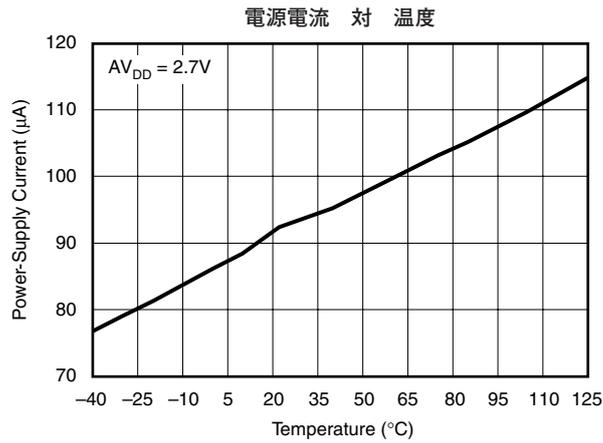


図 54

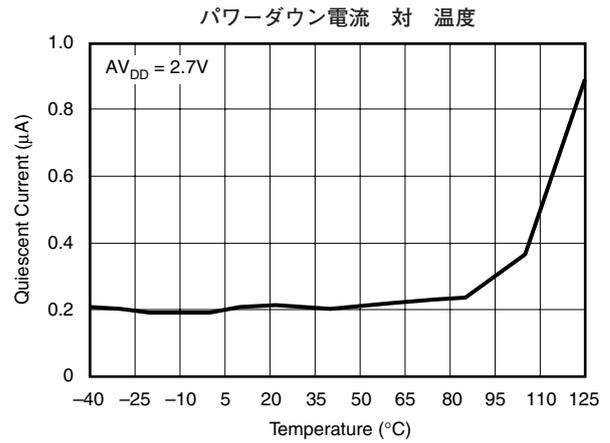


図 55

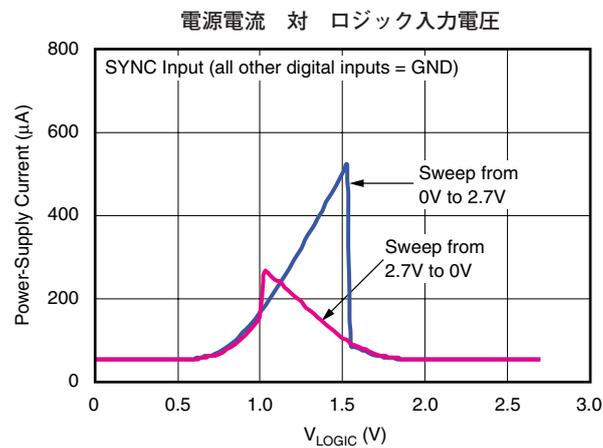


図 56

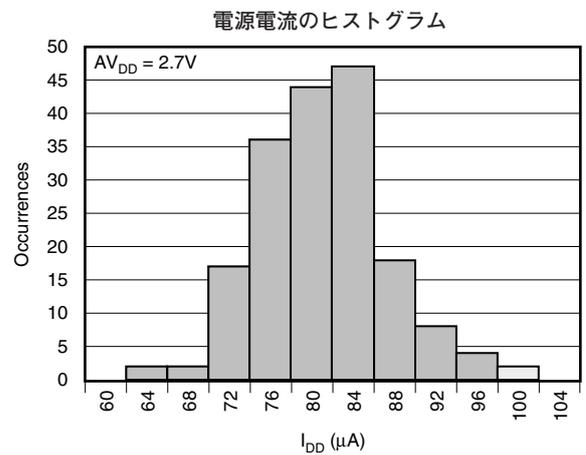


図 57

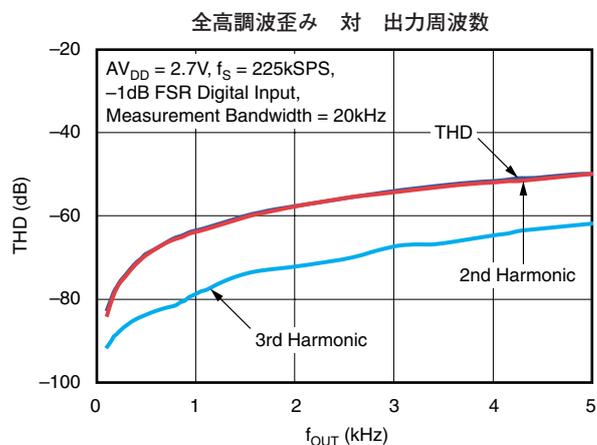


図 58

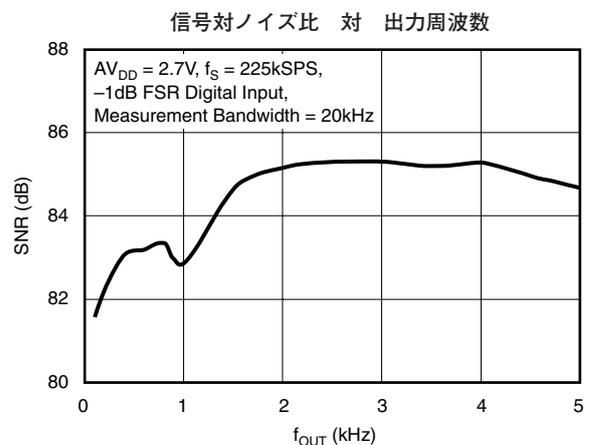


図 59

代表的特性：AV_{DD} = +2.7V

特に記述のない限り、T_A = +25°C、AV_{DD} = +2.7V。

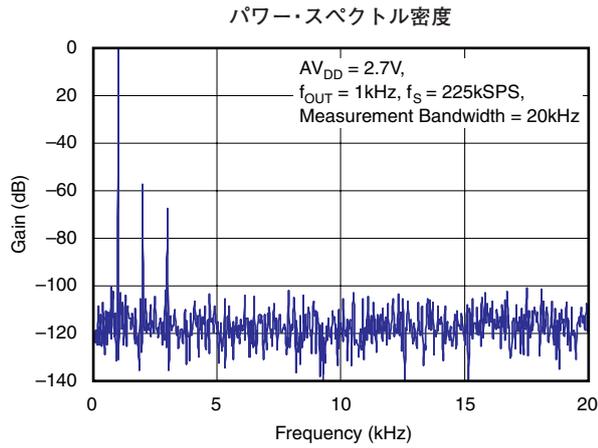


図 60

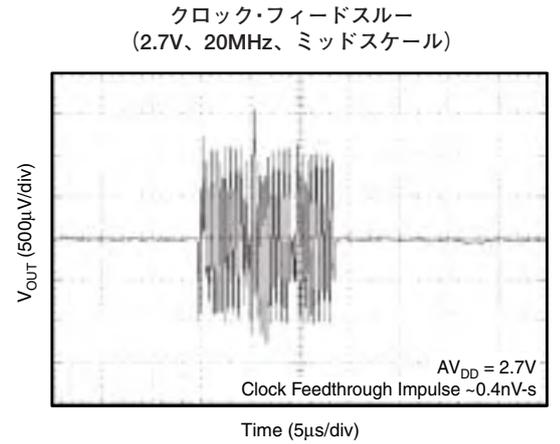


図 61

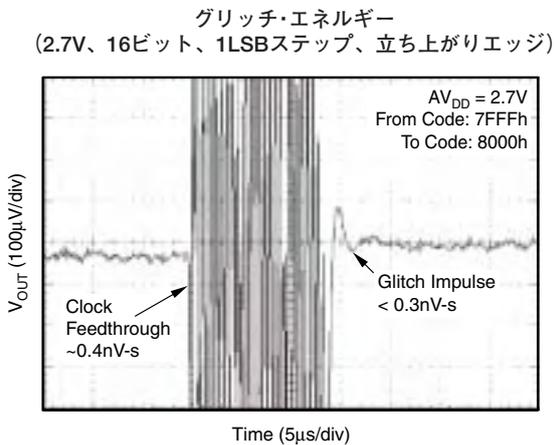


図 62

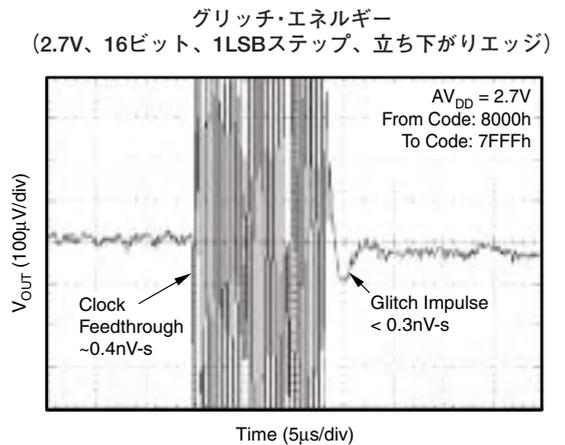


図 63

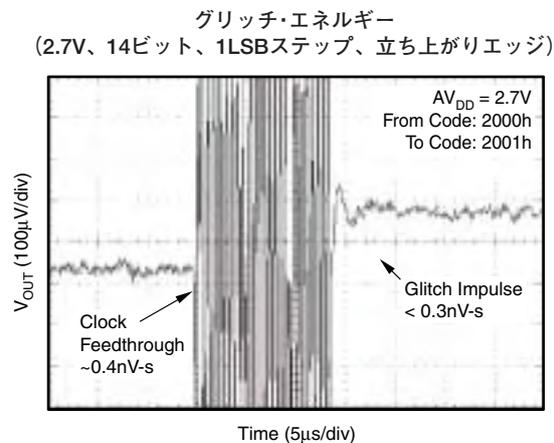


図 64

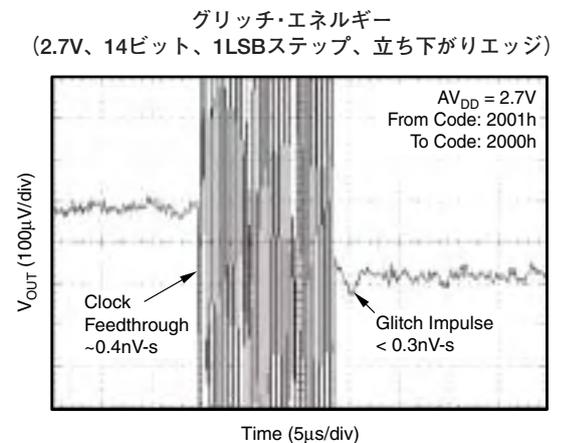
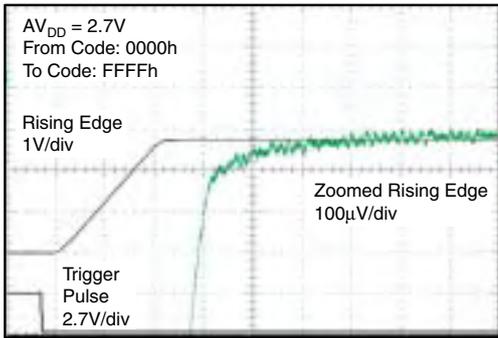


図 65

代表的特性：AV_{DD} = +2.7V

特に記述のない限り、T_A = +25°C、AV_{DD} = +2.7V。

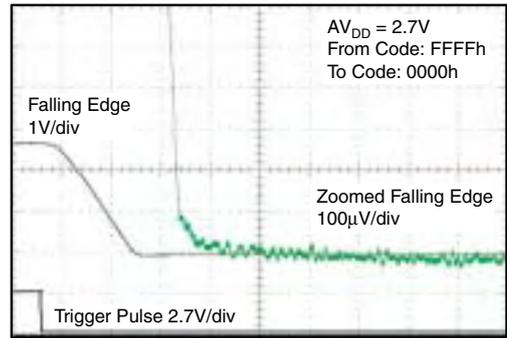
フルスケールのセトリング・タイム
(2.7V立ち上がりエッジ)



Time (2µs/div)

図 66

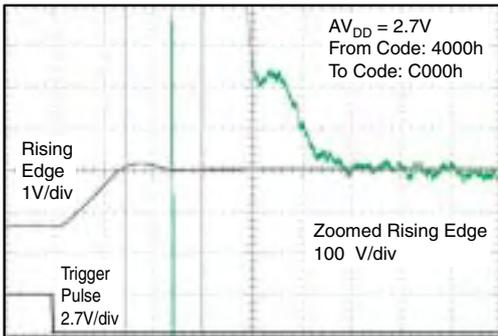
フルスケールのセトリング・タイム
(2.7V立ち下がりエッジ)



Time (2µs/div)

図 67

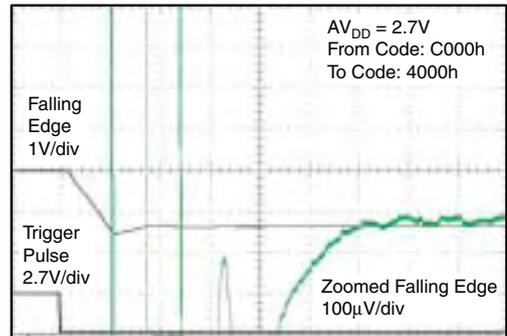
ハーフスケールのセトリング・タイム
(2.7V立ち上がりエッジ)



Time (2µs/div)

図 68

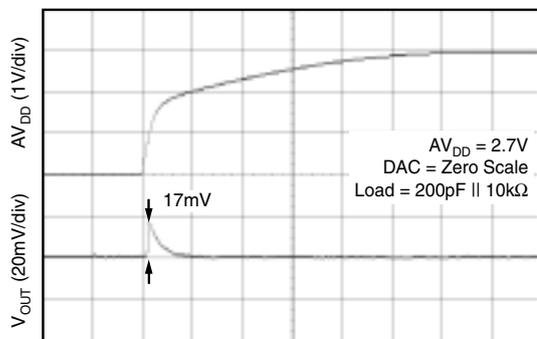
ハーフスケールのセトリング・タイム
(2.7V立ち下がりエッジ)



Time (2µs/div)

図 69

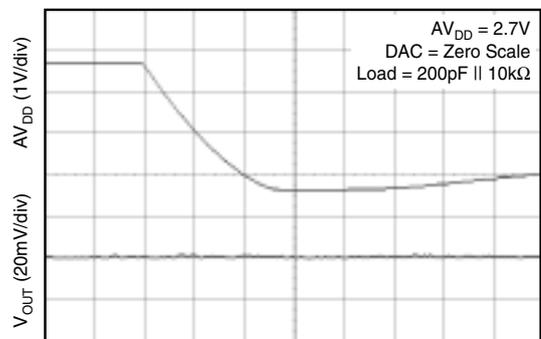
パワーオン・リセット時の0Vへのグリッチ



Time (5ms/div)

図 70

パワーオフ時のグリッチ



Time (10ms/div)

図 71

代表的特性：AV_{DD} = +1.8V

特に記述のない限り、T_A = +25°C、AV_{DD} = +1.8V。

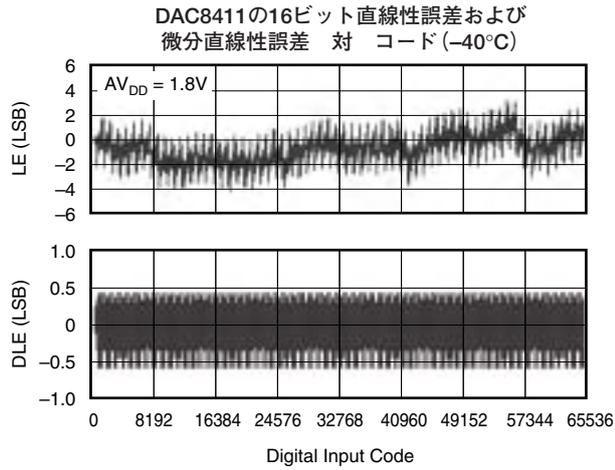


図 72

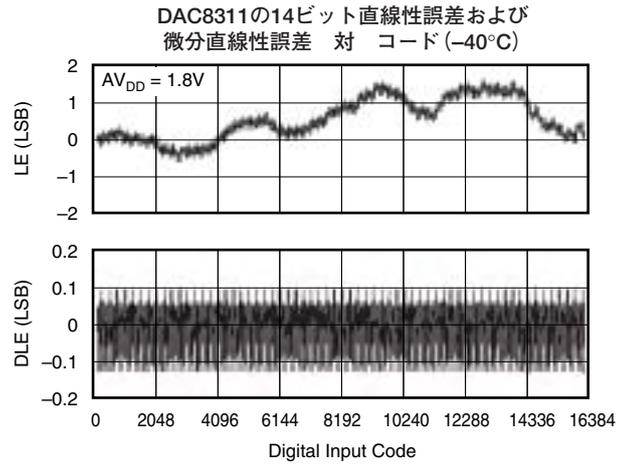


図 73

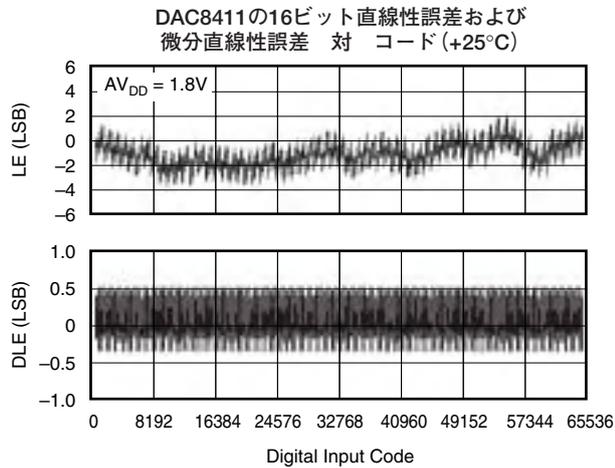


図 74

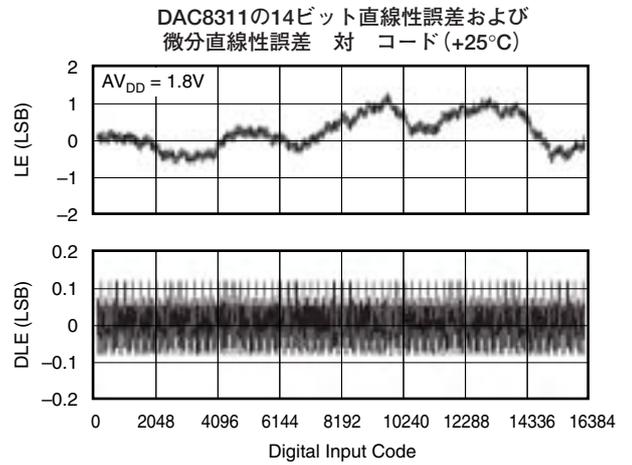


図 75

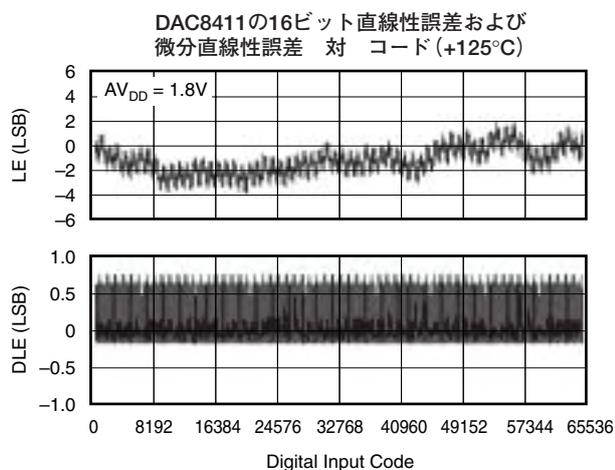


図 76

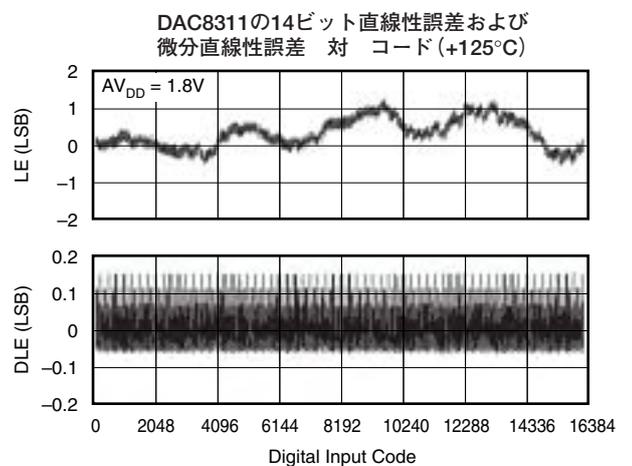


図 77

代表的特性：AV_{DD} = +1.8V

特に記述のない限り、T_A = +25°C、AV_{DD} = +1.8V。

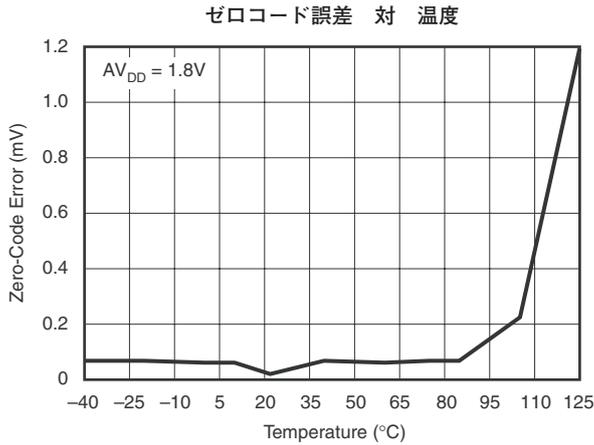


図 78

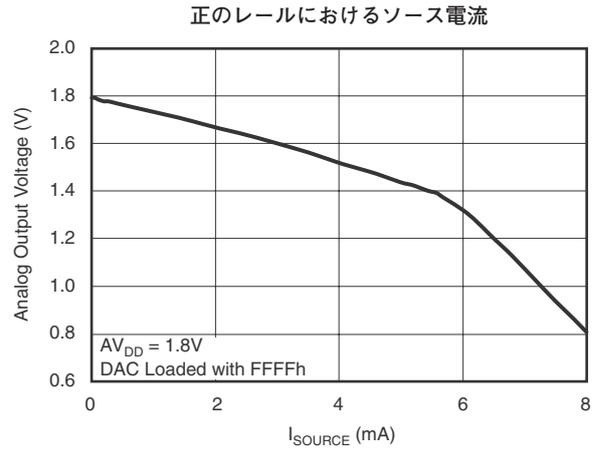


図 79

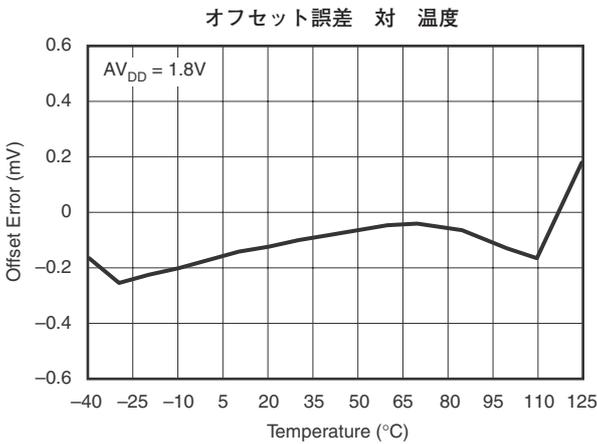


図 80

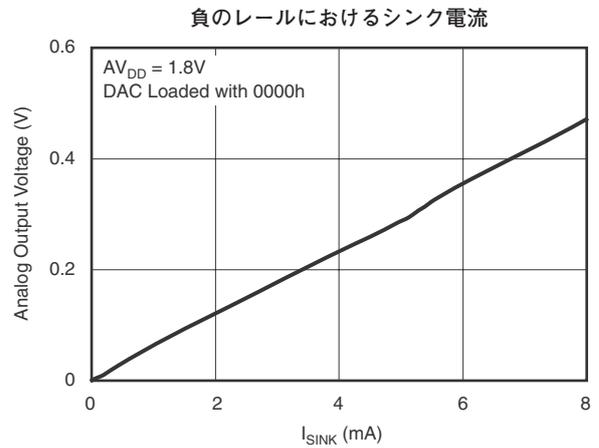


図 81

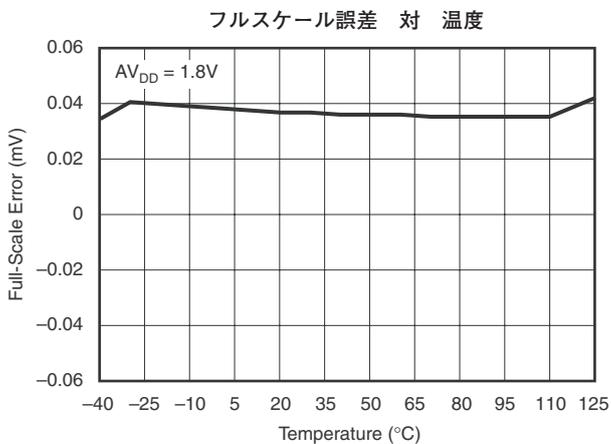


図 82

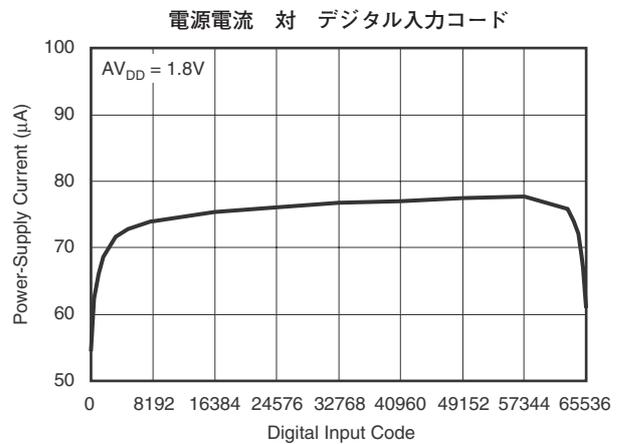


図 83

代表的特性：AV_{DD} = +1.8V

特に記述のない限り、T_A = +25°C、AV_{DD} = +1.8V。

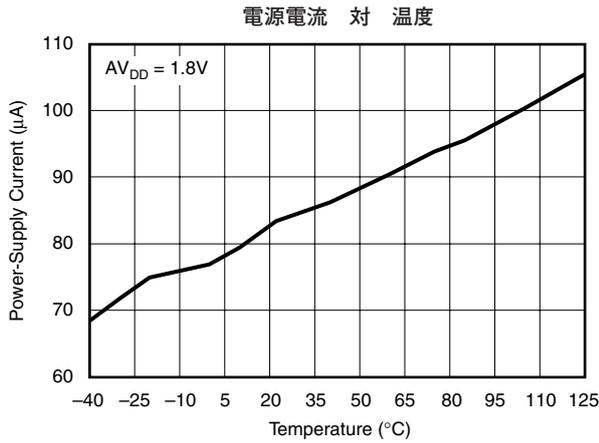


図 84

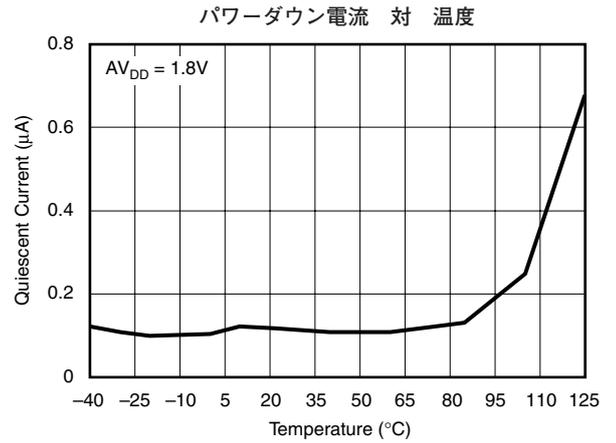


図 85

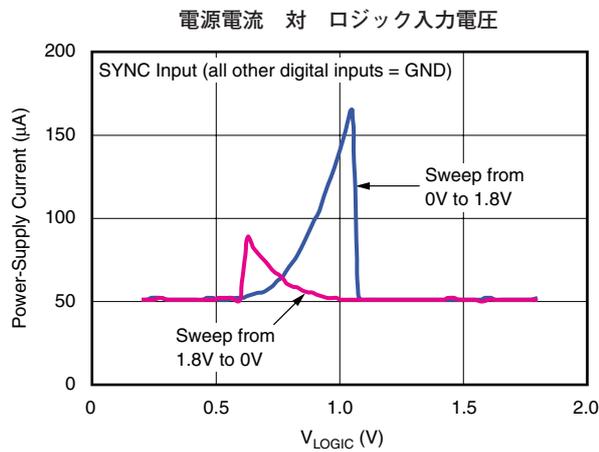


図 86

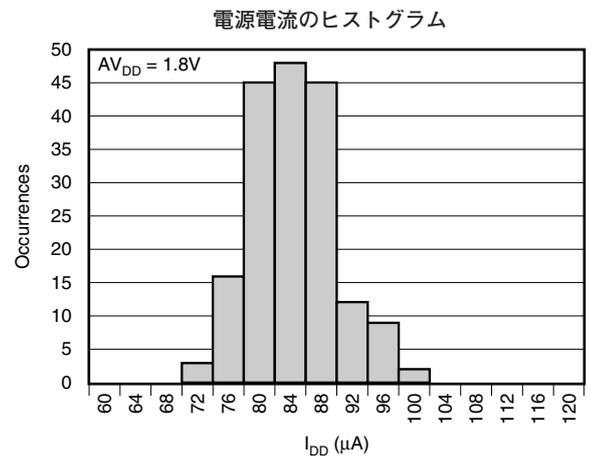


図 87

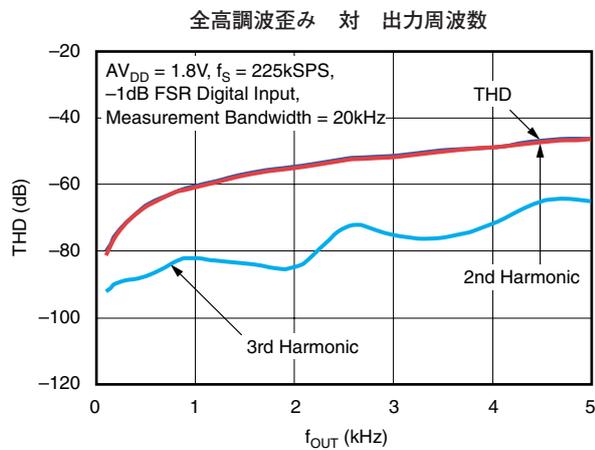


図 88

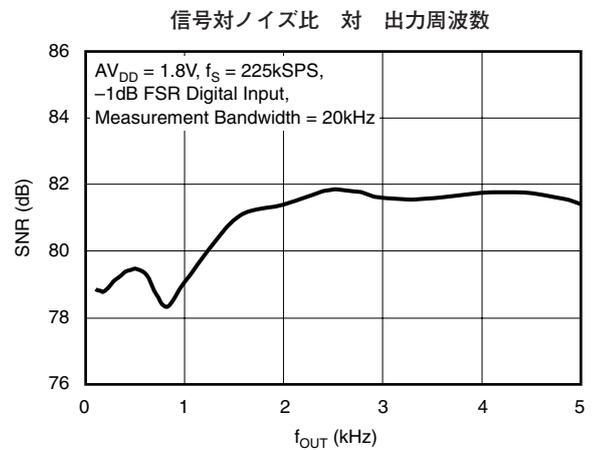


図 89

代表的特性：AV_{DD} = +1.8V

特に記述のない限り、T_A = +25°C、AV_{DD} = +1.8V。

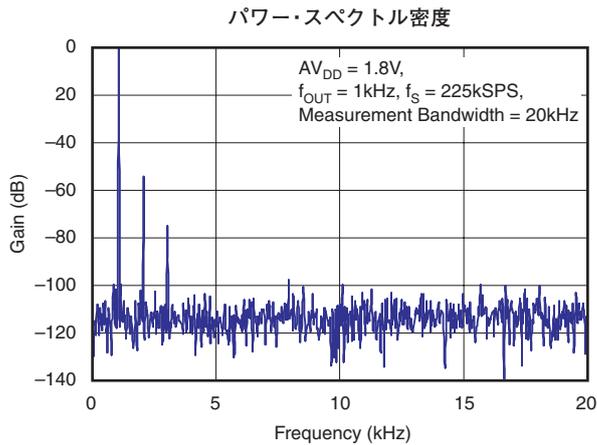


図 90

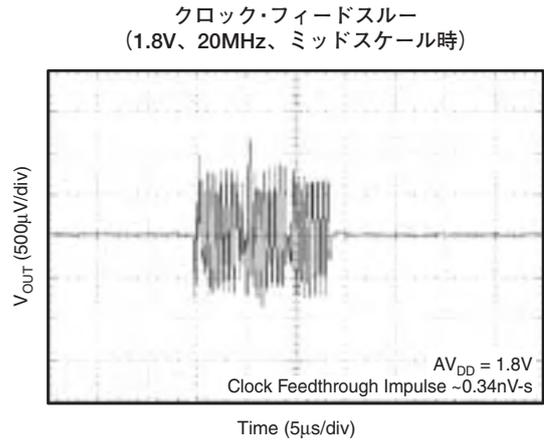


図 91

グリッチ・エネルギー
(1.8V、16ビット、1LSBステップ、立ち上がりエッジ)

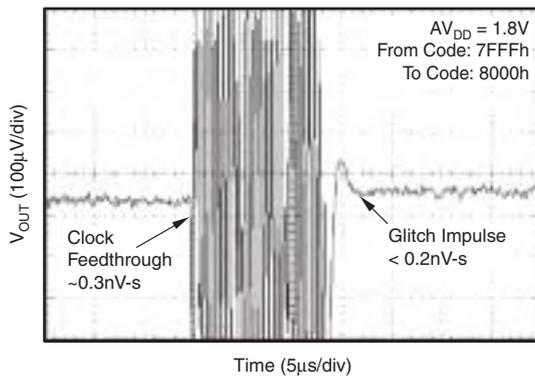


図 92

グリッチ・エネルギー
(1.8V、16ビット、1LSBステップ、立ち下がりエッジ)

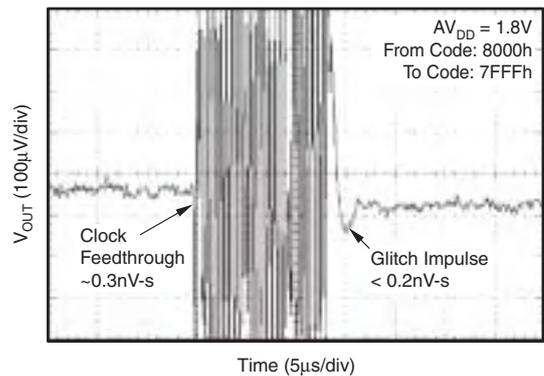


図 93

グリッチ・エネルギー
(1.8V、14ビット、1LSBステップ、立ち上がりエッジ)

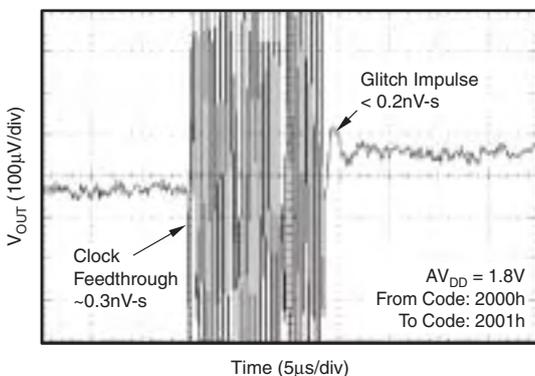


図 94

グリッチ・エネルギー
(1.8V、14ビット、1LSBステップ、立ち下がりエッジ)

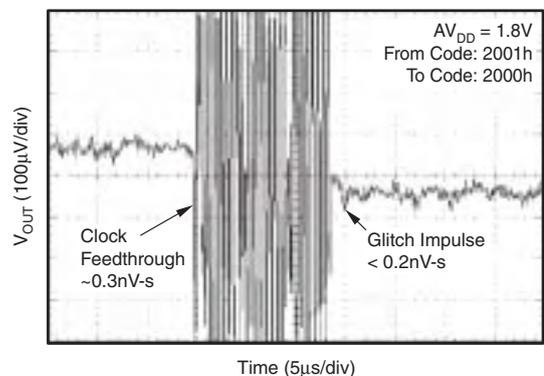
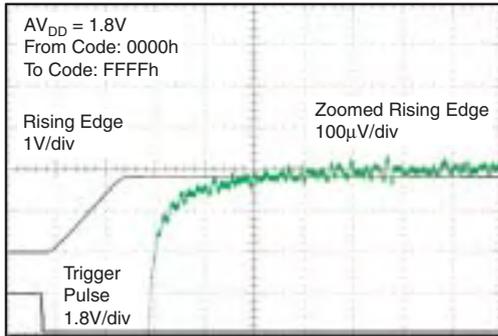


図 95

代表的特性：AV_{DD} = +1.8V

特に記述のない限り、T_A = +25°C、AV_{DD} = +1.8V。

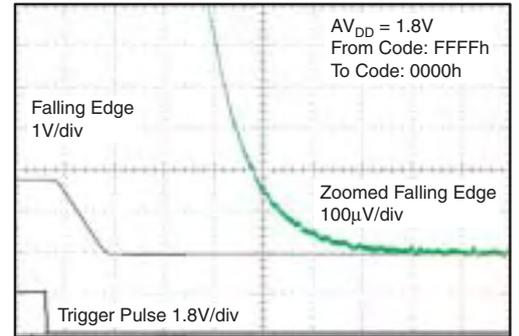
フルスケールのセトリング・タイム
(1.8V立ち上がりエッジ)



Time (2µs/div)

図 96

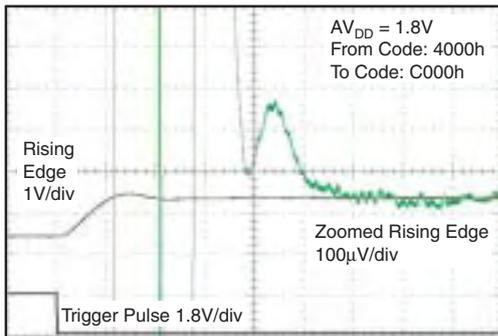
フルスケールのセトリング・タイム
(1.8V立ち下がりエッジ)



Time (2µs/div)

図 97

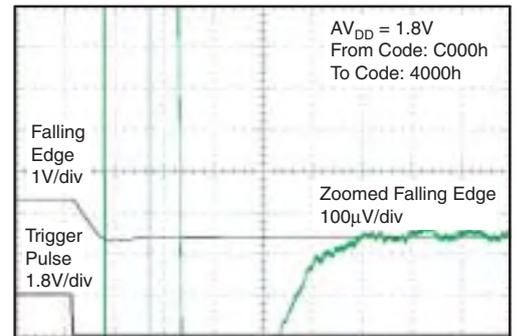
ハーフスケールのセトリング・タイム
(1.8V立ち上がりエッジ)



Time (2µs/div)

図 98

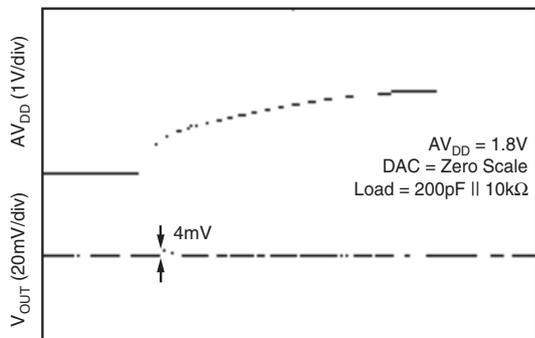
ハーフスケールのセトリング・タイム
(1.8V立ち下がりエッジ)



Time (2µs/div)

図 99

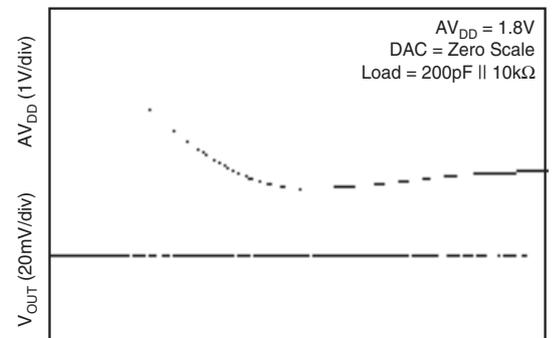
パワーオン・リセット時の0Vへのグリッチ



Time (5ms/div)

図 100

パワーオフ時のグリッチ



Time (10ms/div)

図 101

動作原理

DAC部

DAC8311およびDAC8411は、TI独自のHPA07プロセス技術を使用して製造されています。アーキテクチャは、ストリング型DACと、それに続く出力バッファ・アンプから構成されています。リファレンス入力ピンはないため、電源(AV_{DD})がリファレンスとして機能します。図102に、DACアーキテクチャのブロック図を示します。

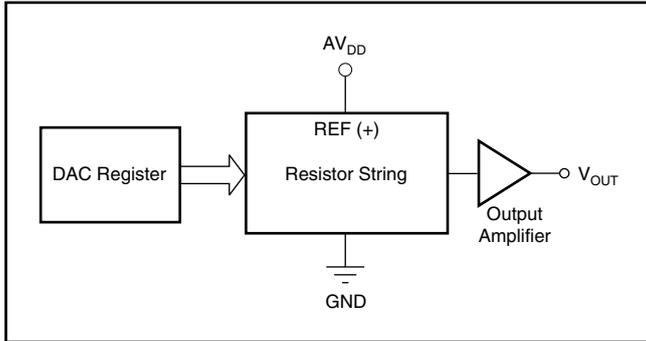


図 102. DAC8x11のアーキテクチャ

DAC8311およびDAC8411の入力コーディングはストレート・バイナリであり、理想的な出力電圧は次の式で与えられます。

$$V_{OUT} = AV_{DD} \times \frac{D}{2^n}$$

ここで

n = 分解能。14 (DAC8311) または16 (DAC8411) ビットです。
D = DACレジスタにロードされるバイナリ・コードに等価な10進数。14ビットのDAC8311では0~16,383、16ビットのDAC8411では0~65,535となります。

抵抗ストリング

図103に、抵抗ストリング部を示します。これは単純に、それぞれ値Rを持つ抵抗の列です。DACレジスタにロードされたコードに応じて、ストリングをアンプに接続するスイッチの1つが閉じられ、ストリング上の該当するノードの電圧が出力アンプに印加されます。これは抵抗の列であるため、電圧は単調に変化します。

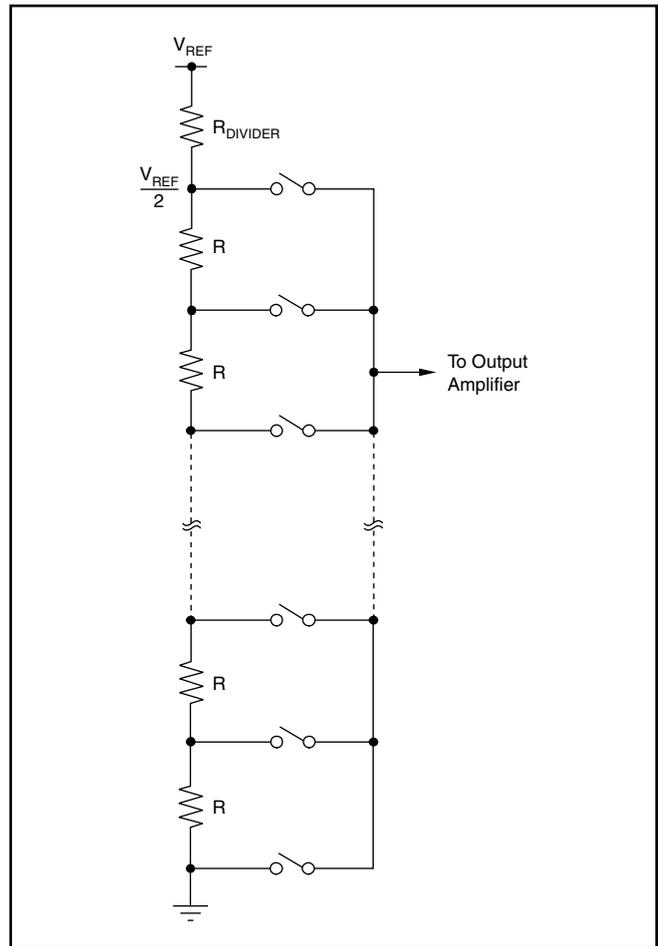


図 103. 抵抗ストリング

出力アンプ

出力バッファ・アンプは、0V~AV_{DD}の出力範囲で、レール・ツー・レール電圧を出力することができます。GNDに対して2kΩおよび100pFの並列負荷を駆動可能です。出力アンプのソースおよびシンク能力は、各デバイスの「代表的特性」に示されています。スルー・レートは0.7V/μsであり、出力無負荷時のハーフスケール・セトリング・タイムは標準6μsです。

シリアル・インターフェイス (16ビット、DAC8411)

DAC8411は、SPI、QSPI、Microwireの各インターフェイス規格およびほとんどのDSPと互換性のある、3線式シリアル・インターフェイス (SYNC、SCLK、DIN) を備えています。標準的な書き込みシーケンスの例については、「シリアル書き込み動作：16ビット」のタイミング図を参照してください。

DAC8411の入力シフト・レジスタ

表3に示すように、入力シフト・レジスタは24ビット幅です。最初の2ビットは予約済みの制御ビット (PD0およびPD1) であり、表4に示すように目的の動作モード (通常モード、または3つのパワーダウン・モードのいずれか) を設定します。最後の6ビットは “don't care” です。

書き込みシーケンスは、 $\overline{\text{SYNC}}$ ラインを “Low” にすることで開始されます。SCLKの各立ち下がりエッジで、DINラインからのデータが24ビット・シフト・レジスタに取り込まれます。シリアル・クロック周波数は最大50MHzに設定でき、高速DSPにも対応可能です。シリアル・クロックの18番目の立ち下がりエッジで、最後のデータ・ビットが取り込まれ、プログラミングされた機能が実行されます。最後の6ビットは “don't care” です。

最後のデータ・ビットが取り込まれた時点で、 $\overline{\text{SYNC}}$ ラインは “Low” に保持するか、または “High” に設定できます。いずれの場合も、 $\overline{\text{SYNC}}$ の立ち下がりエッジで次の書き込みシーケンスを開始できるよう、次の書き込みシーケンスの前に最低20ns以上 “High” にする必要があります。このように、 $\overline{\text{SYNC}}$ は次の書き込みシーケンスの前で必ず “High” にしなければなりません。

最後の6ビットは “don't care” であるため、 $\overline{\text{SYNC}}$ ラインは18ビット目がクロック・インされた後で “High” にすることができます。

DAC8411の $\overline{\text{SYNC}}$ 割り込み

通常書き込みシーケンスを行なうには、24個のSCLKの立ち下がりエッジの間、 $\overline{\text{SYNC}}$ ラインを “Low” に保持します。18番目の立ち下がりエッジでDACが更新されます。最後の6個の “don't care” ビットは無視されます。もし、18番目の立ち下がりエッジより前に $\overline{\text{SYNC}}$ を “High” にすると、書き込みシーケンスに対する割り込みとして機能します。シフト・レジスタはリセットされ、書き込みシーケンスは無効とみなされます。DACレジスタの内容は更新されず、動作モードも変化しません (図105を参照)。

DB23										DB7 DB6 DB5						DB0							
PD1	PD0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X	X	X

表 3. DAC8311のデータ入力レジスタ

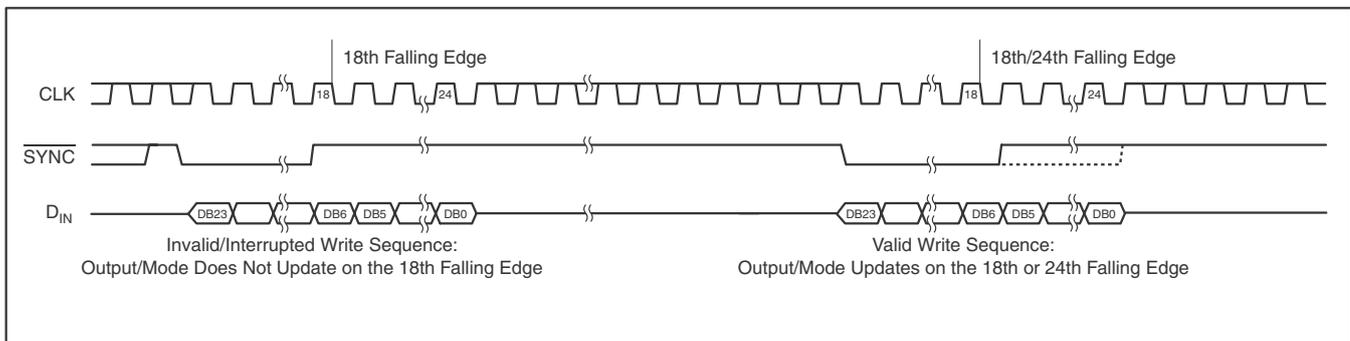


図 105. DAC8311の $\overline{\text{SYNC}}$ 割り込み機能

ゼロスケールへのパワーオン・リセット

DAC8x11には、電源投入時の出力電圧を制御するパワーオン・リセット回路が備えられています。電源投入時、DACレジスタには0が格納され、出力電圧は0Vです。DACに対して有効な書き込みシーケンスが行われるまで、DACレジスタはこの状態を保持します。この機能は、電源投入プロセス中にDACの出力状態を知る必要があるようなアプリケーションで有用です。

発生するパワーオン・グリッチ・インパルスは、標準でわずか17mVです(図29、図70、または図100を参照)。

パワーダウン・モード

DAC8x11には、4つの異なる動作モードがあります。これらのモードは、制御レジスタの2つのビット(PD1、PD0)を設定することでプログラミングできます。表4に、ビットの状態とデバイスの動作モードの関係を示します。

PD1	PD0	動作モード
0	0	通常動作 パワーダウン・モード
0	1	出力とGND間に1kΩ
1	0	出力とGND間に100kΩ
1	1	High-Z

表 4. DAC8x11の動作モード

両方のビットが0に設定されている場合、デバイスは通常動作となり、1.8Vで標準80μAの電力を消費電します。3つのパワーダウン・モードでは、標準消費電流が5Vで0.5μA、3Vで0.4μA、1.8Vで0.1μAに低下します。消費電流が低下するだけでなく、アンプの出力も既知の値の内部抵抗ネットワークへと切り替えられます。このアーキテクチャの利点は、パワーダウン・モード中でもデバイスの出力インピーダンスが既知であることです。

これには3つの異なるオプションがあります。出力を、内部で1kΩまたは100kΩの抵抗を介してGNDに接続するか、またはオープン(High-Z)にするかです。出力段については、図106を参照してください。

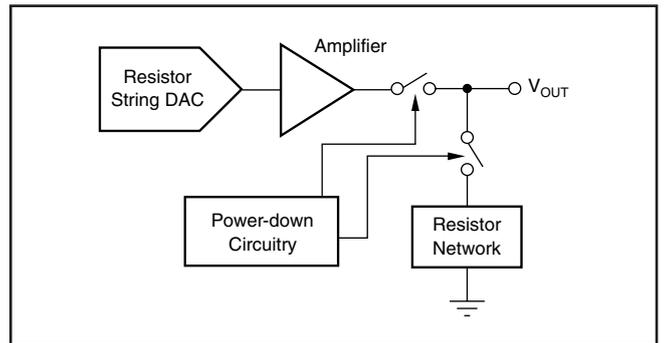


図 106. パワーダウン中の出力段

パワーダウン・モードに入ると、すべてのリニア回路がシャットダウンされます。ただし、DACレジスタの内容はパワーダウン中も保持されます。パワーダウン・モードからの復帰時間は、 $AV_{DD} = 5V$ および $AV_{DD} = 3V$ の場合、標準で50μsです。詳細については、各デバイスの「代表的特性」を参照してください。

DACのノイズ特性

DAC8x11の標準的なノイズ特性を図31および図32に示します。図31には、周波数に対する V_{OUT} ピンの出力ノイズ・スペクトル密度を、フルスケール、ミッドスケール、およびゼロスケールの入力コードについて示しています。ミッドスケール・コードに対するノイズ密度は、1kHzおよび1MHzで標準110nV/ \sqrt{Hz} です。

アプリケーション情報

DAC8x11の電源としてREF5050を使用

DAC8x11では必要な電源電流が極めて低いため、オプションとして、図107に示すように、REF5050 +5V高精度電圧リファレンスを使用してデバイスに必要な電圧を供給することもできます。このオプションは、電源にノイズが多い場合や、システム電源電圧が5V以外の値である場合などに特に便利です。REF5050は、DAC8x11に対して安定した電源電圧を出力します。REF5050を使用した場合、DAC8x11に供給する必要がある電流は、DACの出力が無負荷の状態、標準110 μ A (5V)です。DAC出力に負荷を接続した場合、REF5050は負荷にも電流を供給する必要があります。必要な合計電流 (DAC出力に5k Ω 負荷を接続した場合) は、次のようになります。

$$110\mu\text{A} + (5\text{V}/5\text{k}\Omega) = 1.11\text{mA}$$

REF5050のロードレギュレーションは標準で0.002%/mAであり、1.11mAの電流を供給した場合の誤差は90 μ Vとなります。この値は、16ビット (DAC8411) では1.1LSBの誤差に相当します。

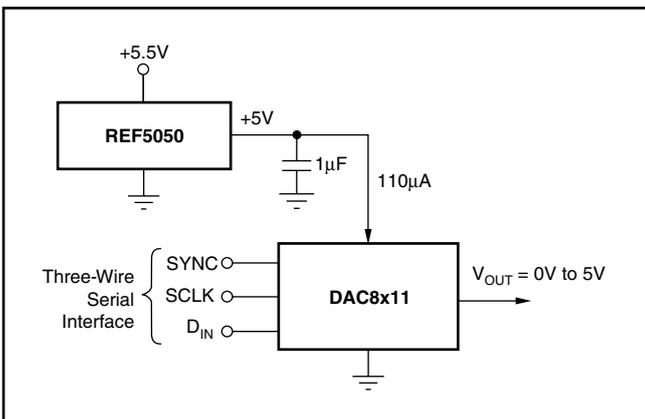


図 107. REF5050をDAC8x11の電源として使用

他の電源電圧に対しては、REF3030 (3V)、REF3033 (3.3V)、REF3220 (2.048V) などのリファレンスを推奨します。TIから提供されているすべての電圧リファレンスのリストについては、TIのWebサイト (www.ti.com) を参照してください。

DAC8x11を使用したバイポーラ動作

DAC8x11は、単一電源動作用に設計されていますが、図108に示す回路を使用して、バイポーラ出力範囲を実現することもできます。この回路では、出力電圧範囲が ± 5 Vとなります。OPA211、OPA340、またはOPA703を出力アンプとして使用することにより、レール・ツー・レール出力を実現できます。TIから提供されているすべてのオペアンプのリストについては、TIのWebサイト (www.ti.com) を参照してください。

与えられた入力コードに対する出力電圧は、次の式で計算できます。

$$V_O = \left[AV_{DD} \times \left(\frac{D}{2^n} \right) \times \left(\frac{R_1 + R_2}{R_1} \right) - AV_{DD} \times \left(\frac{R_2}{R_1} \right) \right] \quad (1)$$

ここで

n = 分解能。14 (DAC8311) または16 (DAC8411) ビットです。

D = 入力コードを10進数で表した値。0~16,383 (DAC8311) または0~65,535 (DAC8411) です。

$AV_{DD} = 5\text{V}$ 、 $R_1 = R_2 = 10\text{k}\Omega$ の場合は、次のようになります。

$$V_O = \left(\frac{10 \times D}{2^n} \right) - 5\text{V} \quad (2)$$

この出力範囲は ± 5 V であり、0000h (16ビット・レベル) が -5 V 出力、FFFFh (16ビット・レベル) が $+5$ V 出力に対応します。

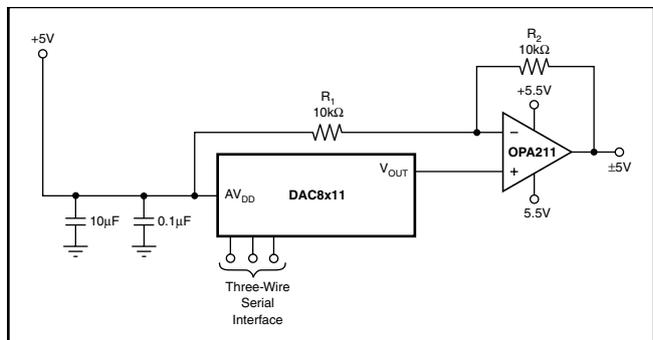


図 108. DAC8x11のバイポーラ動作

マイクロプロセッサとのインターフェイス DAC8x11から8051へのインターフェイス

図109に、DAC8x11から標準的な8051タイプのマイクロコントローラへのシリアル・インターフェイスを示します。このインターフェイスの構成は次のとおりです。8051のTXDがDAC8x11のSCLKを駆動し、RXDでDACへシリアル・データを送信します。 $\overline{\text{SYNC}}$ 信号は、ポート上のビット・プログラマブルなピンから供給されます。この例では、ポートP3.3を使用しています。DAC8x11にデータを送信するときには、P3.3を“Low”にします。8051は8ビットのみでデータを送信するため、送信サイクルでは立ち下がりクロック・エッジが8回しか発生しません。DACにデータをロードするために、最初の8ビットの送信後もP3.3は“Low”に維持します。その後、データの2番目のバイトを送信するために次の書き込みサイクルを開始します。この書き込みサイクルの完了後、P3.3を“High”にします。8051は、シリアル・データをLSBファースト形式で出力します。一方、DAC8x11はMSBファーストです。したがって、8051の送信ルーチンではこの要件を考慮し、データの順序を逆転させる必要があります。

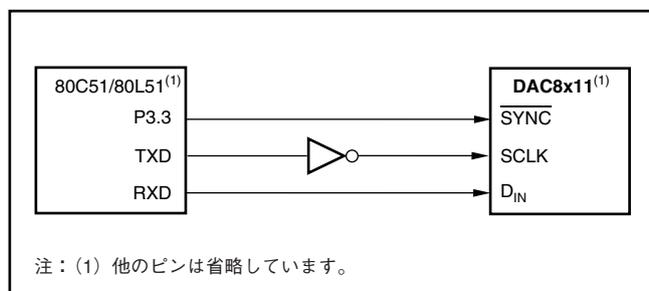


図 109. DAC8x11から80C51/80L51へのインターフェイス

DAC8x11からMicrowireへのインターフェイス

図110は、DAC8x11と任意のMicrowire互換デバイスとの間のインターフェイスを示しています。シリアル・クロックの立ち下がりエッジでシリアル・データがシフト・アウトされ、SK信号の立ち上がりエッジでDAC8x11に取り込まれます。

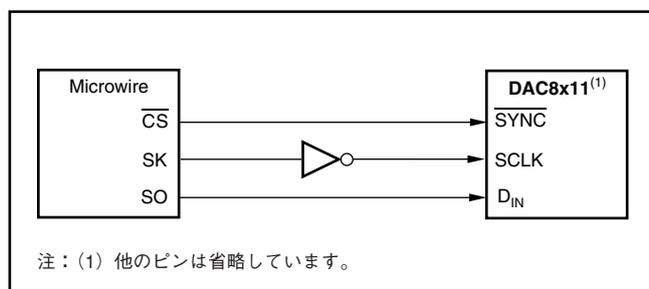


図 110. DAC8x11からMicrowireへのインターフェイス

DAC8x11から68HC11へのインターフェイス

図111に、DAC8x11と68HC11マイクロコントローラとの間のシリアル・インターフェイスを示します。68HC11のSCKがDAC8x11のSCLKを駆動し、MOSI出力でDACのシリアル・データを送信します。8051の場合と同様に、 $\overline{\text{SYNC}}$ 信号はポート(PC7)から供給しています。

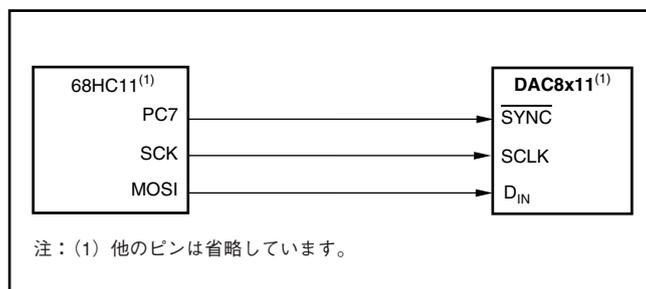


図 111. DAC8x11から68HC11へのインターフェイス

68HC11では、CPOLビットを‘0’およびCPHAビットを‘1’に設定する必要があります。この設定により、MOSIの出力データがSCKの立ち下がりエッジで有効になります。DACにデータを送信するときには、 $\overline{\text{SYNC}}$ ライン(PC7)を“Low”にします。68HC11からのシリアル・データは8ビットで送信されるため、送信サイクルでは立ち下がりクロック・エッジが8回しか発生しません。データは、MSBファーストで送信されます。DAC8x11にデータをロードするために、最初の8ビットの送信後PC7は“Low”に維持します。その後、DACに対して2回目の書き込み動作を行います。この手順の終了後、PC7を“High”にします。

レイアウト

高精度のアナログ部品に対しては、注意深いレイアウトと、適切なバイパス、およびクリーンで十分にレギュレーションされた電源が必要となります。

DAC8x11は単一電源動作が可能であり、多くの場合、デジタル・ロジック、マイクロコントローラ、マイクロプロセッサ、デジタル信号プロセッサの近くで使用されます。周辺に多くのデジタル・ロジックが配置され、スイッチングが高速になると、それだけコンバータの性能を引き出すことが難しくなります。

DAC8x11はグラウンド・ピンが1本であるため、デジタルおよびアナログ・リターン電流を含むすべてのリターン電流がGNDピンを通過して流れます。理想的には、GNDピンをアナログ用グラウンド・プレーンに直接接続します。デジタルのリターン電流を混入させないため、このプレーンは、システムの電源入力ポイントまで、デジタル部品のグラウンド配線から分離されている必要があります。

AV_{DD}に印加する電源は、適切にレギュレーションされ、低ノイズである必要があります。スイッチング電源やDC/DCコンバータの場合、出力電圧に高周波グリッチやスパイクが見られることが多くあります。また、デジタル部品はその内部ロジック状態が変化するとき、同様な高周波スパイクを発生させる場合があります。このノイズは、電源配線とアナログ出力との間のさまざまな経路を通じてDACの出力電圧に容易にカップリングされます。この状況は、電源電圧がDACのリファレンス電圧も兼ねているDAC8x11では特に発生しやすくなります。

GND配線と同様に、AV_{DD}を接続する+5V電源プレーンまたはパターンは、電源入力ポイントに接続されるまでデジタル・ロジックの配線から分離されている必要があります。それに加えて、1 μ F~10 μ F、および0.1 μ Fのバイパス・コンデンサを使用することを強く推奨します。状況によっては、さらにバイパスが必要な場合もあります。100 μ Fの電解コンデンサや、場合によってはインダクタとコンデンサで構成される π フィルタが必要になります。基本的に、これらはすべて+5V電源から高周波ノイズを排除するためのローパス・フィルタとして使用されます。

パラメータの定義

製品データシートには多様な仕様が含まれ複雑さが増しているため、ここでは、D/Aコンバータに関連する主要な仕様についてまとめています。

静的特性

静的特性パラメータには、微分非直線性(DNL)や積分非直線性(INL)などの仕様が含まれます。これらはDC仕様であり、DACの精度に関する情報を提供します。これらのパラメータは、信号が低速で変化し、正確さが要求されるアプリケーションで最も重要となります。

分解能

一般に、DACの分解能はいくつかの異なる形式で表現できます。IEC 60748-4などの仕様では、数値分解能、アナログ分解能、および相対分解能が使用されます。数値分解能は、伝達特性の全ステップ数を表現するために必要な、選択された記数法の桁数として定義されます。ここでステップは、デジタル入力コードおよびそれに対応する離散アナログ出力値の両方を表します。データシートに記載される最も一般的な分解能の定義は、ビットで表現された数値分解能です。

最下位ビット (LSB)

最下位ビット (LSB) は、2進符号化システムにおける最小の値として定義されます。LSBの値は、フルスケール出力電圧を 2^n で割ることにより求められます。ここでnはコンバータの分解能です。

最上位ビット (MSB)

最上位ビット (MSB) は、2進符号化システムにおける最大の値として定義されます。MSBの値は、フルスケール出力電圧を2で割ることにより求められます。つまり、フルスケールの1/2となります。

相対精度または積分非直線性 (INL)

相対精度または積分非直線性 (INL) は、実際の伝達関数と、理想的なDAC伝達関数の端点間を通る直線との、最大偏差として定義されます。INLはLSB単位で測定されます。

微分非直線性 (DNL)

微分非直線性 (DNL) は、理想的な1LSBステップからの実際のLSBステップの最大偏差として定義されます。理想的には、任意の2つの隣接するデジタル・コードが、正確に1LSBだけ離れた出力アナログ電圧に対応します。DNLが ± 1 LSB以内の場合、DACは“単調”となります。

フルスケール誤差

フルスケール誤差は、DACレジスタにフルスケール・コード (0xFFFF) をロードしたときの、理想的な出力電圧に対する実際のフルスケール出力電圧の偏差として定義されます。理想的には、出力は ($V_{DD} - 1$ LSB) となります。フルスケール誤差は、フルスケール・レンジに対するパーセンテージ (%FSR) で表されます。

オフセット誤差

オフセット誤差は、伝達関数の直線領域における実際の出力電圧と理想的な出力電圧の差として定義されます。この差は、2つのコード (例えば、16ビット分解能の場合、コード485および64714) で定義される直線を使って求められます。オフセット誤差は直線によって定義されるため、負または正の値を持ちます。オフセット誤差の単位はmVです。

ゼロコード誤差

ゼロコード誤差は、DACレジスタにオール '0' がロードされたときのDAC出力電圧として定義されます。ゼロコード誤差は、実際の出力電圧と理想的な出力電圧 (0V) との差を示すものです。単位はmVです。この誤差は、主に出力アンプのオフセットによって生じます。

ゲイン誤差

ゲイン誤差は、理想的な伝達関数からの実際のDAC伝達特性勾配の偏差として定義されます。ゲイン誤差は、フルスケール・レンジに対するパーセンテージ (%FSR) で表されます。

フルスケール誤差ドリフト

フルスケール誤差ドリフトは、温度の変化によって生じるフルスケール誤差の変化として定義されます。単位は%FSR/°Cです。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度の変化によって生じるオフセット誤差の変化として定義されます。単位は μ V/°Cです。

ゼロコード誤差ドリフト

ゼロコード誤差ドリフトは、温度の変化によって生じるゼロコード誤差の変化として定義されます。単位は μ V/°Cです。

ゲイン温度係数

ゲイン温度係数は、温度の変化によって生じるゲイン誤差の変化として定義されます。ゲイン温度係数は、FSR/°Cのppmで表されます。

電源除去比 (PSRR)

電源除去比 (PSRR) は、DACのフルスケール出力時の、電源電圧の変化に対する出力電圧の変化の比として定義されます。デバイスのPSRRは、DACの出力が電源電圧の変化によってどの程度影響を受けるかを示します。PSRRの単位はデシベル (dB) です。

単調性

単調性は、アナログ出力の増減が単調な勾配として定義されます。DACが単調である場合、入力コードの各増加 (または減少) ステップに対して、出力は常に同じ方向に変化するか、または少なくとも一定に保持されます。

ダイナミック特性

ダイナミック特性パラメータは、セトリング・タイムやスルー・レートなどの仕様であり、信号が高速で変化するアプリケーションや高周波信号が存在するアプリケーションで重要です。

スルー・レート

アンプまたは他の電子回路の出力スルー・レート (SR) は、あらゆる入力信号に対する出力電圧の最大変化率として定義されます。

$$SR = \max \left[\left| \frac{\Delta V_{OUT}(t)}{\Delta t} \right| \right] \quad (3)$$

ここで $\Delta V_{OUT}(t)$ は、アンプから生成される出力で、時間 t の関数です。

出力電圧セトリング・タイム

セトリング・タイムは、入力の変化後に、DAC出力がその最終値の特定の誤差幅以内まで安定するのにかかる合計時間 (スルー時間を含む) です。セトリング・タイムは、フルスケール・レンジ (FSR) の $\pm 0.003\%$ 以内 (または他の指定された値) として規定されています。

コード変化/デジタル-アナログ・グリッチ・エネルギー

デジタル-アナログ・グリッチ・インパルスは、DACレジスタ内の入力コードの状態が変化したときに、アナログ出力に注入されるインパルスです。これは通常、ナノボルト秒 (nV-s) 単位のグリッチ面積として表され、デジタル入力コードがメジャー・キャリー遷移時に1LSB変化するときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DACの出力に見られるDACのデジタル入力からのインパルスとして定義されます。これは、DAC出力が更新されないときに測定されます。単位はnV-sであり、データバス上でのフルスケールのコード変化、つまりオール '0' からオール '1' (またはその逆)のときに測定されます。

チャンネル間DCクロストーク

チャンネル間DCクロストークは、1つのDACチャンネルの出力の変化に対する、別のDACチャンネルの出力レベルのDC変化として定義されます。これは、一方のDACチャンネルをミッドスケールに保持しながら、他のDACチャンネルにフルスケール出力変化を与えることで測定されます。単位はLSBです。

チャンネル間ACクロストーク

マルチチャンネルDACのACクロストークは、あるチャンネルの出力値が周波数 f で変化したときに隣接チャンネルの出力に現れる、周波数 f (およびその高調波)のAC干渉量として定義されます。これは、あるチャンネルの出力を周波数1kHzの正弦波で振らさせながら、隣接DACチャンネル出力(ゼロスケールに保持)上の1kHz高調波の振幅を監視することで測定されます。単位はdBです。

信号対雑音比 (SNR)

信号対雑音比 (SNR) は、出力信号の実効値 (RMS) とDACサンプリング・レートの1/2の周波数帯域幅に含まれる全雑音の実効値との比として定義されます (信号のDC成分と高調波成分を除く)。単位はdBです。

全高調波歪 (THD)

全高調波歪 + ノイズは、基本周波数の値に対する、高調波とノイズのRMS値の比として定義されます。これは、サンプリング・レートが f_s のときの基本周波数振幅に対するパーセンテージで表されます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

スプリアスフリー・ダイナミック・レンジ (SFDR) は、スプリアス・ノイズによって基本波信号が干渉を受けたり歪んだりすることのないDACのダイナミック・レンジです。SFDRは、DCからフル・ナイキスト帯域幅 (DACサンプリング・レートの1/2、つまり $f_s/2$) までの高調波または非高調波の最大スパークの振幅と、基本波の振幅との差を表します。スパークとは、スペクトル・アナライザまたはフーリエ変換で確認される、DACのアナログ出力の任意の周波数成分です。SFDRは、dBc (搬送波に対するdB) 単位で表されます。

信号対雑音 + 歪 (SINAD)

SINADでは、内部のランダム・ノイズ電力の量子化に加えて、すべての高調波および顕著なスプリアス成分が、出力ノイズ電力の定義に含まれます。SINADは、指定された入力周波数およびサンプリング・レート f_s におけるdBとして表されます。

DAC出力ノイズ密度

出力ノイズ密度は、内部で発生したランダム・ノイズとして定義されます。ランダム・ノイズは、スペクトル密度 (nV/\sqrt{Hz}) として定義されます。この値は、DACをミッドスケールに設定して出力のノイズを測定することにより得られます。

DAC出力ノイズ

DAC出力ノイズは、DAC出力における目的の値からのあらゆる電圧偏差として定義されます (特定の周波数帯域内で)。この値は、DACチャンネルをミッドスケールに保持しながら、出力電圧を0.1Hz~10Hzの帯域内にフィルタリングし、その振幅ピークを測定することで得られます。DAC出力ノイズはピーク・ツー・ピーク電圧 (V_{pp}) で表されます。

フルスケール範囲 (FSR)

フルスケール範囲 (FSR) は、DACが提供するよう規定されている最大アナログ出力値と最小アナログ出力値との差です。一般には、最大値と最小値も規定されます。nビットDACの場合、これらの値は通常、コード0および $2^n - 1$ に一致する値として与えられます。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
DAC8311IDCKR	ACTIVE	SC70	DCK	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8311IDCKRG4	ACTIVE	SC70	DCK	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8311IDCKT	ACTIVE	SC70	DCK	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8311IDCKTG4	ACTIVE	SC70	DCK	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
DAC8411IDCKR	ACTIVE	SC70	DCK	6	3000	Green (RoHS & no Sb/Br)	Call TI	Level-1-260C-UNLIM
DAC8411IDCKRG4	ACTIVE	SC70	DCK	6	3000	Green (RoHS & no Sb/Br)	Call TI	Level-1-260C-UNLIM
DAC8411IDCKT	ACTIVE	SC70	DCK	6	250	Green (RoHS & no Sb/Br)	Call TI	Level-1-260C-UNLIM
DAC8411IDCKTG4	ACTIVE	SC70	DCK	6	250	Green (RoHS & no Sb/Br)	Call TI	Level-1-260C-UNLIM

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

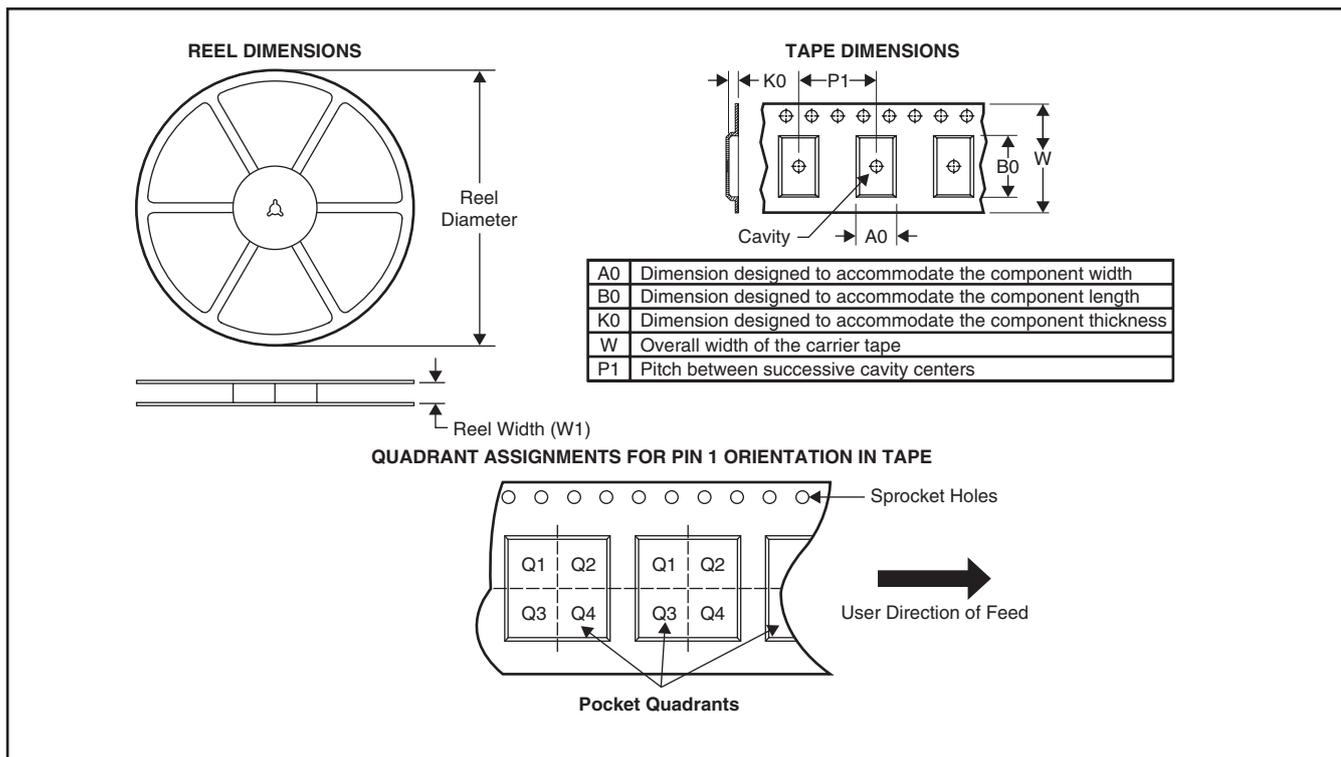
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

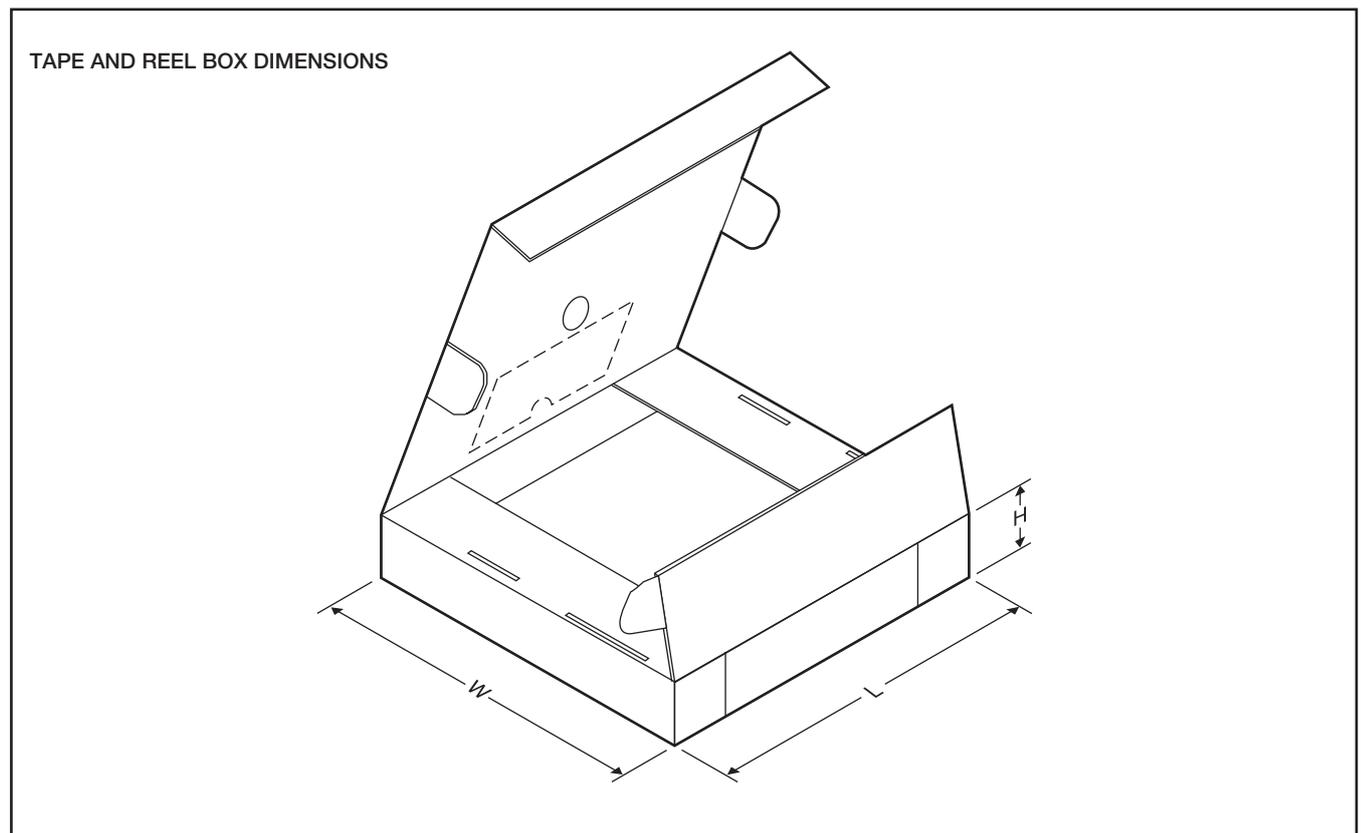
テープおよびリール・ボックス情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DAC8311IDCKR	SC70	DCK	6	3000	177.8	9.7	2.3	2.52	1.2	4.0	8.0	Q3
DAC8311IDCKT	SC70	DCK	6	250	177.8	9.7	2.3	2.52	1.2	4.0	8.0	Q3
DAC8411IDCKR	SC70	DCK	6	3000	177.8	9.7	2.3	2.52	1.2	4.0	8.0	Q3
DAC8411IDCKT	SC70	DCK	6	250	177.8	9.7	2.3	2.52	1.2	4.0	8.0	Q3

パッケージ・マテリアル情報



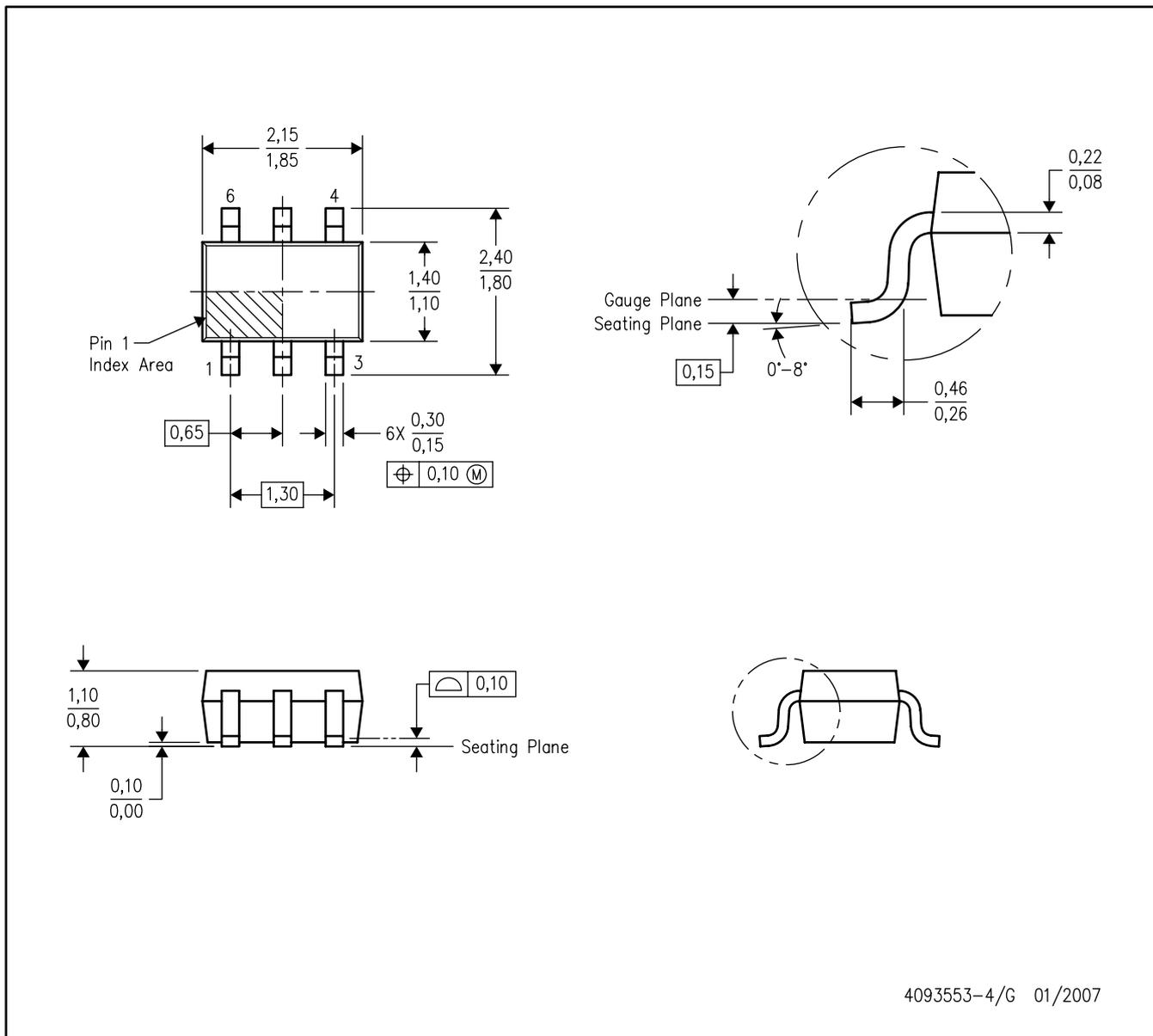
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DAC8311IDCKR	SC70	DCK	6	3000	184.0	184.0	50.0
DAC8311IDCKT	SC70	DCK	6	250	184.0	184.0	50.0
DAC8411IDCKR	SC70	DCK	6	3000	184.0	184.0	50.0
DAC8411IDCKT	SC70	DCK	6	250	184.0	184.0	50.0

メカニカル・データ

DCK (R-PDSO-G6)

PLASTIC SMALL-OUTLINE PACKAGE

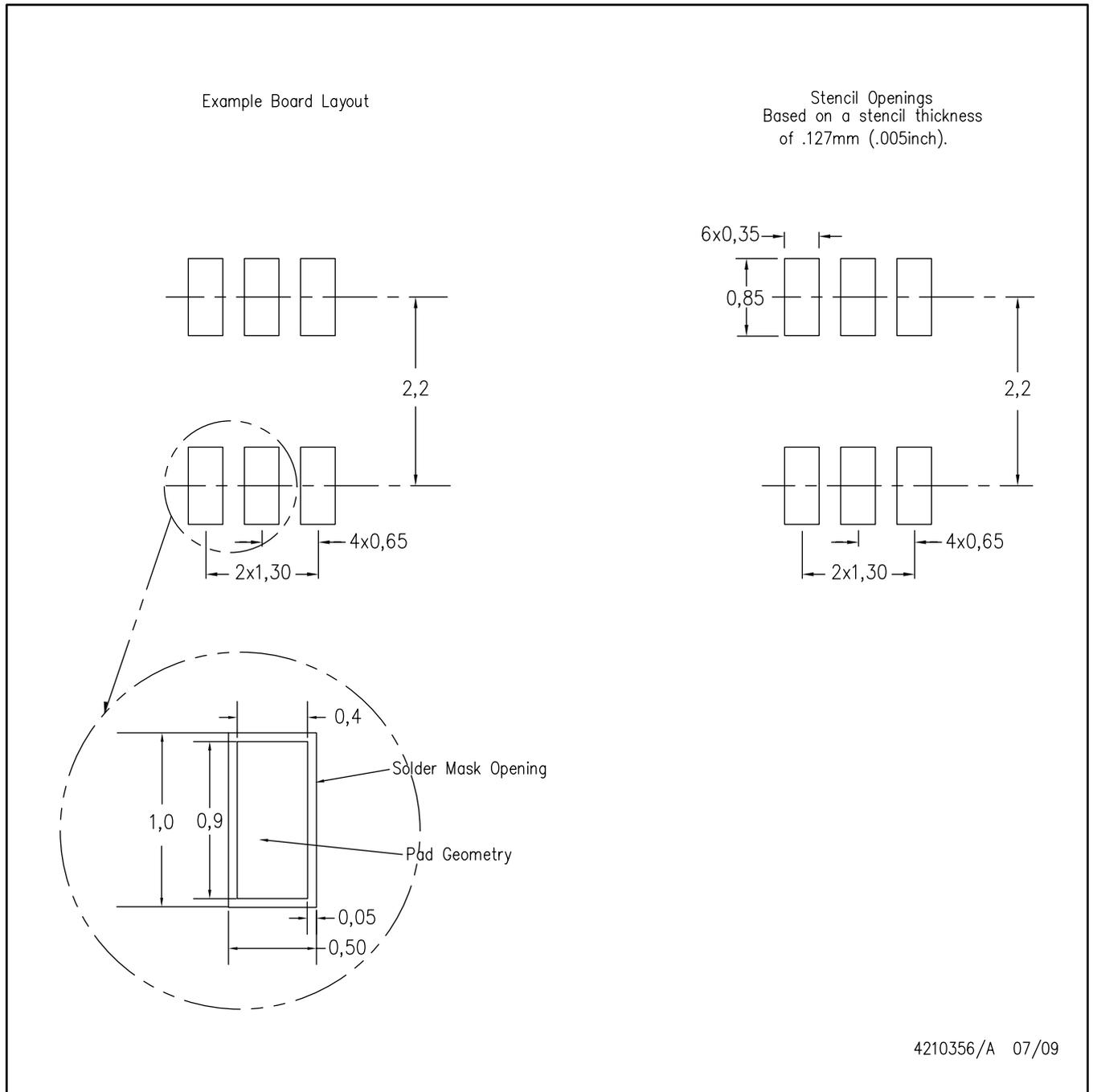


4093553-4/G 01/2007

- 注： A. 寸法はすべてミリメートルです。
 B. 本図は予告なく変更することがあります。
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。
 D. JEDEC MO-203 variationABに準拠

ランド・パターン

DCK (R-PDSO-G6)



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. 代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上