

# DAC53xAxW 10 ビット、3 チャネル/2 チャネル、電圧出力 / 電流出力スマート DAC、I<sup>2</sup>C または SPI 対応

## 1 特長

- 電流源 DAC:
  - 1LSB DNL
  - 2つの範囲: 300mA, 220mA
  - 770mV のヘッドルーム
- デュアル (DAC532A3W のみ) 電圧出力 DAC:
  - 1LSB DNL
  - 1x, 1.5x, 2x, 3x, 4x のゲイン
- チャネル 1 のプログラマブルなコンパレータモード
- VDD オフ時はハイインピーダンス出力
- ハイインピーダンスおよび抵抗性プルダウンのパワーダウンモード
- 50MHz 対応の SPI インターフェイス
- I<sup>2</sup>C または SPI を自動検出
  - $V_{DD} = 5.5V$  の場合、 $V_{IH}$  は 1.62V
- さまざまな機能に構成可能な汎用入出力 (GPIO)
- あらかじめ定義された波形生成: 正弦波、余弦波、三角波、のこぎり波
- ユーザーがプログラム可能な不揮発性メモリ (NVM)
- 基準電圧として内部または電源を使用可能
- 広い動作範囲:
  - 電源: 3V ~ 5.5V
  - 温度: -40°C ~ +125°C

## 2 アプリケーション

- タブレット (マルチメディア)
- Chromebook と WOA (Windows on Arm)
- ダッシュボード・カメラ
- 内視鏡
- アナログ・セキュリティ・カメラ
- ワイヤレス・セキュリティ・カメラ

## 3 説明

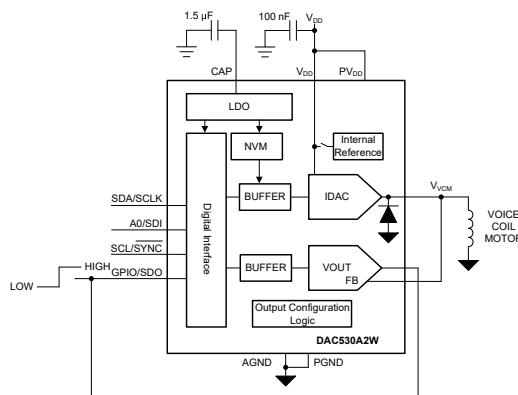
3 チャネルの DAC532A3W および 2 チャネルの DAC530A2W (DAC53xAxW) は、10 ビット、パッファ付き、電圧出力および電流出力のスマート D/A コンバータ (DAC) です。DAC53xAxW デバイスは、レーザーダイオードや小型モーターの線形制御に使用される電流源をサポートしています。これらのデバイスは、電圧出力用にハイインピーダンスのパワーダウンモードと電源オフ状態でのハイインピーダンス出力をサポートしています。チャネル 1 は、電圧出力 DAC またはコンパレータとして設定できます。電圧出力 DAC は、プログラマブルなコンパレータおよび電流シンクとして使用するためのフォースセンスオプションを備えています。このスマート DAC は、多機能 GPIO、機能生成、およびプログラム可能不揮発性メモリ (NVM) によって、プロセッサレスアプリケーションや設計の再利用を実現できます。これらのデバイスは、SPI、I<sup>2</sup>C インターフェイスを自動的に検出します。また、内部リファレンスを搭載しています。

これらのスマート DAC は、DAC53xAxW の機能セットと超小型パッケージおよび低消費電力という特長を備えており、カメラレンズのオートフォーカスやズームにおけるレーザー ダイオードの電源制御やボイスコイルモーター (VCM) 制御に最適です。

## 製品情報

部品番号	チャネル数	パッケージ <sup>(1)</sup>
DAC532A3W	3 チャネル	YBH (DSBGA, 16)
DAC530A2W	2 チャネル	

(1) 詳細については、[セクション 11](#) を参照してください。



DAC530A2W を使用したボイスコイルモーター制御

 このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

<b>1 特長</b>	1	7.11 DAC-1-CMP-MODE-CONFIG レジスタ (アドレス = 17h) [リセット = 0000h]	65
<b>2 アプリケーション</b>	1	7.12 DAC-0-FUNC-CONFIG レジスタ (アドレス = 12h) [リセット = 0000h]	66
<b>3 説明</b>	1	7.13 DAC-1-FUNC-CONFIG レジスタ (アドレス = 18h) [リセット = 0000h]	69
<b>4 ピン構成および機能</b>	4	7.14 DAC-2-FUNC-CONFIG レジスタ (アドレス = 06h) [リセット = 0000h]	72
<b>5 仕様</b>	6	7.15 DAC-0-DATA レジスタ (アドレス = 1Bh) [リセット = 0000h]	75
5.1 絶対最大定格	6	7.16 DAC-1-DATA レジスタ (アドレス = 1Ch) [リセット = 0000h]	75
5.2 ESD 定格	6	7.17 DAC-2-DATA レジスタ (アドレス = 19h) [リセット = 0000h]	75
5.3 推奨動作条件	6	7.18 COMMON-CONFIG レジスタ (アドレス = 1Fh) [リセット = 0FFFh]	76
5.4 熱に関する情報	6	7.19 COMMON-TRIGGER レジスタ (アドレス = 20h) [リセット = 0000h]	77
5.5 電気的特性:電圧出力	7	7.20 COMMON-DAC-TRIG レジスタ (アドレス = 21h) [リセット = 0000h]	78
5.6 電気的特性:電流出力	9	7.21 GENERAL-STATUS レジスタ (アドレス = 22h) [リセット = 20h、DEVICE-ID、VERSION-ID]	79
5.7 電気的特性:コンパレータモード	11	7.22 CMP-STATUS レジスタ (アドレス = 23h) [リセット = 000Ch]	80
5.8 電気的特性:総則	12	7.23 GPIO-CONFIG レジスタ (アドレス = 24h) [リセット = 0000h]	80
5.9 タイミング要件:I <sup>2</sup> C スタンダードモード	13	7.24 DEVICE-MODE-CONFIG レジスタ (アドレス = 25h) [リセット = 0000h]	83
5.10 タイミング要件:I <sup>2</sup> C フラストモード	13	7.25 INTERFACE-CONFIG レジスタ (アドレス = 26h) [リセット = 0000h]	83
5.11 タイミング要件:I <sup>2</sup> C 高速モードプラス	13	7.26 SRAM-CONFIG レジスタ (アドレス = 2Bh) [リセット = 0000h]	84
5.12 タイミング要件:SPI 書き込み動作	14	7.27 SRAM-DATA レジスタ (アドレス = 2Ch) [リセット = 0000h]	84
5.13 タイミング要件:SPI 読み出しおよびデイジーチェーン動作 (FSDO = 0)	14	7.28 BRDCAST-DATA レジスタ (アドレス = 50h) [リセット = 0000h]	84
5.14 タイミング要件:SPI 読み出しおよびデイジーチェーン動作 (FSDO = 1)	14	<b>8 アプリケーションと実装</b>	85
5.15 タイミング要件:GPIO	16	8.1 アプリケーション情報	85
5.16 タイミング図	16	8.2 代表的なアプリケーション	85
5.17 代表的特性:電圧出力	18	8.3 電源に関する推奨事項	87
5.18 代表的特性:電流出力	23	8.4 レイアウト	88
5.19 代表的特性:コンパレータ	27	<b>9 デバイスおよびドキュメントのサポート</b>	89
5.20 代表的特性:総則	28	9.1 ドキュメントのサポート	89
<b>6 詳細説明</b>	29	9.2 ドキュメントの更新通知を受け取る方法	89
6.1 概要	29	9.3 サポート・リソース	89
6.2 機能ブロック図	30	9.4 商標	89
6.3 機能説明	31	9.5 静電気放電に関する注意事項	89
6.4 デバイスの機能モード	33	9.6 用語集	89
6.5 プログラミング	49	<b>10 改訂履歴</b>	89
<b>7 レジスタマップ</b>	57	<b>11 メカニカル、パッケージ、および注文情報</b>	89
7.1 NOP レジスタ (アドレス = 00h) [リセット = 0000h]	61		
7.2 DAC-0-MARGIN-HIGH レジスタ (アドレス = 0Dh) [リセット = 0000h]	61		
7.3 DAC-1-MARGIN-HIGH レジスタ (アドレス = 13h) [リセット = 0000h]	61		
7.4 DAC-2-MARGIN-HIGH レジスタ (アドレス = 01h) [リセット = 0000h]	62		
7.5 DAC-0-MARGIN-LOW レジスタ (アドレス = 0Eh) [リセット = 0000h]	62		
7.6 DAC-1-MARGIN-LOW レジスタ (アドレス = 14h) [リセット = 0000h]	62		
7.7 DAC-2-MARGIN-LOW レジスタ (アドレス = 02h) [リセット = 0000h]	63		
7.8 DAC-0-GAIN-CONFIG レジスタ (アドレス = 0Fh) [リセット = 0000h]	63		
7.9 DAC-1-GAIN-CMP-CONFIG レジスタ (アドレス = 15h) [リセット = 0000h]	64		
7.10 DAC-2-GAIN-CONFIG レジスタ (アドレス = 03h) [リセット = 0000h]	64		



## 4 ピン構成および機能

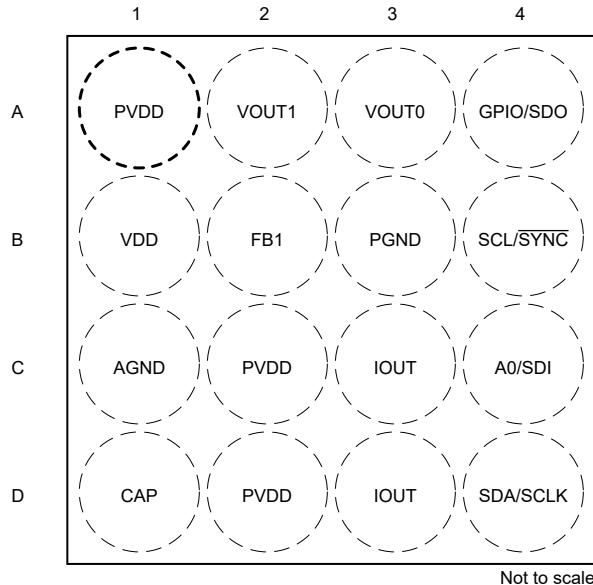


図 4-1. DAC532A3W : YBH パッケージ、16 ピン DSBGA (上面図)

表 4-1. ピンの機能 : DAC532A3W

番号	ピン 名称	タイプ	説明
A1	PVDD	電源	電流源の電源。このピンは、トレース インピーダンスを低くして VDD に接続します
A2	VOUT1	出力	DAC チャネル 1 の電圧出力
A3	VOUT0	出力	DAC チャネル 0 の電圧出力
A4	GPIO/SDO	入力 / 出力	汎用入出力ピンは、LDAC, PD, PROTECT, RESET, SDO, STATUS として設定できます。STATUS および SDO として使用する場合は、このピンを外部プルアップ抵抗を介して I/O 電圧に接続してください。使用しない場合は、外付け抵抗を使用して GPIO/SDO ピンを VDD または AGND に接続します。このピンは VDD よりも先に上昇可能です。
B1	VDD	電源	電源電圧
B2	FB1	入力	チャネル 1 の電圧フィードバックピン。電圧出力モードでは、閉ループ アンプ出力の場合は VOUT1 に接続します。このピンはコンバレータ モードでのアナログ入力として使用します。
B3	PGND	グランド	電流源のグランド帰路。このピンを AGND に接続します。
B4	SCL/SYNC	出力	I <sup>2</sup> C シリアル インターフェイス クロックまたは SPI チップ セレクト入力。このピンを外付けプルアップ抵抗を使用して I/O 電圧に接続します。このピンは VDD よりも先に上昇可能です。
C1	AGND	グランド	デバイスの全回路のグランド基準点
C2	PVDD	電源	電流源の電源。このピンを VDD に接続します。
C3	IOUT	出力	チャネル 2 の電流出力
C4	A0/SDI	入力	I <sup>2</sup> C または SPI 用シリアル データ入力のアドレス構成ピン。 A0 の場合、アドレス構成としてこのピンを VDD, AGND, SDA, SCL に接続します (アドレス バイト セクションを参照)。 SDI の場合、このピンをプルアップもプルダウンもする必要はありません。このピンは VDD よりも先に上昇可能です。
D1	CAP	電源	内部 LDO 用の外部バイパス コンデンサ。CAP と AGND の間に約 1.5μF のコンデンサを接続します。
D2	PVDD	電源	電流源の電源。このピンを VDD に接続します。
D3	IOUT	出力	チャネル 2 の電流出力
D4	SDA/SCLK	入力 / 出力	双方向 I <sup>2</sup> C シリアル データバス、または SPI クロック入力。I <sup>2</sup> C モードでは、外部プルアップ抵抗を使用してこのピンを I/O 電圧に接続します。このピンは VDD よりも先に上昇可能です。

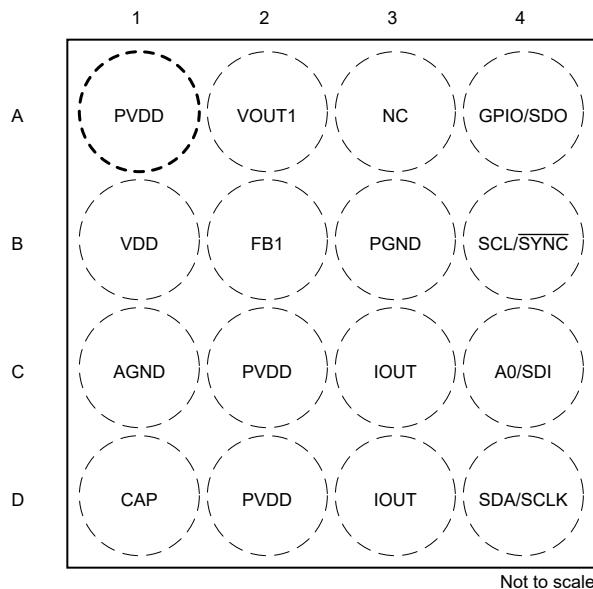


図 4-2. DAC530A2W : YBH パッケージ、16 ピン DSBGA (上面図)

表 4-2. ピンの機能 : DAC530A2W

ピン 番号	名称	タイプ	説明
A1	PVDD	電源	電流源の電源。このピンは、トレース インピーダンスを低くして VDD に接続します
A2	VOUT1	出力	DAC チャネル 1 の電圧出力
A3	NC	--	このボールをパッドに半田付けします
A4	GPIO/SDO	入力 / 出力	汎用入出力ピンは、LDAC, PD, PROTECT, RESET, SDO, STATUS として設定できます。STATUS および SDO として使用する場合は、このピンを外部プルアップ抵抗を介して I/O 電圧に接続してください。使用しない場合は、外付け抵抗を使用して GPIO/SDO ピンを VDD または AGND に接続します。このピンは VDD よりも先に上昇可能です。
B1	VDD	電源	電源電圧
B2	FB1	入力	チャネル 1 の電圧フィードバックピン。電圧出力モードでは、閉ループ アンプ出力の場合は VOUT1 に接続します。このピンはコンバレータ モードでのアナログ入力として使用します。
B3	PGND	グランド	電流源のグランド帰路。このピンを AGND に接続します。
B4	SCL/SYNC	出力	I <sup>2</sup> C シリアル インターフェイス クロックまたは SPI チップ セレクト入力。このピンを外付けプルアップ抵抗を使用して I/O 電圧に接続します。このピンは VDD よりも先に上昇可能です。
C1	AGND	グランド	デバイスの全回路のグランド基準点
C2	PVDD	電源	電流源の電源。このピンを VDD に接続します。
C3	IOUT	出力	チャネル 2 の電流出力
C4	A0/SDI	入力	I <sup>2</sup> C または SPI 用シリアル データ入力のアドレス構成ピン。 A0 の場合、アドレス構成としてこのピンを VDD, AGND, SDA, SCL に接続します (アドレス バイト セクションを参照)。 SDI の場合、このピンをプルアップまたはプルダウンする必要はありません。このピンは VDD よりも先に上昇可能です。
D1	CAP	電源	内部 LDO 用の外部バイパス コンデンサ。CAP と AGND の間に約 1.5μF のコンデンサを接続します。
D2	PVDD	電源	電流源の電源。このピンを VDD に接続します。
D3	IOUT	出力	チャネル 2 の電流出力
D4	SDA/SCLK	入力 / 出力	双方向 I <sup>2</sup> C シリアル データ バス、または SPI クロック入力。I <sup>2</sup> C モードでは、外部プルアップ抵抗を使用して、このピンを I/O 電圧に接続する必要があります。このピンは VDD よりも先に上昇可能です。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
V <sub>DD</sub>	電源電圧、V <sub>DD</sub> から AGND へ	-0.3	6	V
PV <sub>DD</sub>	供給電圧、PV <sub>DD</sub> から V <sub>DD</sub> へ	-0.3	0.3	V
	デジタル入力から AGND へ	-0.3	V <sub>DD</sub> + 0.3	V
	V <sub>FB1</sub> から AGND へ	-0.3	V <sub>DD</sub> + 0.3	V
	V <sub>OUTX</sub> から AGND へ	-0.3	V <sub>DD</sub> + 0.3	V
	I <sub>OUT</sub> から AGND へ	-0.3	V <sub>DD</sub> + 0.3	V
	I <sub>OUT</sub> 、V <sub>OUTX</sub> 、V <sub>DD</sub> 、PV <sub>DD</sub> 、PGND、AGND ピンを除く任意のピンに流れ込む電流	-10	10	mA
T <sub>J</sub>	接合部温度	-40	150	°C
T <sub>stg</sub>	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±2000
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン <sup>(2)</sup>	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。  
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V <sub>DD</sub>	グランド (AGND)、抵抗性負荷、またはダイオード負荷への正の電源電圧	3		5.5	V
	グランド (AGND)、誘導性負荷への正の電源電圧	3		4.5	
PV <sub>DD</sub>	グランド (PGND) への正の電源電圧		V <sub>DD</sub>		V
V <sub>IH</sub>	デジタル入力高電圧、3V < V <sub>DD</sub> ≤ 5.5V		1.62		V
V <sub>IL</sub>	デジタル入力低電圧			0.4	V
C <sub>CAP</sub>	CAP ピンの外部コンデンサ	0.5		15	μF
T <sub>A</sub>	周囲温度	-40		125	°C

### 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		DAC532A3W、DAC530A2W	単位
		YBH (DSBGA)	
		16 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	81.2	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	0.3	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	20.3	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	0.2	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	20.3	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

## 5.5 電気的特性：電圧出力

すべての最小値および最大値の仕様は  $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ 、標準仕様は  $T_A = 25^{\circ}\text{C}$ 、  
 $3\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、リファレンスとしての  $V_{DD}$ 、ゲイン = 1 $\times$ 、抵抗性負荷 ( $R_L = 5\text{k}\Omega$  から AGND) および容量性負荷 ( $C_L = 200\text{pF}$  から AGND) が負荷された電圧出力 DAC ピン ( $VOUT_x$ )、デジタル入力は VDD または AGND (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>安定動作</b>					
		10			ビット
INL	積分非線形性 <sup>(1)</sup>	-1.25	1.25		LSB
DNL	微分非直線性 <sup>(1)</sup>	-1	1		LSB
	ゼロ コード誤差 <sup>(2)</sup>	6	12		
	コード 0d を DAC に入力、内部 $V_{REF}$ 、ゲイン = 4 $\times$ 、 $V_{DD} = 5.5\text{V}$	6	15		mV
	ゼロ コード誤差の温度係数 <sup>(2)</sup>		±10		$\mu\text{V}/^{\circ}\text{C}$
	オフセット誤差 <sup>(2)</sup>	-0.5	0.25	0.5	%FSR
	オフセット誤差の温度係数 <sup>(2)</sup>	±0.0003			%FSR/ $^{\circ}\text{C}$
	ゲイン誤差 <sup>(2)</sup>	-0.5	0.25	0.5	%FSR
	ゲイン誤差の温度係数 <sup>(2)</sup>	±0.0008			%FSR/ $^{\circ}\text{C}$
	フルスケール誤差 <sup>(2)</sup>	-0.5	0.5		%FSR
	フルスケール誤差の温度係数 <sup>(2)</sup>	±0.0008			%FSR/ $^{\circ}\text{C}$
<b>出力</b>					
	出力電圧	0	$V_{DD}$		V
$C_L$	容量性負荷 <sup>(3)</sup>	$R_L = \text{無限}$ 、位相マージン = 30°	200		
		位相マージン = 30°	1000		pF
	短絡電流	$V_{DD} = 3\text{V}$ 、フルスケール出力を AGND に短絡または ゼロスケール出力を $V_{DD}$ に短絡	50		
		$V_{DD} = 5.5\text{V}$ 、フルスケール出力を AGND に短絡または ゼロスケール出力を $V_{DD}$ に短絡	60		mA
	出力電圧ヘッドルーム <sup>(3)</sup>	$V_{DD} \sim$ 、DAC 出力無負荷、内部リファレンス = 1.21V)、 $V_{DD} \geq 1.21\text{V} \times \text{ゲイン} + 0.2\text{V}$	0.2		V
		$V_{DD}$ および AGND $\sim$ 、DAC 出力は無負荷	0.8		
		$V_{DD}$ および AGND $\sim$ 、 $I_{LOAD} = 10\text{mA}$ ( $V_{DD} = 5.5\text{V}$ )、 $I_{LOAD} = 3\text{mA}$ ( $V_{DD} = 3\text{V}$ )	10		%FSR
$Z_O$	$V_{FB}$ DC 出力インピーダンス <sup>(4)</sup>	DAC 出力イネーブル、内部リファレンス (ゲイン = 1.5 $\times$ または 2 $\times$ ) またはリファレンスとしての $V_{DD}$ (ゲイン = 1 $\times$ )	400	500	600
		DAC 出力イネーブル、内部 $V_{REF}$ 、ゲイン = 3 $\times$ または 4 $\times$	325	400	485
	電源除去比 (DC)	内部 $V_{REF}$ 、ゲイン = 2 $\times$ 、ミッドスケールでの DAC、 $V_{DD} = 5\text{V} \pm 10\%$	0.25		mV/V

## 5.5 電気的特性：電圧出力 (続き)

すべての最小値および最大値の仕様は  $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ 、標準仕様は  $T_A = 25^{\circ}\text{C}$ 、  
 $3\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、リファレンスとしての  $V_{DD}$ 、ゲイン =  $1\times$ 、抵抗性負荷 ( $R_L = 5\text{k}\Omega$  から AGND) および容量性負荷 ( $C_L = 200\text{pF}$  から AGND) が負荷された電圧出力 DAC ピン (VOUTx)、デジタル入力は VDD または AGND (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位		
<b>ダイナミック性能</b>							
$t_{sett}$	出力電圧セッティング時間	1/4 から 3/4 へのスケール、3/4 から 1/4 へのスケールで 10% FSR にセッティング、 $V_{DD} = 5.5\text{V}$	20	μs			
		1/4 から 3/4 へのスケール、3/4 から 1/4 へのスケールで 10% FSR にセッティング、 $V_{DD} = 5.5\text{V}$ 、内部 $V_{REF}$ 、ゲイン = $4\times$	25				
スルーレート		$V_{DD} = 5.5\text{V}$	0.3	V/μs			
電源オン時のグリッチ振幅		スタートアップ時、DAC 出力ディスエーブル	75	mV			
		スタートアップ時、DAC 出力ディスエーブル、 $R_L = 100\text{k}\Omega$	200				
出力イネーブルのグリッチ振幅		DAC 出力をディスエーブルからイネーブルへ、ゼロスケールでの DAC レジスタ、 $R_L = 100\text{k}\Omega$	250	mV			
$V_n$	出力ノイズ電圧 (ピークツーピーク)	f = 0.1Hz ~ 10Hz、ミッドスケールでの DAC、 $V_{DD} = 5.5\text{V}$	50	μV <sub>PP</sub>			
		内部 $V_{REF}$ 、ゲイン = $4\times$ 、f = 0.1Hz ~ 10Hz、 ミッドスケールでの DAC、 $V_{DD} = 5.5\text{V}$	90				
出力ノイズ密度		f = 1kHz、ミッドスケールでの DAC、 $V_{DD} = 5.5\text{V}$	0.35	μV/√Hz			
		内部 $V_{REF}$ 、ゲイン = $4\times$ 、f = 1kHz、ミッドスケールでの DAC、 $V_{DD} = 5.5\text{V}$	0.9				
電源除去比 (AC) <sup>(4)</sup>		内部 $V_{REF}$ 、ゲイン = $4\times$ 、電源電圧に重ね合わせた 200mV 50Hz または 60Hz 正弦波、ミッドスケールでの DAC	-68	dB			
コード書き換えによるグリッチ インバ尔斯		ミッドスケール付近で ±1LSB の変化 (フィードスルーを含む)	10	nV-s			
コード書き換えによるグリッチ インバ尔斯振幅		ミッドスケール付近で ±1LSB の変化 (フィードスルーを含む)	15	mV			
<b>電源</b>							
$I_{DD}$	VDD に流れる電流 <sup>(2) (5)</sup>	DAC532A3W: 通常動作、フルスケール時の DAC、デジタルピンは静的	150	μA/ch			
		DAC530A2W: 通常動作、フルスケール時の DAC、デジタルピンは静的	65				
			85				

- (1) DAC 出力を無負荷の状態で測定しています。内部リファレンス  $V_{DD} \geq 1.21 \times \text{ゲイン} + 0.2\text{V}$  の場合、エンドポイントコードの間: 10 ビット分解能の場合は  $8d \sim 1016d$ 。
- (2) DAC 出力を無負荷の状態で測定しています。
- (3) 設計と特性評価による仕様で、製造テストは未実施。
- (4) 内部リファレンスを使用する場合、リファレンス値に対して 200mV のヘッドルームで規定。
- (5) 総消費電力は、 $I_{DD} \times (\text{電源オンされるチャネルの合計数}) + (\text{スリープモード電流})$  で計算されます。

## 5.6 電気的特性：電流出力

すべての最小値および最大値の仕様は  $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ 、標準仕様は  $T_A = 25^{\circ}\text{C}$ 、 $3\text{V} \leq V_{DD} \leq 4.5\text{V}$ 、デジタル入力は  $V_{DD}$  または AGND (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>安定動作</b>					
分解能		10			ビット
INL	積分非直線性	-1.25	1.25	1.25	LSB
DNL	微分非直線性	-1	1	1	LSB
	オフセット エラー	6			mA
	ゲイン誤差	16.6			%FSR
<b>出力</b>					
出力範囲 <sup>(1)</sup>	IOUT-GAIN = 000b	300			mA
	IOUT-GAIN = 001b	220			
出力電圧ヘッドルーム <sup>(2)</sup>	300mA でのソース電流	770	1500	1500	mV
	100mA でのソース電流	300	1500	1500	
	DAC チャネル ディスエーブル、内部プルダウン抵抗の両端の電圧	3			mV
電源除去比 (DC)	ミッドスケールでの DAC、 $V_{DD}$ を 3.5V から 4.5V に変更	0.5			LSB/V

## 5.6 電気的特性：電流出力 (続き)

すべての最小値および最大値の仕様は  $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ 、標準仕様は  $T_A = 25^{\circ}\text{C}$ 、 $3\text{V} \leq V_{DD} \leq 4.5\text{V}$ 、デジタル入力は  $VDD$  または  $AGND$  (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>ダイナミック性能</b>					
$t_{sett}$	出力電流セッティング時間	1/4 から 3/4 へのスケール、3/4 から 1/4 へのスケールで 1LSB にセッティング、 $V_{DD} = 3\text{V}$ 、ダイオード負荷	60	260	$\mu\text{s}$
		1/8 から 3/8 へのスケール、3/8 から 1/8 へのスケールで 1LSB にセッティング、 $V_{DD} = 4\text{V}$ 、誘導性負荷、 $C_L = 470\text{nF}$	260		
オーバーシュート		DAC コードを 1/4 スケールから 3/4 スケールに変更、ダイオード負荷	0.7	1	$\%$
		DAC が電源オフ、フルスケール電流がスルーレート設定 32LSB および $4\mu\text{s}$ ステップで MARGIN-HIGH としてプログラム、DAC が電源オン、直ちにマージン開始の指示、ダイオード負荷	1		
		DAC が電源オフ、ミッドスケール電流がスルーレート設定 32LSB および $4\mu\text{s}$ ステップで MARGIN-HIGH としてプログラム、DAC が電源オン、直ちにマージン開始の指示、誘導性負荷	1		
		ゼロスケールでの DAC、フルスケール電流がスルーレート設定 32LSB および $4\mu\text{s}$ ステップで MARGIN-HIGH としてプログラム、マージン開始の指示、ダイオード負荷	1		
		ゼロスケールでの DAC、ミッドスケール電流がスルーレート設定 32LSB および $4\mu\text{s}$ ステップで MARGIN-HIGH としてプログラム、マージン開始の指示、誘導性負荷、 $C_L = 470\text{nF}$	1		
		フルスケールでの DAC、ゼロスケール電流がスルーレート設定 32LSB および $4\mu\text{s}$ ステップで MARGIN-LOW としてプログラム、マージン開始の指示、ダイオード負荷	-1		
		ミッドスケールでの DAC、ゼロスケール電流がスルーレート設定 32LSB および $4\mu\text{s}$ ステップで MARGIN-LOW としてプログラム、マージン開始の指示、誘導性負荷、 $C_L = 470\text{nF}$	-1		
$V_n$	出力ノイズ電流 (ピークツーピーク)	0.1Hz ~ 10Hz、1/4 スケールでの DAC、誘導性負荷、 $C_L = 470\text{nF}$	50		$\mu\text{A}_{PP}$
	出力ノイズ 密度	$f = 1\text{kHz}$ 、1/4 スケールでの DAC、誘導性負荷、 $C_L = 470\text{nF}$	159		$\text{nA}/\sqrt{\text{Hz}}$
	電源除去比 (AC)	電源電圧に重ね合わせた 200mV 50Hz または 60Hz 正弦波、1/4 スケールでの DAC、誘導性負荷、 $C_L = 470\text{nF}$	1.7		LSB/V
<b>電源</b>					
$I_{DD}$	$VDD$ に流れる電流 <sup>(3)</sup>	通常動作、ミッドスケールでの DAC	172		$\mu\text{A}$

- (1) 電気的仕様を満たすために、最小電流範囲のデバイスを使用します。
- (2) これらのデバイスには、自動サーマルシャットダウン機能はありません。外部回路は、接合部温度を規定の制限範囲内に維持する必要があります。
- (3)  $V_{DD}$  に流れる電流には、IOUT ピンに供給される負荷電流またはシンクされる負荷電流は考慮されていません。

## 5.7 電気的特性：コンパレータ モード

すべての最小値および最大値の仕様は  $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ 、標準仕様は  $T_A = 25^{\circ}\text{C}$ 、

$3\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、 $V_{DD}$  リファレンス、ゲイン = 1x、抵抗性負荷 ( $R_L = 5\text{k}\Omega$  から AGND) および容量性負荷 ( $C_L = 200\text{pF}$  から AGND) が負荷された電圧出力 DAC 出力ピン (VOUTx)、デジタル入力は VDD または AGND (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>安定動作</b>					
オフセット誤差 <sup>(1) (2)</sup>	$3\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、ミッドスケールでの DAC、ハイインピーダンスのコンパレータ入力	-6	0	6	mV
オフセット誤差の時間ドリフト <sup>(1)</sup>	$V_{DD} = 5.5\text{V}$ 、 $T_A = 125^{\circ}\text{C}$ 、FB1 はハイインピーダンスモード、フルスケールでの DAC、0V での $V_{FB}$ 、ゼロスケールでの DAC、1.84V での $V_{FB1}$ 、10 年間の連続運転に指定されたドリフト		4		mV
<b>出力</b>					
入力電圧	グランドに接続された $V_{FB1}$ 抵抗ネットワーク	0	$V_{DD}$		V
	グランドから接続解除された $V_{FB1}$ 抵抗ネットワーク	0	$V_{DD} \times (1/3 - 1/100)$		
$V_{OL}$	ロジック Low 出力電圧	$I_{LOAD} = 100\mu\text{A}$ 、オープンドレインモードで出力	0.1		V
<b>ダイナミック性能</b>					
$t_{resp}$	出力応答時間	10 ビット分解能でミッドスケールでの DAC、FB1 入力はハイインピーダンス、FB1 ノードでの遷移ステップは $(V_{DAC} - 2\text{LSB})$ から $(V_{DAC} + 2\text{LSB})$ 、遷移時間は出力の 10% ~ 90% の間で測定、出力電流は $100\mu\text{A}$ 、コンパレータ出力はプッシュプルモードに構成、DAC 出力での負荷コンデンサは $25\text{pF}$	10		$\mu\text{s}$

(1) 設計と特性評価による仕様で、製造テストは未実施。

(2) この仕様には、DAC の総合未調整誤差 (TUE) は含まれていません。

## 5.8 電気的特性：総則

すべての最小値および最大値の仕様は  $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ 、標準仕様は  $T_A = 25^{\circ}\text{C}$ 、  
 $3\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、リファレンスとしての  $V_{DD}$ 、ゲイン = 1 ×、電圧出力モードで抵抗性負荷 ( $R_L = 5\text{k}\Omega$  から AGND) および容量性負荷  
( $C_L = 200\text{pF}$  から AGND) が負荷された電圧出力 DAC 出力ピン ( $V_{OUTx}$ )、デジタル入力は VDD または AGND (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>内部リファレンス</b>					
初期精度		1.1979	1.212	1.224	V
リファレンス出力の温度係数 <sup>(1) (2)</sup>			73		ppm/°C
<b>EEPROM</b>					
耐久性 <sup>(1)</sup>	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	20000			サイクル
	$T_A = 125^{\circ}\text{C}$	1000			
データ保持期間 <sup>(1)</sup>		50			年
EEPROM プログラミング書き込みサイクル時間 <sup>(1)</sup>		200			ms
デバイスのブートアップ時間 <sup>(1)</sup>	電源有効 ( $V_{DD} \geq 3\text{V}$ ) から出力有効状態 (EEPROM にプログラムされた出力状態) までに要する時間、CAP ピンの $0.5\mu\text{F}$ コンデンサ	5			ms
<b>デジタル入力</b>					
デジタル フィードスルー	電圧出力モード、ミッドスケールでの DAC 静的出力、高速モードプラス、SCL トグル	20			nV-s
ピン容量 1	ピンごと	10			pF
<b>パワーダウン モード</b>					
$I_{DD}$	VDD に流れる電流	DAC はディープスリープ モード、内部リファレンスはパワーダウン、SDO モード ディスエーブル	1.5	3	$\mu\text{A}$
		DAC はスリープ モード、内部リファレンスはパワーダウン	28		
$I_{DD}$	VDD に流れる電流 <sup>(1)</sup>	DAC はスリープ モード、内部リファレンス イネーブル、内部リファレンスを流れる追加電流	10		$\mu\text{A}$
		DAC チャネル イネーブル、内部リファレンス イネーブル、電圧出力モードで DAC チャネルごとに内部リファレンスを流れる追加電流	12.5		
<b>ハイインピーダンス出力</b>					
$I_{LEAK}$	$V_{OUT}$ および $V_{FB}$ に流れる電流	DAC はハイインピーダンス出力モード、 $3\text{V} \leq V_{DD} \leq 5.5\text{V}$	10		$\text{nA}$
		$V_{DD} = 0\text{V}$ 、 $V_{OUT} \leq 1.5\text{V}$ 、 $V_{DD}$ と AGND = $0.1\mu\text{F}$ の間のデカップリング コンデンサ	200		
		$V_{DD} = 0\text{V}$ 、 $1.5\text{V} < V_{OUT} \leq 5.5\text{V}$ 、 $V_{DD}$ と AGND = $0.1\mu\text{F}$ の間のデカップリング コンデンサ	500		
		$V_{DD}$ と AGND の間の $100\text{k}\Omega$ 、 $V_{OUT} \leq 1.25\text{V}$ 、OUT ピンの $10\text{k}\Omega$ の直列抵抗	$\pm 2$		

(1) 設計と特性評価による仕様で、製造テストは未実施。

(2)  $-40^{\circ}\text{C}$  および  $125^{\circ}\text{C}$  で測定し、勾配を計算しています。

## 5.9 タイミング要件 : I<sup>2</sup>C スタンダード モード

すべての入力信号は、V<sub>IIL</sub> から V<sub>pull-up</sub> の 70%、3V ≤ V<sub>DD</sub> ≤ 5.5V、−40°C ≤ T<sub>A</sub> ≤ +125°C、1.7V ≤ V<sub>pull-up</sub> ≤ V<sub>DD</sub> まででタイミング設定されます

		最小値	公称値	最大値	単位
f <sub>SCL</sub>	SCL 周波数			100	kHz
t <sub>BUF</sub>	停止条件と始動条件の間のバス解放時間	4.7			μs
t <sub>HDSTA</sub>	リピート スタート後のホールド時間	4			μs
t <sub>SUSTA</sub>	繰り返しスタートのセットアップ時間	4.7			μs
t <sub>SUSTO</sub>	STOP 条件のセットアップ時間	4			μs
t <sub>HDDAT</sub>	データ ホールド時間	0			ns
t <sub>SUDAT</sub>	データ セットアップ時間	250			ns
t <sub>LOW</sub>	SCL クロックの Low 期間	4700			ns
t <sub>HIGH</sub>	SCL クロックの High 期間	4000			ns
t <sub>F</sub>	クロック / データの立ち下がり時間			300	ns
t <sub>R</sub>	クロック / データの立ち上がり時間			1000	ns
t <sub>VDDAT</sub>	データ有効時間、R = 360Ω、C <sub>trace</sub> = 23pF、C <sub>probe</sub> = 10pF			3.45	μs
t <sub>VDACK</sub>	データ有効アクノリッジ時間、R = 360Ω、C <sub>trace</sub> = 23pF、C <sub>probe</sub> = 10pF			3.45	μs

## 5.10 タイミング要件 : I<sup>2</sup>C ファスト モード

すべての入力信号は、V<sub>IIL</sub> から V<sub>pull-up</sub> の 70%、3V ≤ V<sub>DD</sub> ≤ 5.5V、−40°C ≤ T<sub>A</sub> ≤ +125°C、1.7V ≤ V<sub>pull-up</sub> ≤ V<sub>DD</sub> まででタイミング設定されます

		最小値	公称値	最大値	単位
f <sub>SCL</sub>	SCL 周波数			400	kHz
t <sub>BUF</sub>	停止条件と始動条件の間のバス解放時間	1.3			μs
t <sub>HDSTA</sub>	リピート スタート後のホールド時間	0.6			μs
t <sub>SUSTA</sub>	繰り返しスタートのセットアップ時間	0.6			μs
t <sub>SUSTO</sub>	STOP 条件のセットアップ時間	0.6			μs
t <sub>HDDAT</sub>	データ ホールド時間	0			ns
t <sub>SUDAT</sub>	データ セットアップ時間	100			ns
t <sub>LOW</sub>	SCL クロックの Low 期間	1300			ns
t <sub>HIGH</sub>	SCL クロックの High 期間	600			ns
t <sub>F</sub>	クロック / データの立ち下がり時間			300	ns
t <sub>R</sub>	クロック / データの立ち上がり時間			300	ns
t <sub>VDDAT</sub>	データ有効時間、R = 360Ω、C <sub>trace</sub> = 23pF、C <sub>probe</sub> = 10pF			0.9	μs
t <sub>VDACK</sub>	データ有効アクノリッジ時間、R = 360Ω、C <sub>trace</sub> = 23pF、C <sub>probe</sub> = 10pF			0.9	μs

## 5.11 タイミング要件 : I<sup>2</sup>C 高速モード プラス

すべての入力信号は、V<sub>IIL</sub> から V<sub>pull-up</sub> の 70%、3V ≤ V<sub>DD</sub> ≤ 5.5V、−40°C ≤ T<sub>A</sub> ≤ +125°C、1.7V ≤ V<sub>pull-up</sub> ≤ V<sub>DD</sub> まででタイミング設定されます

		最小値	公称値	最大値	単位
f <sub>SCL</sub>	SCL 周波数			1	MHz
t <sub>BUF</sub>	停止条件と始動条件の間のバス解放時間	0.5			μs
t <sub>HDSTA</sub>	リピート スタート後のホールド時間	0.26			μs
t <sub>SUSTA</sub>	繰り返しスタートのセットアップ時間	0.26			μs
t <sub>SUSTO</sub>	STOP 条件のセットアップ時間	0.26			μs
t <sub>HDDAT</sub>	データ ホールド時間	0			ns
t <sub>SUDAT</sub>	データ セットアップ時間	50			ns
t <sub>LOW</sub>	SCL クロックの Low 期間	0.5			μs
t <sub>HIGH</sub>	SCL クロックの High 期間	0.26			μs

すべての入力信号は、 $V_{IL}$  から  $V_{pull-up}$  の 70%、 $3V \leq V_{DD} \leq 5.5V$ 、 $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ 、 $1.7V \leq V_{pull-up} \leq V_{DD}$  まででタイミング設定されます

		最小値	公称値	最大値	単位
$t_F$	クロック / データの立ち下がり時間			120	ns
$t_R$	クロック / データの立ち上がり時間			120	ns
$t_{VDDAT}$	データ有効時間、 $R = 360\Omega$ 、 $C_{trace} = 23pF$ 、 $C_{probe} = 10pF$			0.45	μs
$t_{VDACK}$	データ有効アノリジ時間、 $R = 360\Omega$ 、 $C_{trace} = 23pF$ 、 $C_{probe} = 10pF$			0.45	μs

## 5.12 タイミング要件 : SPI 書き込み動作

すべての入力信号は、 $t_r = t_f = 1V/ns$  ( $V_{IO}$  の 10% ~ 90%) で指定され、 $(V_{IL} + V_{IH})/2$ 、 $1.7V \leq V_{IO} \leq 5.5V$ 、 $3V \leq V_{DD} \leq 5.5V$ 、 $-40^{\circ}C \leq T_A \leq +125^{\circ}C$  の電圧レベルからタイミング設定されます

		最小値	公称値	最大値	単位
$f_{SCLK}$	シリアル クロック周波数			50	MHz
$t_{SCLKHIGH}$	SCLK High 時間	9			ns
$t_{SCLKLOW}$	SCLK Low 時間	9			ns
$t_{SDIS}$	SDI のセットアップ時間	8			ns
$t_{SDIH}$	SDI のホールド時間	8			ns
$t_{CSS}$	$\overline{CS}$ から SCLK 立ち下がりエッジまでのセットアップ時間	18			ns
$t_{CSH}$	SCLK 立ち下がりエッジから $\overline{CS}$ 立ち上がりエッジまで	10			ns
$t_{CSHIGH}$	$\overline{CS}$ High 時間	50			ns
$t_{DACKWAIT}$	同じチャネルのシーケンシャル DAC の更新待機時間 (後続の $\overline{LDAC}$ 立ち下がりエッジまでの時間)	2			μs
$t_{BCASTWAIT}$	ブロードキャスト DAC の更新待機時間 (後続の $\overline{LDAC}$ 立ち下がりエッジまでの時間)	2			μs

## 5.13 タイミング要件 : SPI 読み出しおよびデイジー チェーン動作 (FSDO = 0)

すべての入力信号は、 $t_r = t_f = 1V/ns$  ( $V_{IO}$  の 10% ~ 90%) で指定され、 $(V_{IL} + V_{IH})/2$ 、 $1.7V \leq V_{IO} \leq 5.5V$ 、 $3V \leq V_{DD} \leq 5.5V$ 、 $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ 、 $FSDO = 0$  の電圧レベルからタイミング設定されます

		最小値	公称値	最大値	単位
$f_{SCLK}$	シリアル クロック周波数			1.25	MHz
$t_{SCLKHIGH}$	SCLK High 時間	350			ns
$t_{SCLKLOW}$	SCLK Low 時間	350			ns
$t_{SDIS}$	SDI のセットアップ時間	8			ns
$t_{SDIH}$	SDI のホールド時間	8			ns
$t_{CSS}$	$SYNC$ から SCLK 立ち下がりエッジまでのセットアップ時間	400			ns
$t_{CSH}$	SCLK 立ち下がりエッジから $SYNC$ 立ち上がりエッジまで	400			ns
$t_{CSHIGH}$	$SYNC$ High 時間	1			μs
$t_{SDODLY}$	SCLK 立ち上がりエッジから SDO 立ち下がりエッジまで、 $I_{OL} \leq 5mA$ 、 $C_L = 20pF$ 。			300	ns

## 5.14 タイミング要件 : SPI 読み出しおよびデイジー チェーン動作 (FSDO = 1)

すべての入力信号は、 $t_r = t_f = 1V/ns$  ( $V_{IO}$  の 10% ~ 90%) で指定され、 $(V_{IL} + V_{IH})/2$ 、 $1.7V \leq V_{IO} \leq 5.5V$ 、 $3V \leq V_{DD} \leq 5.5V$ 、 $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ 、 $FSDO = 1$  の電圧レベルからタイミング設定されます

		最小値	公称値	最大値	単位
$f_{SCLK}$	シリアル クロック周波数			2.5	MHz
$t_{SCLKHIGH}$	SCLK High 時間	175			ns

すべての入力信号は、 $t_r = t_f = 1\text{V/ns}$  ( $V_{IO}$  の 10% ~ 90%) で指定され、 $(V_{IL} + V_{IH})/2 \leq V_{IO} \leq 5.5\text{V}$ 、 $3\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 、 $\text{FSDO} = 1$  の電圧レベルからタイミング設定されます

		最小値	公称値	最大値	単位
$t_{SCLKLOW}$	SCLK Low 時間		175		ns
$t_{SDIS}$	SDI のセットアップ時間		8		ns
$t_{SDIH}$	SDI のホールド時間		8		ns
$t_{CSS}$	SYNC から SCLK 立ち下がりエッジまでのセットアップ時間		300		ns
$t_{CSH}$	SCLK 立ち下がりエッジから SYNC 立ち上がりエッジまで		300		ns
$t_{CSHIGH}$	SYNC High 時間		1		$\mu\text{s}$
$t_{SDODLY}$	SCLK 立ち上がりエッジから SDO 立ち下がりエッジまで、 $I_{OL} \leq 5\text{mA}$ 、 $C_L = 20\text{pF}$ 。			300	ns

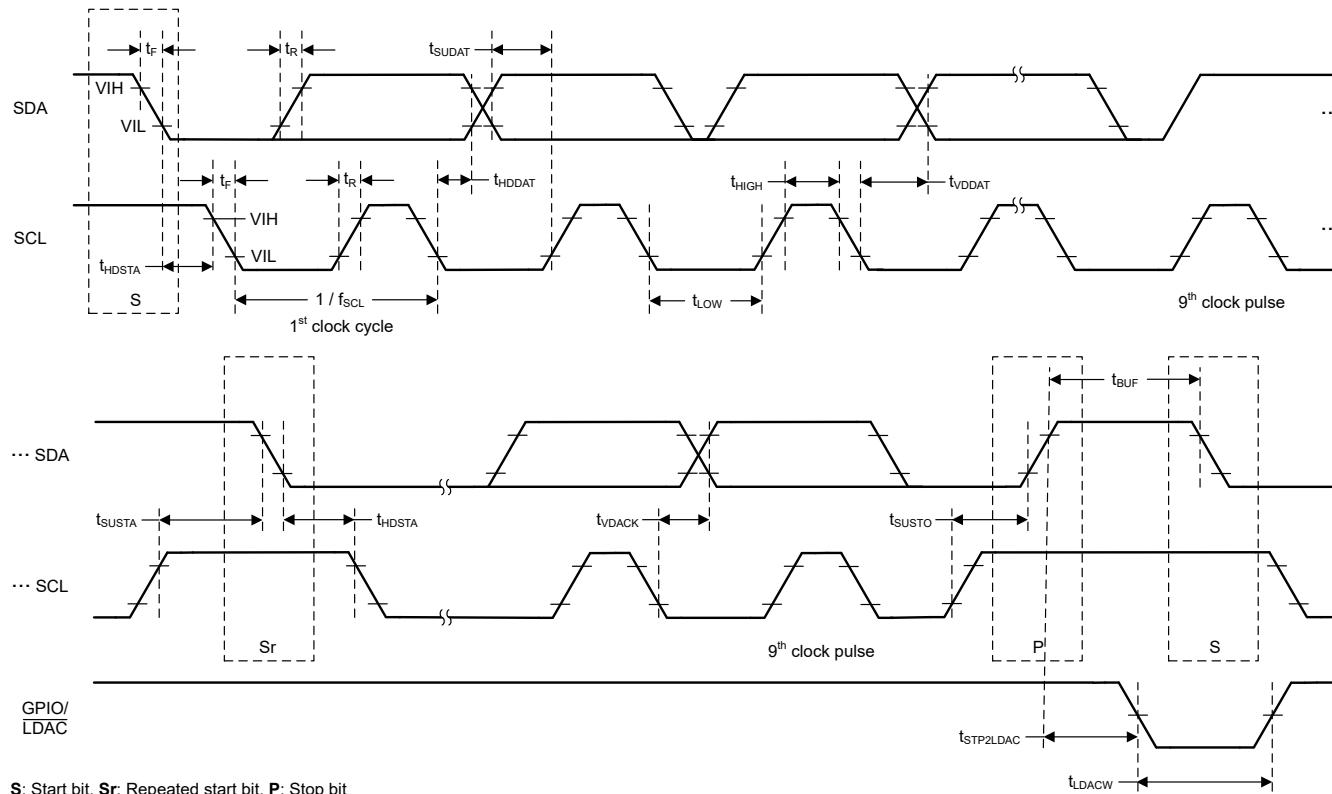
## 5.15 タイミング要件 : GPIO

すべての入力信号は、 $t_r = t_f = 1V/ns$  ( $V_{IO}$  の 10% ~ 90%) で指定され、 $(V_{IL} + V_{IH})/2, 1.7V \leq V_{IO} \leq 5.5V, 3V \leq V_{DD} \leq 5.5V, -40^{\circ}C \leq T_A \leq +125^{\circ}C$  の電圧レベルからタイミング設定されます

		最小値	公称値	最大値	単位
$t_{GPIHIGH}$	GPI high 時間		2		$\mu s$
$t_{GPILOW}$	GPI low 時間		2		$\mu s$
$t_{GPAWGD}$	LDAC 立ち下がりエッジから DAC 更新までの遅延 <sup>(1)</sup>			2	$\mu s$
$t_{CS2LDAC}$	SYNC 立ち上がりエッジから LDAC 立ち下がりエッジまで	1			$\mu s$
$t_{STP2LDAC}$	I <sup>2</sup> C ストップ ビット立ち上がりエッジから LDAC 立ち下がりエッジまで	1			$\mu s$
$t_{LDACW}$	LDAC Low 時間	2			$\mu s$

(1) GPIO は、チャネル固有またはグローバル LDAC 機能として構成できます。

## 5.16 タイミング図



S: Start bit, Sr: Repeated start bit, P: Stop bit

図 5-1. I<sup>2</sup>C のタイミング図

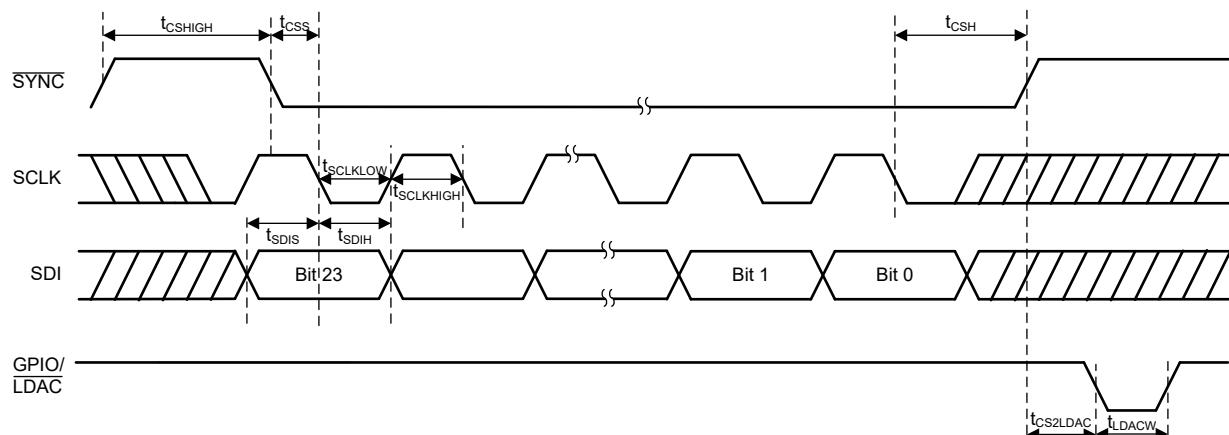


図 5-2. SPI 書き込みタイミング図

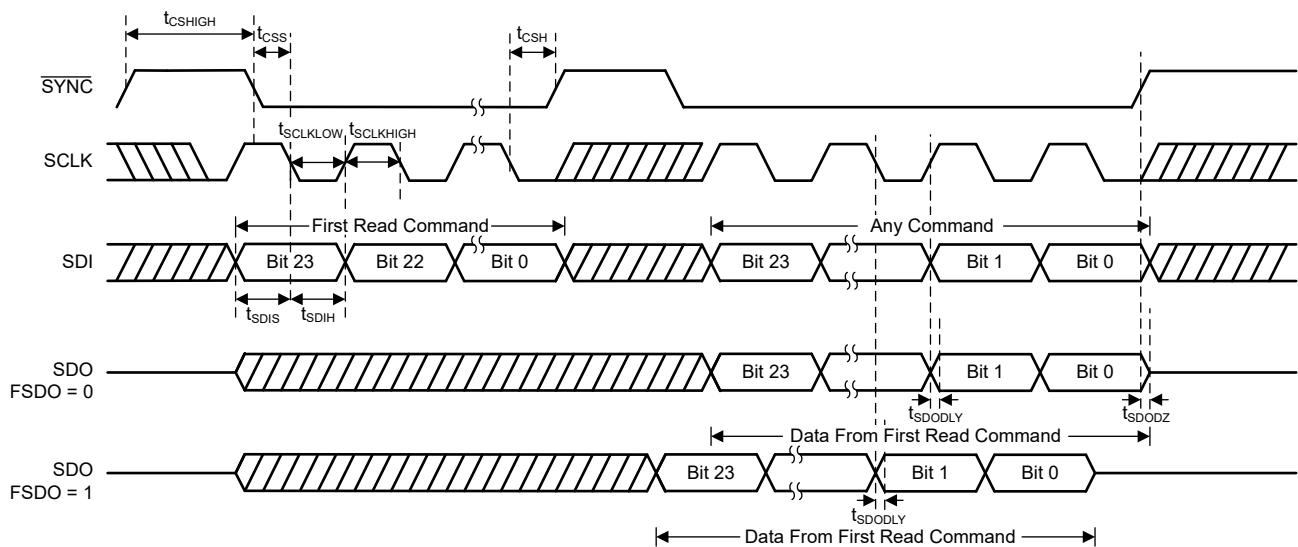


図 5-3. SPI 読み出しのタイミング図

## 5.17 代表的特性：電圧出力

$T_A = 25^\circ\text{C}$  の場合、 $V_{DD} = 5.5\text{V}$ 、リファレンスとしての VDD、ゲイン = 1 ×、10 ビット分解能、DAC 出力は無負荷 (特に記述のない限り)

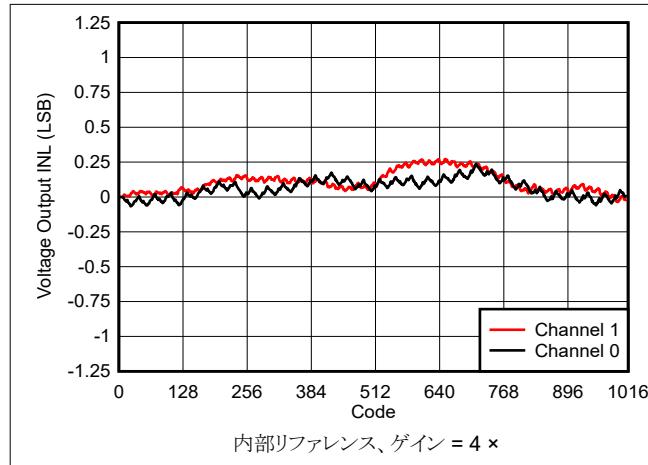


図 5-4. 電圧出力 INL とデジタル入力コードとの関係

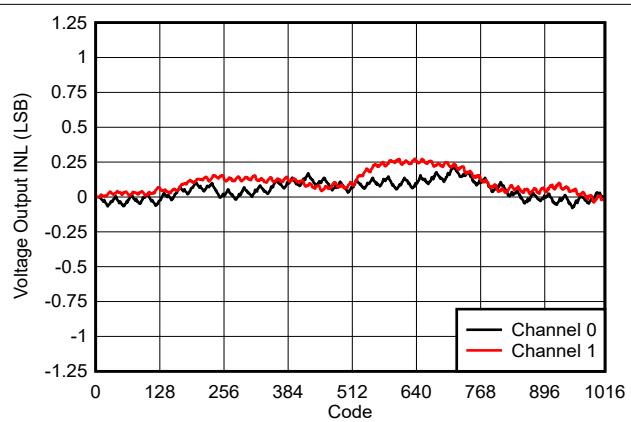


図 5-5. 電圧出力 INL とデジタル入力コードとの関係

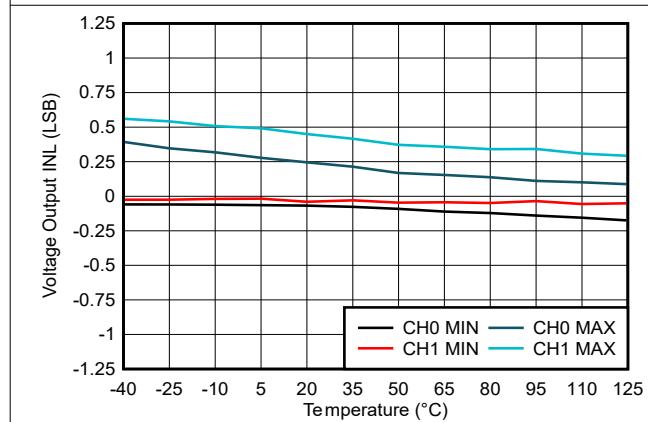


図 5-6. 電圧出力 INL と温度との関係

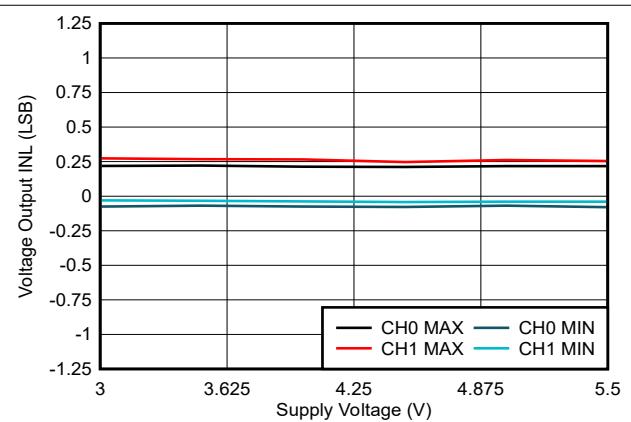


図 5-7. 電圧出力 INL と電源電圧との関係

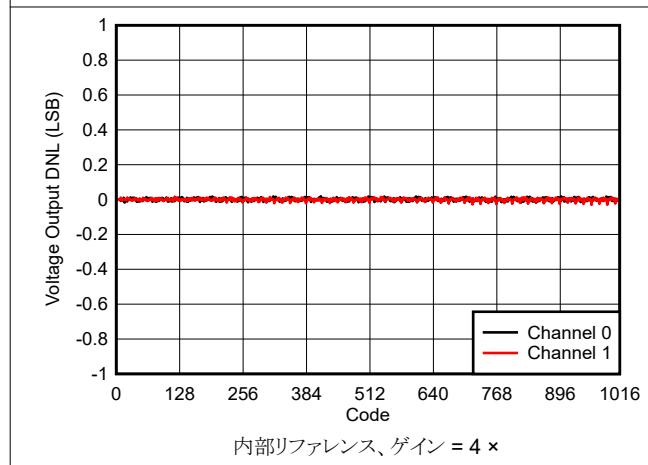


図 5-8. 電圧出力 DNL とデジタル入力コードとの関係

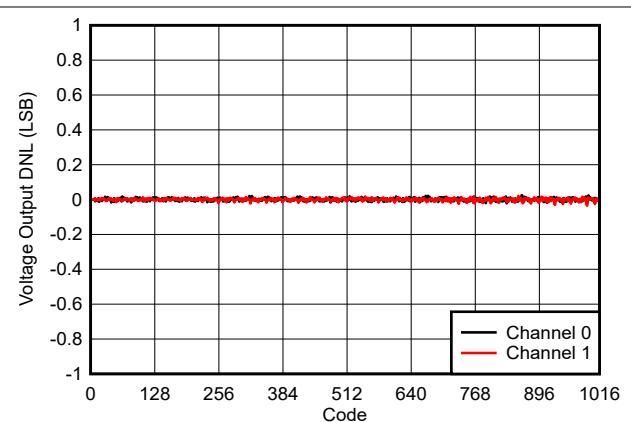


図 5-9. 電圧出力 DNL とデジタル入力コードとの関係

## 5.17 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$  の場合、 $V_{DD} = 5.5\text{V}$ 、リファレンスとしての VDD、ゲイン = 1 ×、10 ビット分解能、DAC 出力は無負荷 (特に記述のない限り)

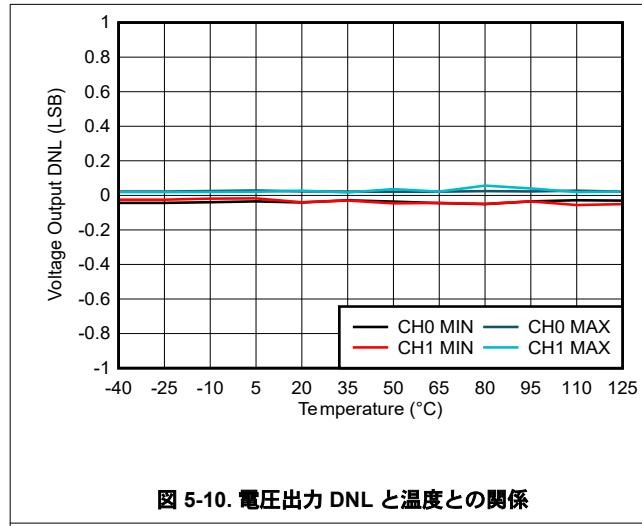


図 5-10. 電圧出力 DNL と温度との関係

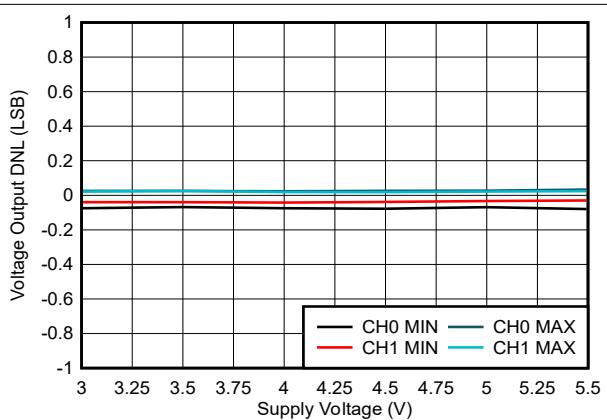
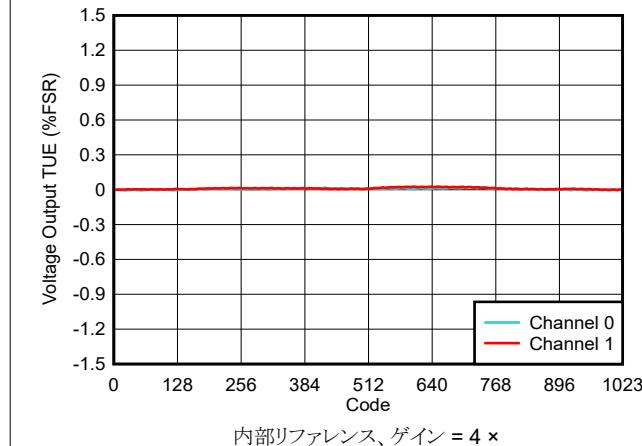


図 5-11. 電圧出力 DNL と電源電圧との関係



内部リファレンス、ゲイン = 4 ×

図 5-12. 電圧出力 TUE とデジタル入力コードとの関係

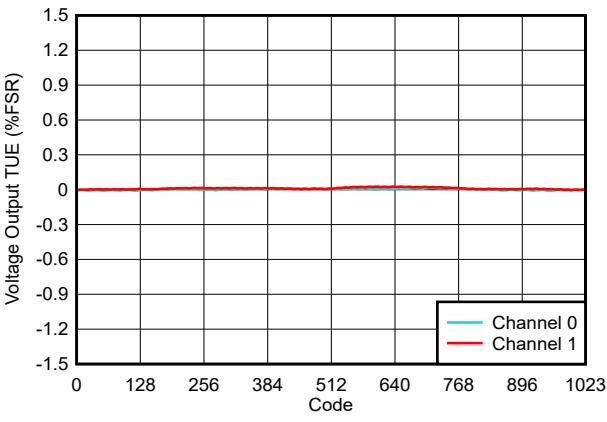
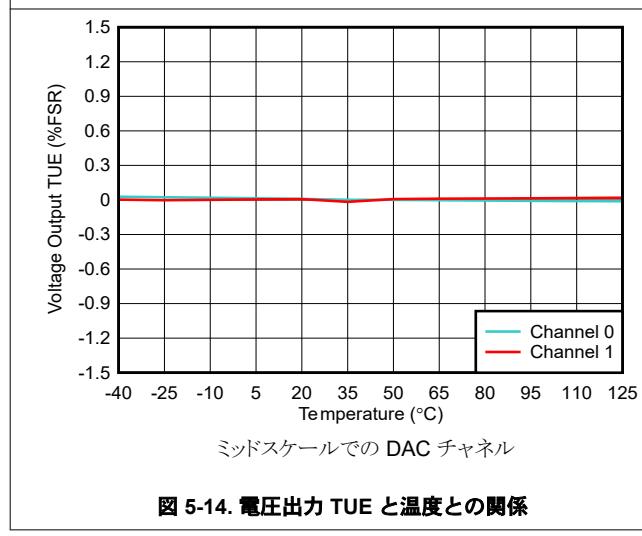
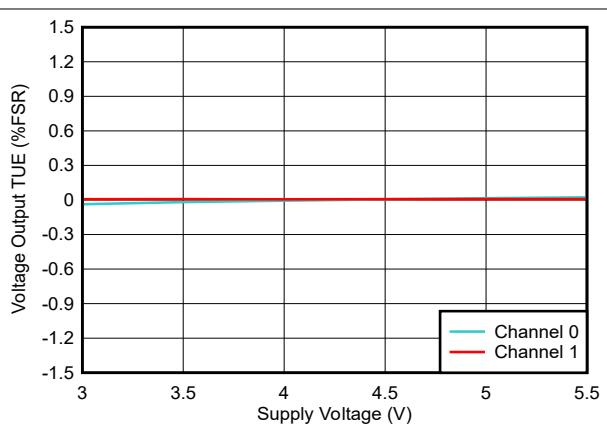


図 5-13. 電圧出力 TUE とデジタル入力コードとの関係



ミッドスケールでの DAC チャネル

図 5-14. 電圧出力 TUE と温度との関係



ミッドスケールでの DAC チャネル

図 5-15. 電圧出力 TUE と電源電圧との関係

## 5.17 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$  の場合、 $V_{DD} = 5.5\text{V}$ 、リファレンスとしての VDD、ゲイン = 1 ×、10 ビット分解能、DAC 出力は無負荷 (特に記述のない限り)

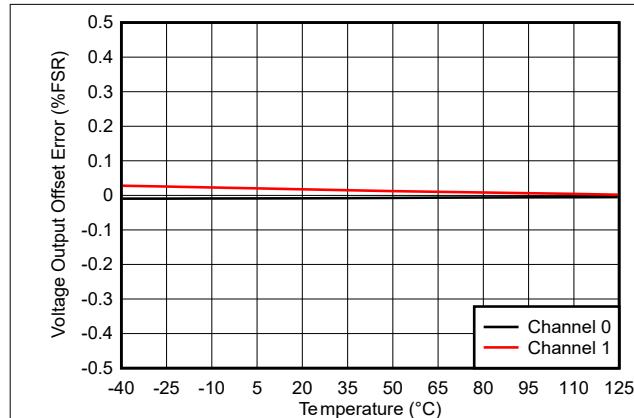


図 5-16. 電圧出力オフセット誤差と温度との関係

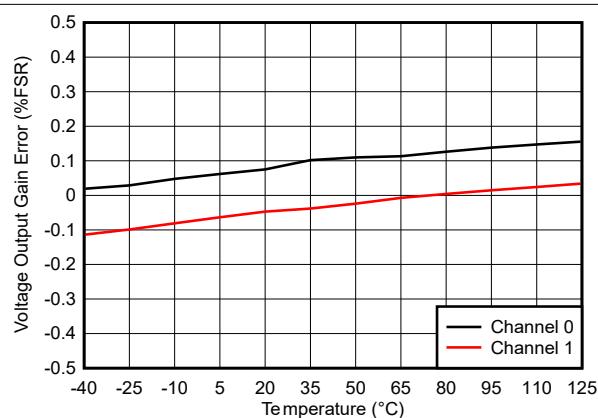


図 5-17. 電圧出力ゲイン誤差と温度との関係

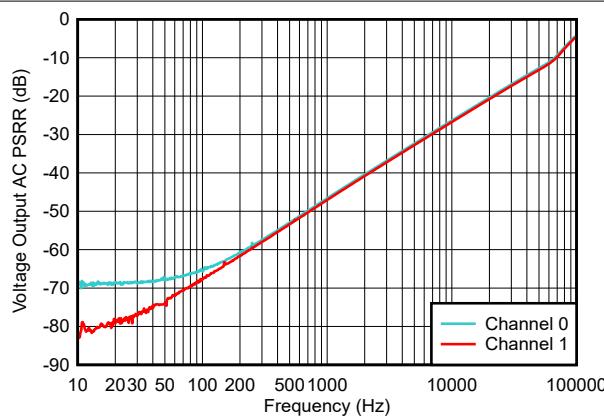


図 5-18. 電圧出力 AC PSRR と周波数との関係

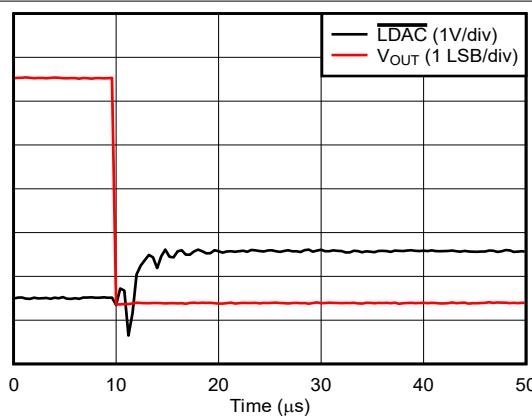


図 5-19. 電圧出力のコード間グリッチ：立ち上がりエッジ

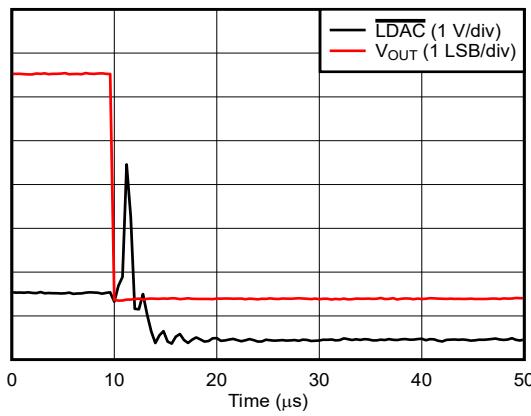
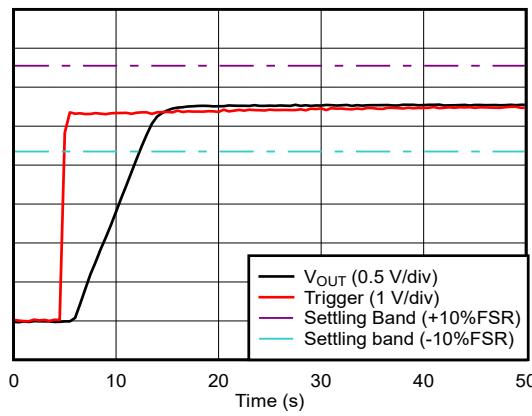


図 5-20. 電圧出力のコード間グリッチ：立ち下がりエッジ

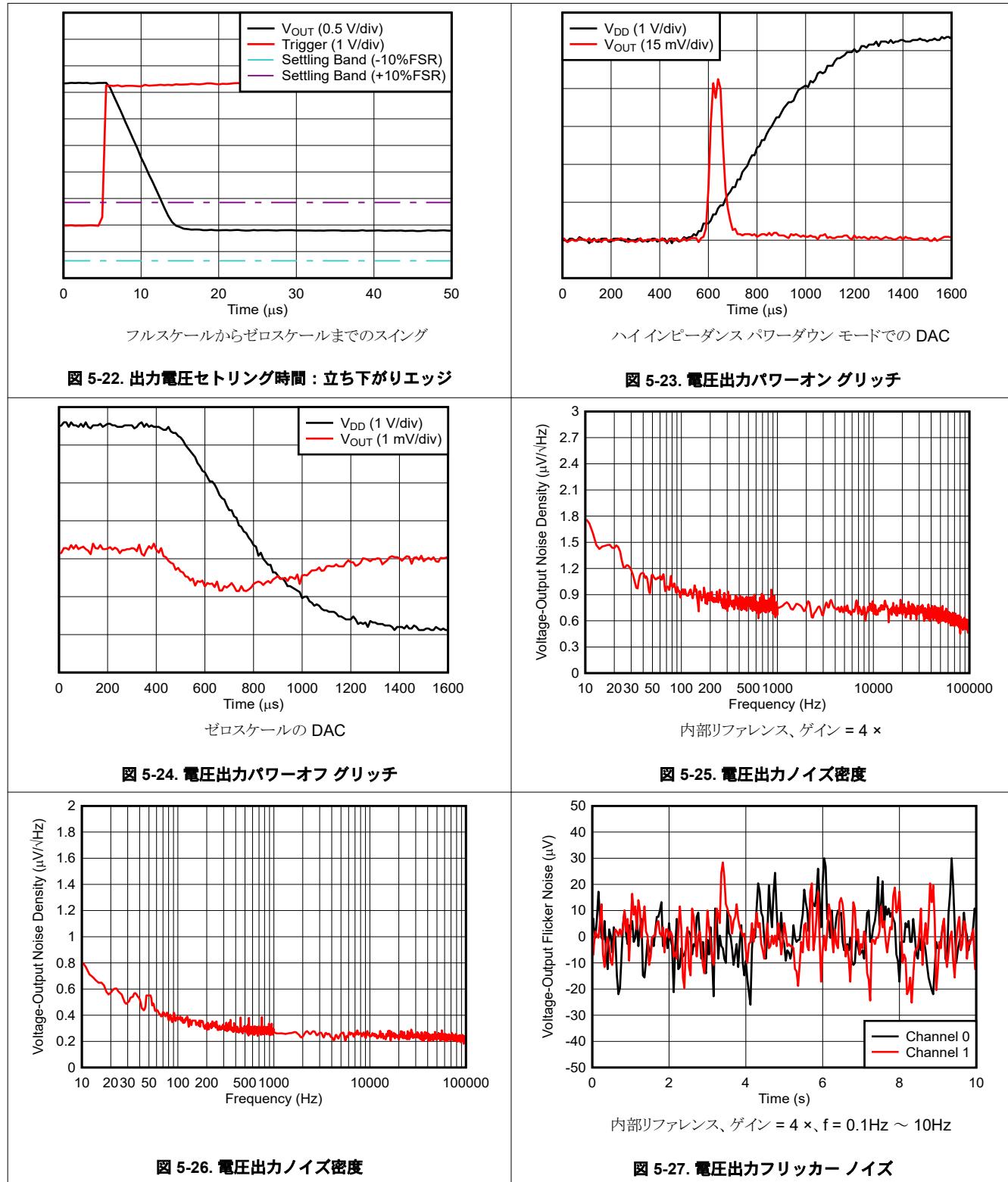


ゼロスケールからフルスケールまでのスイング

図 5-21. 出力電圧セッティング時間：立ち上がりエッジ

## 5.17 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$  の場合、 $V_{DD} = 5.5\text{V}$ 、リファレンスとしての  $VDD$ 、ゲイン =  $1 \times$ 、10 ビット分解能、DAC 出力は無負荷 (特に記述のない限り)



## 5.17 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$  の場合、 $V_{DD} = 5.5\text{V}$ 、リファレンスとしての VDD、ゲイン = 1 ×、10 ビット分解能、DAC 出力は無負荷 (特に記述のない限り)

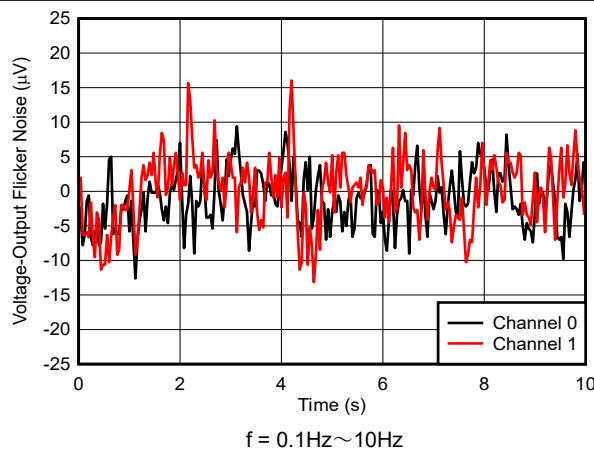


図 5-28. 電圧出力フリッカーノイズ

## 5.18 代表的特性：電流出力

$T_A = 25^\circ\text{C}$  の場合、 $V_{DD} = 5.5\text{V}$ 、 $\text{IOUT-GAIN} = 2/3$ 、ダイオード負荷 (特に記述のない限り)

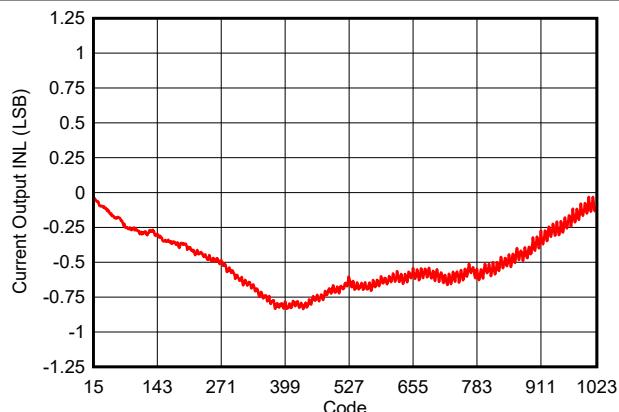


図 5-29. 電流出力 INL とデジタル入力コードとの関係

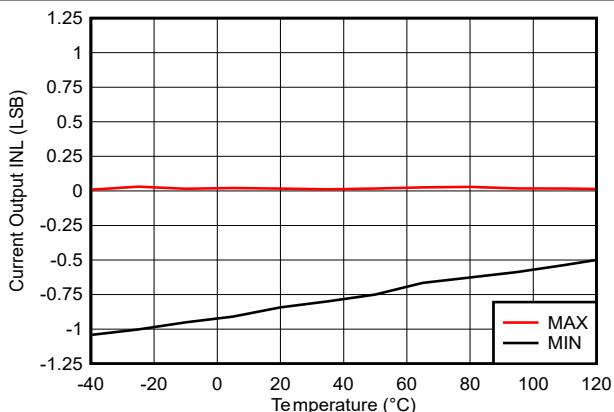


図 5-30. 電流出力 INL と温度との関係

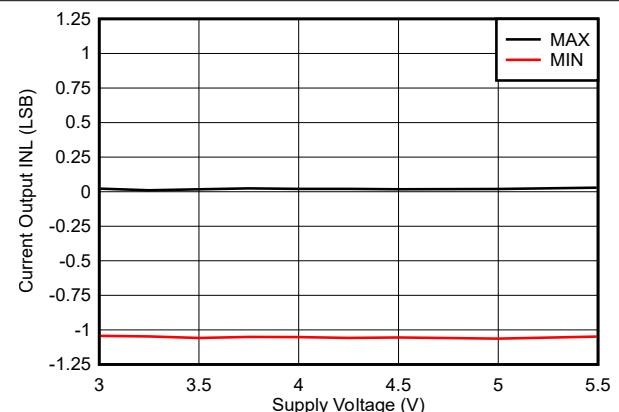


図 5-31. 電流出力 INL と電源電圧との関係

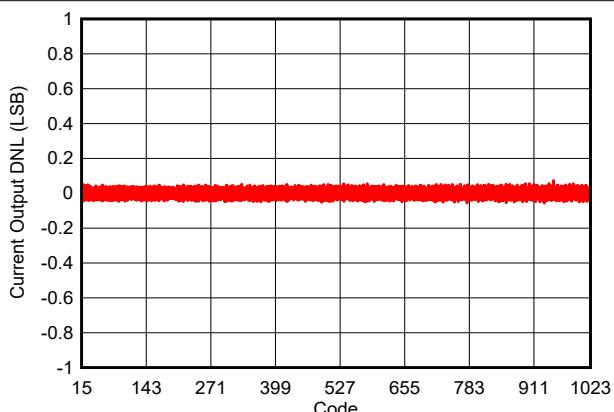


図 5-32. 電流出力 DNL とデジタル入力コードとの関係

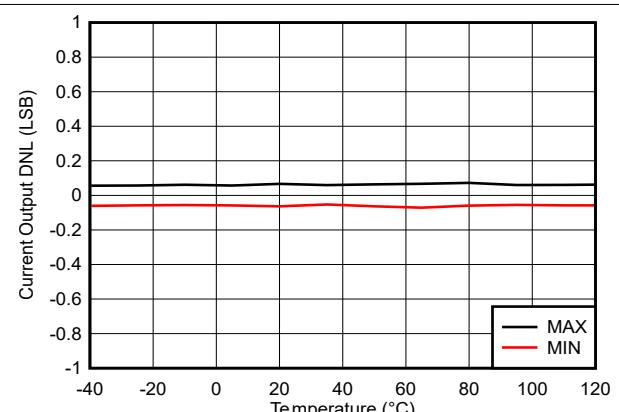


図 5-33. 電流出力 DNL と温度との関係

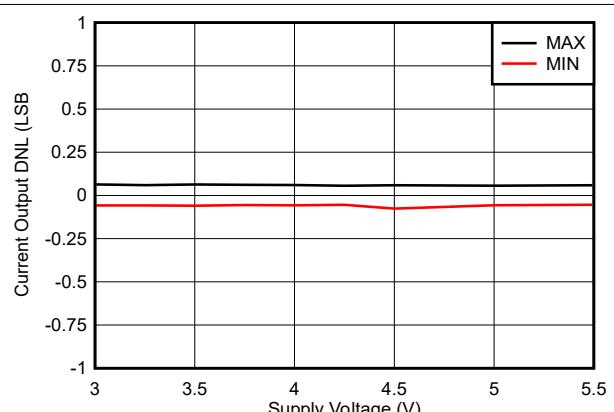


図 5-34. 電流出力 DNL と電源電圧との関係

## 5.18 代表的特性：電流出力 (続き)

$T_A = 25^\circ\text{C}$  の場合、 $V_{DD} = 5.5\text{V}$ 、 $\text{IOUT-GAIN} = 2/3$ 、ダイオード負荷 (特に記述のない限り)

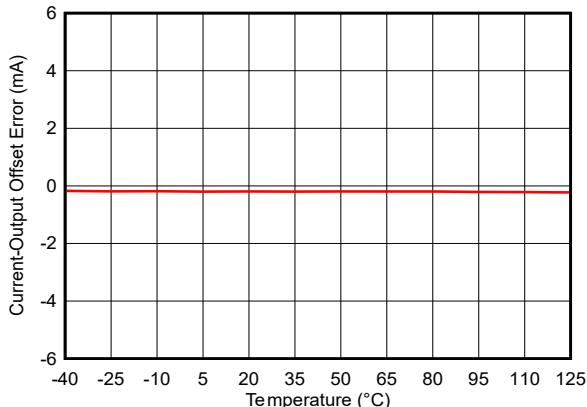


図 5-35. 電流出力オフセット誤差と温度との関係

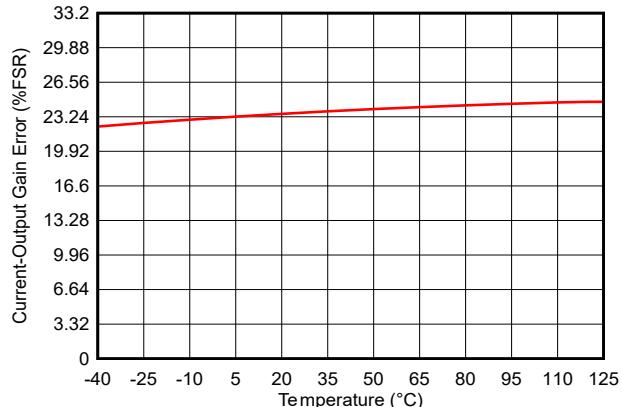


図 5-36. 電圧測定ゲイン誤差と温度との関係

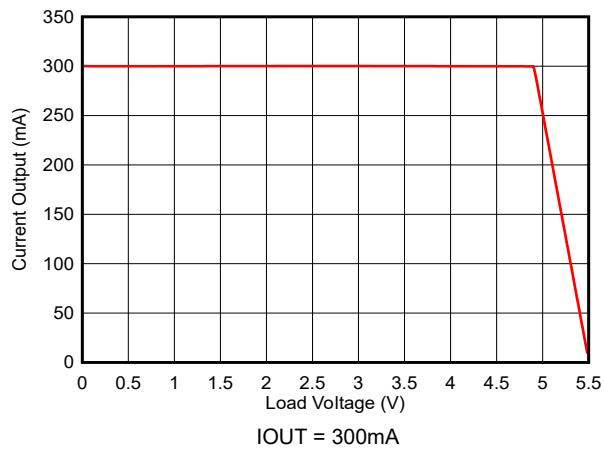


図 5-37. 電流出力と負荷電圧との関係

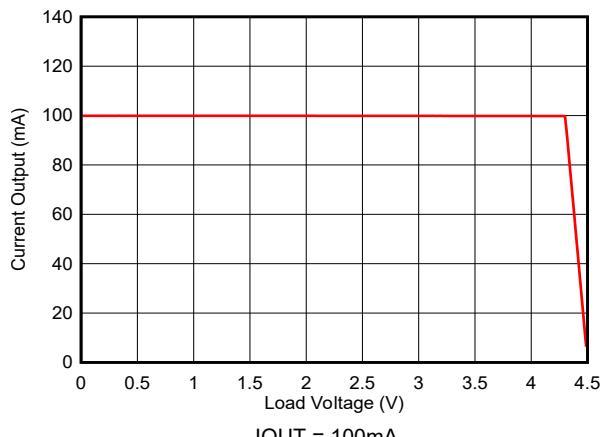


図 5-38. 電流出力と負荷電圧との関係

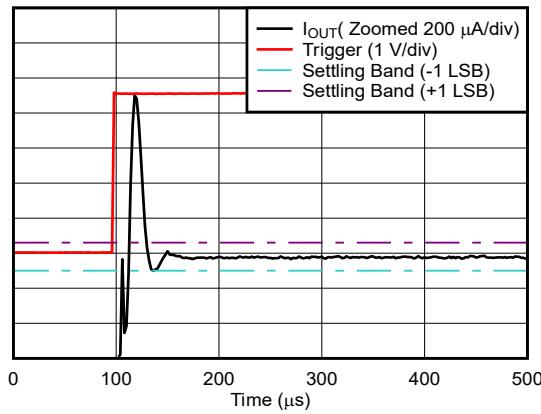


図 5-39. 電流出力セトリング タイム、立ち上がりエッジ

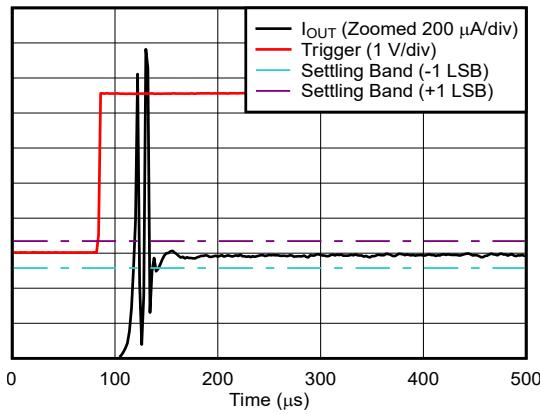
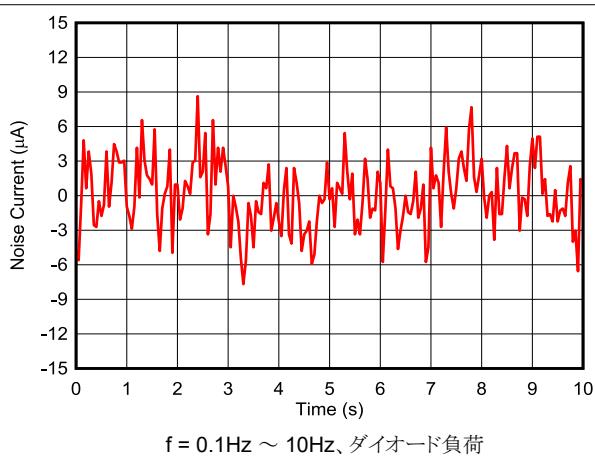
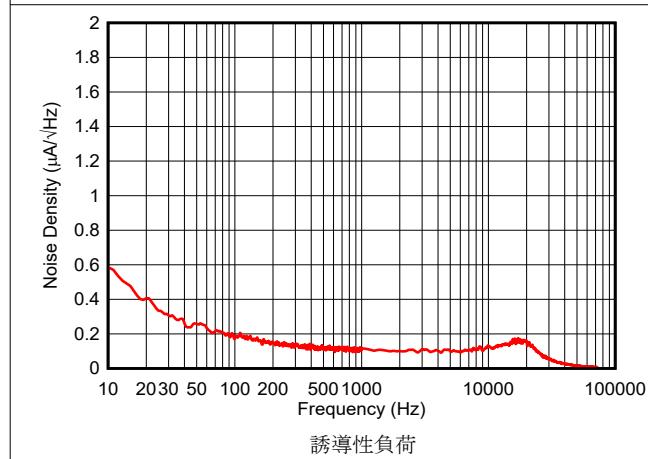
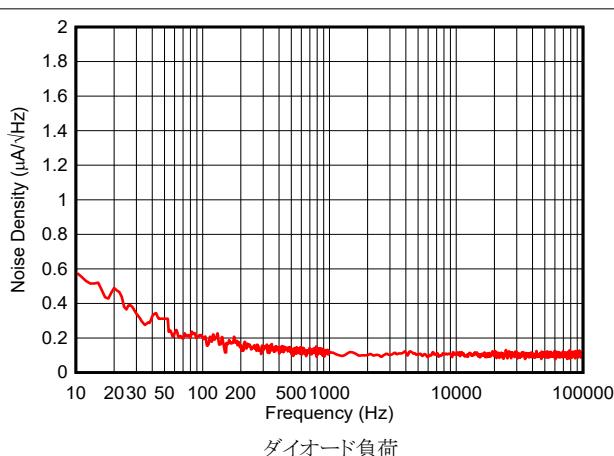
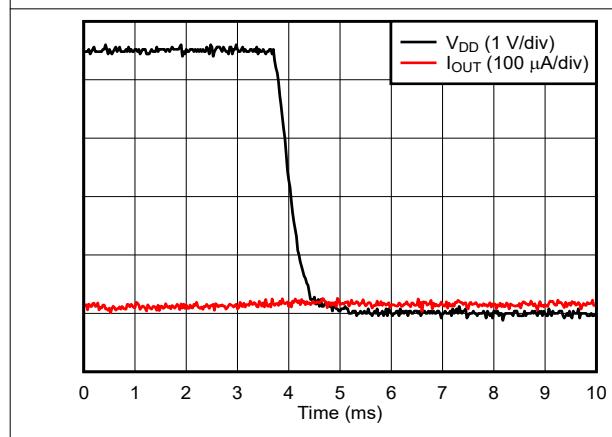
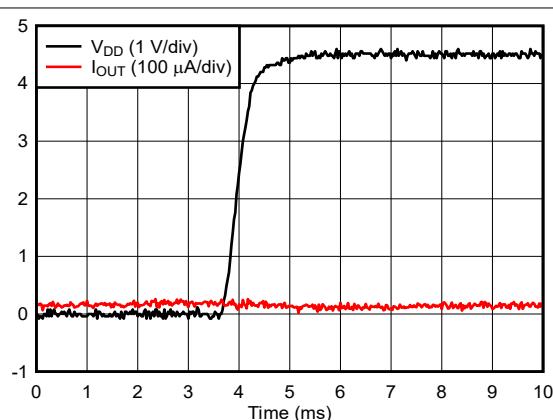
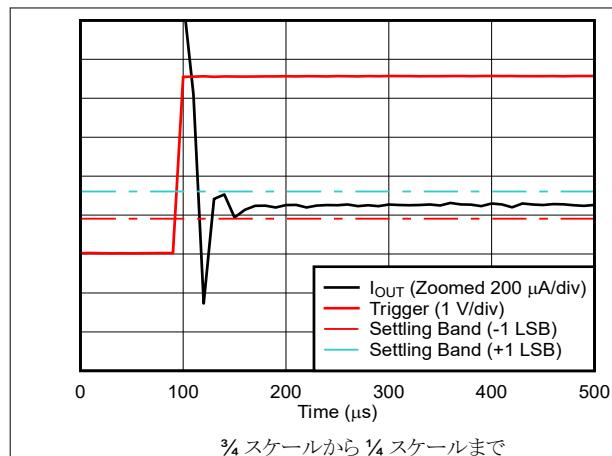


図 5-40. 電流出力セトリング タイム、立ち上がりエッジ

## 5.18 代表的特性：電流出力 (続き)

$T_A = 25^\circ\text{C}$  の場合、 $V_{DD} = 5.5\text{V}$ 、 $\text{IOUT-GAIN} = 2/3$ 、ダイオード負荷 (特に記述のない限り)



## 5.18 代表的特性：電流出力 (続き)

$T_A = 25^\circ\text{C}$  の場合、 $V_{DD} = 5.5\text{V}$ 、 $\text{IOUT-GAIN} = 2/3$ 、ダイオード負荷 (特に記述のない限り)

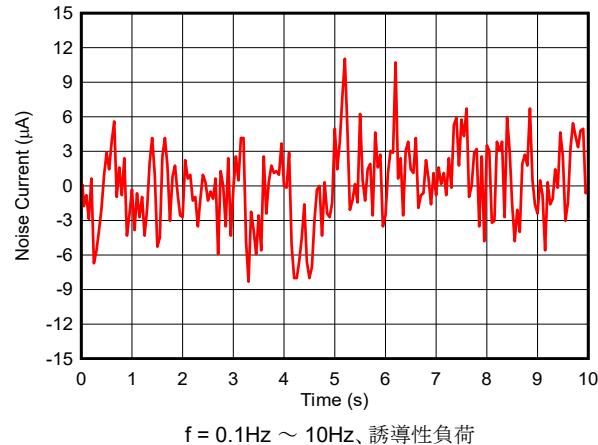


図 5-47. 電流出力フリッカーノイズ

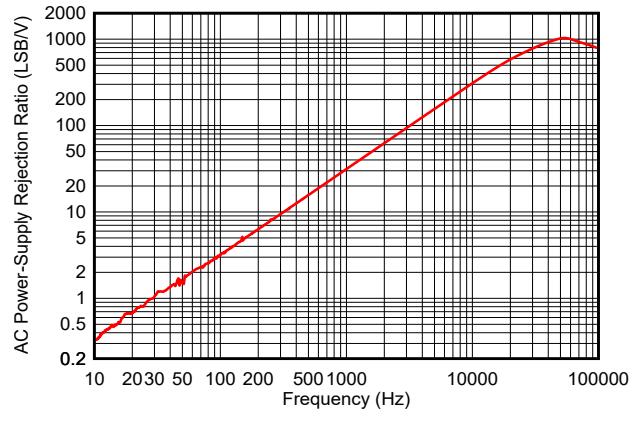


図 5-48. 電流出力 AC PSRR と周波数との関係

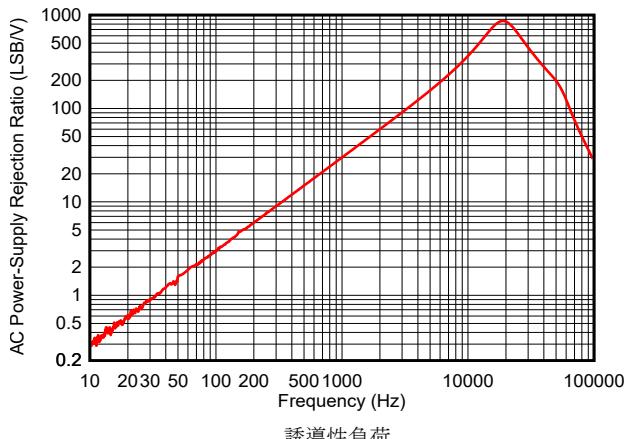
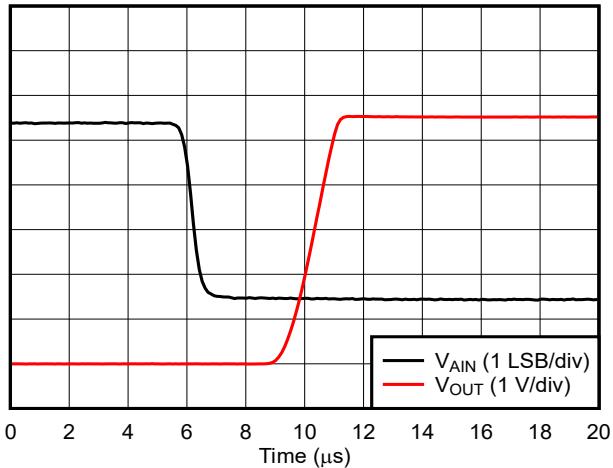


図 5-49. 電流出力 AC PSRR と周波数との関係

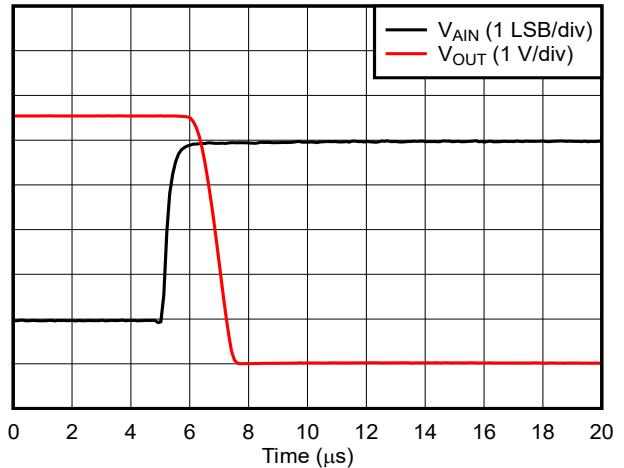
## 5.19 代表的特性：コンパレータ

$T_A = 25^\circ\text{C}$  の場合、 $V_{DD} = 5.5\text{V}$ 、リファレンスとしての  $V_{DD}$ 、ゲイン =  $1 \times$ 、10 ビット分解能、FB1 ピンはハイ インピーダンス モード、DAC 出力は無負荷 (特に記述のない限り)



プッシュプル モードでのコンパレータ出力

図 5-50. コンパレータ応答時間：Low から High への遷移



プッシュプル モードでのコンパレータ出力

図 5-51. コンパレータ応答時間：High から Low への遷移

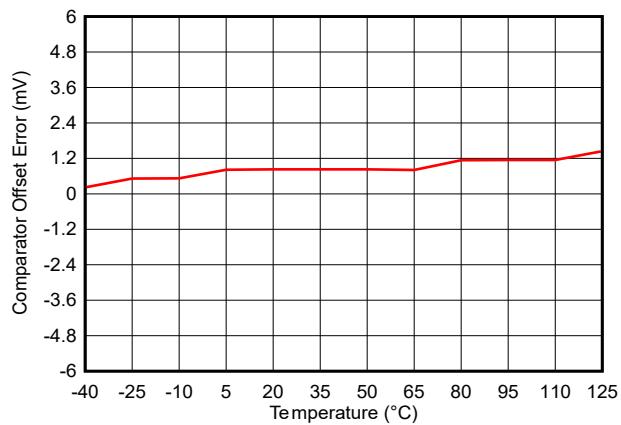


図 5-52. コンパレータ オフセット誤差と温度との関係

## 5.20 代表的特性：総則

$T_A = 25^\circ\text{C}$  の場合、 $V_{DD} = 5.5\text{V}$ 、DAC 出力は無負荷 (特に記述のない限り)

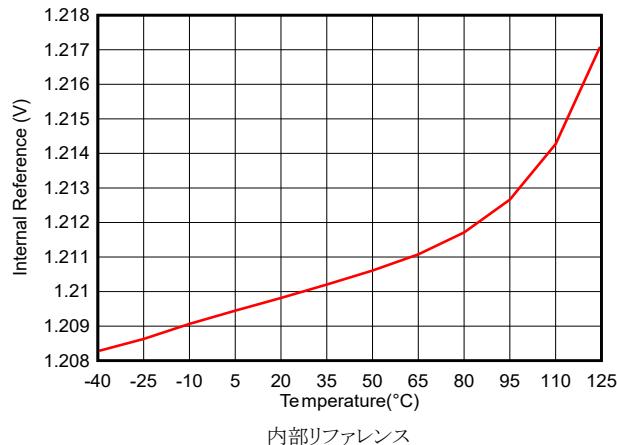


図 5-53. 内部リファレンスと温度との関係

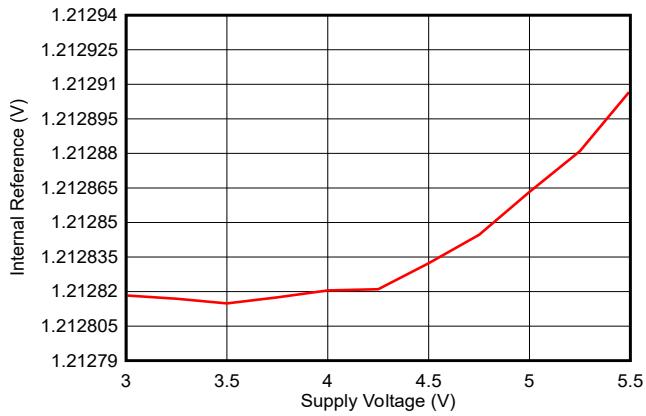
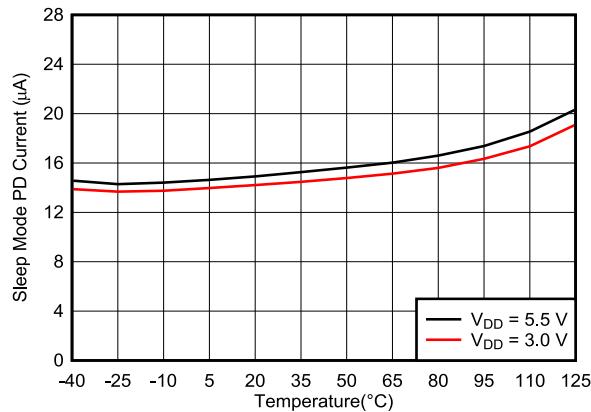
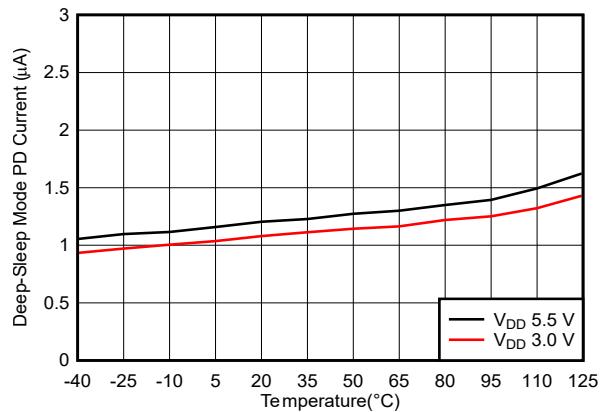


図 5-54. 内部リファレンスと電源電圧との関係



スリープ モード、内部リファレンス ディスエーブル



ディープ スリープ モード

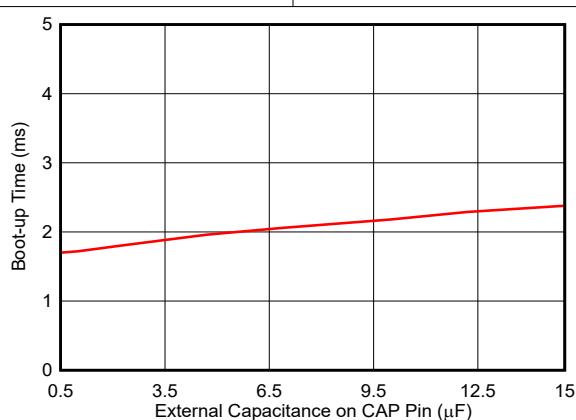


図 5-57. ブートアップ時間と CAP ピンの容量との関係

## 6 詳細説明

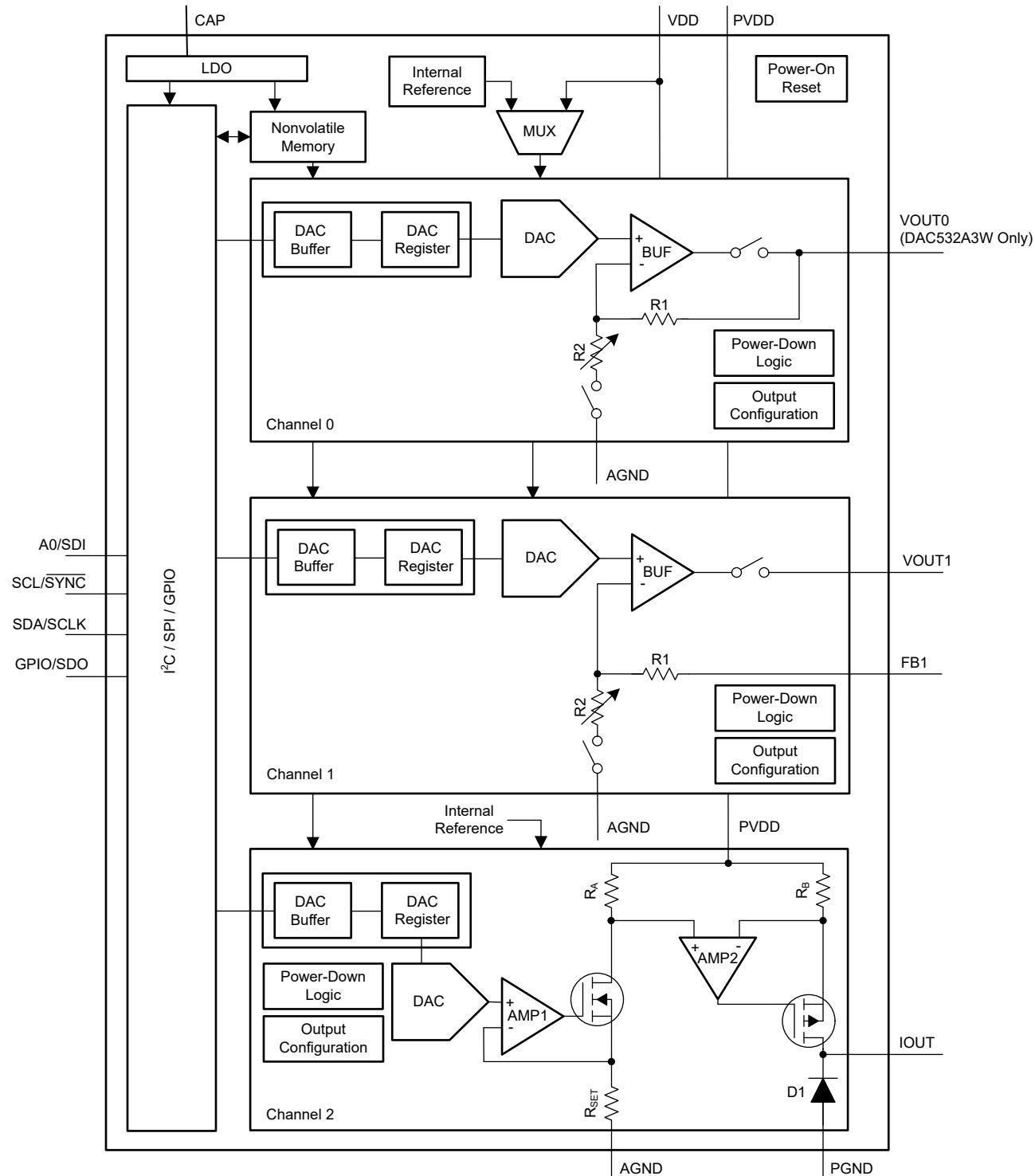
### 6.1 概要

3 チャネルの DAC532A3W と 2 チャネルの DAC530A2W (DAC53xAxW) は、10 ビットのバッファ付き電圧出力および電流出力に対応したスマート DAC です。DAC チャネル 2 は電流源として機能します。DAC チャネル 1 は電圧出力またはコンパレータ入力として構成可能です。VDD がオフのとき、DAC 出力は Hi-Z に変更されます。この機能は、電圧マージン測定アプリケーションに便利です。このスマート DAC には、NVM、内部基準電圧、I<sup>2</sup>C または SPI の自動検出が可能、フォースセンス出力、汎用入力が内蔵されています。このデバイスは、デフォルトで Hi-Z パワーダウン モードに対応しており、NVM を使用することで電圧出力チャネルに対して 10kΩ-GND または 100kΩ-GND に設定することもできます。DAC53xAxW にはパワーオン リセット (POR) 回路があり、すべてのレジスタがデフォルト設定、または NVM を使用してユーザーがプログラムした設定から確実に開始されます。DAC53xAxW は、内部リファレンス、または電源をリファレンスとして使用して動作します。

DAC53xAxW は、I<sup>2</sup>C のスタンダード モード (100kbps)、高速モード (400kbps)、高速モードプラス (1Mbps) をサポートしています。I<sup>2</sup>C インターフェイスは、A0 ピンを使用して 4 つのターゲット アドレスで構成できます。SPI モードでは、デフォルトで最大 50MHz の SCLK 入力を持つ 3 線式インターフェイスをサポートしています。GPIO/SDO 入力は、NVM で SDO として構成して、SPI 読み取り機能を実現できます。GPIO/SDO 入力は、代わりに LDAC、PD、STATUS、FAULT-DUMP、RESET、PROTECT などの機能として設定することもできます。

DAC53xAxW はデジタル スルーレート制御も備えており、サイン波、コサイン波、三角波、のこぎり波などの標準的な波形生成にも対応しています。これらのデバイスは、三角波やのこぎり波と FB1 ピンを組み合わせることで、パルス幅変調 (PWM) 出力を生成することができます。チャネル 1 のフォースセンス出力は、プログラム可能なコンパレータとして使用できます。コンパレータ モードでは、プログラム可能なヒステリシス、ラッチ コンパレータ、ウインドウ コンパレータ、NVM へのフォルトダンプが可能です。これらの機能により、DAC53xAxW は動作するプロセッサに依存する従来型 DAC の制限を超えることができます。プロセッサ上で動作し、スマート機能セットを持つため、DAC53xAxW はスマート DAC と呼ばれます。

## 6.2 機能ブロック図



## 6.3 機能説明

### 6.3.1 デジタル/アナログ コンバータ (DAC) アーキテクチャ

DAC53xAxW デバイスの電圧出力 DAC チャネルは、ストリング アーキテクチャと電圧出力アンプ、さらにチャネル 1 には外部フィードバック ピンを備えています。セクション 6.2 に、3V から 5.5V への電源で動作する DAC アーキテクチャを、ブロック図内で示します。DAC の内部基準電圧は 1.21V です。オプションとして、電源を基準電圧として使用します。電圧出力モードは、複数のプログラム可能な出力範囲をサポートしています。

DAC53xAxW デバイスは、VDD がオフのときは Hi-Z 出力をサポートするため、最大 1.25V の強制電圧で出力ピンで非常に低いリーク電流を維持できます。DAC の出力ピンはデフォルトでハイインピーダンス モードで起動するため、これらのデバイスは電圧マージニングやスケーリング用途に最適です。パワーアップ時のモードを  $10\text{k}\Omega$ -GND または  $100\text{k}\Omega$ -GND に変更するには、COMMON-CONFIG レジスタ内の該当する DAC-PDN-x フィールドを設定し、これらのビットをデバイスの NVM に書き込みます。

DAC53xAxW デバイスは、チャネル 1 のコンパレータモードをサポートしています。FB1 ピンは、コンパレータの入力として機能します。DAC アーキテクチャは、レジスタ設定を使用してコンパレータ出力の反転をサポートしています。コンパレータ出力は、プッシュプルまたはオープンドрайインにできます。コンパレータ モードは、*margin-high* および *margin-low* レジスタ フィールド、ラッチ コンパレータ、およびウインドウ コンパレータを使用して、プログラム可能なヒステリシスをサポートしています。コンパレータ出力は、デバイスから内部でアクセスできます。

チャネル 2 は電流源として機能し、300mA 出力時に最小 770mV のヘッドルームを確保しています。電流出力を使用する際は、デバイスの接合部温度が推奨制限範囲内に維持されていることを確認してください。

DAC53xAxW デバイスには、プロセッサレスでの動作と高集積を可能にするスマート機能セットが含まれています。NVM により、予測可能な起動が可能になります。プロセッサが存在しない場合、またはプロセッサまたはソフトウェアが故障した場合、GPIO は SPI または I<sup>2</sup>C インターフェイスなしで DAC 出力をトリガします。統合機能と FB1 ピンにより、制御アプリケーションで PWM 出力が可能になります。

### 6.3.2 デジタル入力/出力

DAC53xAxW には 4 つのデジタル I/O ピンがあり、I<sup>2</sup>C、SPI、GPIO インターフェイスを含めることができます。これらのデバイスは、電源投入後の最初の通信が成功したときに I<sup>2</sup>C および SPI プロトコルを自動的に検出し、検出されたインターフェイスに接続します。インターフェイスプロトコルが接続されると、プロトコルの変更は無視されます。I<sup>2</sup>C インターフェイスは、A0 ピンを使用して 4 つのアドレスオプションから選択します。SPI インターフェイスは、デフォルトでは 3 線式インターフェイスです。このモードでは、読み戻し機能は使用できません。GPIO/SDO ピンは、レジスタマップで設定して、SDO 機能として NVM にプログラムできます。SPI 読み戻しモードは書き込みモードよりも低速です。プログラミングインターフェイスピンは次のとおりです。

- I<sup>2</sup>C:SCL、SDA、A0
- SPI:SCLK、SDI、SYNC、SDO(GPIO)

GPIO/SDO は、SDO 以外の複数の機能として構成できます。これらは LDAC、PD、STATUS、PROTECT、FAULT-DUMP、RESET です。出力として使用する場合、すべてのデジタルピンはオープンドレインです。したがって、すべての出力ピンは、外部抵抗を使用して目的の I/O 電圧にプルアップする必要があります。

### 6.3.3 不揮発性メモリ (NVM)

DAC53xAxW には NVM ビットが含まれています。これらのメモリビットはユーザーがプログラムおよび消去することができます。電源がない場合でも設定値が保持されます。セクション 7 に強調表示されている灰色のセル内に示されているすべてのレジスタビットは、COMMON-TRIGGER レジスタで NVM-PROG = 1 を設定することによって NVM に保存できます。NVM-PROG は自動リセットビットです。DAC53xAxW のすべてのレジスタのデフォルト値は、POR イベントが発行された直後に NVM から読み込まれます。

また、DAC53xAxW は、COMMON-TRIGGER レジスタに NVM-RELOAD ビットも実装しています。このビットを 1 に設定すると、デバイスは NVM リロード動作を開始します。完了後、デバイスは NVM-RELOAD ビットを 0 に自動的に設定します。NVM の書き込みまたはリロード動作中は、デバイスに対するすべての読み取り/書き込み動作がブロックされます。「電気的特性:全般」セクションに、NVM 書き込みサイクルのタイミング仕様を示します。プロセッサは、SPI または I<sup>2</sup>C インターフェイスでの読み取りまたは書き込み動作を再開する前に、指定された期間待機する必要があります。

## 6.4 デバイスの機能モード

### 6.4.1 電圧出力モード

それぞれの DAC チャネル 0 および DAC チャネル 1 の電圧出力モードを開始するには、COMMON-CONFIG レジスタの DAC-PDN-0 および DAC-PDN-1 フィールドのパワーアップ オプションを選択します。閉ループ アンプ出力の場合、チャネル 1 の VOUT1/AIN1 ピンと FB1 ピンを外部で短絡します。オープン FB1 ピンにより、チャネル 1 のアンプ出力が飽和します。必要な電圧出力を実現するには、適切なリファレンス オプションを選択し、必要な出力範囲のアンプ ゲインを選択して、チャネル 0 とチャネル 1 の DAC-0-DATA レジスタと DAC-1-DATA レジスタそれぞれに DAC コードをプログラムします。

#### 6.4.1.1 基準電圧と DAC 伝達関数

図 6-1 に示されているように、DAC53xAxW では、使用可能な 2 つの電圧リファレンス オプション（内部リファレンスと電源）があります。電圧出力モードとコンパレータ モードの DAC 伝達関数は、電圧リファレンスの選択に基づいて異なります。

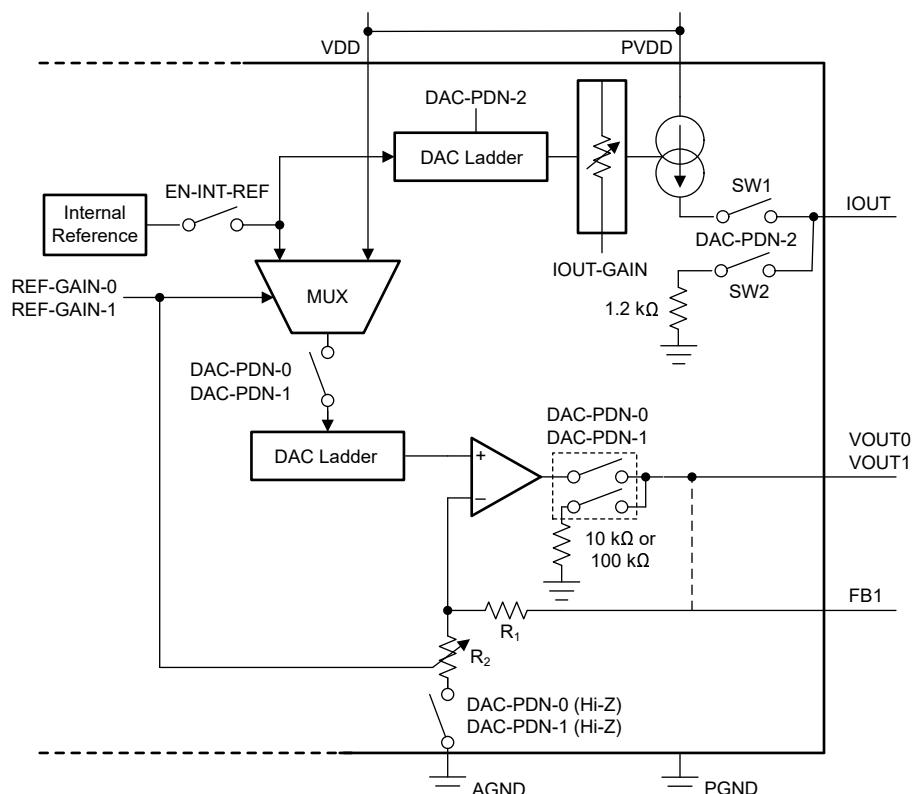


図 6-1. 電圧リファレンスの選択とパワーダウン ロジック

#### 6.4.1.1.1 内部リファレンス

DAC53xAxW には内部リファレンスが搭載されていますが、これはデフォルトで無効になっています。内部リファレンスを有効にするには、COMMON-CONFIG レジスタのビット EN-INT-REF に 1 を書き込みます。内部リファレンスは、固定 1.21V 電圧 (標準値) を生成します。チャネル 0 では、DAC-0-GAIN-CONFIG レジスタの REF-GAIN-0 ビットを使用して、DAC 出力電圧 ( $V_{OUT}$ ) で  $1.5\times$ 、 $2\times$ 、 $3\times$ 、 $4\times$  のゲインを実現します。チャネル 1 でも同様に、DAC-1-GAIN-CMP-CONFIG レジスタの REF-GAIN-1 ビットを使用します。[式 1](#) に、内部リファレンスを使用した DAC 伝達関数をボルト単位で示します。

$$V_{OUT} = \frac{DAC\_DATA}{2^N} \times V_{REF} \times GAIN \quad (1)$$

ここで

- $N$  は分解能 (ビット単位)、です。
- $DAC\_DATA$  は、DAC-x-DATA レジスタの DAC-x-DATA ビットにロードされるバイナリ コードに等価な 10 進数です。DAC\_DATA 範囲は  $0 \sim 2^N - 1$  です。
- $V_{REF}$  は内部リファレンス電圧 = 1.21V (標準値) です。
- $REF-GAIN-x$  ビットに基づき、ゲイン =  $1.5\times$ 、 $2\times$ 、 $3\times$ 、 $4\times$  となります。

#### 6.4.1.1.2 基準電圧としての電源

DAC53xAxW は、電源ピン (VDD) をリファレンス電圧として動作できます。[式 2](#) に、電源ピンをリファレンスとして使用する場合の DAC 伝達関数をボルト単位で示します。出力段のゲインは常に  $1\times$  です。

$$V_{OUT} = \frac{DAC\_DATA}{2^N} \times V_{DD} \quad (2)$$

ここで

- $N$  は分解能 (ビット単位)、です。
- $DAC\_DATA$  は、DAC-x-DATA レジスタの DAC-x-DATA ビットにロードされるバイナリ コードに等価な 10 進数です。
- $DAC\_DATA$  範囲は  $0 \sim 2^N - 1$  です。
- $V_{DD}$  は DAC のリファレンス電圧として使用されます。

#### 6.4.2 電流出力モード

DAC チャネル 2 (IOUT) の電流出力を有効にするには、COMMON-CONFIG レジスタの DAC-PDN-2 ビットに 00b を書き込みます。DAC-2-GAIN-CONFIG レジスタの IOUT-GAIN ビットに書き込むことで、目的の電流出力範囲を選択します。[式 3](#) に、出力電流の伝達関数を示します (単位:アンペア)。

$$I_{OUT} = \frac{DAC\_DATA}{2^N} \times GAIN \times K \quad (3)$$

ここで

- $N$  は分解能 (ビット単位)、です。
- $DAC\_DATA$  は、DAC-2-DATA レジスタで指定されているように、DAC-2-DATA ビットにロードされるバイナリ コードに等価な 10 進数です。
- $GAIN$  は、DAC-2-GAIN-CONFIG レジスタで指定されているように、IOUT-GAIN 設定の値です。
- $K$  は伝達関数定数で、0.5241 (標準値) です。

### 6.4.3 コンパレータ モード

DAC チャネル 1 は、電圧出力モードでプログラマブル コンパレータとして構成できます。チャネル 1 のコンパレータ モードに移行するには、DAC-1-GAIN-CMP-CONFIG レジスタの **CMP-1-EN** ビットに 1 を書き込みます。コンパレータ出力は、**CMP-1-OD-EN** ビットを使用してプッシュプルまたはオープンドレインとして構成できます。出力ピンのコンパレータ出力を有効にするには、**CMP-1-OUT-EN** ビットに 1 を書き込みます。コンパレータ出力を反転するには、**CMP-1-INV-EN** ビットに 1 を書き込みます。**FB1** ピンのインピーダンスは有限です。デフォルトでは、**FB1** ピンはハイインピーダンスマードになっています。**FB1** ピンのハイインピーダンスを無効にするには、**CMP-1-HIZ-IN-DIS** ビットに 1 を書き込みます。[表 6-1](#) に、各種ビット設定に対するピンのコンパレータ出力を示します。コンパレータ出力は、**CMP-STATUS** レジスタの **CMP-FLAG-1** ビットで示されます。

---

#### 注

ハイインピーダンス入力モードでは、コンパレータの入力範囲は次のように制限されます。

- ゲイン =  $1 \times$ 、 $1.5 \times$ 、または  $2 \times$  の場合:  $V_{FB1} \leq (V_{REF} \times \text{ゲイン})/3$
- ゲイン =  $3 \times$ 、または  $4 \times$  の場合:  $V_{FB1} \leq (V_{REF} \times \text{ゲイン})/6$

それより高い入力電圧はクリップされます。

---

**表 6-1. コンパレータ出力構成**

<b>CMP-1-EN</b>	<b>CMP-1-OUT-EN</b>	<b>CMP-1-OD-EN</b>	<b>CMP-1-INV-EN</b>	<b>CMPX-OUT ピン</b>
0	X	X	X	コンパレータ ディスエーブル
1	0	X	X	出力なし
1	1	0	0	プッシュプル出力
1	1	0	1	プッシュプルと反転出力
1	1	1	0	オープンドレイン出力
1	1	1	1	オープンドレインと反転出力

[図 6-2](#) に、DAC チャネル 1 をコンパレータとして構成した場合のインターフェイス回路を示します。[図 6-3](#) に、プログラマブル コンパレータ動作を示します。[表 6-2](#) に示されているように、コンパレータはそれぞれの DAC-1-CMP-MODE-CONFIG レジスタの **CMP-1 MODE** ビットを使用して、ヒステリシスなし、ヒステリシス付き、ウィンドウ コンパレータ モードに構成できます。

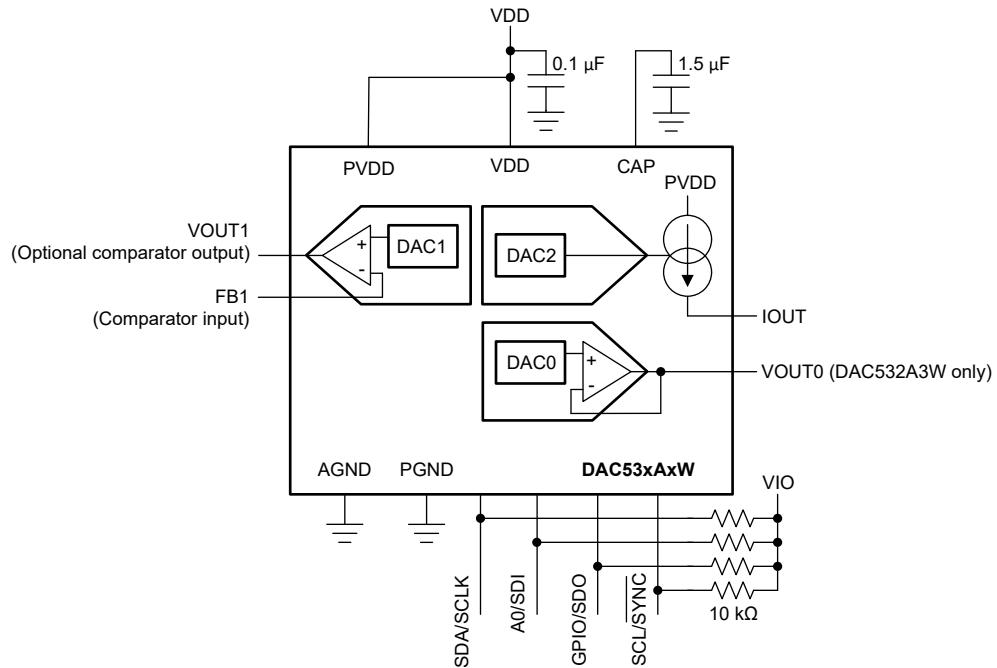


図 6-2. コンパレータ インターフェイス

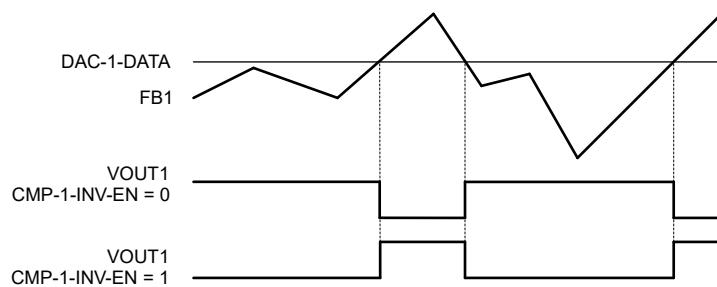


図 6-3. プログラマブル コンパレータ動作

表 6-2. コンパレータ モードの選択

CMP-1 モード ビット フィールド	コンパレータの構成
00	通常のコンパレータ モード。ヒステリシスまたはウインドウ動作はありません。
01	ヒステリシス コンパレータ モード。DAC-1-MARGIN-HIGH および DAC-1-MARGIN-LOW レジスタは、ヒステリシスを設定します。
10	ウインドウ コンパレータ モード。DAC-1-MARGIN-HIGH および DAC-1-MARGIN-LOW レジスタは、ウインドウ境界を設定します。
11	無効な設定

#### 6.4.3.1 プログラマブル ヒステリシス コンパレータ

表 6-2 に示されているように、CMP-1-MODE ビットが 01b に設定されている場合、コンパレータ モードがヒステリシスを提供します。図 6-4 では、DAC-1-MARGIN-HIGH と DAC-1-MARGIN-LOW レジスタによってヒステリシスが供給されています。

DAC-1-MARGIN-HIGH がフル コードに設定されるか、DAC-1-MARGIN-LOW がゼロ コードに設定されると、コンパレータはラッチ コンパレータとして動作し、スレッショルドを超えた後に出力がラッチされます。ラッチされた出力は、COMMON-DAC-TRIG レジスタの対応する RESET-CMP-FLAG-1 ビットに書き込むことでリセットできます。図 6-5 に、アクティブ Low 出力のラッチ コンパレータの動作を示します。図 6-6 に、アクティブ High 出力のラッチ コンパレータの動作を示します。

##### 注

DAC-1-MARGIN-HIGH レジスタの値は、DAC-1-MARGIN-LOW レジスタの値よりも大きくする必要があります。ヒステリシス モードのコンパレータ出力は非反転型のみにできます。つまり、DAC-1-GAIN-CMP-CONFIG レジスタの CMP-1-INV-EN ビットを 0 に設定する必要があります。リセットをラッチ モードで有効にするには、入力電圧が DAC-1-MARGIN-HIGH と DAC-1-MARGIN-LOW の範囲内である必要があります。

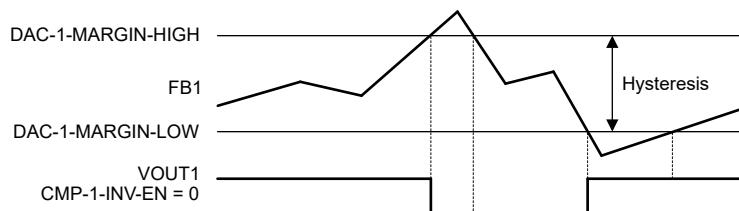


図 6-4. プログラマブル ヒステリシス (出力のラッチなし)

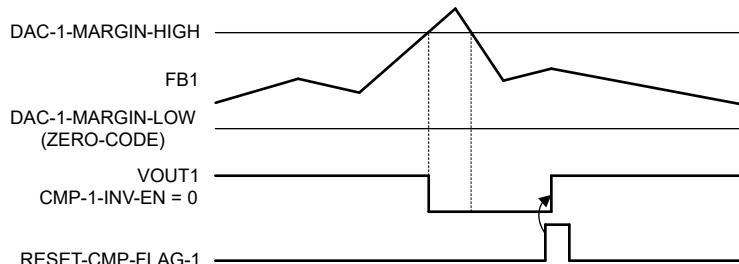


図 6-5. ラッチ コンパレータ (アクティブ Low 出力)

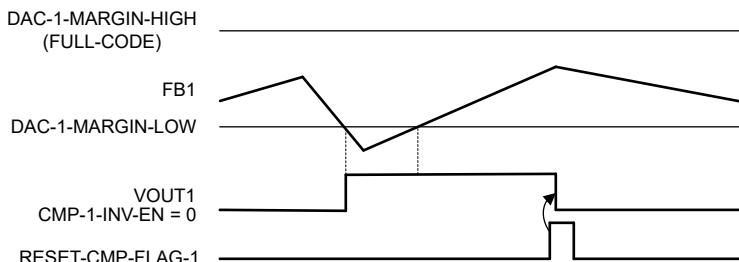


図 6-6. ラッチ コンパレータ (アクティブ High 出力)

#### 6.4.3.2 プログラマブル ウィンドウ コンパレータ

チャネル 1 のウィンドウ コンパレータ モードは、CMP-1-MODE ビットを 10b に設定することで有効になります（表 6-2 も参照）。図 6-7 に示されているように、ウィンドウ境界は DAC-1-MARGIN-HIGH と DAC-1-MARGIN-LOW レジスタによって設定されます。ウィンドウ コンパレータの出力は、CMP-STATUS レジスタの WIN-CMP-1 ビットで示されます。コンパレータ出力 (WIN-CMP-1) は、COMMON-CONFIG レジスタの WIN-LATCH-EN ビットに 1 を書き込むことでラッチできます。ラッチされた後、コンパレータ出力は、COMMON-DAC-TRIG レジスタの対応する RESET-CMP-FLAG-1 ビットを使用してリセットできます。リセットを有効にするには、入力がウィンドウ範囲内にある必要があります。

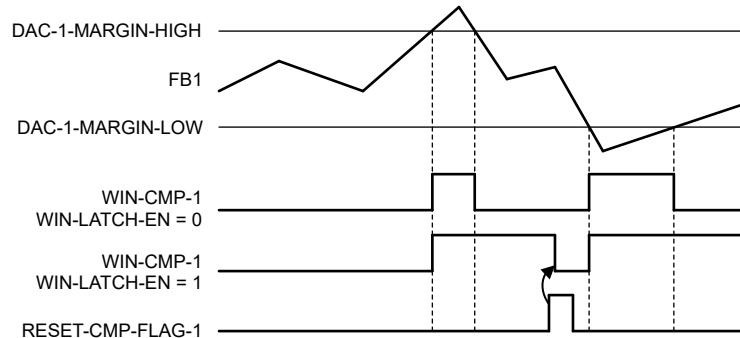


図 6-7. ウィンドウ コンパレータの動作

チャネルごとに 1 つのコンパレータを使用して、ウィンドウの「margin-high」と「margin-low」の両方をチェックします。そのため、ウィンドウ コンパレータ機能には有限の応答時間があります（「電気的特性:コンパレータ モード」セクションを参照）。WIN-CMP-1 ビットの静的動作は出力ピンに反映されません。CMP-1-OUT-EN ビットを 0 に設定します。WIN-CMP-1 ビットは、通信インターフェイスを使用してデジタル形式で読み取る必要があります。このビットは、GPIO/SDO ピンに割り当てることもできます（表 6-9 も参照）。

#### 注

- DAC-1-MARGIN-HIGH レジスタの値は、DAC-1-MARGIN-LOW レジスタの値より大きくする必要があります。
- ウィンドウ コンパレータから最適な応答時間を得るには、DAC-1-FUNC-CONFIG レジスタの SLEW-RATE-1 ビットを 0000b (スルーなし)、LOG-SLEW-EN-1 ビットを 0b に設定します。
- DAC-1-GAIN-CMP-CONFIG レジスタの CMP-1-OUT-EN ビットを 0b に設定すると、VOUT1/AIN1 ピンの不要なトグルが排除されます。

#### 6.4.4 フォルトダンプモード

DAC53xAxW には、フォルトダンプ ビットがトリガされたとき、またはフォルトダンプにマッピングされた GPIO がトリガされたときに、いくつかのレジスタを NVM に保存する機能があります (表 6-8 も参照)。この機能は、システムレベルの障害管理で、障害がトリガされる直前にデバイスまたはシステムの状態をキャプチャし、障害が発生した後で診断できるようにするために役立ちます。フォルトダンプがトリガされたときに保存されるレジスタは次のとおりです。

- CMP-STATUS[7:0]
- DAC-0-DATA[15:8]
- DAC-1-DATA[15:8]
- DAC-2-DATA[15:8]

**注**

フォルトダンプ サイクルの進行中は、データに変更を加えると最終的な結果が破損する可能性があります。NVM 書き込みサイクル中は、コンパレータと DAC コードが安定していることを確認してください。

表 6-3 に、NVM のレジスタの保存形式を示します。

**表 6-3. フォルトダンプの NVM 保存形式**

NVM 行	B31-B24	B23-B16	B15-B8	B7-B0
Row1	CMP-STATUS[7:0]		未使用	未使用
Row2	DAC-2-DATA[15:8]	未使用	DAC-0-DATA[15:8]	DAC-1-DATA[15:8]

フォルトダンプ後に NVM でキャプチャされたデータは、次の特定のシーケンスで読み取ることができます。

1. COMMON-CONFIG レジスタで EE-READ-ADDR ビットを 0b に設定して、NVM の row1 を選択します。
2. COMMON-TRIGGER レジスタの READ-ONE-TRIG に 1 を書き込んで、選択された NVM 行の読み出しをトリガします。このビットは自動リセットされます。このアクションにより、選択された NVM 行からのデータが SRAM アドレス 0x9D (NVM の LSB 16 ビット) および 0x9E (NVM の MSB 16 ビット) にコピーされます。
3. SRAM データを読み取るには、次の手順に従います。
  - a. SRAM-CONFIG レジスタに 0x009D を書き込みます。
  - b. SRAM-DATA レジスタからデータを読み取り、LSB 16 ビットを取得します。
  - c. SRAM-CONFIG レジスタに 0x009E を書き込みます。
  - d. SRAM-DATA レジスタからデータを再度読み取り、MSB ビットを取得します。
4. COMMON-CONFIG レジスタで EE-READ-ADDR ビットを 1b に設定し、NVM の row2 を選択します。手順 2 ~ 3 を繰り返します。

## 6.4.5 特定用途向けモード

このセクションでは、DAC53xAxW で利用できる特定用途向けの機能モードについて詳しく説明します。

### 6.4.5.1 電圧マージン設定とスケーリング

電圧マージン測定またはスケーリングは、DAC53xAxW の主なアプリケーションです。このセクションでは、ハイインピーダンス出力、スルーレート制御、PROTECT 入力など、このアプリケーションで利用できる具体的な機能について説明します。

#### 6.4.5.1.1 ハイインピーダンス出力およびPROTECT 入力

VDD がオフのとき、すべての DAC 出力チャネルはハイインピーダンス状態のままとなります。図 6-8 に、電圧マージン測定アプリケーションで使用される DAC53xAxW の概略回路図を示します。ほとんどのリニアレギュレータおよび DC/DC コンバータの帰還電圧は  $\leq 1.25\text{V}$  です。出力の低いリーク電流は  $\leq 1.25\text{V}$  の  $V_{FB}$  で維持されます。したがって、実用的な目的のために、電圧マージン設定およびスケーリング アプリケーションで DAC の VDD がオフになっている場合、DAC 出力はハイインピーダンスのように見えます。この機能により、DAC の電源シーケンスを追加しなくとも、DAC53xAxW システムにシームレスに統合できます。

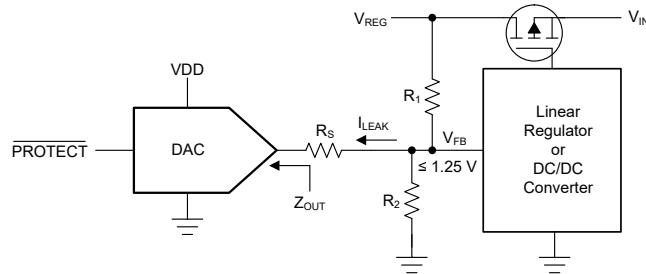


図 6-8. ハイインピーダンス (Hi-Z) 出力およびPROTECT 入力

DAC チャネルは、ブートアップ時にハイインピーダンスへのパワーダウンを行います。出力は、DC/DC コンバータまたはリニアレギュレータの公称出力に対応するように事前にプログラムされたコードで起動できます。この機能により、DC/DC コンバータやリニアレギュレータの帰還ループに影響を及ぼすことなく、DAC のスムーズなパワーアップとパワーダウンが可能になります。

表 6-8 に、DAC53xAxW の GPIO/SDO ピンを PROTECT 機能として構成する方法を示します。PROTECT は、DAC 出力を予測可能な状態にし、スルーまたは直接遷移します。この機能は、フォルト状態（電圧低下など）、サブシステム障害、ソフトウェアクラッシュに起因して、プロセッサの関与なしに DAC 出力が事前定義された状態に達する必要があるシステムで役立ちます。検出されたイベントは PROTECT 入力として構成されている GPIO/SDO ピンに供給できます。PROTECT 機能は、COMMON-TRIGGER レジスタの PROTECT ビットを使用してトリガすることもできます。表 6-4 に、DEVICE-MODE-CONFIG レジスタの PROTECT-CONFIG フィールドで PROTECT 機能の動作を構成する方法を示します。

#### 注

- PROTECT 機能がトリガされた後、機能が完了するまで、通信インターフェイスで書き込み機能は無効になります。
- PROTECT 機能がトリガされると、CMP-STATUS レジスタの PROTECT-FLAG ビットは 1 に設定されます。このビットは、CMP-STATUS レジスタを読み出すことでポーリングできます。PROTECT 機能の完了後、CMP-STATUS レジスタの読み取りコマンドによって PROTECT-FLAG ビットがリセットされます。

表 6-4. PROTECT 機能の構成

<u>PROTECT-CONFIG</u> フィールド	機能
00	ハイインピーダンスパワーダウン（スルーなし）に切り替えます。
01	NVM に保存された DAC コード（スルーなし）に切り替えてから、ハイインピーダンスパワーダウンに切り替えます。

表 6-4. PROTECT 機能の構成 (続き)

PROTECT-CONFIG フィールド	機能
10	margin-low コードまでスルーしてから、ハイインピーダンスパワーダウンに切り替えます。
11	margin-high コードまでスルーしてから、ハイインピーダンスパワーダウンに切り替えます。

#### 6.4.5.1.2 プログラマブルスルーレート制御

DAC データレジスタに書き込むと、DAC 出力の電圧 ( $V_{OUTX}$ ) または電流 ( $I_{OUT}$ ) は、「電気的特性」に規定されているスルーレートとセトリングタイムに従って新しいコードに直ちに遷移します。

スルーレート制御機能により、ユーザーは出力電圧 ( $V_{OUT}$ ) が変化するレートを制御できます。この機能を有効にすると (SLEW-RATE-x[3:0] ビットを使用)、DAC 出力は、DAC-x-FUNC-CONFIG レジスタの CODE-STEP-x ビットと SLEW-RATE-x ビットで設定されたステップ サイズとステップあたりの時間間隔を使用して、現在のコードから DAC-x-MARGIN-HIGH または DAC-x-MARGIN-LOW レジスタのコードに変更されます (DAC に margin high または margin low コマンドが発行された場合)。

- SLEW-RATE-x は、デジタルスルーを更新するステップあたりの時間を定義します。
- CODE-STEP-x は、対応するチャネルについて、各更新時に出力値が変化する LSB の数を定義します。

表 6-5 および 表 6-6 に、CODE-STEP-x と SLEW-RATE-x で使用可能なさまざまな設定を示します。デフォルトのスルーレート制御設定をスルーナシで使用すると、出力は出力ドライブ回路と接続された負荷によって制限されるレートで直ちに変化します。

スルーレート制御機能を使用する場合、プログラムされたスルーレートで出力の変化が発生します。図 6-9 に示されているように、この構成では出力で階段が形成されます。出力スルーアクション中は、CODE-STEP-x、SLEW-RATE-x、または DAC-x-DATA データに書き込まないでください。式 4 に、スルーハイタップ時間 ( $t_{SLEW}$ ) を計算する式を示します。

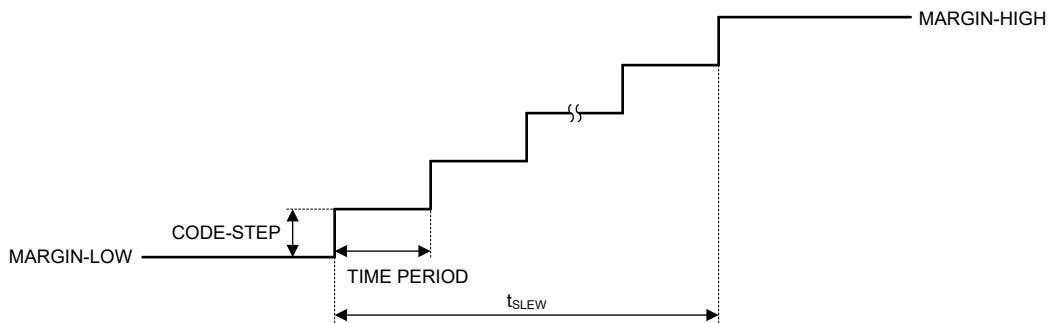


図 6-9. プログラマブルスルーレート制御

$$t_{SLEW} = \text{SLEW\_RATE} \times \text{CEILING}\left(\frac{\text{MARGIN\_HIGH} - \text{MARGIN\_LOW}}{\text{CODE\_STEP}} + 1\right) \quad (4)$$

ここで

- SLEW\_RATE は、表 6-6 に規定されている SLEW-RATE-x 設定です。
- CODE\_STEP は、表 6-5 に規定されている CODE-STEP-x 設定です。
- MARGIN\_HIGH は、DAC-x-MARGIN-HIGH レジスタの DAC-x-MARGIN-HIGH ビットの 10 進値です。
- MARGIN\_LOW は、DAC-x-MARGIN-LOW レジスタの DAC-x-MARGIN-LOW ビットの 10 進値です。

**表 6-5. コード ステップ**

レジスタ	CODE-STEP-x[2]	CODE-STEP-x[1]	CODE-STEP-x[0]	コード ステップ サイズ
DAC-x-FUNC-CONFIG	0	0	0	1 LSB (デフォルト)
	0	0	1	2 LSB
	0	1	0	3 LSB
	0	1	1	4 LSB
	1	0	0	6 LSB
	1	0	1	8 LSB
	1	1	0	16 LSB
	1	1	1	32 LSB

**表 6-6. スルー レート**

レジスタ	SLEW-RATE-x[3]	SLEW-RATE-x[2]	SLEW-RATE-x[1]	SLEW-RATE-x[0]	期間 (ステップごと)
DAC-x-FUNC-CONFIG	0	0	0	0	スルーなし (デフォルト)
	0	0	0	1	4μs
	0	0	1	0	8μs
	0	0	1	1	12μs
	0	1	0	0	18μs
	0	1	0	1	27μs
	0	1	1	0	40.5μs
	0	1	1	1	60.75μs
	1	0	0	0	91.13μs
	1	0	0	1	136.69μs
	1	0	1	0	239.2μs
	1	1	0	1	418.61μs
	1	1	0	0	732.56μs
	1	1	0	1	1281.98μs
	1	1	1	0	2563.96μs
	1	1	1	1	5127.92μs

#### 6.4.5.2 機能の生成

DAC53xAxW は、連続機能または波形生成機能を実装しています。これらのデバイスは、すべてのチャネルに対して三角波、のこぎり波、正弦波を独立して生成できます。

##### 6.4.5.2.1 三角波生成

図 6-10 に示されているように、三角波では、最小レベルと最大レベルについて、それぞれ DAC-x-MARGIN-LOW (FUNCTION-MIN) と DAC-x-MARGIN-HIGH (FUNCTION-MAX) レジスタを使用しています。波形の周波数は、最小レベルと最大レベル、CODE-STEP と SLEW-RATE の設定によって異なります (式 5 を参照)。時定数がスルーレート設定よりも大きい外部 RC 負荷は、内部周波数の計算で支配的になります。CODE-STEP-x と SLEW-RATE-x の設定は、DAC-x-FUNC-CONFIG レジスタで利用できます。DAC-x-FUNC-CONFIG レジスタの FUNC-CONFIG-x ビット フィールドに 0b000 を書き込んで、三角波を選択します。

$$f_{\text{TRIANGLE}} = \frac{1}{2 \times \text{TIME\_STEP} \times \text{CEILING}\left(\frac{\text{FUNCTION\_MAX} - \text{FUNCTION\_MIN}}{\text{CODE\_STEP}}\right)} \quad (5)$$

ここで、

- TIME\_STEP は、表 6-6 で規定されている SLEW-RATE-x 設定です。
- CODE\_STEP は、表 6-5 に規定されている CODE-STEP-x 設定です。
- FUNCTION\_MAX は、DAC-x-MARGIN-HIGH レジスタの DAC-x-MARGIN-HIGH ビットの 10 進値です。
- FUNCTION\_MIN は、DAC-x-MARGIN-LOW レジスタの DAC-x-MARGIN-LOW ビットの 10 進値です。

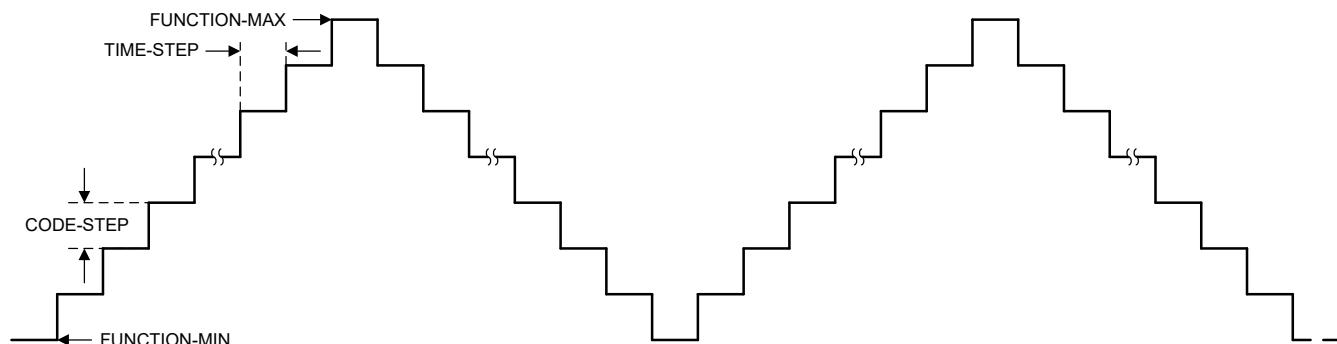


図 6-10. 三角波

#### 6.4.5.2.2 のこぎり波生成

図 6-11 に示されているように、のこぎり波と逆のこぎり波では、最小レベルと最大レベルについて、それぞれ DAC-x-MARGIN-LOW (FUNCTION-MIN) と DAC-x-MARGIN-HIGH (FUNCTION-MAX) レジスタを使用しています。波形の周波数は、最小レベルと最大レベル、CODE-STEP と SLEW-RATE の設定によって異なります (式 6 を参照)。時定数がスルーレート設定よりも大きい外部 RC 負荷は、内部周波数の計算で支配的になります。CODE-STEP-x と SLEW-RATE-x の設定は、DAC-x-FUNC-CONFIG レジスタで利用できます。DAC-x-FUNC-CONFIG レジスタの FUNC-CONFIG-x ビットフィールドに 0b001 を書き込み、のこぎり波を選択し、0b010 を書き込み、逆のこぎり波を選択します。

$$f_{SAWTOOTH} = \frac{1}{\text{TIME\_STEP} \times \text{CEILING}\left(\frac{\text{FUNCTION\_MAX} - \text{FUNCTION\_MIN}}{\text{CODE\_STEP}} + 1\right)} \quad (6)$$

ここで、

- TIME\_STEP は、表 6-6 で規定されている SLEW-RATE-x 設定です。
- CODE\_STEP は、表 6-5 に規定されている CODE-STEP-x 設定です。
- FUNCTION\_MAX は、DAC-x-MARGIN-HIGH レジスタの DAC-x-MARGIN-HIGH ビットの 10 進値です。
- FUNCTION\_MIN は、DAC-x-MARGIN-LOW レジスタの DAC-x-MARGIN-LOW ビットの 10 進値です。

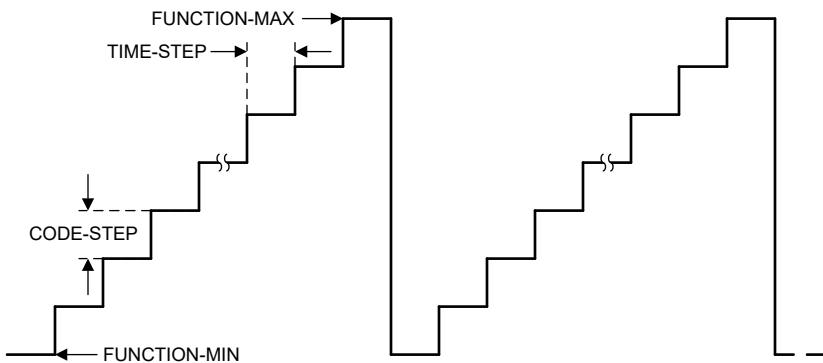


図 6-11. のこぎり波

#### 6.4.5.2.3 正弦波形生成

正弦波機能では、サイクルごとに 24 のプログラムされたポイントを使用します。正弦波の周波数は、SLEW-RATE 設定で決まります (式 7 を参照)。

$$f_{\text{SINE\_WAVE}} = \frac{1}{24 \times \text{SLEW\_RATE}} \quad (7)$$

SLEW\_RATE は、表 6-6 に規定されている SLEW-RATE-x 設定です。

時定数がスルーレート設定よりも大きい外部 RC 負荷は、内部周波数の計算で支配的になります。SLEW-RATE-x 設定は、DAC-x-FUNC-CONFIG レジスタで利用できます。DAC-x-FUNC-CONFIG レジスタの FUNC-CONFIG-x ビットフィールドに 0b100 を書き込んで、正弦波を選択します。正弦波のコードは固定されています。内部リファレンス電圧オプションでフルスケール出力を変更するには、出力アンプのゲイン設定を使用します。ゲイン設定には、それぞれ DAC-0-GAIN-CONFIG、DAC-1-GAIN-CMP-CONFIG、DAC-2-GAIN-CONFIG レジスタの DAC-GAIN-0、DAC-GAIN-1、IOUT-GAIN ビットからアクセスできます。表 6-7 に、12 ビット分解能の正弦波にハードコードされたディスクリート ポイントのリストを示します。図 6-12 に、正弦波の画像表現を示します。正弦波には、DAC-x-FUNC-CONFIG レジスタの PHASE-SEL-x ビットを使用して選択する 4 つの位相設定があります。

表 6-7. 正弦波データ ポイント

シーケンス	12-BIT の値	シーケンス	12-BIT の値
0 (0° 位相開始)	0x800	12	0x800
1	0x9A8	13	0x658
2	0xB33	14	0x4CD
3	0xC87	15	0x379
4	0xD8B	16 (240° 位相開始)	0x275
5	0xE2F	17	0x1D1
6 (90° 位相開始)	0xE66	18	0x19A
7	0xE2F	19	0x1D1
8 (120° 位相開始)	0xD8B	20	0x275
9	0xC87	21	0x379
10	0xB33	22	0x4CD
11	0x9A8	23	0x658

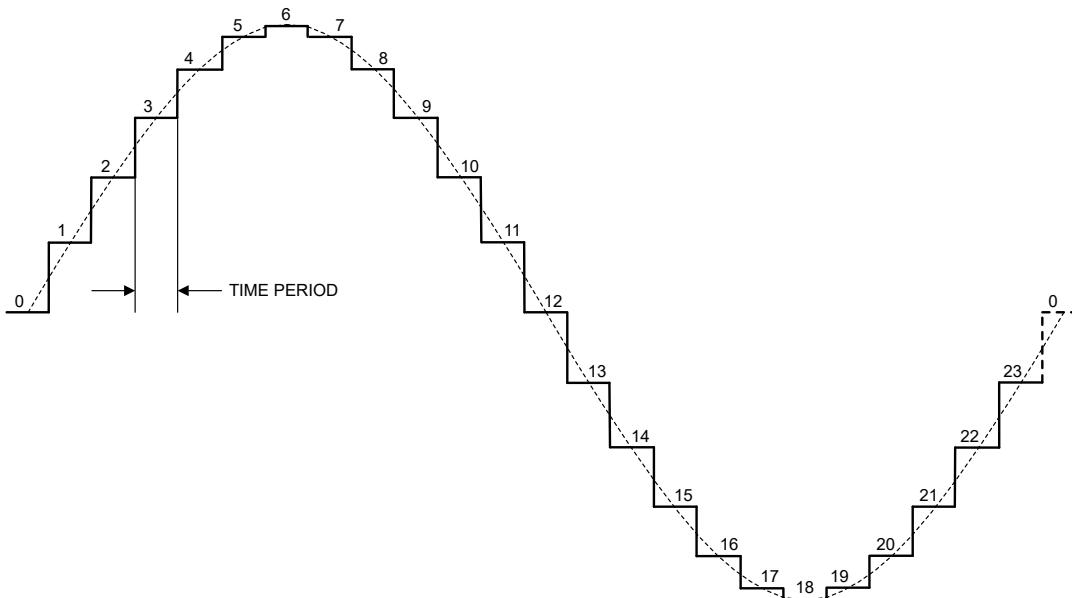


図 6-12. 正弦波生成

## 6.4.6 デバイスのリセットと障害管理

このセクションでは、DAC53xAxW のパワーオンリセット (POR)、ソフトウェアリセット、その他の診断、および障害管理機能について詳しく説明します。

### 6.4.6.1 パワーオンリセット (POR)

DAC53xAxW ファミリは、電源投入時に出力電圧を制御するパワーオンリセット (POR) 機能を備えています。 $V_{DD}$  電源が立ち上がるとき、POR イベントが発行されます。POR によりすべてのレジスタがデフォルト値に初期化され、デバイスとの通信は POR (ブートアップ) 遅延後にのみ有効になります。DAC53xAxW のすべての構成レジスタのデフォルト値は、POR イベントが発行された後、NVM から読み込まれます。

デバイスに電源投入されると、POR 回路によってデバイスがデフォルトモードに設定されます。図 6-13 に示されているように、POR 回路では、電源投入時に内部コンデンサが放電されデバイスがリセットされるように、特定の  $V_{DD}$  レベルが必要です。POR が確実に発生するようにするには、 $V_{DD}$  が少なくとも 1ms 間 0.7V 未満になる必要があります。 $V_{DD}$  が 1.65V 未満に低下しても 0.7V を超えている場合 (未定義領域として表示)、指定されたすべての温度および電源条件下でデバイスがリセットされる場合とリセットされない場合があります。この場合は、POR を開始します。 $V_{DD}$  が 1.65V を超えると、POR は発生しません。

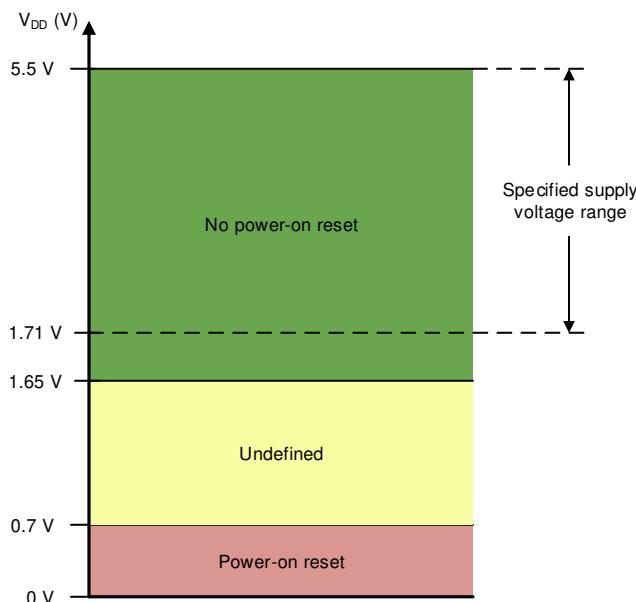


図 6-13.  $V_{DD}$  POR 回路のスレッショルド レベル

### 6.4.6.2 外部リセット

デバイスへの外部リセットは、GPIO/SDO ピンまたはレジスタマップを介してトリガできます。デバイスソフトウェアリセットイベントを開始するには、COMMON-TRIGGER レジスタの RESET フィールドに予約コード 1010b を書き込みます。ソフトウェアリセットにより、POR イベントが開始されます。表 6-8 に、GPIO/SDO ピンを  $\overline{RESET}$  ピンとして構成する方法を示します。デバイスのリセット後に設定がクリアされないように、この構成を NVM にプログラムする必要があります。 $\overline{RESET}$  入力は Low パルスである必要があります。 $\overline{RESET}$  入力の立ち下がりエッジの後、デバイスはブートアップ シーケンスを開始します。 $\overline{RESET}$  入力の立ち上がりエッジは、何の影響も及ぼしません。

### 6.4.6.3 レジスタマップロック

DAC53xAxW は、DAC レジスタへの偶発的な (意図しない) 書き込みを防止するレジスタマップロック機能を実装しています。COMMON-CONFIG レジスタの DEV-LOCK ビットが 1 に設定されると、デバイスはすべてのレジスタをロックします。しかし、I<sup>2</sup>C インターフェイスを使用している場合、COMMON-TRIGGER レジスタによるソフトウェアリセット機能は

ブロックされません。DEV-LOCK 設定をバイパスするには、COMMON-TRIGGER レジスタの DEV-UNLOCK ビットに 0101b を書き込みます。

#### 6.4.6.4 NVM 巡回冗長検査 (CRC)

DAC53xAxW には、NVM に保存されたデータが破損していないように、NVM に巡回冗長検査 (CRC) 機能が実装されています。DAC53xAxW には、次の 2 種類の CRC アラーム ビットが実装されています。

- NVM-CRC-FAIL-USER
- NVM-CRC-FAIL-INT

NVM-CRC-FAIL-USER ビットは、ユーザーがプログラム可能な NVM ビットのステータスを示し、NVM-CRC-FAIL-INT ビットは、内部 NVM ビットのステータスを示します。CRC 機能は、NVM プログラム動作 (書き込みまたはリロード) が実行されるたび、およびデバイスの起動中に、NVM データとともに 16 ビット CRC (CRC-16-CCITT) を保存することによって実装されます。デバイスは NVM データを読み取り、保存されている CRC を使用してデータを検証します。CRC アラーム ビット (GENERAL-STATUS スレジスタの NVM-CRC-FAIL-USER と NVM-CRC-FAIL-INT) は、デバイスの NVM からデータが読み取られた後、エラーを報告します。アラーム ビットはブートアップ時にのみ設定されます。

##### 6.4.6.4.1 NVM-CRC-FAIL-USER ビット

NVM-CRC-FAIL-USER ビットのロジック 1 は、ユーザーがプログラム可能な NVM データが破損していることを示しています。この条件の間、DAC 内のすべてのレジスタが工場出荷時リセットの値で初期化され、任意の DAC レジスタへの書き込みまたは読み出しが可能になります。アラーム ビットを 0 にリセットするには、ソフトウェアリセット ([セクション 6.4.6.2](#) も参照) コマンドを発行するか、DAC の電源を入れ直します。ソフトウェアリセット時やパワー サイクル時も、ユーザーがプログラム可能な NVM ビットがリロードされます。問題が解決しない場合は、NVM を再プログラミます。

##### 6.4.6.4.2 NVM-CRC-FAIL-INT ビット

NVM-CRC-FAIL-INT ビットのロジック 1 は、内部 NVM データが破損していることを示しています。この条件の間、DAC 内のすべてのレジスタが工場出荷時リセットの値で初期化され、任意の DAC レジスタへの書き込みまたは読み出しが可能になります。一時的な障害が発生した場合、アラーム ビットを 0 にリセットするには、ソフトウェアリセット ([セクション 6.4.6.2](#) も参照) コマンドを発行するか、DAC の電源を入れ直します。NVM に永続的な障害が発生すると、デバイスは使用できなくなります。

#### 6.4.7 汎用入出力 (GPIO) モード

I<sup>2</sup>C と SPI と共に、DAC53xAxW は GPIO もサポートしており、NVM で複数の機能を構成できます。このピンにより、プログラミングインターフェイスを使用せずに DAC 出力チャネルを更新し、ステータス ビットを読み取ることができます。「プロセッサなし」での動作が可能になります。GPIO-CONFIG レジスタで、GPI-EN ビットに 1 を書き込んで GPIO/SDO ピンを入力として設定するか、GPO-EN ビットに 1 を書き込んでピンを出力として設定します。GPIO/SDO ピンには、グローバルおよびチャネル固有の機能が割り当てられています。チャネル固有の機能については、GPIO-CONFIG レジスタの GPI-CH-SEL フィールドを使用してチャネルを選択します。[表 6-8](#) に、入力として GPIO で利用可能な機能オプションを示します。[表 6-9](#) に、出力としての GPIO のオプションを示します。GP 入力動作の一部は、デバイスがブートアップした後にエッジトリガれます。電源投入後、デバイスは GPI レベルを登録し、関連するコマンドを実行します。この機能により、電源オンでの初期出力状態を構成できます。デフォルトでは、GPIO/SDO ピンなどの動作にもマッピングされていません。GPIO/SDO ピンが特定の入力機能にマッピングされると、競合状態を回避するために、対応するソフトウェアビット機能が無効になります。RESET 入力として使用する場合、GPIO/SDO ピンは、デバイスリセットをトリガるためにアクティブ Low パルスを送信する必要があります。機能の他すべての制約は、GPIO ベースのトリガに適用されます。

##### 注

未使用時は、GPIO/SDO ピンを High または Low にプルします。GPIO/SDO ピンを RESET として使用する場合、その構成を NVM にプログラムする必要があります。それ以外の場合は、デバイスのリセット後に設定はクリアされます。

**表 6-8. 汎用入力機能マップ**

レジスタ	ビット フィールド	値	チャネル	GPIO エッジレベル	機能
GPIO-CONFIG	GPI-CONFIG	0000	すべて	立ち下がりエッジ	DEEP-SLEEP モードをトリガ。
				立ち上がりエッジ	デバイスをディープスリープから解除。
		0010	すべて	立ち下がりエッジ	FAULT-DUMP をトリガ
				立ち上がりエッジ	影響なし
		0100	GPI-CH-SEL に従います	立ち下がりエッジ	チャネル パワーダウン。DAC-PDN-x 設定に基づくプルダウン抵抗
				立ち上がりエッジ	チャネルのパワーアップ
		0101	すべて	立ち下がりエッジ	PROTECT 機能をトリガ
				立ち上がりエッジ	影響なし
		0111	すべて	立ち下がりエッジ	CLR 機能をトリガ
				立ち上がりエッジ	影響なし
		1000	GPI-CH-SEL に従い、SYNC-CONFIG-X と GPI-CH-SEL の両方をすべてのチャネルに設定する必要があります。	立ち下がりエッジ	LDAC 機能をトリガ
				立ち上がりエッジ	影響なし
		1001	GPI-CH-SEL に従います	立ち下がりエッジ	機能生成を停止
				立ち上がりエッジ	機能生成を開始
		1010	GPI-CH-SEL に従います	立ち下がりエッジ	margin-low をトリガします
				立ち上がりエッジ	margin-high をトリガします
		1011	すべて	Low パルス	デバイス RESET をトリガします。 RESET 構成は NVM にプログラムする必要があります。
				立ち上がりエッジ	影響なし
		1100	すべて	立ち下がりエッジ	NVM プログラミングを許可
				立ち上がりエッジ	NVM プログラミングをロック
		1101	すべて	立ち下がりエッジ	レジスタ マップの更新を許可
				立ち上がりエッジ	レジスタ マップの書き込みをロック (I <sup>2</sup> C または SPI 経由の DEV-UNLOCK フィールドおよび I <sup>2</sup> C 経由の RESET フィールドへの書き込みを除く)
		その他	該当なし	該当なし	該当なし

**表 6-9. 汎用出力 (STATUS) 機能マップ**

レジスタ	ビット フィールド	値	機能
GPIO-CONFIG	GPO-CONFIG	0001	NVM-BUSY
		0100	DAC-2-BUSY
		0110	DAC-0-BUSY
		0111	DAC-1-BUSY
		1011	WIN-CMP-1
		その他	該当なし

## 6.5 プログラミング

DAC53xAxW は、3 線式 SPI または 2 線式 I<sup>2</sup>C インターフェイスでプログラムされます。4 線式 SPI モードは、GPIO/SDO ピンを SDO にマッピングすることで有効化されます。SPI 読み戻しは、標準の SPI 書き込み動作よりも低い SCLK で動作します。インターフェイスのタイプは、デバイスの電源投入後に通信する最初のプロトコルに基づいて決定されます。インターフェイスのタイプが判別されると、デバイスはデバイスの電源が入っている間、タイプの変更を無視します。インターフェイスのタイプは、パワーサイクル後に変更できます。

### 6.5.1 SPI プログラミング モード

DAC53xAxW の SPI アクセス サイクルを開始するには、SYNC ピンを Low にアサートします。シリアル クロック SCLK は、連続クロックとしても、ゲート クロックとしても動作します。SDI データは、SCLK の立ち下がりエッジに同期します。DAC53xAxW の SPI フレームは 24 ビット長です。そのため、SYNC ピンは、少なくとも 24 の SCLK の立ち下がりエッジの間、Low に維持されます。SYNC ピンが High にデアサートされると、アクセス サイクルは終了します。アクセス サイクルに最小クロック エッジよりも短い場合、通信は無視されます。デフォルトでは、SDO 機能は有効になっていません(3 線式 SPI)。3 線式 SPI モードでは、アクセス サイクルで最小クロック エッジ数を超える場合、デバイスは最初の 24 ビットのみを使用します。SYNC が High のとき、SCLK および SDI 信号がブロックされ、SDO はハイインピーダンスになります。バスに接続されている他のデバイスからのデータの読み戻しが可能になります。

表 6-10 および 図 6-14 に、24 ビット SPI アクセス サイクルの形式を示します。SDI への最初のバイト入力は命令サイクルです。命令サイクルは、要求を読み取りコマンドまたは書き込みコマンドとして識別し、アクセスする 7 ビット アドレスを特定します。サイクルの最後の 16 ビットは、データ サイクルを形成します。

表 6-10. SPI 読み取り/書き込みアクセス サイクル

ビット	フィールド	説明
23	R/W	アドレス指定されたレジスタに対する読み取りまたは書き込みコマンドとして通信を識別します。R/W = 0 は書き込み動作を設定します。R/W = 1 は読み取り動作を設定します
22-16	A[6:0]	レジスタ アドレス: 読み取りまたは書き込み操作中にアクセスするレジスタを指定します
15-0	D[15:0]	データ サイクル ビット。書き込みコマンドの場合、データ サイクルのビットはアドレス A[6:0] のレジスタに書き込まれる値となります。読み取りコマンドの場合、データ サイクルのビットは「無効」値となります。

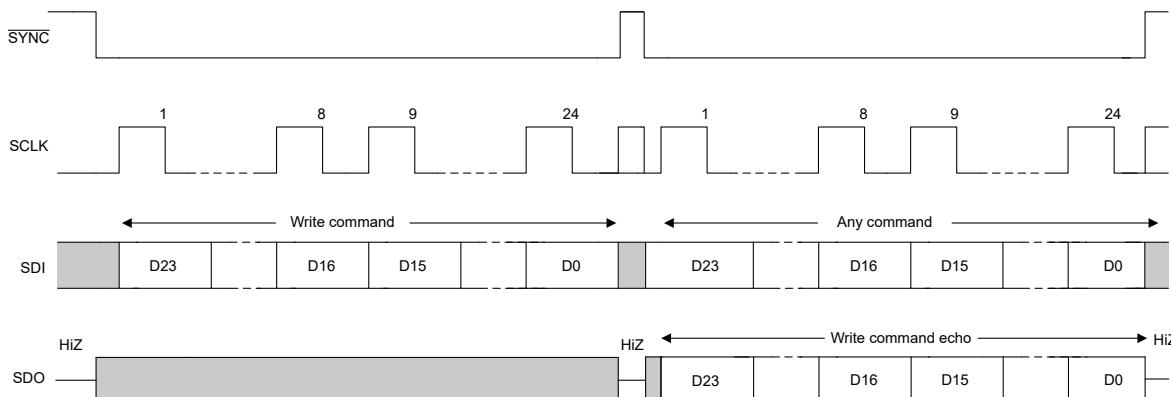


図 6-14. SPI 書き込みサイクル

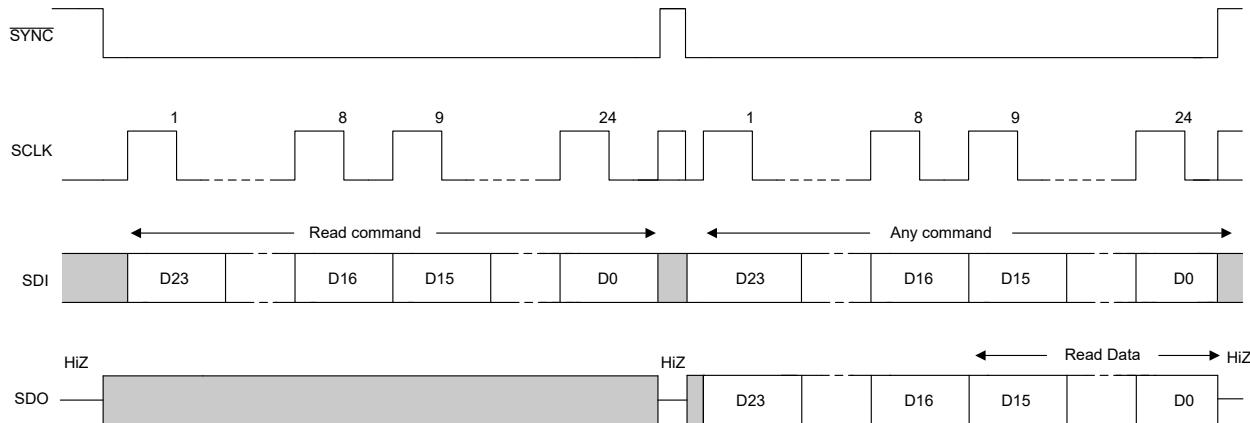
読み取り操作を行うには、まず INTERFACE-CONFIG レジスタの SDO-EN ビットを設定して SDO 機能を有効にする必要があります。この構成を 4 線式 SPI と呼びます。読み取り操作は、読み取りコマンドのアクセス サイクルを発行することで開始されます。読み取りコマンドの後、要求されたデータを取得するために、2 回目のアクセス サイクルを発行する必要があります。表 6-11 および 図 6-15 に、出力データ フォーマットを示します。データは、FSDO ビットに応じて、SCLK の立ち下がりエッジまたは立ち上がりエッジで SDO ピンにクロックアウトされます(図 5-3 も参照してください)。

表 6-11. SDO 出力アクセス サイクル

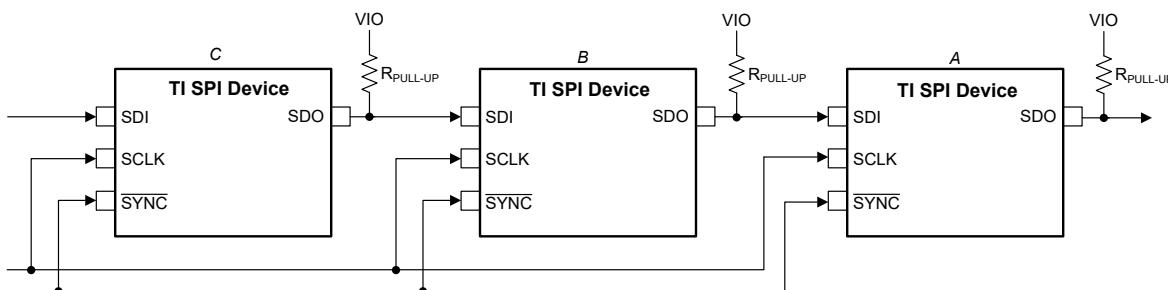
ビット	フィールド	説明
23	R/W	前回のアクセス サイクルのエコー R/W

**表 6-11. SDO 出力アクセスサイクル (続き)**

ビット	フィールド	説明
22-16	A[6:0]	前回のアクセス サイクルのエコー レジスタ アドレス
15-0	DI[15:0]	前のアクセス サイクルで要求されたデータの読み戻し

**図 6-15. SPI 読み取りサイクル**

デイジーチェーン動作は、SDO ピンでも有効です。図 6-16 に示されているように、デイジーチェーン モードでは、複数のデバイスが「チェーン」内に接続され、1 つのデバイスの SDO ピンが次のデバイスの SDI ピンに接続されます。SPI ホストは、チェーン内の最初のデバイスの SDI ピンを駆動します。チェーン内の最後のデバイスの SDO ピンは、SPI ホストの POCI ピンに接続されます。4 線式 SPI モードでは、アクセス サイクルに 24 のクロック エッジの倍数が含まれる場合、チェーン内のデバイス最初のデバイスで最後の 24 ビットのみが使用されます。アクセス サイクルに、24 の倍数でないクロック エッジが含まれている場合、SPI パケットはデバイスによって無視されます。図 6-17 に、デイジーチェーン書き込みサイクルのパケット形式を示します。

**図 6-16. SPI デイジーチェーン接続**

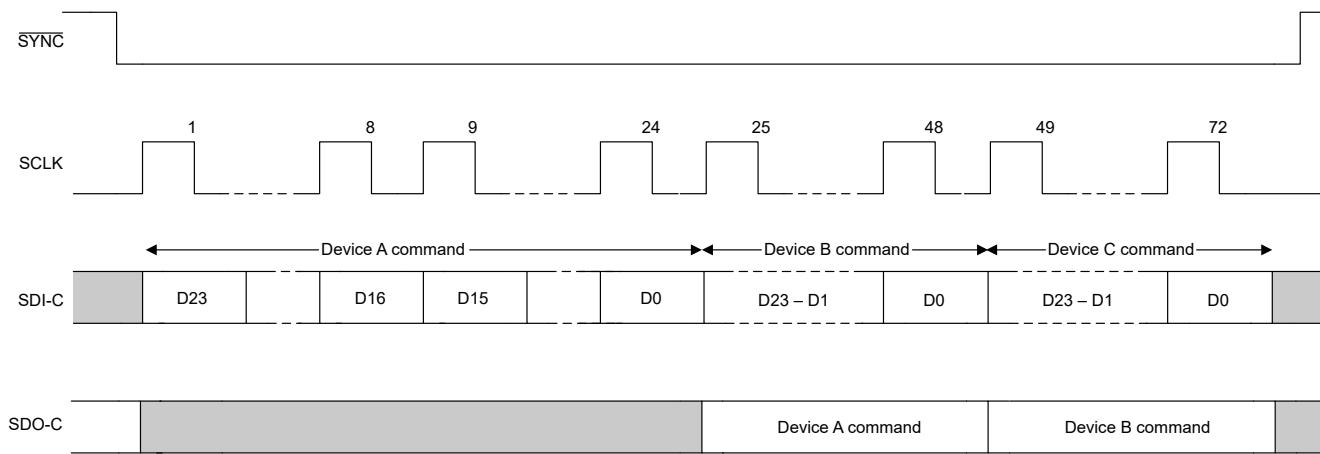


図 6-17. SPI デイジーチェーン書き込みサイクル

## 6.5.2 I<sup>2</sup>C プログラミング モード

DAC53xAxW デバイスには 2 線式シリアル インターフェイス (SCL および SDA) と 1 つのアドレス ピン (A0) があります。「ピン構成および機能」セクションのピン図も参照してください。I<sup>2</sup>C バスは、プルアップ構造を持つデータ ライン (SDA) とクロック ライン (SCL) で構成されます。バスがアイドルのときは、SDA ラインと SCL ラインの両方が High にプルされます。I<sup>2</sup>C 互換のデバイスはすべて、オープンドレインの I/O ピンである SDA および SCL を介して I<sup>2</sup>C バスに接続します。

I<sup>2</sup>C 仕様では、通信を制御するデバイスを「コントローラ」、コントローラによって制御されるデバイスを「ターゲット」と呼んでいます。コントローラは SCL 信号を生成します。また、コントローラは、バス上に特別なタイミング条件 (スタート条件、繰り返しスタート条件、停止条件) を生成し、データ転送の開始または停止を示します。デバイス アドレッシングはコントローラが実行します。I<sup>2</sup>C バス上のコントローラは通常、マイコンまたはデジタル信号プロセッサ (DSP) です。DAC53xAxW ファミリは、I<sup>2</sup>C バス上でターゲットとして動作します。ターゲットは、コントローラのコマンドに対してアクノリッジ (受信確認) を返し、コントローラの制御時にデータを受信または送信します。

通常、DAC53xAxW ファミリはターゲット レシーバとして動作します。コントローラはターゲット レシーバである DAC53xAxW に書き込みます。しかし、コントローラが DAC53xAxW の内部レジスタ データを必要とする場合、DAC53xAxW はターゲットトランスマッタとして動作します。この場合、コントローラは DAC53xAxW から読み取りを行います。I<sup>2</sup>C の用語によっては、読み出しと書き込みとはコントローラを指しています。

DAC53xAxW ファミリは、以下のデータ転送モードをサポートしています。

- スタンダード モード (100Kbps)
- 高速モード (400Kbps)
- 高速モード プラス (1.0Mbps)

スタンダード モードと高速モードのデータ転送プロトコルは全く同じであるため、本文書ではこれらのモードを F/S モードと呼びます。高速モード プラス プロトコルは、データ転送速度の点でサポートされていますが、出力電流はサポートされていません。Low レベル出力電流は 3mA で、スタンダード モードおよび高速モードの場合と同様です。DAC53xAxW ファミリは 7 ビット アドレッシングをサポートしています。10 ビット アドレッシング モードはサポートしていません。また、ジェネラル コール リセット機能をサポートしています。次のシーケンスを送信すると、デバイス内でソフトウェアリセットが起動します。スタートまたは繰り返しスタート、0x00、0x06、停止。リセットは、2 番目のバイトに続く ACK ビットの立ち上がりエッジでデバイス内でアサートされます。

指定のタイミング信号を除いて、I<sup>2</sup>C インターフェイスではシリアル バイトを扱います。各バイトの最後に、9 回目のクロック サイクルで確認応答信号が生成および検出されます。アクノリッジは、9 回目のクロック サイクルの High 期間中 SDA ラインを Low にすることで行われます。図 6-18 に示されているように、アクノリッジなしは、9 回目のクロック サイクルの High 期間中 SDA ラインを High のまま保持することで行われます。

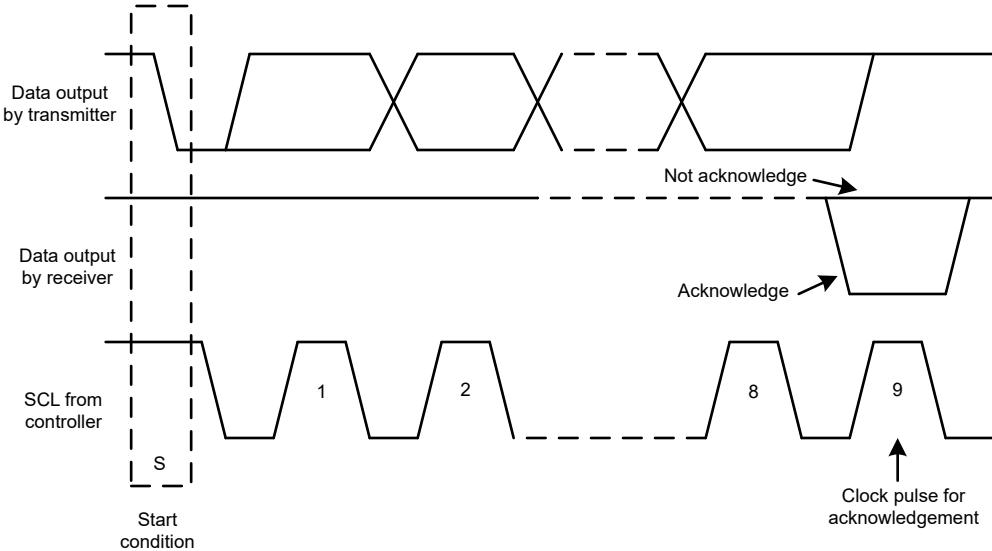


図 6-18. I<sup>2</sup>C バスにおけるアクノリッジとアクノリッジなし

#### 6.5.2.1 F/S モードのプロトコル

次の手順では、F/S モードでのトランザクションの完了について説明します。

1. コントローラは、スタート条件を生成することで、データ転送を開始します。図 6-19 に示されているように、SCL が High の状態で SDA ラインに High から Low への遷移が発生すると、スタート条件となります。すべての I<sup>2</sup>C 互換デバイスは、スタート条件を認識します。
2. 次に、コントローラは SCL パルスを生成し、7 ビットのアドレスと読み取り/書き込み方向ビット (R/W) を SDA ライン上で送信します。すべての送信中、コントローラはデータが有効であることを確認します。図 6-20 に示されているように、有効なデータ条件では、クロック パルスの High 期間全体にわたって SDA ラインが安定している必要があります。すべてのデバイスは、コントローラによって送信されたアドレスを認識して、そのアドレスをそれぞれの内部固定アドレスと比較します。一致するアドレスを持つターゲット デバイスだけが、9 番目の SCL サイクルの High 期間全体にわたって SDA ラインを Low にすることで、アクノリッジ (受信確認) を生成します (図 6-18 も参照)。コントローラがこのアクノリッジを検出すると、ターゲットとの通信リンクが確立されます。
3. コントローラはさらに SCL サイクルを生成して、ターゲットにデータを送信 (R/W ビット 0) または受信 (R/W ビット 1) します。どちらの場合も、トランシミッタから送信されたデータに対してレシーバがアクノリッジを返す必要があります。したがって、アクノリッジ信号は、どちらがレシーバかに応じて、コントローラが生成する場合とターゲットが生成する場合があります。9 ビットの有効なデータ シーケンスは、8 つのデータビットと 1 つのアクノリッジ ビットで構成され、必要なだけ継続できます。
4. データ転送の終了を通知するために、コントローラは SCL ラインが High の状態で SDA ラインを Low から High に引き上げることでストップ条件を生成します。図 6-19 を参照してください。このアクションによってバスが解放され、アドレス指定されたターゲットとの通信リンクが停止します。すべての I<sup>2</sup>C 互換デバイスが、ストップ条件を認識します。ストップ条件の受信によって、バスは解放され、すべてのターゲット デバイスはスタート条件および一致するアドレスが送信されるのを待ちます。

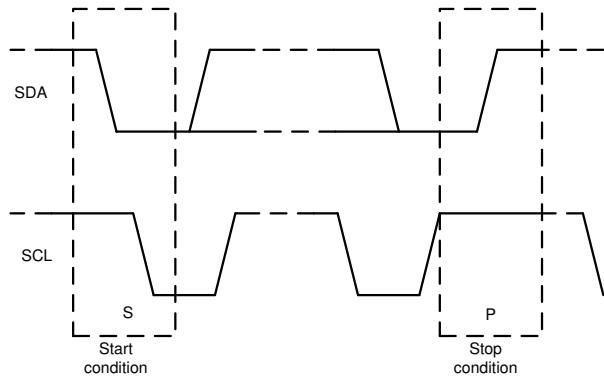
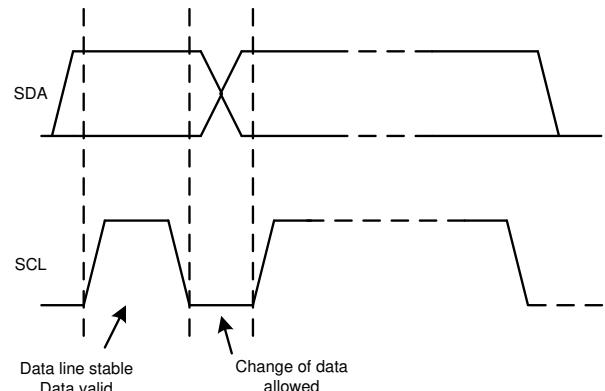


図 6-19. START 条件と STOP 条件

図 6-20. I<sup>2</sup>C バスでのビット転送

### 6.5.2.2 I<sup>2</sup>C 更新シーケンス

表 6-12 は、1 回の更新の場合、DAC53xAxW ではスタート条件、有効な I<sup>2</sup>C アドレス バイト、コマンド バイト、2 つのデータ バイトが必要であることを示しています。

表 6-12. シーケンスの更新

MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
アドレス (A) バイト セクション 6.5.2.2.1	コマンド バイト セクション 6.5.2.2.2			データ バイト - MSDB			データ バイト - LSDB								
DB [31:24]	DB [23:16]			DB [15:8]			DB [7:0]								

図 6-21 に示されているように、各バイトの受信後、DAC53xAxW ファミリは 1 つのクロック パルスの High 期間中に SDA ラインを Low にすることで、アクノリッジ (受信確認) を行います。この 4 つのバイトと確認応答サイクルにより、1 回の更新を実行するために必要な 36 のクロック サイクルが生成されます。有効な I<sup>2</sup>C アドレス バイトによって、DAC53xAxW が選択されます。

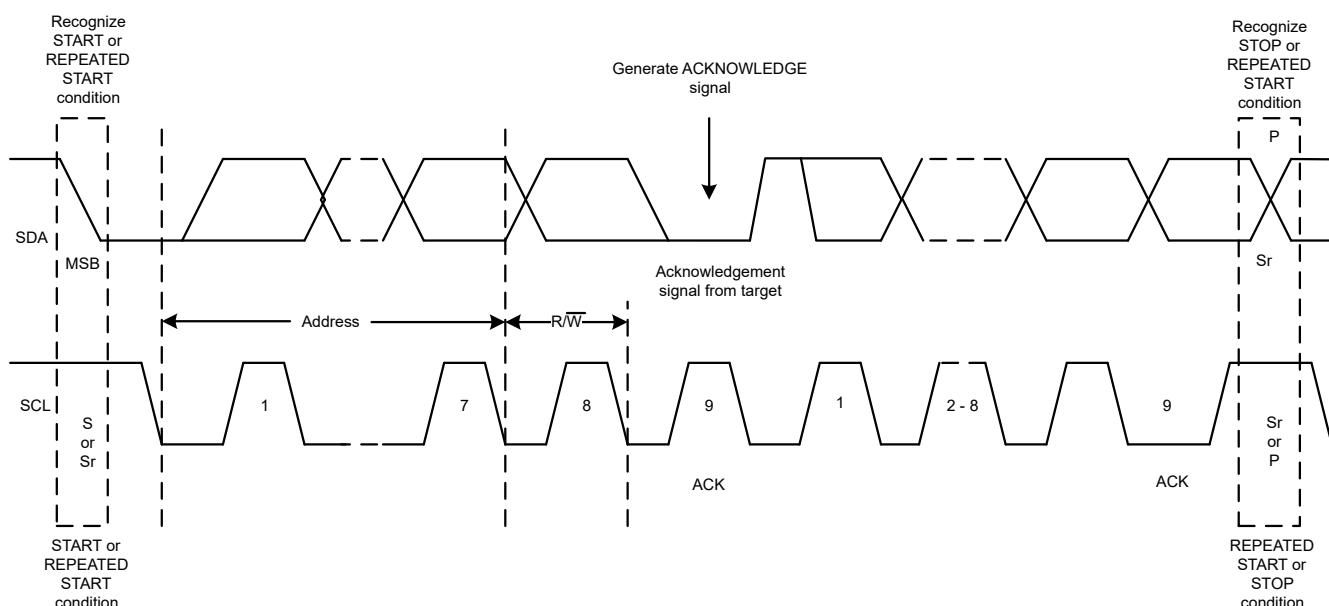


図 6-21. I<sup>2</sup>C バス プロトコル

コマンド バイトは、選択された DAC53xAxW デバイスの動作モードを設定します。このバイトによって動作モードが選択されると、データ更新を実行するために、DAC53xAxW デバイスは最上位データ バイト (MSDB) と最下位データ バイト (LSDB) の 2 つのデータ バイトを受信する必要があります。DAC53xAxW デバイスは、LSDB に続くアクノリッジ信号の立ち下がりエッジで更新を実行します。

高速モード (クロック = 400kHz) を使用する場合、最大 DAC 更新レートは 10kSPS に制限されます。高速モード プラス (クロック = 1MHz) を使用すると、最大 DAC 更新レートは 25kSPS に制限されます。ストップ条件を受信すると、DAC53xAxW デバイスは I<sup>2</sup>C バスを解放し、新しいスタート条件を待ちます。

### 6.5.2.2.1 アドレスバイト

表 6-13 に、スタート条件に続いてコントローラ デバイスから受信した最初のバイトであるアドレスバイトを示します。アドレスの最初の 4 ビット (MSB) は工場出荷時に 1001b にプリセットされています。アドレスの次の 3 ビットは、A0 ピンによって制御されます。A0 ピン入力は、VDD、AGND、SCL、SDA に接続できます。各データフレームの最初のバイトにおいて A0 ピンがサンプリングされて、アドレスが決定します。デバイスはアドレスピンの値をラッピングし、その結果として、表 6-14 に従ってその特定のアドレスに応答します。

表 6-13. アドレスバイト

備考	MSB								LSB
—	AD6	AD5	AD4	AD3	AD2	AD1	AD0	R/W	
ジェネラル アドレス	1	0	0	1	表 6-14 を参照 (ターゲットアドレス列)			0 または 1	
ブロードキャスト アドレス	1	0	0	0	1	1	1	0	

表 6-14. アドレス形式

ターゲットアドレス	A0 ピン
000	AGND
001	VDD
010	SDA
011	SCL

DAC53xAxW は、複数の DAC53xAxW デバイスの同期更新やパワーダウンに使用できるブロードキャストアドレス指定をサポートしています。ブロードキャストアドレスを使用すると、アドレスピンの状態に関係なく、DAC53xAxW は応答します。ブロードキャストは、書き込みモードでのみサポートされます。

### 6.5.2.2.2 コマンドバイト

「レジスタマップ」セクションの「レジスタ名」表に、ADDRESS 列のコマンドバイトが一覧されています。

### 6.5.2.3 I<sup>2</sup>C 読み出しシーケンス

レジスタを読み取るには、次のコマンドシーケンスを使用する必要があります。

1. スタートまたは繰り返しスタートコマンドとターゲットアドレスおよび書き込みを 0 に設定した R/W ビットを送信します。デバイスは、このイベントをアクノリッジします。
2. 読み取り対象レジスタのコマンドバイトを送信します。デバイスは、このイベントを再度アクノリッジします。
3. 繰り返しスタートとターゲットアドレス、読み取りを 1 に設定した R/W ビットを送信します。デバイスは、このイベントをアクノリッジします。
4. デバイスは、アドレス指定されたレジスタの MSDB バイトを書き込みます。コントローラはこのバイトをアクノリッジする必要があります。
5. 最後にデバイスは、レジスタの LSDB を書き込みます。

ブロードキャストアドレスを読み取りに使用することはできません。

表 6-15. 読み出しシーケンス

S	MSB	...	R/W (0)	ACK	MSB	...	LSB	ACK	Sr	MSB	...	R/W (1)	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
	アドレスバイト セクション 6.5.2.2.1				コマンドバイト セクション 6.5.2.2.2			Sr	アドレスバイト セクション 6.5.2.2.1				MSDB				LSDB				
コントローラから				ターゲット	コントローラから		ターゲット		コントローラから		ターゲット		ターゲットから		コントローラ	ターゲットから		コントローラ			

## 7 レジスタ マップ

表 7-1. レジスタ マップ：チャネル固有のレジスタ

レジスタ <sup>(1) (2)</sup>	最上位データ バイト (MSDB)								最下位データ バイト (LSDB)																						
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0															
NOP	NOP																														
DAC-0-MARGIN-HIGH	DAC-0-MARGIN-HIGH																														
DAC-1-MARGIN-HIGH	DAC-1-MARGIN-HIGH																														
DAC-2-MARGIN-HIGH	DAC-2-MARGIN-HIGH																														
DAC-0-MARGIN-LOW	DAC-0-MARGIN-LOW																														
DAC-1-MARGIN-LOW	DAC-1-MARGIN-LOW																														
DAC-2-MARGIN-LOW	DAC-2-MARGIN-LOW																														
DAC-0-GAIN-CONFIG	X		REF-GAIN			X																									
DAC-1-GAIN-CMP-CONFIG	X		REF-GAIN			X		CMP-1-OD-EN		CMP-1-OUT-EN	CMP-1-HIZ-IN-DIS	CMP-1-INV-EN	CMP-1-EN																		
DAC-2-GAIN-CONFIG	X		IOUT-GAIN			X																									
DAC-1-CMP-MODE-CONFIG	X			CMP-1-MODE		X																									
DAC-0-FUNC-CONFIG	CLR-SEL-0	SYNC-CONFIG-0	BRD-CONFIG-0	FUNC-GEN-CONFIG-BLOCK-0																											
DAC-1-FUNC-CONFIG	CLR-SEL-1	SYNC-CONFIG-1	BRD-CONFIG-1	FUNC-GEN-CONFIG-BLOCK-1																											
DAC-2-FUNC-CONFIG	CLR-SEL-2	SYNC-CONFIG-2	BRD-CONFIG-2	FUNC-GEN-CONFIG-BLOCK-1																											
DAC-0-DATA	DAC-0-DATA													X																	
DAC-1-DATA	DAC-1-DATA													X																	
DAC-2-DATA	DAC-2-DATA													X																	

**表 7-2. レジスタ マップ : 共通レジスタ**

レジスタ <sup>(1) (2)</sup>	最上位データ バイト (MSDB)								最下位データ バイト (LSDB)												
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0					
COMMON-CONFIG	WIN-LATCH-EN	DEV-LOCK	EE-READ-ADDR	EN-INT-REF	DAC-PDN-1		予約済み	DAC-PDN-0		予約済み				DAC-PDN-2		予約済み					
COMMON-TRIGGER	DEV-UNLOCK				リセット				LDAC	CLR	X	FAULT-DUMP	PROTECT	READ-ONE-TRIG	NVM-PROG	NVM-RELOAD					
COMMON-DAC-TRIG	X	TRIG-MAR-LO-2	TRIG-MAR-HI-2	START-FUNC-2	X				TRIG-MAR-LO-0	TRIG-MAR-HI-0	START-FUNC-0	RESET-CMP-FLAG-1	TRIG-MAR-LO-1	TRIG-MAR-HI-1	START-FUNC-1						
GENERAL-STATUS	NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	X	DAC-BUSY-1	DAC-BUSY-0	X	DAC-BUSY-2	NVM-BUSY	DEVICE-ID					VERSION-ID							
CMP-STATUS	X						PROTECT-FLAG	WIN-CMP-1	X			CMP-FLAG-1	X								
GPIO-CONFIG	GF-EN	X	GPO-EN	GPO-CONFIG				GPI-CH-SEL			GPI-CONFIG				GPI-EN						
DEVICE-MODE-CONFIG	予約済み						PROTECT-CONFIG		予約済み			X									
INTERFACE-CONFIG	X			TIMEOUT-EN	X			予約済み	X				FSDO-EN	X	SDO-EN						
SRAM-CONFIG	X								SRAM-ADDR												
SRAM-DATA	SRAM-DATA																				
BRDCAST-DATA	BRDCAST-DATA												X								

(1) 灰色で強調表示されているセルは、NVM に保存されているレジスタ ビットまたはフィールドを示しています。

(2) X = 未使用。

**表 7-3. レジスタ名**

I <sup>2</sup> C/SPI アドレス	レジスタ名	セクション
00h	NOP	セクション 7.1
01h	DAC-2-MARGIN-HIGH	セクション 7.4
02h	DAC-2-MARGIN-LOW	セクション 7.7
03h	DAC-2-GAIN-CONFIG	セクション 7.10
06h	DAC-2-FUNC-CONFIG	セクション 7.14
0Dh	DAC-0-MARGIN-HIGH	セクション 7.2
0Eh	DAC-0-MARGIN-LOW	セクション 7.6
0Fh	DAC-0-GAIN-CONFIG	セクション 7.8
12h	DAC-0-FUNC-CONFIG	セクション 7.12
13h	DAC-1-MARGIN-HIGH	セクション 7.3
14h	DAC-1-MARGIN-LOW	セクション 7.6
15h	DAC-1-GAIN-CMP-CONFIG	セクション 7.9
17h	DAC-1-CMP-MODE-CONFIG	セクション 7.11
18h	DAC-1-FUNC-CONFIG	セクション 7.13
19h	DAC-2-DATA	セクション 7.17
1Bh	DAC-0-DATA	セクション 7.15
1Ch	DAC-1-DATA	セクション 7.16
1Fh	COMMON-CONFIG	セクション 7.18
20h	COMMON-TRIGGER	セクション 7.19
21h	COMMON-DAC-TRIG	セクション 7.20
22h	GENERAL-STATUS	セクション 7.21
23h	CMP-STATUS	セクション 7.22
24h	GPIO-CONFIG	セクション 7.23
25h	DEVICE-MODE-CONFIG	セクション 7.24
26h	INTERFACE-CONFIG	セクション 7.25
2Bh	SRAM-CONFIG	セクション 7.26
2Ch	SRAM-DATA	セクション 7.27
50h	BRDCAST-DATA	セクション 7.28

表 7-4. アクセス タイプ コード

アクセス タイプ	コード	説明
X	X	未使用
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

## 7.1 NOP レジスタ (アドレス = 00h) [リセット = 0000h]

図 7-1. NOP レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP															
R-0h															

表 7-5. NOP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	NOP	R	0000h	無操作

## 7.2 DAC-0-MARGIN-HIGH レジスタ (アドレス = 0Dh) [リセット = 0000h]

図 7-2. DAC-0-MARGIN-HIGH レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-0-MARGIN-HIGH[9:0]												X			
R/W-000h												X-0h			

表 7-6. DAC-0-MARGIN-HIGH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-0-MARGIN-HIGH[9:0]	R/W	000h	DAC チャネル 0 出力の margin-high コード。 データはストレートバイナリ形式です。MSB 左揃え。次のビット整列を使用します： DAC532A3W:{DAC-0-MARGIN-HIGH[9:0], X, X} X = ドントケア ビット。
3-0	X	X	0h	未使用

## 7.3 DAC-1-MARGIN-HIGH レジスタ (アドレス = 13h) [リセット = 0000h]

図 7-3. DAC-1-MARGIN-HIGH レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-1-MARGIN-HIGH[9:0]												X			
R/W-000h												X-0h			

表 7-7. DAC-1-MARGIN-HIGH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-1-MARGIN-HIGH[9:0]	R/W	000h	DAC チャネル 1 出力の margin-high コード。 データはストレートバイナリ形式です。MSB 左揃え。次のビット整列を使用します： DAC532A3W:{DAC-1-MARGIN-HIGH[9:0], X, X} X = ドントケア ビット。
3-0	X	X	0h	未使用

## 7.4 DAC-2-MARGIN-HIGH レジスタ (アドレス = 01h) [リセット = 0000h]

図 7-4. DAC-2-MARGIN-HIGH レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-2-MARGIN-HIGH[9:0]														X	
R/W-000h														X-0h	

表 7-8. DAC-2-MARGIN-HIGH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-2-MARGIN-HIGH[9:0]	R/W	000h	DAC チャネル 2 出力の margin-high コード。 データはストレートバイナリ形式です。MSB 左揃え。次のビット整列を使用します： {DAC-2-MARGIN-HIGH[9:0], X, X} X = ドントケア ビット。
3-0	X	X	0h	未使用

## 7.5 DAC-0-MARGIN-LOW レジスタ (アドレス = 0Eh) [リセット = 0000h]

図 7-5. DAC-0-MARGIN-LOW レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-0-MARGIN-LOW[9:0]														X	
R/W-000h														X-0h	

表 7-9. DAC-0-MARGIN-LOW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-0-MARGIN-LOW[9:0]	R/W	000h	DAC チャネル出力の margin-low コード。 データはストレートバイナリ形式です。MSB 左揃え。次のビット整列を使用します。 {DAC-0-MARGIN-LOW[9:0], X, X} X = ドントケア ビット。
3-0	X	X	0	未使用

## 7.6 DAC-1-MARGIN-LOW レジスタ (アドレス = 14h) [リセット = 0000h]

図 7-6. DAC-1-MARGIN-LOW レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-1-MARGIN-LOW[9:0]														X	
R/W-000h														X-0h	

表 7-10. DAC-1-MARGIN-LOW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-0-MARGIN-LOW[9:0]	R/W	000h	DAC チャネル 1 出力の margin-low コード。 データはストレートバイナリ形式です。MSB 左揃え。次のビット整列を使用します。 {DAC-1-MARGIN-LOW[9:0], X, X} X = ドントケア ビット。
3-0	X	X	0	未使用

## 7.7 DAC-2-MARGIN-LOW レジスタ (アドレス = 02h) [リセット = 0000h]

図 7-7. DAC-2-MARGIN-LOW レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-2-MARGIN-LOW[9:0]												X			
R/W-000h												X-0h			

表 7-11. DAC-2-MARGIN-LOW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-2-MARGIN-LOW[9:0]	R/W	000h	DAC チャネル 2 出力の margin-low コード。 データはストレートバイナリ形式です。MSB 左揃え。次のビット整列を使用します。 {DAC-2-MARGIN-LOW[9:0], X, X} X = ドントケア ビット。
3-0	X	X	0	未使用

## 7.8 DAC-0-GAIN-CONFIG レジスタ (アドレス = 0Fh) [リセット = 0000h]

図 7-8. DAC-0-GAIN-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X	REF-GAIN-0												X		
X-0h	R/W-0h												X-000h		

表 7-12. DAC-0-GAIN-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	X	X	0h	未使用
12-10	REF-GAIN-0	R/W	0h	001:ゲイン = 1×、リファレンス電圧 VDD。 010:ゲイン = 1.5×、内部リファレンス。 011:ゲイン = 2×、内部リファレンス。 100:ゲイン = 3×、内部リファレンス。 101:ゲイン = 4×、内部リファレンス。 その他:無効。
9-0	X	X	000h	未使用

## 7.9 DAC-1-GAIN-CMP-CONFIG レジスタ (アドレス = 15h) [リセット = 0000h]

図 7-9. DAC-1-GAIN-CMP-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		REF-GAIN-1						X			CMP-1-OD-EN	CMP-1-OUT-EN	CMP-1-HIZ-IN-DIS	CMP-1-INV-EN	CMP-1-EN
X-0h		R/W-0h						X-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-13. DAC-1-GAIN-CMP-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	X	X	0h	未使用
12-10	REF-GAIN-1	R/W	0h	001:ゲイン = 1×、リファレンス電圧 VDD。 010:ゲイン = 1.5×、内部リファレンス。 011:ゲイン = 2×、内部リファレンス。 100:ゲイン = 3×、内部リファレンス。 101:ゲイン = 4×、内部リファレンス。 その他:無効。
9-5	X	X	0h	未使用
4	CMP-1-OD-EN	R/W	0h	0:VOUT1 ピンをプッシュプルに設定します。 1:コンパレータ モードでは、VOUT1 ピンをオープンドレインとして設定します。 (CMP-1-EN = 1 および CMP-1-OUT-EN = 1)。
3	CMP-1-OUT-EN	R/W	0h	0:コンパレータ出力を生成しますが、内部で消費されます。 1:コンパレータ出力をそれぞれの VOUT1 ピンに出力します。
2	CMP-1-HIZ-IN-DIS	R/W	0h	0:FB1 入力はハイ インピーダンスです。 1:「電気的特性:電圧出力」セクションに基づき、FB1 入力には有限インピーダンスがあります。
1	CMP-1-INV-EN	R/W	0h	0:コンパレータ出力を反転しません。 1:コンパレータ出力を反転します。
0	CMP-1-EN	R/W	0h	0:コンパレータ モードを無効化します。 1:コンパレータ モードを有効にします。DAC チャネル 1 を有効化する必要があります。

## 7.10 DAC-2-GAIN-CONFIG レジスタ (アドレス = 03h) [リセット = 0000h]

図 7-10. DAC-2-GAIN-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		IOUT-GAIN									X				
X-0h		R/W-0h									X-000h				

表 7-14. DAC-2-GAIN-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	X	X	0h	未使用
12-10	IOUT-GAIN	R/W	0h	000:ゲイン = 2/3。 001:ゲイン = 1/2。 その他:無効。
9-0	X	X	000h	未使用

## 7.11 DAC-1-CMP-MODE-CONFIG レジスタ (アドレス = 17h) [リセット = 0000h]

図 7-11. DAC-1-CMP-MODE-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		CMP-1-MODE								X					
X-0h		R/W-0h								X-000h					

表 7-15. DAC-1-CMP-MODE-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	X	X	0h	未使用
11-10	CMP-1-MODE	R/W	0h	00:ヒステリシスまたはウィンドウ機能はありません。 01:DAC-1-MARGIN-HIGH および DAC-1-MARGIN-LOW レジスタを使用してヒステリシスを提供します。 10:DAC-1-MARGIN-HIGH および DAC-1-MARGIN-LOW レジスタでウィンドウ境界を設定するウィンドウ コンパレータ モード。 11:無効。
9-0	X	X	000h	未使用

## 7.12 DAC-0-FUNC-CONFIG レジスタ (アドレス = 12h) [リセット = 0000h]

図 7-12. DAC-0-FUNC-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
CLR-SEL-0	SYNC-CONFIG-0	BRD-CONFIG-0	FUNC-GEN-CONFIG-BLOCK-0													
R/W-0h	R/W-0h	R/W-0h	R/W-000h													

表 7-16. DAC-0-FUNC-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CLR-SEL-0	R/W	0h	0:DAC チャネル 0 をゼロスケールにクリアします。 1:DAC チャネル 0 をミッドスケールにクリアします。
14	SYNC-CONFIG-0	R/W	0h	0:書き込みコマンドの直後に、DAC チャネル 0 の出力が更新されます。 1:DAC チャネル 0 出力は、LDAC ピンの立ち下がりエッジ、または COMMON-TRIGGER レジスタの LDAC ビットが 1 に設定されたときに更新されます。
13	BRD-CONFIG-0	R/W	0h	0:ブロードキャストコマンドを使って DAC チャネル 0 を更新しないでください。 1:ブロードキャストコマンドで DAC チャネル 0 を更新。

表 7-17. リニア スルー モード : FUNC-GEN-CONFIG-BLOCK-0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
12-11	PHASE-SEL-0	R/W	0h	00:0° 01:120° 10:240° 11:90°
10-8	FUNC-CONFIG-0	R/W	0h	000:三角波 001:のこぎり波 010:逆のこぎり波 100:正弦波 111:機能生成を無効化します その他:無効
7	LOG-SLEW-EN-0	R/W	0h	0:リニアスルーを有効化します
6-4	CODE-STEP-0	R/W	0h	リニアスルー モードの CODE-STEP: 000:1 LSB 001:2 LSB 010:3 LSB 011:4 LSB 100:6 LSB 101:8 LSB 110:16 LSB 111:32 LSB

**表 7-17. リニアスルー モード : FUNC-GEN-CONFIG-BLOCK-0 のフィールド説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
3-0	SLEW-RATE-0	R/W	0h	リニアスルー モードの SLEW-RATE: 0000:margin-high および margin-low ではスルーなし。波形生成で無効。 0001:4μs/ステップ 0010:8μs/ステップ 0011:12μs/ステップ 0100:18μs/ステップ 0101:27.04μs/ステップ 0110:40.48μs/ステップ 0111:60.72μs/ステップ 1000:91.12μs/ステップ 1001:136.72μs/ステップ 1010:239.2μs/ステップ 1011:418.64μs/ステップ 1100:732.56μs/ステップ 1101:1282μs/ステップ 1110:2563.96μs/ステップ 1111:5127.92μs/ステップ

**表 7-18. 対数スルー モード : FUNC-GEN-CONFIG-BLOCK-0 のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
12-11	PHASE-SEL-0	R/W	0h	00:0° 01:120° 10:240° 11:90°
10-8	FUNC-CONFIG-0	R/W	0h	000:三角波 001:のこぎり波 010:逆のこぎり波 100:正弦波 111:機能生成を無効化します その他:無効
7	LOG-SLEW-EN-0	R/W	0h	1:対数スルーを有効化します。 対数スルー モードでは、DAC 出力が DAC-0-MARGIN-LOW コードから DAC-0-MARGIN-HIGH コードへ(またはその逆)3.125% ステップで移行します。 正の方向に回転する場合、次のステップは現在のステップの(1 + 0.03125)倍になります。 負の方向に回転する場合、次のステップは現在のステップの(1 - 0.03125)倍になります。 DAC-0-MARGIN-LOW が 0 の場合、スルーはコード 1 から開始されます。 各ステップの時間間隔は、RISE-SLEW-0 と FALL-SLEW-0 によって定義されます。
6-4	RISE-SLEW-0	R/W	0h	対数スルー モード(DAC-0-MARGIN-LOW から DAC-0-MARGIN-HIGH)のスルーレート: 000:4μs/ステップ 001:12μs/ステップ 010:27.04μs/ステップ 011:60.72μs/ステップ 100:136.72μs/ステップ 101:418.64μs/ステップ 110:1282μs/ステップ 111:5127.92μs/ステップ

**表 7-18. 対数スルー モード : FUNC-GEN-CONFIG-BLOCK-0 のフィールド説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
3-1	FALL-SLEW-0	R/W	0h	対数スルー モード(DAC-0-MARGIN-HIGH から DAC-0-MARGIN-LOW) のスルーレート: 000:4μs/ステップ 001:12μs/ステップ 010:27.04μs/ステップ 011:60.72μs/ステップ 100:136.72μs/ステップ 101:418.64μs/ステップ 110:1282μs/ステップ 111:5127.92μs/ステップ
0	X	X	0h	未使用

### 7.13 DAC-1-FUNC-CONFIG レジスタ (アドレス = 18h) [リセット = 0000h]

図 7-13. DAC-1-FUNC-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
CLR-SEL-1	SYNC- CONFIG-1	BRD- CONFIG-1	FUNC-GEN-CONFIG-BLOCK-1													
R/W-0h	R/W-0h	R/W-0h	R/W-000h													

表 7-19. DAC-1-FUNC-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CLR-SEL-1	R/W	0h	0:DAC チャネル 1 をゼロスケールにクリアします。 1:DAC チャネル 1 をミッドスケールにクリアします。
14	SYNC-CONFIG-1	R/W	0h	0:書き込みコマンドの直後に、DAC チャネル 1 の出力が更新されます。 1:DAC チャネル 1 出力は、LDAC ピンの立ち下がりエッジ、または COMMON-TRIGGER レジスタの LDAC ビットが 1 に設定されたときに更新されます。
13	BRD-CONFIG-1	R/W	0h	0:ブロードキャストコマンドを使って DAC チャネル 1 を更新しないでください。 1:ブロードキャストコマンドで DAC チャネル 1 を更新。

表 7-20. リニアスルー モード : FUNC-GEN-CONFIG-BLOCK-1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
12-11	PHASE-SEL-1	R/W	0h	00:0° 01:120° 10:240° 11:90°
10-8	FUNC-CONFIG-1	R/W	0h	000:三角波 001:のこぎり波 010:逆のこぎり波 100:正弦波 111:機能生成を無効化します その他:無効
7	LOG-SLEW-EN-1	R/W	0h	0:リニアスルーを有効化します
6-4	CODE-STEP-1	R/W	0h	リニアスルー モードの CODE-STEP: 000:1 LSB 001:2 LSB 010:3 LSB 011:4 LSB 100:6 LSB 101:8 LSB 110:16 LSB 111:32 LSB

**表 7-20. リニアスルー モード : FUNC-GEN-CONFIG-BLOCK-1 のフィールド説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
3-0	SLEW-RATE-1	R/W	0h	リニアスルー モードの SLEW-RATE: 0000:margin-high および margin-low ではスルーなし。波形生成で無効。 0001:4μs/ステップ 0010:8μs/ステップ 0011:12μs/ステップ 0100:18μs/ステップ 0101:27.04μs/ステップ 0110:40.48μs/ステップ 0111:60.72μs/ステップ 1000:91.12μs/ステップ 1001:136.72μs/ステップ 1010:239.2μs/ステップ 1011:418.64μs/ステップ 1100:732.56μs/ステップ 1101:1282μs/ステップ 1110:2563.96μs/ステップ 1111:5127.92μs/ステップ

**表 7-21. 対数スルー モード : FUNC-GEN-CONFIG-BLOCK-1 のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
12-11	PHASE-SEL-1	R/W	0h	00:0° 01:120° 10:240° 11:90°
10-8	FUNC-CONFIG-1	R/W	0h	000:三角波 001:のこぎり波 010:逆のこぎり波 100:正弦波 111:機能生成を無効化します その他:無効
7	LOG-SLEW-EN-1	R/W	0h	1:対数スルーを有効化します。 対数スルー モードでは、DAC 出力が DAC-1-MARGIN-LOW コードから DAC-1-MARGIN-HIGH コードへ(またはその逆)3.125% ステップで移行します。 正の方向に回転する場合、次のステップは現在のステップの(1 + 0.03125)倍になります。 負の方向に回転する場合、次のステップは現在のステップの(1 - 0.03125)倍になります。 DAC-1-MARGIN-LOW が 0 の場合、スルーはコード 1 から開始されます。 各ステップの時間間隔は、RISE-SLEW-0 と FALL-SLEW-0 によって定義されます。
6-4	RISE-SLEW-1	R/W	0h	対数スルー モード(DAC-1-MARGIN-LOW から DAC-1-MARGIN-HIGH)のスルーレート: 000:4μs/ステップ 001:12μs/ステップ 010:27.04μs/ステップ 011:60.72μs/ステップ 100:136.72μs/ステップ 101:418.64μs/ステップ 110:1282μs/ステップ 111:5127.92μs/ステップ

**表 7-21. 対数スルー モード : FUNC-GEN-CONFIG-BLOCK-1 のフィールド説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
3-1	FALL-SLEW-1	R/W	0h	対数スルー モード(DAC-1-MARGIN-HIGH から DAC-1-MARGIN-LOW) のスルーレート: 000:4μs/ステップ 001:12μs/ステップ 010:27.04μs/ステップ 011:60.72μs/ステップ 100:136.72μs/ステップ 101:418.64μs/ステップ 110:1282μs/ステップ 111:5127.92μs/ステップ
0	X	X	0h	未使用

## 7.14 DAC-2-FUNC-CONFIG レジスタ (アドレス = 06h) [リセット = 0000h]

図 7-14. DAC-2-FUNC-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLR-SEL-2	SYNC- CONFIG-2	BRD- CONFIG-2													FUNC-GEN-CONFIG-BLOCK-2
R/W-0h	R/W-0h	R/W-0h													R/W-000h

表 7-22. DAC-2-FUNC-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CLR-SEL-2	R/W	0h	0:DAC チャネル 2 をゼロスケールにクリアします。 1:DAC チャネル 2 をミッドスケールにクリアします。
14	SYNC-CONFIG-2	R/W	0h	0:書き込みコマンドの直後に、DAC チャネル 2 の出力が更新されます。 1:DAC チャネル 2 出力は、LDAC ピンの立ち下がりエッジ、または COMMON-TRIGGER レジスタの LDAC ピットが 1 に設定されたときに更新されます。
13	BRD-CONFIG-2	R/W	0h	0:ブロードキャストコマンドを使って DAC チャネル 2 を更新しないでください。 1:ブロードキャストコマンドで DAC チャネル 2 を更新。

表 7-23. リニア スルー モード : FUNC-GEN-CONFIG-BLOCK-2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
12-11	PHASE-SEL-2	R/W	0h	00:0° 01:120° 10:240° 11:90°
10-8	FUNC-CONFIG-2	R/W	0h	000:三角波 001:のこぎり波 010:逆のこぎり波 100:正弦波 111:機能生成を無効化します その他:無効
7	LOG-SLEW-EN-2	R/W	0h	0:リニアスルーを有効化します
6-4	CODE-STEP-2	R/W	0h	リニアスルー モードの CODE-STEP: 000:1 LSB 001:2 LSB 010:3 LSB 011:4 LSB 100:6 LSB 101:8 LSB 110:16 LSB 111:32 LSB

**表 7-23. リニアスルー モード : FUNC-GEN-CONFIG-BLOCK-2 のフィールド説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
3-0	SLEW-RATE-2	R/W	0h	リニアスルー モードの SLEW-RATE: 0000:margin-high および margin-low ではスルーなし。波形生成で無効。 0001:4μs/ステップ 0010:8μs/ステップ 0011:12μs/ステップ 0100:18μs/ステップ 0101:27.04μs/ステップ 0110:40.48μs/ステップ 0111:60.72μs/ステップ 1000:91.12μs/ステップ 1001:136.72μs/ステップ 1010:239.2μs/ステップ 1011:418.64μs/ステップ 1100:732.56μs/ステップ 1101:1282μs/ステップ 1110:2563.96μs/ステップ 1111:5127.92μs/ステップ

**表 7-24. 対数スルー モード : FUNC-GEN-CONFIG-BLOCK-2 のフィールド説明**

ビット	フィールド	タイプ	リセット	説明
12-11	PHASE-SEL-2	R/W	0h	00:0° 01:120° 10:240° 11:90°
10-8	FUNC-CONFIG-2	R/W	0h	000:三角波 001:のこぎり波 010:逆のこぎり波 100:正弦波 111:機能生成を無効化します その他:無効
7	LOG-SLEW-EN-2	R/W	0h	1:対数スルーを有効化します。 対数スルー モードでは、DAC 出力が DAC-2-MARGIN-LOW コードから DAC-2-MARGIN-HIGH コードへ(またはその逆)3.125% ステップで移行します。 正の方向に回転する場合、次のステップは現在のステップの(1 + 0.03125)倍になります。 負の方向に回転する場合、次のステップは現在のステップの(1 - 0.03125)倍になります。 DAC-2-MARGIN-LOW が 0 の場合、スルーはコード 1 から開始されます。 各ステップの時間間隔は、RISE-SLEW-0 と FALL-SLEW-0 によって定義されます。
6-4	RISE-SLEW-2	R/W	0h	対数スルー モード(DAC-2-MARGIN-LOW から DAC-2-MARGIN-HIGH)のスルーレート: 000:4μs/ステップ 001:12μs/ステップ 010:27.04μs/ステップ 011:60.72μs/ステップ 100:136.72μs/ステップ 101:418.64μs/ステップ 110:1282μs/ステップ 111:5127.92μs/ステップ

**表 7-24. 対数スルー モード : FUNC-GEN-CONFIG-BLOCK-2 のフィールド説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
3-1	FALL-SLEW-2	R/W	0h	対数スルー モード(DAC-2-MARGIN-HIGH から DAC-2-MARGIN-LOW) のスルーレート: 000:4μs/ステップ 001:12μs/ステップ 010:27.04μs/ステップ 011:60.72μs/ステップ 100:136.72μs/ステップ 101:418.64μs/ステップ 110:1282μs/ステップ 111:5127.92μs/ステップ
0	X	X	0h	未使用

### 7.15 DAC-0-DATA レジスタ (アドレス = 1Bh) [リセット = 0000h]

図 7-15. DAC-0-DATA レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-0-DATA[9:0]												X			
R/W-000h												X-0h			

表 7-25. DAC-0-DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-0-DATA[9:0]	R/W	000h	DAC 出力のデータ。 データはストレートバイナリ形式です。MSB 左揃え。次のビット整列を使用します: DAC532A3W:{DAC-0-DATA[9:0], X, X} X = ドントケア ビット。
3-0	X	X	0h	未使用

### 7.16 DAC-1-DATA レジスタ (アドレス = 1Ch) [リセット = 0000h]

図 7-16. DAC-1-DATA レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-1-DATA[9:0]												X			
R/W-000h												X-0h			

表 7-26. DAC-1-DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-1-DATA[9:0]	R/W	000h	DAC 出力のデータ。 データはストレートバイナリ形式です。MSB 左揃え。次のビット整列を使用します: DAC532A3W:{DAC-1-DATA[9:0], X, X} X = ドントケア ビット。
3-0	X	X	0h	未使用

### 7.17 DAC-2-DATA レジスタ (アドレス = 19h) [リセット = 0000h]

図 7-17. DAC-2-DATA レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-2-DATA[9:0]												X			
R/W-000h												X-0h			

表 7-27. DAC-2-DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-2-DATA[9:0]	R/W	000h	DAC 出力のデータ。 データはストレートバイナリ形式です。MSB 左揃え。次のビット整列を使用します: DAC532A3W:{DAC-2-DATA[9:0], X, X} X = ドントケア ビット。
3-0	X	X	0h	未使用

## 7.18 COMMON-CONFIG レジスタ (アドレス = 1Fh) [リセット = 0FFFh]

図 7-18. COMMON-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WIN-LATCH-EN	DEV-LOCK	EE-READ-ADDR	EN-INT-REF	DAC-PDN-1	予約済み	DAC-PDN-0		予約済み		DAC-PDN-2	予約済み				
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-3h	R/W-1h	R/W-3h	R/W-3h	R/W-Fh		R/W-3h	R/W-1h				

表 7-28. COMMON-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	WIN-LATCH-EN	R/W	0h	0:ラッチなしのウインドウ コンパレータ出力。 1:ラッチ付きウンドウ コンパレータ出力。
14	DEV-LOCK	R/W	0h	0:デバイスがロックされていません 1:デバイスはロックされています。デバイスはすべてのレジスタをロックします。このビットを 0 (デバイスのロックを解除) に戻すには、まず COMMON-TRIGGER レジスタの DEV-UNLOCK フィールドに unlock コードを書き込み、その後 DEV-LOCK ビットに 0 を書き込みます。
13	EE-READ-ADDR	R/W	0h	0:アドレス 0x00 のフォルトダンプ読み取りイネーブル。 1:アドレス 0x01 のフォルトダンプ読み取りイネーブル。
12	EN-INT-REF	R/W	0h	0:内部リファレンスを無効化します。 1:内部リファレンスを有効化します。内部リファレンス ゲイン設定を使用する前に、このビットを設定する必要があります。
11-10	DAC-PDN-1	R/W	3h	00:DAC チャネル 1 の電源オン。 01:10kΩ を AGND に接続したパワーダウン DAC のチャネル 1。 10:100 kΩ を AGND に接続したパワーダウン DAC のチャネル 1。 11:ハイインピーダンスを AGND に接続したパワーダウン DAC のチャネル 1。
9	予約済み	R/W	1h	常に 1h を書き込みます。
8-7	DAC-PDN-0	R/W	3h	00:DAC チャネル 0 の電源オン。 01:10 kΩ を AGND に接続したパワーダウン DAC のチャネル 0。 10:100 kΩ を AGND に接続したパワーダウン DAC のチャネル 0。 11:ハイインピーダンスを AGND に接続したパワーダウン DAC のチャネル 0。
6-3	予約済み	R/W	Fh	常に Fh を書き込みます。
2-1	DAC-PDN-2	R/W	3h	00:DAC チャネル 2 をパワーアップします。 その他:1.2kΩ を AGND に接続したパワーダウン DAC チャネル 2。
0	予約済み	R/W	1h	常に 1h を書き込みます。

## 7.19 COMMON-TRIGGER レジスタ (アドレス = 20h) [リセット = 0000h]

図 7-19. COMMON-TRIGGER レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV-UNLOCK				リセット			LDAC	CLR	X	FAULT-DUMP	PROTECT	READ-ONE-TRIG	NVM-PROG	NVM-RELOAD	
R/W-0h				R/W-0h			R/W-0h	R/W-0h	X-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-29. COMMON-TRIGGER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	DEV-UNLOCK	R/W	0h	0101:デバイスのロック解除パスワード その他:未使用
11-8	リセット	W	0h	1010:POR リセットがトリガされました。このビットはセルフ リセットします。 その他:未使用
7	LDAC	R/W	0h	0:LDAC 操作はトリガされません 1:DAC-x-FUNC-CONFIG レジスタの各 SYNC-CONFIG-x ビットが 1 の場合に LDAC 操作はトリガされます。このビットはセルフ リセットします。
6	CLR	R/W	0h	0:DAC レジスタと出力は影響なし 1:DAC レジスタおよび出力は、DAC-x-FUNC-CONFIG レジスタの各 CLR-SEL-x ビットに基づいて、ゼロ コードまたはミッドコードに設定されます。このビットはセルフ リセットします。
5	X	X	0h	未使用
4	FAULT-DUMP	R/W	0h	0:フォルトダンプはトリガされません 1:フォルトダンプ シーケンスをトリガします。このビットはセルフ リセットします。
3	PROTECT	R/W	0h	0:PROTECT 機能はトリガーされません 1:PROTECT 機能をトリガします。このビットはセルフ リセットします。
2	READ-ONE-TRIG	R/W	0h	0:フォルトダンプ読み取りはトリガされません 1:フォルトダンプのために NVM の 1 行を読み出します。このビットはセルフ リセットします。
1	NVM-PROG	R/W	0h	0:NVM 書き込みはトリガされません 1:NVM 書き込みをトリガします。このビットはセルフ リセットします。
0	NVM-RELOAD	R/W	0h	0:NVM のリロードはトリガされません 1:NVM からレジスタ マップにデータをリロードします。このビットはセルフ リセットします。

## 7.20 COMMON-DAC-TRIG レジスタ (アドレス = 21h) [リセット = 0000h]

図 7-20. COMMON-DAC-TRIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X	TRIG-MAR-LO-2	TRIG-MAR-HI-2	START-FUNC-2		X				TRIG-MAR-LO-0	TRIG-MAR-HI-0	START-FUNC-0	RESET-CMP-FLAG-1	TRIG-MAR-LO-1	TRIG-MAR-HI-1	START-FUNC-1
X-0h	W-0h	W-0h	R/W-0h		X-00h				W-0h	W-0h	R/W-0h	W-0h	W-0h	W-0h	R/W-0h

表 7-30. COMMON-DAC-TRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
14、6、2	TRIG-MAR-LO-x	W	0h	0:ドントケア 1:margin-low コマンドをトリガします。このビットはセルフリセットします。
13、5、1	TRIG-MAR-HI-x	W	0h	0:ドントケア 1:margin-high コマンドをトリガします。このビットはセルフリセットします。
12、4、0	START-FUNC-x	R/W	0h	0:機能生成を停止 1:DAC-x-FUNC-CONFIG レジスタの FUNC-GEN-CONFIG-x に従って、機能生成を開始します。
15、11-7	X	X	00h	未使用
3	RESET-CMP-FLAG-1	W	0h	0:ラッチ コンバレータ出力には影響なし 1:ラッチ コンバレータヒューズコンバレータ出力をリセットします。このビットはセルフリセットします。

## 7.21 GENERAL-STATUS レジスタ (アドレス = 22h) [リセット = 20h、DEVICE-ID、VERSION-ID]

図 7-21. GENERAL-STATUS レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	X	DAC-1-BUSY	DAC-0-BUSY	X	DAC-2-BUSY	NVM-BUSY						DEVICE-ID		VERSION-ID
R-0h	R-0h	X-1h	R-0h	R-0h	X-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-[DEVICE-ID]			R-0h	

表 7-31. GENERAL-STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	NVM-CRC-FAIL-INT	R	0h	0:OTP に CRC エラーはありません。 1:OTP ロードの障害を示します。一時的な障害が発生した場合、ソフトウェアリセットまたはパワー サイクルによって、デバイスはこの状態から回復することができます。
14	NVM-CRC-FAIL-USER	R	0h	0:NVM ロードでの CRC エラーはありません 1:NVM ロードの障害を示します。レジスタ設定が破損しています。デバイスは、このエラー条件でのすべての動作を許可します。元の状態を取得するため、NVM を再プログラムします。ソフトウェアリセットにより、デバイスはこの一時的なエラー状態から回復します。
13	X	X	1h	未使用
12	DAC-1-BUSY	R	0h	0:DAC チャネル 1 はコマンドを受け付けます。 1:DAC チャネル 1 はコマンドを受け付けません。
11	DAC-0-BUSY	R	0h	0:DAC チャネル 0 はコマンドを受け付けます。 1:DAC チャネル 0 はコマンドを受け付けません。
10	X	X	0h	未使用
9	DAC-2-BUSY	R	0h	0:DAC チャネル 2 はコマンドを受け付けます。 1:DAC チャネル 2 はコマンドを受け付けません。
8	NVM-BUSY	R	0h	0:NVM を読み出しと書き込みに使用できます。 1:NVM を読み取りと書き込みに使用できません。
7-2	DEVICE-ID	R	DAC532A3W: 04h DAC530A2W: 06h	デバイス識別子。
1-0	VERSION-ID	R	00h	バージョン識別子。

## 7.22 CMP-STATUS レジスタ (アドレス = 23h) [リセット = 000Ch]

図 7-22. CMP-STATUS レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			X				PROTECT-FLAG	WIN-CMP-1		X		CMP-FLAG-1		X	
			X-0h				R-0h	R-0h		X-0h		R-1h		X-4h	

表 7-32. CMP-STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	X	X	0h	未使用
8	PROTECT-FLAG	R	0h	0:PROTECT 動作がトリガーされません。 1:PROTECT 機能が完了したか、実行中です。読み出すと、このビットは 0 にリセットされます。
7	WIN-CMP-1	R	0h	チャネル 1 からのウインドウ コンパレータ出力。出力がラッ奇されるかラッ奇されないかは、COMMON-CONFIG レジスタの WINDOW-LATCH-EN 設定に基づきます。
6-4	X	X	0h	未使用
3	CMP-FLAG-1	R	1h	チャネル 1 からの同期されたコンパレータ出力。
2-0	X	X	4h	未使用

## 7.23 GPIO-CONFIG レジスタ (アドレス = 24h) [リセット = 0000h]

図 7-23. GPIO-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GF-EN	X	GPO-EN		GPO-CONFIG			GPI-CH-SEL		GPI-CONFIG		GPI-EN				
R/W-0h	X-0h	R/W-0h		R/W-0h			R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h

**表 7-33. GPIO-CONFIG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	GF-EN	R/W	0h	0:GP 入力のグリッヂ フィルタ ディスエーブル。この設定により、応答が高速化されます。 1:GPIO のグリッヂ フィルタ イネーブル。この設定では伝搬遅延が長くなりますが、堅牢性が得られます。
14	X	X	0h	未使用。
13	GPO-EN	R/W	0h	0:GPIO/SDO ピンの出力モードを無効化します。 1:GPIO/SDO ピンの出力モードを有効化します。
12-9	GPO-CONFIG	R/W	0h	STATUS 機能の設定。GPIO ピンは、出力として次のレジスタビットにマッピングされます: 0001:NVM-BUSY 0100:DAC-2-BUSY 0110:DAC-0-BUSY 0111:DAC-1-BUSY 1011:WIN-CMP-1 その他:該当なし
8-5	GPI-CH-SEL	R/W	0h	2つのビットは、2つの DAC チャネルに対応します。0b は「無効」で、1b は「有効」。 GPI-CH-SEL[0]:チャネル 2 GPI-CH-SEL[1]:未使用 GPI-CH-SEL[2]:チャネル 0 GPI-CH-SEL[3]:チャネル 1 例:GPI-CH-SEL が 1001 の場合、チャネル 2 とチャネル 1 の両方が有効になり、チャネル 0 が無効になります。
4-1	GPI-CONFIG	R/W	0h	GPIO/SDO ピンの入力構成。グローバル設定はデバイス全体で動作します。チャネル固有の設定は、GPI-CH-SEL ビットによるチャネル選択によって異なります。  0000: <u>DEEP-SLEEP</u> (グローバル)。GPIO の立ち下がりエッジはディープスリープ モードをトリガし、GPIO の立ち上がりエッジはデバイスをディープスリープから復帰させます。 0010: <u>FAULT-DUMP</u> (グローバル)。GPIO の立ち下がりエッジはフォルトダンプをトリガし、GPIO = 1 は影響を与えません。 0100: チャネル パワーアップ/ダウン (チャネル固有)。出力負荷は、OUT-PDN-X の設定に従います。GPIO の立ち下がりエッジはパワーダウンをトリガし、GPIO の立ち上がりエッジはパワーアップをトリガします。 0101: <u>PROTECT</u> 入力 (グローバル)。GPIO の立ち下がりエッジは <u>PROTECT</u> 機能をアサートし、GPIO = 1 は影響を与えません。 0111: <u>CLR</u> 入力 (グローバル)。GPIO = 0 は <u>CLR</u> 機能をアサートし、GPIO = 1 は影響を与えません。 1000: <u>LDAC</u> 入力 (チャネル固有)。GPIO の立ち下がりエッジは <u>LDAC</u> 機能をアサートし、GPIO = 1 は影響を与えません。SYNC-CONFIG-x と GPI-CH-SEL の両方をすべてのチャネルに設定する必要があります。 1001: 機能生成の開始/停止 (チャネル固有)。GPIO の立ち下がりエッジは機能の生成を停止します。GPIO の立ち上がりエッジは機能の生成を開始します。 1010: margin-high/low のトリガ (チャネル固有)。GPIO の立ち下がりエッジは margin low をトリガします。GPIO の立ち上がりエッジは margin high をトリガします。 1011: <u>RESET</u> 入力 (グローバル)。GPIO ピンの立ち下がりエッジは <u>RESET</u> 機能をアサートします。RESET 入力はパルスである必要があります。GPIO の立ち上がりエッジはデバイスをリセットから復帰させます。RESET 構成は NVM にプログラムする必要があります。それ以外の場合は、デバイスのリセット後に設定はクリアされます。 1100: <u>NVM 書き込み保護</u> (グローバル)。GPIO の立ち下がりエッジは NVM プログラミングを可能にします。GPIO の立ち上がりエッジは NVM プログラミングをブロックします。 1101: レジスタ マップ ロック (グローバル)。GPIO の立ち下がりエッジはレジスタ マップの更新を可能にします。GPIO の立ち上がりエッジはレジスタ マップの更新をブロックします ( $I^2C$ または SPI 経由の DEV-UNLOCK フィールドおよび $I^2C$ 経由の RESET フィールドへの書き込みを除く)。 その他:無効

表 7-33. GPIO-CONFIG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	GPI-EN	R/W	0h	0:GPIO/SDO ピンの入力モードを無効化します。 1:GPIO/SDO ピンの入力モードを有効化します。

## 7.24 DEVICE-MODE-CONFIG レジスタ (アドレス = 25h) [リセット = 0000h]

図 7-24. DEVICE-MODE-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				PROTECT-CONFIG		予約済み		X							
R/W-00h				R/W-0h		R/W-0h		X-00h							

表 7-34. DEVICE-MODE-CONFIG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
15-10	予約済み	R/W	00h	常に 00h を書き込みます。
9-8	PROTECT-CONFIG	R/W	0h	00:ハイインピーダンスパワーダウンへの切り換え (スルーなし) 01:NVM に保存された DAC コードに切り換え (スルーなし) でから、ハイインピーダンスパワーダウンに切り換え 10:margin-low コードまでスルーしてから、ハイインピーダンスパワーダウンに切り換え 11:margin-high コードまでスルーしてから、ハイインピーダンスパワーダウンに切り換え
7-5	予約済み	R/W	0h	常に 0h を書き込みます。
4-0	X	X	00h	未使用

## 7.25 INTERFACE-CONFIG レジスタ (アドレス = 26h) [リセット = 0000h]

図 7-25. INTERFACE-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		TIMEOUT-EN		X		予約済み		X		X		FSDO-EN	X	SDO-EN	
X-0h		R/W-0h		X-0h		R/W-0h		X-00h		R/W-0h		X-0h		R/W-0h	

表 7-35. INTERFACE-CONFIG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
15-13	X	X	0h	未使用
12	TIMEOUT-EN	R/W	0h	0:I <sup>2</sup> C タイムアウト ディスエーブル 1:I <sup>2</sup> C タイムアウト イネーブル
11-9	X	X	0h	未使用
8	予約済み	R/W	0h	常に 0 を書き込みむ。
7-3	X	X	00h	未使用
2	FSDO-EN	R/W	0h	0:高速 SDO シャットダウン ディスエーブル 1:高速 SDO イネーブル
1	X	X	0h	未使用
0	SDO-EN	R/W	0h	0:SDO ディスエーブル 1:GPIO/SDO ピンで SDO イネーブル

## 7.26 SRAM-CONFIG レジスタ (アドレス = 2Bh) [リセット = 0000h]

図 7-26. SRAM-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X	SRAM-ADDR														
X-00h	R/W-00h														

表 7-36. SRAM-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	X	X	00h	未使用
7-0	SRAM-ADDR	R/W	00h	8 ビット SRAM アドレス。このレジスタ フィールドに書き込むと、次にアクセスする SRAM アドレスが設定されます。このアドレスは、SRAM への書き込み後に自動的にインクリメントされます。

## 7.27 SRAM-DATA レジスタ (アドレス = 2Ch) [リセット = 0000h]

図 7-27. SRAM-DATA レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRAM-DATA															
R/W-0000h															

表 7-37. SRAM-DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	SRAM-DATA	R/W	0000h	16 ビット SRAM データ。このデータは、SRAM-CONFIG レジスタで設定されたアドレスに書き込まれるか、そこから読み取られます。

## 7.28 BRDCAST-DATA レジスタ (アドレス = 50h) [リセット = 0000h]

図 7-28. BRDCAST-DATA レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRDCAST-DATA[9:0]															X
R/W-000h															X-0h

表 7-38. BRDCAST-DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	BRDCAST-DATA[9:0]	R/W	000h	すべての DAC チャネル用のブロードキャストコード。 データはストレート バイナリ形式です。MSB 左揃え。次のビット整列を使用します: DAC532A3W:{BROADCAST-DATA[9:0], X, X} X = ドントケア ビット。 DAC-x-FUNC-CONFIG レジスタの BRD-CONFIG-X ビットは、それぞれのチャネルで有効になっている必要があります。
3-0	X	X	0h	未使用。

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

DAC53xAxW は、NVM および内部リファレンスを搭載した 2 チャネルおよび 3 チャネルのバッファ付き電圧出力/電流出力対応スマート DAC ファミリーで、 $1.76\text{mm} \times 1.76\text{mm}$  (標準) のパッケージで提供されています。電流出力 DAC (IDAC) は、低ヘッドルームで最大  $300\text{mA}$  を供給します。電圧出力 DAC (VDAC) は、構成可能なリファレンスとゲインオプションを備えています。DAC53xAxW は、ハイインピーダンスのパワーダウン モードと、電源オフ状態中のハイインピーダンス出力をサポートしています。多機能 GPIO、関数生成、NVM などの機能により、これらのスマート DAC はランタイム ソフトウェアなしでも使用できます。

### 8.2 代表的なアプリケーション

DAC53xAxW は、ボイスコイルモーター (VCM) を搭載したカメラのオートフォーカス用途に使用できます。カメラのレンズは VCM のスプリングに接続されており、一定の電流で制御されます。DAC53xAxW は低消費電力デバイスで、低消費電力を必要とするバッテリ駆動アプリケーションに最適です。この例の回路は、 $300\text{mA}$  の IDAC 出力を使用して VCM 電流を供給し、レンズの位置を制御します。DAC53xAxW は、誘導性負荷に接続した際に DAC53xAxW を保護するため、IDAC 出力からグランドに接続されたフライバックダイオードを備えています。2 番目の DAC チャネルは、VCM 電圧 ( $V_{VCM}$ ) を監視するプログラム可能なコンパレータとして構成されています。プログラム可能なコンパレータの出力は GPIO/SDO ピンに接続され、 $V_{VCM}$  がプログラムされたスレッショルドより高い場合に IDAC 出力がゼロスケールに設定されます。DAC53xAxW にはプログラム可能なスルーレートがあり、VCM を流れる電流を徐々に増加させてリングングを低減できます。

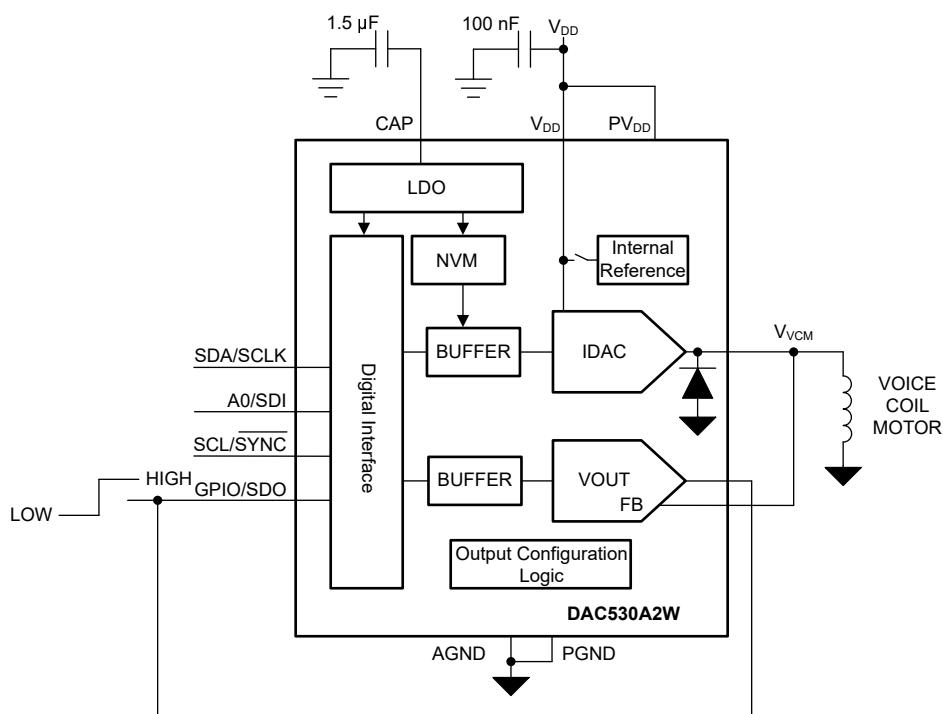


図 8-1. ボイスコイルモーター制御

### 8.2.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
V <sub>DD</sub>	3.3V
P <sub>V<sub>DD</sub></sub>	3.3V
IDAC 公称出力	120mA
プログラマブルなコンパレータのスレッショルド	1V

### 8.2.2 詳細な設計手順

- フルスケール IDAC 出力範囲は 350mA です。このアプリケーションの公称 IDAC 出力は 120mA です。IDAC 出力を 120mA に設定するために必要な IDAC コードは、式 8 で計算されます。

$$\text{DAC\_2\_DATA} = \frac{120 \text{ mA}}{\frac{2}{3} \times 0.5241} \times 2^{10} = 352d \quad (8)$$

- IDAC は内部リファレンスを使用します。IDAC 出力をイネーブルにする前に、COMMON-CONFIG レジスタの内部リファレンスをイネーブルにします。
- IDAC チャネルの消費電力は、P<sub>V<sub>DD</sub></sub> の電源電圧、電流出力、IDAC ピンの電圧 (V<sub>IDAC</sub>) の関数です。ヘッドルーム電圧 (V<sub>HEADROOM</sub>) は、P<sub>V<sub>DD</sub></sub> と V<sub>IDAC</sub> の差として計算されます。V<sub>HEADROOM</sub> を最小限に抑えて、デバイスの消費電力を低減し、最小 V<sub>HEADROOM</sub> 要件も満たします。V<sub>HEADROOM</sub> が指定された電圧よりも低い場合、IDAC 出力はフルスケール電流出力をソースできません。図 8-2 に、出力電流の方向と、消費電力に影響を与える主要な電圧を示します。IDAC 出力は、出力電流に V<sub>HEADROOM</sub> 電圧を乗算した値に比例して消費電力に寄与します。

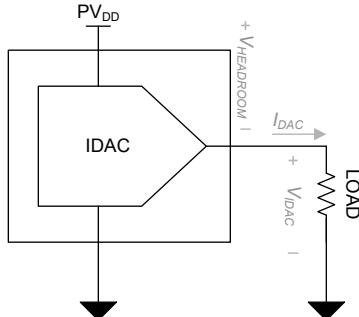


図 8-2. IDAC の消費電力

- DAC53xAxW の VOUT1 チャネルは、プログラム可能なコンパレータとして構成できます。DAC-1-GAIN-CMP-CONFIG レジスタで、次のように入力します:
  - コンパレータモードのチャネルを有効にします、
  - コンパレータ出力を有効にします、
  - Hi-Z 入力モードおよびをディセーブルにします
  - コンパレータの基準電圧を設定します。

このアプリケーション例では、ゲインが 1x の基準電圧として 3.3V V<sub>DD</sub> を使用します。プログラム可能なスレッショルド (V<sub>THRESH</sub>) は、対応するチャネルの DAC-1-DATA レジスタに設定されます。式 9 は、1V スレッショルド用の DAC コードを計算します。

$$\text{DAC\_DATA} = \frac{1V}{3.3V} \times 2^{10} = 310d \quad (9)$$

- GPIO-CONFIG レジスタで、GPIO/SDO ピンの機能を構成します。GPI-EN ビットは、GPIO/SDO ピンを入力として有効化します。GPI-CH-SEL フィールドは、GPI によって制御されるチャネルを選択します。GPI-CONFIG フィールドは、GPI 機能を選択します。表 6-8 に、GPI-CONFIG フィールドの関数を定義します。このアプリケーションでは、

GPIO/SDO ピンを使用して、IDAC 出力をマージン High またはマージン Low に設定します。DAC-2-MARGIN-HIGH レジスタと DAC-2-MARGIN-LOW レジスタの両方をゼロスケールに設定して、GPIO/SDO ピンがトグルされたときに出力をゼロにクリアします。GPIO/SDO ピンの立ち下がりエッジにより、IDAC はゼロスケールにクリアされます。GPIO/SDO ピンが再び High になると、DAC-2-DATA レジスタを使って IDAC 出力を希望する出力コードに設定します。

- このアプリケーション回路では、コンパレータの出力を GPIO 入力に接続し、IDAC 出力のゼロスケールをクリアします。 $V_{IDAC}$  が  $V_{THRESH}$  を下回ると、コンパレータ出力は High になり、IDAC 出力は DAC-2-DATA レジスタ内のプログラミングされたコードに維持されます。 $V_{IDAC}$  が  $V_{THRESH}$  を上回ると、コンパレータ出力が Low に設定され、IDAC 出力はゼロスケールにクリアされます。これは、コンパレータのデフォルト構成です。コンパレータの出力極性を反転するには、DAC-1-GAIN-CMP-CONFIG レジスタの CMP-1-INV-EN ビットを 1 に設定します。

カメラの自動フォーカス制御アプリケーションの疑似コードは次のとおりです：

```
//SYNTAX: WRITE <REGISTER NAME (Hex code)>, <MSB DATA>, <LSB DATA>
//Write DAC code for nominal IDAC output
//The 10-bit hex code for 120 mA is 0x160. With 16-bit left alignment, this becomes 0x5800
WRITE DAC-2-DATA(0x19), 0x58, 0x00
//Set VOUT1 gain setting to 1x VDD (3.3 V), enable comparator mode, enable comparator output,
//disable hi-z input
WRITE DAC-1-GAIN-CMP-CONFIG(0x15), 0x04, 0x0D
//For a 3.3-v output range, the 10-bit hex code for 1 v is 0x136. With 16-bit left alignment, this
becomes 0x4D80
WRITE DAC-1-DATA(0x1C), 0x4D, 0x80
//Power-up output on IDAC and VDAC channels, enables internal reference
WRITE COMMON-CONFIG(0x1F), 0x13, 0xDF
//Configure GPI for margin high, margin low trigger for IDAC channel
WRITE GPIO-CONFIG(0x24), 0x00, 0x35
//Save settings to NVM
WRITE COMMON-TRIGGER(0x20), 0x00, 0x02
```

### 8.2.3 アプリケーション曲線

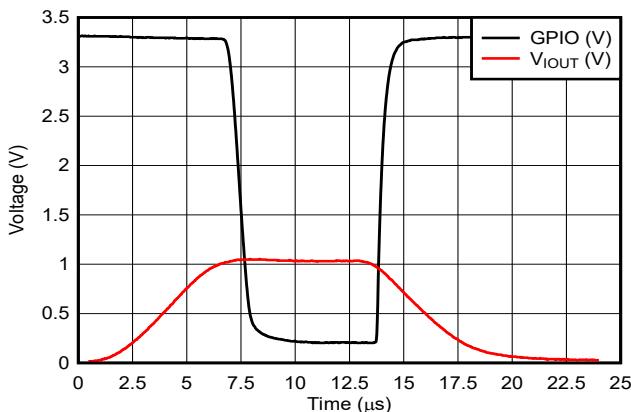


図 8-3. コンパレータ トグル

## 8.3 電源に関する推奨事項

DAC53xAxW では、特定の電源シーケンスは必要ありません。これらのデバイスには、単一の電源  $V_{DD}$  と  $PV_{DD}$  が必要です。低インピーダンスの PCB パターンを使用して  $V_{DD}$  と  $PV_{DD}$  を短絡します。電源からのノイズを最小限に抑えるために、 $1\mu F \sim 10\mu F$  のコンデンサ、および  $100nF$  のバイパスコンデンサを接続します。CAP ピンには約  $1.5\mu F$  のバイパスコンデンサを使用します。

### 注

DAC53xAxW には、自動サーマル シャットダウン機能はありません。したがって、外部回路の設計では、接合部温度を規定の制限範囲内に維持する必要があります。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

DAC53xAxW のピン配置は、アナログ、デジタル、電源ピンが分離されており、最適なレイアウトが可能です。信号の完全性を保つため、デジタル配線とアナログ配線を分離し、デカッピング コンデンサをデバイスのピンの近くに配置します。

### 8.4.2 レイアウト例

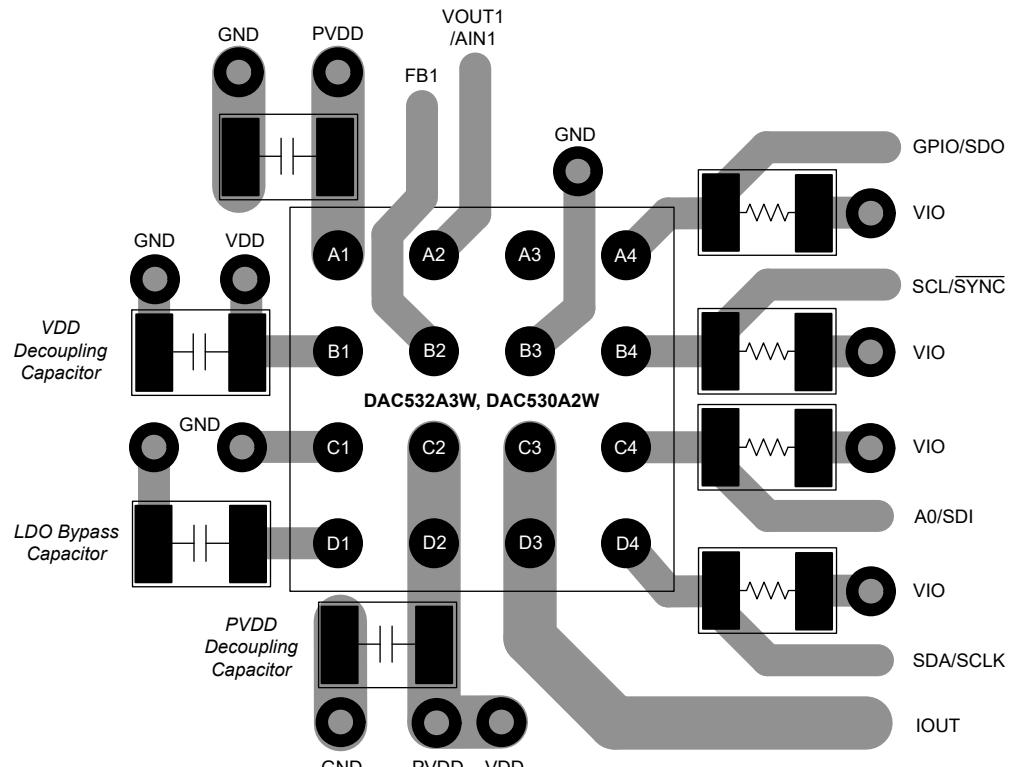


図 8-4. レイアウト例

注: 明確化のために、グランド プレーンと電源プレーンは省略しています。

## 9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

以下の EVM ユーザー ガイドが利用可能です: [AFE532A3W 評価基板 ユーザー ガイド](#)

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

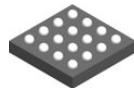
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (November 2023) to Revision A (July 2025)	Page
• 「製品情報」表を更新.....	1
• アプリケーション情報内のパッケージ寸法を 1.72mm × 1.72mm から 1.76mm × 1.76mm に変更.....	85
• YBH パッケージのアウトラインを更新し、寸法を訂正.....	89

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

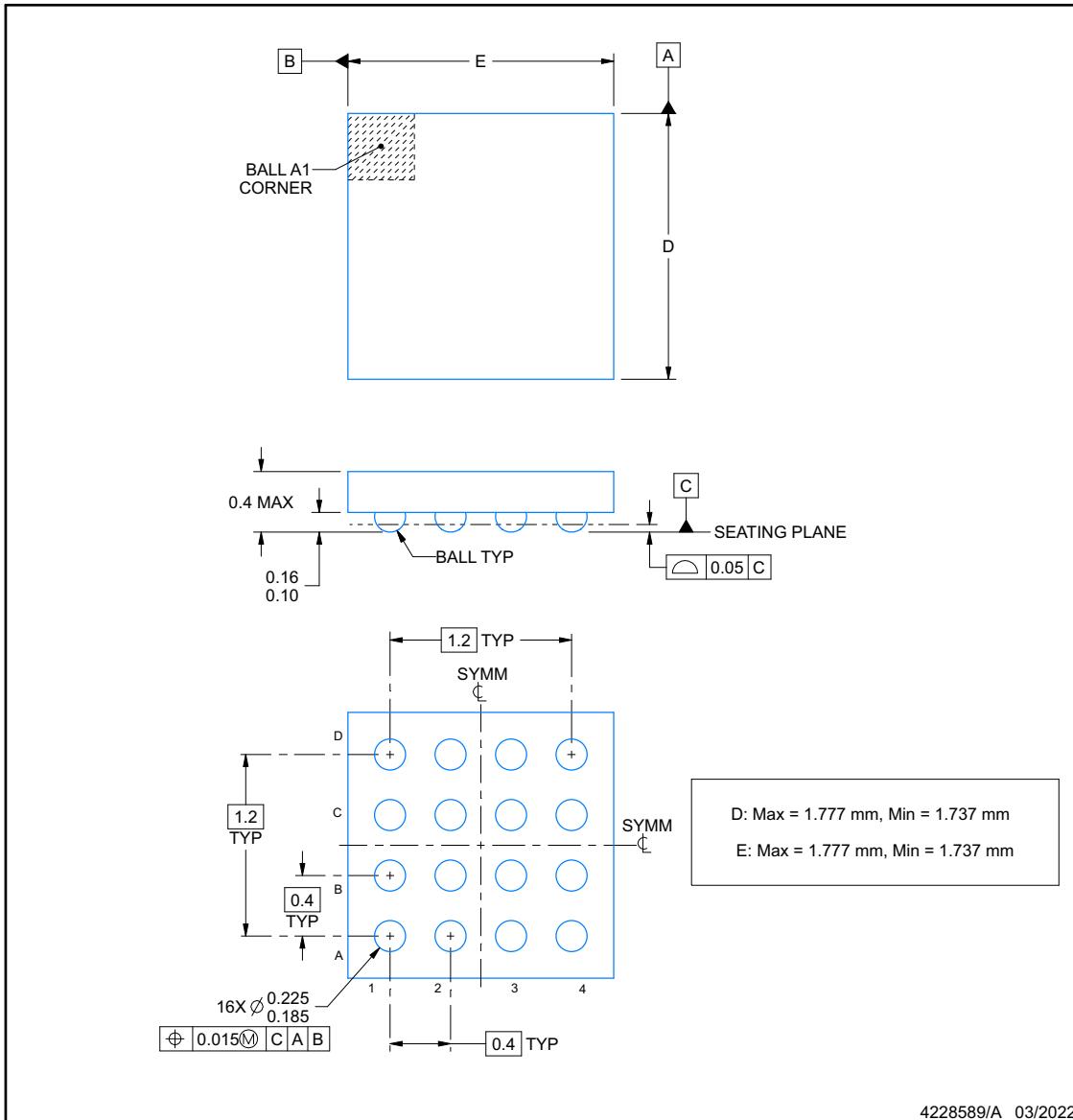
## YBH0016-C03



## PACKAGE OUTLINE

### DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



4228589/A 03/2022

#### NOTES:

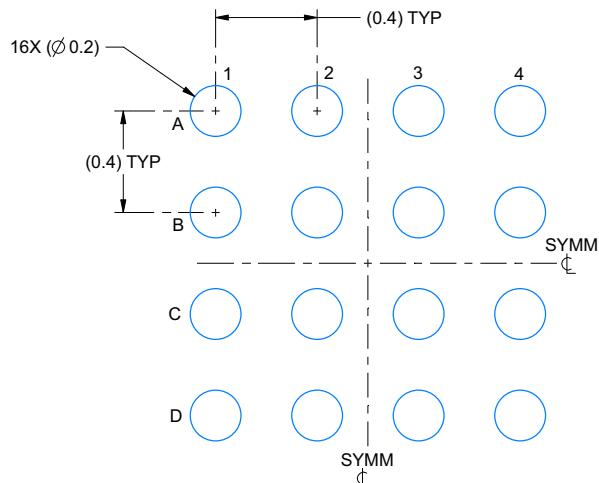
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.

## EXAMPLE BOARD LAYOUT

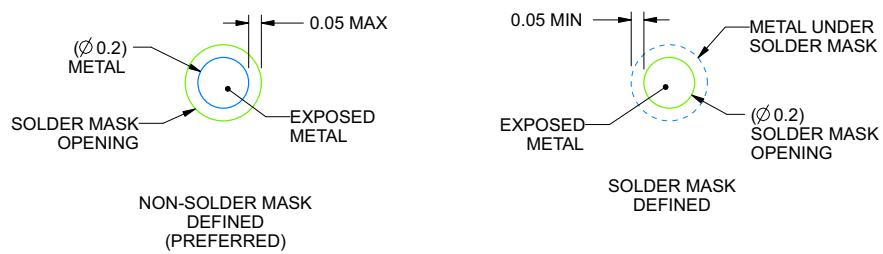
**YBH0016-C03**

**DSBGa - 0.4 mm max height**

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 40X



SOLDER MASK DETAILS  
NOT TO SCALE

4228589/A 03/2022

NOTES: (continued)

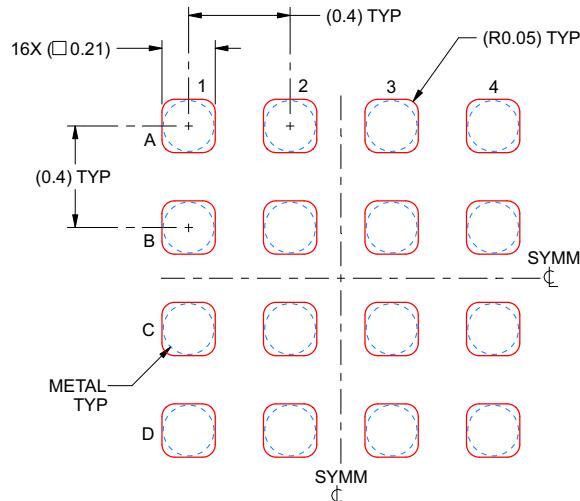
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.  
See Texas Instruments Literature No. SNVA009 ([www.ti.com/lit/snva009](http://www.ti.com/lit/snva009)).

## EXAMPLE STENCIL DESIGN

YBH0016-C03

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE  
BASED ON 0.075 mm THICK STENCIL  
SCALE: 40X

4228589/A 03/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC530A2YBHR	Active	Production	DSBGA (YBH)   16	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	DAC 530A2
DAC530A2YBHR.A	Active	Production	DSBGA (YBH)   16	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	DAC 530A2
DAC532A3YBHR	Active	Production	DSBGA (YBH)   16	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	DAC 532A3
DAC532A3YBHR.A	Active	Production	DSBGA (YBH)   16	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	DAC 532A3

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

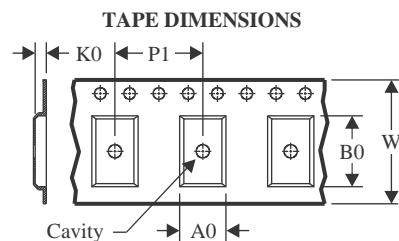
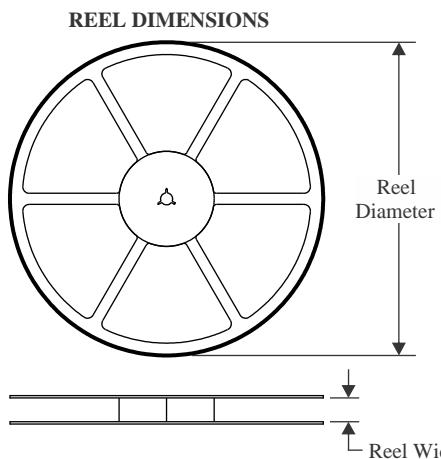
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a " ~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

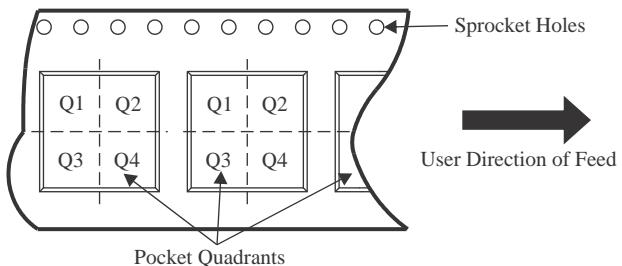


## TAPE AND REEL INFORMATION



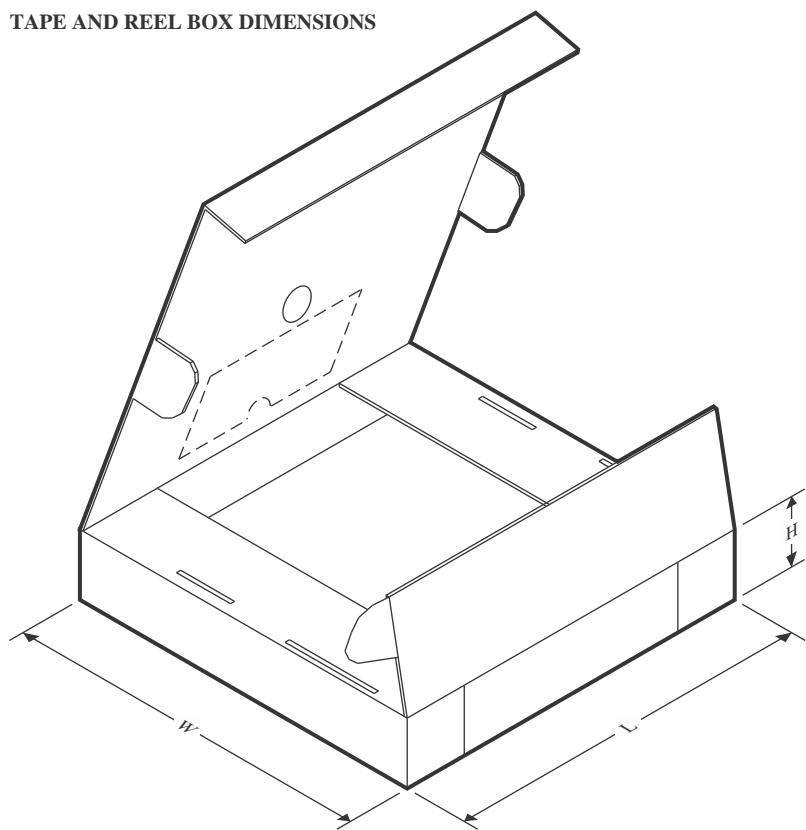
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DAC530A2YBHR	DSBGA	YBH	16	3000	180.0	8.4	1.94	1.94	0.69	4.0	8.0	Q1
DAC532A3YBHR	DSBGA	YBH	16	3000	180.0	8.4	1.94	1.94	0.69	4.0	8.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DAC530A2YBHR	DSBGA	YBH	16	3000	182.0	182.0	20.0
DAC532A3YBHR	DSBGA	YBH	16	3000	182.0	182.0	20.0

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月