

DAC124S085

*DAC124S085 12-Bit Micro Power QUAD Digital-to-Analog Converter with
Rail-to-Rail Output*



Literature Number: JAJSAH3

DAC124S085

12ビット、マイクロパワー、クワッド回路、出力フルスイング対応 D/A コンバータ

概要

DAC124S085 は、変換に必要な機能をすべて備えた、4 回路入りの汎用 12 ビット電圧出力 D/A コンバータ (DAC) です。+ 2.7V から + 5.5V の範囲の単一電源で動作し、消費電流は 3V で 1.1mA、5V で 2.4mA です。DAC124S085 は 10 ピン LLP および MSOP パッケージに封止されています。DAC124S085 では 10 ピン LLP パッケージにより、クラス最小の 4 回路入り DAC を実現しています。フルスイングが得られる出力アンプを内蔵しているほか、電源電圧範囲にわたって最高 40MHz のクロックレートで動作する 3 線式シリアル・インタフェースを備えています。他社の競合デバイスは、動作電圧は 2.7V から 3.6V の範囲と狭く、また 25MHz 動作が限界です。DAC124S085 のシリアル・インタフェースは SPI™、QSPI、MICROWIRE、DSP インタフェースと互換性があります。

DAC124S085 のリファレンス電圧は 4 チャンネルすべてに適用され、できるだけ広い出力ダイナミックレンジを実現できるよう 1V から V_A の範囲で設定可能です。また、出力の更新、動作モード、パワーダウン条件の各設定と、バイナリ入力データを格納する 16 ビットの入力シフトレジスタを備えています。出力の更新は、2 ビットで構成される動作モード・ビットの設定に応じて、4 系統すべてを同時に更新するか、各出力を個別に更新するかを選択することができます。

DAC 出力はパワーオン・リセット回路によってパワーアップ時に 0V に設定され、デバイスに有効な書き込みがあるまで維持されます。また、デバイスの消費電力を μ W オーダー以下に抑えるパワーダウン機能を備え、出力の終端条件を 3 種類から選択することができます。

DAC124S085 は消費電力が小さく小型パッケージを採用しているため、バッテリーで動作する機器に最適です。

DAC124S085 は、8 ビット DAC124S085 や 10 ビット DAC104S085 などのピン互換 DAC ファミリです。DAC124S085 は拡張工業用温度範囲である - 40 ~ + 105 で動作します。

特長

- モトニック (単調上昇) を保証
- 低消費電力動作
- 出力フルスイング電圧
- パワーオン・リセット時に出力 0V
- 同時出力更新
- 広い電源電圧範囲 (+ 2.7V から + 5.5V)
- 業界最小パッケージ
- パワーダウン・モード

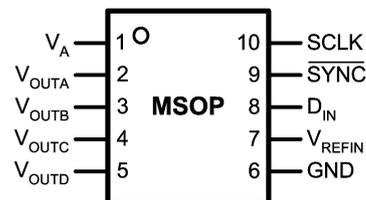
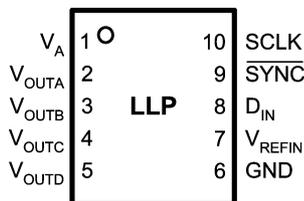
主な仕様

分解能	12 ビット
INL	± 8 LSB (max)
DNL	+ 0.7 / - 0.5LSB (max)
セトリング時間	8.5 μ s (max)
ゼロコード誤差	+ 15mV (max)
フルスケール誤差	- 0.75%FS (max)
消費電力	
通常動作	1.1mW (3V) / 2.4mW (5V) (typ)
パワーダウン	0.3 μ W (3V) / 0.8 μ W (5V) (typ)

アプリケーション

- バッテリー動作機器
- デジタル・ゲイン調整やデジタル・オフセット調整
- プログラマブルな電圧源や電流源
- プログラマブル・アッテネータ

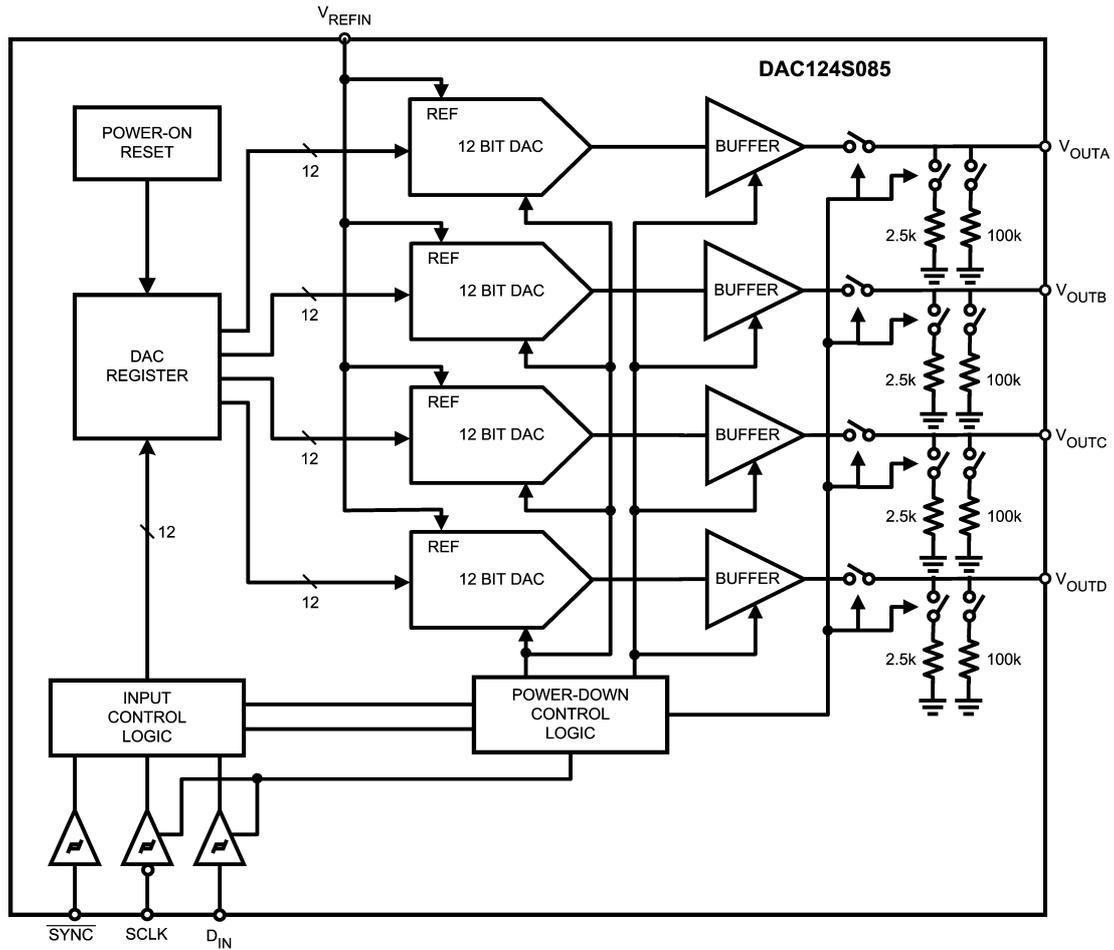
ピン配置図



製品情報

Order Numbers	Temperature Range	Package	Top Mark
DAC124S085CISD	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$	LLP	X67C
DAC124S085CISDX	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$	LLP Tape-and-Reel	X67C
DAC124S085CIMM	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$	MSOP	X66C
DAC124S085CIMMX	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$	MSOP Tape-and-Reel	X66C
DAC124S085EVAL		Evaluation Board (MSOP)	

ブロック図



ピン説明

LLP MSOP ピン番号	シンボル	種類	説明
1	V _A	電源	電源電圧入力。GND に対してデカップリングしてください。
2	V _{OUTA}	アナログ出力	チャンネル A のアナログ出力電圧。
3	V _{OUTB}	アナログ出力	チャンネル B のアナログ出力電圧。
4	V _{OUTC}	アナログ出力	チャンネル C のアナログ出力電圧。
5	V _{OUTD}	アナログ出力	チャンネル D のアナログ出力電圧。
6	GND	グラウンド	全オンチップ回路のグラウンド。
7	V _{REFIN}	アナログ入力	全チャンネルで共有されるバッファなしリファレンス電圧。GND に対してデカップリングしてください。
8	D _{IN}	デジタル入力	シリアル・データ入力。データは $\overline{\text{SYNC}}$ が Low になった後の SCLK の立ち下がりエッジで 16 ビット・シフトレジスタに取り込まれます。
9	$\overline{\text{SYNC}}$	デジタル入力	データ入力のフレーム同期。このピンを Low にすると入力シフトレジスタが有効になり、データは SCLK の立ち下がりエッジでシフトレジスタに取り込まれます。16 番目の SCLK クロックの前に $\overline{\text{SYNC}}$ を High にして、 $\overline{\text{SYNC}}$ の立ち上がりライト・シーケンスを無視させる割り込みとして DAC に与えない限り、DAC 出力は 16 番目のクロック・サイクルで更新されます。
10	SCLK	デジタル入力	シリアル・クロック入力。データはこのクロックの立ち下がりエッジでシフトレジスタに取り込まれます。
11	PAD (LLP のみ)	グラウンド	露出しているダイ・アタッチ・パッドは、グラウンドに接続しても、フローティング状態でもかまいません。パッドをプリント基板にハンダ付けすると、放熱特性が最適化され、リフロー時のパッケージ自己アライメントが向上します。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V _A)	6.5V
各入力ピンの電圧	- 0.3V ~ 6.5V
入力電流 (Note 3)	10mA
パッケージの入力電流 (Note 3)	20mA
パッケージ消費電力 (T _A = 25 °C)	Note 4 参照
ESD 耐性 (Note 5)	2500V
人体モデル	250V
マシン・モデル	250V
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150

動作定格 (Note 1、2)

動作温度範囲	- 40	T _A	+ 105
電源電圧 (V _A)	+ 2.7V ~ 5.5V		
リファレンス電圧、V _{REFIN}	+ 1.0V ~ V _A		
デジタル入力電圧 (Note 7)	0.0V ~ 5.5V		
出力負荷	0 ~ 1500pF		
SCLK 周波数	最高 40MHz		

パッケージ熱抵抗

Package	θ _{JA}
10-Lead MSOP	240°C/W
10-Lead LLP	250°C/W

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。
www.national.com/JPN/packaging をご覧ください (Note 6)。

電気的特性

以下の仕様は、V_A = + 2.7V ~ + 5.5V、V_{REFIN} = V_A、C_L = GND に対して 200pF、f_{SCLK} = 30MHz、入力コード範囲 48 から 4047 という条件に対して適用されます。特記のない限り、太字のリミット値は T_{MIN} T_A T_{MAX} で適用され、それ以外のリミット値は T_A = 25 °C で適用されます。

Symbol	Parameter	Conditions	Typical (Note 9)	Limits (Note 9)	Units (Limits)
STATIC PERFORMANCE					
	Resolution			12	Bits (min)
	Monotonicity			12	Bits (min)
INL	Integral Non-Linearity		±2.4	±8	LSB (max)
DNL	Differential Non-Linearity	V _A = 2.7V to 5.5V	+0.2	+0.7	LSB (max)
		V _A = 4.5V to 5.5V (Note 10)	-0.1	-0.5	LSB (min)
			±0.15	±0.5	LSB (max)
ZE	Zero Code Error	I _{OUT} = 0	+4	+15	mV (max)
FSE	Full-Scale Error	I _{OUT} = 0	-0.1	-0.75	%FSR (max)
GE	Gain Error	All ones Loaded to DAC register	-0.2	-1.0	%FSR
ZCED	Zero Code Error Drift		-20		µV/°C
TC GE	Gain Error Tempco	V _A = 3V	-0.7		ppm/°C
		V _A = 5V	-1.0		ppm/°C
OUTPUT CHARACTERISTICS					
	Output Voltage Range	(Note 10)		0 V _{REFIN}	V (min) V (max)
I _{oz}	High-Impedance Output Leakage Current (Note 10)			±1	µA (max)
ZCO	Zero Code Output	V _A = 3V, I _{OUT} = 200 µA	1.3		mV
		V _A = 3V, I _{OUT} = 1 mA	6.0		mV
		V _A = 5V, I _{OUT} = 200 µA	7.0		mV
		V _A = 5V, I _{OUT} = 1 mA	10.0		mV
FSO	Full Scale Output	V _A = 3V, I _{OUT} = 200 µA	2.984		V
		V _A = 3V, I _{OUT} = 1 mA	2.934		V
		V _A = 5V, I _{OUT} = 200 µA	4.989		V
		V _A = 5V, I _{OUT} = 1 mA	4.958		V
I _{os}	Output Short Circuit Current (source)	V _A = 3V, V _{OUT} = 0V, Input Code = FFFh	-56		mA
		V _A = 5V, V _{OUT} = 0V, Input Code = FFFh	-69		mA

電氣的特性 (つづき)

以下の仕様は、 $V_A = +2.7V \sim +5.5V$ 、 $V_{REFIN} = V_A$ 、 $C_L = GND$ に対して $200pF$ 、 $f_{SCLK} = 30MHz$ 、入力コード範囲 48 から 4047 という条件に対して適用されます。特記のない限り、太字のリミット値は T_{MIN} T_A T_{MAX} で適用され、それ以外のリミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conditions	Typical (Note 9)	Limits (Note 9)	Units (Limits)	
I_{OS}	Output Short Circuit Current (sink)	$V_A = 3V$, $V_{OUT} = 3V$, Input Code = 000h	52		mA	
		$V_A = 5V$, $V_{OUT} = 5V$, Input Code = 000h	75		mA	
I_O	Continuous Output Current (Note 10)	Available on each DAC output		11	mA (max)	
C_L	Maximum Load Capacitance	$R_L = \infty$	1500		pF	
		$R_L = 2k\Omega$	1500		pF	
Z_{OUT}	DC Output Impedance		7.5		Ω	
REFERENCE INPUT CHARACTERISTICS						
V_{REFIN}	Input Range Minimum		0.2	1.0	V (min)	
	Input Range Maximum			V_A	V (max)	
	Input Impedance		30		k Ω	
LOGIC INPUT CHARACTERISTICS						
I_{IN}	Input Current (Note 10)			± 1	μA (max)	
V_{IL}	Input Low Voltage (Note 10)	$V_A = 3V$	0.9	0.6	V (max)	
		$V_A = 5V$	1.5	0.8	V (max)	
V_{IH}	Input High Voltage (Note 10)	$V_A = 3V$	1.4	2.1	V (min)	
		$V_A = 5V$	2.1	2.4	V (min)	
C_{IN}	Input Capacitance (Note 10)			3	pF (max)	
POWER REQUIREMENTS						
V_A	Supply Voltage Minimum			2.7	V (min)	
	Supply Voltage Maximum			5.5	V (max)	
I_N	Normal Supply Current (output unloaded)	$f_{SCLK} = 30 MHz$	$V_A = 2.7V$ to 3.6V	360	485	μA (max)
			$V_A = 4.5V$ to 5.5V	480	650	μA (max)
		$f_{SCLK} = 0$	$V_A = 2.7V$ to 3.6V	330		μA
			$V_A = 4.5V$ to 5.5V	440		μA
I_{PD}	Power Down Supply Current (output unloaded, SYNC = DIN = 0V after PD mode loaded)	All PD Modes, (Note 10)	$V_A = 2.7V$ to 3.6V	0.10	1.0	μA (max)
			$V_A = 4.5V$ to 5.5V	0.15	1.0	μA (max)
P_N	Normal Supply Power (output unloaded)	$f_{SCLK} = 30 MHz$	$V_A = 2.7V$ to 3.6V	1.1	1.7	mW (max)
			$V_A = 4.5V$ to 5.5V	2.4	3.6	mW (max)
		$f_{SCLK} = 0$	$V_A = 2.7V$ to 3.6V	1.0		mW
			$V_A = 4.5V$ to 5.5V	2.2		mW
P_{PD}	Power Down Supply Power (output unloaded, SYNC = DIN = 0V after PD mode loaded)	All PD Modes, (Note 10)	$V_A = 2.7V$ to 3.6V	0.3	3.6	μW (max)
			$V_A = 4.5V$ to 5.5V	0.8	5.5	μW (max)

AC 特性とタイミング仕様

この表記載の値は設計目標値であって製品出荷時に変更される場合があります。

以下の仕様は、 $V_A = +2.7V \sim +5.5V$ 、 $V_{REFIN} = V_A$ 、 $C_L = GND$ に対して $200pF$ 、 $f_{SCLK} = 30MHz$ 、入力コード範囲 48 から 4047 という条件に対して適用されます。特記のない限り、太字のリミット値は T_{MIN} 、 T_A 、 T_{MAX} で適用され、それ以外のリミット値は $T_A = 25$ で適用されます。

Symbol	Parameter	Conductions	Typical (Note 9)	Limits (Note 9)	Units (Limits)
f_{SCLK}	SCLK Frequency		40	30	MHz (max)
t_s	Output Voltage Settling Time (Note 10)	400h to C00h code change $R_L = 2k\Omega$, $C_L = 200 pF$	6	8.5	μs (max)
SR	Output Slew Rate		1		V/ μs
	Glitch Impulse	Code change from 800h to 7FFh	12		nV-sec
	Digital Feedthrough		0.5		nV-sec
	Digital Crosstalk		1		nV-sec
	DAC-to-DAC Crosstalk		3		nV-sec
	Multiplying Bandwidth	$V_{REFIN} = 2.5V \pm 0.1V_{pp}$	160		kHz
	Total Harmonic Distortion	$V_{REFIN} = 2.5V \pm 0.1V_{pp}$ input frequency = 10kHz	70		dB
t_{WU}	Wake-Up Time	$V_A = V_{REF} = 3V$	6		μsec
		$V_A = V_{REF} = 5V$	39		μsec
$1/f_{SCLK}$	SCLK Cycle Time		25	33	ns (min)
t_{CH}	SCLK High time		7	10	ns (min)
t_{CL}	SCLK Low Time		7	10	ns (min)
t_{SS}	\overline{SYNC} Set-up Time prior to SCLK Falling Edge		4	10	ns (min)
t_{DS}	Data Set-Up Time prior to SCLK Falling Edge		1.5	3.5	ns (min)
t_{DH}	Data Hold Time after SCLK Falling Edge		1.5	3.5	ns (min)
t_{CFSR}	SCLK fall prior to rise of \overline{SYNC}		0	3	ns (min)
t_{SYNC}	\overline{SYNC} High Time		6	10	ns (min)

Note 1: 絶対最大定格とは、IC に破壊が発生する可能性があるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。また、記載の試験条件以外でデバイスを動作させると、性能特性が低下することがあります。最大動作定格を超えた状態でデバイスを動作させてはなりません。

Note 2: 特記のない限り、すべての電圧は $GND = 0V$ を基準にして測定されています。

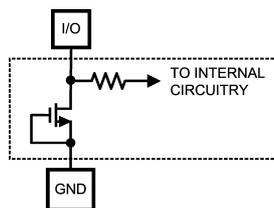
Note 3: いずれの入力ピンも入力電圧が $5.5V$ を上回るかグラウンドを下回ると、そのピンの電流は $10mA$ に制限されます。最大パッケージ入力定格電流 ($20mA$) により、電源電圧を超えて $10mA$ の電流を流すことができるピン数は 2 本に制限されます。

Note 4: 温度上昇時の動作では、最大消費電力の定格を T_{jmax} (最大接合部温度: このデバイスの場合、 T_{jmax} は 150)、 J_A (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) にしたがってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{DMAX} = (T_{jmax} - T_A) / J_A$ または「絶対最大定格」で示される値のうち、いずれか低い方の値です。デバイスが重大な障害 (例えば入力ピンや出力ピンが動作定格を超えて駆動されている場合、あるいは電源の極性が反転している場合) にある場合にのみ最大消費電力値に到達することがあります。

Note 5: 人体モデルの場合、 $100pF$ のコンデンサから直列抵抗 $1.5k$ を通じて各ピンに放電させます。マシン・モデルの場合は、 $220pF$ のコンデンサから直接各ピンに放電させます。

Note 6: リフロー温度プロファイルは、鉛フリー・パッケージの場合と非鉛フリー・パッケージの場合では異なります。

Note 7: 以下に示すように、各入出力ピンは 1 個のツェナーダイオードで保護されています。デジタル入力電圧が $5.5V$ 以下であれば、 V_A の電圧に関係なく、変換結果に誤差は生じません。例えば V_A が $3V$ の場合でも、デジタル入力ピンは $5V$ ロジック・デバイスで駆動できます。



AC 特性とタイミング仕様 (つづき)

Note 8: 精度を保証するために、 V_A および V_{REFIN} 電源ピンにはそれぞれ別個のバイパス・コンデンサを設けて同一電源に接続します。

Note 9: 代表値 (Typical) は、 $T_j = 25$ で得られる最も標準的な数値です。テスト・リミット値はナショナル セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。

Note 10: このパラメータは設計と特性評価によって保証されています。製造時の試験は行っていません。

用語の定義

微分非直線性誤差 (**DIFFERENTIAL NON-LINEARITY: DNL**) は理想的な 1LSB ステップ・サイズからの最大偏差を表す評価基準です。1LSB は $V_{REF}/4096 = V_A/4096$ です。

DAC 間クロストーク (DAC-to-DAC CROSSTALK) は、DAC 出力でのフルスケールの変化に応じて他の DAC 出力に伝達されるグリッチ・インパルスです。

デジタル・クロストーク (DIGITAL CROSSTALK) は、DAC 入力レジスタでのフルスケールの変化に応じて、変換スケールの中点で別の DAC 出力に伝達されるグリッチ・インパルスです。

デジタル・フィードスルー (DIGITAL FEEDTHROUGH) は、DAC 出力が更新されないときに、デジタル入力から DAC のアナログ出力に注入されるエネルギーを表す評価基準です。データバス上のフルスケール・コード変化を用いて測定します。

フルスケール誤差 (FULL-SCALE ERROR) は、DAC にフルスケール・コード (FFFh) を読み込んだときの実際の出力電圧と $V_A \times 4095/4096$ の値との差です。

ゲイン誤差 (GAIN ERROR) は、伝達関数の実測値と理想カーブとの偏差のことです。ゲイン誤差 GE はゼロスケール誤差 ZE とフルスケール誤差 FSE から、 $GE = FSE - ZE$ として求められます。

グリッチ・インパルス (GLITCH IMPULSE) は、DAC レジスタへの入力コードが変化したときにアナログ出力に注入されるエネルギーです。単位を nV-s (ナノボルト秒) とするグリッチ面積で規定されます。

積分非直線性 (INTEGRAL NON-LINEARITY: INL) は、入力から出力への伝達関数を通る直線を基準とした、各個別コードの偏差を表します。この直線から任意のコードとの偏差は、各コード値の中央から測定します。エンド・ポイント法が用いられます。この製品の INL は電気的特性のとおり制限付き範囲に対して規定されます。

最下位ビット (LEAST SIGNIFICANT BIT: LSB) とは、ワード中の全ビットのうち、値つまり重みが最小のビットのことです。LSB の値は、

$$LSB = V_{REF}/2^n$$

ここで、 V_{REF} はこの製品の電源電圧、"n" は DAC の分解能 (単位: ビット) で、DAC124S085 の場合は 12 です。

最大負荷容量 (MAXIMUM LOAD CAPACITANCE) は、出力安定性が維持された状態で DAC が駆動できる最大容量です。

単調増加性 (MONOTONICITY) とは、入力コードを減じたときに DAC 出力が決して増加しない、単調上昇となる条件を指します。

最上位ビット (MOST SIGNIFICANT BIT: MSB) とは、ワード中の全ビットのうち、値つまり重みが最大のビットのことです。MSB の値は V_A の 1/2 です。

マルチプライング帯域 (MULTIPLYING BANDWIDTH) は、DAC にフルスケール・コードをロードした状態で、 V_{REFIN} に与えた正弦波の振幅に比べて出力振幅が 3dB 低下する周波数です。

電力効率 (POWER EFFICIENCY) は、全消費電流に対する出力電流の比です。出力電流は電源から与えられます。消費電流と出力電流の差は、負荷がない状態でデバイスが消費する電力です。

セトリング時間 (SETTLING TIME) は、入力コードの更新後、出力が最終値から 1/2LSB の範囲内に落ち着くまでの時間です。

総高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、 V_{REFIN} に理想正弦波を与えた状態で DAC 出力に現れる高調波です。THD は dB で表されます。

ウェイクアップ時間 (WAKE-UP TIME) は、出力がパワーダウン・モードから復帰するまでの時間です。16 番目の SCLK パルスの立ち上がりエッジから、出力電圧がパワーダウン電圧 0V から変化するまでの時間に相当します。

ゼロコード誤差 (ZERO CODE ERROR) は、コード 000h を入力後に DAC 出力に現れる、出力誤差あるいは電圧です。

変換特性

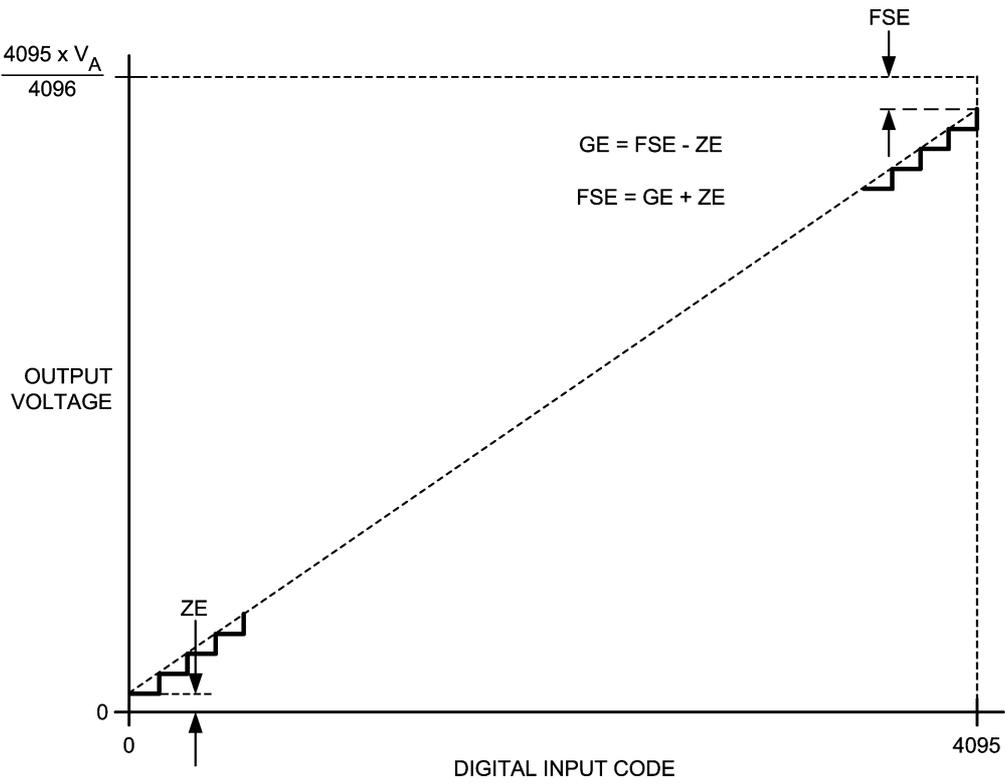


FIGURE 1. Input / Output Transfer Characteristic

タイミング図

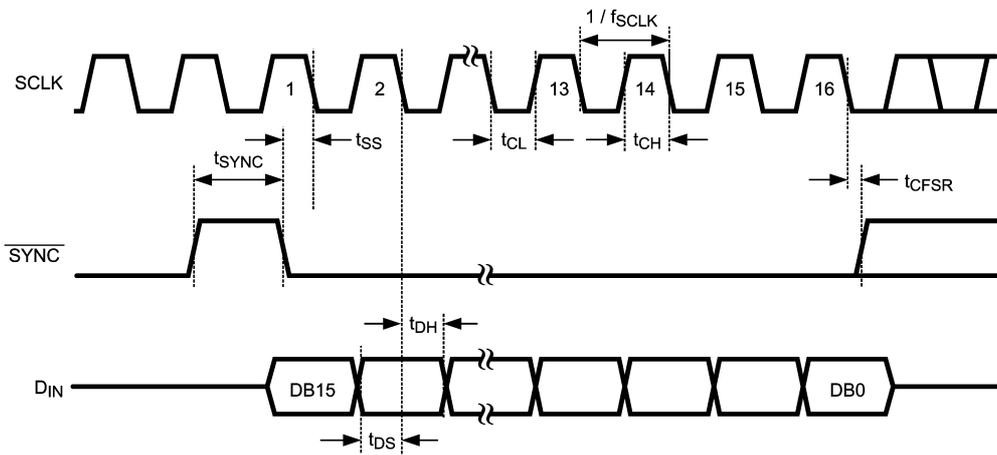
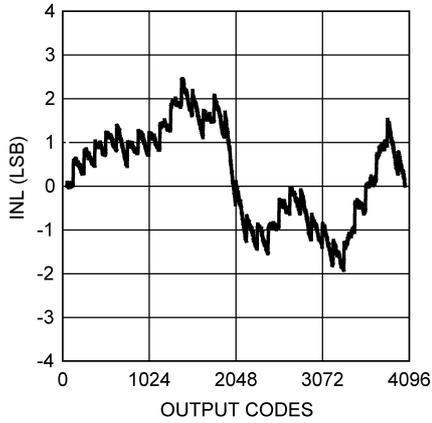


FIGURE 2. Serial Timing Diagram

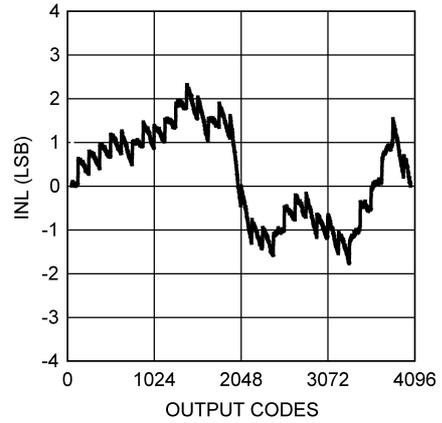
代表的な性能特性

特記のない限り、 $V_{REF} = V_A$ 、 $f_{SCLK} = 30\text{MHz}$ 、 $T_A = 25$ 、入力コード範囲 48 ~ 4047。

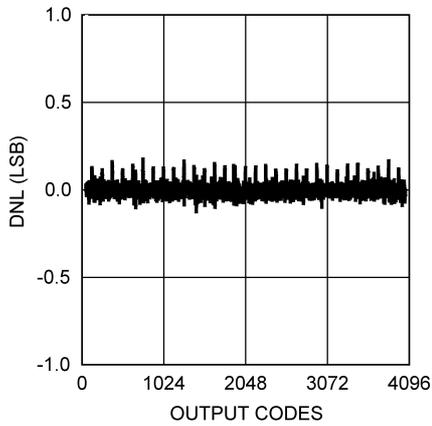
INL at $V_A = 3.0\text{V}$



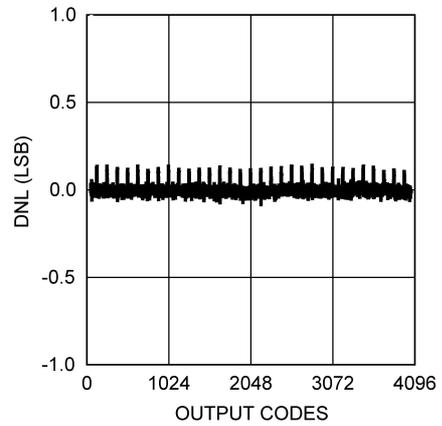
INL at $V_A = 5.0\text{V}$



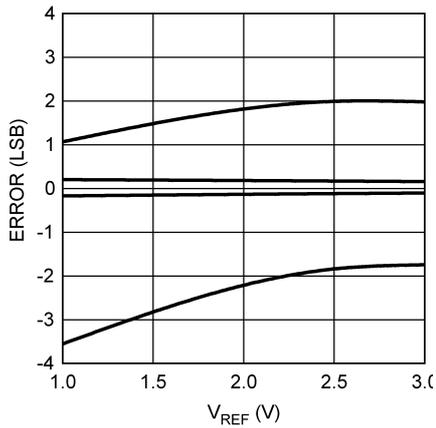
DNL at $V_A = 3.0\text{V}$



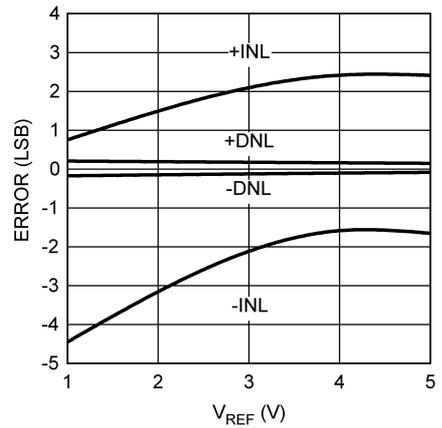
DNL at $V_A = 5.0\text{V}$



INL/DNL vs V_{REFIN} at $V_A = 3.0\text{V}$



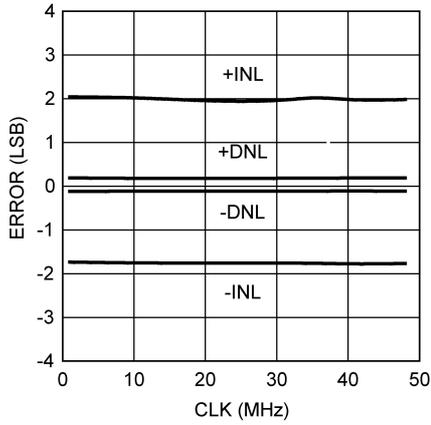
INL/DNL vs V_{REFIN} at $V_A = 5.0\text{V}$



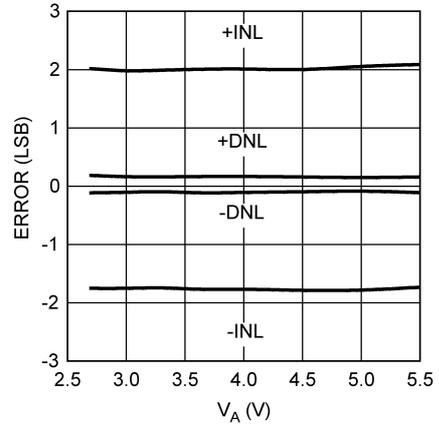
代表的な性能特性 (つづき)

特記のない限り、 $V_{REF} = V_A$ 、 $f_{SCLK} = 30\text{MHz}$ 、 $T_A = 25$ 、入力コード範囲 48 ~ 4047。

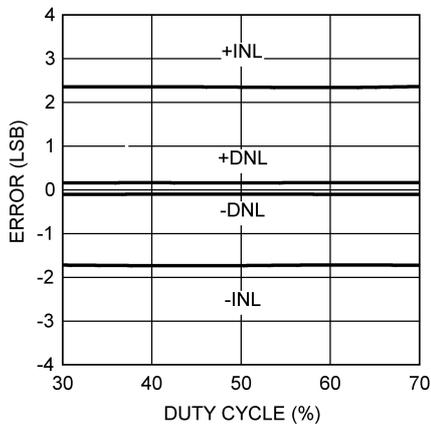
INL/DNL vs f_{SCLK} at $V_A = 2.7\text{V}$



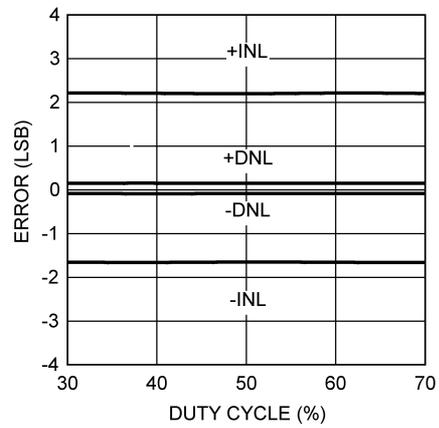
INL/DNL vs V_A



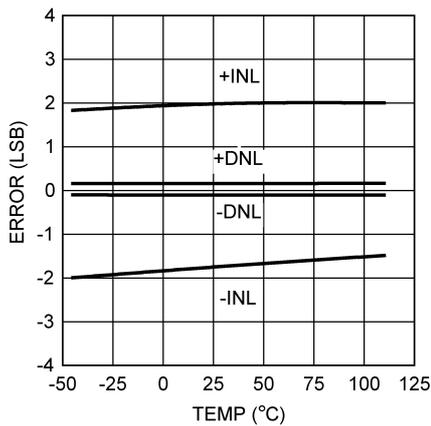
INL/DNL vs Clock Duty Cycle at $V_A = 3.0\text{V}$



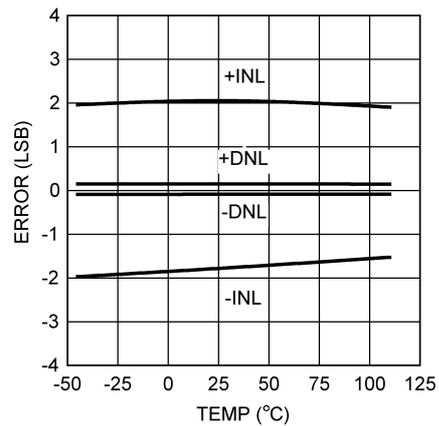
INL/DNL vs Clock Duty Cycle at $V_A = 5.0\text{V}$



INL/DNL vs Temperature at $V_A = 3.0\text{V}$



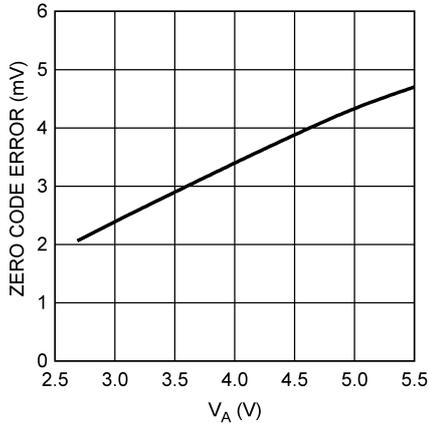
INL/DNL vs Temperature at $V_A = 5.0\text{V}$



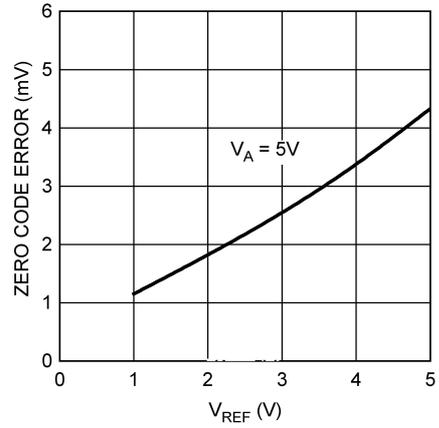
代表的な性能特性 (つづき)

特記のない限り、 $V_{REF} = V_A$ 、 $f_{SCLK} = 30\text{MHz}$ 、 $T_A = 25$ 、入力コード範囲 48 ~ 4047。

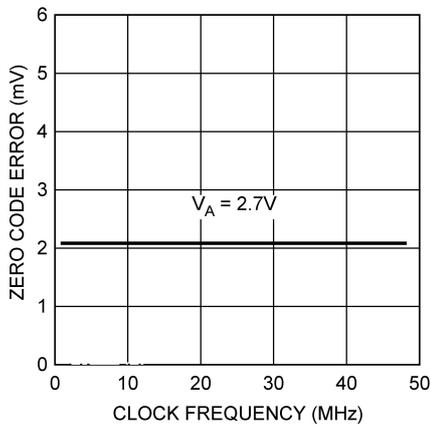
Zero Code Error vs. V_A



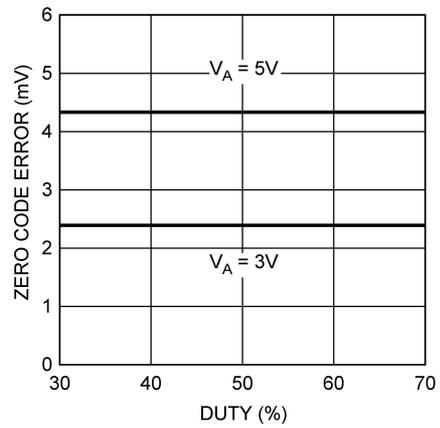
Zero Code Error vs. V_{REFIN}



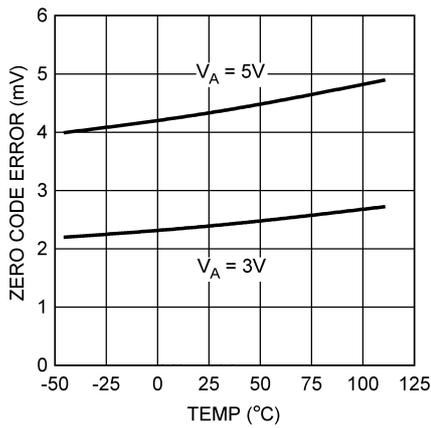
Zero Code Error vs. f_{SCLK}



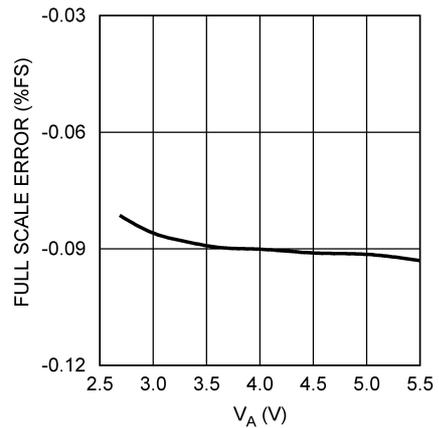
Zero Code Error vs. Clock Duty Cycle



Zero Code Error vs. Temperature

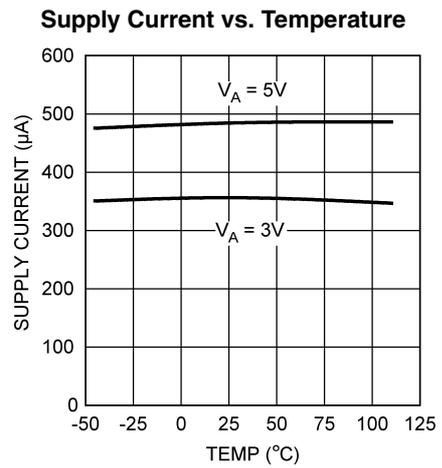
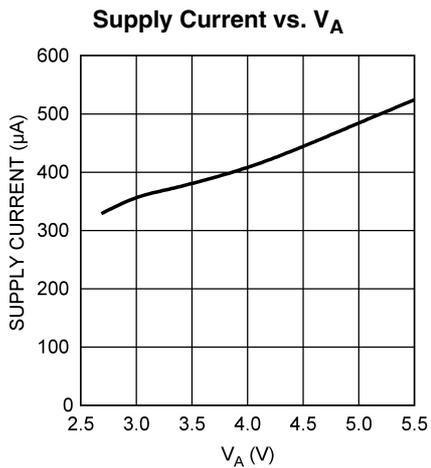
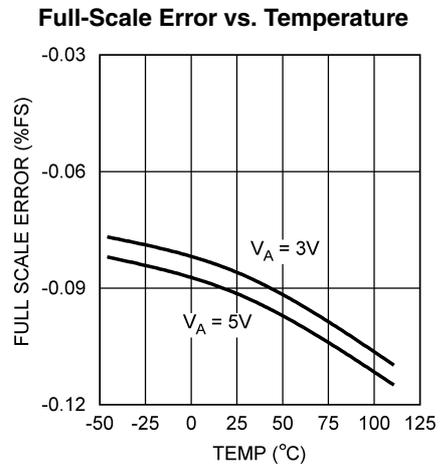
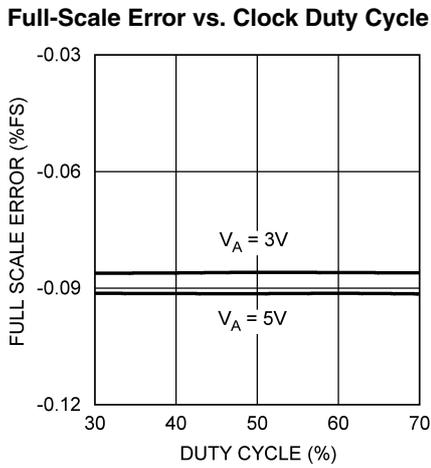
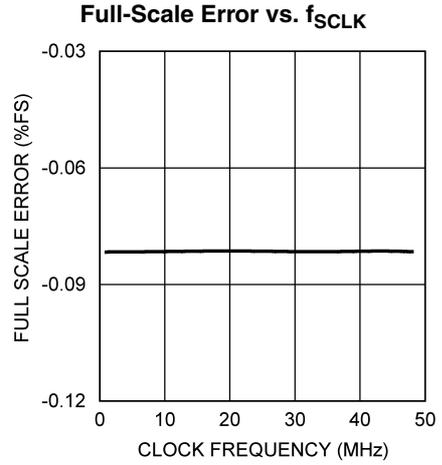
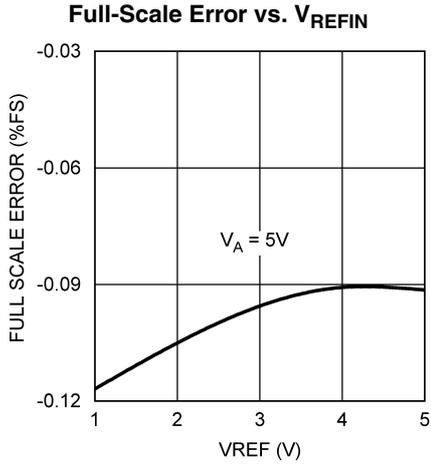


Full-Scale Error vs. V_A



代表的な性能特性 (つづき)

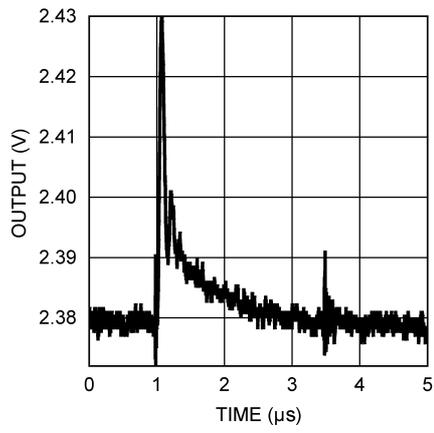
特記のない限り、 $V_{REF} = V_A$ 、 $f_{SCLK} = 30\text{MHz}$ 、 $T_A = 25$ 、入力コード範囲 48 ~ 4047。



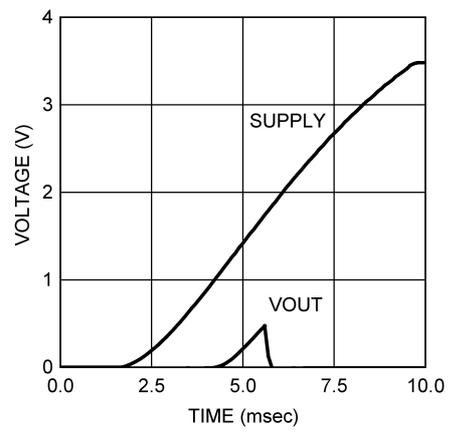
代表的な性能特性 (つづき)

特記のない限り、 $V_{REF} = V_A$ 、 $f_{SCLK} = 30\text{MHz}$ 、 $T_A = 25$ 、入力コード範囲 48 ~ 4047。

5V Glitch Response



Power-On Reset



1.0 機能説明

1.1 DAC セクション

DAC124S085 は CMOS プロセスで製造され、出力バッファの前段をスイッチと抵抗ストリングで構成するアーキテクチャを採用しています。V_{REFIN} ピンを通じて外部から与えられるリファレンス電圧は 4 系統の DAC すべてで共有されます。

説明を簡単にするために、Figure 3 に 1 回路分の抵抗列を示します。このストリングは 4096 値と等価の抵抗と、2 個の抵抗の接続部にそれぞれスイッチを備え、各スイッチの一端はグラウンドに接続されています。DAC レジスタにロードされたコードによって閉じるべきスイッチ回路が決まり、適切なノードがアンプに接続されます。入力コードの形式はストレート・バイナリで理想出力電圧は次のとおりです。

$$V_{OUTA,B,C,D} = V_{REFIN} \times (D/4096)$$

ここで、D は DAC レジスタに読み込まれたバイナリ・コードと等価な 10 進数です。D は 0 から 4095 の間の任意の値を取り得ます。この動作は DAC のモトニック性 (単調上昇) を保証します。

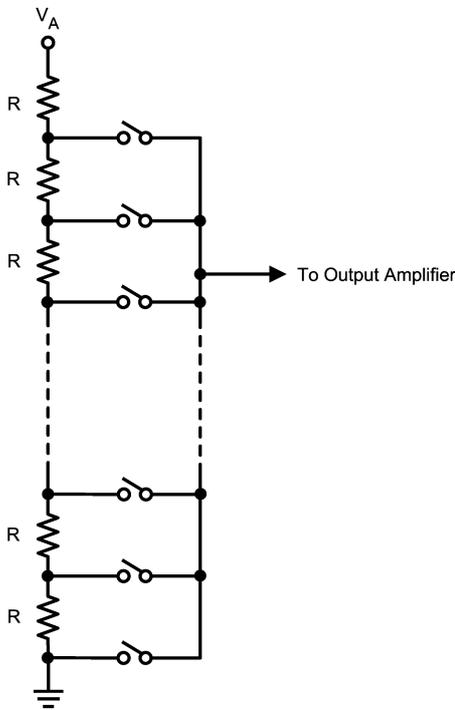


FIGURE 3. DAC Resistor String

1.2 出力アンプ

出力アンプはフルスイングに対応しており、リファレンス電圧が V_A のとき、0V から V_A の範囲の出力電圧が得られます。すべてのアンプは、それがフルスイング対応のアンプの場合でも、出力電圧が電源電圧の両端の値 (この場合は 0V および V_A) に近づくにつれて直線性が悪化します。そのため、リニアリティは DAC の全出力範囲より狭い範囲で規定されます。ただし、リファレンス電圧が V_A より小さい場合、直線性が悪化するのはいずれの側の小さい側のみとなります。アンプの出力能力は電氣的特性の表に規定されています。

出力アンプは、2k の負荷と、それと並列にグラウンドまたは V_A との間に接続された 1500pF を駆動できます。ある負荷電流でのゼロコード出力とフルスケール出力は電氣的特性の表に規定されています。

1.3 リファレンス電圧

DAC124S085 は 4 チャンネルすべてで共有される単一の外部リファレンス電圧を使います。リファレンス・ピン V_{REFIN} の入力インピーダンスは 30k で、バッファされていません。V_{REFIN} は低出力インピーダンスの電圧源で駆動してください。リファレンス電圧範囲は 1.0V ~ V_A であるため、可能な限り広い出力ダイナミック・レンジを確保できます。

1.4 シリアル・インタフェース

3 線式インタフェースは SPITM、QSPI、MICROWIRE、およびほとんどの DSP インタフェースと互換性があり、最高 40MHz のクロック・レートで動作します。ライト・シーケンスの詳細はタイミング図を参照してください。

ライト・シーケンスは SYNC 信号を Low にした時点から始まります。SYNC を Low にすると、D_{IN} ピンのデータは SCLK クロックの立ち下がりがエッジで 16 ビット・シリアル入力レジスタに取り込まれます。シフトレジスタへの誤った取り込みを防ぐために、SCLK の立ち下がりと同時に SYNC を Low にしないでください (Figure 2 の Serial Timing Diagram を参照)。16 番目の立ち下がりがエッジで最終データ・ビットが取り込まれ、プログラミングされた機能が実行されます (DAC チャンネル・アドレス指定、動作モード指定、レジスタ内容の変更)。この時点で SYNC ピンは Low に維持したままでも、あるいは High にしてもかまいません。16 番目の立ち下がりがエッジは先後のデータとクロック・パルスは無視されます。いずれの場合も、SYNC の立ち下がりがエッジを使用して次のライト・シーケンスを開始する前に、SYNC を最小規定時間以上 High にしなければなりません。

SYNC バッファと D_{IN} バッファはそれぞれピン電圧が High のときにより多くの電流を引き込むため、消費電力を抑えるにはライト・シーケンス中以外は Low に維持してください。

1.5 入力シフトレジスタ

入力シフトレジスタは Figure 4 のとおり 16 ビットで構成されています。先頭の 2 ビット (A1、A0) はアドレス・ビットです。このビットはレジスタ・データの転送先を、DAC A、DAC B、DAC C、DAC D のいずれかに指定します。アドレス・ビットに続く 2 ビット (OP1、OP0) は動作モードを決定します (DAC レジスタには書き込むが 4 つの DAC の出力はいずれも更新しない、DAC レジスタに書き込んで 4 つの DAC すべての出力を更新する、4 つの DAC のレジスタすべてに書き込みその出力を更新する、あるいは、4 つのすべての出力をパワーダウンする)。シフトレジスタの残りの 12 ビットはデータ・ビットです。データ・フォーマットはストレート・バイナリ (MSB が先頭で LSB が末尾) で、すべて 0 のときに出力は 0V、すべて 1 のときに出力は V_{REFIN} - 1LSB のフルスケールになります。シリアル入力レジスタの内容は SCLK の 16 番目の立ち下がりがエッジで DAC レジスタに転送されます。Figure 2 のタイミング図を参照してください。

1.0 機能説明 (つづき)

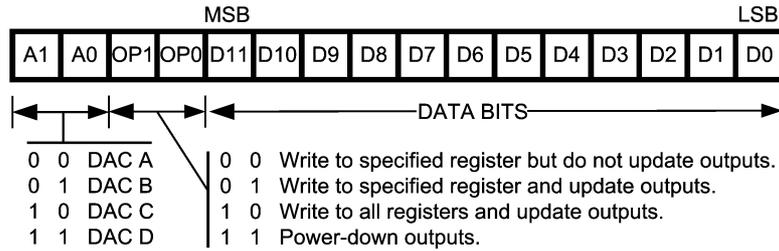


FIGURE 4. Input Register Contents

通常、 $\overline{\text{SYNC}}$ 信号は SCLK の 16 個の立ち下がりエッジ期間中は Low に維持します。DAC は 16 番目の立ち下がりエッジで更新されます。仮に 16 番目の立ち下がりエッジは先に $\overline{\text{SYNC}}$ を High にすると、シフトレジスタへのデータ転送は中止され、ライト・シーケンスは無効になります。この場合、DAC レジスタは更新されず、動作モードの変更あるいは DAC 出力電圧の更新は行われません。

1.6 パワーオン・リセット

パワーオン・リセット回路はパワーアップ中の 4 つの DAC の出力電圧を制御します。電源投入時に、DAC レジスタにはゼロが書き込まれ出力電圧は 0V になります。DAC に有効な書き込みが行われるまで出力は 0V を維持します。

1.7 パワーダウン・モード

DAC124S085 のパワーダウン・モードにはさらに 4 つのモードがあります。そのうち 2 つは同じです。パワーダウン・モードのとき消費電流は、3V で 20 μA 、5V で 30 μA に減少します。DAC124S085 は OP1 と OP0 に 11 を設定するとパワーダウン・モードに移行します。このモードでは 4 つの DAC すべてがパワーダウンされ、アドレス・ビット A1 と A0 で DAC 出力の終端方法を選択します。A1 と A0 を 00 または 11 にすると出力はハイ・インピーダンスになります。A1 と A0 を 01 または 10 に設定すると、出力はグラウンドに対してそれぞれ 2.5k Ω または 100k Ω で終端されます (Table 1 参照)。

TABLE 1. Power-Down Mode

A1	A0	OP1	OP0	Operating Mode
0	0	1	1	High-Z outputs
0	1	1	1	2.5 k Ω to GND
1	0	1	1	100 k Ω to GND
1	1	1	1	High-Z outputs

いずれのパワーダウン・モードでも、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他のリニア回路はすべてシャットダウンされます。ただし、DAC レジスタの内容はパワーダウン・モードによる影響を受けません。各 DAC レジスタは、パワーダウンからの復帰を指示するライト・シーケンスで変更されない限り、DAC124S085 がパワーダウンになる前の値を保持します。消費電力は、パワーダウン・モードに加えて、 $\overline{\text{SYNC}}$ と D_{IN} を Low にして SCLK を停止したときに最も小さくなります。パワーダウンからの復帰時間 (ウェイクアップ時間) の代表値 t_{WU} は「AC 特性とタイムング仕様」の表に記載されています。

2.0 アプリケーション情報

2.1 リファレンス電圧を電源として使用

DAC124S085 は構成が単純で使い勝手に優れますが、リファレンス入力 (V_{REFIN}) から V_{OUT} に至るパスは、本質的に電源電圧除去比 (PSRR) が優れていないことを理解しておく必要があります。そのため V_{REFIN} にはノイズのないクリーンな電源を与えなければなりません。DAC124S085 のダイナミックレンジを最大限に利用するには、電源ピン (V_{A}) と V_{REFIN} を結線して、同一の電源電圧を分配します。DAC124S085 はきわめて少ない電力しか消費しないので、リファレンス・ソースをリファレンス入力だけではなく電源としても使用することが可能です。電圧レギュレータをリファレンス・ソースとして使うメリットは精度と安定性です。一部の低ノイズ・レギュレータも使えます。以下に DAC124S085 のリファレンス・ソースおよび電源として最適なデバイスをリストアップします。

2.1.1 LM4130

温度範囲にわたって 0.05% の精度を持つ LM4130 は DAC124S085 のリファレンス・ソースとして好適です。0V から 4.095V の出力範囲が好ましい場合、あるいは許容される場合、4.096V 品が使えます。LM4130 の VIN ピンを 0.1 μF コンデンサでバイパスし、VOUT ピンを 2.2 μF でバイパスすると、安定性が高まり出力ノイズが減少します。LM4130 は小型 5 ピン SOT23 パッケージで供給されます。

2.0 アプリケーション情報 (つづき)

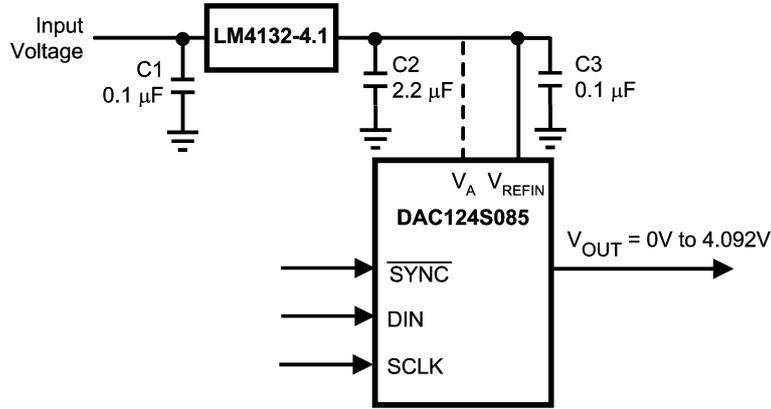


FIGURE 5. The LM4130 as a power supply

2.1.2 LM4050

精度 0.44% の LM4050 ショート・リファレンスも DAC124S085 のリファレンス・ソースとして好適です。4.096V 品と 5V 品とがあり、小型 3 ピン SOT23 パッケージで供給されます。

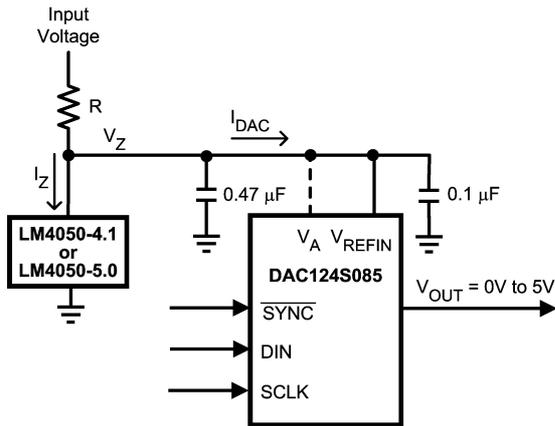


FIGURE 6. The LM4050 as a power supply

Figure 9 の回路で抵抗 R の最小値は、LM4050 を流れる最大電流が定格の 15mA を超えないように選択する必要があります。電流が最大となる条件は、入力電圧が最も高く、LM4050 の出力

電圧が最も低く、DAC124S085 の引き込み電流が最も小さい場合です。また、抵抗 R の最大値は、LM4050 がレギュレーションに必要な最小電流に加えて、DAC124S085 がフル動作をしたときの最大電流が流せるように設定します。電流が最小となる条件は、入力電圧が最も低く、LM4050 の出力電圧が最も高く、抵抗の誤差が最も大きい側にあつて、DAC124S085 が最大電流を引き込んでいる場合です。これらの条件は次のように記述することができます。

$$R(\min) = (V_{IN(\max)} - V_Z(\min)) / I_Z(\max)$$

および

$$R(\max) = (V_{IN(\min)} - V_Z(\max)) / (I_{DAC(\max)} + I_Z(\min))$$

ここで、 $V_Z(\min)$ と $V_Z(\max)$ は LM4050 の公称出力電圧 ± 全温度範囲での LM4050 出力電圧許容誤差、 $I_Z(\max)$ は LM4050 を流れる最大許容電流、 $I_Z(\min)$ は LM4050 の適切なレギュレーションに必要な最小電流、 $I_{DAC(\max)}$ は DAC124S085 の最大消費電流です。

2.1.3 LP3985

LP3985 は低ノイズの超低ドロップアウト電圧レギュレータで、精度は温度範囲にわたって 3% です。高精度なリファレンスを必要としない DAC124S085 アプリケーションに好適です。3.0V 品、3.3V 品、5V 品などがあり、低周波数の 30μV という低ノイズを誇ります。低周波ノイズはフィルタリングが難しいため、この仕様は一部のアプリケーションでは問題になります。LP3985 は小型 5 ピン SOT23 パッケージと 5 パンプ micro SMD パッケージで供給されます。

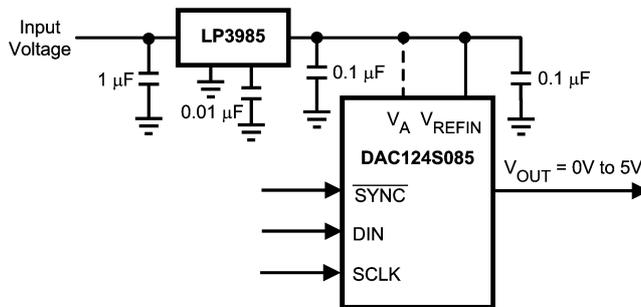


FIGURE 7. Using the LP3985 regulator

2.0 アプリケーション情報 (つづき)

入力コンデンサは 1.0 μ F で LP3985 の入力側にはいかなる ESR 要件も必要としません。一方、出力には 5m から 500m の範囲の ESR を持つ 1.0 μ F のセラミック・コンデンサが必要です。デバイスの適切な動作を確保するため、コンデンサの仕様は十分注意して読み解いてください。

2.1.4 LP2980

LP2980 は超低ドロップアウト・レギュレータで、精度はグレードに応じて異なり、温度範囲にわたって 0.5% または 1.0% です。3.0V 品、3.3V 品、5V 品などがあります。

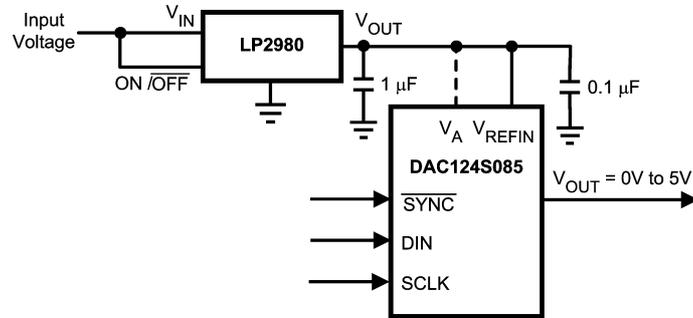


FIGURE 8. Using the LP2980 regulator

他の低ドロップアウト・レギュレータと同様に、LP2980 はループ安定性を確保するために出力コンデンサを必要とします。出力コンデンサは温度範囲にわたって少なくとも 1.0 μ F の容量が必要であり、2.2 μ F 以上でより良好な性能が得られます。コンデンサの ESR は LP2980 データシートで規定される範囲内になければなりません。面実装タンタル・コンデンサが物理的な大きさと ESR の両面で適当です。セラミック・コンデンサはその小ささが特長ですが、LP2980 に使用するには一般に ESR 値が小さすぎます。アルミ電

解コンデンサはサイズが大きく低温側で ESR 値が高くなるため、一般に適切ではありません。

2.2 バイポーラ動作

DAC124S085 は単一電源動作で設計されているため、出力はユニポーラです。ただし、Figure 9 の回路を使用すればバイポーラ出力が得られます。この回路の出力電圧範囲は ± 5 V です。アンプ電源が ± 5 V の場合はフルスイング・アンプを使用してください。

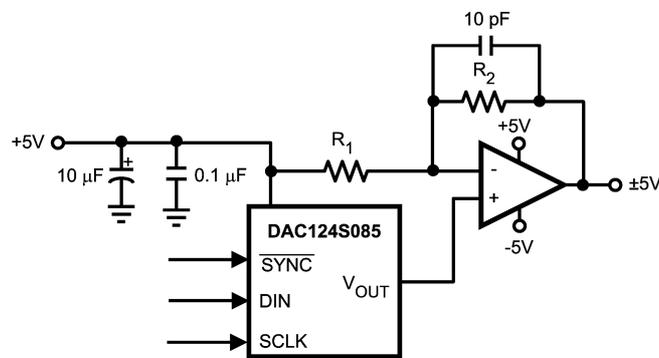


FIGURE 9. Bipolar Operation

あるコードが与えられたとき、この回路の出力電圧は次のとおりです。

$$V_O = (V_A \times (D / 4096) \times ((R_1 + R_2) / R_1) - V_A \times R_2 / R_1)$$

ここで、D は 10 進で表した入力コードです。 $V_A = 5$ V、 $R_1 = R_2$ のとき、

$$V_O = (10 \times D / 4096) - 5$$

このアプリケーションに適したフルスイング・アンプの一覧を Table 2 に示します。

TABLE 2. Some Rail-to-Rail Amplifiers

AMP	PKGS	Typ V_{OS}	Typ I_{SUPPLY}
LMC7111	DIP-8 SOT23-5	0.9 mV	25 μ A
LM7301	SO-8 SOT23-5	0.03 mV	620 μ A
LM8261	SOT23-5	0.7 mV	1 mA

2.0 アプリケーション情報 (つづき)

2.3 DSP/ マイクロプロセッサとのインタフェース

DAC124S085 とマイクロプロセッサや DSP とのインタフェースはごく単純です。以下のガイドラインを活用して設計プロセス期間を短縮してください。

2.3.1 ADSP-2101/ADSP2103 とのインタフェース

Figure 10 に DAC124S085 と ADSP-2101/ADSP2103 間のシリアル・インタフェースを示します。DSP は SPORT Transmit Alternate Framing Mode 動作に設定します。プログラミングは SPORT 制御レジスタを介して行い、Internal Clock Operation、Active Low Framing、16-bit Word Length に構成します。転送は SPORT モードをイネーブルにした後の Txレジスタへのワード書き込みで始まります。

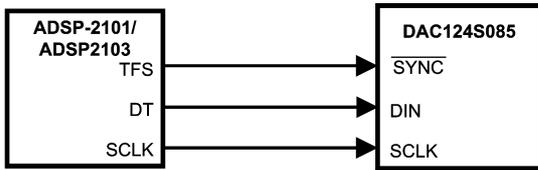


FIGURE 10. ADSP-2101/2103 Interface

2.3.2 80C51/80L51 とのインタフェース

DAC124S085 と 80C51/80L51 マイクロコントローラ間のシリアル・インタフェースを Figure 11 に示します。SYNC 信号はマイクロコントローラのビットプログラマブル・ピンから出力されます。この例ではポート・ライン P3.3 を使用しています。この信号はデータが DAC124S085 に転送されるときに Low になります。80C51/80L51 は 8 ビット・バイトを転送するため、送信サイクルには立ち下がりがクロック・エッジは 8 個しか存在しません。DAC にデータをロードするには 1 回目の 8 ビット転送後も P3.3 信号を Low に維持しておく必要があります。2 回目の書き込みサイクルを開始してデータの第 2 バイトを転送した後、ポートライン P3.3 を High にします。80C51/80L51 が LSB を先頭にデータを送信するのに対して DAC124S085 は MSB を先頭にロードする点に注意して、80C51/80L51 の送信ルーチンを作成してください。

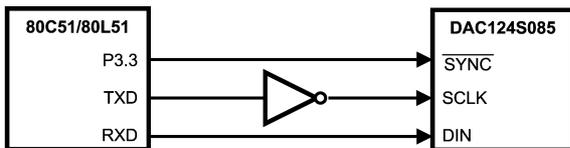


FIGURE 11. 80C51/80L51 Interface

2.3.3 68HC11 とのインタフェース

DAC124S085 と 68HC11 マイクロコントローラ間のシリアル・インタフェースを Figure 12 に示します。DAC124S085 の SYNC ラインは、80C51/80L51 の場合と同様にポート・ライン (図の PC7) から駆動します。

68HC11 の CPOL ビットをゼロに設定し CPHA ビットを 1 に設定してください。この設定によって MOSI 出力のデータは SCLK クロックの立ち下がりがエッジで有効になります。PC7 が Low になると DAC にデータが転送されます。68HC11 は 8 ビット・バイトのデータを 8 つのクロックの立ち下がりがエッジに同期して送信します。データは MSB を先頭に送信されます。PC7 は 1 回目の 8 ビット転送が終わった後も Low に維持しておかなければなりません。2 回目の書

き込みサイクルを開始して DAC に 2 番目のデータを転送した後、PC7 を High にしてライト・シーケンスを終了します。

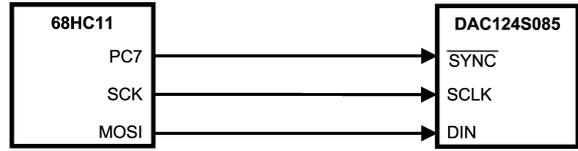


FIGURE 12. 68HC11 Interface

2.3.4 Microwire インタフェース

Figure 13 に Microwire 互換デバイスと DAC124S085 間のインタフェースを示します。データは SK 信号の立ち上がりエッジで出力されます。そのため、Microwire デバイスの SK は DAC124S085 の SCLK を駆動する前に反転が必要です。

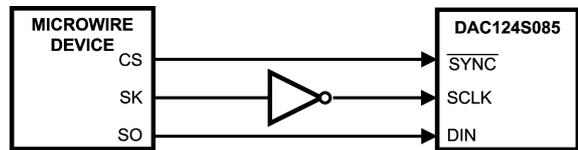


FIGURE 13. Microwire Interface

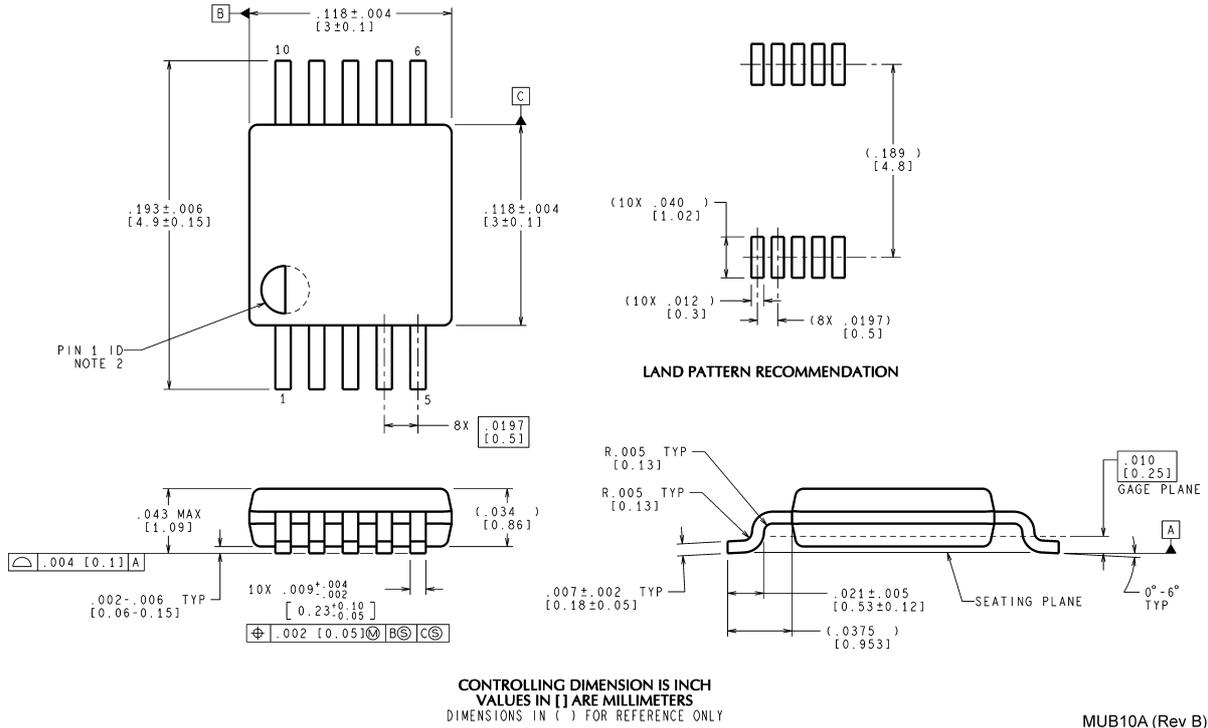
2.4 レイアウト、グラウンド、バイパス

変換精度を可能な限り高めノイズをできるだけ抑えるには、DAC124S085 を実装するプリント回路板上でアナログ領域とデジタル領域とを分離する必要があります。これらの領域はアナログ電源層とデジタル電源層の割り当てによって決まります。両方の電源層は同一の基板層に配置してください。また、グラウンド層は単一グラウンドとして構成してください。単一グラウンド層が適切な条件は、デジタル・リターン電流がアナログ・グラウンド領域を流れない場合です。一般に単一グラウンド層設計では、「遮断」テクニックを使ってアナログ・グラウンド電流とデジタル・グラウンド電流との混入を防止します。個別グラウンド層は遮断テクニックが不適切な場合にのみ使用してください。個別グラウンド層の場合は、可能ならば DAC124S085 の近くで、一点でのみ互いを接続します。エッジ・レートが高速なデジタル信号がグラウンド層の分割境界をまたがないように十分注意してください。このようなデジタル信号は信号トレースの直下に連続したリターン・パスを形成してしまうからです。

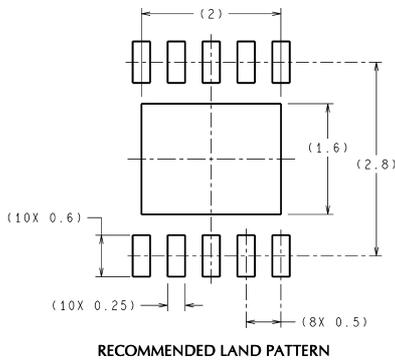
DAC124S085 の電源はデバイスの近くに配置した 10µF と 0.1µF コンデンサでバイパスしてください。0.1µF をデバイスの電源側に配置します。10µF コンデンサにはタンタル・タイプを使用してください。0.1µF コンデンサは低 ESL かつ低 ESR でなければなりません。DAC124S085 に与える電源はアナログ回路とのみ共用してください。

アナログ信号とデジタル信号の交差は避け、クロックとデータ・ラインは基板の部品面にルーティングしてください。クロックとデータ・ラインの各トレースは管理されたインピーダンスで設計します。

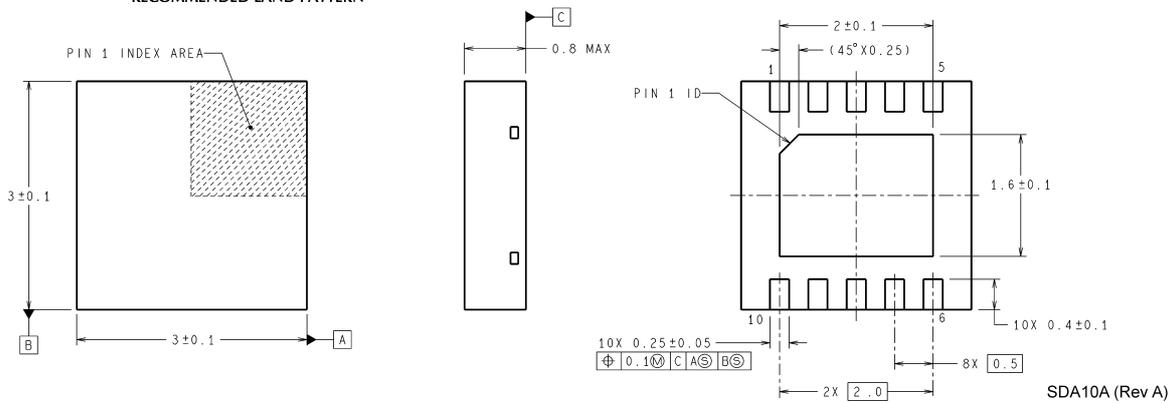
外形寸法図 特記のない限り inches (millimeters)



10-Lead MSOP
Order Numbers DAC124S085C1MM
NS Package Number MUB10A



DIMENSIONS ARE IN MILLIMETERS
 DIMENSIONS IN () FOR REFERENCE ONLY



10-Lead LLP
Order Numbers DAC124S085C1SD
NS Package Number SDA10A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認することを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上