

CSD87503Q3E 30V NチャネルNexFET™ パワーMOSFET

1 特長

- デュアルNチャネルの共通ソースMOSFET
- 5Vゲートの駆動に最適化
- 低い熱抵抗
- 低い Q_g および Q_{gd}
- 鉛フリーの端子メッキ処理
- RoHS準拠
- ハロゲン不使用
- SON 3.3mm×3.3mmプラスチック・パッケージ

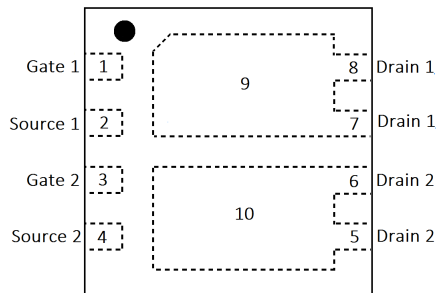
2 アプリケーション

- USB Type-C/PD VBus保護
- バッテリー保護
- ロード・スイッチ

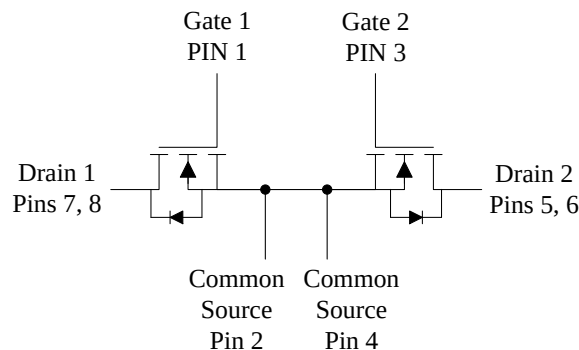
3 概要

CSD87503Q3Eは30V、13.5mΩの共通ソース、デュアルNチャネル・デバイスで、USB Type-C/PDおよびバッテリー保護用に設計されています。SON 3.3×3.3mmのデバイスで、ドレイン間のオン抵抗が低く、損失が最小化されるため、容積の制限されるアプリケーションで部品数を減らすために役立ちます。

上面図



回路イメージ



製品概要

T _A = 25°C		値		単位
V _{DS}	ドレイン-ソース間電圧	30		V
Q _g	ゲートの合計電荷(4.5V)	13.4		nC
Q _{gd}	ゲート電荷、ゲート-ドレイン間	5.8		nC
R _{DD(on)}	ドレイン間のオン抵抗	V _{GS} = 4.5V	17.3	mΩ
		V _{GS} = 10V	13.5	
V _{GS(th)}	スレッシュホールド電圧	1.7		V

製品情報⁽¹⁾

デバイス	数量	メディア	パッケージ	出荷
CSD87503Q3E	2500	13インチ・リール	SON 3.30mm×3.30mm	データ・アンド・リール
CSD87503Q3ET	250	7インチ・リール	プラスチック・パッケージ	

(1) 提供されているすべてのパッケージについては、巻末の注文情報を参照してください。

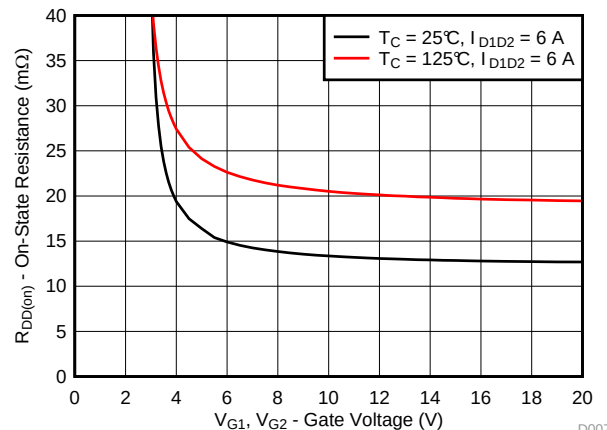
絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン-ソース間電圧	30	V
V_{GS}	ゲート-ソース間電圧	±20	V
$I_{D1, D2}$	連続ドレイン間電流(パッケージによる制限)	10	A
I_{DS}	連続ドレイン-ソース間電流(パッケージによる制限)	1.5	A
$I_{D1, D2M}$	パルス・ドレイン間電流 ⁽¹⁾	89	A
P_D	消費電力 ⁽²⁾	2.6	W
P_D	消費電力、 $T_C = 25^\circ\text{C}$	15.6	W
T_J , T_{stg}	動作時の接合部、 保管温度	-55~150	°C

(1) 最大 $R_{\theta JC} = 8^\circ\text{C/W}$ 、パルス期間 $\leq 100\mu\text{s}$ 、デューティ・サイクル $\leq 1\%$

(2) 0.06in (1.52mm)厚のFR4 PCB上の面積 1in^2 (6.45cm²)、2oz (0.071mm)厚のCuパッドで、標準 $R_{\theta JA} = 50^\circ\text{C/W}$ の場合

$R_{DD(on)}$ と V_{GS} との関係



D007

目次

1	特長	1	6.1	ドキュメントの更新通知を受け取る方法	7
2	アプリケーション	1	6.2	コミュニティ・リソース	7
3	概要	1	6.3	商標	7
4	改訂履歴	2	6.4	静電気放電に関する注意事項	7
5	Specifications	3	6.5	Glossary	7
	5.1 Electrical Characteristics.....	3	7	メカニカル、パッケージ、および注文情報	8
	5.2 Thermal Information	3		7.1 Q3パッケージの寸法.....	8
	5.3 Typical MOSFET Characteristics.....	4		7.2 推奨されるPCBパターン	9
6	デバイスおよびドキュメントのサポート	7		7.3 推奨されるステンシル開口部	9

4 改訂履歴

日付	改訂内容	注
2017年9月	*	初版

5 Specifications

5.1 Electrical Characteristics

 $T_A = 25^\circ\text{C}$ (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV _{DSS}	Drain-to-source voltage ⁽¹⁾	V _{GS} = 0 V, I _D = 250 μA	30			V
I _{DSS}	Drain-to-source leakage current ⁽¹⁾	V _{GS} = 0 V, V _{DS} = 24 V			1	μA
I _{GSS}	Gate-to-source leakage current ⁽¹⁾	V _{DS} = 0 V, V _{GS} = 20 V			100	nA
V _{GS(th)}	Gate-to-source threshold voltage ⁽¹⁾	V _{DS} = V _{GS} , I _D = 250 μA	1.3	1.7	2.1	V
R _{DD(on)}	Drain-to-drain on-resistance	V _{GS} = 4.5 V, I _{D1D2} = 6 A		17.3	21.9	mΩ
		V _{GS} = 10 V, I _{D1D2} = 6 A		13.5	16.9	
g _{fs}	Transconductance	V _{DS} = 3 V, I _{D1D2} = 6 A		24		S
DYNAMIC CHARACTERISTICS						
C _{ISS}	Input capacitance	V _{GS} = 0 V, V _{D1D2} = 15 V, f = 1 MHz		782	1020	pF
C _{OSS}	Output capacitance			157	204	pF
C _{RSS}	Reverse transfer capacitance			149	194	pF
R _g	Series gate resistance ⁽¹⁾			1.5	3.0	Ω
Q _g	Gate charge total (4.5 V)	V _{D1D2} = 15 V, I _{D1D2} = 6 A		13.4	17.4	nC
	Gate charge total (10 V)			32.9	42.8	
Q _{gd}	Gate charge gate-to-drain			5.8		nC
Q _{gs}	Gate charge gate-to-source			4.8		nC
Q _{g(th)}	Gate charge at V _{th}			1.0		nC
Q _{OSS}	Output charge		V _{D1D2} = 15 V, V _{GS} = 0 V		4.3	
t _{d(on)}	Turnon delay time	V _{D1D2} = 15 V, V _{GS} = 10 V, I _{D1D2} = 6 A, R _G = 0 Ω		10		ns
t _r	Rise time			40		ns
t _{d(off)}	Turnoff delay time			25		ns
t _f	Fall time			8		ns
DIODE CHARACTERISTICS						
V _{SD}	Diode forward voltage ⁽¹⁾	I _D = 0.5 A, V _{GS} = 0 V		0.75	0.95	V
Q _{rr}	Reverse recovery charge ⁽¹⁾	V _{DS} = 15 V, I _F = 6 A, di/dt = 300 A/μs		9.2		nC
t _{rr}	Reverse recovery time ⁽¹⁾			14		ns

(1) Parameter measured on both MOSFETs individually. Table values are for a single FET.

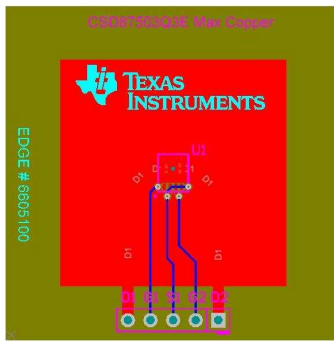
5.2 Thermal Information

 $T_A = 25^\circ\text{C}$ (unless otherwise stated)

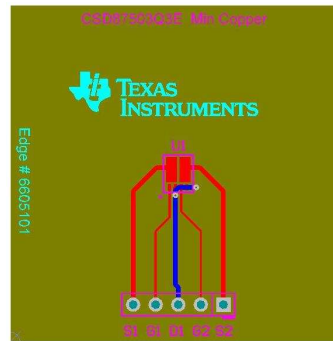
THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta JC}$	Junction-to-case thermal resistance ⁽¹⁾			8	$^\circ\text{C}/\text{W}$
$R_{\theta JA}$	Junction-to-ambient thermal resistance ⁽¹⁾⁽²⁾			60	$^\circ\text{C}/\text{W}$

(1) $R_{\theta JC}$ is determined with the device mounted on a 1-in² (6.45-cm²), 2-oz (0.071-mm) thick Cu pad on a 1.5-in × 1.5-in (3.81-cm × 3.81-cm), 0.06-in (1.52-mm) thick FR4 PCB. $R_{\theta JC}$ is specified by design, whereas $R_{\theta JA}$ is determined by the user's board design.

(2) Device mounted on FR4 material with 1-in² (6.45-cm²), 2-oz (0.071-mm) thick Cu.



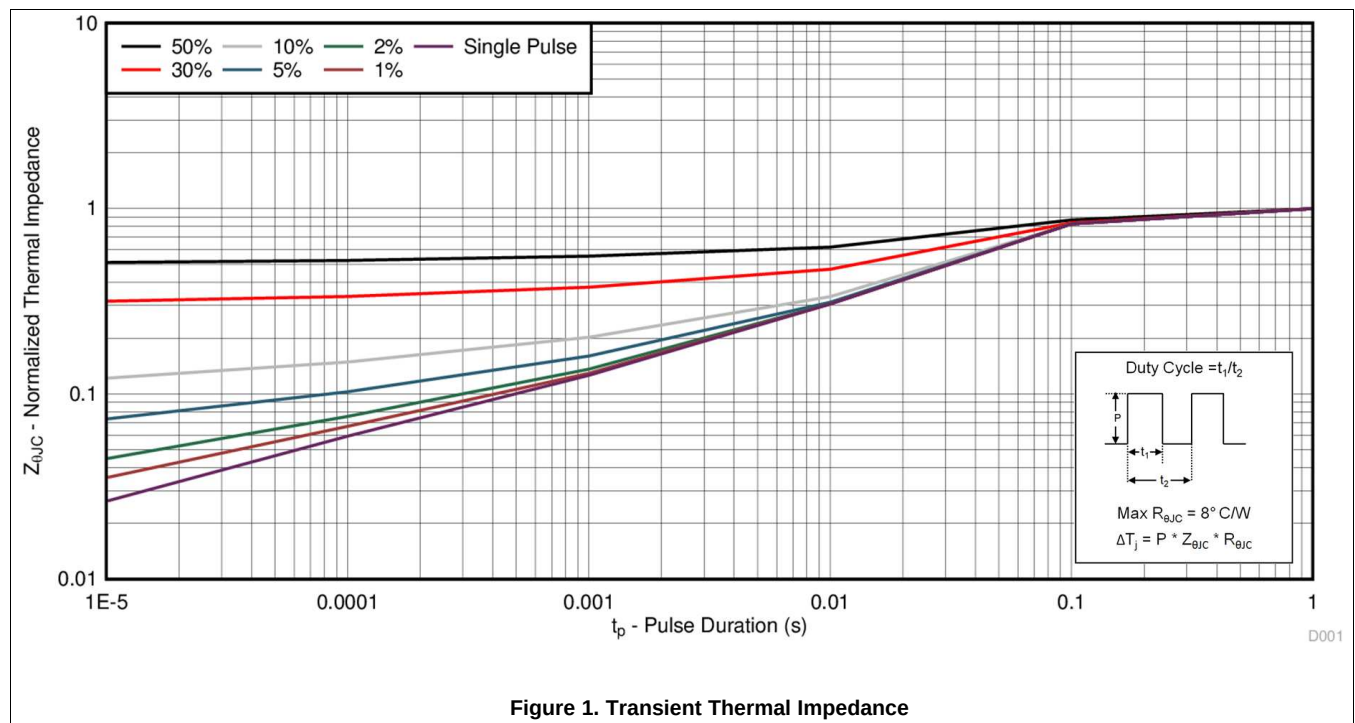
Max $R_{\theta JA} = 60^{\circ}\text{C/W}$
when mounted on 1 in²
(6.45 cm²) of
2-oz (0.071-mm) thick
Cu.



Max $R_{\theta JA} = 185^{\circ}\text{C/W}$
when mounted on a
minimum pad area of
2-oz (0.071-mm) thick
Cu.

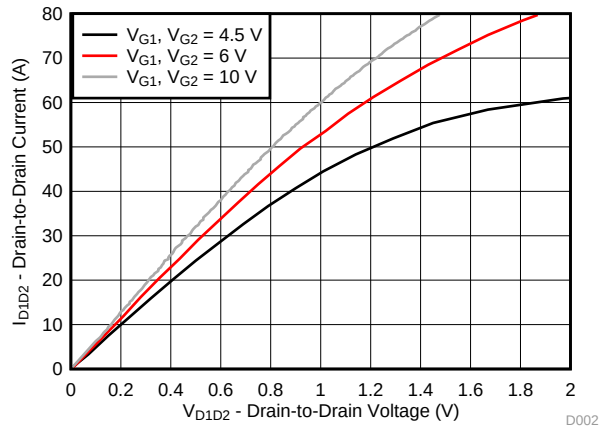
5.3 Typical MOSFET Characteristics

$T_A = 25^{\circ}\text{C}$ (unless otherwise stated)



Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ (unless otherwise stated)



Note: Measurement taken with both gates tied together

Figure 2. Saturation Characteristics

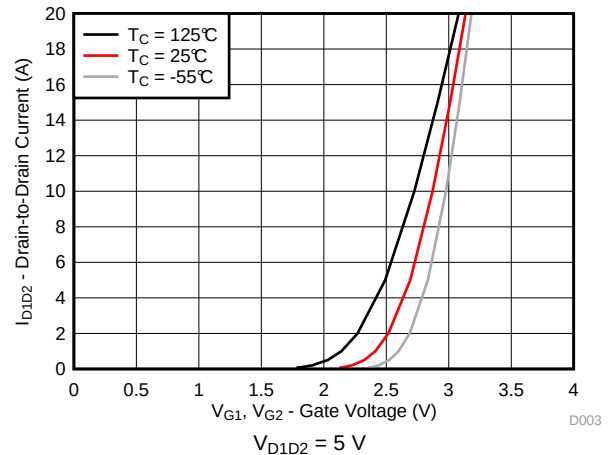


Figure 3. Transfer Characteristics

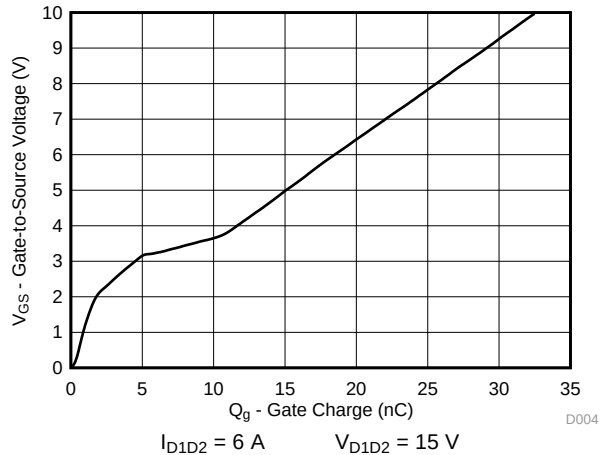


Figure 4. Gate Charge

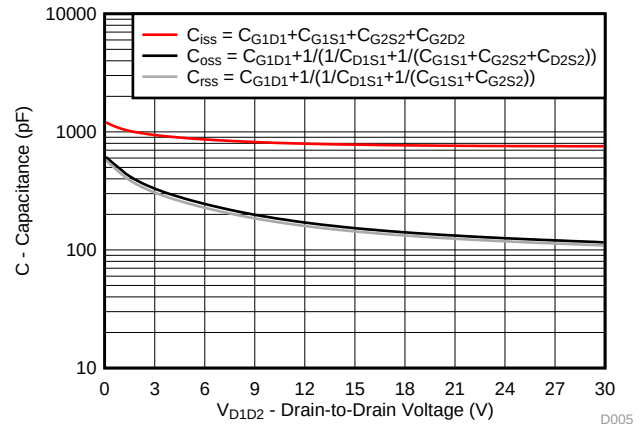


Figure 5. Capacitance

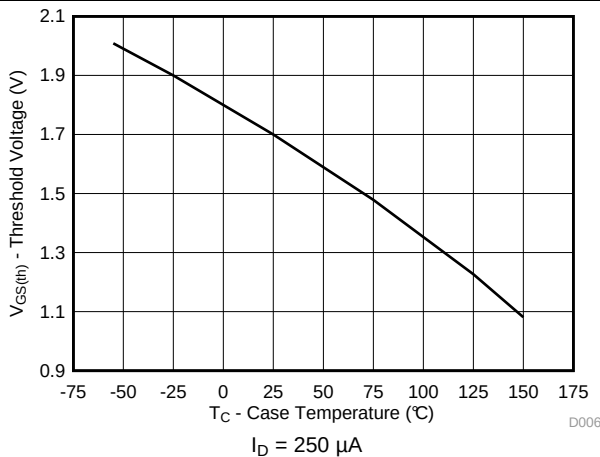


Figure 6. Threshold Voltage vs Temperature

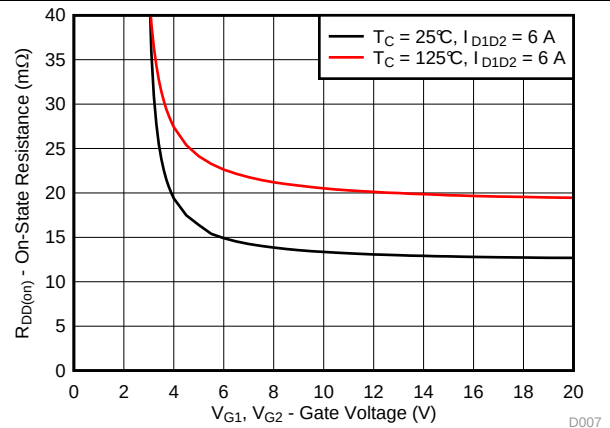


Figure 7. On-State Resistance vs Gate-to-Source Voltage

Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

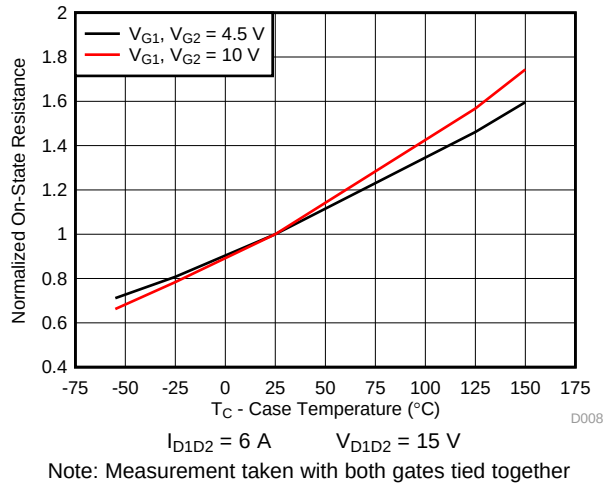


Figure 8. Normalized On-State Resistance vs Temperature

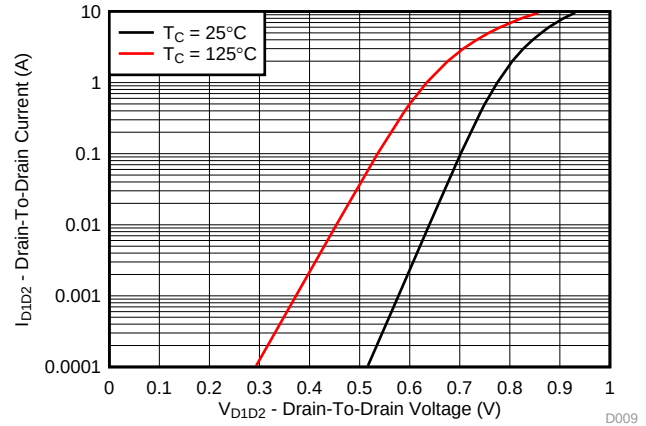


Figure 9. Typical Diode Forward Voltage

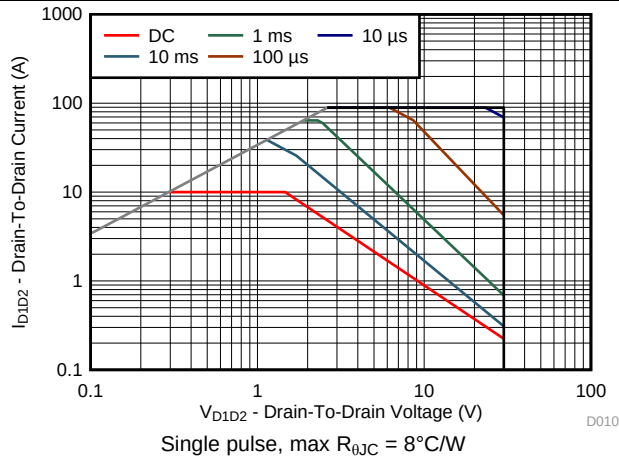


Figure 10. Maximum Safe Operating Area

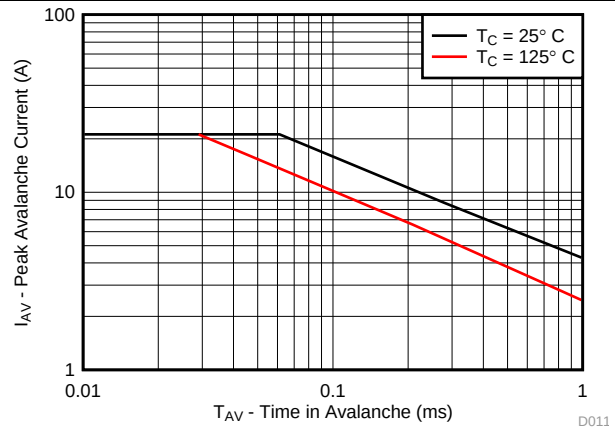


Figure 11. Single Pulse Unclamped Inductive Switching

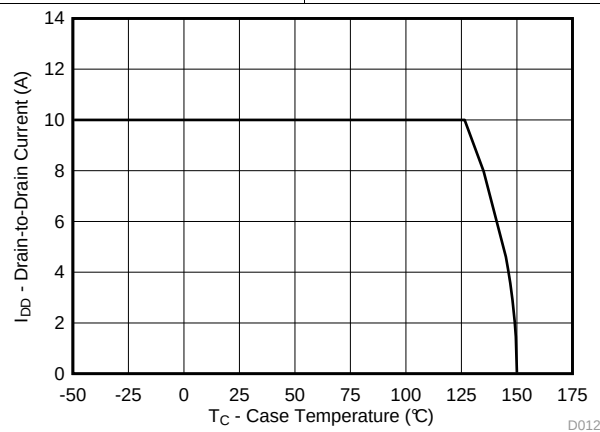


Figure 12. Maximum Drain Current vs Temperature

6 デバイスおよびドキュメントのサポート

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.comのデバイス製品フォルダを開いてください。右上の隅にある「通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™ オンライン・コミュニティ TIのE2E (*Engineer-to-Engineer*) コミュニティ。エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイデアを検討して、問題解決に役立てることができます。

設計サポート TIの設計サポート 役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。

6.3 商標

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

6.4 静電気放電に関する注意事項



これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

6.5 Glossary

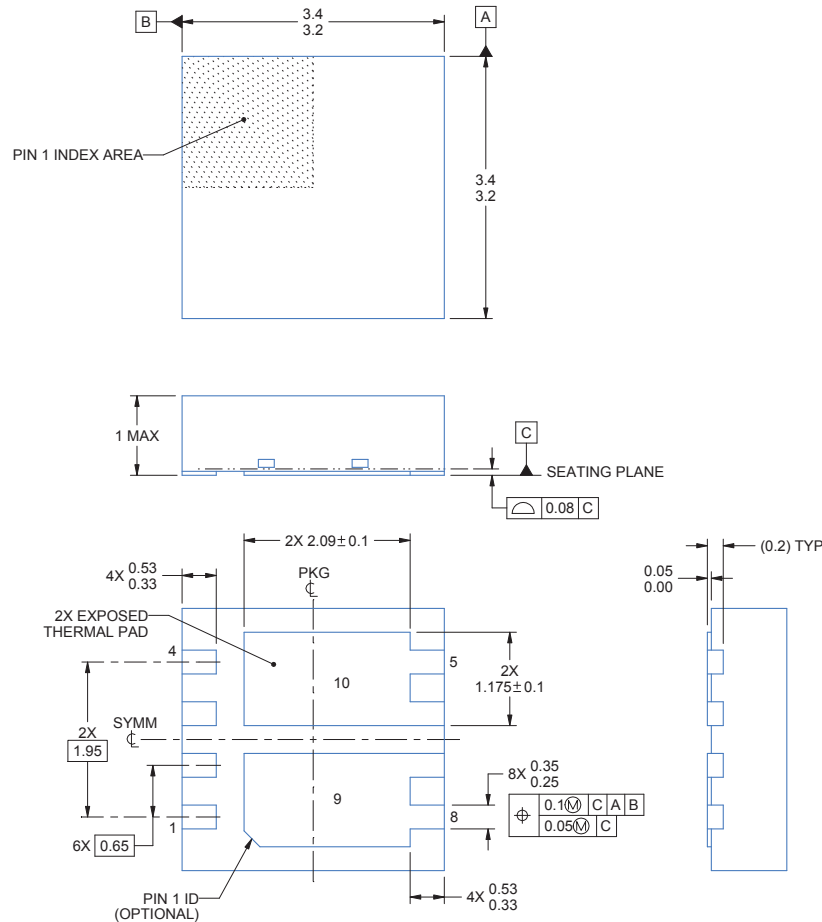
[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

7.1 Q3パッケージの寸法



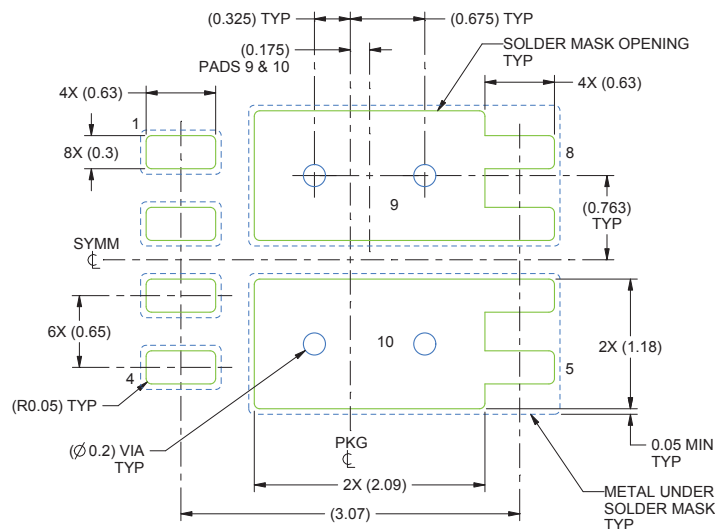
4223409/A 12/2016

- すべての直線寸法はミリメートル(mm)単位です。括弧内のすべての寸法は、参照のみを目的としたものです。寸法と許容誤差は、ASME Y14.5M準拠です。
- この図面は、予告なく変更される可能性があります。
- 熱特性および機械的な性能を実現するため、パッケージのサーマル・パッドはプリント基板にハンダ付けする必要があります。

表 1. ピン構成

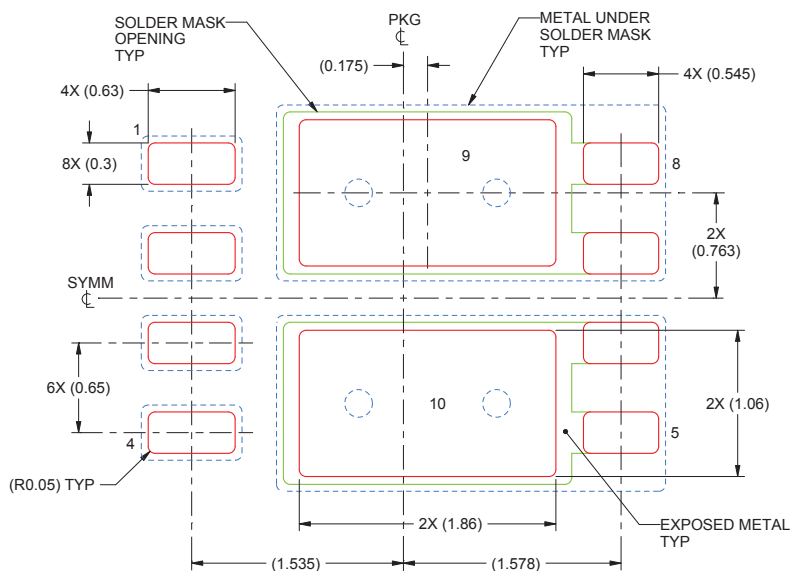
位置	機能
ピン1	ゲート1
ピン2	共通ソース
ピン3	ゲート2
ピン4	共通ソース
ピン5、6	ドレイン2
ピン7、8	ドレイン1

7.2 推奨されるPCBパターン



1. このパッケージは、基板上のサーマル・パッドにハンダ付けされるよう設計されています。詳細については、『[QFN/SON PCBアタッチメント](#)』(SLUA271)を参照してください。
2. ビアはアプリケーションに応じてのオプションです。デバイスのデータシートを参照してください。ビアを実装する場合、この図に示されているビアの位置を参考にしてください。ペーストの下ビアは埋める、プラグを付ける、またはテントで覆うことをお勧めします。
3. この図面は、予告なく変更される可能性があります。

7.3 推奨されるステンシル開口部



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PADS 9 & 10
80% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

1. レーザ・カット・アパーチャの壁面を台形にし、角に丸みを付けることで、ペースト離れが良くなります。IPC-7525には、別の設計推奨事項が存在する可能性があります。
2. この図面は、予告なく変更される可能性があります。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD87503Q3E	Active	Production	VSON (DTD) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	87503E
CSD87503Q3E.B	Active	Production	VSON (DTD) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	87503E
CSD87503Q3EG4.B	Active	Production	VSON (DTD) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	87503E
CSD87503Q3ET	Active	Production	VSON (DTD) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	87503E
CSD87503Q3ET.B	Active	Production	VSON (DTD) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	87503E

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

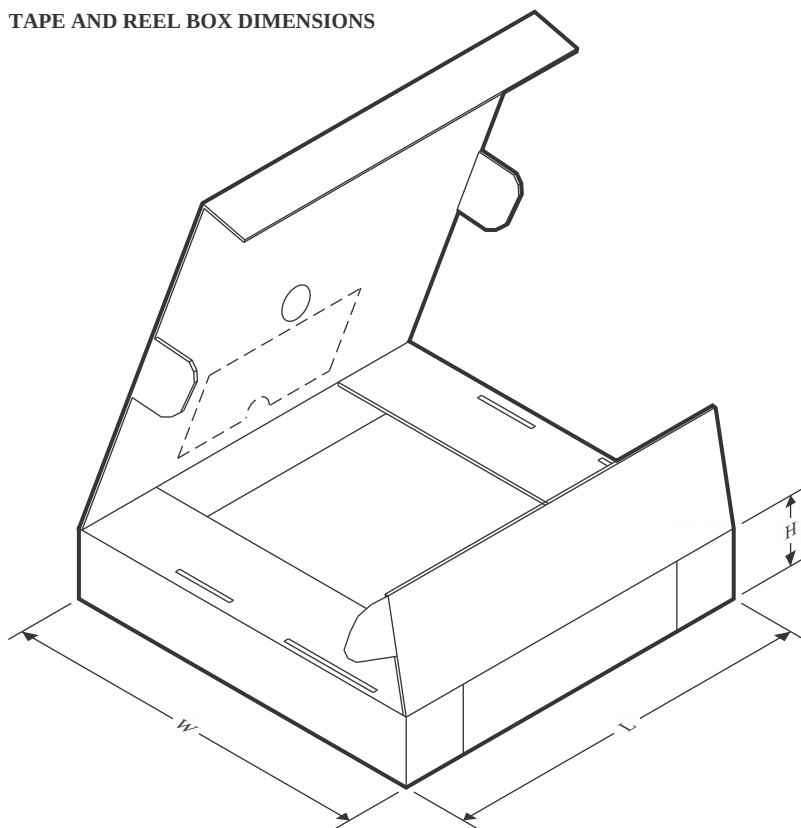
TAPE AND REEL INFORMATION



*All dimensions are nominal

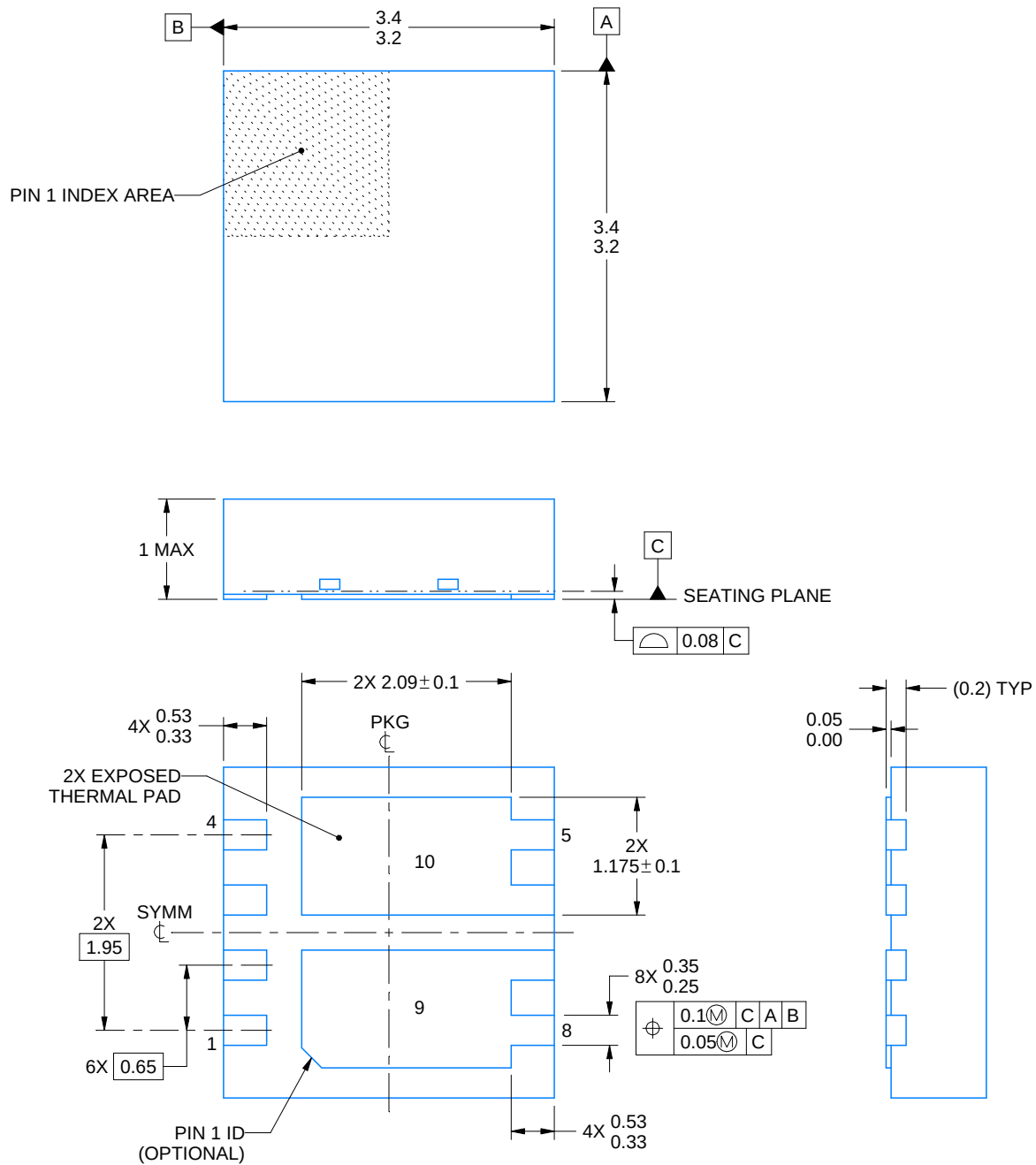
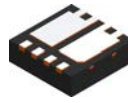
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD87503Q3E	VSON	DTD	8	2500	330.0	12.4	3.6	3.6	1.2	8.0	12.0	Q1
CSD87503Q3ET	VSON	DTD	8	250	178.0	13.5	3.6	3.6	1.2	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD87503Q3E	VSON	DTD	8	2500	364.0	357.0	31.0
CSD87503Q3ET	VSON	DTD	8	250	189.0	185.0	36.0



4223409/A 12/2016

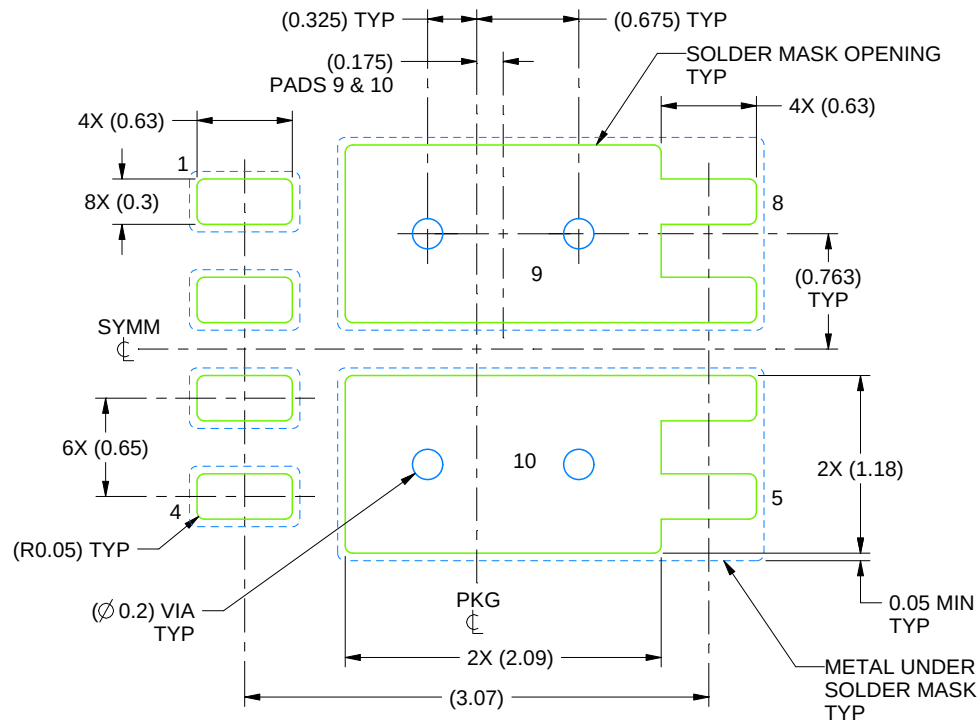
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.

DTD0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:20X

4223409/A 12/2016

NOTES: (continued)

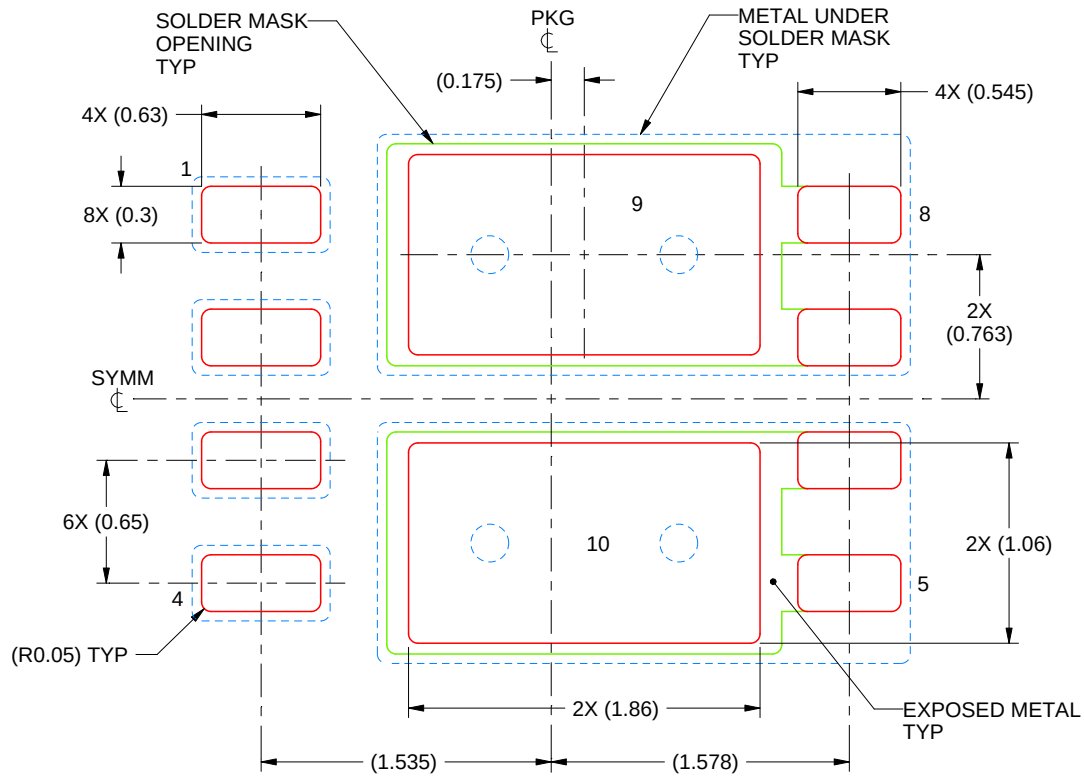
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DTD0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4223409/A 12/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月