

CSD22205L -8V P チャネル NexFET™ パワー MOSFET

1 特長

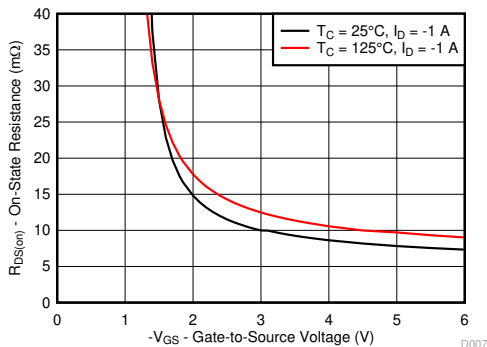
- 低い抵抗
- 1.2mm × 1.2mm の小さな占有面積
- 薄型、高さ 0.36mm
- 鉛不使用
- ゲート・ソース電圧クランプ
- ゲート ESD 保護
- RoHS に準拠
- ハロゲン不使用

2 アプリケーション

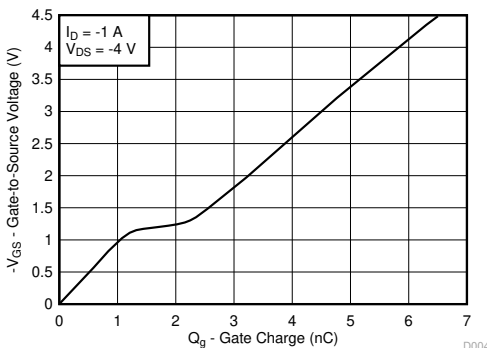
- バッテリ管理
- ロード・スイッチ
- バッテリ保護

3 概要

この -8V、8.2mΩ、1.2mm × 1.2mm LGA (Land Grid Array) の NexFET™ デバイスは、可能な限り小さな外形で、最低のオン抵抗とゲート電荷を実現し、非常に低いプロファイルで優れた熱特性を持つよう設計されています。ランド・グリッド・アレイ (LGA) パッケージはシリコン・チップ・スケール・パッケージで、ハンダ・ボールの代わりに金属のパッドを使用しています。



$R_{DS(on)}$ と V_{GS} との関係



$R_{DS(on)}$ と V_{GS} との関係

製品概要

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン - ソース間電圧	-8	V
Q_g	ゲートの合計電荷 (-4.5V)	6.5	nC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	1.0	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = -1.5\text{V}$	30
		$V_{GS} = -1.8\text{V}$	20
		$V_{GS} = -2.5\text{V}$	11.5
		$V_{GS} = -4.5\text{V}$	8.2
$V_{GS(th)}$	スレッシュホールド電圧	-0.7	V

製品情報⁽¹⁾

デバイス	数量	メディア	パッケージ	出荷形態
CSD22205L	3000	7 インチ・リール	1.20mm × 1.20mm ランド・グリッド・アレイ パッケージ	テープ・ アンド・リール
CSD22205LT	250			

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン - ソース間電圧	-8	V
V_{GS}	ゲート - ソース間電圧	-6	V
I_D	連続ドレイン電流 ⁽¹⁾	-7.4	A
I_{DM}	パルス・ドレイン電流 ⁽²⁾	-71	A
P_D	消費電力 ⁽¹⁾	0.6	W
T_J , T_{stg}	動作時の接合部温度、 保存温度	-55~150	°C

- (1) 最小 Cu、 $R_{\theta JA} = 225^\circ\text{C/W}$
 (2) パルス幅 $\leq 100\mu\text{s}$ 、デューティ・サイクル $\leq 1\%$

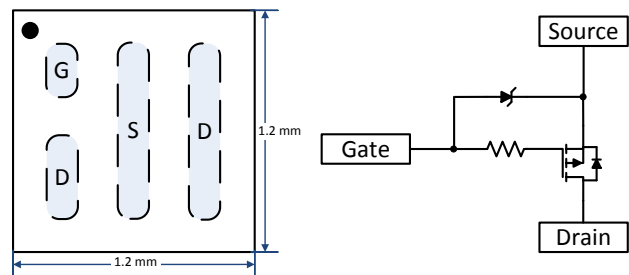


図 3-1. 上面図と回路の構成



Table of Contents

1 特長	1	6 Device and Documentation Support	7
2 アプリケーション	1	6.1 Receiving Notification of Documentation Updates.....	7
3 概要	1	6.2 Trademarks.....	7
4 Revision History	2	7 Mechanical, Packaging, and Orderable Information	8
5 Specifications	3	7.1 CSD22205L Package Dimensions.....	8
5.1 Electrical Characteristics.....	3	7.2 Land Pattern Recommendation.....	9
5.2 Thermal Information.....	4	7.3 Stencil Recommendation.....	9
5.3 Typical MOSFET Characteristics.....	4		

4 Revision History

Changes from Revision A (August 2017) to Revision B (February 2022) Page

- 超薄型の箇条書き項目を、高さ 0.35mm から 0.36mm に変更。..... **1**
- Changed CSD22205L Package Dimensions image height from 0.35 mm to 0.36 mm..... **8**

Changes from Revision * (May 2017) to Revision A (August 2017) Page

- Changed the units for timing parameters from μ s : to ns (nanoseconds) in the [セクション 5.1](#) table..... **3**

5 Specifications

5.1 Electrical Characteristics

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV _{DSS}	Drain-to-source voltage	V _{GS} = 0 V, I _D = −250 μA	−8			V
I _{DSS}	Drain-to-source leakage current	V _{GS} = 0 V, V _{DS} = −6.4 V			−100	nA
I _{GSS}	Gate-to-source leakage current	V _{DS} = 0 V, V _{GS} = −6 V			−100	nA
V _{GS(th)}	Gate-to-source threshold voltage	V _{DS} = V _{GS} , I _D = −250 μA	−0.4	−0.7	−1.05	V
R _{DS(on)}	Drain-to-source on-resistance	V _{GS} = −1.5 V, I _D = −0.2 A		30		mΩ
		V _{GS} = −1.8 V, I _D = −1 A		20	40	
		V _{GS} = −2.5 V, I _D = −1 A		11.5	15.0	
		V _{GS} = −4.5 V, I _D = −1 A		8.2	9.9	
g _{fs}	Transconductance	V _{DS} = −0.8 V, I _D = −1 A		10.4		S
DYNAMIC CHARACTERISTICS						
C _{ISS}	Input capacitance	V _{GS} = 0 V, V _{DS} = −4 V, f = 1 MHz		1070	1390	pF
C _{OSS}	Output capacitance			560	730	pF
C _{RSS}	Reverse transfer capacitance			190	250	pF
R _G	Series gate resistance			30		Ω
Q _g	Gate charge total (−4.5 V)	V _{DS} = −4 V, I _D = −1 A		6.5	8.5	nC
Q _{gd}	Gate charge gate-to-drain			1.0		nC
Q _{gs}	Gate charge gate-to-source			1.2		nC
Q _{g(th)}	Gate charge at V _{th}			0.7		nC
Q _{OSS}	Output charge	V _{DS} = −4 V, V _{GS} = 0 V		4.1		nC
t _{d(on)}	Turnon delay time	V _{DS} = −4 V, V _{GS} = −4.5 V, I _D = −1 A , R _G = 0 Ω		30		ns
t _r	Rise time			14		ns
t _{d(off)}	Turnoff delay time			70		ns
t _f	Fall time			32		ns
DIODE CHARACTERISTICS						
V _{SD}	Diode forward voltage	I _S = −1 A, V _{GS} = 0 V		−0.68	−1.0	V
Q _{rr}	Reverse recovery charge	V _{DS} = −4 V, I _F = −1 A, di/dt = 200 A/μs		16		nC
t _{rr}	Reverse recovery time			38		ns

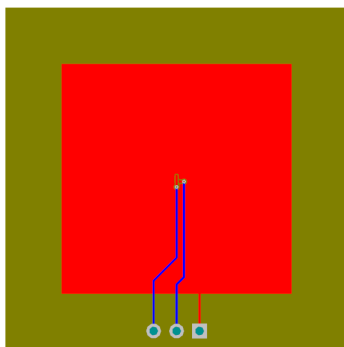
5.2 Thermal Information

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

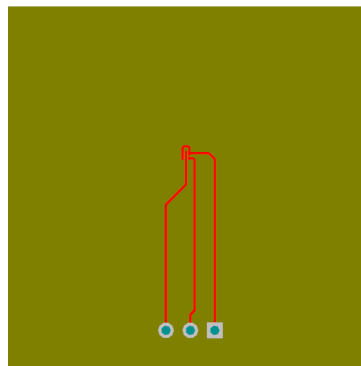
THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta JA}$	Junction-to-ambient thermal resistance ⁽²⁾		75		$^\circ\text{C/W}$
	Junction-to-ambient thermal resistance ⁽¹⁾		225		

(1) Device mounted on FR4 material with minimum Cu mounting area.

(2) Device mounted on FR4 material with 1-in² (6.45-cm²), 2-oz (0.071-mm) thick Cu.



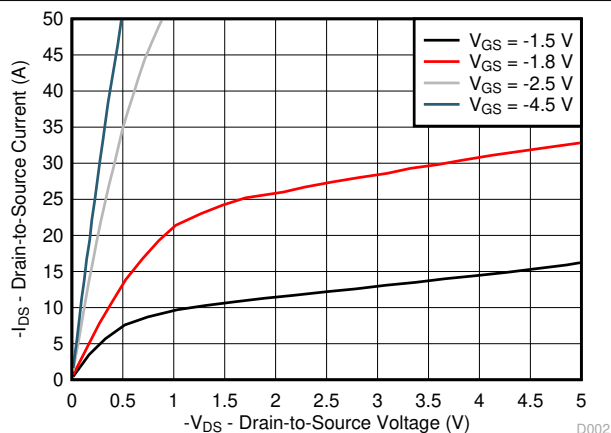
Typ $R_{\theta JA} = 75^\circ\text{C/W}$ when mounted on 1 in² of 2-oz Cu.



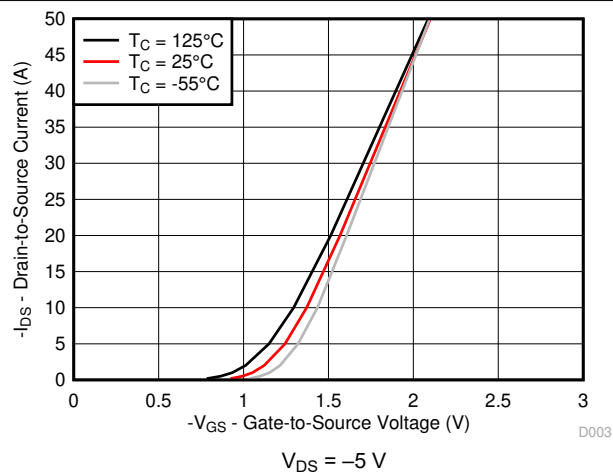
Typ $R_{\theta JA} = 225^\circ\text{C/W}$ when mounted on minimum pad area of 2-oz Cu.

5.3 Typical MOSFET Characteristics

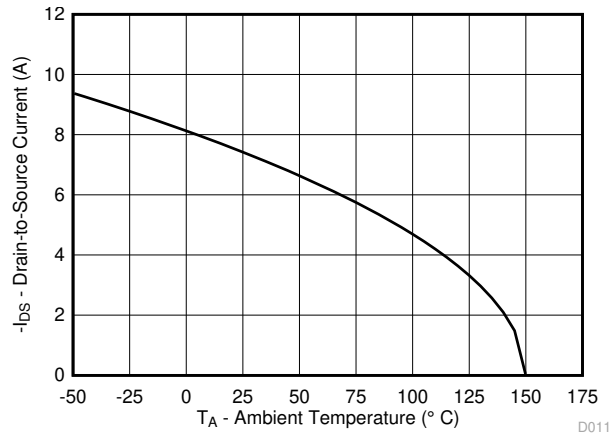
$T_A = 25^\circ\text{C}$ (unless otherwise stated)



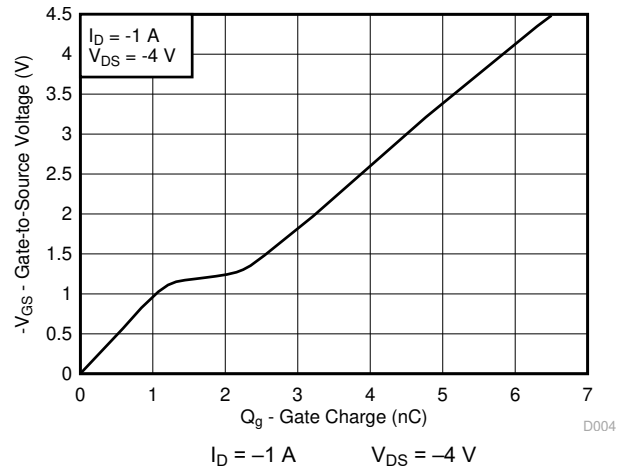
5-1. Saturation Characteristics



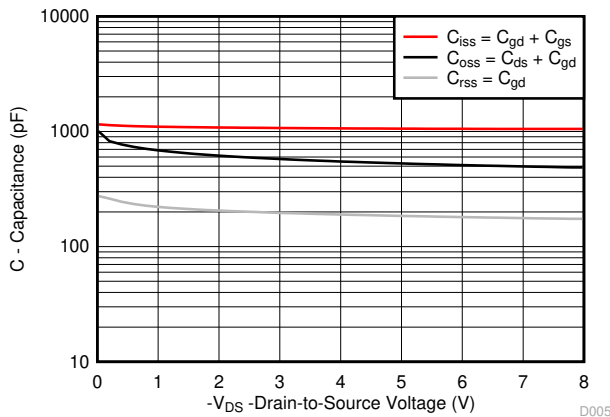
5-2. Transfer Characteristics



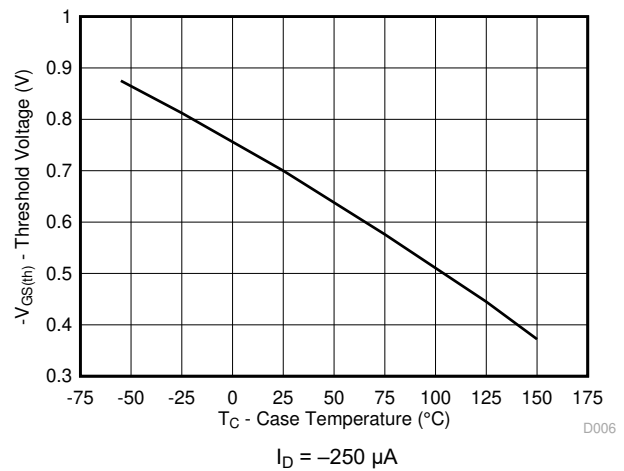
5-3. Maximum Drain Current vs Temperature



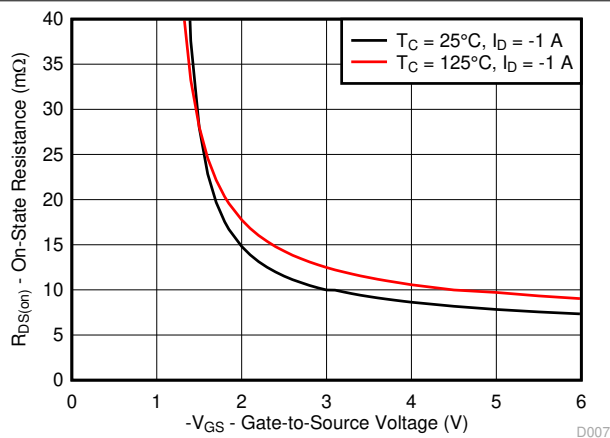
5-4. Gate Charge



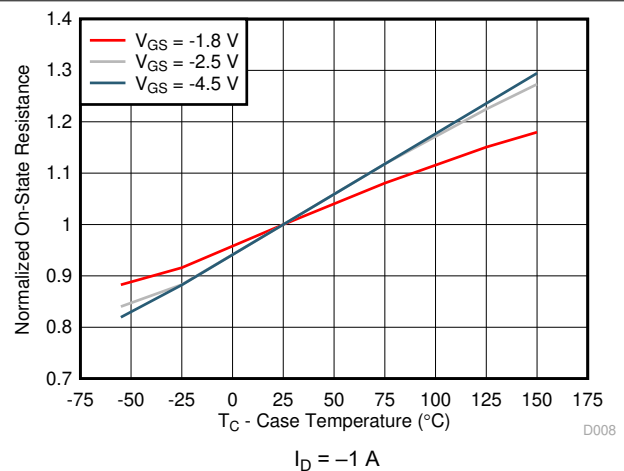
5-5. Capacitance



5-6. Threshold Voltage vs Temperature



5-7. On-State Resistance vs Gate-to-Source Voltage



5-8. Normalized On-State Resistance vs Temperature

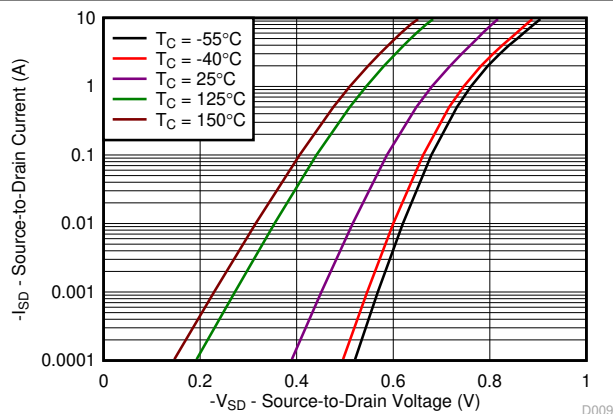
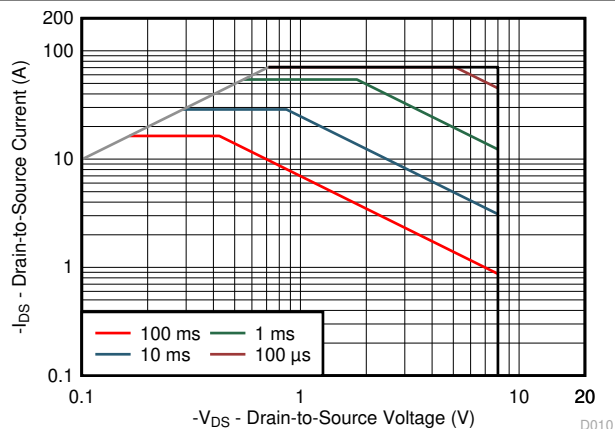


Figure 5-9. Typical Diode Forward Voltage



Single pulse, typical $R_{\theta JA} = 225^\circ\text{C/W}$

Figure 5-10. Maximum Safe Operating Area

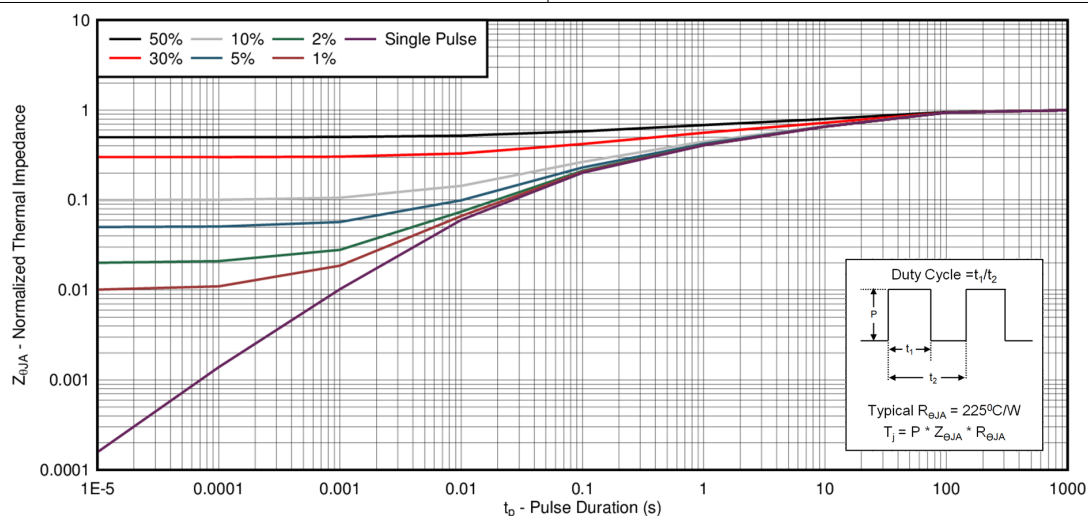


Figure 5-11. Transient Thermal Impedance

6 Device and Documentation Support

6.1 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. In the upper right corner, click on *Alert me* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

6.2 Trademarks

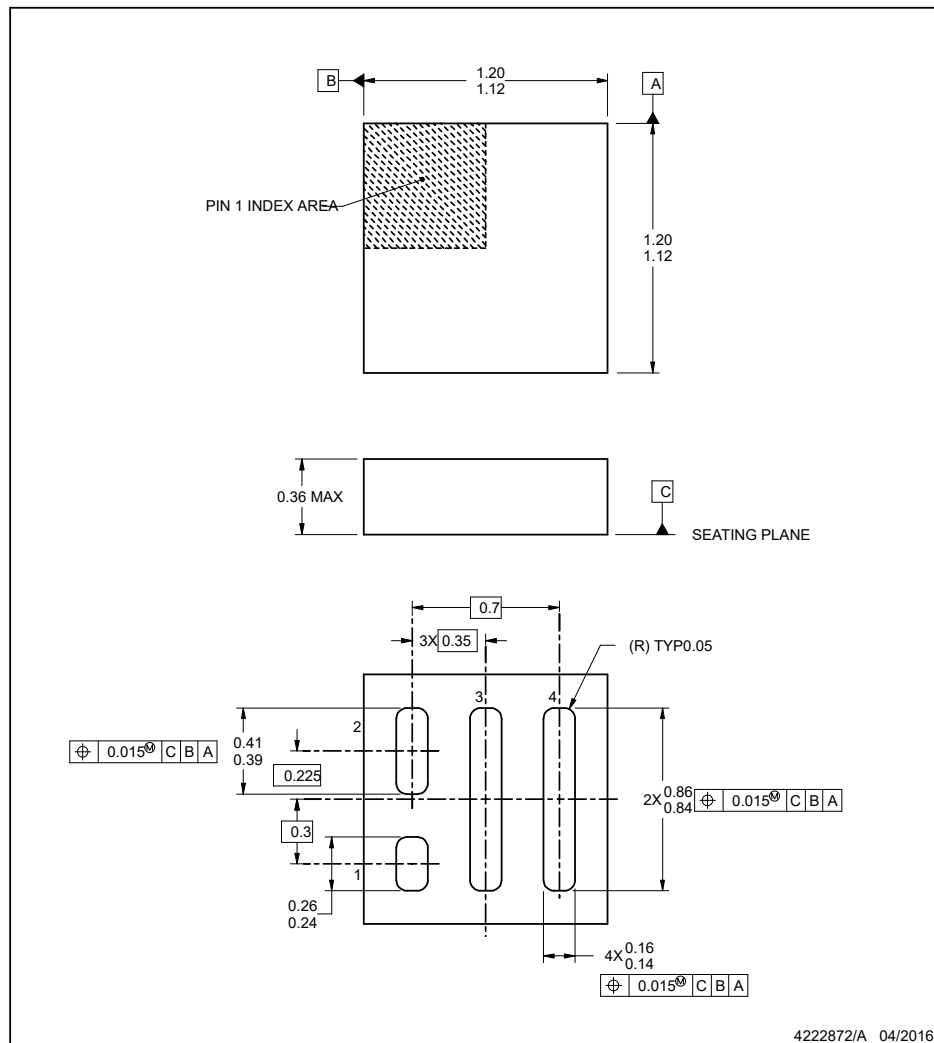
NexFET™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

7.1 CSD22205L Package Dimensions

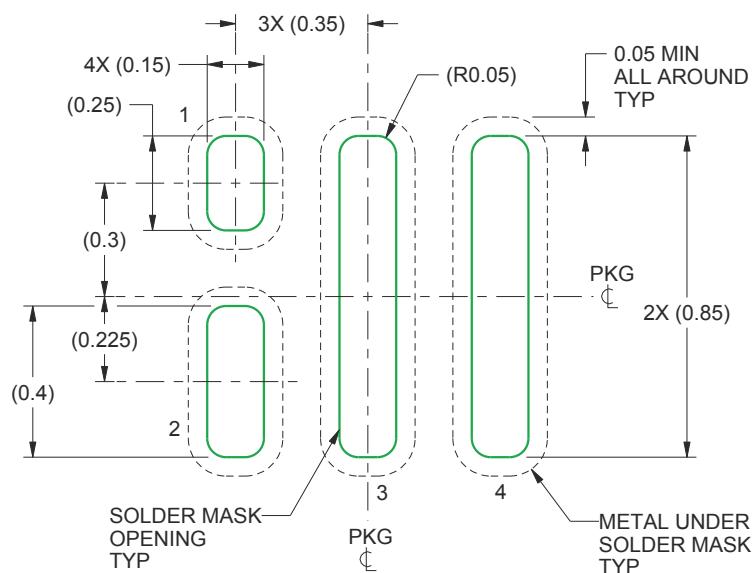


1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is a lead-free bump design. Bump finish may vary. To determine the exact finish, refer to the device data sheet or contact a local TI representative.

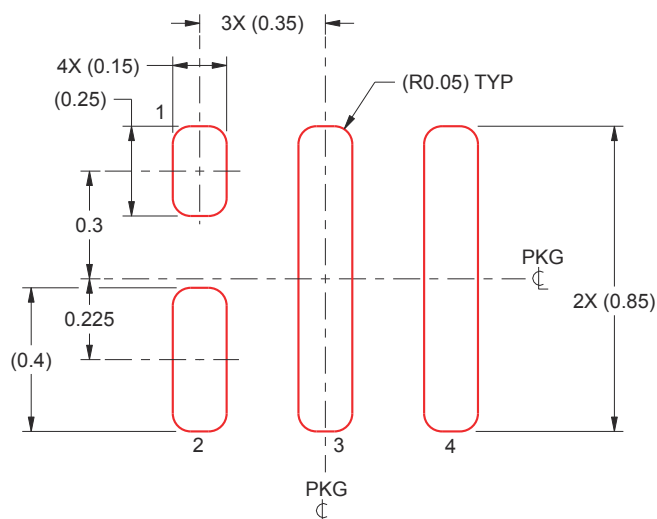
**表 7-1. Pin Configuration
Table**

POSITION	DESIGNATION
1	Gate
2	Drain
3	Source
4	Drain

7.2 Land Pattern Recommendation



7.3 Stencil Recommendation



- A. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD22205L	Active	Production	PICOSTAR (YMG) 4	3000 LARGE T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	205
CSD22205L.B	Active	Production	PICOSTAR (YMG) 4	3000 LARGE T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	205
CSD22205LT	Active	Production	PICOSTAR (YMG) 4	250 SMALL T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	205
CSD22205LT.B	Active	Production	PICOSTAR (YMG) 4	250 SMALL T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	205

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

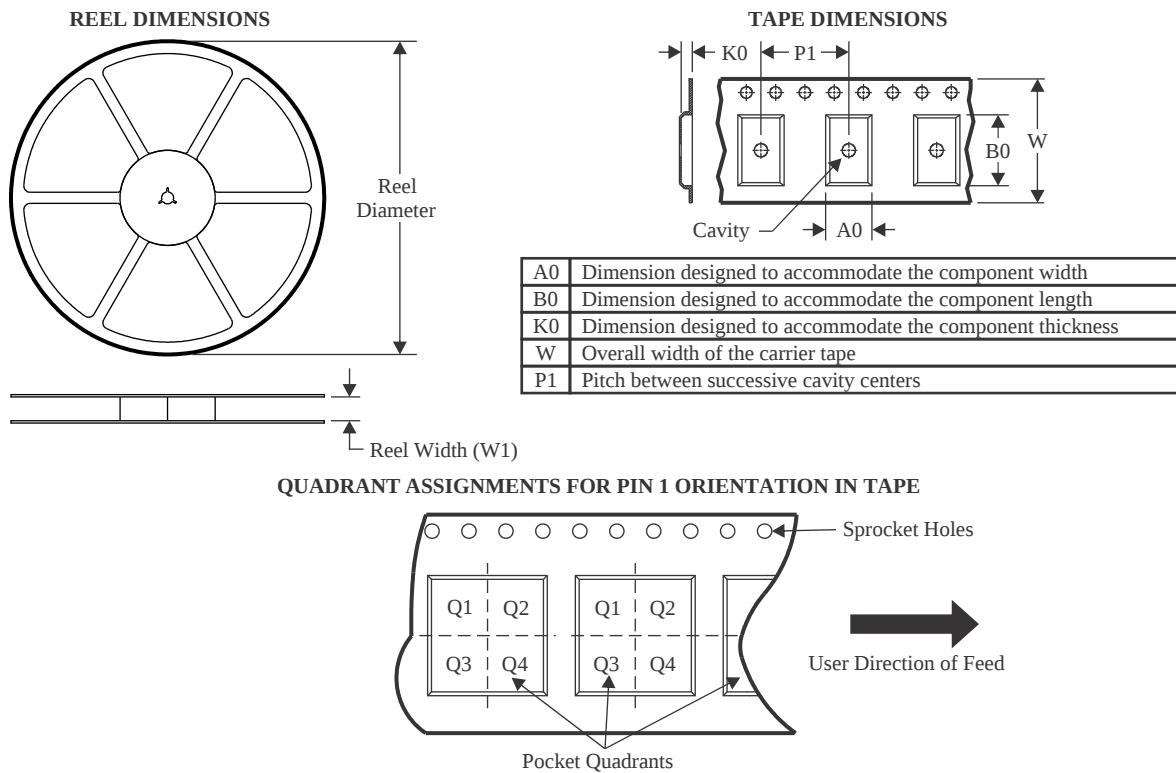
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

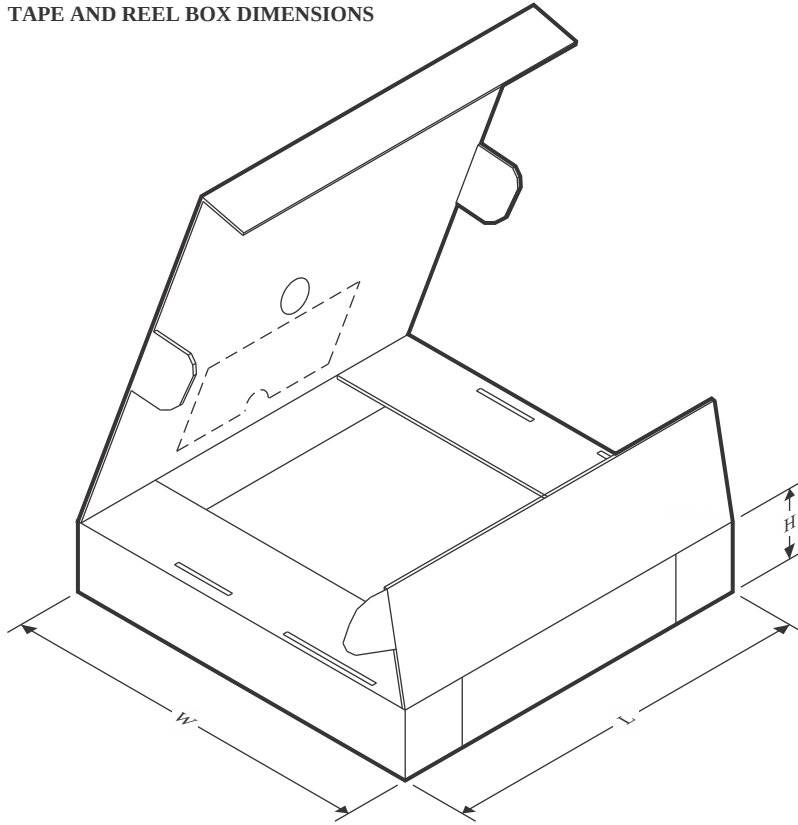
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD22205L	PICOSTAR	YMG	4	3000	180.0	8.4	1.26	1.26	0.42	4.0	8.0	Q1
CSD22205LT	PICOSTAR	YMG	4	250	180.0	8.4	1.26	1.26	0.42	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD22205L	PICOSTAR	YMG	4	3000	182.0	182.0	20.0
CSD22205LT	PICOSTAR	YMG	4	250	182.0	182.0	20.0

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated