

CSD18535KTT 60V、N チャネル NexFET™ パワー MOSFET

1 特長

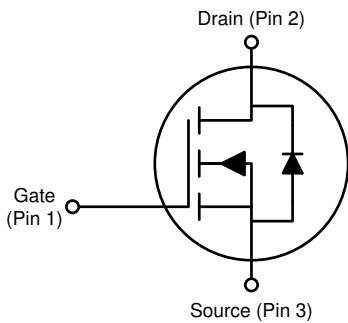
- 非常に低い Q_g および Q_{gd}
- 低い熱抵抗
- アバランシェ定格
- 鉛不使用の端子メッキ処理
- RoHS に準拠
- ハロゲン不使用
- D^2PAK プラスチックパッケージ

2 アプリケーション

- 2 次側同期整流器
- モータ制御

説明

この 60V、1.6mΩ、 D^2PAK (TO-263) NexFET™ パワー MOSFET は、電力変換アプリケーションでの損失を最小限に抑えるように設計されています。



製品概要

$T_A = 25^\circ\text{C}$		標準値		単位
V_{DS}	ドレイン - ソース間電圧	60		V
Q_g	ゲートの合計電荷 (10V)	63		nC
Q_{gd}	ゲート-ドレイン間ゲート電荷	10.4		nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 4.5\text{V}$	2.3	mΩ
		$V_{GS} = 10\text{V}$	1.6	mΩ
$V_{GS(th)}$	スレッショルド電圧	1.9		V

注文情報 (1)

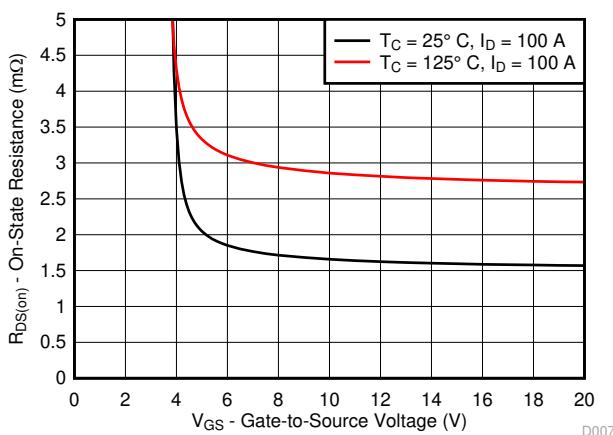
デバイス	数量	メディア	パッケージ	出荷形態
CSD18535KTT	500	13 インチ リール	D^2PAK プラスチックパッケージ	テープ アンドリ ール
CSD18535KTTT	50			

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

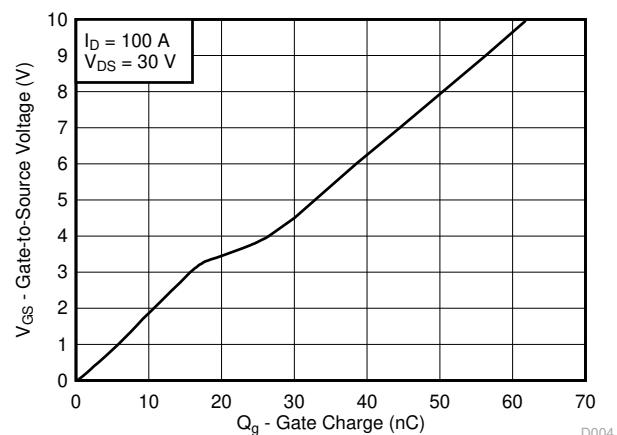
絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン - ソース間電圧	60	V
V_{GS}	ゲート - ソース間電圧	± 20	V
I_D	連続ドレイン電流 (パッケージ制限)	200	A
I_D	連続ドレイン電流 (シリコン制限)、 $T_C = 25^\circ\text{C}$	279	A
I_D	連続ドレイン電流 (シリコン制限)、 $T_C = 100^\circ\text{C}$	197	A
I_{DM}	パルスドレイン電流 (1)	400	A
P_D	電力散逸	300	W
T_J 、 T_{stg}	動作時の接合部温度、保存温度	-55~175	°C
E_{AS}	アバランシェエネルギー、単一パルス $I_D = 111\text{A}, L = 0.1\text{mH}, R_G = 25\Omega$	616	mJ

(1) 最大 $R_{\theta JC} = 0.5^\circ\text{C}/\text{W}$ 、パルス期間 $\leq 100\mu\text{s}$ 、デューティサイクル $\leq 1\%$



$R_{DS(on)}$ と V_{GS} との関係



ゲート電荷



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	4.2 ドキュメントの更新通知を受け取る方法.....	7
2 アプリケーション	1	4.3 サポート・リソース.....	7
3 仕様	3	4.4 商標.....	7
3.1 電気的特性.....	3	4.5 静電気放電に関する注意事項.....	7
3.2 熱に関する情報.....	3	4.6 用語集.....	7
3.3 代表的な MOSFET の特性.....	4	5 改訂履歴	7
4 デバイスおよびドキュメントのサポート	7	6 メカニカル、パッケージ、および注文情報.....	8
4.1 サード・パーティ製品に関する免責事項.....	7		

3 仕様

3.1 電気的特性

(特に記述のない限り $T_A = 25^\circ\text{C}$)

パラメータ	テスト条件	最小値	標準値	最大値	単位
スタティック特性					
BV_{DSS}	ドレイン - ソース間電圧 $V_{GS} = 0\text{V}, I_D = 250\mu\text{A}$	60			V
I_{DSS}	ドレイン - ソース間リーコンダクタンス $V_{GS} = 0\text{V}, V_{DS} = 48\text{V}$		1		μA
I_{GSS}	ゲート - ソース間リーコンダクタンス $V_{DS} = 0\text{V}, V_{GS} = 20\text{V}$		100		nA
$V_{GS(\text{th})}$	ゲート - ソース間スレッショルド電圧 $V_{DS} = V_{GS}, I_D = 250\mu\text{A}$	1.4	1.9	2.4	V
$R_{DS(on)}$	$V_{GS} = 4.5\text{V}, I_D = 100\text{A}$		2.3	2.9	$\text{m}\Omega$
	$V_{GS} = 10\text{V}, I_D = 100\text{A}$		1.6	2.0	$\text{m}\Omega$
g_{fs}	相互コンダクタンス $V_{DS} = 6\text{V}, I_D = 100\text{A}$		263		S
ダイナミック特性					
C_{iss}	入力容量	5090	6620		pF
C_{oss}	出力容量 $V_{GS} = 0\text{V}, V_{DS} = 30\text{V}, f = 1\text{MHz}$	890	1150		pF
C_{rss}	帰還容量	24	31		pF
R_G	直列ゲート抵抗	0.8	1.6		Ω
Q_g	ゲートの合計電荷 (10V)	63	81		nC
Q_{gd}	ゲートドレイン間のゲート電荷量	10.4			nC
Q_{gs}	ゲートソース間のゲート電荷量	15.7			nC
$Q_{g(\text{th})}$	V_{th} でのゲート電荷量	9.4			nC
Q_{oss}	出力電荷量 $V_{DS} = 30\text{V}, V_{GS} = 0\text{V}$	140			nC
$t_{d(on)}$	ターンオン遅延時間	9			ns
t_r	立ち上がり時間 $V_{DS} = 30\text{V}, V_{GS} = 10\text{V}, I_{DS} = 100\text{A}, R_G = 0\Omega$	3			ns
$t_{d(off)}$	ターンオフ遅延時間	19			ns
t_f	立ち下がり時間	3			ns
ダイオード特性					
V_{SD}	ダイオード順方向電圧 $I_{SD} = 100\text{A}, V_{GS} = 0\text{V}$	0.9	1.0		V
Q_{rr}	逆方向回復電荷 $V_{DS} = 30\text{V}, I_F = 100\text{A}, di/dt = 300\text{A}/\mu\text{s}$	214			nC
t_{rr}	逆方向回復時間	63			ns

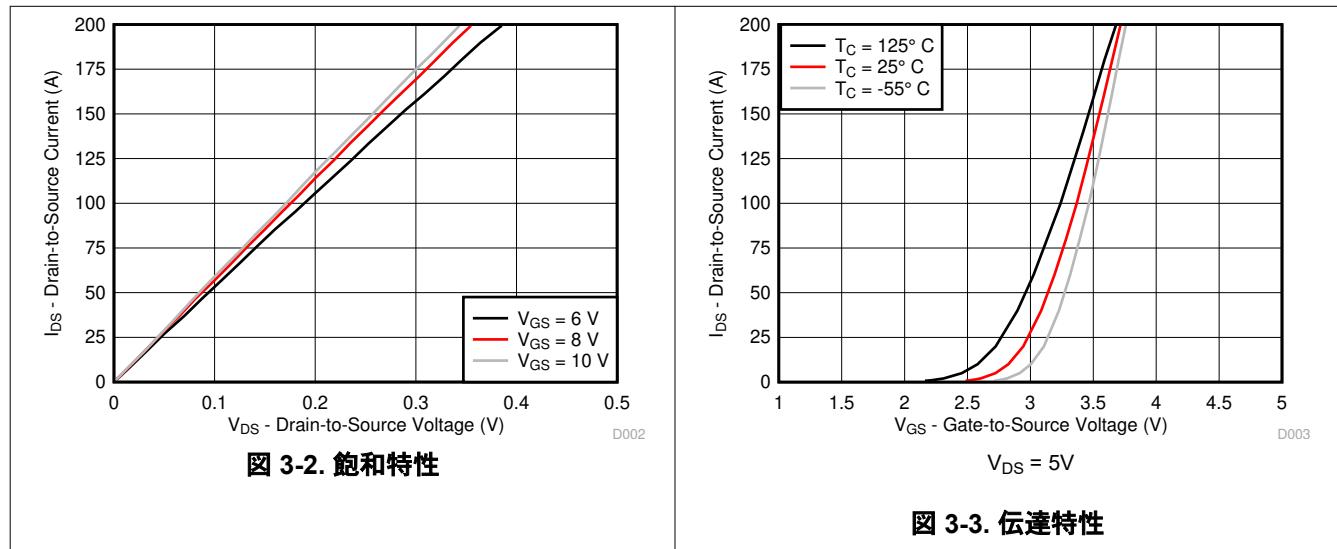
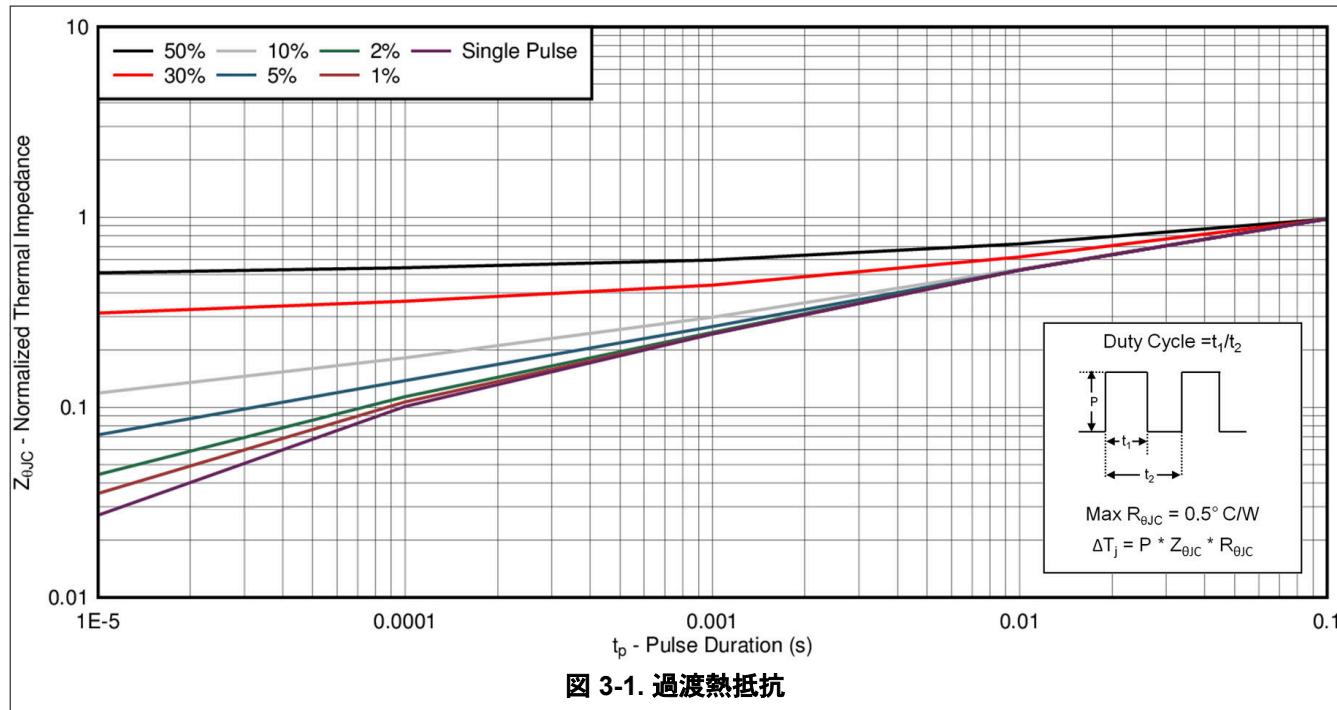
3.2 熱に関する情報

(特に記述のない限り $T_A = 25^\circ\text{C}$)

熱評価基準	最小値	標準値	最大値	単位
$R_{\theta JC}$ 接合部からケースへの熱抵抗		0.5		$^\circ\text{C}/\text{W}$
$R_{\theta JA}$ 接合部から周囲への熱抵抗		62		$^\circ\text{C}/\text{W}$

3.3 代表的な MOSFET の特性

(特に記述のない限り $T_A = 25^\circ\text{C}$)



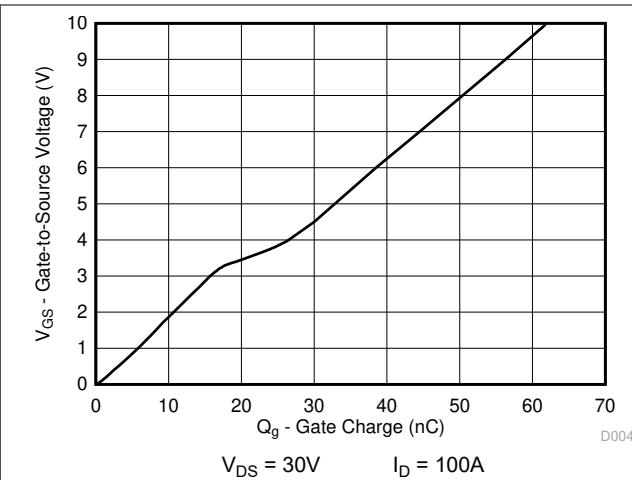


図 3-4. ゲート電荷

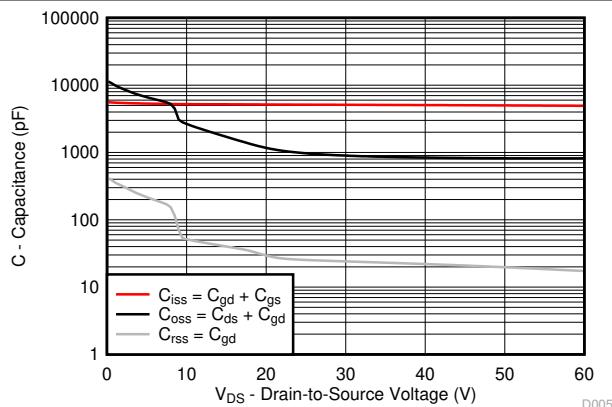


図 3-5. 容量

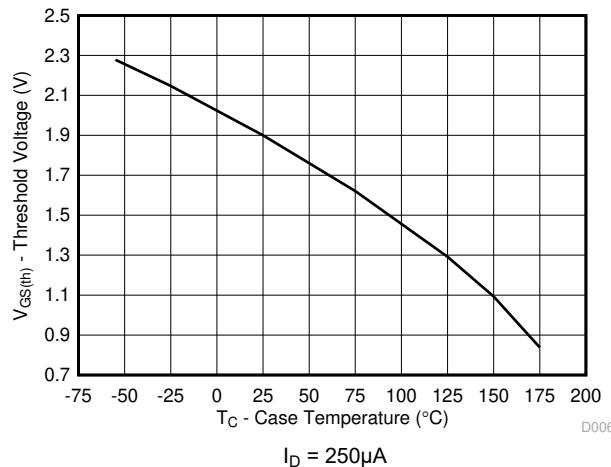


図 3-6. スレッショルド電圧と温度との関係

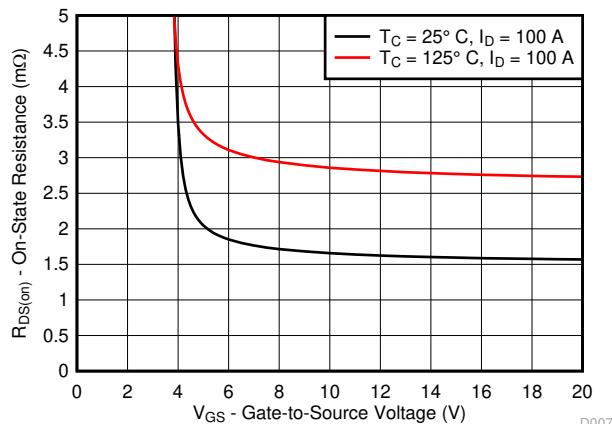


図 3-7. オン状態抵抗とゲート・ソース間電圧との関係

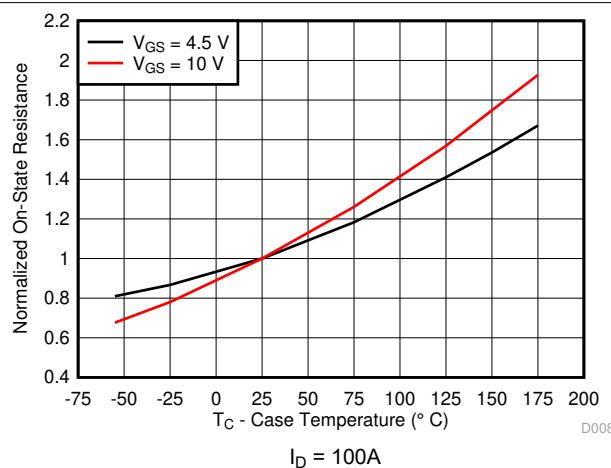


図 3-8. 通常のオン状態抵抗と温度との関係

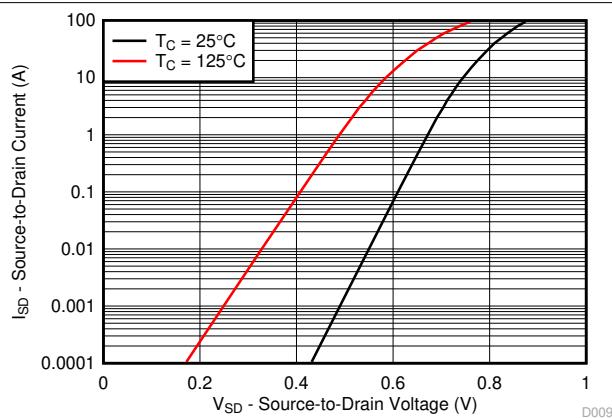
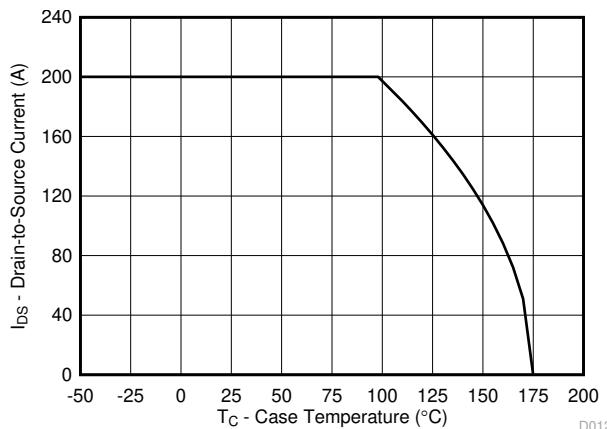
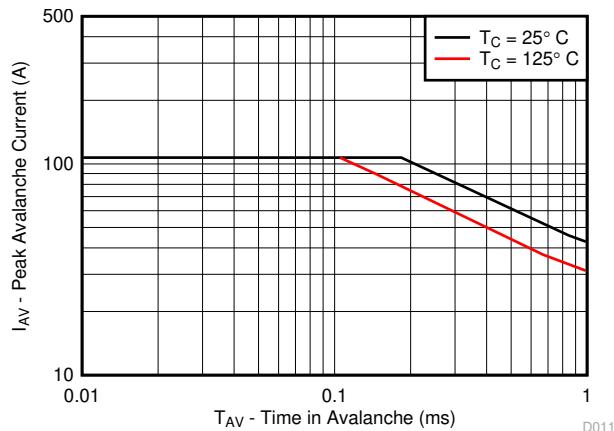
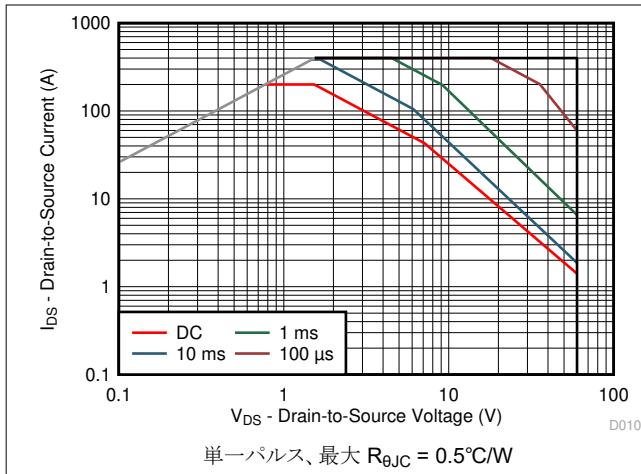


図 3-9. ダイオードの順方向電圧 (標準値)



4 デバイスおよびドキュメントのサポート

4.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

4.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

4.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

4.4 商標

NexFET™ is a trademark of Texas Instruments.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

4.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

4.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

5 改訂履歴

Changes from Revision * (March 2016) to Revision A (June 2025)

Page

- | | |
|--------------------------------------|---|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... | 1 |
|--------------------------------------|---|

6 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD18535KTT	Active	Production	DDPAK/ TO-263 (KTT) 2	500 LARGE T&R	ROHS Exempt	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18535KTT
CSD18535KTT.B	Active	Production	DDPAK/ TO-263 (KTT) 2	500 LARGE T&R	ROHS Exempt	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18535KTT
CSD18535KTTT	Active	Production	DDPAK/ TO-263 (KTT) 2	50 SMALL T&R	ROHS Exempt	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18535KTT
CSD18535KTTT.B	Active	Production	DDPAK/ TO-263 (KTT) 2	50 SMALL T&R	ROHS Exempt	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18535KTT

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

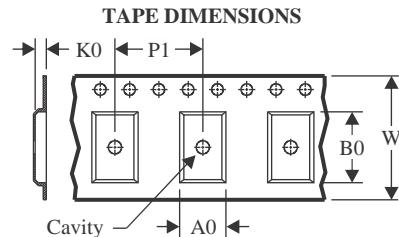
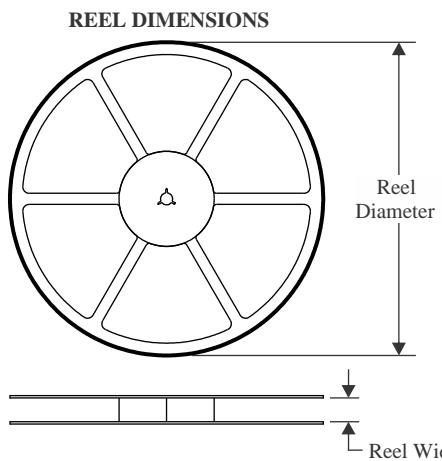
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a " ~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

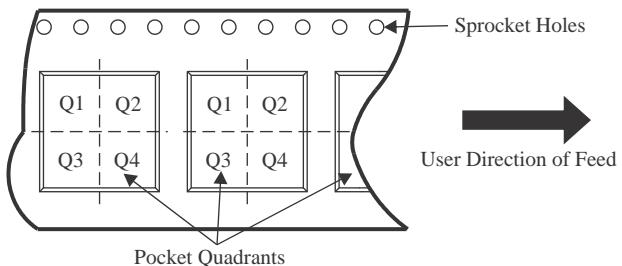
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



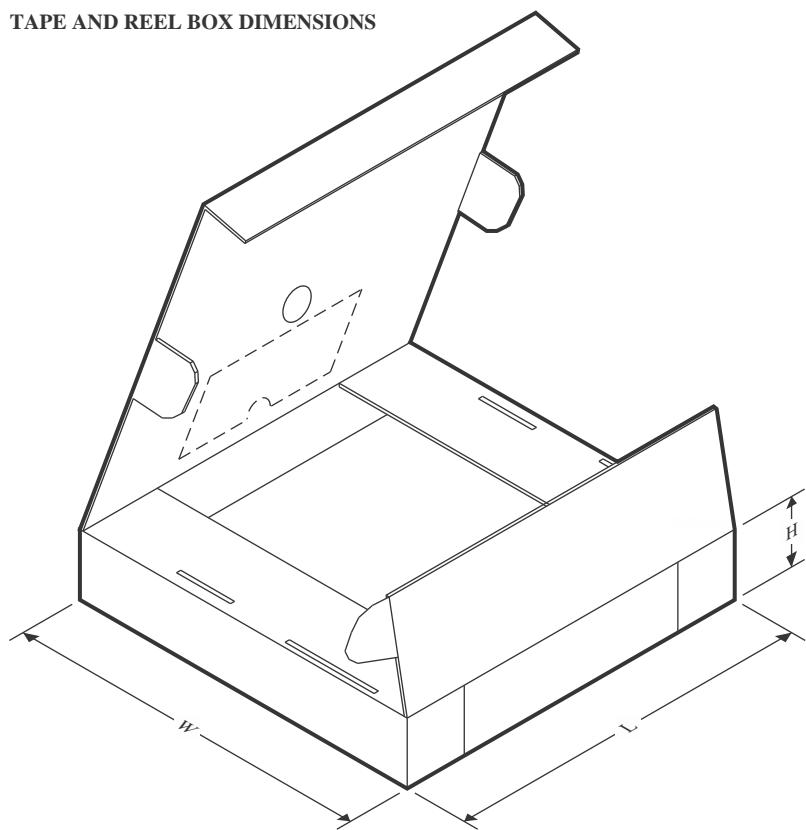
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD18535KTT	DDPAK/ TO-263	KTT	2	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2
CSD18535KTTT	DDPAK/ TO-263	KTT	2	50	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD18535KTT	DDPAK/TO-263	KTT	2	500	340.0	340.0	38.0
CSD18535KTTT	DDPAK/TO-263	KTT	2	50	340.0	340.0	38.0

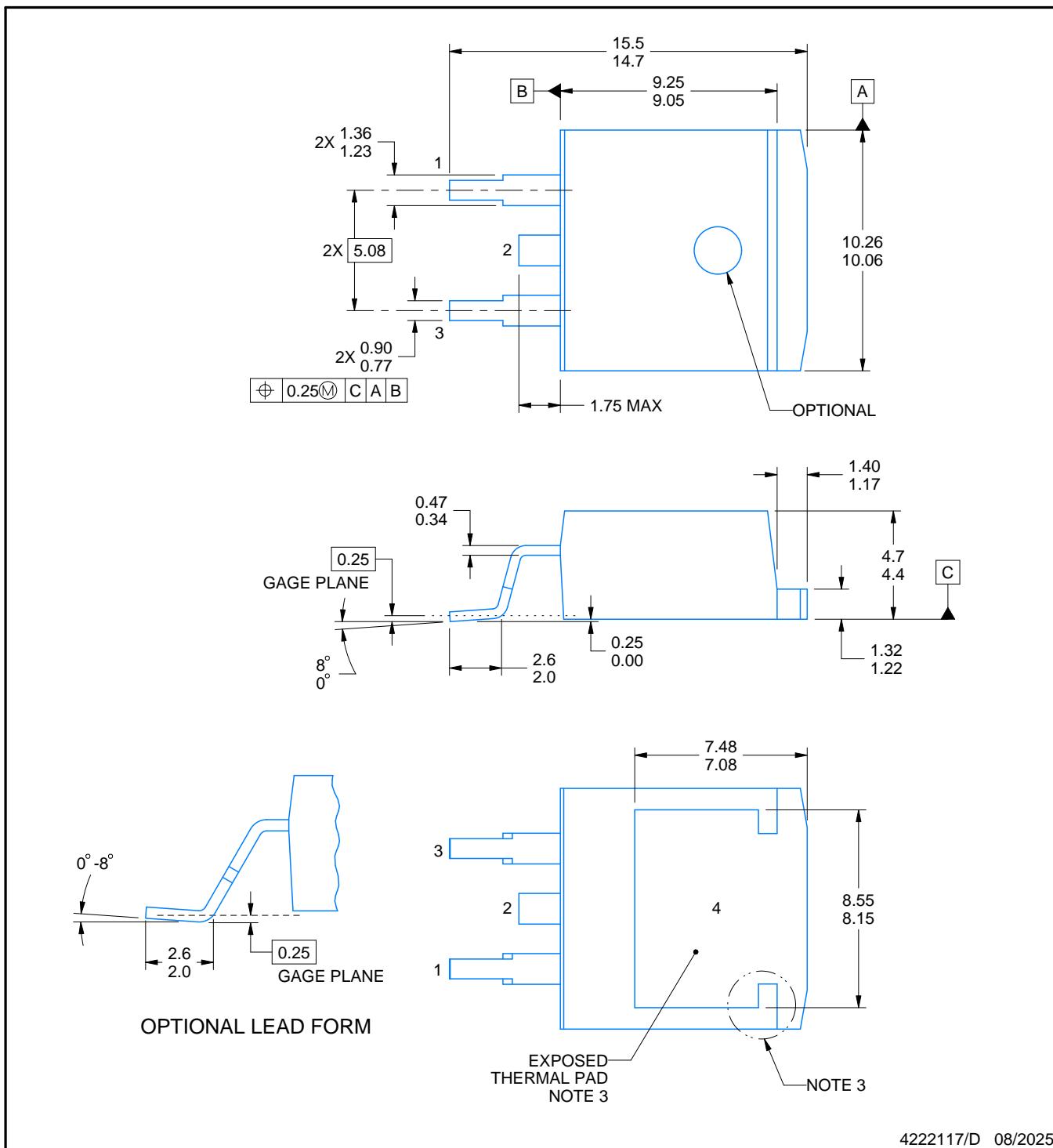
PACKAGE OUTLINE

KTT0002A



TO-263 - 4.7 mm max height

TRANSISTOR OUTLINE



4222117/D 08/2025

NOTES:

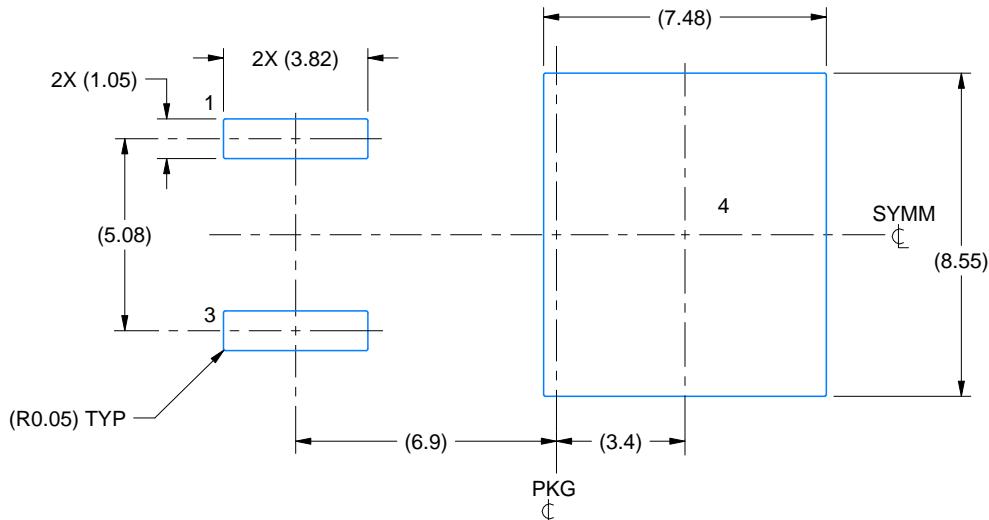
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- Features may not exist and shape may vary per different assembly sites. Pin 2 and Pin 4 connected.
- Reference JEDEC registration TO-263.

EXAMPLE BOARD LAYOUT

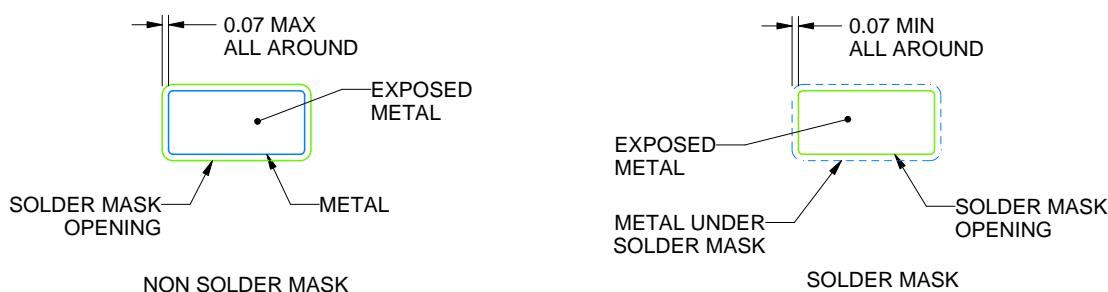
KTT0002A

TO-263 - 4.7 mm max height

TRANSISTOR OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:5X



SOLDER MASK DETAILS

4222117/D 08/2025

NOTES: (continued)

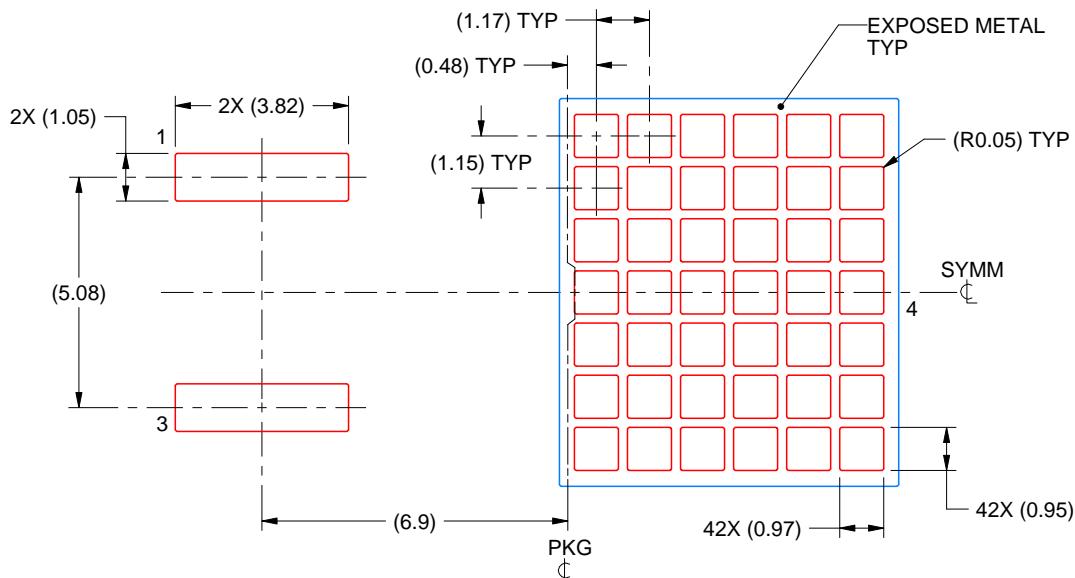
5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002(www.ti.com/lit/slm002) and SLMA004 (www.ti.com/lit/slma004).
6. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

KTT0002A

TO-263 - 4.7 mm max height

TRANSISTOR OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
60.5% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

4222117/D 08/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月