

CSD18510KTT 40V、N チャネル NexFET™ パワー MOSFET

1 特長

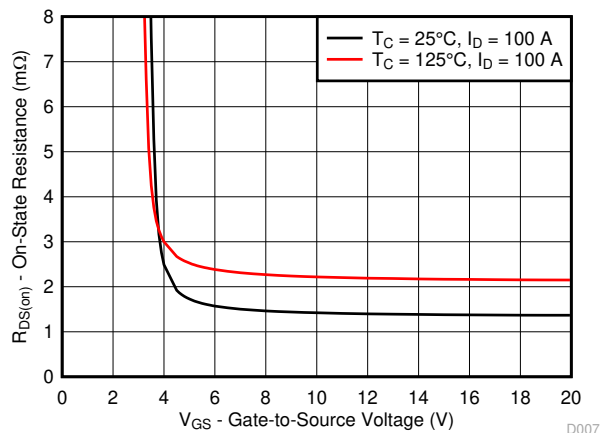
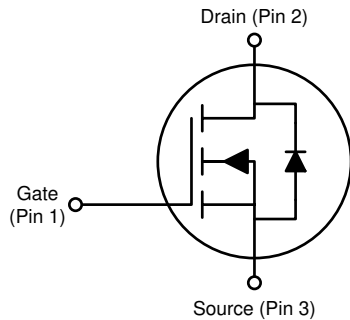
- 非常に低い Q_g および Q_{gd}
- 低い熱抵抗
- アバランシェ定格
- 鉛フリーの端子メッキ処理
- RoHS に準拠
- ハロゲン不使用
- D²PAK プラスチック パッケージ

2 アプリケーション

- 2 次側同期整流器
- モータ制御

3 概要

この 40V、1.4mΩ、D²PAK (TO-263) NexFET™ パワー MOSFET は、電力変換アプリケーションでの損失を最小限に抑えるように設計されています。



$R_{DS(on)}$ と V_{GS} との関係

D007

製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{DS}	ドレイン - ソース間電圧	40	V
Q_g	ゲートの合計電荷 (10V)	119	nC
Q_{gd}	ゲート-ドレイン間ゲート電荷	21	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 4.5\text{V}$	2.0
		$V_{GS} = 10\text{V}$	1.4
$V_{GS(th)}$	スレッシュホールド電圧	1.7	V

製品情報 (1)

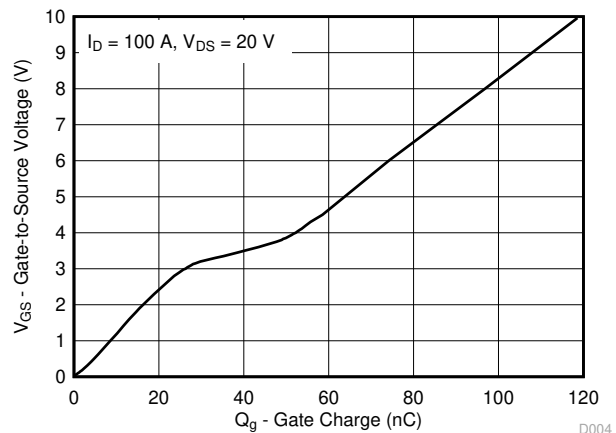
デバイス	数量	メディア	パッケージ	出荷形態
CSD18510KTT	500	13 インチ リール	D ² PAK プラスチック パッケージ	テープ アンド リール
CSD18510KTTT	50			

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン - ソース間電圧	40	V
V_{GS}	ゲート - ソース間電圧	± 20	V
I_D	連続ドレイン電流 (パッケージ制限)	200	A
	連続ドレイン電流 (シリコン制限)、 $T_C = 25^\circ\text{C}$	274	
	連続ドレイン電流 (シリコン制限)、 $T_C = 100^\circ\text{C}$	193	
I_{DM}	パルスドレイン電流 ⁽¹⁾	400	A
P_D	電力散逸	250	W
T_J , T_{stg}	動作時の接合部温度、保存温度	-55~175	$^\circ\text{C}$
E_{AS}	アバランシェ エネルギー、単一パルス $I_D = 81\text{A}$, $L = 0.1\text{mH}$, $R_G = 25\Omega$	328	mJ

- (1) 最大 $R_{\theta JC} = 0.6^\circ\text{C/W}$ 、パルス期間 $\leq 100\mu\text{s}$ 、デューティ サイクル $\leq 1\%$ 。



ゲート電荷

D004



Table of Contents

1 特長.....	1	5.1 ドキュメントの更新通知を受け取る方法.....	7
2 アプリケーション.....	1	5.2 サポート・リソース.....	7
3 概要.....	1	5.3 Trademarks.....	7
4 Specifications.....	3	5.4 静電気放電に関する注意事項.....	7
4.1 Electrical Characteristics.....	3	5.5 用語集.....	7
4.2 Thermal Information.....	3	6 Revision History.....	7
4.3 Typical MOSFET Characteristics.....	4	7 Mechanical, Packaging, and Orderable Information....	8
5 デバイスおよびドキュメントのサポート.....	7		

4 Specifications

4.1 Electrical Characteristics

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV _{DSS}	Drain-to-source voltage	V _{GS} = 0V, I _D = 250μA	40			V
I _{DSS}	Drain-to-source leakage current	V _{GS} = 0V, V _{DS} = 32V	1			μA
I _{GSS}	Gate-to-source leakage current	V _{DS} = 0V, V _{GS} = 20V	100			nA
V _{GS(th)}	Gate-to-source threshold voltage	V _{DS} = V _{GS} , I _D = 250μA	1.4	1.7	2.3	V
R _{DS(on)}	Drain-to-source on resistance	V _{GS} = 4.5V, I _D = 100A	2.0			mΩ
		V _{GS} = 10V, I _D = 100A	1.4			
g _{fs}	Transconductance	V _{DS} = 4V, I _D = 100A	330			S
DYNAMIC CHARACTERISTICS						
C _{iss}	Input capacitance	V _{GS} = 0V, V _{DS} = 20V, f = 1MHz	8770	11400	pF	
C _{oss}	Output capacitance		832	1080	pF	
C _{rss}	Reverse transfer capacitance		424	551	pF	
R _G	Series gate resistance		0.9	1.8	Ω	
Q _g	Gate charge total (4.5V)	V _{DS} = 20V, I _D = 100A	58	75	nC	
Q _g	Gate charge total (10V)		118	153	nC	
Q _{gd}	Gate charge gate-to-drain		21	nC		
Q _{gs}	Gate charge gate-to-source		28	nC		
Q _{g(th)}	Gate charge at V _{th}		15	nC		
Q _{oss}	Output charge		V _{DS} = 20V, V _{GS} = 0V	35	nC	
t _{d(on)}	Turnon delay time	V _{DS} = 20V, V _{GS} = 10V, I _{DS} = 100A, R _G = 0Ω	10	ns		
t _r	Rise time		8	ns		
t _{d(off)}	Turnoff delay time		29	ns		
t _f	Fall time		8	ns		
DIODE CHARACTERISTICS						
V _{SD}	Diode forward voltage	I _{SD} = 100A, V _{GS} = 0V	0.85	1.0	V	
Q _{rr}	Reverse recovery charge	V _{DS} = 20V, I _F = 100A, di/dt = 300A/μs	70	nC		
t _{rr}	Reverse recovery time		41	ns		

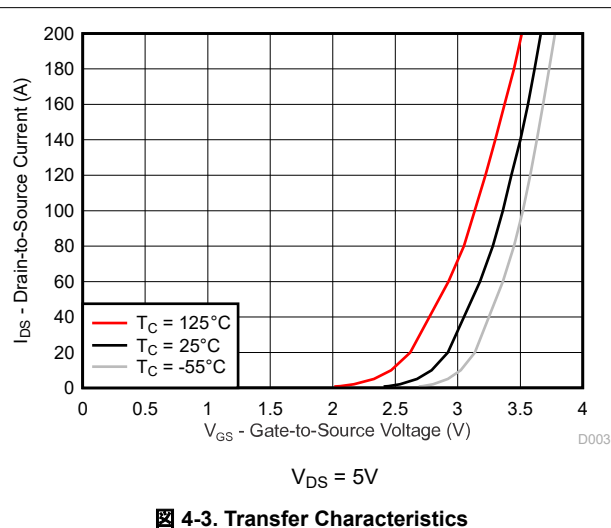
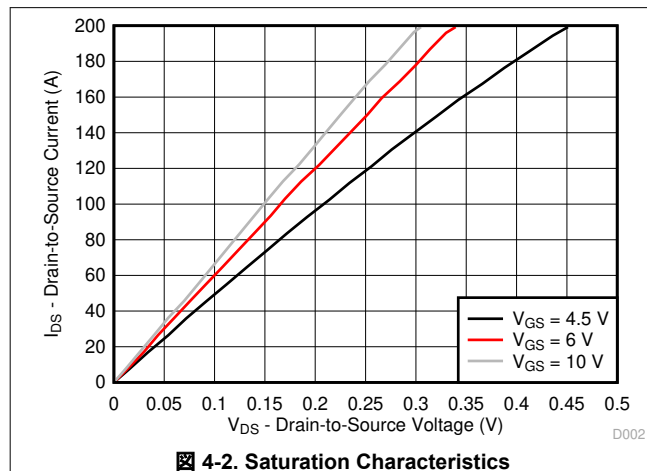
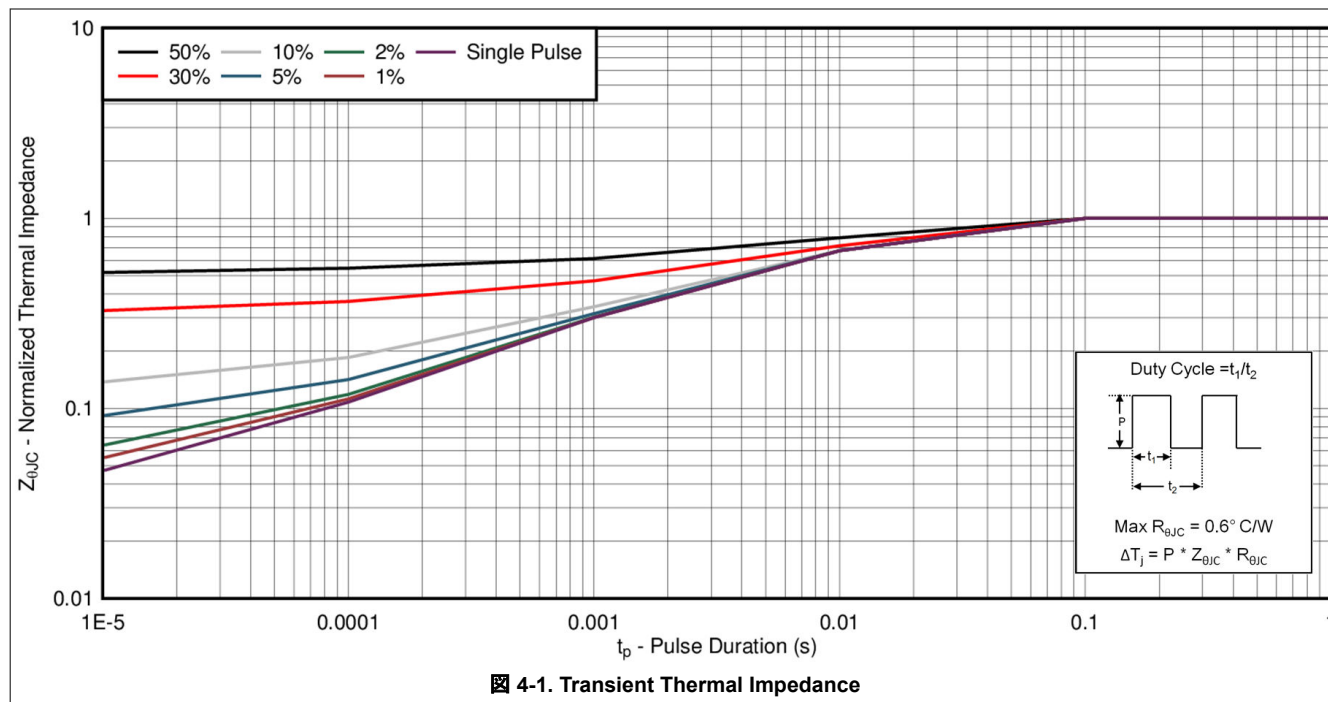
4.2 Thermal Information

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta JC}$	Junction-to-case thermal resistance			0.6	$^\circ\text{C/W}$
$R_{\theta JA}$	Junction-to-ambient thermal resistance			62	$^\circ\text{C/W}$

4.3 Typical MOSFET Characteristics

$T_A = 25^\circ\text{C}$ (unless otherwise stated)



4.3 Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

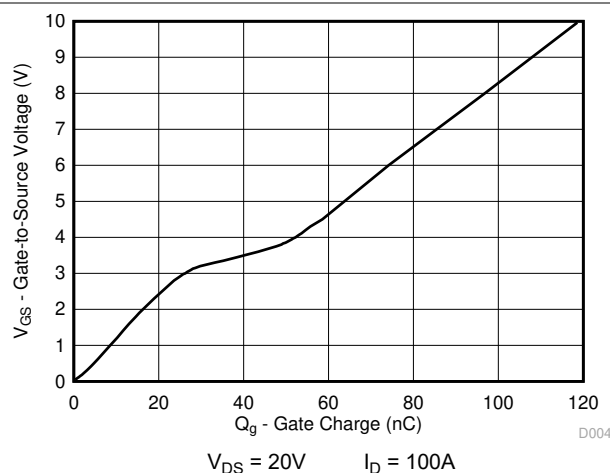


Figure 4-4. Gate Charge

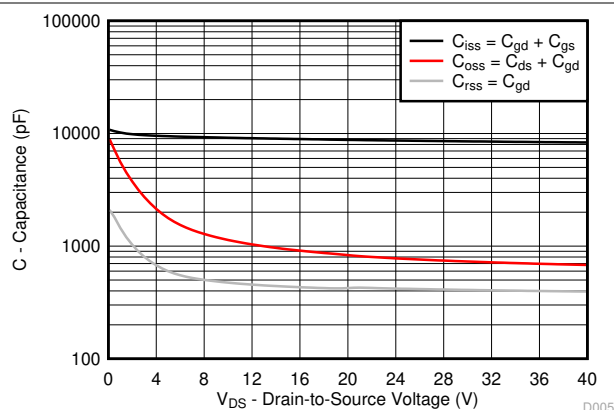


Figure 4-5. Capacitance

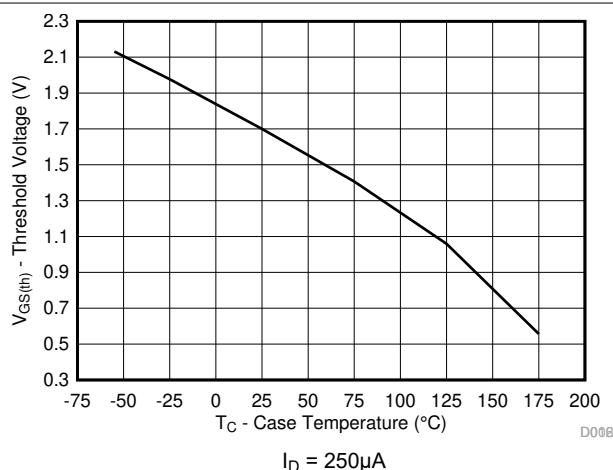


Figure 4-6. Threshold Voltage vs Temperature

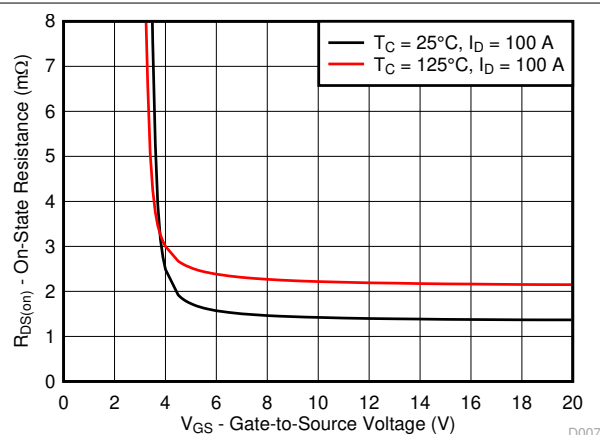


Figure 4-7. On-State Resistance vs Gate-to-Source Voltage

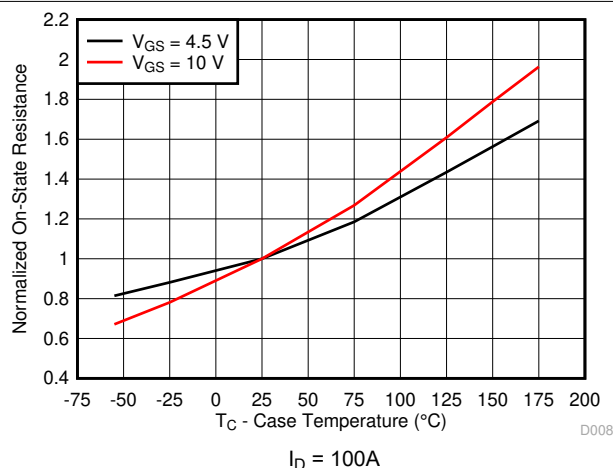


Figure 4-8. Normalized On-State Resistance vs Temperature

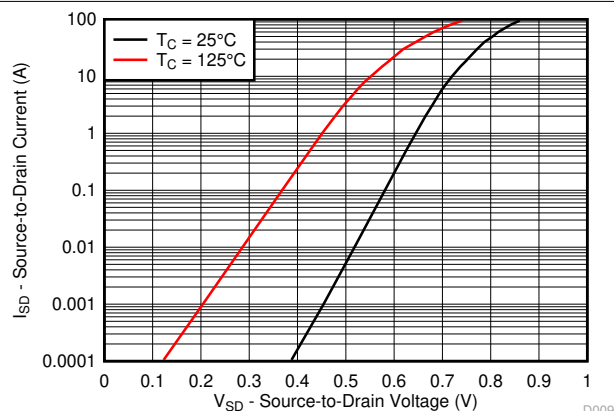


Figure 4-9. Typical Diode Forward Voltage

4.3 Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

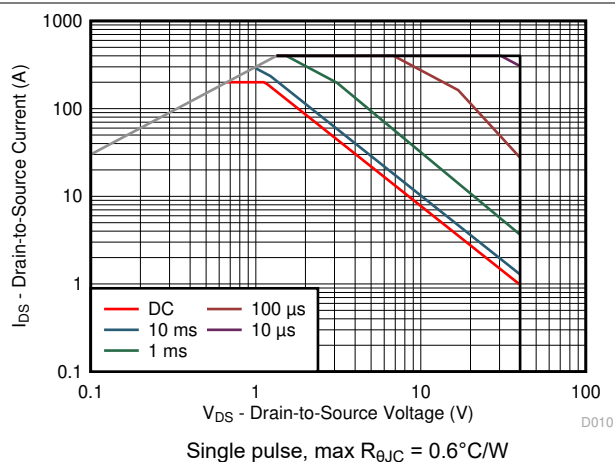


Figure 4-10. Maximum Safe Operating Area

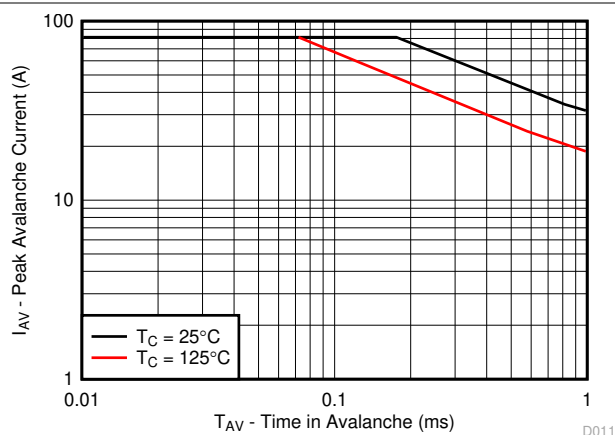


Figure 4-11. Single Pulse Unclamped Inductive Switching

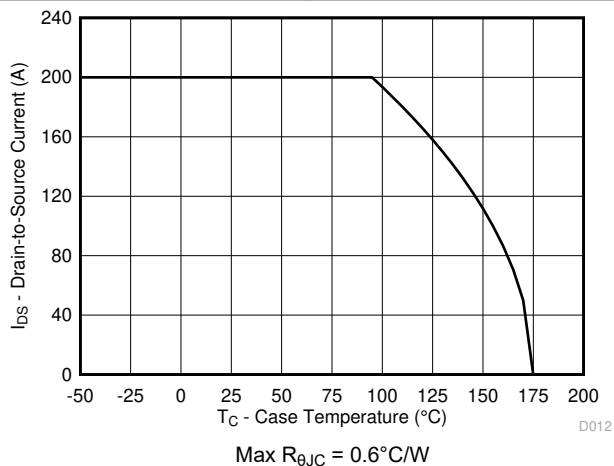


Figure 4-12. Maximum Drain Current vs Temperature

5 デバイスおよびドキュメントのサポート

5.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

5.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

5.3 Trademarks

NexFET™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

5.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

5.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

6 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (November 2022) to Revision C (June 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
Changes from Revision A (January 2017) to Revision B (November 2022)	Page
• Updated 図 4-3	4
Changes from Revision * (November 2016) to Revision A (January 2017)	Page
• 「絶対最大定格」表で、シリコン電流制限、 $T_C = 25^\circ\text{C}$ を 237A から 274A に変更	1
• 「絶対最大定格」表で、シリコン電流制限、 $T_C = 100^\circ\text{C}$ を 167A から 193A に変更	1
• 「絶対最大定格」表で、最大消費電力を 188W から 250W に変更	1
• Changed the charge values in the Dynamic Characteristics section of the <i>Electrical Characteristics</i> table.....	3
• Changed max $R_{\theta JC}$ from 0.8°C/W : to 0.6°C/W in the <i>Thermal Information</i> table.....	3
• Changed 図 4-4 in the <i>Typical MOSFET Characteristics</i> section to reflect updated gate charges.....	4

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD18510KTT	Active	Production	DDPAK/ TO-263 (KTT) 2	500 LARGE T&R	ROHS Exempt	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18510KTT
CSD18510KTT.B	Active	Production	DDPAK/ TO-263 (KTT) 2	500 LARGE T&R	ROHS Exempt	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18510KTT
CSD18510KTTT	Active	Production	DDPAK/ TO-263 (KTT) 2	50 SMALL T&R	ROHS Exempt	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18510KTT
CSD18510KTTT.B	Active	Production	DDPAK/ TO-263 (KTT) 2	50 SMALL T&R	ROHS Exempt	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18510KTT

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD18510KTT	DDPAK/TO-263	KTT	2	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2
CSD18510KTTT	DDPAK/TO-263	KTT	2	50	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2

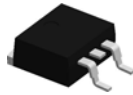
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD18510KTT	DDPAK/TO-263	KTT	2	500	340.0	340.0	38.0
CSD18510KTTT	DDPAK/TO-263	KTT	2	50	340.0	340.0	38.0

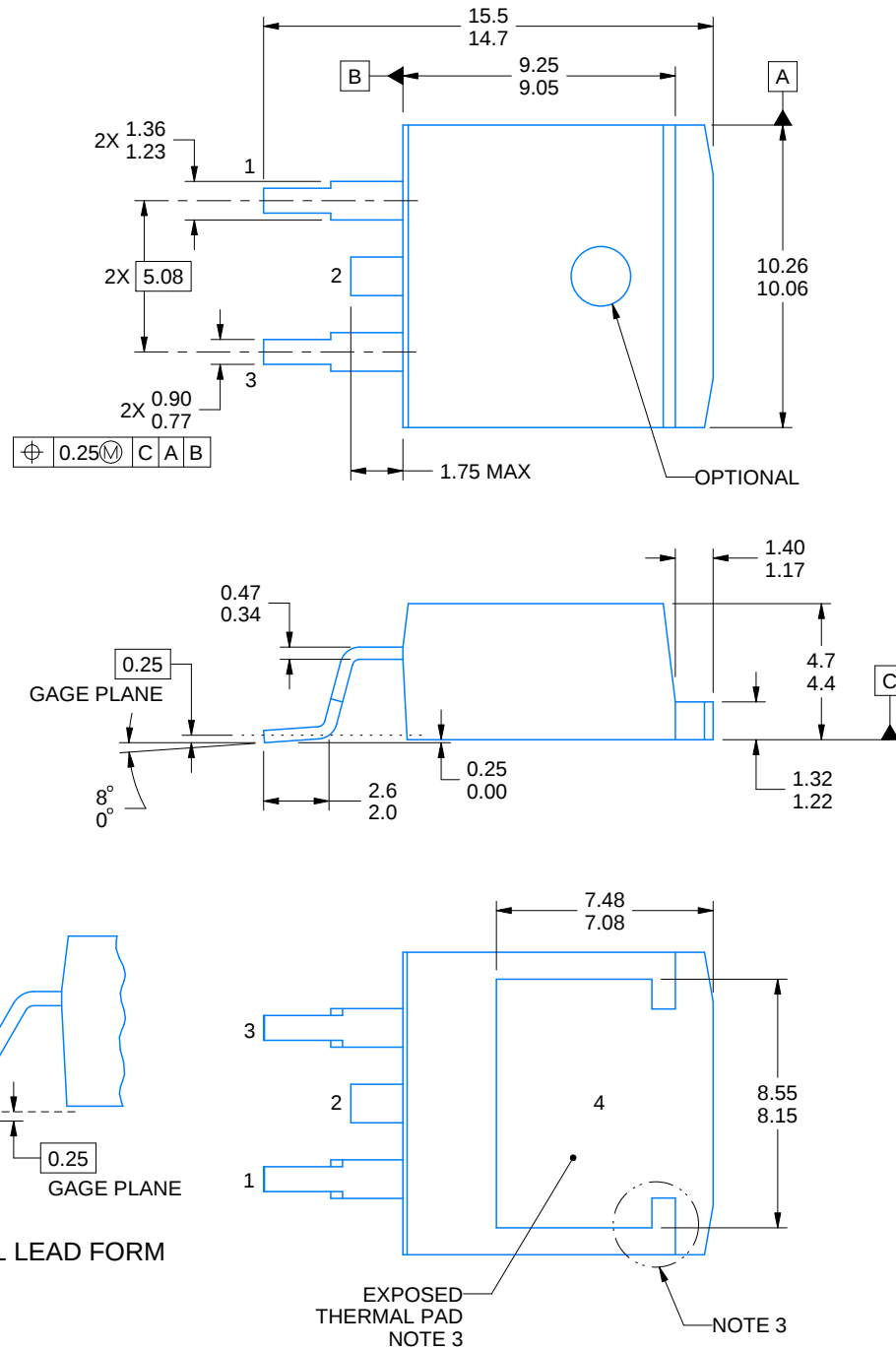
KTT0002A



PACKAGE OUTLINE

TO-263 - 4.7 mm max height

TRANSISTOR OUTLINE



4222117/D 08/2025

NOTES:

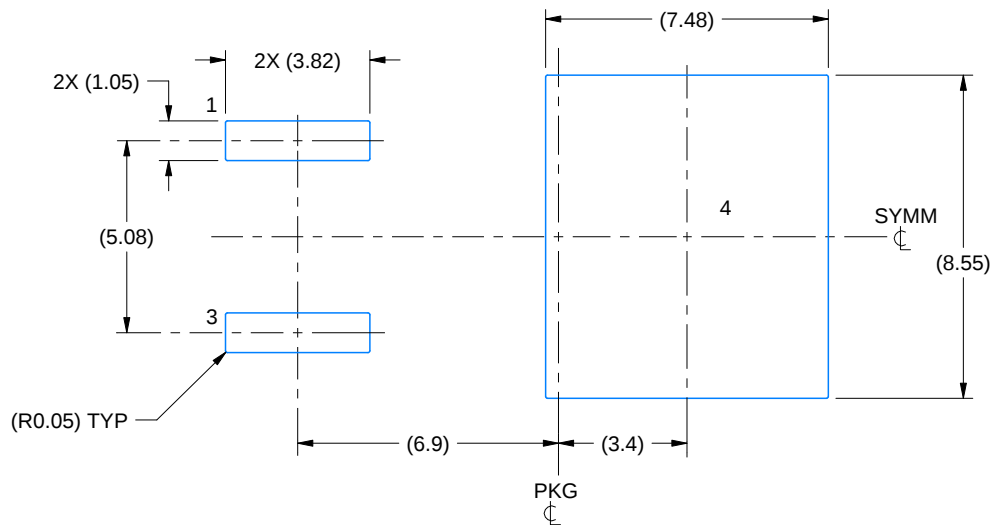
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Features may not exist and shape may vary per different assembly sites. Pin 2 and Pin 4 connected.
4. Reference JEDEC registration TO-263.

EXAMPLE BOARD LAYOUT

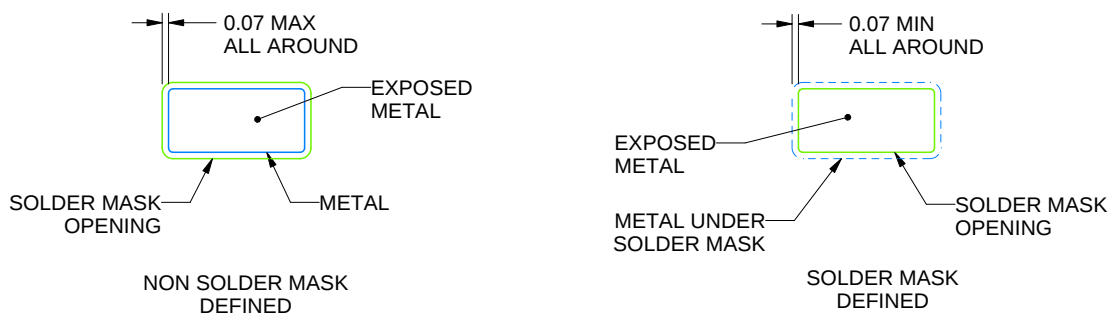
KTT0002A

TO-263 - 4.7 mm max height

TRANSISTOR OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:5X



SOLDER MASK DETAILS

4222117/D 08/2025

NOTES: (continued)

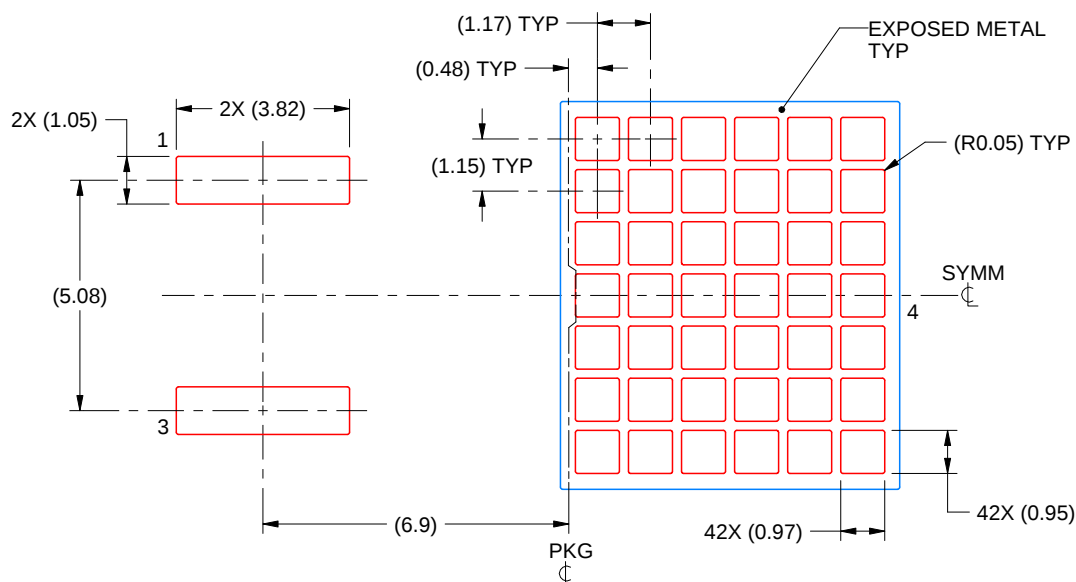
5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slm002) and SLMA004 (www.ti.com/lit/slma004).
6. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

KTT0002A

TO-263 - 4.7 mm max height

TRANSISTOR OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
60.5% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

4222117/D 08/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated